具有 PWM、PH/EN 以及半桥控制接口和低功耗睡眠模式的 DRV8210 11V H 桥电机驱动器

1 特性

- N 沟道 H 桥电机驱动器
  - MOSFET 导通电阻：HS + LS 1Ω
  - 可驱动一个双向有刷直流电机
  - 两个单向有刷直流电机
  - 一个单线圈或双线圈闭锁继电器
  - 推挽式和双稳态螺线管
  - 其他电阻、电感或 LED 负载
- 1.65V 至 11V 工作电源电压范围
- 高输出电流能力：
  - 全桥：1.76A 峰值
  - 半桥：每个输出 1.76A 峰值
  - 并联半桥：3.52A 峰值
- 多个接口可实现灵活性并减少 GPIO
- 标准脉宽调制 (PWM) 接口（IN1/IN2）
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 超低功耗休眠模式
  - 在 V_{VM} = 5V，V_{VCC} = 3.3V，T_J = 25°C 时 <84.5nA
  - 定时自动睡眠模式以减少 GPIO
- 保护特性
  - 欠压锁定（UVLO）
  - 过流保护（OCP）
  - 热关断（TSD）
- 器件系列。请参阅器件比较表了解详细信息。
  - DRV8210：1.65-11V，1Ω，多接口
  - DRV8210P：睡眠引脚，PWM 接口
  - DRV8212：1.65-11V，280mΩ，多接口
  - DRV8212P：睡眠引脚，PWM 接口
  - DRV8220：4.5-18V，1Ω，多接口

2 应用

- 有刷直流电机、螺线管和继电器驱动
- 水表、煤气表和电表
- IP 网络摄像机红外截止滤光器
- 可视门铃
- 机器视觉摄像机
- 电子智能锁
- 电动玩具和机器人玩具
- 血压监护仪
- 输液泵
- 电动牙刷
- 美容美发

3 说明

DRV8210 是一款集成电机驱动器，具有四个 N 通道功率 FET、电荷泵稳压器和保护电路。三倍电荷泵架构可使器件在低至 1.65V 的电压下工作，以适应 1.8V 电源轨和电池电量不足的情况。电荷泵集成了所有电容器，以减小 PCB 上电机驱动器的整体解决方案尺寸，并实现 100% 占空比运行。

DRV8210 支持多种控制接口模式，包括：PWM（IN1/IN2）、相位/使能（PH/EN）、独立半桥和并联半桥。每个接口都支持低功耗睡眠模式，通过关断大部分内部电路实现超低静态电流消耗。

该器件能够提供高达 1.76A 的峰值输出电流。该器件由 1.65V 至 5.5V 的电源电压供电运行。

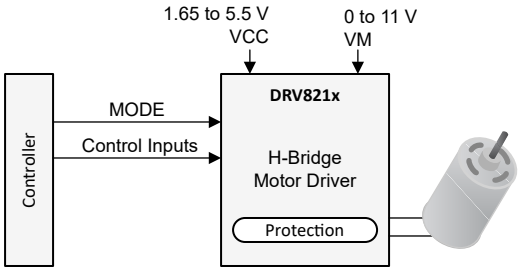
该驱动器提供强大的内部保护功能，包括电源欠压锁定（UVLO）、输出过流（OCP）和器件过热（TSD）。

DRV8210 是一系列器件的一部分，这些器件采用引脚对引脚可扩展 $R_{DS(on)}$ 和电源电压选项，以支持各种负载和电源轨，且几乎不需要设计变更。请参阅器件比较表，了解有关该系列器件的信息。访问 TI.com 查看我们完整的有刷电机驱动器产品系列。

器件信息

器件型号 (1)	封装	封装尺寸（标称值）
DRV8210DSG	WSON (8)	2.00mm × 2.00mm
DRV8210DRL	SOT563 (6)	1.20mm × 1.60mm

(1) 对于所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较.....3
6 引脚配置和功能.....4
7 规格.....5
7.1 绝对最大额定值.....5
7.2 ESD 额定值.....5
7.3 建议工作条件.....5
7.4 热信息.....5
7.5 电气特性.....6
7.6 典型特性 DSG 封装.....7
7.7 典型特性 DRL 封装.....10
8 详细说明.....12
8.1 概述.....12
8.2 功能方框图.....12
8.3 特性说明.....13
8.4 器件功能模式.....16
9 应用和实施.....18
9.1 应用信息.....18
9.2 典型应用.....18
9.3 电流能力和热性能.....27
10 电源建议.....34
10.1 大容量电容.....34
11 布局.....35
11.1 布局指南.....35
11.2 布局示例.....35
12 器件和文档支持.....37
12.1 文档支持.....37
12.2 接收文档更新通知.....37
12.3 支持资源.....37
12.4 商标.....37
12.5 Electrostatic Discharge Caution.....37
12.6 术语表.....37
13 机械、封装和可订购信息.....38

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (February 2020) to Revision A (April 2021) **Page**

- 更新了首页上的产品系列参考和器件比较表.....1
- 在“引脚配置和功能”、“规格表”、“详细说明”、“应用和实现”以及“布局”部分中添加了有关 DRL 封装选项的技术信息.....1

Changes from Revision A (April 2021) to Revision B (August 2021) **Page**

- 将“器件状态”更新为“量产数据”.....1

Copyright © 2022 Texas Instruments Incorporated

5 器件比较

表 5-1. 器件比较表

器件名称	电源电压（V）	$R_{DS(on)}$（mΩ）	I_{OCP}（A）	接口选项	睡眠模式进入	引脚对引脚器件	封装
DRV8210	1.65 至 11	950（DRL），1050（DSG）	1.76	PWM、PH/EN、半桥	自动睡眠、VCC	DRV8210、DRV8212、DRV8220	SOT563（DRL）、WSON（DSG）
DRV8212	1.65 至 11	280	4				
DRV8220	4.5 至 18	1000	1.76		自动睡眠、nSLEEP 引脚		
DRV8210P	1.65 至 11	1050	1.76	PWM	nSLEEP 引脚	DRV8837、DRV8837C、DRV8210P、DRV8212P	WSON（DSG）
DRV8212P	1.65 至 11	280	4				WSON（DSG）

Copyright © 2022 Texas Instruments Incorporated

6 引脚配置和功能

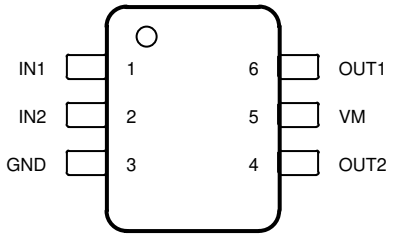


图 6-1. DRV8210 DRL 封装 6 引脚 SOT 顶视图

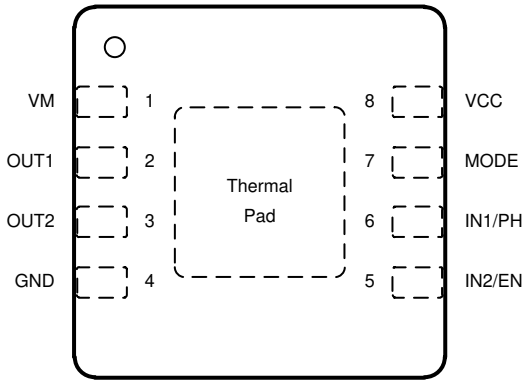


图 6-2. DRV8210 DSG 封装 8 引脚 WSON 顶视图

表 6-1. 引脚功能

引脚			类型	说明
名称	DRL	DSG		
GND	3	4	PWR	器件接地。连接到系统接地。
IN1	1	—	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
IN1/PH	—	6	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
IN2	2	—	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
IN2/EN	—	5	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
MODE	—	7	I	H 桥控制输入模式。请参阅节 8.3.2 以 VCC 引脚电压为参考的三电平输入。
OUT1	6	2	O	H 桥输出。连接到电机或其他负载。
OUT2	4	3	O	H 桥输出。连接到电机或其他负载。
VM	5	1	PWR	电机电源。使用 0.1μF 陶瓷电容器和额定电压为 VM 的充足大容量电容器将此引脚旁路至 GND 引脚。
VCC	—	8	PWR	逻辑电源。使用额定值为 VCC 的 0.1μF 陶瓷电容器将此引脚旁路至 GND 引脚。
PAD	—	—	—	散热焊盘。连接到系统接地。

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电源引脚电压	VM	-0.5	12	V
逻辑电源引脚电压，DSG	VCC	-0.5	5.75	V
电源瞬态电压斜坡	VM，VCC	0	2	V/µs
逻辑引脚电压	INx，IN1/PH，IN2/EN	-0.5	5.75	V
三级引脚电压	MODE	-0.5	V_{VCC}+0.3	
输出引脚电压	OUTx	$-V_{SD}$	$V_{VM}+V_{SD}$	V
输出电流(1)	OUTx	受内部限制	受内部限制	A
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	℃

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式（HBM），符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模式（CDM），符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。列为 ±500V 的引脚实际上可能具有更高的性能。

7.3 建议工作条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电机电源电压， DRL	VM	1.65		11	V
V_{VM}	电机电源电压 DSG	VM	0		11	V
V_{VCC}	逻辑电源电压 DSG	VCC	1.65		5.5	V
V_{IN}	逻辑引脚电压	INx，IN1/PH，IN2/EN，MODE	0		5.5	V
f_{PWM}	PWM 频率	INx， IN1/PH，IN2/EN	0		100	kHz
I_{OUT} (1)	峰值输出电流	OUTx	0		1.76	A
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率损耗和热限值。

7.4 热信息

热指标(1)		DRV8210 DRL (SOT563) 6 引脚	DRV8210 DSG (WSON) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	153.2	99.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.1	119.9	°C/W
$R_{\theta JB}$	结至电路板热阻	40.4	66.3	°C/W
Ψ_{JT}	结至顶部特征参数	2.0	13.9	°C/W

Copyright © 2022 Texas Instruments Incorporated

热指标(1)		DRV8210 DRL (SOT563) 6 引脚	DRV8210 DSG (WSON) 8 引脚	单位
Ψ_{JB}	结至电路板特征参数	40.0	66.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		43.6	°C/W

(1) 有关传统和新热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 电气特性

DRL：1.65V ≤ V_{VM} ≤ 11V，DSG： 0V ≤ V_{VM} ≤ 11V 且 1.65V ≤ V_{VCC} ≤ 11V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。
典型值为 T_J = 27°C，V_{VCC} = 3.3V 且 V_{VM} = 5V。

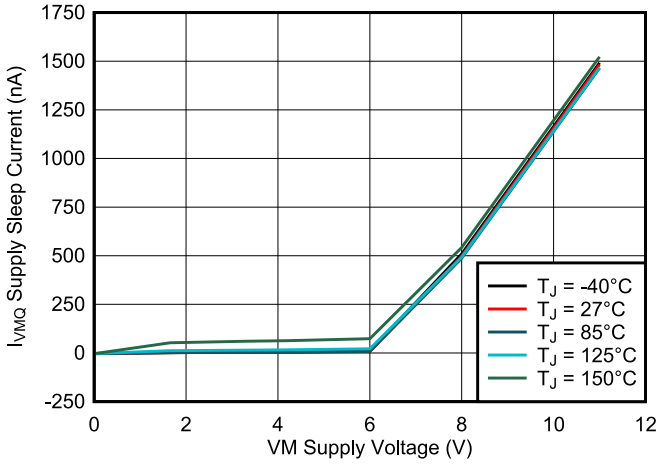
参数		测试条件	最小值	典型值	最大值	单位
电源，DRL (VM)						
I_{VM}	VM 工作模式电流	IN1 = 0V，IN2 = 3.3V		1.6	3.6	mA
I_{VMQ}	VM 睡眠模式电流	INx = 0V，等待 t_{sleep} 后，V_{VM} = 5V，T_J = 27°C		1	55	nA
t_{WAKE}	开通时间	睡眠模式到工作模式延迟			100	μs
$t_{AUTOSLEEP}$	自动睡眠关闭时间	工作模式到自动睡眠模式延迟	0.9		2.6	ms
电源，DSG（VM，VCC）						
I_{VM}	VM 工作模式电流	IN1 = 0V，IN2 = 3.3V		1.4	3.6	mA
I_{VMQ}	VM 睡眠模式电流	睡眠模式，V_{VM} = 5V，V_{VCC} = 3.3V，T_J = 27°C		1	82	nA
I_{VMQ_UV}	VM 睡眠模式电流	INx = 0V，V_{VM} = 5V，V_{VCC} < 0.35V，T_J = 27°C		2	89	nA
I_{VCC}	VCC 工作模式电流	IN1 = 0V，IN2 = 3.3V		0.18	3.6	mA
I_{VCCQ}	VCC 睡眠模式电流	睡眠模式，V_{VM} = 5V，V_{VCC} = 3.3V，T_J = 27°C			2.5	nA
I_{VCCQ_UV}	VCC 睡眠模式电流	INx = 0V，V_{VM} = 5V，V_{VCC} < 0.35V，T_J = 27°C			35	nA
t_{WAKE}	开通时间	睡眠模式到工作模式延迟			100	μs
$t_{AUTOSLEEP}$	自动睡眠关闭时间	工作模式到自动睡眠模式延迟	0.9		2.6	ms
逻辑电平输入（INx，IN1/PH，IN2/EN）						
V_{IL}	输入逻辑低电压		0		0.4	V
V_{IH}	输入逻辑高电压		1.45		5.5	V
V_{HYS}	输入逻辑迟滞		49			mV
I_{IL}	输入逻辑低电流	V_I = 0V	-1		1	μA
I_{IH}	输入逻辑高电平电流	V_I = 3.3 V	20		50	μA
R_{PD}	输入下拉电阻	至 GND		100		kΩ
三电平输入（MODE）						
V_{TIL}	三电平输入逻辑低电压		0		0.22 × V_{VCC}	V
V_{TIZ}	三电平输入高阻态电压		0.60 × V_{VCC}		0.675 × V_{VCC}	V
V_{TIH}	三电平输入逻辑高电压		0.75 × V_{VCC}		5.5	V
R_{TPD}	三电平下拉电阻	至 GND		130		kΩ，
R_{TPU}	三电平上拉电阻	至 VCC		75		kΩ
驱动器输出（OUTx）						
$R_{DS(on)_HS}$	高侧 MOSFET 导通电阻	I_O = 0.2A，DRL		475		mΩ
$R_{DS(on)_HS}$	高侧 MOSFET 导通电阻	I_O = 0.2A， DSG		525		mΩ
$R_{DS(on)_LS}$	低侧 MOSFET 导通电阻	I_O = –0.2A，DRL		475		mΩ

Copyright © 2022 Texas Instruments Incorporated

DRL：1.65V ≤ V_{VM} ≤ 11V，DSG： 0V ≤ V_{VM} ≤ 11V 且 1.65V ≤ V_{VCC} ≤ 11V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。
典型值为 T_J = 27°C，V_{VCC} = 3.3V 且 V_{VM} = 5V。

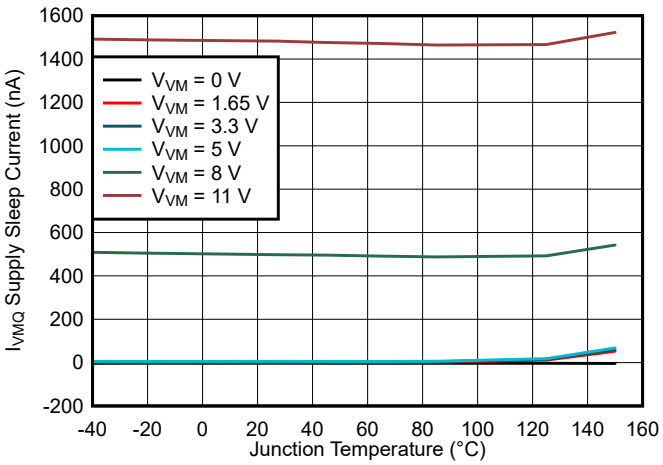
参数		测试条件	最小值	典型值	最大值	单位
$R_{DS(on)_LS}$	低侧 MOSFET 导通电阻	I_O = –0.2A， DSG		525		mΩ
V_{SD}	体二极管正向电压	I_O = -0.5 A		1		V
t_{RISE}	输出上升时间	V_{OUTx} 上升，从 V_{VM} 的 10% 上升到 90%		150		ns
t_{FALL}	输出下降时间	V_{OUTx} 下降，从 V_{VM} 的 90% 下降到 10%		150		ns
t_{PD}	输入至输出传播延迟	输入超过 0.8V 至 V_{OUTx} = 0.1×V_{VM}，I_O = 1A		135		ns
t_{DEAD}	输出死区时间	内部死区时间		500		ns
I_{OUT}	流入 OUTx 的泄漏电流	OUTx 为高阻态，R_L = 20Ω 至 VM		186		μA
		OUTx 为高阻态，R_L = 20Ω 至 GND		-3		nA
保护电路						
$V_{UVLO,VM}$	VM 电源欠压锁定（UVLO），DRL	电源上升			1.65	V
		电源下降	1.30			V
$V_{UVLO,VCC}$	VCC 电源欠压锁定（UVLO），DSG	电源上升			1.65	V
		电源下降	1.30			V
V_{UVLO_HYS}	电源 UVLO 迟滞	上升至下降阈值		80		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间	V_{VM} 下降（DRL）或 V_{VCC} 下降（DSG））至 OUTx 禁用		3.8		μs
I_{OCP}	过流保护跳闸点		1.76			A
t_{OCP}	过流保护抗尖峰脉冲时间			4.2		μs
t_{RETRY}	过流保护重试时间			1.7		ms
T_{TSD}	热关断温度		153		193	°C
T_{HYS}	热关断滞后			22		°C

7.6 典型特性 DSG 封装



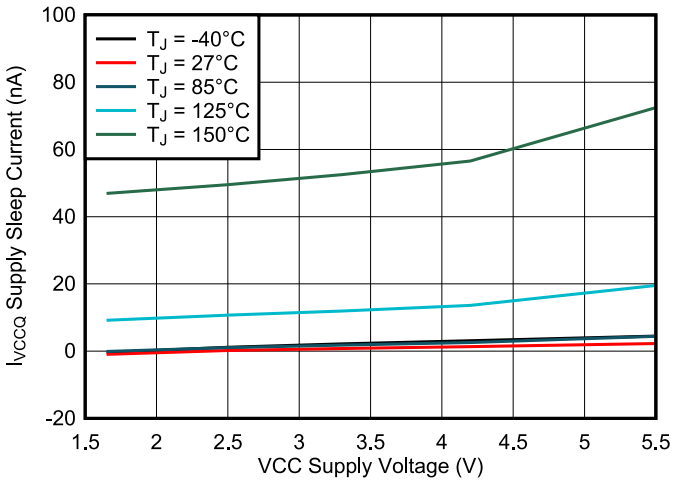
A. V_{VCC} = 3.3V

图 7-1. 休眠电流（I_{VMQ}）与电源电压（V_{VM}）



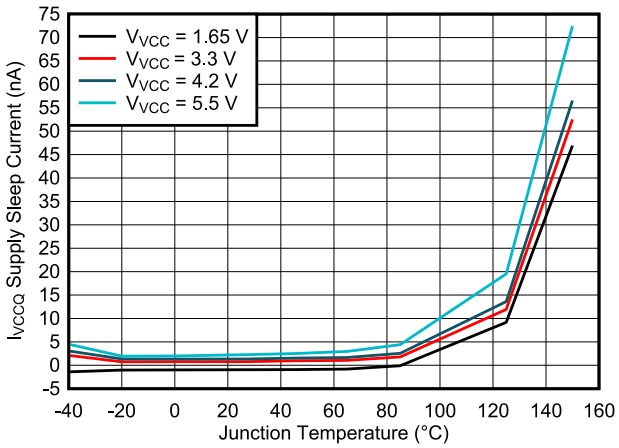
A. V_{VCC} = 3.3V

图 7-2. 休眠电流（I_{VMQ}）与结温（T_J）



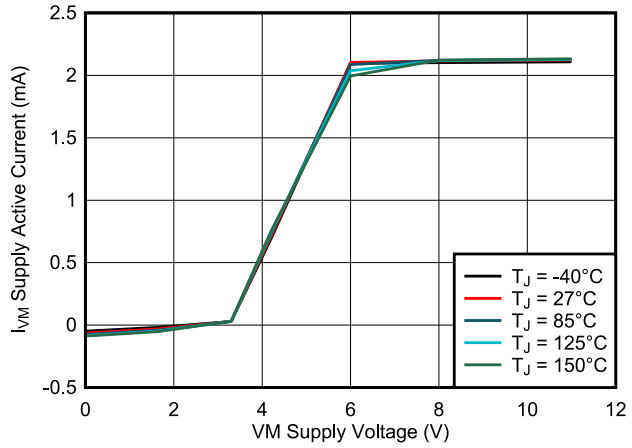
A. V_{VM} = 5 V

图 7-3. 休眠电流（I_{VCCQ}）与电源电压（V_{VCC}）



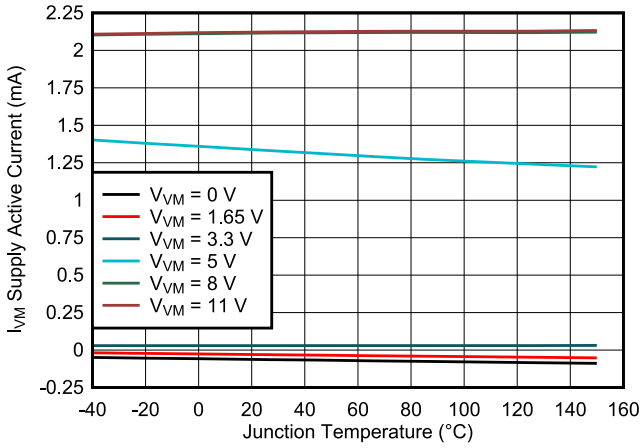
A. V_{VM} = 5 V

图 7-4. 休眠电流（I_{VCCQ}）与结温（T_J）



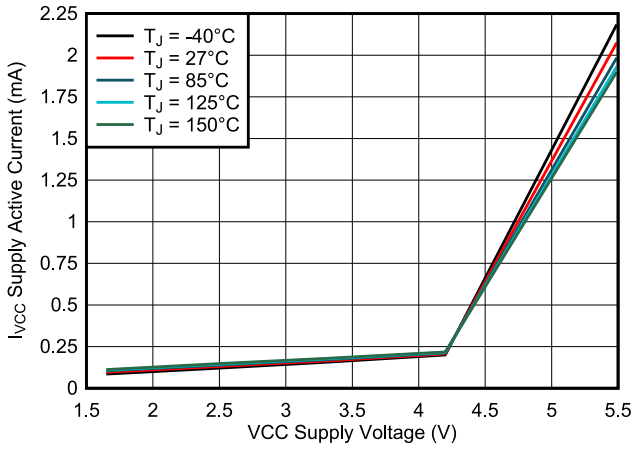
A. V_{VCC} = 3.3V

图 7-5. 有效电流（I_{VM}）与电源电压（V_{VM}）



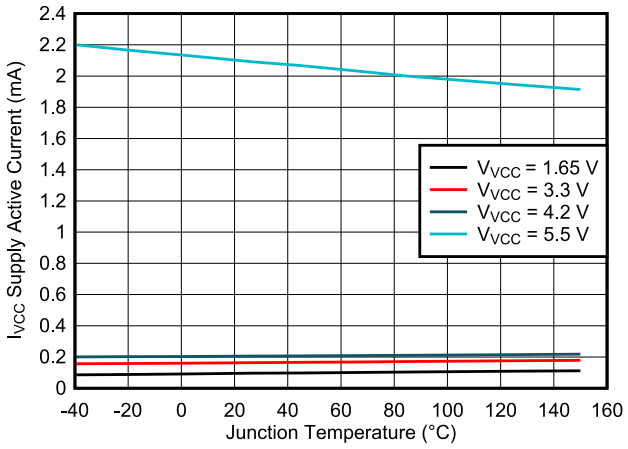
A. V_{VCC} = 3.3V

图 7-6. 有效电流（I_{VM}）与结温（T_J）



A. V_{VM} = 5 V

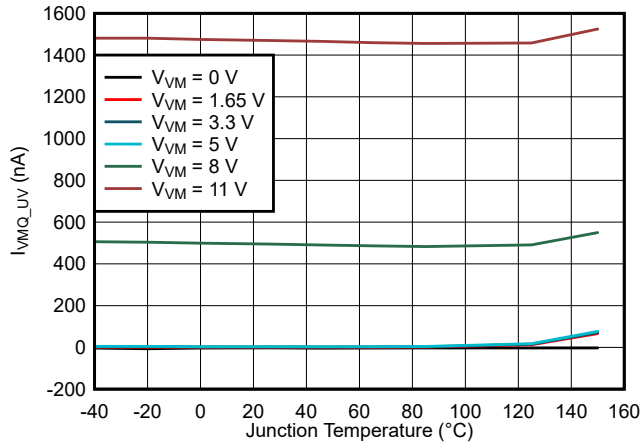
图 7-7. 有效电流（I_{VCC}）与电源电压（V_{VCC}）



A. V_{VM} = 5 V

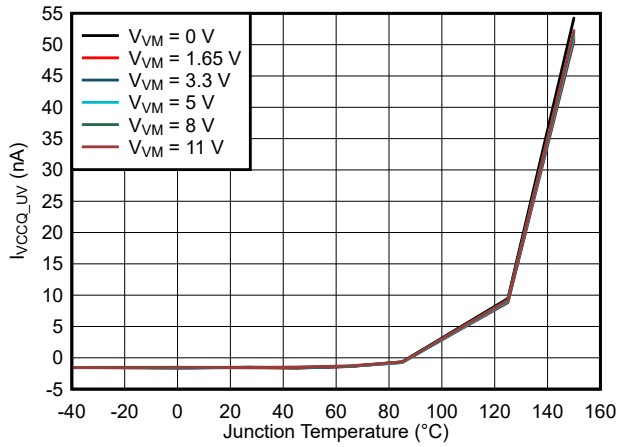
图 7-8. 有效电流（I_{VCC}）与结温（T_J）

Copyright © 2022 Texas Instruments Incorporated



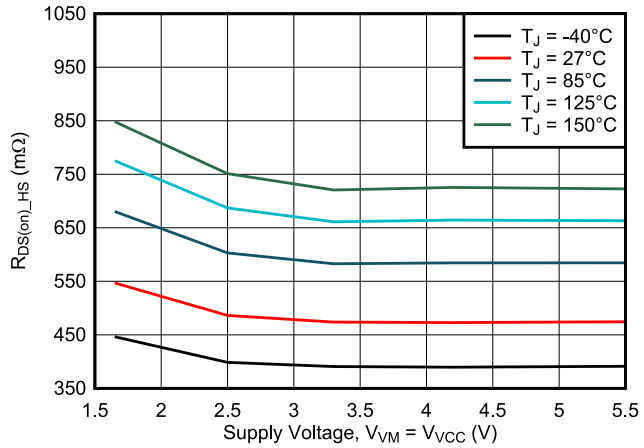
A. V_{VCC} < 0.35V

图 7-9. VCC 为低电平时的 VM 电源电流（I_{VMQ_UV}）与结温（T_J）



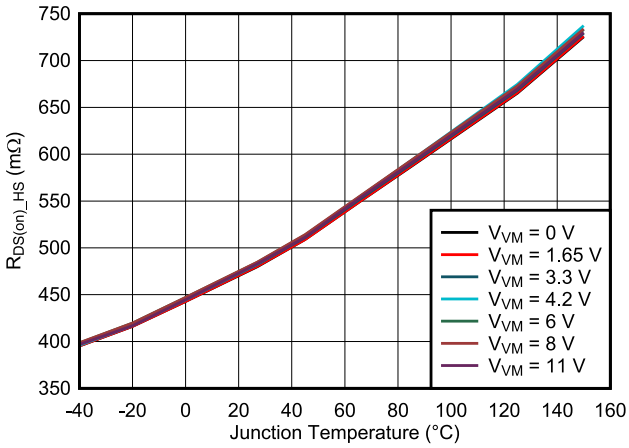
A. V_{VCC} < 0.35V

图 7-10. VCC 为低电平时的 VCC 电源电流（I_{VCCQ_UV}）与结温（T_J）



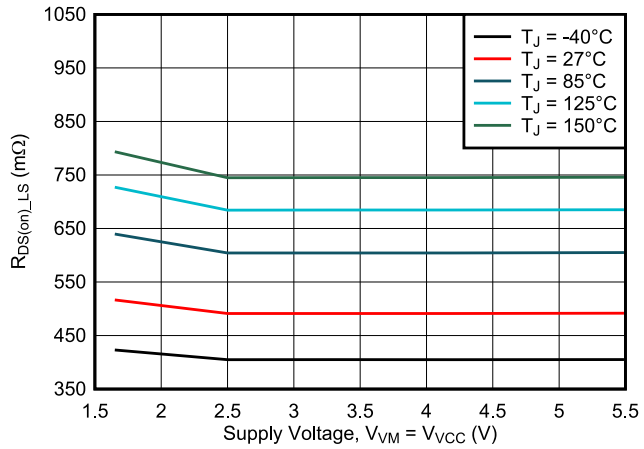
A. $V_{VM} = V_{VCC}$

图 7-11. 高侧 $R_{DS(on)}$ 与电源电压



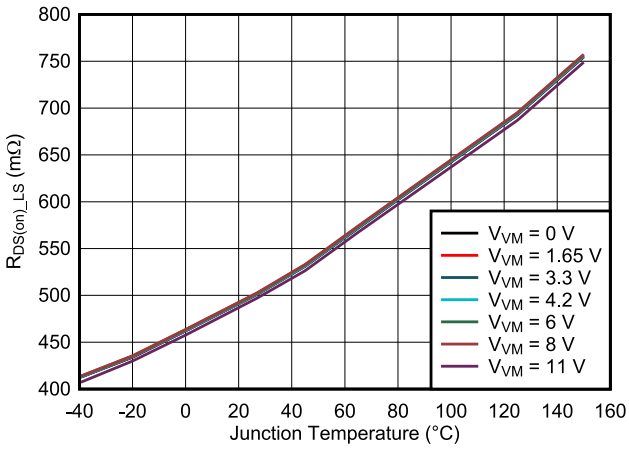
A. V_{VCC} = 3.3V

图 7-12. 高侧 $R_{DS(on)}$ 与结温（T_J）



A. $V_{VM} = V_{VCC}$

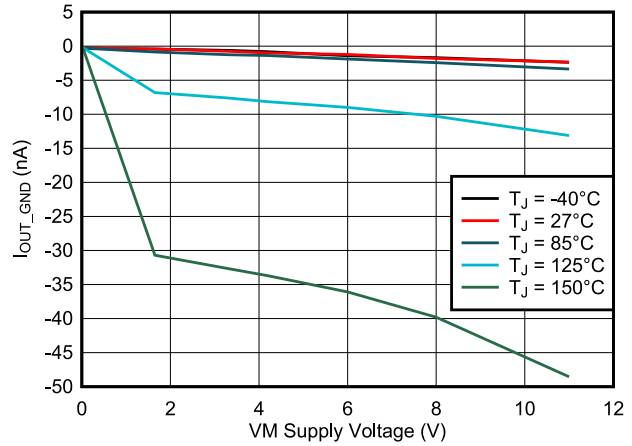
图 7-13. 低侧 $R_{DS(on)}$ 与电源电压



A. V_{VCC} = 3.3V

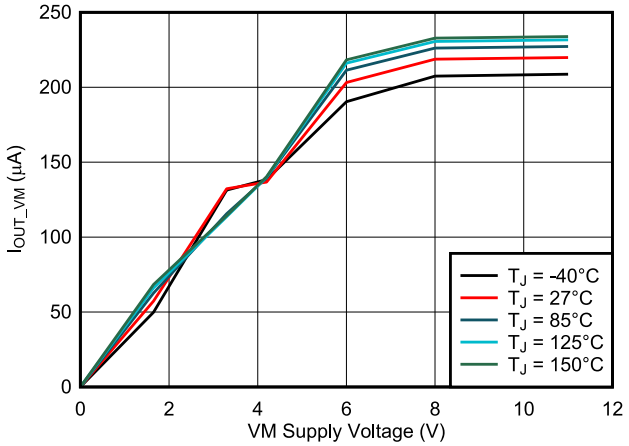
图 7-14. 低侧 $R_{DS(on)}$ 与结温（T_J）

Copyright © 2022 Texas Instruments Incorporated



A. V_{VCC} = 3.3V

图 7-15. OUTx 连接到 GND 时流入 OUTx（I_{OUT}）的高阻态泄漏电流与电源电压（V_{VM}）



A. V_{VCC} = 3.3V

图 7-16. OUTx 连接到 VM 时流入 OUTx（I_{OUT}）的高阻态泄漏电流与电源电压（V_{VM}）

7.7 典型特性 DRL 封装

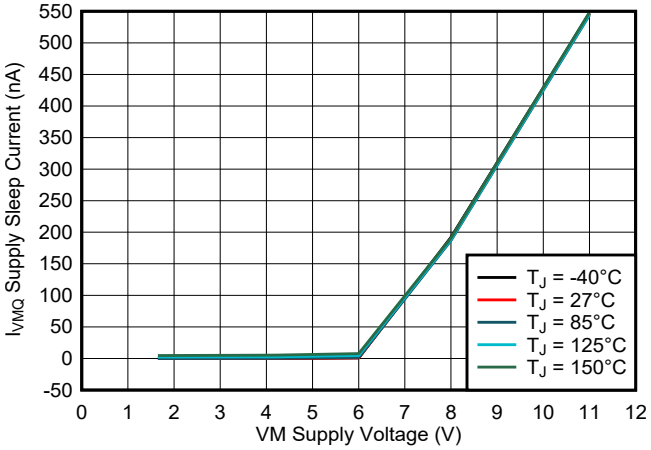


图 7-17. 休眠电流（I_{VMQ}）与电源电压（V_{VM}）

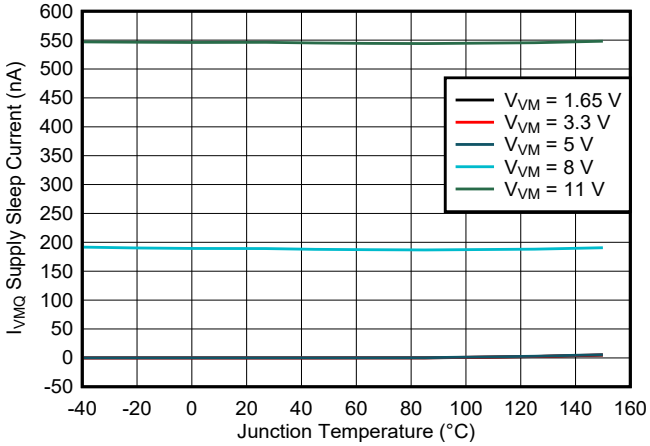


图 7-18. 休眠电流（I_{VMQ}）与结温（T_J）

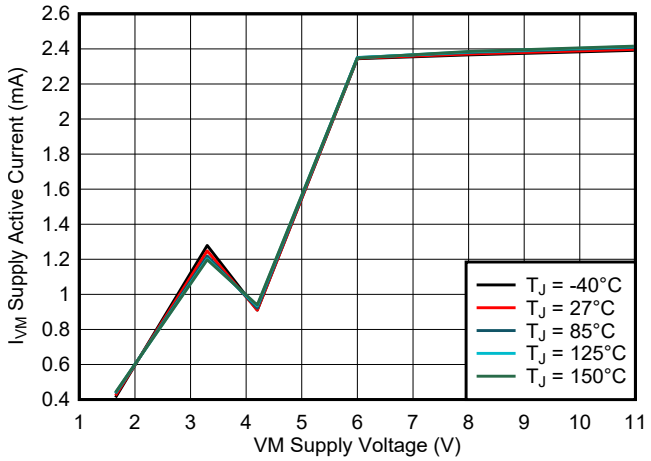


图 7-19. 有效电流（I_{VM}）与电源电压（V_{VM}）

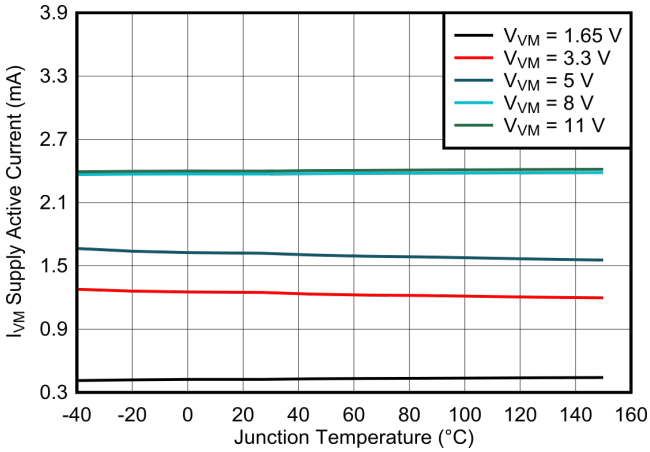


图 7-20. 有效电流（I_{VM}）与结温（T_J）

Copyright © 2022 Texas Instruments Incorporated

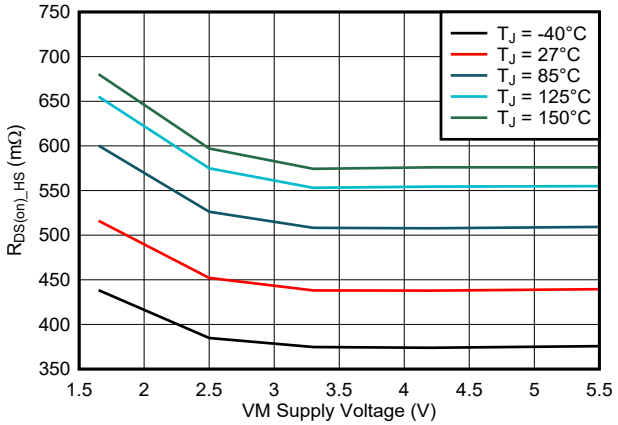


图 7-21. 高侧 $R_{DS(on)}$ 与电源电压

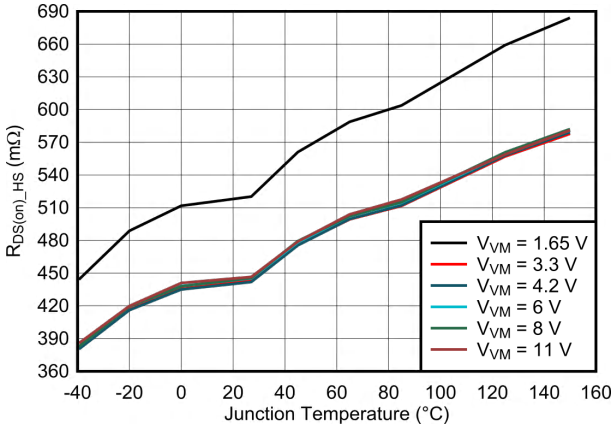


图 7-22. 高侧 $R_{DS(on)}$ 与结温（T_J）

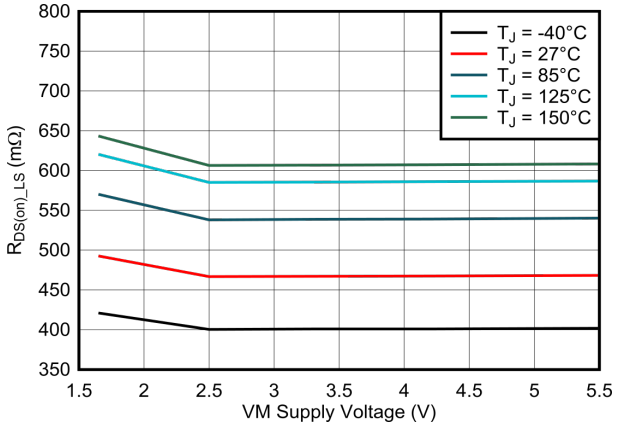


图 7-23. 低侧 $R_{DS(on)}$ 与电源电压

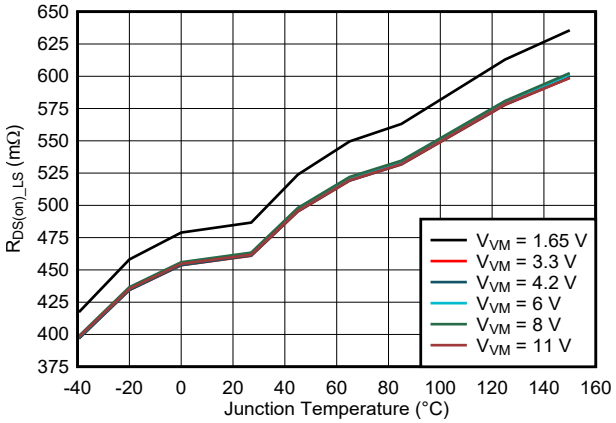


图 7-24. 低侧 $R_{DS(on)}$ 与结温（T_J）

Copyright © 2022 Texas Instruments Incorporated

8 详细说明

8.1 概述

DRV8210 是具有多个控制接口选项的集成 H 桥驱动器：PWM（IN1/IN2）接口（DRL 和 DSG 封装）、PH/EN（仅限 DSG）或半桥接口（仅限 DSG）。为了减少印刷电路板上的面积和外部元件，该器件集成了电荷泵稳压器及其电容器。在 DSG 封装中，只要 VCC 电源稳定，借助独立的电机（VM）和逻辑（VCC）电源，电机电源电压可降至 0V，而不会对 $R_{DS(on)}$产生重大影响，并且不会触发 UVLO。定时自动睡眠模式通过消除禁用/睡眠引脚并在输入保持非活动状态 1-2ms 时自动将器件置于低功耗睡眠模式来减少微控制器 GPIO 连接。

PWM 接口是标准的 2 引脚（IN1/IN2）电机驱动接口。通过 PH/EN 接口，仅使用来自控制器的一个 PWM 资源即可实现双向 PWM 控制。PWM 和 PH/EN 接口可以双向驱动有刷直流电机和双稳态继电器等负载。独立半桥模式可完全控制每个半桥。半桥可以独立控制两个负载，每个通道充当高侧或低侧驱动器，具有全桥驱动的一半 $R_{DS(on)}$。另外，在半桥模式下，还可以将输入和输出连接在一起（也称“并联”），作为高侧或低侧驱动器驱动单个负载，其 $R_{DS(on)}$为全桥驱动的四分之一。

集成保护功能可在出现系统故障时保护该器件。这些保护功能包括欠压锁定（UVLO）、过流保护（OCP）和过热关断（TSD）。

8.2 功能方框图

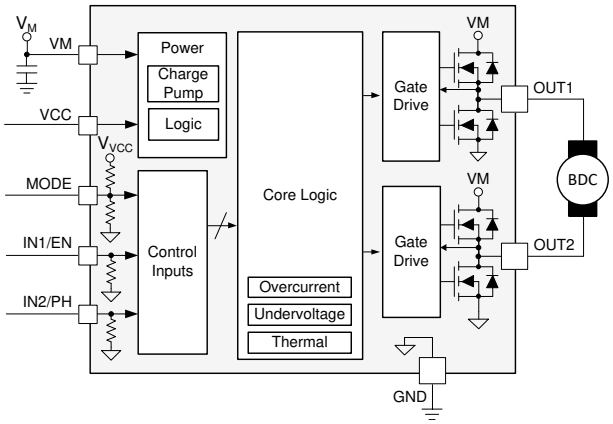


图 8-1. DSG 封装中的多接口类型

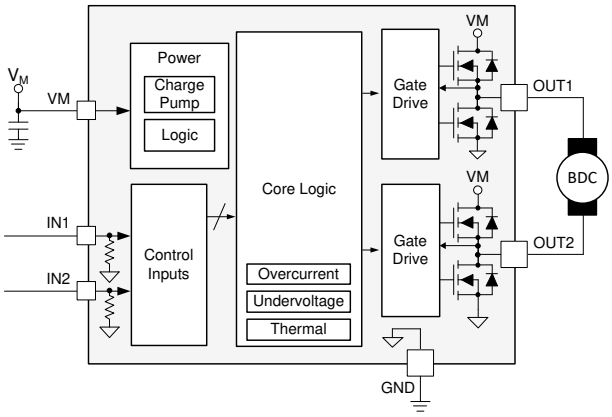


图 8-2. DRL 封装中的 PWM 接口类型

Copyright © 2022 Texas Instruments Incorporated

8.3 特性说明

8.3.1 外部元件

表 8-1 列出了为此器件推荐的外部元件。

表 8-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	0.1μF、低 ESR 陶瓷电容器、额定电压为 VM。
C_{VM2}	VM	GND	节 10.1，额定电压为 VM。
C_{VCC}	VCC	GND	0.1μF、低 ESR 陶瓷电容器、额定值为 VCC。仅 DSG 封装型号需要。

8.3.2 控制模式

DRV8210 通过 PH/IN1 和 EN/IN2 引脚提供三种模式来支持不同的控制方案。通过将 MODE 引脚设置为逻辑低电平、逻辑高电平或高阻态，可选择控制接口模式，如表 8-2 中所示。MODE 引脚不锁存状态，因此可以在运行期间更改。

DRL 封装型号仅支持 PWM 接口（请参阅表 8-3）。

表 8-2. DSG 型号的 MODE 引脚功能

MODE 状态	控制模式
MODE = 逻辑低电平	PWM
MODE = 逻辑高电平	PH/EN
MODE = 高阻态	半桥

可接受占空比为 0% 至 100% 的直流或脉宽调制（PWM）电压信号输入。默认情况下，INx、PH/IN1 和 EN/IN2 引脚具有内部下拉电阻，以确保在没有输入时输出为高阻态（唯一的例外是半桥模式，在这种模式下，如果 INx 为悬空模式，则 OUTx = L）。

以下几部分显示了每个控制模式的真值表。此外，当在半桥的高侧和低侧 MOSFET 之间切换时，DRV8210 会自动处理死区时间生成。图 8-3 介绍了以下部分中描述的各种 H 桥状态的命名和配置。

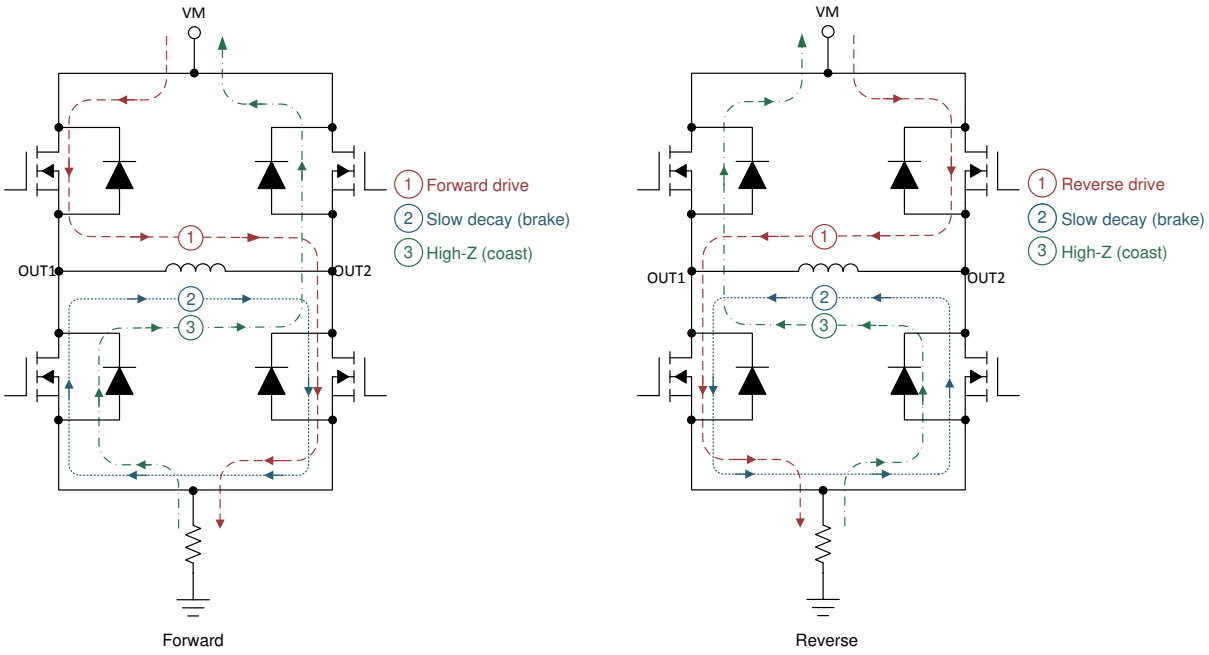


图 8-3. H 桥状态

8.3.2.1 PWM 控制模式（DSG：MODE = 0 和 DRL）

PWM 接口（IN1/IN2）根据表 8-3 中的逻辑表控制 OUTx 引脚。在 DSG 封装中，将 MODE 引脚设置为逻辑低电平后，即选择 PWM 模式。滑行/高阻抗状态兼作自动睡眠模式。在滑行/高阻抗状态下保持 t_{SLEEP} 后，器件将自动进入低功耗睡眠模式（自动睡眠模式）。PWM 模式是 DRL 封装中唯一可用的接口模式。

表 8-3. 带自动睡眠功能的 PWM 控制模式

IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	滑行（H 桥高阻态）/ 低功耗自动睡眠模式
0	1	L	H	反向（OUT2 → OUT1）
1	0	H	L	正向（OUT1 → OUT2）
1	1	L	L	制动（低侧慢速衰减）

8.3.2.2 PH/EN 控制模式（DSG：MODE = 1）

如果 MODE 引脚在加电时处于逻辑高电平状态，器件会选择“相位使能”模式（PH/EN）。PH/EN 模式允许使用接口的速度和方向类型来控制 H 桥。表 8-4 显示了 PH/EN 模式的真值表。当 EN 引脚为低电平时，该器件将进入制动模式。这使得控制器可以在 EN 引脚上使用单个 PWM 发生器外设，而标准 GPIO 引脚使用 PH 引脚控制方向。但是，如果 EN 引脚保持低电平的时间超过 t_{SLEEP}，器件将进入低功耗睡眠模式并禁用输出。

表 8-4. PH/EN 控制模式

EN	PH	OUT1	OUT2	说明
0	X	L → 高阻态	L → 高阻态	制动（低侧慢速衰减）t_{SLEEP}，然后进入自动睡眠模式（H 桥高阻态）
1	0	L	H	反向（OUT2 → OUT1）
1	1	H	L	正向（OUT1 → OUT2）

8.3.2.3 半桥控制模式（DSG：MODE = 高阻态）

当 MODE 引脚悬空（高阻态）时，会选择半桥控制模式。此模式允许直接控制每个半桥来支持高侧慢速衰减（或制动），驱动两个独立的负载，或并联输出来提高单个负载的电流能力。表 8-5 显示了独立半桥模式的真值表。如果 MODE 引脚连接到微控制器的 GPIO 引脚，通过将 GPIO 引脚设置为输入，微控制器可以实现高阻抗状态。使用半桥模式时，通过将 MODE、IN1 和 IN2 引脚设为逻辑低电平，器件可进入睡眠模式。需要将控制 MODE 引脚的 GPIO 重新配置为逻辑低电平输出。或者，在某些情况下，VCC 引脚可通过 GPIO 提供，以使设备进入睡眠状态。更多详细信息，请参阅 节 8.4.2。

表 8-5. 半桥控制模式

VCC	MODE	IN1	IN2	OUT1	OUT2	说明
0V	X	X	X	高阻态	高阻态	低功耗睡眠模式
1.65-5.5 V	0	0	0	高阻态	高阻态	H 桥禁用/低功耗自动睡眠模式
1.65-5.5 V	Hi-Z	0	X	L	X	OUT1 低侧导通
1.65-5.5 V	Hi-Z	1	X	H	X	OUT1 高侧导通
1.65-5.5 V	高阻态	X	0	X	L	OUT2 低侧导通
1.65-5.5 V	高阻态	X	1	X	H	OUT2 高侧导通

Copyright © 2022 Texas Instruments Incorporated

8.3.3 保护电路

DRV8210 可完全防止电源欠压、输出过流和器件过热事件。

8.3.3.1 电源欠压锁定（UVLO）

无论何时，只要电源电压低于欠压锁定阈值电压，H 桥中的所有 MOSFET 都将被禁用。在这种情况下，电荷泵和器件逻辑会被禁用。如果由双电源供电（仅限 DSG 封装），当 VCC 引脚电压降至 $V_{UVLO,VCC}$ 下降阈值以下时，UVLO 触发。此时，VM 电源电压可以一直下降到 0V。如果采用单电源供电（仅限 DRL 封装），当 VM 引脚电压降至 $V_{UVLO,VM}$ 下降阈值以下时，UVLO 触发。当电源电压升至高于 V_{UVLO} 上升阈值时，将恢复正常运行。表 8-6 总结了器件进入 UVLO 时的条件。

表 8-6. UVLO 响应条件

封装型号	V_{VM}	V_{VCC}	器件响应
DSG	0V 至 V_{VM_MAX}	<1.65V	UVLO
	0V 至 V_{VM_MAX}	>1.65V	正常运行
DRL	<1.65V	不适用	UVLO
	1.65V 至 V_{VM_MAX}	不适用	正常运行

8.3.3.2 OUTx 过流保护（OCP）

即使发生了硬短路事件，每个 MOSFET 上的模拟电流限制电路也会限制器件输出的峰值电流。如果输出电流超过过流阈值 I_{OCP} 且持续时间超过过流抗尖峰时间 t_{OCP}，则会禁用 H 桥中的所有 MOSFET。在 t_{RETRY} 之后，MOSFET 会根据 PH/IN1 和 EN/IN2 引脚的状态重新启用。如果过流条件仍然存在，则会重复此周期，否则器件将恢复正常运行。

在半桥控制模式下，OCP 行为略有改动。如果检测到过流事件，将只禁用相应的半桥。另一个半桥会继续正常运行。这样，器件就可以在驱动独立的负载时管理独立的故障事件。如果在两个半桥中都检测到过流事件，将同时禁用两个半桥。两个半桥共用同一个过流重试计时器。如果在 OUT1 中首先发生过流事件，则该输出将在 t_{RETRY} 期间内禁用。如果 OUT2 在 OUT1 之后但在 t_{RETRY} 到期之前发生过流事件，则两个 OUTx 引脚将在 t_{RETRY} 的整个持续时间内保持禁用状态。

8.3.3.3 热关断（TSD）

如果内核温度超过过热限值 T_{TSD}，将会禁用 H 桥中的所有 MOSFET。当过热条件消失且裸片温度降至 V_{TSD} 阈值以下时，将恢复正常运行。

8.3.4 引脚图

8.3.4.1 逻辑电平输入

图 8-4 显示了逻辑电平输入引脚 IN1、IN2、PH/IN1 和 EN/IN2 的输入结构。

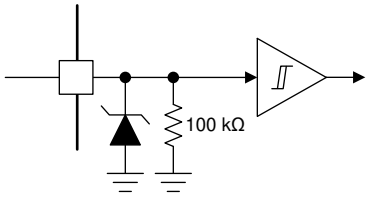


图 8-4. 逻辑电平输入

8.3.4.2 三电平输入

图 8-5 显示了三电平输入引脚 MODE 的输入结构。

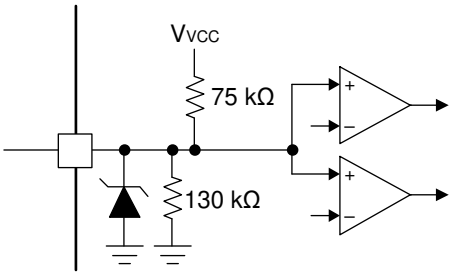


图 8-5. 中的 MODE 三电平输入

8.4 器件功能模式

DRV8210 具有多种不同的运行模式，具体取决于系统输入和条件。

8.4.1 工作模式

在工作模式下，H 桥、电荷泵和内部逻辑将激活，器件将准备好接收输入。进入低功耗睡眠模式或故障模式后，器件将退出工作模式。从自动睡眠模式唤醒时，INx 引脚（当 MODE = 0 时为 DRL 封装或 DSG 封装）或 EN 引脚（当 MODE = 1 时为 DSG 封装）必须在 t_{WAKE} 期间保持高电平才能启用器件。在 t_{WAKE} 时间之后，器件处于唤醒状态，INx 引脚或 EN 引脚可能会接收到 PWM 信号。

当 $V_{VCC} < V_{VM}$ 时，DRV8210 会从 VM 引脚而非 VCC 引脚汲取有源电流。在这种工作条件下，I_{VCC} 通常小于 500nA（请参阅图 7-5 和图 7-7）。

8.4.2 低功耗睡眠模式

DRV8210 支持低功耗睡眠模式，以在驱动器未工作时减少 VM 和 VCC 的电流消耗。有两种方法可以进入低功耗睡眠模式：自动睡眠和使用 VCC 引脚。在自动睡眠模式下，器件消耗的电流最少，由 I_{VCCQ} 和 I_{VMQ} 表示。DSG 和 DRL 封装都支持自动睡眠。在 VCC 睡眠模式下，器件消耗的电流最少，由 I_{VMQ_UV} 和 I_{VCCQ_UV} 表示。只有 DSG 封装可以使用 VCC 引脚进入低功耗模式。表 8-7 介绍了如何进入低功耗睡眠模式。

表 8-7. 睡眠模式汇总

型号	输入引脚状态	OUT1	OUT2	说明
DRL	IN1 = IN2 = 0	高阻态	高阻态	**PWM 或半桥接口自动睡眠：**进入该状态后，输出将被禁用。器件将保持工作模式 t_{SLEEP}，然后进入低功耗模式。
DSG	MODE = 0，IN1 = IN2 = 0	高阻态	高阻态	
	MODE = 1，EN = 0	L → 高阻态	L → 高阻态	**PH/EN 接口自动睡眠：**进入该状态后，通过接通低侧 FET，两个输出都进入制动模式。器件将保持此状态 t_{SLEEP} 时间，然后进入低功耗模式。处于低功耗模式后，输出将被禁用。
	VCC = 0 V	高阻态	高阻态	**VCC 电源作为睡眠引脚：**VCC 引脚可以由 GPIO 引脚供电，用于使器件进入睡眠状态。通过将 GPIO 引脚设置为低电平，器件通过使用 UVLO 进入低功耗模式。要唤醒器件，请将 GPIO 引脚设置为高电平（VCC > V_{UVLO}），然后在 MODE = 1 时设置 EN = 1，或者在 MODE = 高阻态或 1 时，将任一 INx 输入设置/切换为 1。有关使用 VCC 引脚进入睡眠状态的更多信息，请参阅节 9.2.2.2.3。

当输入引脚转为表 8-7 中所述状态之外的其他状态时，该器件将返回工作模式。要将器件从自动睡眠模式唤醒，INx 引脚或 EN 引脚（取决于 MODE 状态）必须设置为高电平超过 t_{WAKE} 时间，然后才能接收 PWM 输入信号。

要将器件从 VCC 睡眠模式唤醒，VCC 引脚电压必须大于 $V_{UVLO,VCC}$。VCC 引脚具有有效电压后，必须将一个或两个 INx 引脚设置为高电平超过 t_{WAKE} 时间才能完全唤醒器件。为了保护微控制器 GPIO 引脚免受去耦电容充电电流造成的过电流影响，可能需要在 GPIO 和 VCC 引脚上的去耦电容之间添加一个电阻。有关设计此限流电阻的更多信息，请参阅节 9.2.2.2.3。

为确保最低的电源电流消耗，TI 建议将所有输入引脚设置为逻辑低电平，以消除睡眠模式下通过下拉电阻器的电流消耗。如果 MODE 引脚设置为高阻态或逻辑低电平，它将不会在睡眠模式下消耗电流。但是，当 MODE 引脚为逻辑高电平时，它会在睡眠模式下消耗一些电流。

Copyright © 2022 Texas Instruments Incorporated

8.4.3 故障模式

DRV8210 遇到故障时进入故障模式。这可以保护器件和输出负载。故障模式下的器件行为取决于故障状况，如节 8.3.3 中所述。当满足恢复条件时，器件会离开故障模式并重新进入工作模式。表 8-8 总结了故障条件、响应和恢复。

表 8-8. 故障条件汇总

故障	条件	H 桥	恢复
欠压锁定（UVLO），DSG	VCC < $V_{UVLO,VCC}$ 下降	禁用	VCC > $V_{UVLO,VCC}$ 上升
欠压锁定（UVLO），DRL	VM < $V_{UVLO,VM}$ 下降	禁用	VM > $V_{UVLO,VM}$ 上升
过流（OCP）	I_{OUT} > I_{OCP}	禁用	t_{RETRY}
热关断（TSD）	T_J > T_{TSD}	禁用	T_J < T_{TSD} - T_{HYS}

Copyright © 2022 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不保证其准确性和完整性。TI 的客户应负责确定组件对其目的的适合性。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

DRV8210 可用于需要半桥或 H 桥功率级配置的各种应用。常见的应用示例包括有刷直流电机、电磁阀、双稳态闭锁继电器和传动器。这些器件还可以驱动许多常见的无源负载，例如 LED、电阻元件、继电器等。本部分重点介绍 DRV8210 的一些应用示例。

9.2 典型应用

9.2.1 全桥驱动

DRV8210 的典型应用是通过将输出作为全桥或 H 桥配置来双向（正向和反向）驱动有刷直流电机或单线圈闭锁继电器。图 9-1 和图 9-2 显示了使用 PWM 接口驱动电机的每个封装型号的示例。图 9-3 显示了一个使用 PWM 接口驱动单线圈闭锁继电器的示例。图 9-4 显示了一个使用 PH/EN 接口驱动电机的示例。

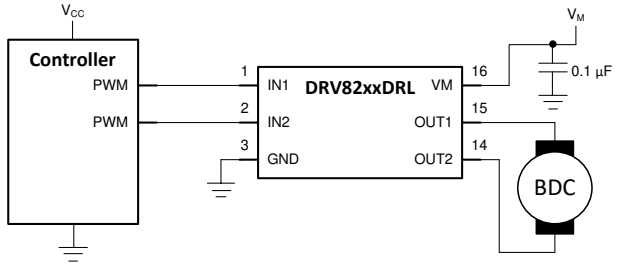


图 9-1. 用于 DRL 封装的 PWM 接口电机驱动应用

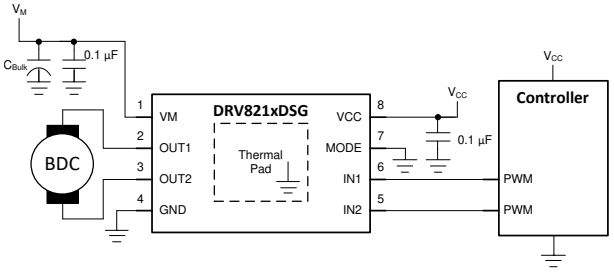


图 9-2. 用于 DSG 封装的 PWM 接口电机驱动应用

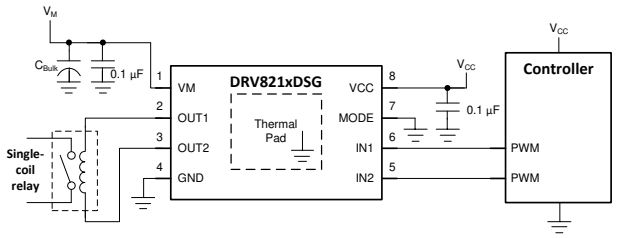


图 9-3. PWM 接口单线圈闭锁继电器应用

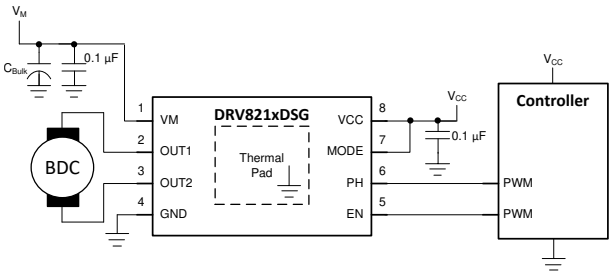


图 9-4. 用于 DSG 封装的 PH/EN 接口电机驱动应用

9.2.1.1 设计要求

表 9-1 列出了典型用例所需的参数。

表 9-1. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	11V
逻辑电源电压	V_{CC}	3.3V
目标电机 RMS 电流	I_{motor}	300mA
目标继电器电流	I_{relay}	50mA

Copyright © 2022 Texas Instruments Incorporated

9.2.1.2 详细设计过程

9.2.1.2.1 电源电压

适当的电源电压取决于负载（电机、螺线管、继电器等）的额定值。如果使用有刷直流电机，电源电压将影响所需的 RPM。更高的电压可使有刷直流电机更快地旋转，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过电机、螺线管或继电器的感应绕组的电流变化率。

9.2.1.2.2 控制接口

节 8.3.2.1 介绍了 PWM 控制接口，具体取决于所选的封装。TI 建议将 MODE 引脚直接连接到 GND 网络，如图 9-2 中所示。但是，如果应用中需要其他接口状态，可以将 MODE 引脚连接到 GPIO 引脚，以在运行期间选择其他接口选项。自动睡眠特性可实现仅使用两个引脚对电机和低功耗模式进行双向控制。这样就不需要使用另一个 GPIO 来控制睡眠引脚。图 9-5 和图 9-6 显示了使用 PWM 接口驱动电机的波形示例。

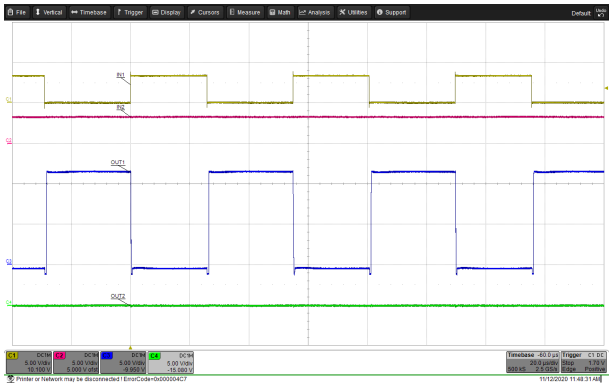
图 9-7 和图 9-8 显示了使用 PWM 接口驱动单线圈继电器的波形示例。继电器可以在正向/反向状态和制动/滑行状态之间驱动，如图所示。

节 8.3.2.2 介绍了 PH/EN 控制接口。将 MODE 引脚连接到微控制器电源可选择 PH/EN 接口。通过仅切换 EN 引脚，PH/EN 模式有助于减少电机驱动所需的微控制器 PWM 发生器的数量。PH 引脚通过此接口控制电机驱动的方向。如果 EN 保持低电平超过 t_{SLEEP}，器件将进入睡眠模式。

9.2.1.2.3 低功耗运行

节 8.4.2 介绍了如何进入低功耗睡眠模式。进入睡眠模式时，TI 建议将所有输入设置为逻辑低电平，以最大限度地降低系统功耗。

9.2.1.3 应用曲线



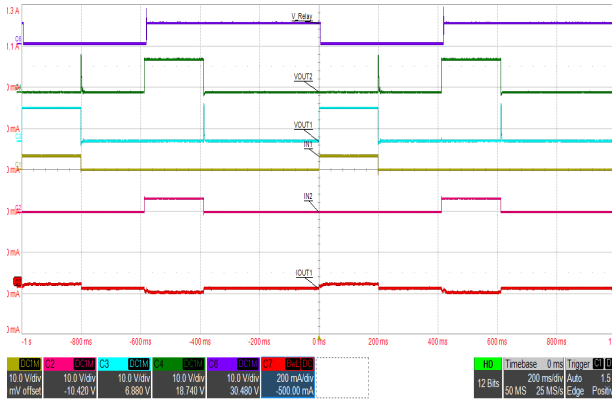
A. 通道 1 = IN1　通道 2 = IN2　通道 3 = OUT1　通道 4 = OUT2

图 9-5. 具有 50% 占空比、INx 和 OUTx 电压的电机的 PWM 驱动



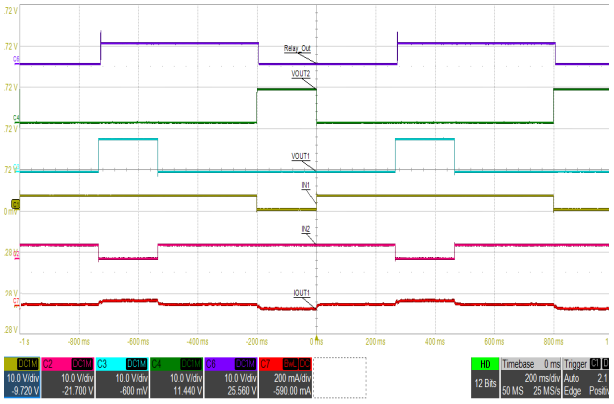
A. 通道 1 = IN1　通道 2 = 电机电流　通道 3 = OUT1　通道 4 = OUT2

图 9-6. 具有 50% 占空比、信号和电机电流的电机的 PWM 驱动



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1} 通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈电流

图 9-7. 驱动模式为“正向 → 滑行→ 反向→ 滑行”的单线圈闭锁继电器的 PWM 驱动



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1} 通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈电流

图 9-8. 驱动模式为“正向 → 制动 → 反向 → 制动”的单线圈闭锁继电器的 PWM 驱动

9.2.2 半桥驱动

通过让 MODE 引脚悬空，可以将 DRV8210 配置为半桥模式。在此模式下，器件输出可用作低侧或高侧驱动器。这可使器件驱动各种负载，例如单向（仅在一个方向上）一个或两个电机、螺线管、阀门和继电器。图 9-9 显示了用作 OUT1 上的低侧驱动器和 OUT2 上的高侧驱动器的器件。两个负载也可以从高侧或低侧驱动。通过将 INx 引脚和 OUTx 引脚连接在一起（如图 9-10 和图 9-11 中所示），该器件可以用一半的 $R_{DS(on)}$ 驱动单个负载。这可以满足更大的电流要求。这种配置称为“并行半桥模式”。

在半桥模式下，半桥中的其他 FET 和体二极管将在 PWM 占空比关闭期间再循环续流电流，因此不需要额外的外部二极管。

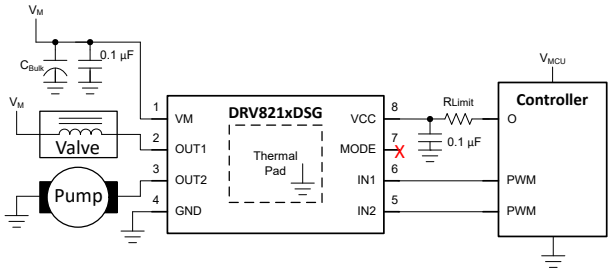


图 9-9. 半桥模式用作两个负载的高侧和低侧驱动器

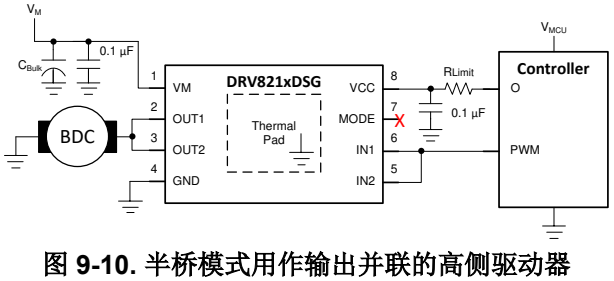


图 9-10. 半桥模式用作输出并联的高侧驱动器

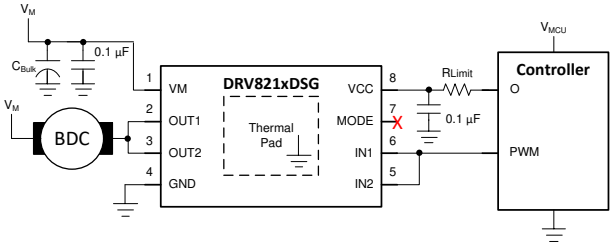


图 9-11. 半桥模式用作输出并联的低侧驱动器

9.2.2.1 设计要求

表 9-2 列出了图 9-9 中所示用例所需的参数。

Copyright © 2022 Texas Instruments Incorporated

表 9-2. 系统设计要求

设计参数	基准	示例值
负载电源电压	V_M	6V
逻辑电源电压	V_{MCU}	3.3V
最大阀门电流	I_{OUT1}	100mA 脉冲持续 100ms
最大泵电流	I_{OUT2}	600mA，RMS

9.2.2.2 详细设计过程

9.2.2.2.1 电源电压

适当的电源电压取决于负载的额定值。

9.2.2.2.2 控制接口

节 8.3.2.3 介绍了 DSG 封装的半桥控制接口。

9.2.2.2.3 低功耗运行

将 VCC 设为 0V 会使 DRV8210 在半桥模式下睡眠。节 8.4.2 详细介绍了如何进入低功耗睡眠模式。进入睡眠模式时，TI 建议将所有输入设置为逻辑低电平，以最大限度地降低系统功耗。要在半桥模式下唤醒 DRV8210，请将 VCC 置于高电平，然后设置 IN1 或 IN2 在保持高电平超过 t_{WAKE} 之后，再返回低电平或发送 PWM 信号。图 9-19 和图 9-20 显示了此唤醒过程。

由于 VCC 引脚上有去耦电容，TI 建议在控制器的 GPIO 引脚和 VCC 引脚之间添加一个电阻，如图 9-9、图 9-10 和图 9-11 中所示。该电阻的目的是在切换 GPIO 引脚时保护 GPIO 引脚免受来自电容器的大电流的影响。但是，该电阻器的大小必须适当，以便工作电流 I_{VCC} 流入 VCC 引脚。表 9-3 显示了 R_{LIMIT} 电阻器的设计考量。V_{OL} 为逻辑低电平时的 GPIO 电压，V_{OH} 为逻辑高电平时的 GPIO 电压，I_{OL} 为 GPIO 可以吸收的最大电流。控制器数据表应为 GPIO 引脚指定 V_{OL}、V_{OH} 和 I_{OL}。

表 9-3. GPIO 引脚限流电阻设计要求

设计考量	方程	示例
保护 GPIO 引脚所需的最小电阻。在这里，V_{Cap} 是 GPIO 引脚从高电平切换到低电平时电容上的电压。为了简化计算并假设存在最坏情况，假设 V_{Cap} 等于控制器电源电压 V_{MCU}。有关示例电路，请参阅图 9-12。	$R_{Limit} \geq (V_{Cap} - V_{OL})/I_{OL}$	$R_{Limit} \geq (3.3V - 0.3V)/24mA = 125\,\Omega$
保持 VCC 引脚电压足够高，以免器件进入欠压锁定状态。有关示例电路，请参阅图 9-13。	$V_{OH} - (I_{VCC} \times R_{Limit}) = V_{VCC} \geq 1.65V$	$3.0V - (3.6mA \times 125\,\Omega) = 2.55V \geq 1.65V$

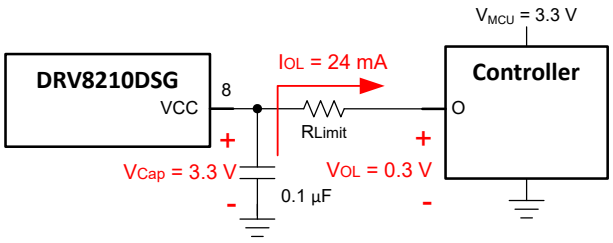


图 9-12. 将输出从逻辑高电平切换到逻辑低电平时的 GPIO 电流

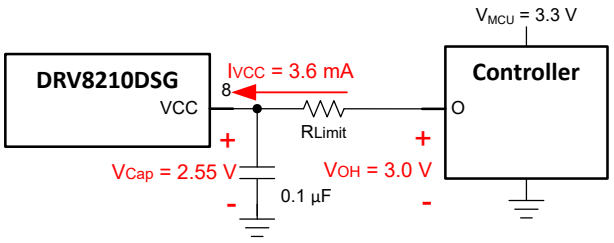


图 9-13. $V_{VCC} > V_{VM}$ 时输出逻辑高电平的 GPIO 电流

如果指定的 GPIO 电流太小，还有一些其他方法可以让器件进入睡眠状态。一种方法是并联多个 GPIO 以提供适当的电流。第二种方法是设置 MODE = IN1 = IN2 = 0，以使器件进入自动睡眠状态。这将要求控制 MODE 的 GPIO 引脚在工作期间配置为输入，在睡眠期间配置为输出低电平。第三种方法是在电源和 VCC 引脚之间放置一个 GPIO 控制的晶体管，如图 9-14 中所示。

Copyright © 2022 Texas Instruments Incorporated

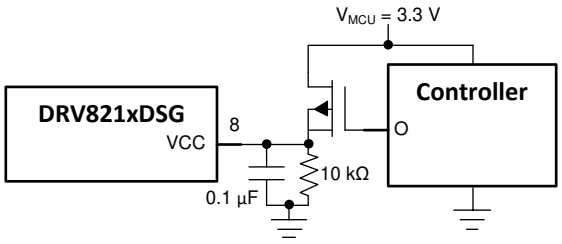
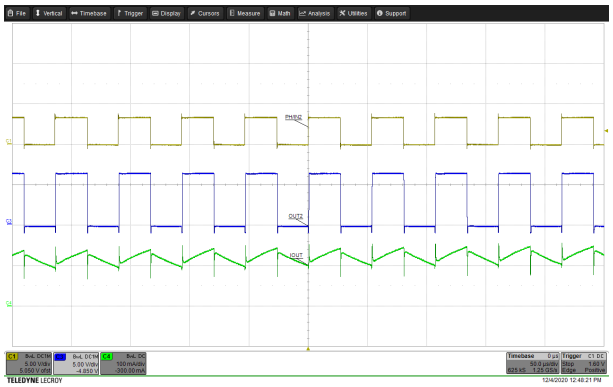


图 9-14. 带晶体管的 GPIO

为了最大限度地减少流入 OUTx 引脚的泄漏电流（尤其是在电池供电的应用中），请将负载从 OUTx 连接到 GND。如前所述，也可以将负载从 OUTx 连接到 VM，但当其被禁用时可能会有少许漏电流流入 OUTx。如果负载以 H 桥配置连接，预计不会出现泄漏电流。

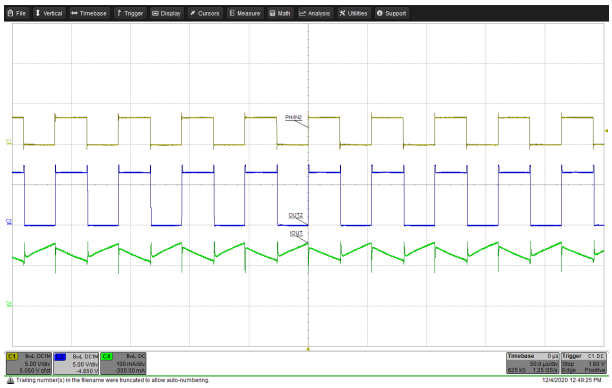
9.2.2.3 应用曲线

下图显示了半桥模式下高侧和低侧驱动的波形示例。图 9-15 和图 9-16 显示了使用高侧和低侧驱动来单向驱动电机的示例波形。图 9-17 和图 9-18 显示了使用高侧和低侧驱动来驱动螺线管的示例波形。图 9-19 和图 9-20 显示了当 OUTx 引脚并联在一起以创建单个半桥时，使用高侧和低侧驱动来驱动电机的示例。



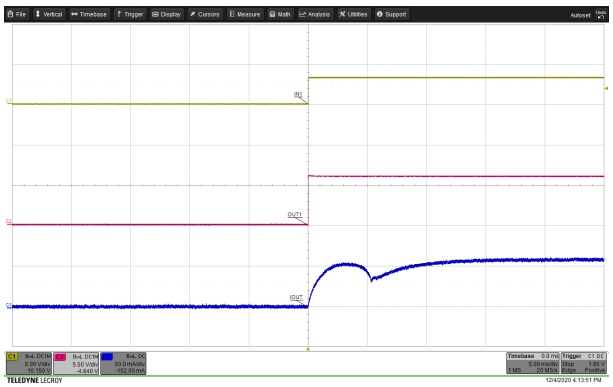
A. 通道 1 = IN2 通道 2 = V_{OUT2} 通道 4 = 电机电流

图 9-15. 使用高侧 FET 在具有 50% 占空比的半桥模式下驱动电机



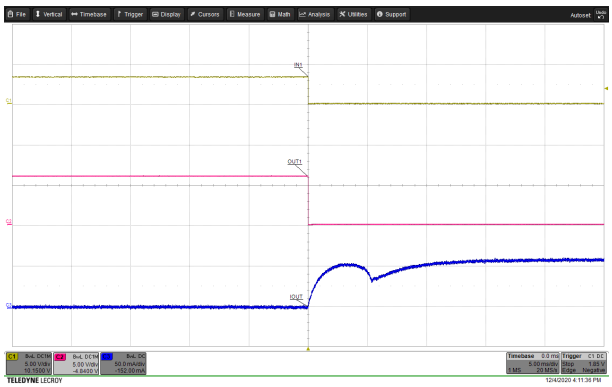
A. 通道 1 = IN2 通道 2 = V_{OUT2} 通道 4 = 电机电流

图 9-16. 使用低侧 FET 在具有 50% 占空比的半桥模式下驱动电机



A. 通道 1 = IN1 通道 2 = V_{OUT1} 通道 4 = 螺线管电流

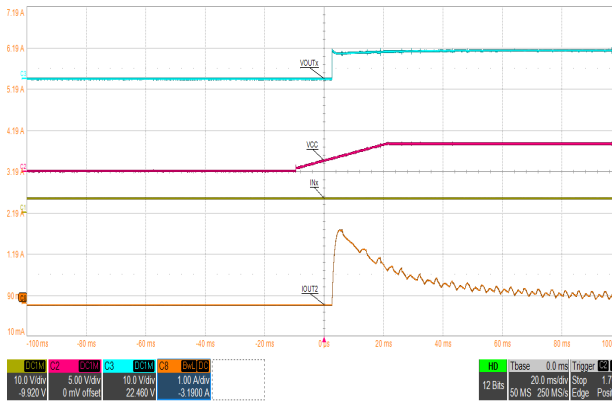
图 9-17. 使用高侧 FET 在半桥模式下驱动螺线管



A. 通道 1 = IN1 通道 2 = V_{OUT1} 通道 4 = 螺线管电流

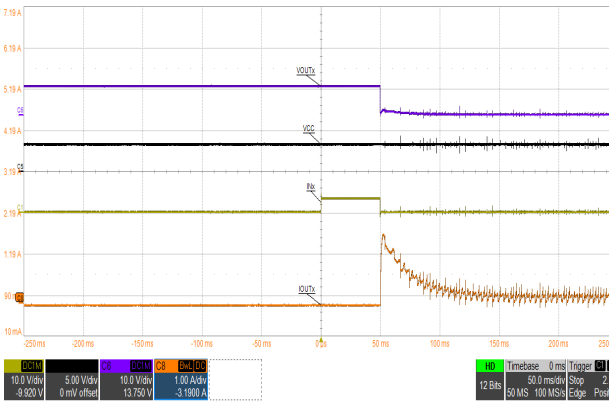
图 9-18. 使用低侧 FET 在半桥模式下驱动螺线管

Copyright © 2022 Texas Instruments Incorporated



A. 通道 1 = IN1，IN2（并联） 通道 2 = V_{VCC} 通道 3 = V_{OUT}（OUT1/2 并联） 通道 8 = 电机电流

图 9-19. 使用高侧 FET 在并联半桥模式下驱动电机



A. 通道 1 = IN1，IN2（并联） 通道 5 = V_{VCC} 通道 6 = V_{OUT}（OUT1/2 并联） 通道 8 = 电机电流

图 9-20. 使用低侧 FET 在并联半桥模式下驱动电机

9.2.3 双线圈继电器驱动

PWM 接口也可用于驱动双线圈闭锁继电器。本部分中的图显示了示例原理图。

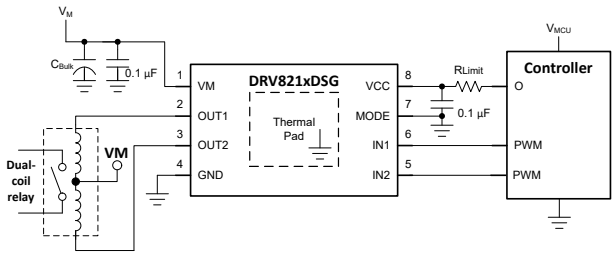


图 9-21. 双线圈继电器驱动，DSG 封装

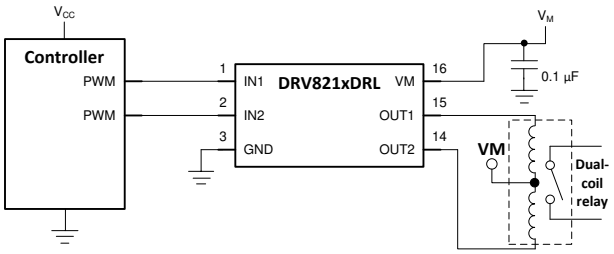


图 9-22. 双线圈继电器驱动，DRL 封装

9.2.3.1 设计要求

表 9-4 提供了双线圈继电器应用的示例要求。

表 9-4. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	6V
逻辑电源电压	V_{CC}	3.3V
继电器电流	I_{OUT1}，I_{OUT2}	500mA 脉冲持续 100ms

9.2.3.2 详细设计过程

9.2.3.2.1 电源电压

适当的电源电压取决于负载的额定值。

9.2.3.2.2 控制接口

PWM 接口可用于驱动双线圈继电器。节 8.3.2.1 介绍了 PWM 控制接口。图 9-23 和图 9-24 显示了使用 PWM 接口的驱动双线圈继电器的原理图和时序图。

Copyright © 2022 Texas Instruments Incorporated

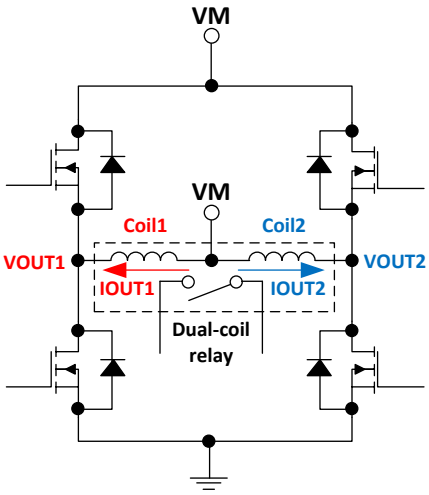


图 9-23. 由 OUTx H 桥驱动的双线圈继电器原理图

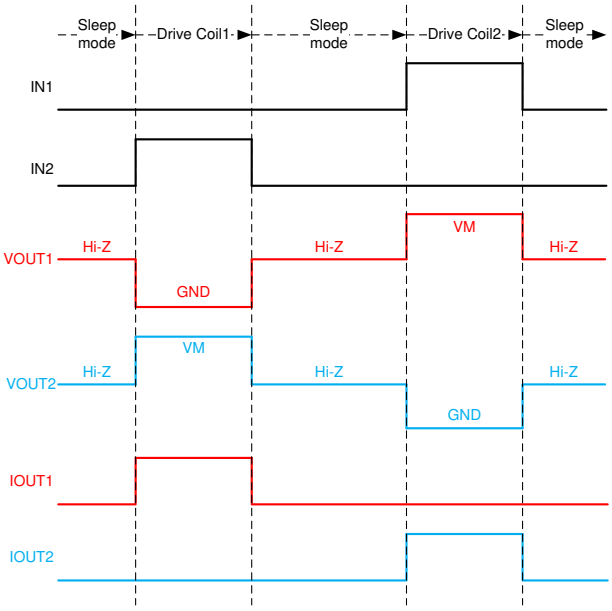


图 9-24. 使用 PWM 接口的驱动双线圈继电器时序图

表 9-5 显示了 PWM 接口的逻辑表。此表中的描述反映了输入和输出状态如何驱动双线圈继电器。当线圈 1 被驱动时（OUT1 电压在 GND 处），OUT2 处的电压将转到 VM。由于继电器的中心抽头也位于 VM，因此没有电流流过线圈 2。驱动线圈 2 时也是如此；线圈 1 短接到 VM。高侧 FET 的体二极管起到续流二极管的作用，因此不需要额外的外部二极管。图 9-25 显示了此应用的示波器描迹。

表 9-5. 双线圈继电器驱动 PWM 控制表

IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	输出禁用（H 桥高阻抗）
0	1	L	H	驱动线圈 1
1	0	H	L	驱动线圈 2
1	1	L	L	驱动线圈 1 和线圈 2（双线圈锁存继电器的无效状态）

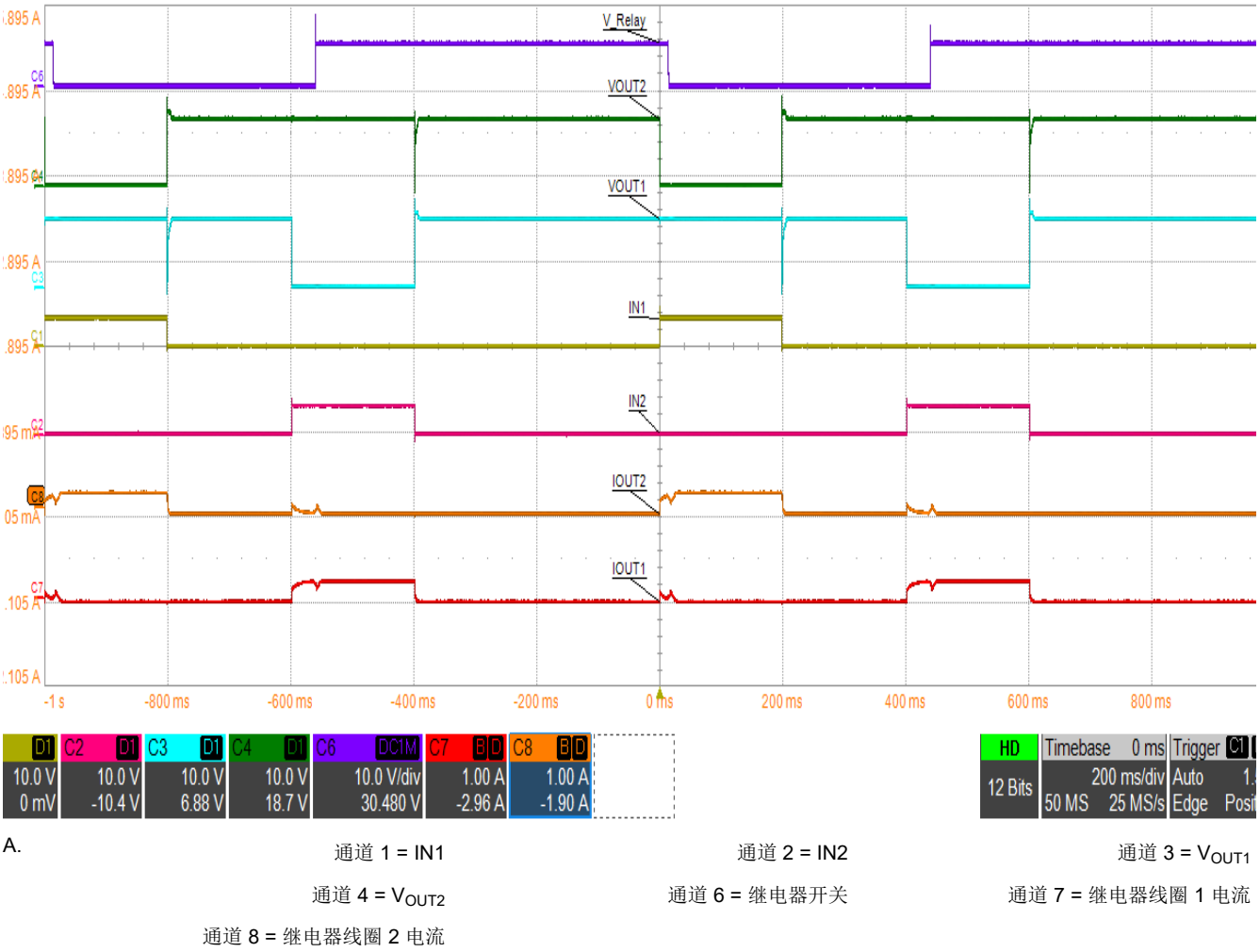
9.2.3.2.3 低功耗运行

节 8.4.2 介绍了如何进入低功耗睡眠模式。进入睡眠模式时，TI 建议将所有输入设置为逻辑低电平，以最大限度地降低系统功耗。

为了最大限度地减少流入 OUTx 引脚的泄漏电流（尤其是在电池供电的应用中），请将负载从 OUTx 连接到 GND。如前一部分中所示，也可以将负载从 OUTx 连接到 VM，但当其被禁用时可能会有少许漏电流流入 OUTx。

Copyright © 2022 Texas Instruments Incorporated

9.2.3.3 应用曲线



A. 通道 1 = IN1　通道 2 = IN2　通道 3 = V_{OUT1}　通道 4 = V_{OUT2}　通道 6 = 继电器开关　通道 7 = 继电器线圈 1 电流　通道 8 = 继电器线圈 2 电流

图 9-25. 双线圈继电器的 PWM 驱动

9.2.4 电流检测

GND 引脚上的一个小分流电阻器可以将电流检测信息提供回微控制器 ADC。微控制器可以使用此信息来检测电机负载情况，例如失速。图 9-26 显示了使用 DRL 封装的示例原理图。如果需要更好的电流检测动态范围，可以添加一个放大器，如图 9-27 中所示。

可以将 DSG 散热焊盘连接到电路板接地网络或 GND 引脚/检测信号网络。

Copyright © 2022 Texas Instruments Incorporated

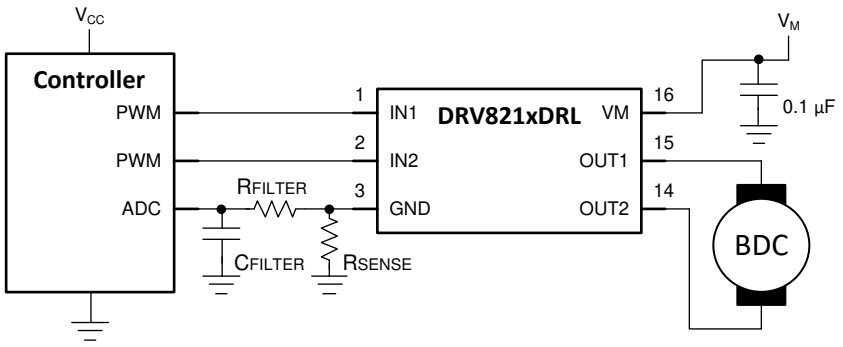


图 9-26. DRL 封装型号的 GND 引脚上的分流电阻器

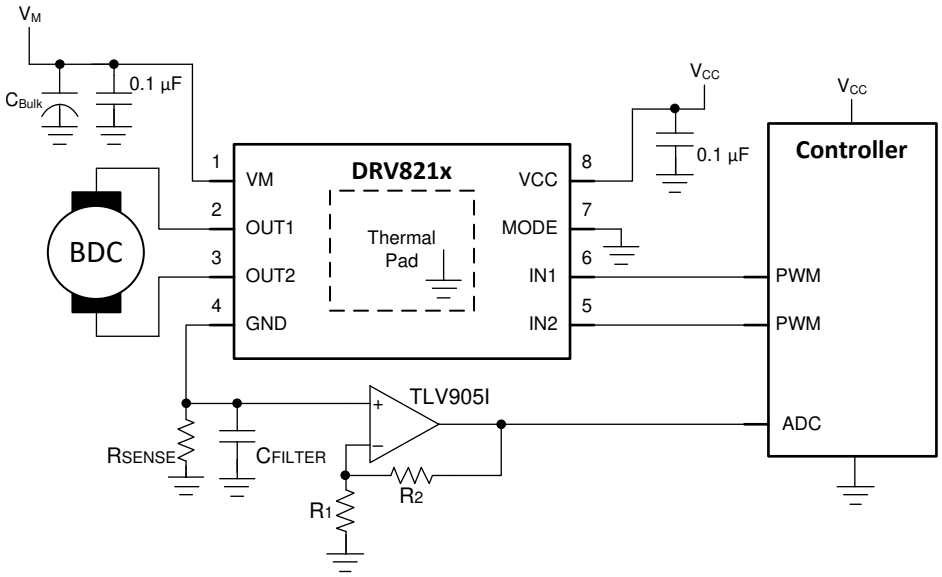


图 9-27. 电流检测放大器示例

9.2.4.1 设计要求

表 9-6 提供了电流检测应用的示例要求。

表 9-6. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	6V
逻辑电源电压	V_{CC}	3.3V
R_{SENSE} 上的最大电压	V_{SENSE}	150 mV
电机 RMS 电流	I_{OUT1}，I_{OUT2}	500mA
电机失速电流	$I_{OUT1,stall}$，$I_{OUT2,stall}$	1A

9.2.4.2 详细设计过程

9.2.4.2.1 分流电阻器大小调整

INx 引脚的绝对最大额定值设置分流电阻器上的最大电压。如果 INx 引脚上的信号电平低（以电路板接地为参考），则 INx 引脚相对于 GND 引脚电压处于负电压。这会将最大检测电压/GND 引脚电压设置为 0.5V。图 9-28 显示了相对引脚电压。

Copyright © 2022 Texas Instruments Incorporated

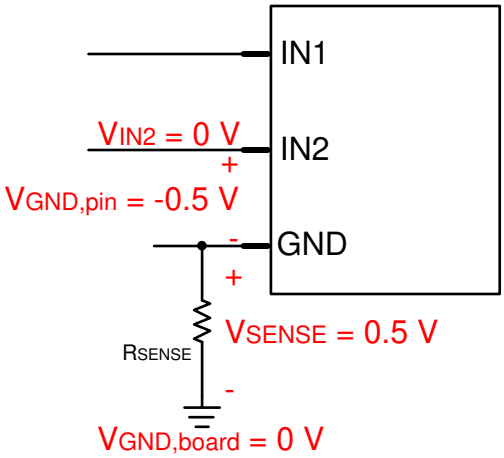


图 9-28. 使用电流检测电阻器的相对于电路板接地的引脚电压

此示例使用 150mV 作为最大 V_{SENSE}，该值小于 0.5V，并提供一定的安全或误差裕度。通过电机的最大电流将是失速电流，在本例中为 1A。借助此信息，可根据以下等式计算检测电阻 R_{SENSE}。

$$R_{SENSE} = V_{SENSE}/I_{STALL} = 0.15/1 = 0.15\,\Omega \quad (1)$$

由于器件的 GND 引脚电压会随着通过检测电阻的电流而变化，因此设计人员还必须确保逻辑引脚满足 V_{IL} 和 V_{IH} 参数，MODE 引脚满足 V_{TIL}、V_{TIZ} 和 V_{TIH} 参数，且电源保持在 V_{UVLO} 以上，以便正常运行。

9.2.4.2.2 RC 滤波器

图 9-26 中显示的 RC 滤波器用于过滤噪声和来自感应信号的瞬变。TI 建议使用 R_{FILTER} = 1kΩ 和 C_{FILTER} = 100nF。可以根据具体的系统条件选择不同的值。

9.3 电流能力和热性能

此驱动器的输出电流和功率损耗能力在很大程度上取决于 PCB 设计和外部系统条件。本部分提供了一些用于计算这些值的指导。

9.3.1 功率耗散和输出电流能力

该器件的总功耗由三个主要部分组成：静态电源电流耗散（（P_{VM} 和 P_{VCC}）、功率 MOSFET 开关损耗（P_{SW}）及功率 MOSFET $R_{DS(on)}$（导通）损耗（P_{RDS}）。虽然其他因素可能会造成额外的功率损耗，但与这三个主要因素相比，其他因素通常并不重要。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (2)$$

可以根据标称电机电源电压（V_{VM}）和 I_{VM} 运行模式电流规格来计算 P_{VM}。可以根据标称逻辑电源电压（V_{VCC}）和 I_{VCC} 运行模式电流规格来计算 P_{VCC}。当 $V_{VCC} < V_{VM}$ 时，DRV8210 会从 VM 引脚而非 VCC 引脚汲取有效电流。在这种工作条件下，I_{VCC} 通常小于 500nA（请参阅图 7-5 和图 7-7）。

$$P_{VM} = V_{VM} \times I_{VM} \quad (3)$$

$$P_{VM} = 7mW = 5V \times 1.4mA \quad (4)$$

$$P_{VCC} = V_{VCC} \times I_{VCC} \quad (5)$$

$$P_{VCC} = 0.594mW = 3.3V \times 0.18mA \quad (6)$$

可以根据标称电机电源电压（V_{VM}）、平均输出电流（I_{RMS}）、开关频率（f_{PWM}）以及器件输出上升（t_{RISE}）和下降（t_{FALL}）时间规格来计算 P_{SW}。

Copyright © 2022 Texas Instruments Incorporated

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (7)$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (8)$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (9)$$

$$P_{SW_RISE} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (10)$$

$$P_{SW_FALL} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (11)$$

$$P_{SW} = 7.5mW = 3.75mW + 3.75mW \quad (12)$$

可以根据器件 $R_{DS(on)}$和平均输出电流（I_{RMS}）来计算 P_{RDS}。

$$P_{RDS} = I_{RMS}^2 \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (13)$$

$R_{DS(ON)}$与器件温度密切相关。假设器件结温为 85°C，根据标称温度数据，$R_{DS(on)}$可增加约 1.5 倍。下面的计算显示了此降额系数。或者，节 7.6 部分显示了绘制 $R_{DS(on)}$随温度变化的曲线。

$$P_{RDS} = 394mW = (0.5A)^2 \times (525m\Omega \times 1.5 + 525m\Omega \times 1.5) \quad (14)$$

根据上面的示例计算，下面的表达式计算了器件的总预期功耗。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (15)$$

$$P_{TOT} = 409mW = 7mW + 0.594mW + 7.5mW + 394mW \quad (16)$$

可以使用 P_{TOT}、器件环境温度（T_A）和封装热阻（$R_{\theta JA}$）来计算驱动器的结温。$R_{\theta JA}$ 的值在很大程度上依赖于 PCB 设计以及器件周围的铜散热器性能。节 9.3.2 更详细地介绍了这种依赖性。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (17)$$

$$T_J = 126°C = (0.409W \times 99.6\ °C/W) + 85°C \quad (18)$$

对于所有系统工作条件，器件结温应保持在其绝对最大额定值以下。本部分中的计算提供了对结温的合理估计。然而，其他基于系统运行过程中温度测量的方法更加现实和可靠。可以在节 9.3.2 和节 12.1.1 中找到有关电机驱动器电流额定值和功耗的其他信息。

9.3.2 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功率耗散和热性能。本节将介绍如何设计稳态和瞬态温度条件。

本节中的数据是按如下条件仿真得出的：

WSON（DSG 封装）

- 2 层 PCB，标准 FR4，1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。散热过孔仅存在于散热焊盘下方（2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层）。
  - 顶层：DRV8210 WSON 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 底层：接地层通过 DRV8210 散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB，标准 FR4。外侧平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于散热焊盘下方（2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层）。
  - 顶层：DRV8210 WSON 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 中间层 1：GND 平面通过过孔热连接到 DRV8210 焊盘。接地平面的面积为 74.2mm x 74.2mm。
  - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。

Copyright © 2022 Texas Instruments Incorporated

– 底层：带有小型铜焊盘的信号层位于 DRV8210 下方，通过从顶部平面和内部 GND 平面拼接进行热连接。底层热焊盘的尺寸与封装相同（2 mm x 2 mm）。虽然顶部铜平面的尺寸并不固定，但底部焊盘的尺寸保持不变。

图 9-29 显示了 HTSSOP 封装的模拟电路板示例。表 9-7 显示了每次仿真时使用的不同板尺寸。

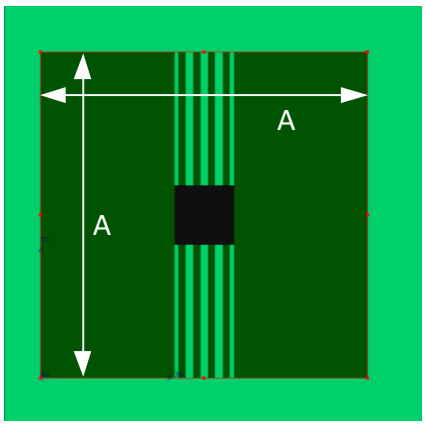


图 9-29. WSON PCB 模型顶层

表 9-7. 用于 16 引脚 PWP 封装的尺寸 A

铜面积（mm^2）	尺寸 A（mm）
2	15.11
4	20.98
8	29.27
16	40.99

SOT（DRL 封装）

- 2 层 PCB，标准 FR4，1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。散热过孔仅存在于封装尺寸下方（2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层）。
  - 顶层：DRV8210 SOT 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 底层：接地层通过 DRV8210DRL 封装尺寸下的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB，标准 FR4。外侧平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于 DRV8210DRL 封装尺寸下方（2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层）。
  - 顶层：DRV8210 SOT 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 中间层 1：GND 平面通过过孔在 DRV8210DRL 封装尺寸下进行热连接。接地平面的面积为 74.2mm x 74.2mm。
  - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
  - 底层：带有小型铜焊盘的信号层位于 DRV8210DRL 下方，通过从顶部平面和内部 GND 平面拼接进行热连接。底层热焊盘的尺寸与封装相同（1.2 mm x 1.6 mm）。虽然顶部铜平面的尺寸并不固定，但底部焊盘的尺寸保持不变。

图 9-30 显示了 HTSSOP 封装的模拟电路板示例。表 9-8 显示了每次仿真时使用的不同板尺寸。

Copyright © 2022 Texas Instruments Incorporated

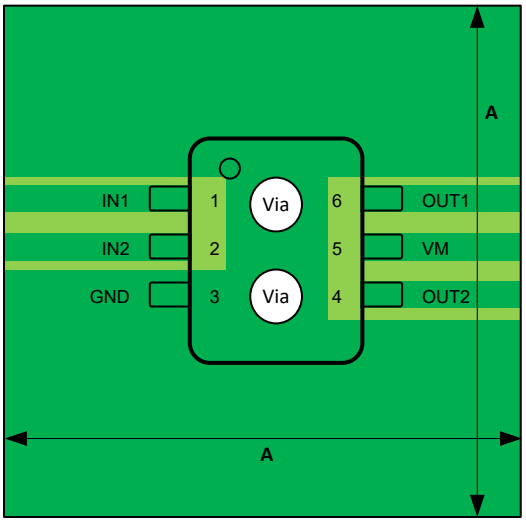


图 9-30. SOT PCB 模型顶层

表 9-8. 用于 16 引脚 PWP 封装的尺寸 A

铜面积 (mm^2)	尺寸 A (mm)
2	15.11
4	20.98
8	29.27
16	40.99

9.3.2.1 稳态热性能

“稳态”条件假设电机驱动器使用恒定 RMS 电流运行很长一段时间。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 的变化，这些变化取决于铜面积、覆铜厚度和 PCB 层数。铜面积越大、层数越多、铜平面越厚，$R_{\theta JA}$ 和 Ψ_{JB} 就越小，表明 PCB 布局的热性能越强。

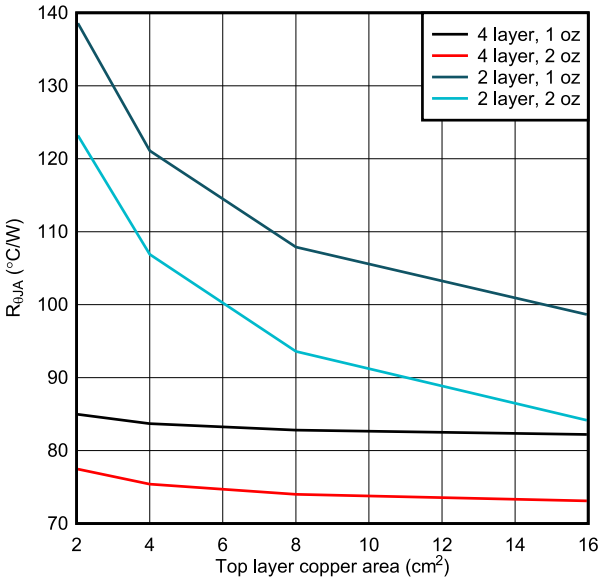


图 9-31. WSON、PCB 结至环境热阻与铜面积

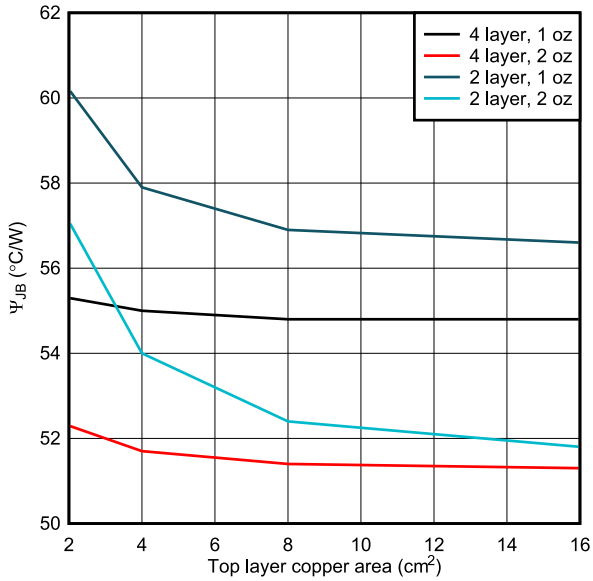


图 9-32. WSON、结至电路板特征参数与铜面积

Copyright © 2022 Texas Instruments Incorporated

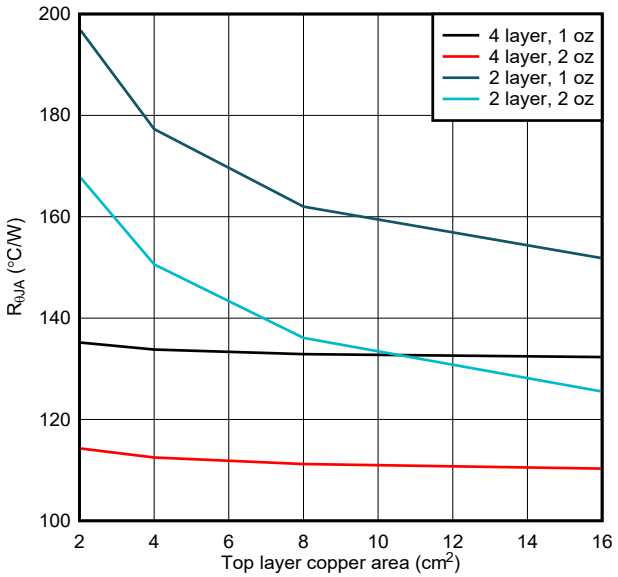


图 9-33. SOT、PCB 结至环境热阻与铜面积

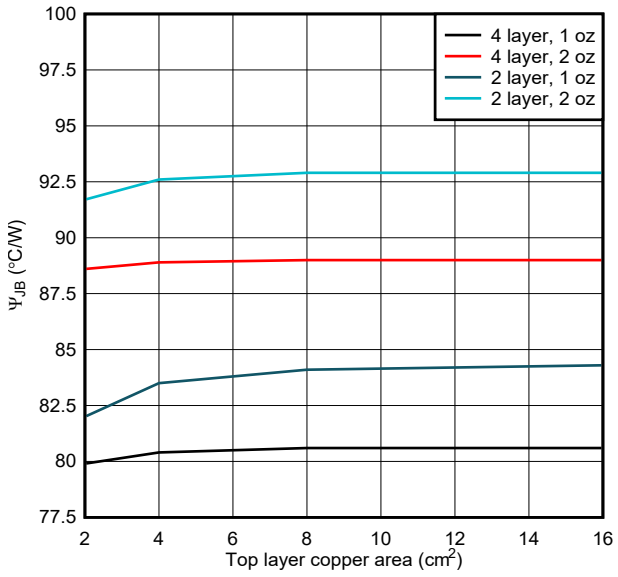


图 9-34. SOT、结至电路板特征参数与铜面积

9.3.2.2 瞬态热性能

电机驱动器可能会遇到不同的瞬态驱动条件，导致在短时间内出现大电流流过。这些条件可能包括

- 转子最初静止时电机启动。
- 某个电机输出的电源或接地短路且触发过流保护时的故障条件。
- 短暂为电机或电磁阀加电，然后断电。

对于这些瞬态情况，驱动持续时间是除了铜面积和厚度之外影响热性能的另一个因素。在瞬态情况中，热阻抗参数（$Z_{\theta JA}$）表示结至环境热性能。本部分中的图显示了 WSON 和 SOT 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲可实现更佳的热性能。对于较短的驱动时间，器件裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板的布局对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，由于层数和铜面积导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

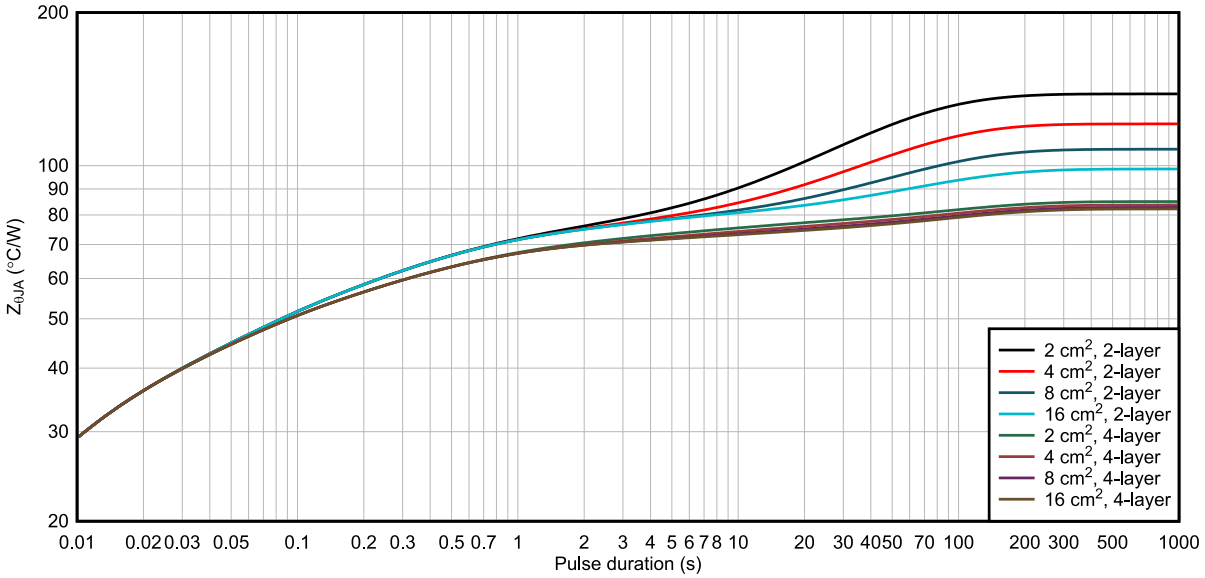


图 9-35. 1oz 铜布局的 WSON 封装结至环境热阻抗

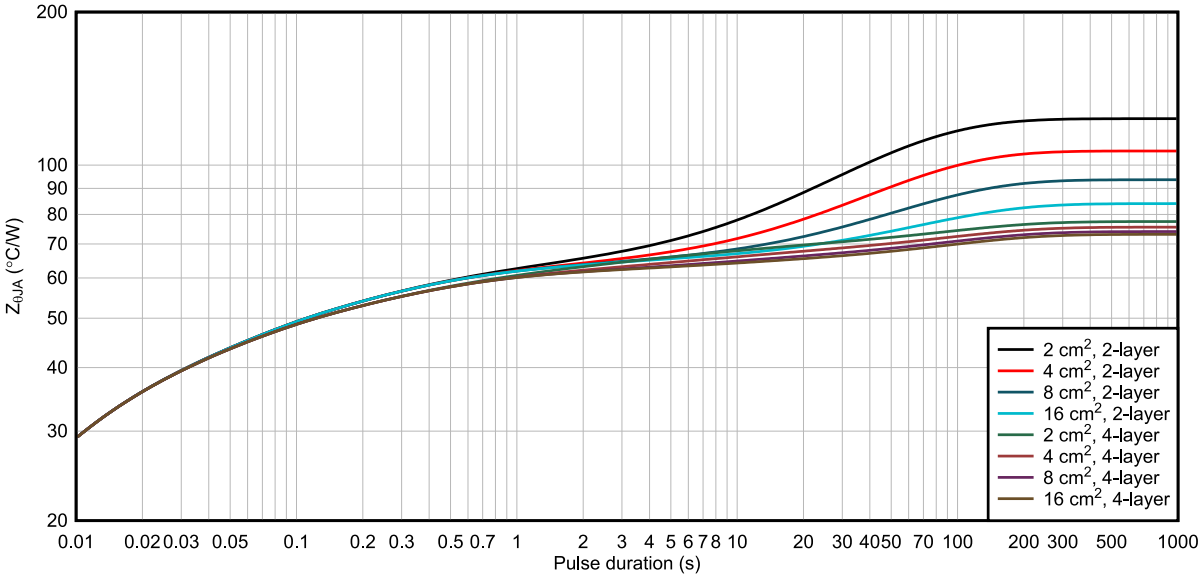


图 9-36. 2oz 铜布局的 WSON 封装结至环境热阻抗

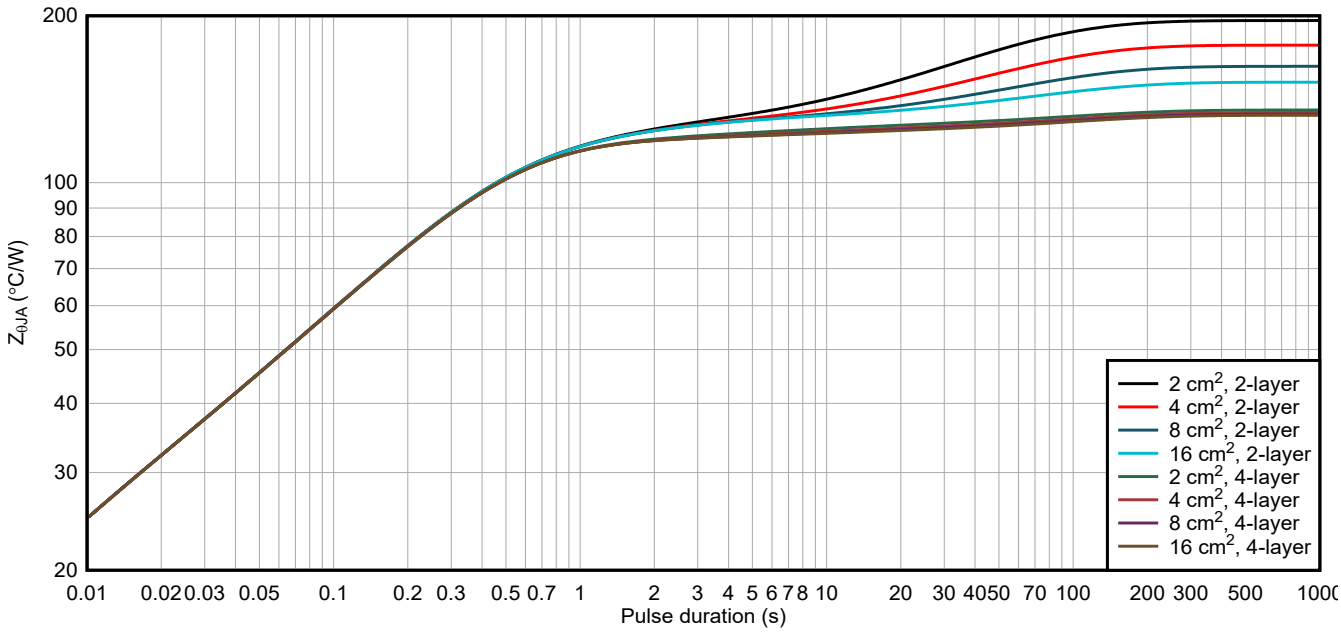


图 9-37. 1oz 铜布局的 SOT 封装结至环境热阻抗

Copyright © 2022 Texas Instruments Incorporated

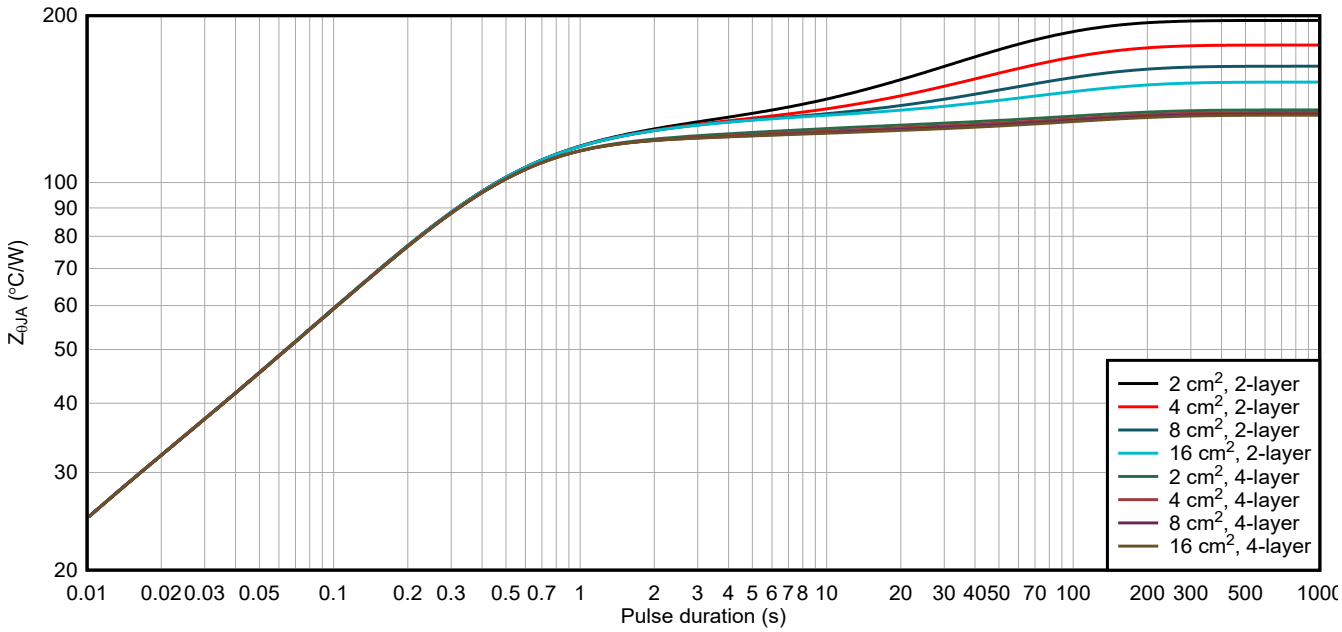


图 9-38. 2oz 铜布局的 SOT 封装结至环境热阻抗

10 电源建议

10.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部大容量电容的容量取决于多种因素，包括：

- 电机或负载所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的系统电压纹波
- 电机制动方法（如果适用）

电源与电机驱动系统之间的电感会限制额定电流与电源之间的变化幅度。如果局部大容量电容太小，系统将对过大的电流需求作出响应，或随电压的变化将其从电机中排除。当使用足够多的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表通常会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

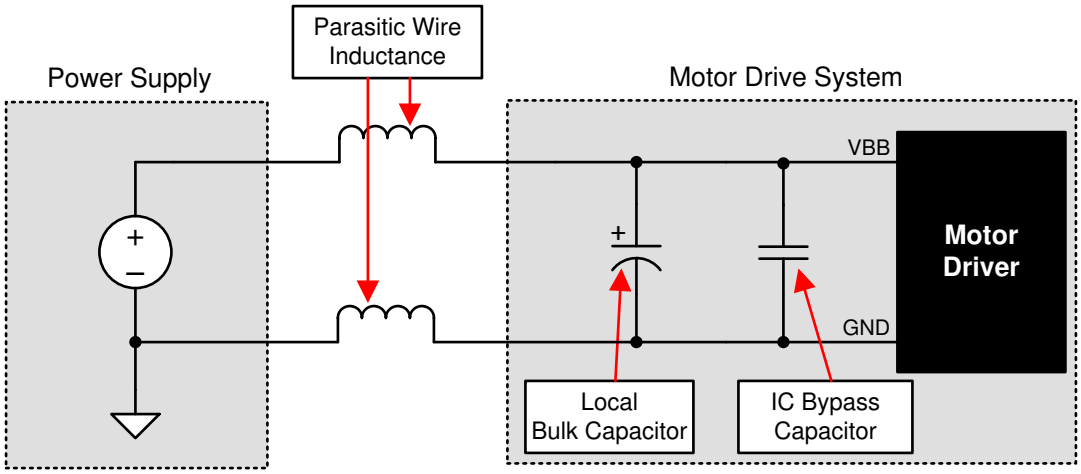


图 10-1. 系统电源寄生效应示例

Copyright © 2022 Texas Instruments Incorporated

11 布局

11.1 布局指南

由于 DRV8210 器件集成了能够驱动大电流的功率 MOSFET，因此，应特别注意布局设计和外部元件放置。下面提供了一些设计和布局指南。有关布局建议的更多信息，请参阅应用手册 *电机驱动器电路板布局最佳实践*。

- 低 ESR 陶瓷电容器应用于 VM-to-GND 和 VCC 到 GND 旁路电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 和 VCC 电源电容器应尽可能靠近器件放置，以最大限度减少回路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也应尽可能靠近器件放置，以最大限度减小回路电感。
- VM、OUT1、OUT2 和 GND 承载着从电源传输到输出，然后重新传回到接地的高电流。对于这些迹线，应使用厚金属布线（如果可行）。
- GND 应直接连接到 PCB 接地平面上。
- 应通过热过孔将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用），以获得最强的 PCB 散热能力。
- 应尽可能扩大连接到散热焊盘的铜平面面积，以确保获得最佳散热效果。

11.2 布局示例

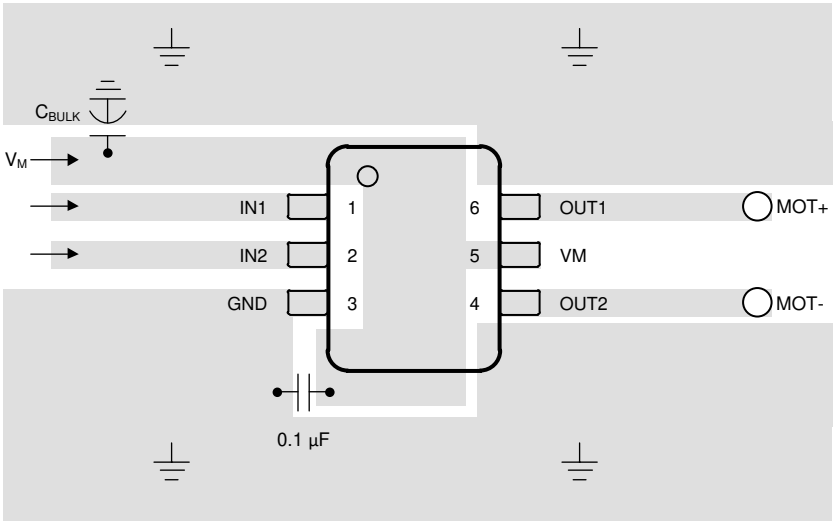


图 11-1. 没有过孔的 DRL 封装的简化布局示例

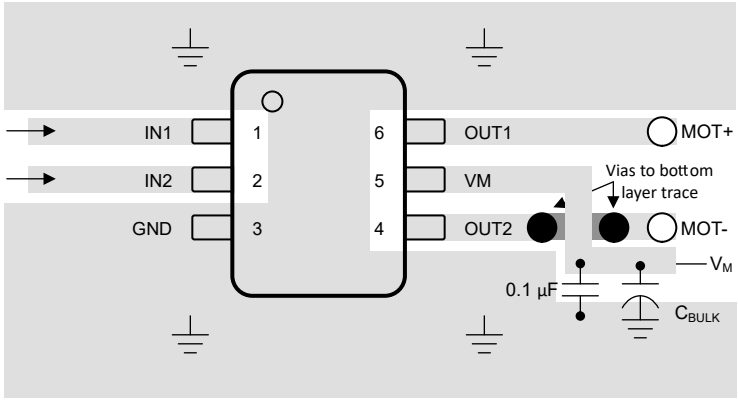


图 11-2. 带实现更好散热的更大铜面积的 DRL 封装的简化布局示例

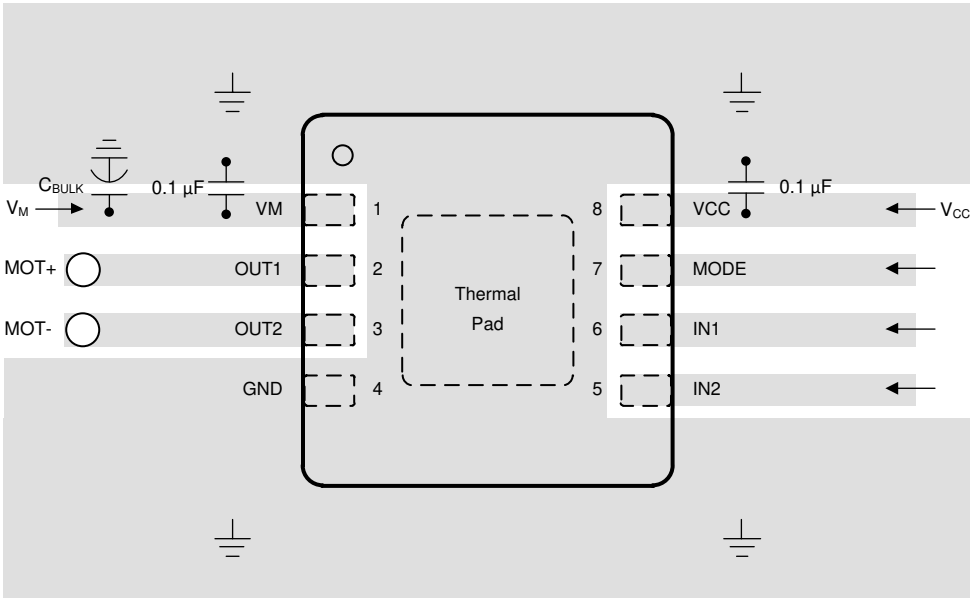


图 11-3. DSG 封装的简化布局示例

Copyright © 2022 Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器（TI），*计算电机驱动器的功耗* 应用报告
- 德州仪器（TI），*PowerPAD™ 速成* 应用报告
- 德州仪器（TI），*PowerPAD™ 热增强型封装* 应用报告
- 德州仪器（TI），*了解电机驱动器电流额定值* 应用报告
- 德州仪器（TI），*电机驱动器电路板布局最佳实践* 应用报告

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2022 Texas Instruments Incorporated

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8210DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	Call TI | Sn	Level-1-260C-UNLIM	-40 to 125	8210
DRV8210DRLR.A	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	8210
DRV8210DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

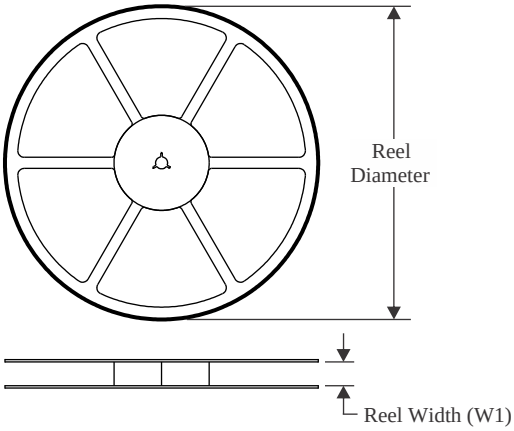
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

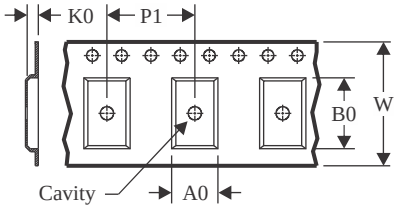
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

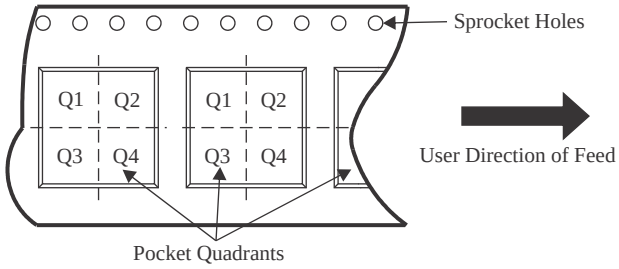


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

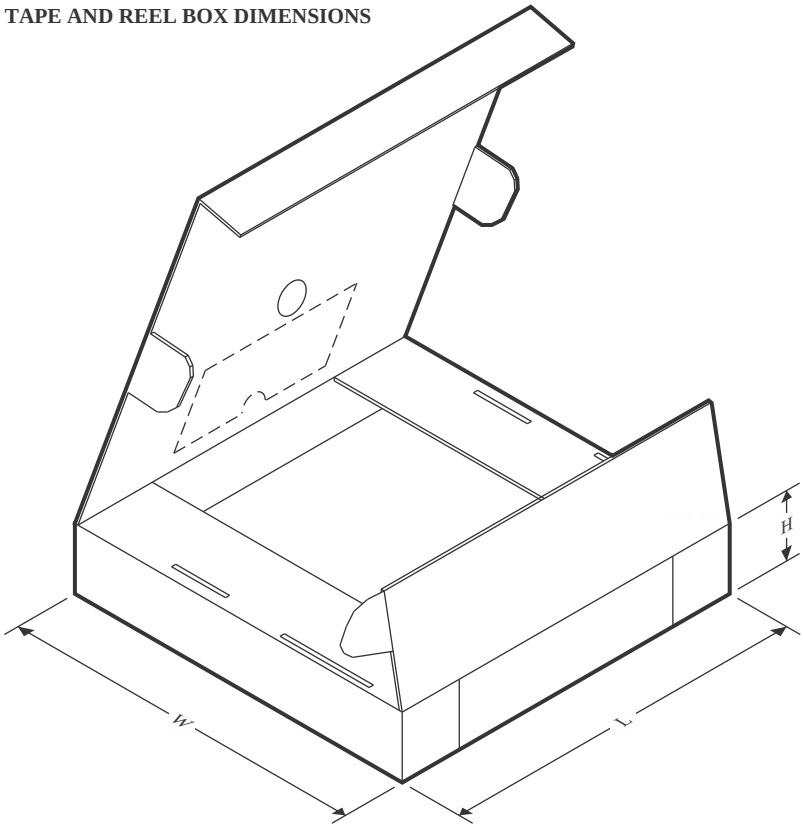
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8210DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
DRV8210DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
DRV8210DSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
DRV8210DSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8210DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
DRV8210DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
DRV8210DSGR	WSON	DSG	8	3000	208.0	191.0	35.0
DRV8210DSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0

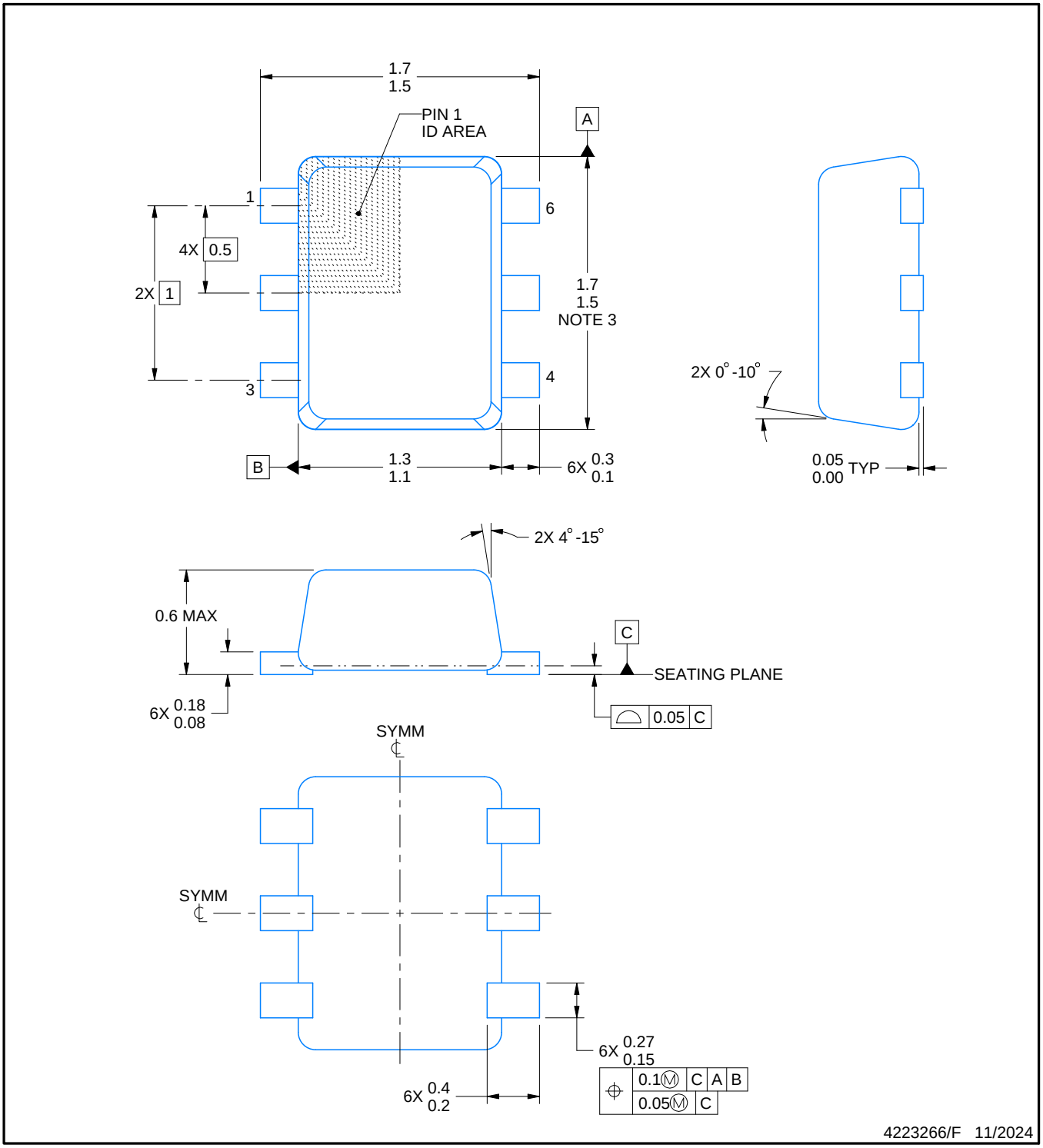


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

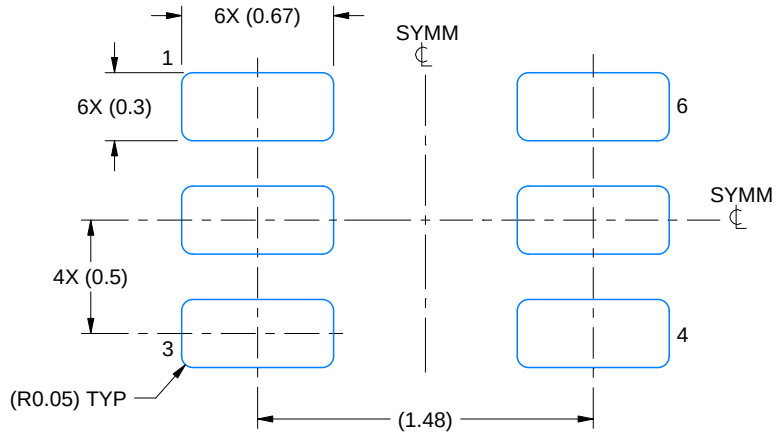
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

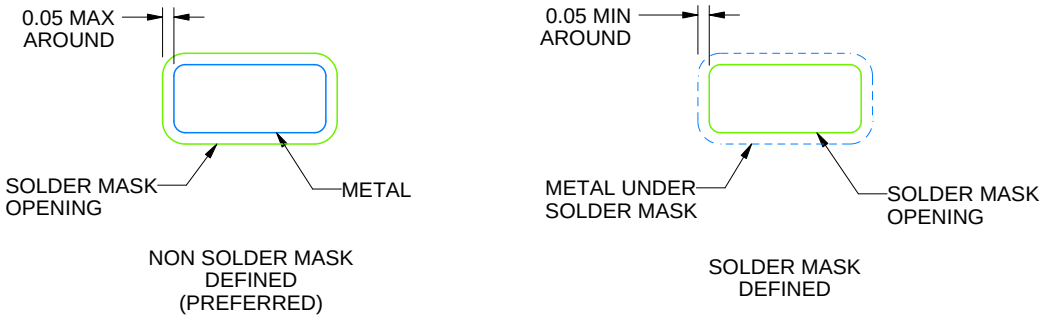
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

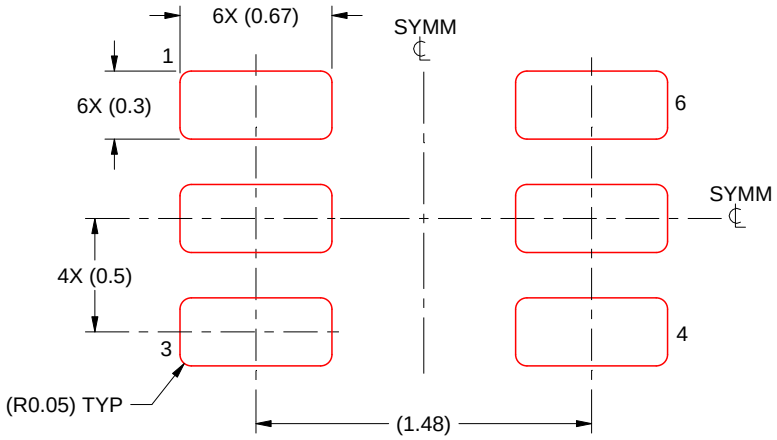
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

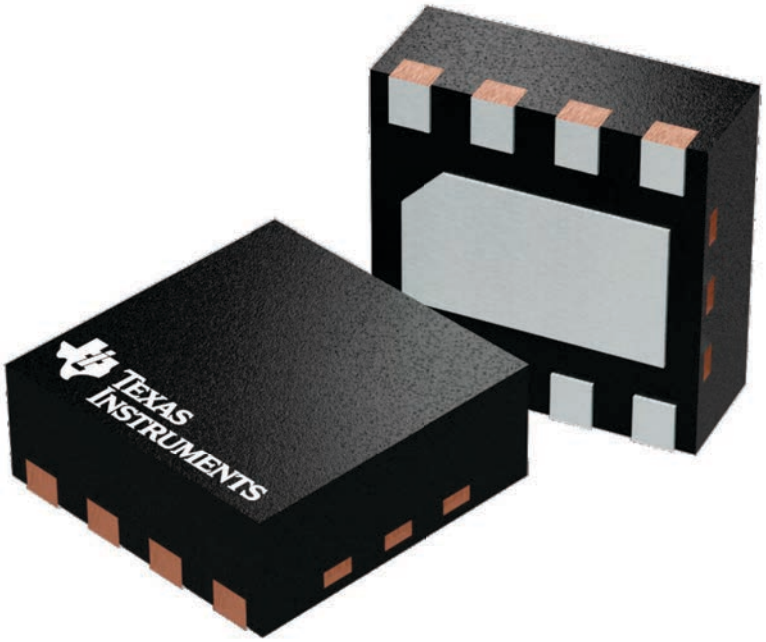
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



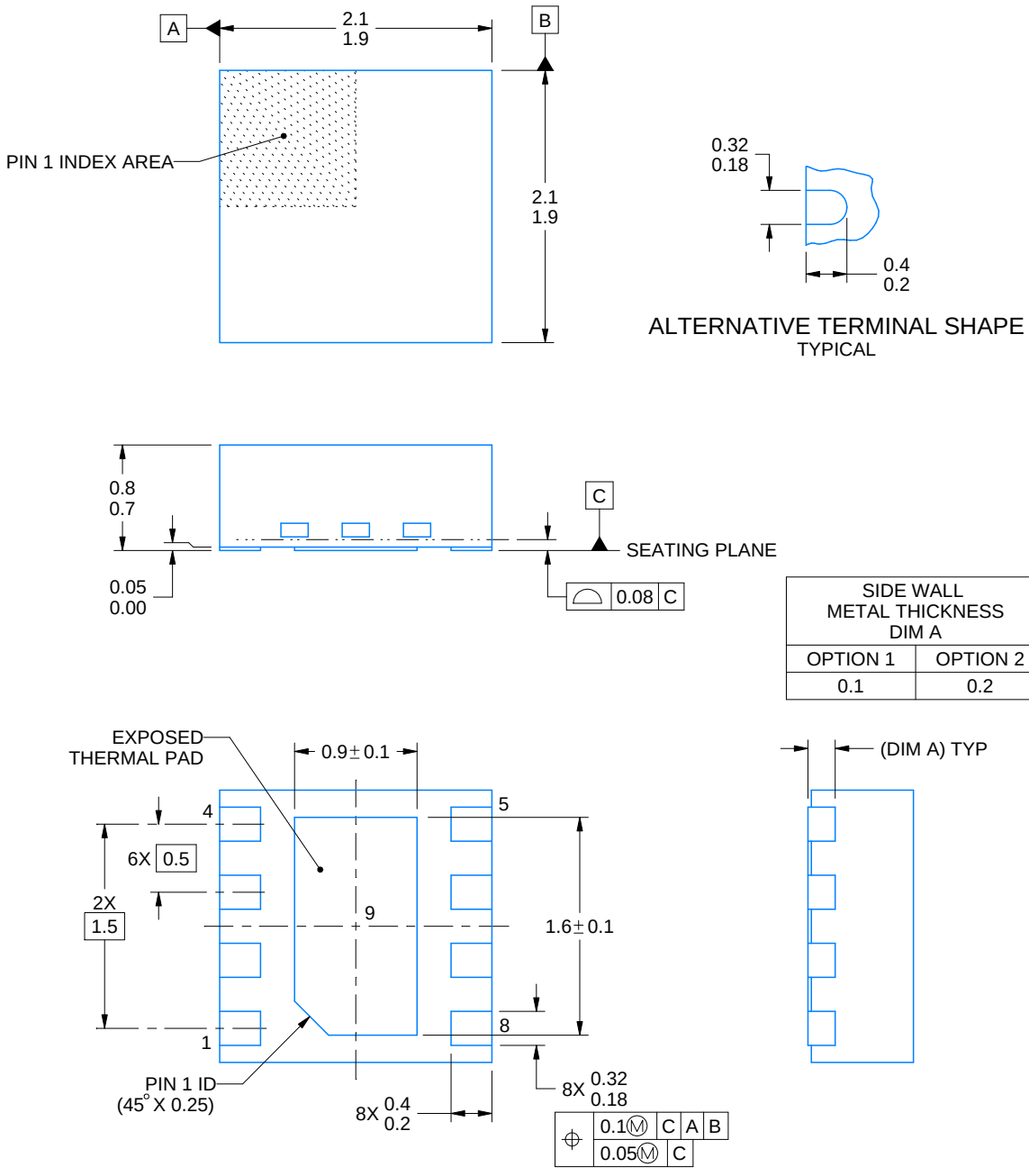
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

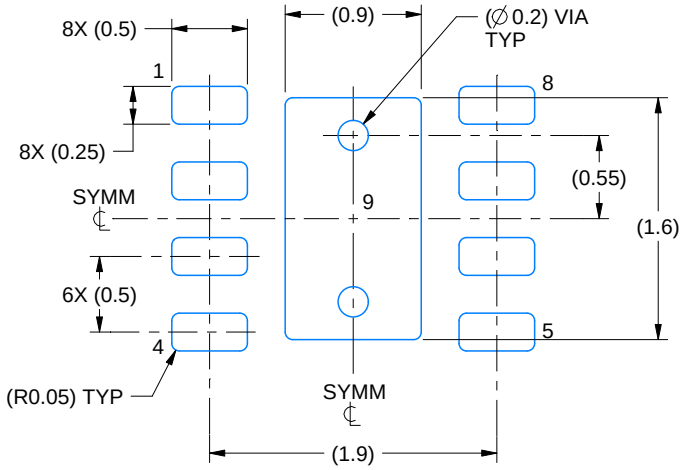
PLASTIC SMALL OUTLINE - NO LEAD



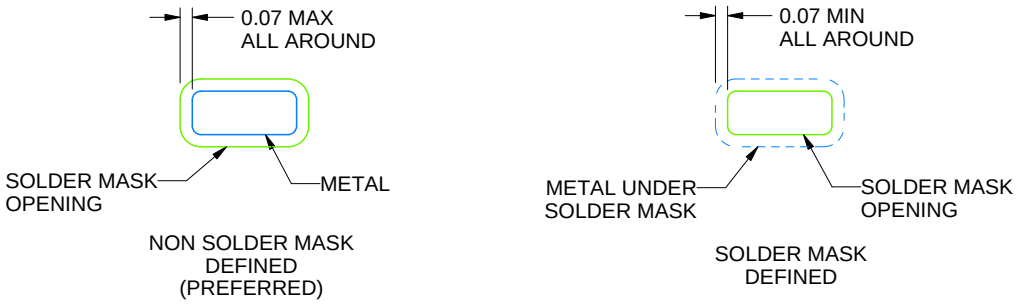
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

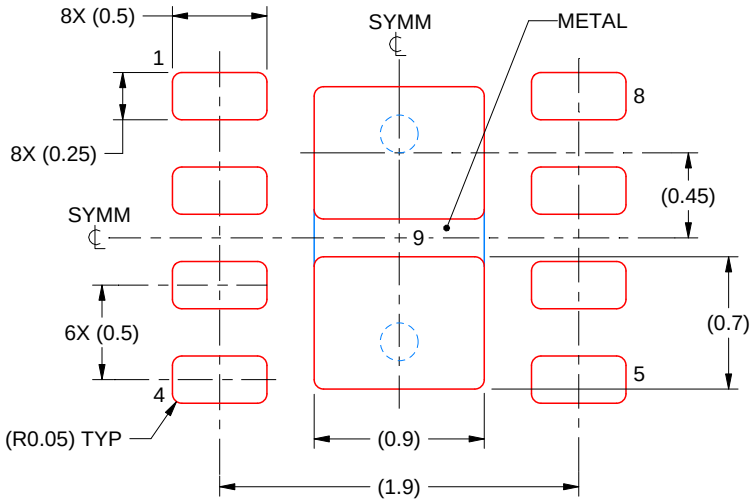


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月