

DRV8231A 3.7A、具有集成电流检测和调节的有刷直流电机驱动器

1 特性

- N 沟道 H 桥有刷直流电机驱动器
- 4.5V 至 33V 工作电源电压范围
- 引脚对引脚、 $R_{DS(on)}$ 、电压和电流检测/调节选项 (外部分流电阻器和集成电流镜)
 - DRV8870 : 6.5V 至 45V、565m Ω 分流电阻器
 - DRV8251 : 4.5V 至 48V、450m Ω 分流电阻器
 - DRV8251A : 4.5V 至 48V、450m Ω 电流镜
 - DRV8231 : 4.5V 至 33V、600m Ω 分流电阻器
 - DRV8231A : 4.5V 至 33V、600m Ω 电流镜
- 高输出电流能力: 3.7A 峰值
- PWM 控制接口
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 适用于失速检测的集成 IPROPI 电流检测和电流调节
- 低功耗睡眠模式
 - 在 $V_{VM} = 24V$, $T_J = 25^\circ C$ 时, 小于 1 μA
- 小型封装和外形尺寸
 - 带 PowerPAD™ 的 8 引脚 WSON 封装, 2.0mm × 2.0mm
 - 带 PowerPAD™ 的 8 引脚 HSOP 封装, 4.9mm × 6.0mm
- 集成型保护特性
 - VM 欠压锁定 (UVLO)
 - 自动恢复过流保护 (OCP)
 - 热关断 (TSD)

2 应用

- 打印机
- 扫地机器人
- 洗衣机和烘干机
- 咖啡机
- POS 打印机
- 电表
- ATM (自动柜员机)
- 呼吸机
- 外科手术设备
- 电子病床和床控制器
- 健身器

3 说明

DRV8231A 器件是一款具有 N 沟道 H 桥、电荷泵、电流检测反馈、电流调节和保护电路的集成电机驱动器。电荷泵通过支持 N 沟道 MOSFET 半桥和 100% 占空比驱动来提升效率。

IPROPI 引脚上的内部电流镜架构实现电流检测和调节。这样就无需使用大型电源分流电阻, 因而可以节省电路板面积并降低系统成本。借助 IPROPI 电流检测输出, 微控制器可以检测电机失速或负载条件变化。外部电压基准引脚 VREF 可以确定启动过程和失速事件中电流调节的阈值, 而无需微控制器交互。

低功耗睡眠模式可通过关断大部分内部电路实现超低静态电流消耗。内部保护功能包括电源欠压锁定、输出过流和器件过热。

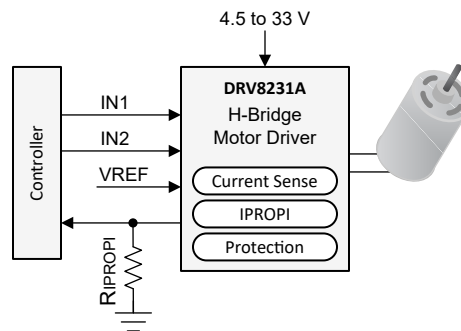
DRV8231A 所属的器件系列具有引脚对引脚、可扩展 $R_{DS(on)}$ 和电源电压选项, 可支持不同负载和电源轨, 并尽可能减少设计改动。有关本产品系列中器件的信息, 请参阅节 4。在 ti.com 上查看完整的有刷电机驱动器产品系列。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
DRV8231A	HSOP (8)	4.90mm × 6.00mm
	WSON (8)	2.00mm × 2.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

简化版原理图



内容

1 特性	1	7.4 特性说明.....	11
2 应用	1	7.5 器件功能模式.....	16
3 说明	1	7.6 引脚图.....	17
4 器件比较	3	8 应用和实施	19
5 引脚配置和功能	3	8.1 应用信息.....	19
6 规格	4	8.2 典型应用.....	19
6.1 绝对最大额定值.....	4	8.3 电流能力和热性能.....	26
6.2 ESD 等级.....	4	8.4 电源相关建议.....	32
6.3 建议运行条件.....	4	8.5 布局.....	33
6.4 热性能信息.....	4	9 器件和文档支持	35
6.5 电气特性.....	5	9.1 文档支持.....	35
6.6 典型特性.....	6	9.2 接收文档更新通知.....	35
6.7 时序图.....	8	9.3 社区资源.....	35
7 详细说明	9	9.4 商标.....	35
7.1 概述.....	9	10 修订历史记录	35
7.2 功能方框图.....	9	11 机械、封装和可订购信息	35
7.3 外部组件.....	9		

4 器件比较

表 4-1. 器件比较表

器件名称	电源电压 (V)	$R_{DS(on)}$ (m Ω)	电流调节	电流检测反馈	过流保护响应	封装	引脚对引脚器件
DRV8870	6.5 至 45	565	外部分流电阻器	外部放大器	自动重试	HSOP (4.9x6)	DRV8870、 DRV8251、 DRV8231
DRV8251	4.5 至 48	450			锁存禁用	HSOP (4.9x6)	
DRV8231	4.5 至 33	600			自动重试	HSOP (4.9x6) WSON (2x2)	
DRV8251A	4.5 至 48	450	内部电流镜 (IPROPI)		自动重试	HSOP (4.9x6)	DRV8251A
DRV8231A	4.5 至 33	600			自动重试	HSOP (4.9x6) WSON (2x2)	DRV8231A

5 引脚配置和功能

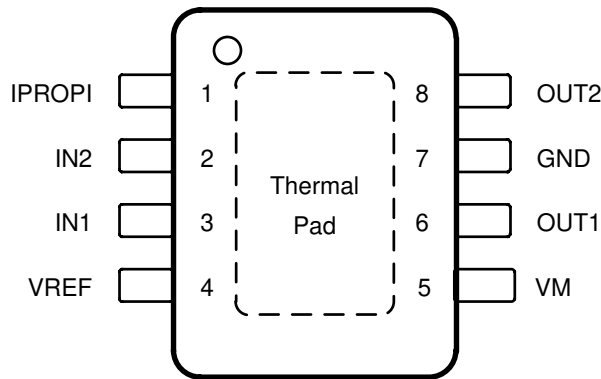


图 5-1. DDA 封装 8 引脚 HSOP 顶视图

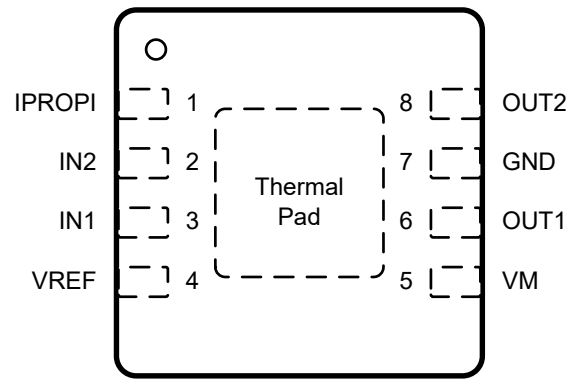


图 5-2. DSG 封装 8- 引脚 WSON 顶视图

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
GND	7	PWR	器件电源地。连接到系统地。
IN1	3	I	逻辑输入。控制 H 桥输出。具有内部下拉电阻。请参阅表 7-2。
IN2	2	I	逻辑输入。控制 H 桥输出。具有内部下拉电阻。请参阅表 7-2。
IPROPI	1	PWR	模拟电流输出与负载电流成正比。节 7.4.2.1。
OUT1	6	O	H 桥输出。直接连接到电机或其他电阻负载。
OUT2	8	O	H 桥输出。直接连接到电机或其他电阻负载。
VM	5	PWR	4.5V 至 48V 电源。将一个 0.1 μ F 旁路电容器接地，并连接一个足够大且额定电压为 VM 的大容量电容。
VREF	4	I	模拟输入。施加 0V 至 5V 的电压。有关电流调节的信息，请参阅节 7.4.2.1 部分。
PAD		—	散热焊盘。连接到电路板地。为了更好地散热，在多层接地平面上使用，并在附近利用多个缝合过孔连接平面。

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源引脚电压	VM	-0.3	35	V
电源瞬态电压斜坡	VM	0	2	V/ μ s
逻辑引脚电压	INx	-0.3	7	V
基准输入引脚电压	VREF	-0.3	6	V
输出引脚电压	OUTx	-0.7	VM + 0.7	V
电流检测输入引脚电压	IPROPI	-0.3	5.75	V
输出电流	OUTx	内部受限制	内部受限制	A
环境温度, T_A		-40	125	$^{\circ}$ C
结温, T_J		-40	150	$^{\circ}$ C
贮存温度, T_{stg}		-65	150	$^{\circ}$ C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。列为 $\pm 2000V$ 的引脚实际上可能具有更高的性能。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。列为 $\pm 500V$ 的引脚实际上可能具有更高的性能。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位
V_{VM}	电源电压	VM	4.5	33	V
V_{VREF}	基准电压	VREF	0	3.6	V
V_{IN}	逻辑输入电压	INx	0	5.5	V
f_{PWM}	PWM 频率	INx	0	200	kHz
$I_{OUT}^{(1)}$	峰值输出电流	OUTx	0	3.7	A
I_{IPROPI}	峰值输出电流	IPROPI	0	3	mA
T_A	工作环境温度	工作环境温度	-40	125	$^{\circ}$ C
T_J	工作结温		-40	150	$^{\circ}$ C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标 ⁽¹⁾		DRV8231A	DRV8231A	单位
		DDA (HSOP)	DSG (WSON)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	42.8	66.5	$^{\circ}$ C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	57.6	77.8	$^{\circ}$ C/W

热指标 ⁽¹⁾		DRV8231A	DRV8231A	单位
		DDA (HSOP)	DSG (WSON)	
		8 引脚	8 引脚	
$R_{\theta JB}$	结至电路板热阻	16.8	32.8	°C/W
Ψ_{JT}	结至顶部特征参数	5.4	2.2	°C/W
Ψ_{JB}	结至电路板特征参数	16.8	32.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	6.2	12.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

4.5V ≤ V_{VM} ≤ 33V, -40°C ≤ T_J ≤ 150°C (除非另有说明)。典型值是在 $T_J = 25^\circ\text{C}$ 且 $V_{VM} = 24\text{V}$ 时。

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM)						
I_{VMQ}	VM 睡眠模式电流	$V_{VM} = 24\text{V}$, $IN1 = IN2 = 0$, $T_J = 25^\circ\text{C}$			1	μA
I_{VM}	VM 活动模式电流	$V_{VM} = 24\text{V}$, $IN1 = IN2 = 1$		3	4	mA
t_{WAKE}	开通时间	控制信号进入运行模式			250	μs
t_{SLEEP}	关断时间	控制信号进入睡眠模式	0.8		1.5	ms
逻辑电平输入 (INx)						
V_{IL}	输入逻辑低电平电压				0.5	V
V_{IH}	输入逻辑高电平电压		1.5			V
V_{HYS}	输入迟滞			200		mV
I_{IL}	输入逻辑低电平电流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	输入逻辑高电流	$V_{IN} = 3.3\text{V}$		33	100	μA
R_{PD}	输入下拉电阻	至 GND		100		kΩ
驱动器输出 (OUTx)						
$R_{DS(on)_HS}$	高侧 MOSFET 导通电阻	$V_{VM} = 24\text{V}$, $I = 1\text{A}$, $f_{PWM} = 25\text{kHz}$		300		mΩ
$R_{DS(on)_LS}$	低侧 MOSFET 导通电阻	$V_{VM} = 24\text{V}$, $I = 1\text{A}$, $f_{PWM} = 25\text{kHz}$		300		mΩ
V_{SD}	体二极管正向电压	$I_{OUT} = 1\text{A}$		0.8		V
t_{RISE}	输出上升时间	$V_{VM} = 24\text{V}$, OUTx 从 10% 上升至 90%		220		ns
t_{FALL}	输出下降时间	$V_{VM} = 24\text{V}$, OUTx 从 90% 下降至 10%		220		ns
t_{PD}	输入至输出传播延迟	INx 至 OUTx		0.7	1	μs
t_{DEAD}	输出死区时间			200		ns
集成电流检测和调节功能 (IPROPI、VREF)						
A_{IPROPI}	电流镜比例因数			1500		μA/A
A_{ERR}	电流镜总误差	$I_{OUT} = 1\text{A}$, $V_{VM} \geq 6.5\text{V}$, $V_{IPROPI} \leq 3.0\text{V}$	-6		6	%
t_{OFF}	电流调节关断时间			25		μs
t_{BLK}	电流调节消隐时间			1.4		μs
t_{DELAY}	电流检测延迟时间			1.1		μs
t_{DEG}	电流调节抗尖峰脉冲时间			0.7		μs
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	电源上升	4.15	4.3	4.45	V
		电源下降	4.05	4.2	4.35	V
V_{UVLO_HYS}	电源 UVLO 迟滞	上升至下降阈值		100		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间			10		μs

$4.5V \leq V_{VM} \leq 33V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。典型值是在 $T_J = 25^{\circ}C$ 且 $V_{VM} = 24V$ 时。

参数		测试条件	最小值	典型值	最大值	单位
I_{OCP}	过流保护跳变点		3.7			A
t_{OCP}	过流保护抗尖峰脉冲时间			1.5		μs
t_{RETRY}	过流保护重试时间			3		ms
T_{TSD}	热关断温度		150	175		$^{\circ}C$
T_{HYS}	热关断迟滞			40		$^{\circ}C$

6.6 典型特性

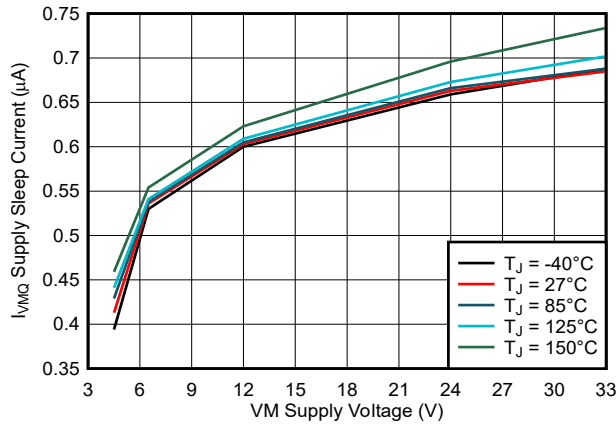


图 6-1. 睡眠电流 (I_{VMQ}) 与电源电压 (V_{VM}) 间的关系

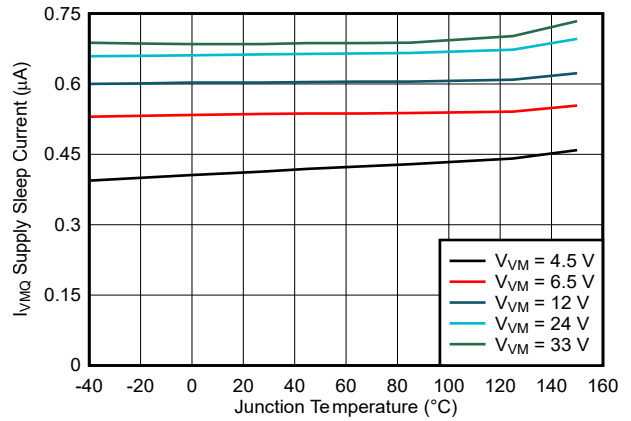


图 6-2. 睡眠电流 (I_{VMQ}) 与结温 (T_J) 间的关系

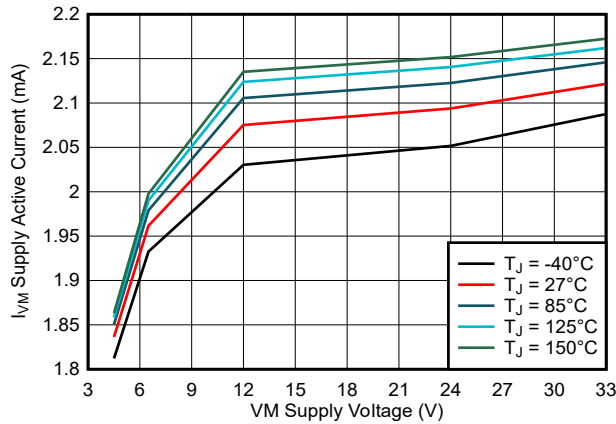


图 6-3. 工作电流 (I_{VM}) 与电源电压 (V_{VM}) 间的关系

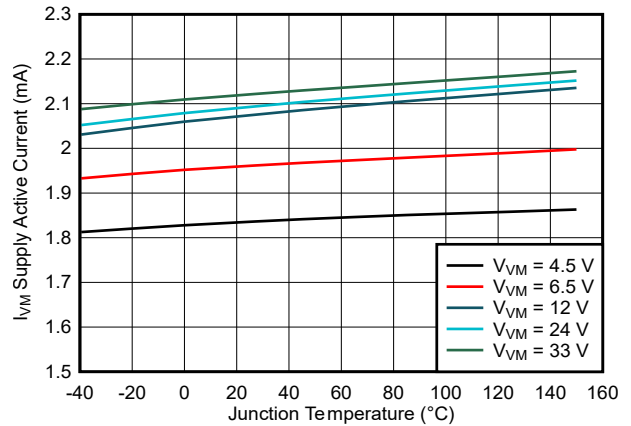


图 6-4. 工作电流 (I_{VM}) 与结温 (T_J) 间的关系

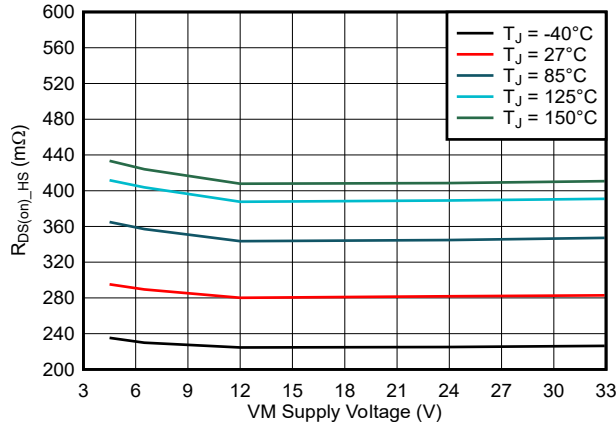


图 6-5. 高侧 $R_{DS(on)}$ 与 VM 电源电压间的关系

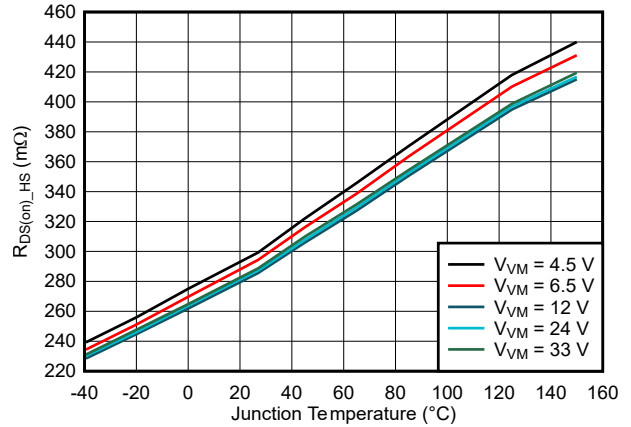


图 6-6. 高侧 $R_{DS(on)}$ 与结温 (T_J) 间的关系

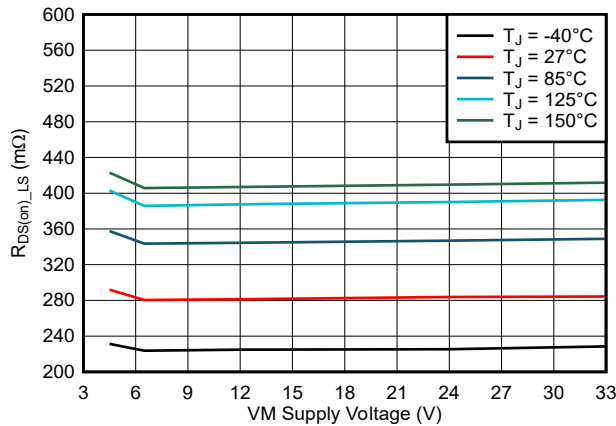


图 6-7. 低侧 $R_{DS(on)}$ 与 VM 电源电压间的关系

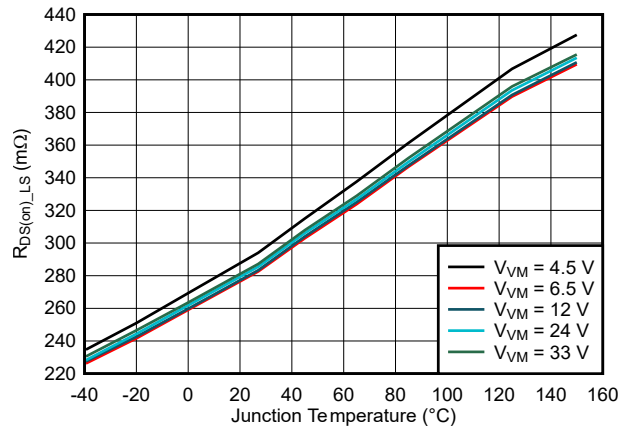
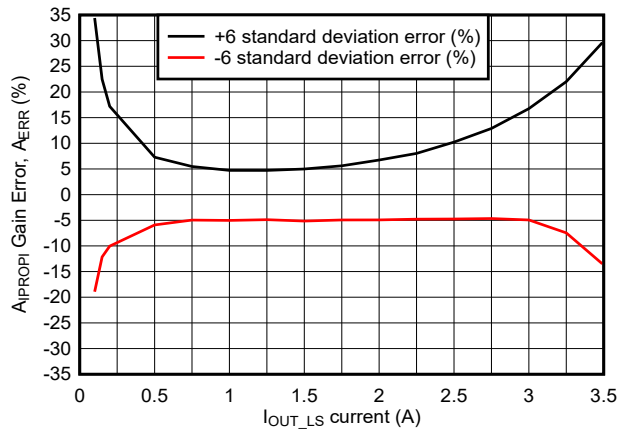


图 6-8. 低侧 $R_{DS(on)}$ 与结温 (T_J) 间的关系



$$6.5V \leq V_{VM} \leq 33V$$

$$0V \leq V_{IPROPI} \leq 3V$$

$$-40^{\circ}C \leq T_J \leq 150^{\circ}C$$

图 6-9. AIPROPI 的增益误差与电机电流间的关系

6.7 时序图

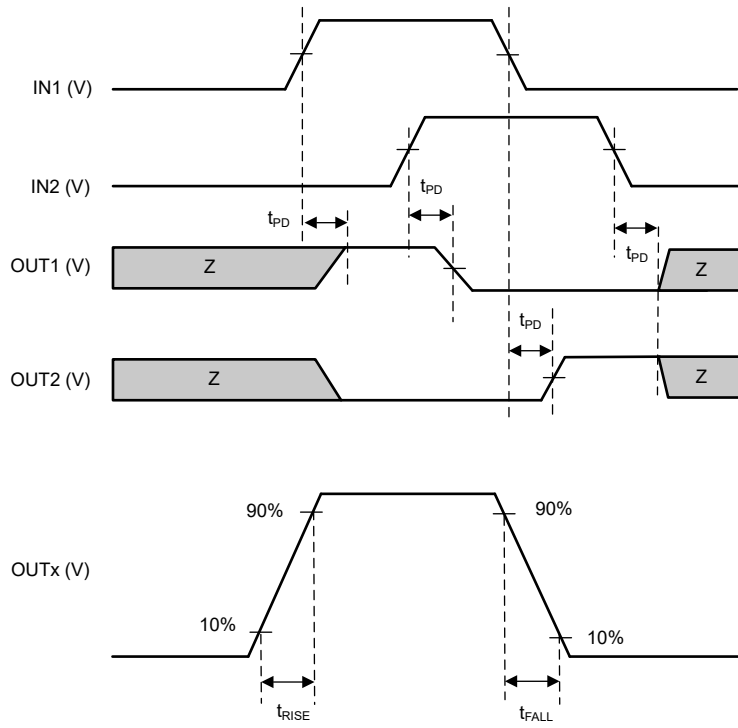


图 6-10. 输入到输出时序

7 详细说明

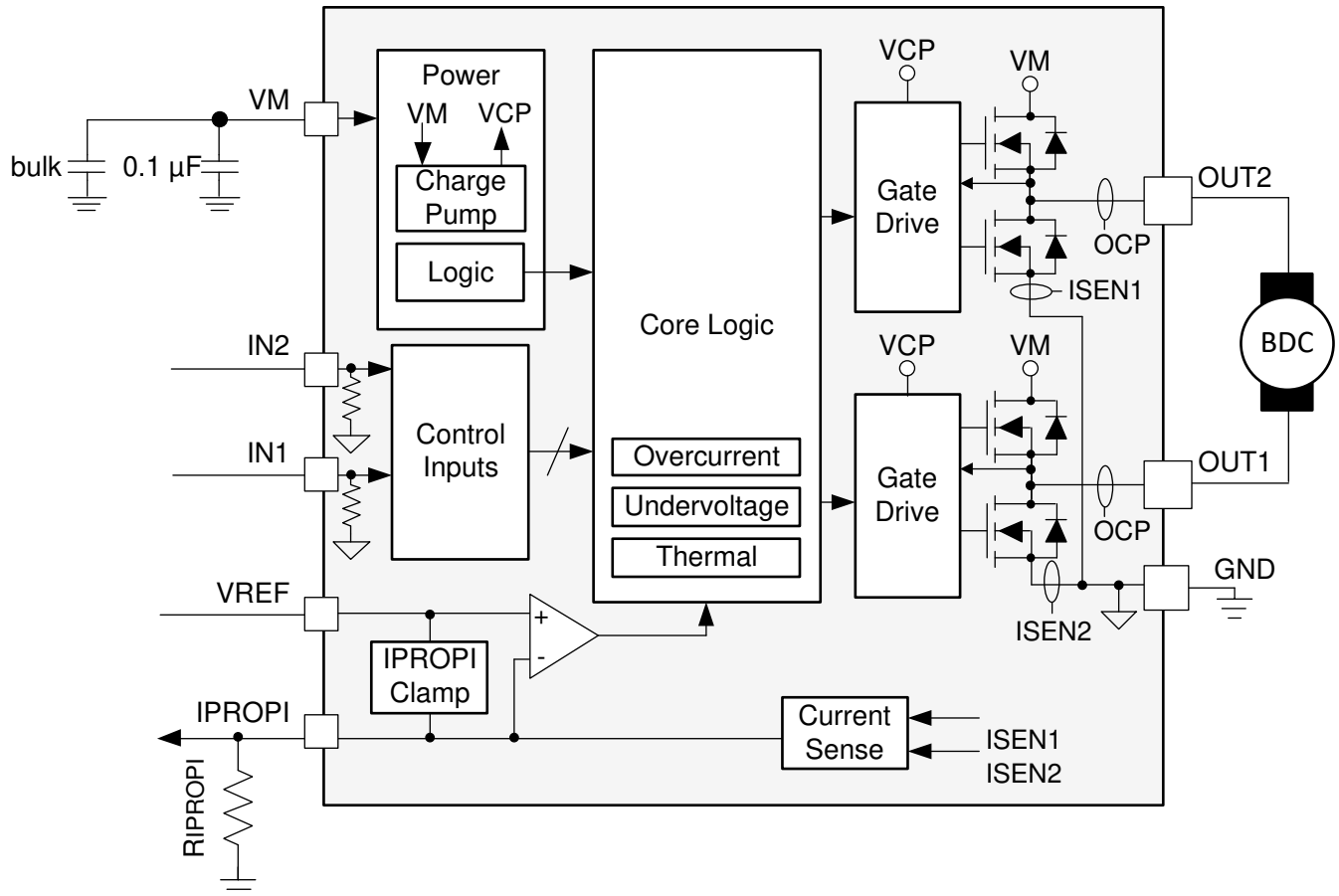
7.1 概述

DRV8231A 是一款用于通过 4.5V 至 33V 电源轨驱动有刷直流电机的 8 引脚器件。两个逻辑输入控制 H 桥驱动器，后者由四个 N 沟道 MOSFET 组成，它们的典型 $R_{DS(on)}$ 为 $600m\Omega$ (包括一个高侧 FET 和一个低侧 FET)。单个电源输入 VM 同时用作器件电源和电机绕组偏置电压。器件的集成电荷泵在内部对 VM 升压并全面增强高侧 FET。电机转速可通过脉宽调制进行控制，频率范围为 0 至 200kHz。该器件通过将两个输入置为低电平而进入低功耗睡眠模式。

DRV8231A 还通过在低侧功率 MOSFET 上使用电流镜集成了微控制器的电流检测反馈功能。IPROPI 引脚提供一个小电流，该电流与 MOSFET 中的电流成正比。可以使用外部电阻器 (R_{IPROPI}) 将该电流转换成比例电压。这项集成的电流检测方案即使在关断时间缓慢衰减再循环期间也会提供电流信息，而且无需使用外部电源分流电阻器，因此它的检测性能要优于传统的外部分流电阻器检测。通过集成的电流调节功能，器件可使用固定关断时间 PWM 斩波方案来限制输出电流。VREF 引脚可配置电机运行期间的电流调节电平，以限制负载电流。

各种集成保护特性将在出现系统故障时保护器件。这些保护功能包括欠压锁定 (UVLO)、过流保护 (OCP) 和过热关断 (TSD)。

7.2 功能方框图



7.3 外部组件

表 7-1 列出了推荐用于此器件的外部元件。

表 7-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	0.1 μ F、低 ESR 陶瓷电容器、额定电压为 VM。

表 7-1. 推荐的外部元件 (续)

元件	引脚 1	引脚 2	推荐
C _{VM2}	VM	GND	节 8.4.1, 额定电压为 VM。

7.4 特性说明

7.4.1 电桥控制

DRV8231A 输出包含四个用于驱动高电流的 N 沟道 MOSFET。通过表 7-2 所列两个逻辑输入 IN1 和 IN2 控制这些输出。

表 7-2. H 桥控制

IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	滑行；H 桥禁用至高阻态（经过 1 ms 之后进入睡眠模式）
0	1	L	H	反向（电流 OUT2 → OUT1）
1	0	H	L	正向（电流 OUT1 → OUT2）
1	1	L	L	制动；低侧慢速衰减

输入可设置为静态电压以实现 100% 占空比驱动，也可设置为脉宽调制 (PWM) 以实现可变电机转速。使用 PWM 时，驱动和制动之间通常能很好地切换。例如，要以最大 RPM 的 50% 正向驱动电机，在驱动周期内，IN1 = 1 且 IN2 = 0；而在其他时间内，IN1 = 1 且 IN2 = 1。此外，还提供能实现快速电流衰减的滑行模式 (IN1 = 0, IN2 = 0)。图 7-1 显示了电机电流如何流过 H 桥。可以在应用 VM 之前为输入引脚供电。

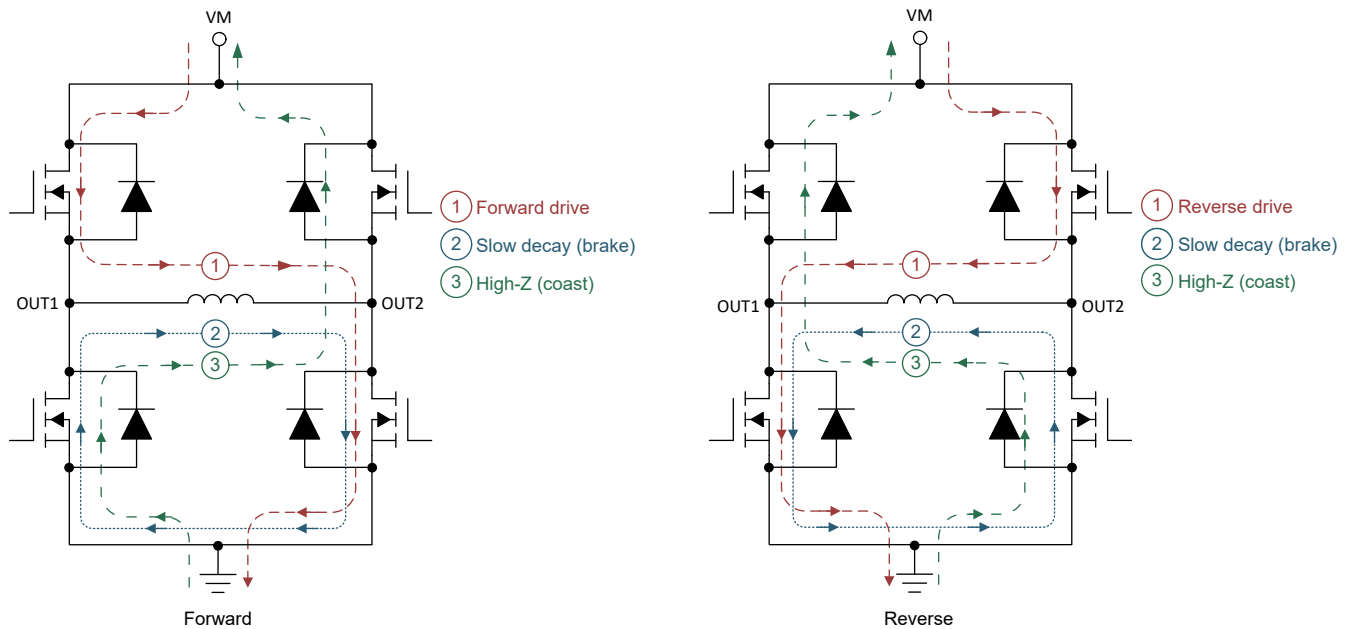


图 7-1. H 桥电流路径

当输出从驱动高电平变为驱动低电平，或从驱动低电平变为驱动高电平时，会自动插入死区时间以防止击穿。 t_{DEAD} 时间是输出为高阻时的中间时间。如果在 t_{DEAD} 期间测量输出引脚，则电压取决于电流方向。如果电流离开管脚，则电压为低于地电平的二极管压降。如果电流进入引脚，则电压为高于 VM 的二极管压降。该二极管是高侧或低侧 FET 的体二极管。

传播延迟时间 (t_{PD}) 是输入边沿与输出变化之间的时间。该时间考虑了输入抗尖峰脉冲时间和其他内部逻辑传播延迟。输入抗尖峰脉冲时间可防止输入引脚上的噪声影响输出状态。附加的输出压摆延迟时序考虑了 FET 导通或关断时间 (t_{RISE} 和 t_{FALL})。

下面的图 7-2 显示了电机驱动器输入和输出的时序。

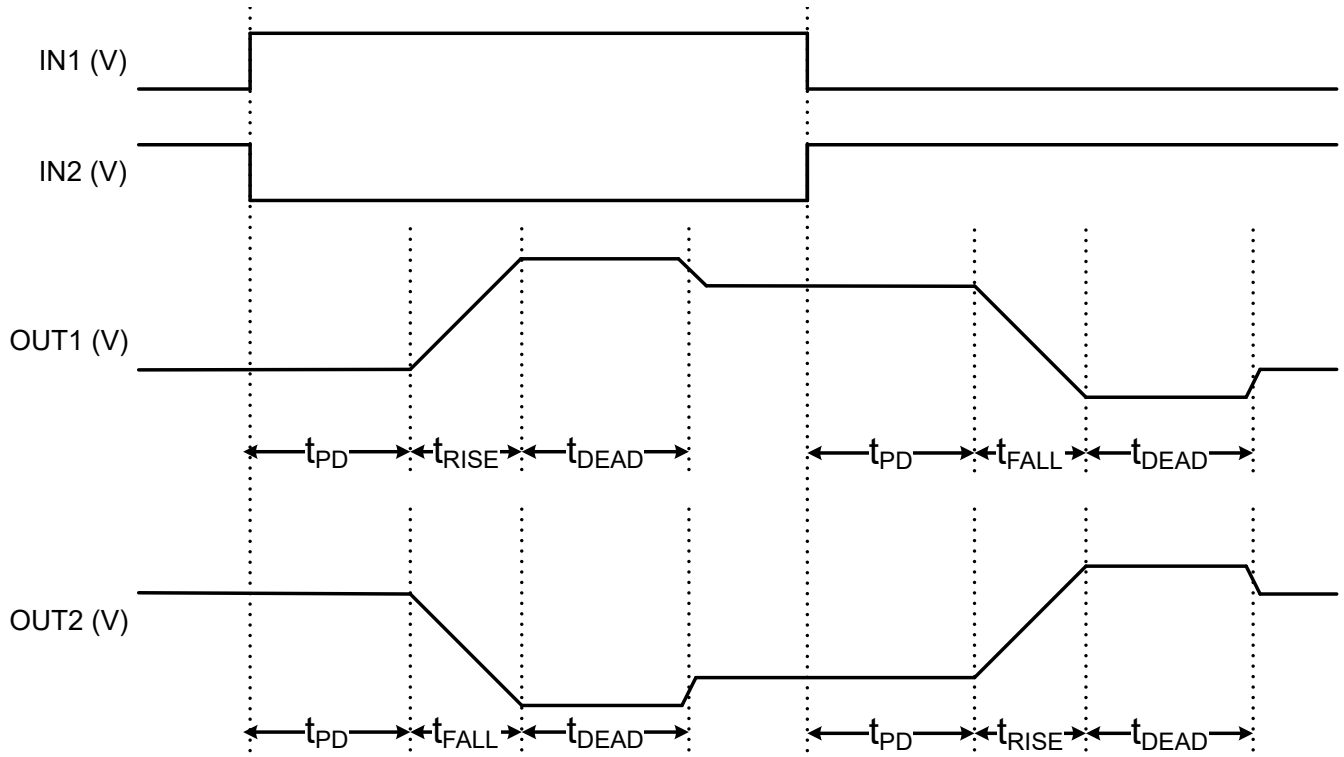


图 7-2. H 桥时序图

7.4.2 电流检测和调节 (IPROPI)

DRV8231A 器件在 IPROPI 特性中集成了电流检测、调节和反馈功能。这些功能使器件能够在不使用外部检测电阻或检测电路的情况下检测输出电流，因此减小了系统的尺寸并降低了系统的成本和复杂程度。这样，器件还能够发生在电机失速或高扭矩事件的情况下限制输出电流，并通过与电流成比例的输出为控制器提供关于负载电流的详细反馈。图 7-3 展示了“电气特性”表中指定的 IPROPI 时序。

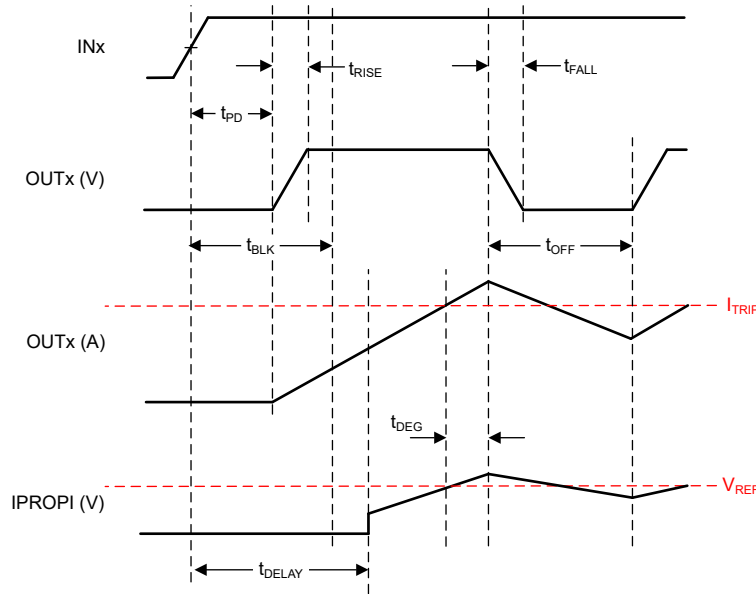


图 7-3. 详细 IPROPI 时序图

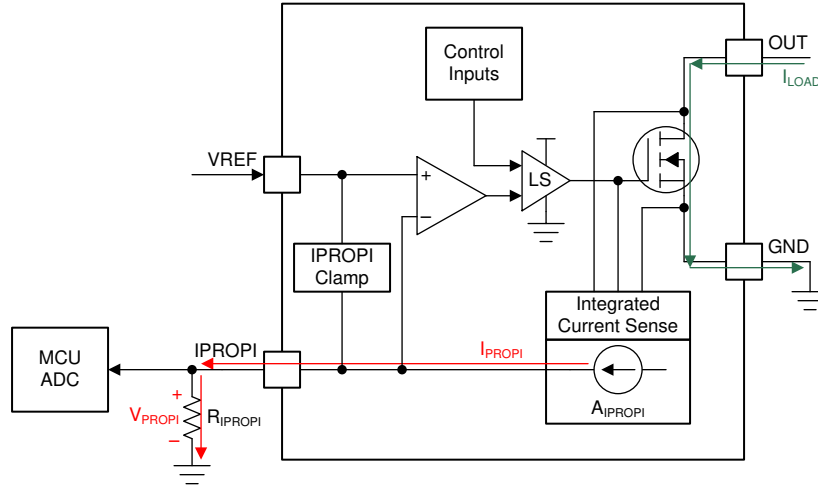
7.4.2.1 电流检测

IPROPI 引脚会输出与流经 H 桥中的低侧功率 MOSFET 的电流成正比并经过 A_{IPROPI} 调节的模拟电流。可以使用方程式 1 计算出 IPROPI 输出电流。只有当电流在低侧 MOSFET 中从漏极流向源极时，方程式 1 中的 I_{LSx} 才有效。如果电流从源极流向漏极或流经二极管，则该通道的 I_{LSx} 值为零。例如，如果电桥处于制动/慢速衰减状态，则 IPROPI 外的电流仅与其中一个低侧 MOSFET 中的电流成正比。

$$I_{PROPI} (\mu A) = (I_{LS1} + I_{LS2}) (A) \times A_{IPROPI} (\mu A/A) \quad (1)$$

“电气特性”表中的 A_{ERR} 参数是与 A_{IPROPI} 增益相关的误差。 A_{ERR} 参数表示 I_{OUT} 电流中增加的偏移量误差和增益误差带来的综合影响。

电机电流由低侧 FET 上的内部电流镜架构测得，而无需使用外部功率检测电阻，如图 7-4 所示。电流镜架构允许在驱动和制动低侧慢速衰减期间检测电机绕组电流，从而在典型双向有刷直流电机应用中持续监测电流。在滑行模式下，由于电流是从源极流向漏极的续流电流，因此无法被检测到。但是，可以在驱动或慢速衰减模式下短暂重新启用驱动器，并在再次切换回滑行模式之前测量此电流，从而对电流进行采样。



Copyright © 2017, Texas Instruments Incorporated

图 7-4. 集成电流检测

将 IPROPI 引脚连接到外部电阻器 (R_IPROPI) 进行接地，从而利用 I_IPROPI 模拟电流输出在 IPROPI 引脚上产生一个成比例的电压 (V_IPROPI)。这样即可使用标准模数转换器 (ADC) 将负载电流作为 R_IPROPI 电阻器两端的压降进行测量。可以根据应用中的预期负载电流来调节 R_IPROPI 电阻器的大小，以利用控制器 ADC 的整个量程。此外，DRV8251A 器件还采用了一个内部 IPROPI 电压钳位电路，可相对于 VREF 引脚上的 V_VREF 限制 V_IPROPI，并在发生输出过流或意外高电流事件时保护外部 ADC。

可以使用方程式 2 计算对应于输出电流的 IPROPI 电压。

$$V_{IPROPI} (V) = I_{IPROPI} (A) \times R_{IPROPI} (\Omega) \tag{2}$$

IPROPI 输出带宽受内部电流检测电路的检测延迟时间 (t_DELAY) 限制。此时间是指从低侧 MOSFET 启用命令 (来自 INx 引脚) 到 IPROPI 输出准备就绪这两个时间点之间的延迟。

在 H 桥 PWM 信号中，如果器件在驱动和慢速衰减 (制动) 之间交替切换，则检测电流的低侧 MOSFET 会持续导通，但感测延迟时间对 IPROPI 输出不会产生任何影响。如果 INx 引脚上的命令禁用低侧 MOSFET (根据节 7.4.1 中的逻辑表)，则 IPROPI 输出将通过输入逻辑信号禁用。虽然低侧 MOSFET 在根据器件压摆率 (在“电气特性”表中以 t_RISE 时间表示) 禁用时仍可以传导电流，但 IPROPI 并不表示此关断时间内低侧 MOSFET 中的电流。

7.4.2.2 电流调节

DRV8231A 器件使用固定关断时间电流斩波方案集成电流调节功能。这样，器件能够在发生电机失速、高扭矩或其他高电流负载事件的情况下限制输出电流，而无需外部控制，如图 7-5 所示。

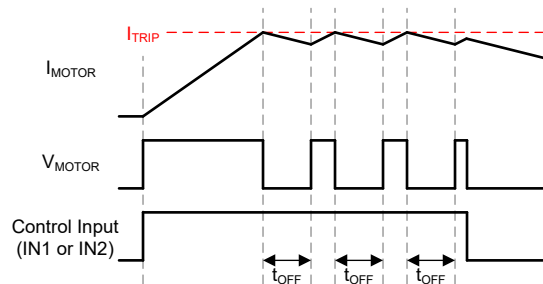


图 7-5. 关断时间电流调节

可通过 V_{REF} 电压 (V_{VREF}) 与 I_{PROPI} 输出电阻器 ($R_{I_{PROPI}}$) 设置电流斩波阈值 (I_{TRIP})。可通过将外部 $R_{I_{PROPI}}$ 电阻器和 V_{VREF} 之间的压降与内部比较器进行比较来执行此操作。

$$I_{TRIP} (A) \times A_{I_{PROPI}} (\mu A/A) = V_{VREF} (V) / R_{I_{PROPI}} (\Omega) \quad (3)$$

例如，如果 $V_{VREF} = 3.3V$ ， $R_{I_{PROPI}} = 1375\Omega$ 且 $A_{I_{PROPI}} = 1500 \mu A/A$ ，则 I_{TRIP} 约为 1.6A。

固定关断时间电流斩波方案支持高达 100% 占空比电流调节，因为在 t_{OFF} 期间结束后 H 桥会自动启用，而且不需要 INx 引脚上的新控制输入边沿来复位输出。当电机电流超过 I_{TRIP} 阈值时，输出会进入具有固定关断时间 (t_{OFF}) 的电流斩波模式。在 t_{OFF} 期间，当 I_{OUT} 超过 I_{TRIP} 之后，H 桥会在 t_{OFF} 持续时间内进入制动/低侧慢速衰减状态（两个低侧 MOSFET 都导通）。在 t_{OFF} 之后，如果 I_{OUT} 小于 I_{TRIP} ，将根据控制输入来重新启用输出。如果 I_{OUT} 仍然大于 I_{TRIP} ，H 桥会在 t_{OFF} 持续时间内进入另一段制动/低侧慢速衰减期。如果 INx 控制引脚的状态在 t_{OFF} 时间内发生变化，则 t_{OFF} 时间的剩余部分将被忽略，并且输出将再次跟随输入。

I_{TRIP} 比较器既具有消隐时间 (t_{BLK})，也具有抗尖峰脉冲时间 (t_{DEG})。内部消隐时间有助于在切换输出时防止电压和电流瞬变影响电流调节。这些瞬变可能由电机内部或电机端子连接上的电容器引起。内部抗尖峰脉冲时间可保持瞬变条件不会过早触发电流调节。在瞬态条件超过抗尖峰脉冲时间的某些情况下，在 I_{PROPI} 引脚上靠近器件之处放置一个 10nF 电容器，将有助于过滤 I_{PROPI} 输出上的瞬变，从而不会过早触发电流调节。电容值可根据需要进行调整，但电容值较大可能会减慢电流调节电路的响应时间。

可以禁用内部电流调节和电流反馈，方法是将 I_{PROPI} 连接到 GND 并将 V_{REF} 引脚电压设置为高于 GND 的值。如果需要电流反馈但不需要电流调节，则需要设置 V_{VREF} 和 $R_{I_{PROPI}}$ ，使 $V_{I_{PROPI}}$ 永远不会达到 V_{VREF} 阈值。为使电流调节电路正常工作， V_{VREF} 必须处于“建议运行条件”表中规定的 V_{REF} 引脚电压范围内。

7.4.3 保护电路

DRV8231A 器件受到全面保护，以防出现 VM 欠压、过流和过热事件。

7.4.3.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路通过在内部限制栅极驱动器来限制通过 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间 (t_{OCP})，禁用 H 桥中的所有 FET。在 OCP 重试周期 (t_{RETRY}) 过后，驱动器将重新启用。如果故障仍然存在，则重复此周期，如图 7-6 所示。

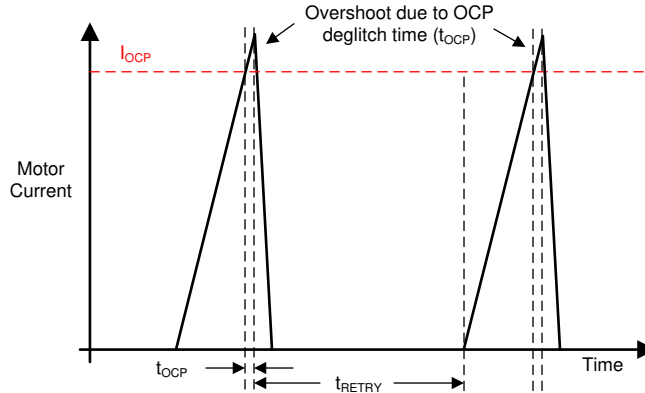


图 7-6. OCP 操作

在高侧和低侧 FET 上单独检测到过流情况。这意味着接地短路、电源短路或跨电机绕组短路都会导致过流关断。过流保护不使用用于电流调节的电流检测电路，因此无论 VREF 和 IPROPI 设置如何，过流保护都能正常工作。

7.4.3.2 热关断 (TSD)

如果内核温度超过安全限值，则会禁用 H 桥中的所有 FET。裸片温度下降到安全水平后，将自动恢复运行。

7.4.3.3 VM 欠压锁定 (UVLO)

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，输出 FETS 被禁用，并且所有内部逻辑被复位。当 V_{VM} 电压升至高于 UVLO 上升阈值时，将恢复运行，如图 7-7 所示。

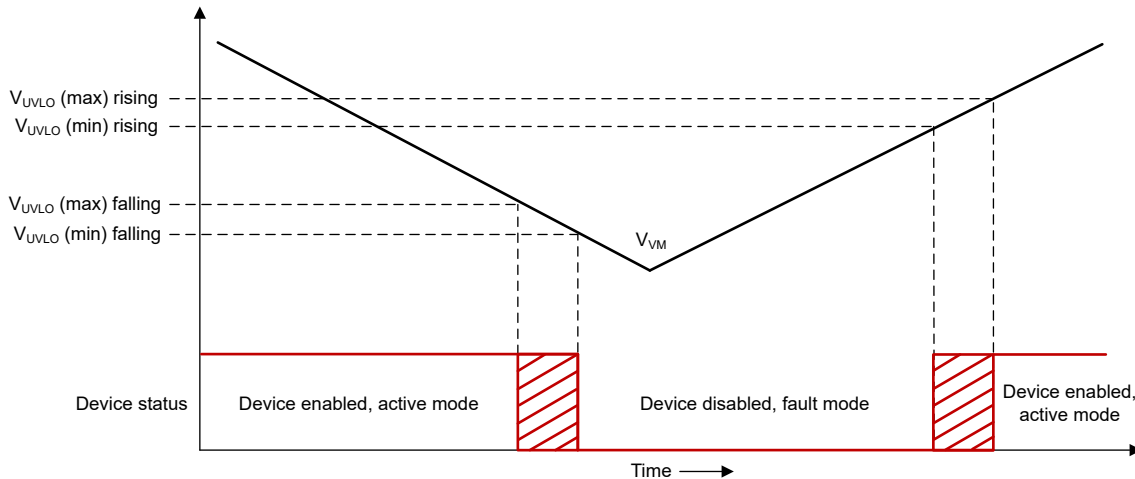


图 7-7. VM UVLO 运行

7.5 器件功能模式

表 7-3 总结了本节介绍的 DRV8231A 的功能模式。

表 7-3. 运行模式

模式	条件	H 桥	内部电路
工作模式	IN1 或 IN2 = 逻辑高电平	工作	工作
低功耗睡眠模式	IN1 = IN2 = 逻辑低电平	禁用	禁用
故障模式	满足任何故障条件	禁用	请参阅 表 7-4

7.5.1 工作模式

当 VM 引脚上的电源电压超过欠压阈值 V_{UVLO} ，INx 引脚处于除 IN1 = 0 且 IN2 = 0 之外的状态并且 t_{WAKE} 结束后，器件进入工作模式。在此模式下，H 桥、电荷泵和内部逻辑将被激活，器件将准备好接收输入。

7.5.2 低功耗睡眠模式

当 IN1 和 IN2 引脚在 t_{SLEEP} 时间内均为低电平时，DRV8231A 器件进入低功耗睡眠模式。在睡眠模式下，输出保持高阻态，器件从电源引脚消耗的电流 (I_{VMQ}) 最小。如果器件在所有输入均为低电平时通电，则器件会立即进入睡眠模式。任何输入引脚设置的高电平时间超过 t_{WAKE} 的持续时间后，器件将完全正常运行。图 7-8 显示了进入和退出睡眠模式的示例时序图。

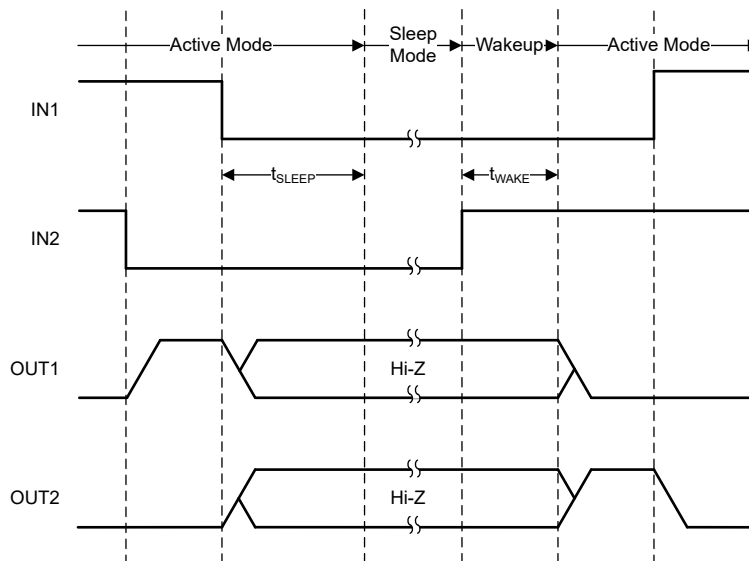


图 7-8. 睡眠模式进入和唤醒时序图

7.5.3 故障模式

DRV8231A 器件在遇到故障时进入故障模式。这可以用来保护器件和输出负载。故障模式下的器件行为取决于故障状况，如 表 7-4 中所述。当满足恢复条件时，器件会退出故障模式并重新进入工作模式。

表 7-4. 故障条件汇总

故障	条件	H 桥	内部电路	恢复
VM 欠压 (UVLO)	$V_M < V_{UVLO,falling}$	禁用	禁用	$V_M > V_{UVLO,rising}$
过流 (OCP)	$I_{OUT} > I_{OCP}$	禁用	工作	$I_{OUT} < I_{OCP}$
热关断 (TSD)	$T_J > T_{TSD}$	禁用	工作	$T_J < T_{TSD} - T_{HYS}$

7.6 引脚图

7.6.1 逻辑电平输入

图 7-9 显示了逻辑电平输入引脚 IN1、IN2、PH/IN1 和 EN/IN2 的输入结构。

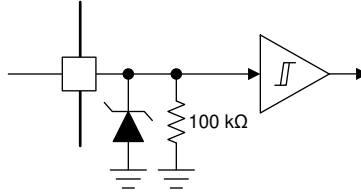


图 7-9. 逻辑电平输入

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DRV8231A DRV8231 器件通常用于驱动一个有刷直流电机。

8.2 典型应用

8.2.1 有刷直流电机

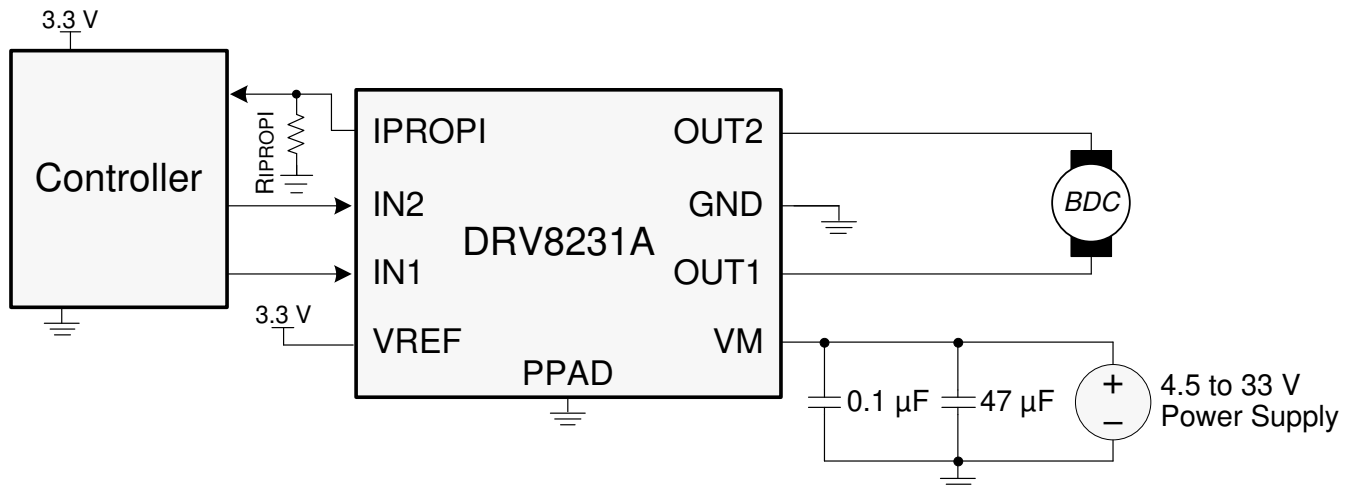


图 8-1. 典型连接

8.2.1.1 设计要求

下表列出了设计统参数。

表 8-1. 设计参数

设计参数	基准	示例值
电机电压	V_{VM}	12V
平均电机电流	I_{AVG}	0.8A
电机浪涌（启动）电流	I_{INRUSH}	2.1A
电机失速电流	I_{STALL}	2.1A
电机电流跳闸点	I_{TRIP}	1.46A
VREF 电压	VREF	3.3V
IPROPI 检测电阻	R_{IPROPI}	1.5k Ω
PWM 频率	f_{PWM}	50kHz

8.2.1.2 详细设计过程

8.2.1.2.1 电机电压

使用的电机电压取决于所选电机的额定值和所需的 RPM。电压越高，有刷直流电机就旋转得越快，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过感应电机绕组的电流变化率。

DRV8231A

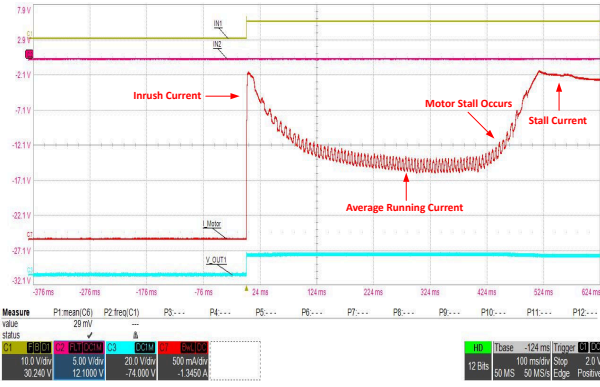
ZHCSP9A - NOVEMBER 2021 - REVISED JANUARY 2026

8.2.1.2.2 电机电流

电机在低速、初始启动和转子失速条件下会经历大电流。电机启动时的大电流有时称为浪涌电流。DRV8231A 中的电流调节特性有助于限制这些大电流。图 8-4 和图 8-5 显示了限制浪涌电流的示例。

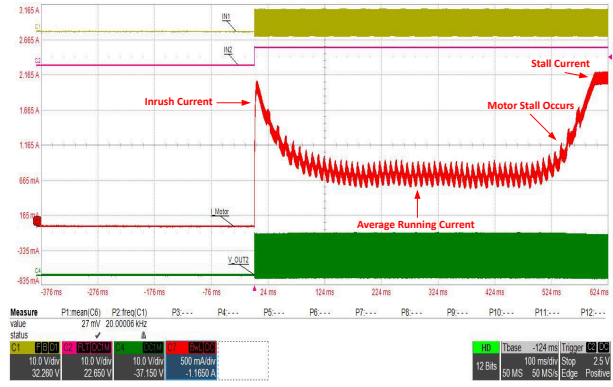
或者，也可以利用微控制器，通过在启动期间升高 PWM 占空比来限制浪涌电流。

8.2.1.3 应用曲线



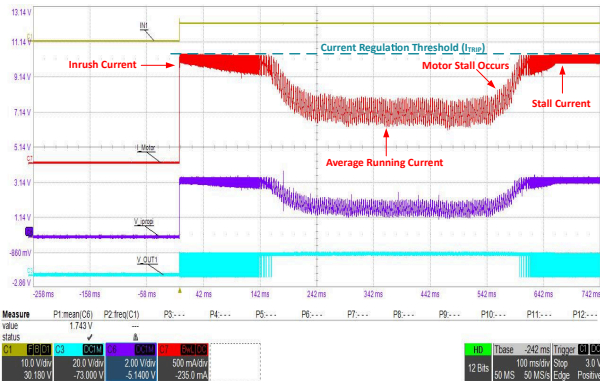
通道 1 (黄色) = IN1 信号
通道 2 (紫红色) = IN2 信号
通道 3 (蓝色) = OUT1 电压
通道 7 (红色) = 电机电流

图 8-2. 以 100% 占空比启动电机



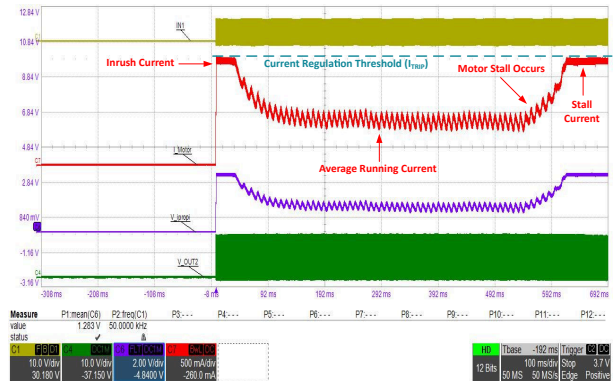
通道 1 (黄色) = IN1 信号
通道 2 (紫红色) = IN2 信号
通道 4 (绿色) = OUT2 电压
通道 7 (红色) = 电机电流

图 8-3. 以 50% 占空比启动电机



通道 1 (黄色) = IN1 信号
通道 3 (蓝色) = OUT1 电压
通道 6 (紫色) = IPROPI 信号
通道 7 (红色) = 电机电流

图 8-4. 以 100% 占空比启动电机并进行电流调节



通道 1 (黄色) = IN1 信号
通道 4 (绿色) = OUT2 电压
通道 6 (紫色) = IPROPI 信号
通道 7 (红色) = 电机电流

图 8-5. 以 50% 占空比启动电机并进行电流调节

8.2.2 失速检测

一些应用需要进行失速检测来通知微控制器锁定转子情况。失速可能由以下任意一种情况引起：意外机械阻塞，或者负载在受限的行驶路径中到达终点止动装置。通过使用 DRV8231A 的 IPROPI 模拟电流检测反馈，系统可以实现简单的失速检测方案。

这种失速检测方案的原理基础是，电机电流会在失速条件下增大，如图 8-6 所示。为了实现失速检测，微控制器使用 ADC 读取 IPROPI 引脚上的电压，并将该电压其与固件中设置的失速阈值进行比较。或者，也可以使用比较器外设来设置该阈值。

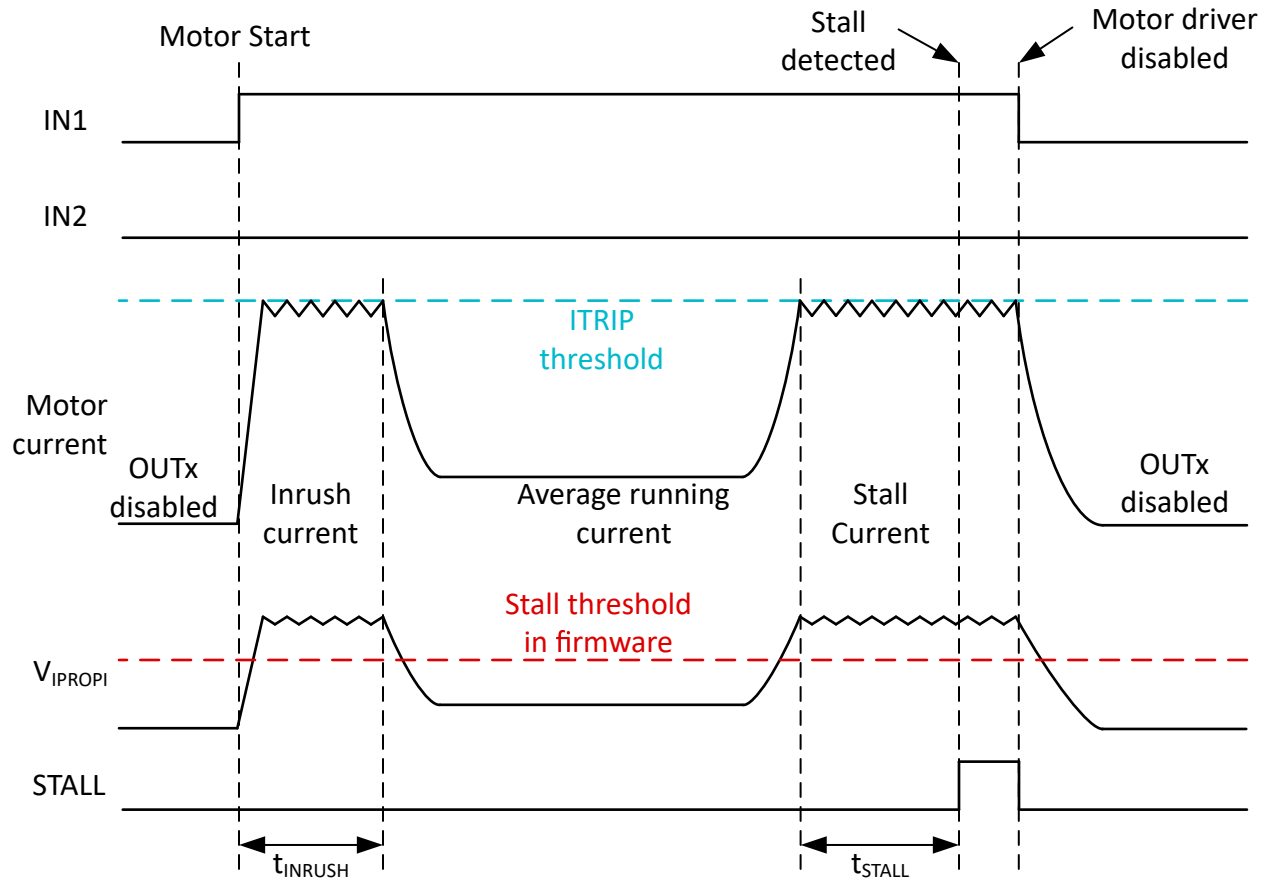


图 8-6. 带 STALL 信号的电机电流曲线

8.2.2.1 设计要求

下表列出了设计统参数。

表 8-2. 设计参数

设计参数	基准	示例值
电机电压	V_M	14.4V
电机电流跳闸点	I_{TRIP}	900mA
VREF 电压	VREF	2V
IPROPI 电阻	R_{IPROPI}	1.5k Ω
失速电流跳变点	I_{STALL}	500mA
失速 IPROPI 电压跳变点	$V_{IPROPI,STALL}$	1V
浪涌电流忽略时间	t_{INRUSH}	65ms
失速检测时间	t_{STALL}	65ms

8.2.2.2 详细设计过程

8.2.2.2.1 失速检测时序

微控制器需要决定 IPROPI 信号是否表示电机失速。由于电机转速较低，因此在电机启动期间会产生较大的浪涌电流。随着电机加速，由于电机中的反电动势 (EMF) 随速度增加，电机电流下降到平均水平。不能将浪涌电流误认为失速情况。其中一个实现方法是，让微控制器在启动时浪涌电流的持续期间 t_{INRUSH} ，忽略高于固件失速阈值的 IPROPI 信号。 t_{INRUSH} 时序通过实验确定，因为 t_{INRUSH} 时序取决于电机参数、电源电压和机械负载响应时间。

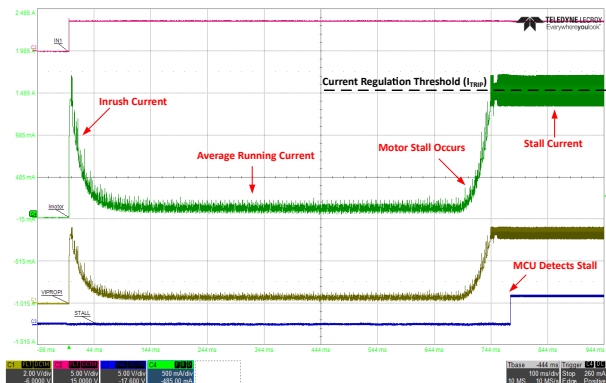
当发生失速情况时，由于反电动势此时为 0V，因此电机电流会升高，超过平均运行电流电平。在某些情况下，如果电机能够清除堵塞，可能需要以失速电流驱动一段时间。在电机发生意外失速或高扭矩情况下，这点可能很有帮助。在这种情况下，系统设计人员可以选择较长的失速检测时间 t_{STALL} ，结束后再让微控制器决定采取何种措施。在其他情况下，例如进行终点止动检测时，可能需要作出更快的响应，来降低功率或更大限度地减小齿轮或终点止动装置上的大电机扭矩。微控制器的 t_{STALL} 时间也需相应地缩短。

图 8-6 说明了 t_{INRUSH} 和 t_{STALL} 时序以及 t_{INRUSH} 和 t_{STALL} 与电机电流波形的关系。

8.2.2.2.2 失速阈值选择

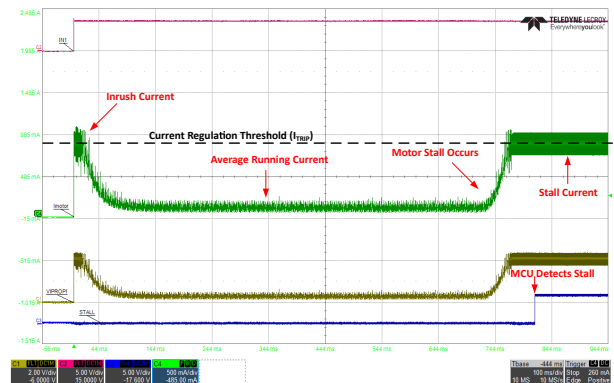
固件中的失速检测阈值可在最大失速电流与电机平均运行电流之间选择，如图 8-6 所示。

8.2.2.3 应用曲线



通道 1 (黄色) = V_{IPROPI} 通道 2 (紫红色) = IN1 信号
通道 3 (蓝色) = 失速指示 通道 4 (绿色) = 电机电流

图 8-7. 失速检测的示例波形



通道 1 (黄色) = V_{IPROPI} 通道 2 (紫红色) = IN1 信号
通道 3 (蓝色) = 失速指示 通道 4 (绿色) = 电机电流

图 8-8. 电流调节限制浪涌和失速电流时在 IPROPI 上检测到的失速

8.2.3 继电器驱动

PWM 接口也可用于驱动单线圈和双线圈闭锁继电器，如下列各图所示。

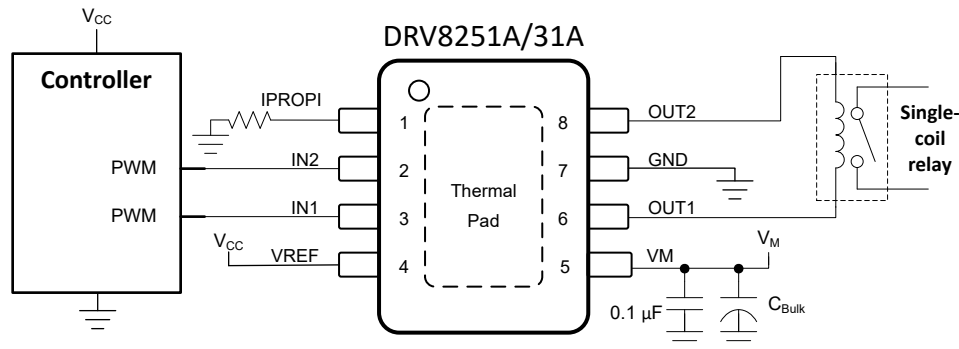


图 8-9. 单线圈继电器驱动

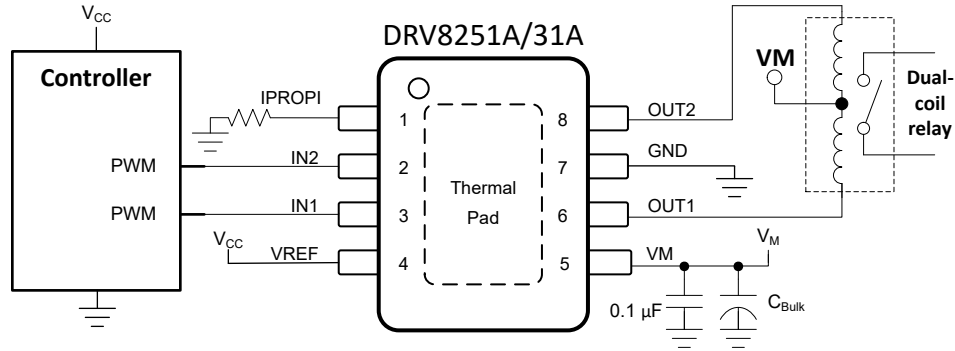


图 8-10. 双线圈继电器驱动

8.2.3.1 设计要求

表 8-3 提供了单线圈或双线圈继电器应用的示例要求。还可以配置电流调节功能，让继电器电流保持在处于继电器规格范围内。如果 VM 电源电压高于继电器的额定电压，这一点很重要。

表 8-3. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	12V
微控制器电源电压	V_{CC}	3.3V
单线圈继电器电流	I_{Relay}	500mA 脉冲持续 200ms
双线圈继电器电流	I_{OUT1} 、 I_{OUT2}	100mA 脉冲持续 200ms

8.2.3.2 详细设计过程

8.2.3.2.1 单线圈继电器的控制接口

PWM 接口可用于驱动单线圈继电器。要驱动继电器，驱动器需要以 PWM 表中的正向或反向状态驱动电流。驱动继电器后，可以禁用输出 ($IN1 = IN2 = 0$)，使驱动器进入睡眠状态并节省能源。或者，可以在驱动后短暂地将输出置于制动模式，以避免继电器产生反电动势效应或导致电流从继电器流回 VM 电源节点。

8.2.3.2.2 双线圈继电器的控制接口

如果中心抽头连接到 VM，则双线圈继电器只需要两个低侧驱动器。未使用 FET 的体二极管充当续流二极管，因此使用 DRV8231A 驱动双线圈继电器时，不需要额外的续流二极管。PWM 接口可用于控制双线圈继电器。下列各图显示了驱动双线圈继电器的原理图和时序图。

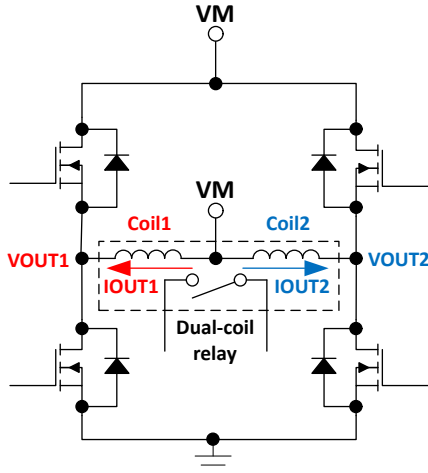


图 8-11. 由 OUTx H 桥驱动的双线圈继电器原理图

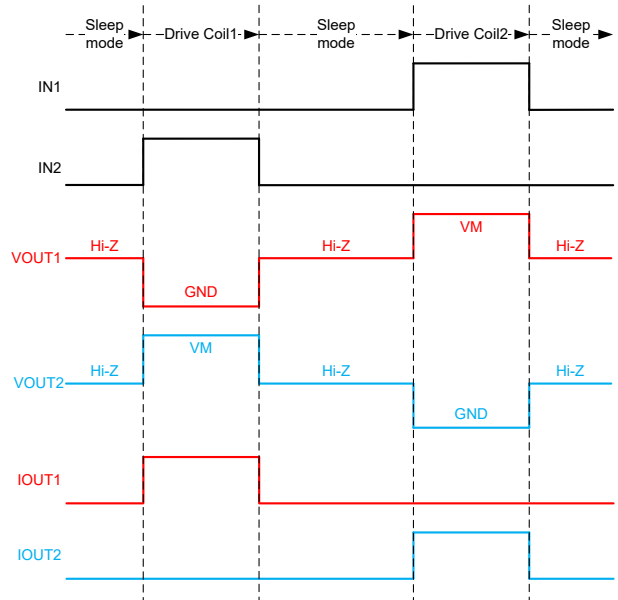


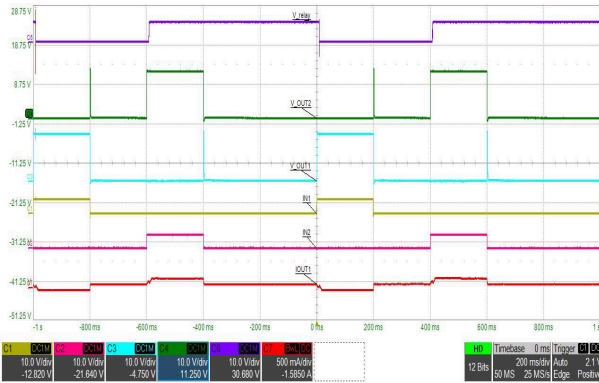
图 8-12. 使用 PWM 接口的驱动双线圈继电器时序图

表 8-4 显示了 PWM 接口的逻辑表。此表中的描述反映了输入和输出状态如何驱动双线圈继电器。当线圈 1 被驱动时 (OUT1 电压在 GND 处), OUT2 处的电压将转到 VM。由于继电器的中心抽头也位于 VM, 因此没有电流流过线圈 2。驱动线圈 2 时也是如此; 线圈 1 短接到 VM。高侧 FET 的体二极管起到续流二极管的作用, 因此不需要额外的外部二极管。图 8-15 显示了此应用的示波器描述。

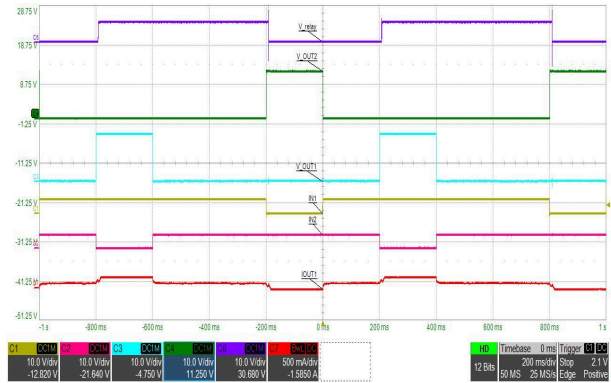
表 8-4. 双线圈继电器驱动 PWM 控制表

IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	输出禁用 (H 桥高阻抗)
0	1	L	H	驱动线圈 1
1	0	H	L	驱动线圈 2
1	1	L	L	驱动线圈 1 和线圈 2 (双线圈锁存继电器的无效状态)

8.2.3.3 应用曲线



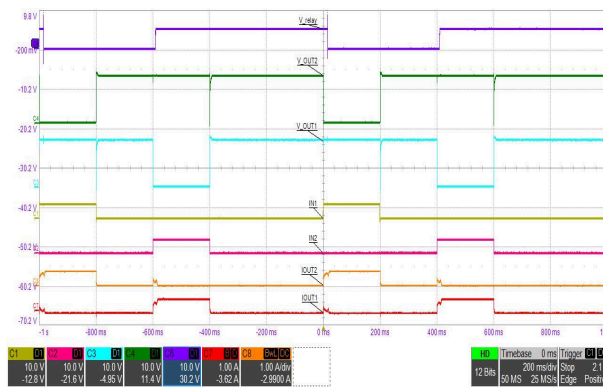
A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈电流



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈电流

图 8-13. 用于驱动模式为“正向 → 滑行 → 反向 → 滑行”的单线圈闭锁继电器的 PWM 驱动

图 8-14. 用于驱动模式为“正向 → 制动 → 反向 → 制动”的单线圈闭锁继电器的 PWM 驱动



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈 1 电流
通道 8 = 继电器线圈 2 电流

图 8-15. 双线圈继电器的 PWM 驱动

8.2.4 具有标准电机驱动器引脚排列的多源供应

DRV8870、DRV8251 和 DRV8231 器件使用的是采用 DDA 封装的业界通用封装尺寸。当系统需要进行电流检测时，可以在 R_{SENSE} 电阻器上使用电流检测放大器，将放大后的信号返回微控制器 ADC，如图 8-16 所示。为了缩短系统物料清单并减少成本，DRV8231A/51A 中的 IPROPI 功能可以替代电流检测放大器。在电路板设计过程中，IPROPI 和业界通用分流器件都可以通过放置和不放置 (DNP) 元件的方式采用相同的电路板布局布线，如图 8-17 所示。这样，系统就可以通过 DRV8231A/51A 灵活地实现最低成本，或者可与引脚排列与 DRV8870、DRV8231 和 DRV8251 相同的第二供应商器件一起使用。

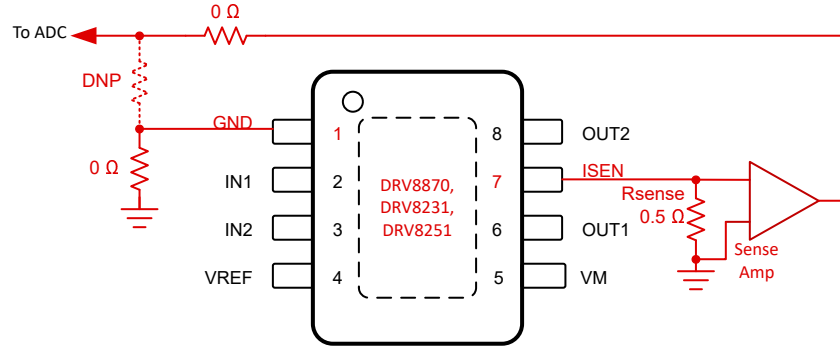


图 8-16. 电流检测放大器的标准引脚排列

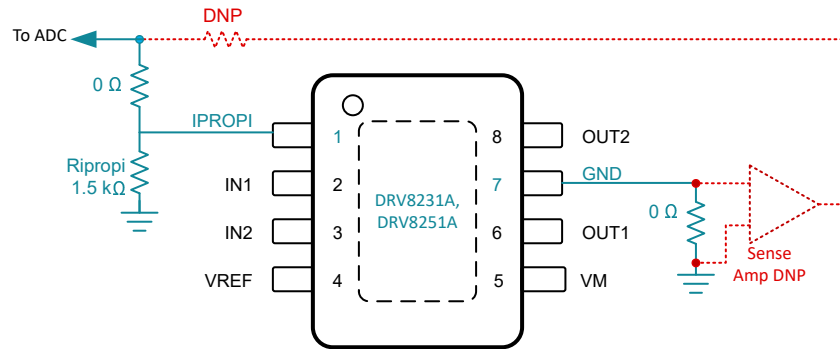


图 8-17. 使用 IPROPI 将电流检测功能集成到电机驱动器中的 DRV8231A/51A 器件

8.3 电流能力和热性能

此驱动器的输出电流和功率损耗能力在很大程度上取决于 PCB 设计和外部系统条件。本节提供了一些用于计算这些值的指导信息。

8.3.1 功耗和输出电流能力

该器件的总功耗由三个主要部分组成：静态电源电流耗散 (P_{VM})、功率 MOSFET 开关损耗 (P_{SW}) 及功率 MOSFET $R_{DS(on)}$ (导通) 损耗 (P_{RDS})。虽然其他因素可能会造成额外的功率损耗，但与这三个主要因素相比，其他因素通常并不重要。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \tag{4}$$

可以根据标称电机电源电压 (V_{VM}) 和 I_{VM} 工作模式电流规格来计算 P_{VM} 。

$$P_{VM} = V_{VM} \times I_{VM} \tag{5}$$

$$P_{VM} = 96 \text{ mW} = 24 \text{ V} \times 4 \text{ mA} \tag{6}$$

可以根据标称电机电源电压 (V_{VM})、平均输出电流 (I_{AVG})、开关频率 (f_{PWM}) 以及器件输出上升 (t_{RISE}) 和下降 (t_{FALL}) 时间规格来计算 P_{SW} 。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \tag{7}$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{AVG} \times t_{RISE} \times f_{PWM} \tag{8}$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{AVG} \times t_{FALL} \times f_{PWM} \tag{9}$$

$$P_{SW_RISE} = 26.4 \text{ mW} = 0.5 \times 24 \text{ V} \times 0.5 \text{ A} \times 220 \text{ ns} \times 20 \text{ kHz} \tag{10}$$

$$P_{SW_FALL} = 26.4 \text{ mW} = 0.5 \times 24 \text{ V} \times 0.5 \text{ A} \times 220 \text{ ns} \times 20 \text{ kHz} \quad (11)$$

$$P_{SW} = 53 \text{ mW} = 26.4 \text{ mW} + 26.4 \text{ mW} \quad (12)$$

可以根据器件 $R_{DS(on)}$ 和平均输出电流 (I_{AVG}) 来计算 P_{RDS} 。

$$P_{RDS} = I_{AVG}^2 \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (13)$$

$R_{DS(ON)}$ 与器件温度密切相关。假设器件结温为 85°C ，根据标称温度数据， $R_{DS(on)}$ 可以增加约 1.5 倍。下面的计算显示了此降额系数。或者，节 6.6 显示了绘制 $R_{DS(on)}$ 如何随温度变化的曲线。

$$P_{RDS} = 225 \text{ mW} = (0.5 \text{ A})^2 \times (300 \text{ m}\Omega \times 1.5 + 300 \text{ m}\Omega \times 1.5) \quad (14)$$

根据上面的示例计算，下面的表达式计算了器件的总预期功率耗散。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (15)$$

$$P_{TOT} = 374 \text{ mW} = 96 \text{ mW} + 53 \text{ mW} + 225 \text{ mW} \quad (16)$$

可以使用 P_{TOT} 、器件环境温度 (T_A) 和封装热阻 ($R_{\theta JA}$) 来计算驱动器的结温。 $R_{\theta JA}$ 的值在很大程度上依赖于 PCB 设计以及器件周围的铜散热量。节 8.3.2 更详细地介绍了这种依赖性。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (17)$$

$$T_J = 100^\circ\text{C} = (0.374 \text{ W} \times 40.4^\circ\text{C/W}) + 85^\circ\text{C} \quad (18)$$

对于所有系统工作条件，器件结温可以保持在绝对最大额定值以下。本部分中的计算提供了对结温的合理估计。然而，其他基于系统工作过程中温度测量的方法更加现实和可靠。可以在节 8.3.2 和节 9.1.1 中找到有关电机驱动器电流额定值和功率耗散的其他信息。

8.3.2 热性能

数据表中指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能会比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下标准仿真得出。

HSOP (DDA 封装)

表 8-5. HSOP 封装的仿真 PCB 层叠摘要

层	2 层	4 层
顶层	具有 1oz 或 2oz 厚覆铜的 HSOP 封装。有关仿真中不同的铜面积，请参阅表 8-6。通过过孔 (2 个过孔，1.2mm 间距、0.3mm 直径、0.025mm 铜镀层) 在 HSOP 散热焊盘与底层和内部接地平面层 (仅限 4 层) 实现热连接。	
第 2 层，内部接地平面	不适用	1oz 厚覆铜、74.2mm x 74.2mm 铜面积，通过过孔实现到 HSOP 散热焊盘的热连接。
第 3 层，内部电源平面	不适用	1oz 厚覆铜、74.2mm x 74.2mm 铜面积，未连接到其他层。
底层	接地平面，1oz 或 2oz 厚覆铜。有关仿真中不同的铜面积，请参阅表 8-6。通过过孔实现到 HSOP 散热焊盘的热连接。	1oz 或 2oz 厚覆铜。在仿真中，铜面积固定为 4.90mm x 6.00mm。通过过孔实现到 HSOP 散热焊盘的热连接。

图 8-18 展示了 HSOP 封装的模拟电路板示例。表 8-6 显示了每次仿真时使用的不同板尺寸。

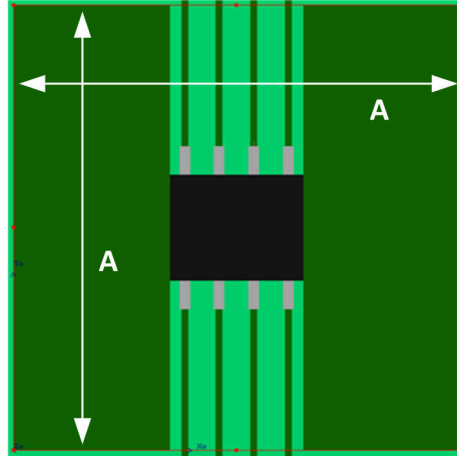


图 8-18. HSOP PCB 模型顶层

表 8-6. 8 引脚 HSOP (DDA) 封装的尺寸 A

铜面积 (cm ²)	尺寸 A (mm)
0.069	封装的散热焊盘尺寸
2	16.40
4	22.32
8	30.64
16	42.38

WSON (DSG 封装)

表 8-7. WSON 封装的仿真 PCB 层叠摘要

层	2 层	4 层
顶层	具有 1oz 或 2oz 厚覆铜的 WSON 封装。有关仿真中不同的铜面积，请参阅表 8-8。通过过孔（2 个过孔，1.2mm 间距、0.3mm 直径、0.025mm 铜镀层）在 WSON 散热焊盘与底层和内部接地平面层（仅限 4 层）实现热连接。	
第 2 层，内部接地平面	不适用	1oz 厚覆铜、74.2mm x 74.2mm 铜面积，通过过孔实现到 HSOP 散热焊盘的热连接。
第 3 层，内部电源平面	不适用	1oz 厚覆铜、74.2mm x 74.2mm 铜面积，未连接到其他层。
底层	接地平面，1oz 或 2oz 厚覆铜。有关仿真中不同的铜面积，请参阅表 8-8。通过过孔实现到 WSON 散热焊盘的热连接。	1oz 或 2oz 厚覆铜。在仿真中，铜面积固定为 2.00mm x 2.00mm。通过过孔实现到 WSON 散热焊盘的热连接。

图 8-19 展示了 WSON 封装的模拟电路板示例。表 8-8 显示了每次仿真时使用的不同板尺寸。

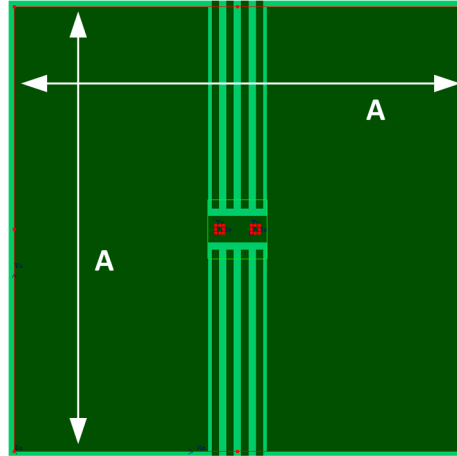


图 8-19. WSON PCB 模型顶层

表 8-8. 8 引脚 WSON 封装的尺寸 A

铜面积 (mm ²)	尺寸 A (mm)
0.015	封装的散热焊盘尺寸
2	15.11
4	20.98
8	29.27
16	40.99

8.3.2.1 稳态热性能

“稳态”条件假设电机驱动器在很长一段时间内以恒定的平均电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 如何随 PCB 的铜面积、覆铜厚度和层数而变化。铜面积越大、层数越多、铜平面越厚, $R_{\theta JA}$ 和 Ψ_{JB} 就越小, 表明 PCB 布局的热性能越强。

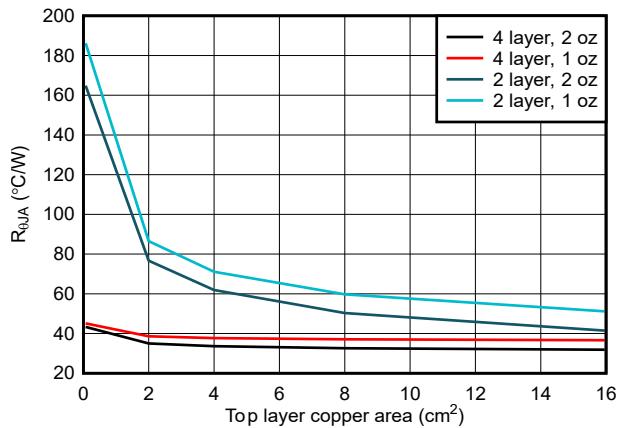


图 8-20. HSOP、PCB 结至环境热阻与铜面积间的关系

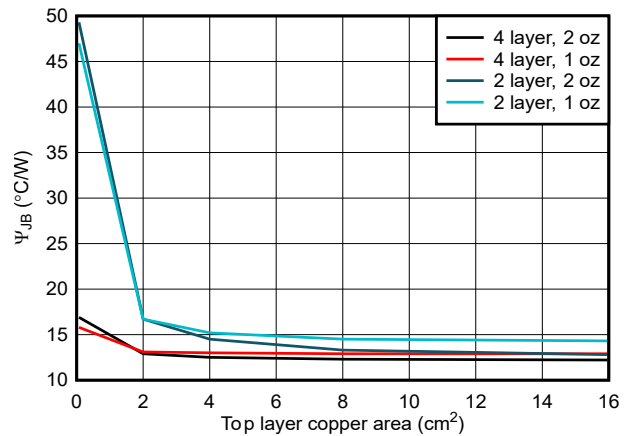


图 8-21. HSOP、结至电路板特征参数与铜面积间的关系

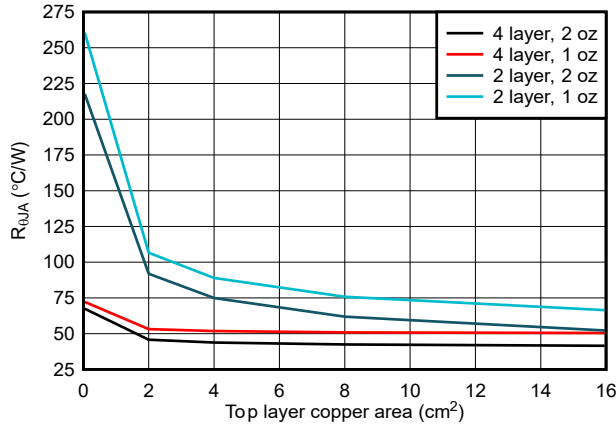


图 8-22. WSON、PCB 结至环境热阻与铜面积间的关系

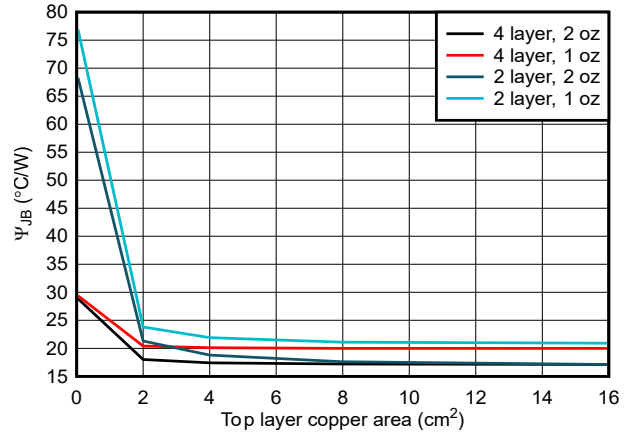


图 8-23. WSON、结至电路板特征参数与铜面积间的关系

8.3.2.2 瞬态热性能

电机驱动器可能会经历不同的瞬态驱动条件，导致大电流在短时间内流动。这些条件可能包括：

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一个因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的图显示了 HSOP 和 WSON 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

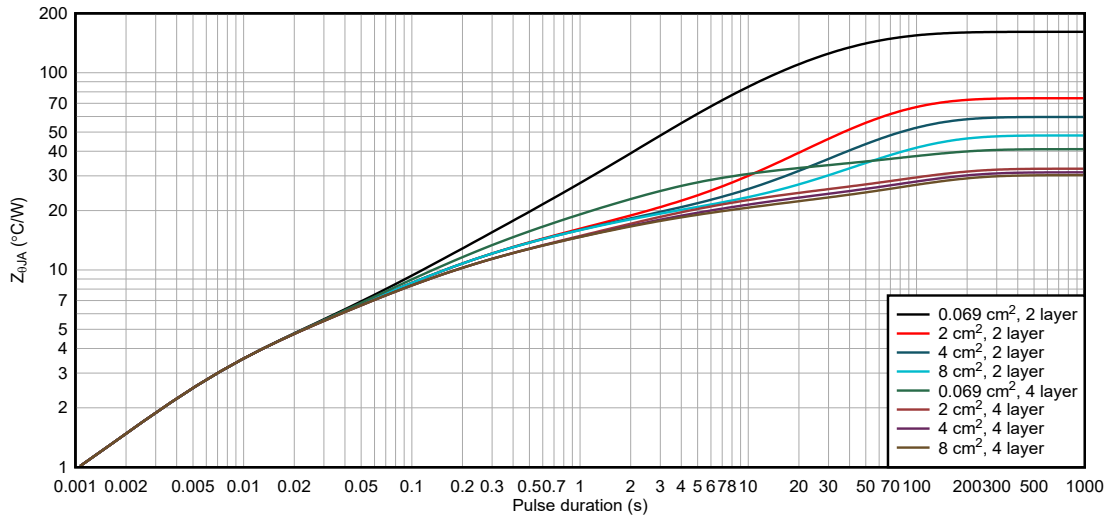


图 8-24. 1oz 铜布局的 HSOP 封装结至环境热阻抗

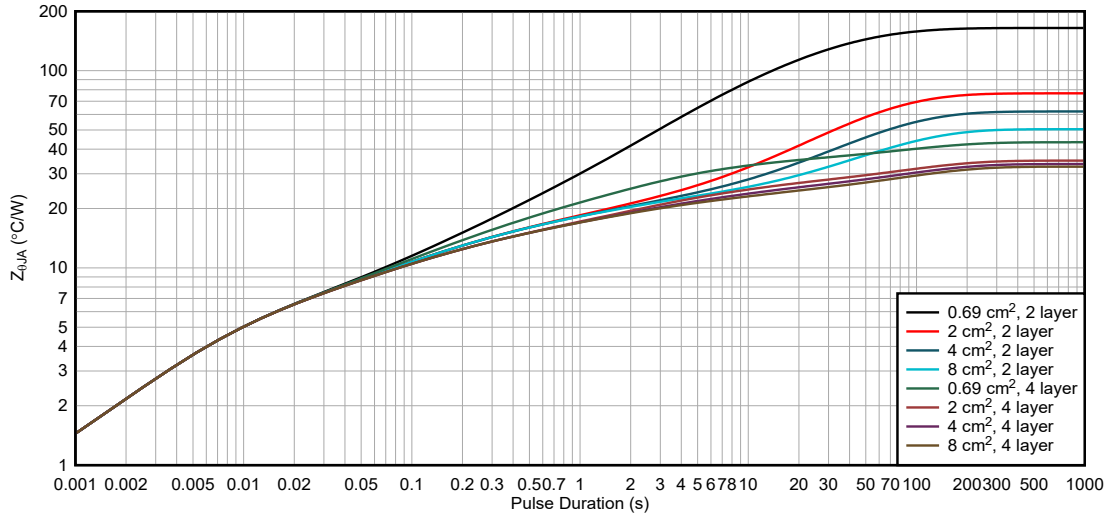


图 8-25. 2oz 铜布局的 HSOP 封装结至环境热阻抗

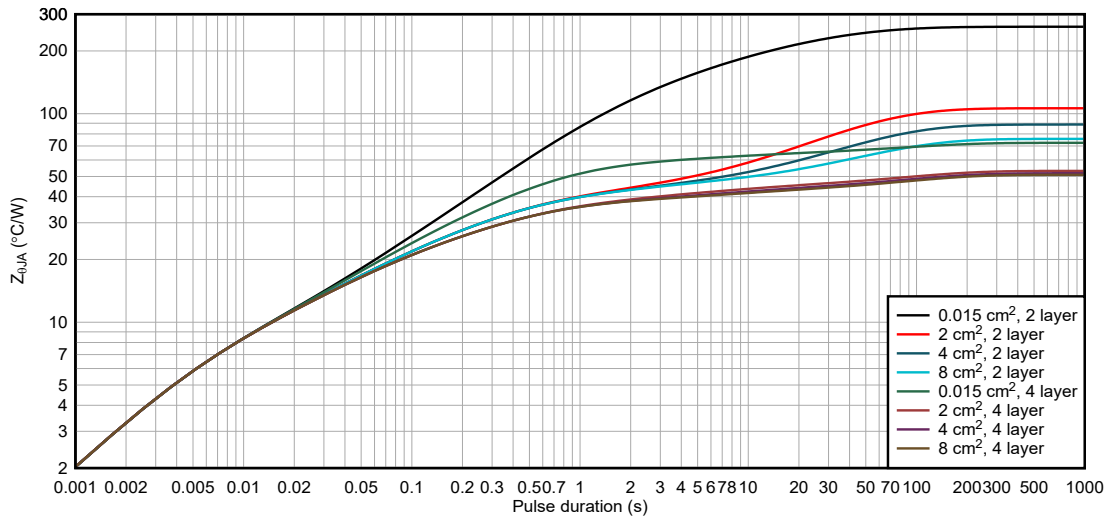


图 8-26. 1oz 铜布局的 WSON 封装结至环境热阻抗

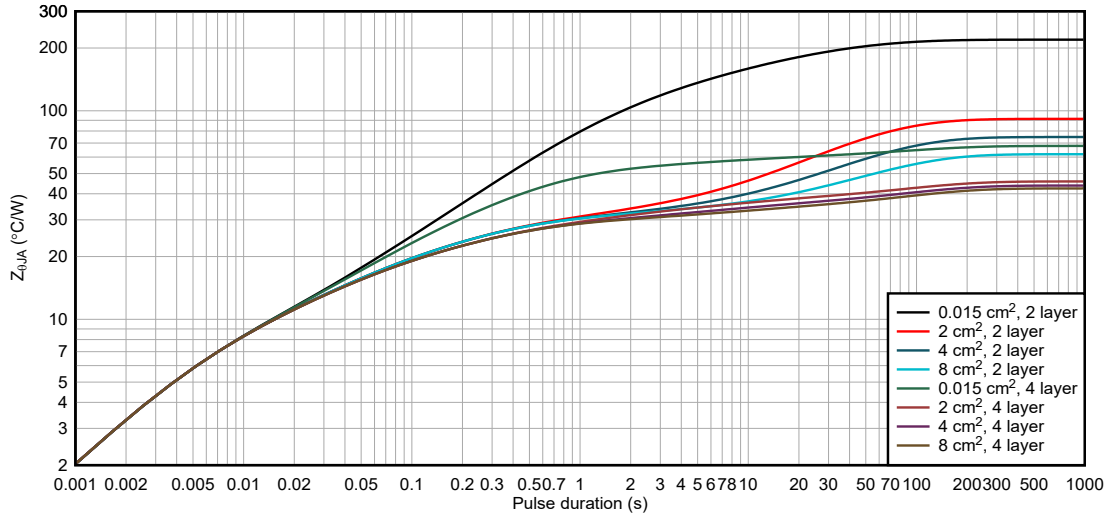


图 8-27. 2oz 铜布局的 WSON 封装结至环境热阻抗

8.4 电源相关建议

8.4.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

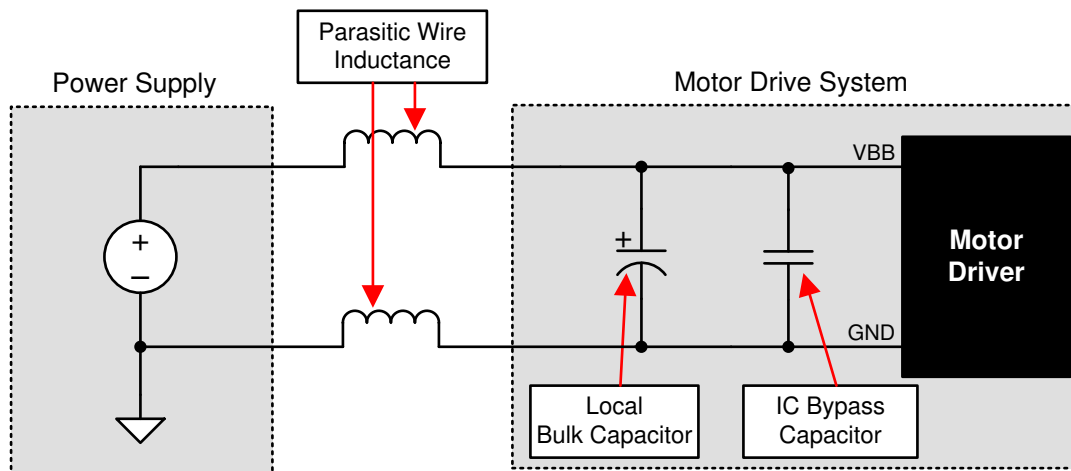


图 8-28. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

8.5 布局

8.5.1 布局指南

由于 DRV8231A 集成了能够驱动大电流的功率 MOSFET，因此应特别注意布局设计和外部元件放置。下面提供了一些设计和布局指南。

- VM 至 GND 旁路电容器可以采用低 ESR 陶瓷电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 电源电容器可以应放置在尽可能靠近器件的位置，以尽可能减少环路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也可以应尽可能靠近器件放置，以更大限度减小回路电感。
- VM、OUT1、OUT2 和 GND 承载着从电源传输到输出、然后传回到接地端的高电流。对于这些迹线，可以使用厚金属布线（如果可行）。
- 可以通过散热过孔将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用）上，以获得最强的 PCB 散热效果。
- “封装图”一节中提供了建议用于热通路的焊盘图案。
- 可以尽可能扩大连接到散热焊盘的铜平面面积，以保持良好的散热效果。

8.5.2 布局示例

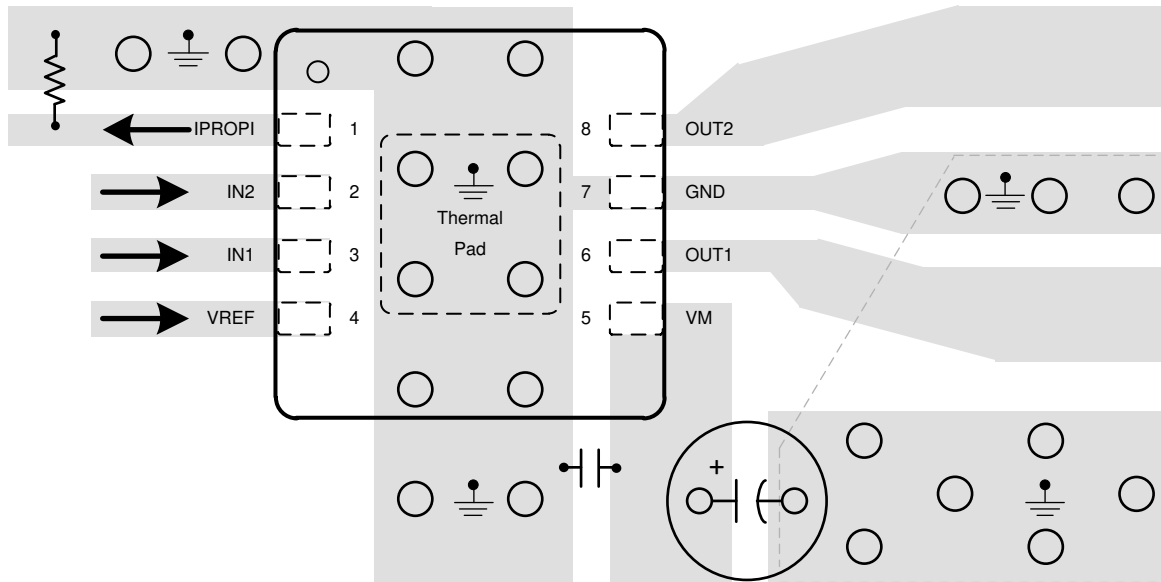


图 8-29. DSG 封装的布局建议

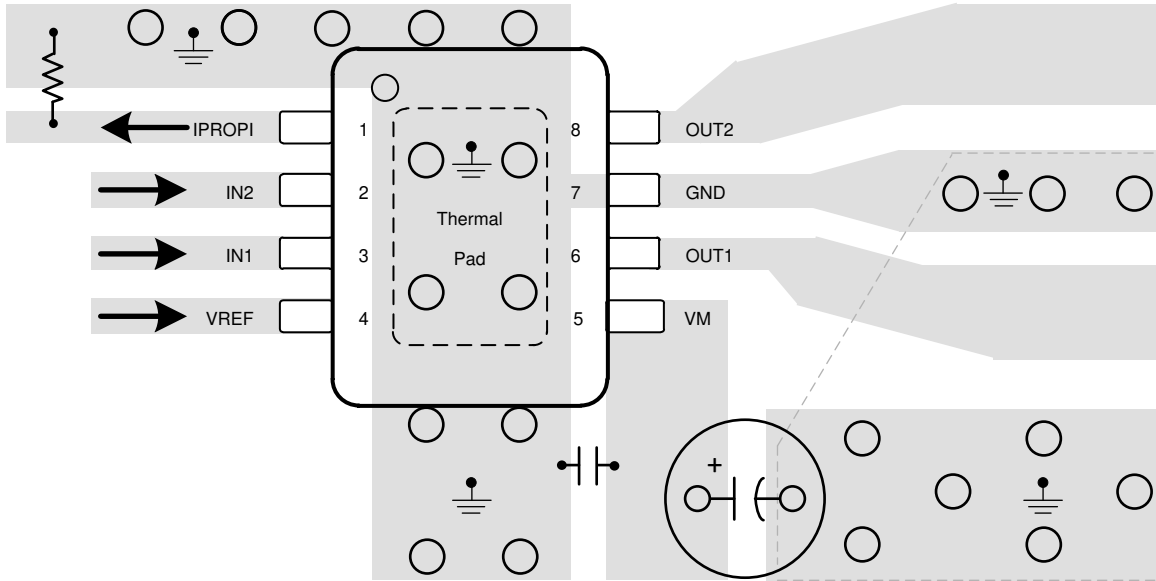


图 8-30. DDA 封装的布局建议

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI), [计算电机驱动器的功耗应用报告](#)
- 德州仪器 (TI), [电流再循环和衰减模式应用报告](#)
- 德州仪器 (TI), [PowerPAD™ 速成应用报告](#)
- 德州仪器 (TI), [PowerPAD™ 热增强型封装应用报告](#)
- 德州仪器 (TI), [了解电机驱动器电流额定值应用报告](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 社区资源

9.4 商标

PowerPAD™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2021) to Revision A (January 2026)

Page

-
- 更新了表 8-1 中电机电流跳变点的示例值。..... 19
-

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8231ADDAR	Active	Production	SO PowerPAD (DDA) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	DRV8231A
DRV8231ADDAR.A	Active	Production	SO PowerPAD (DDA) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	DRV8231A
DRV8231ADSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	31A
DRV8231ADSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	31A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

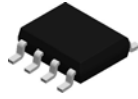
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

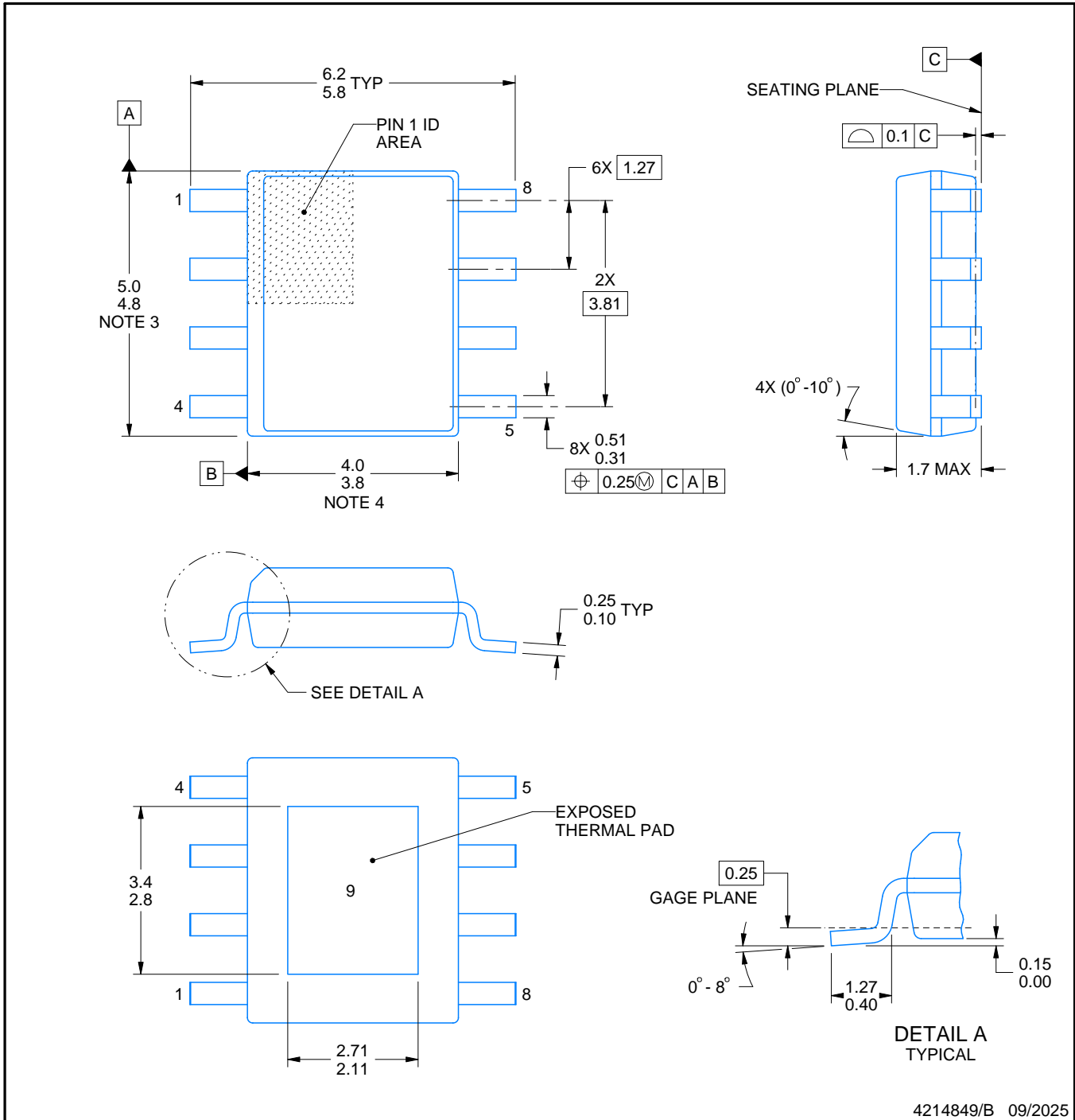
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

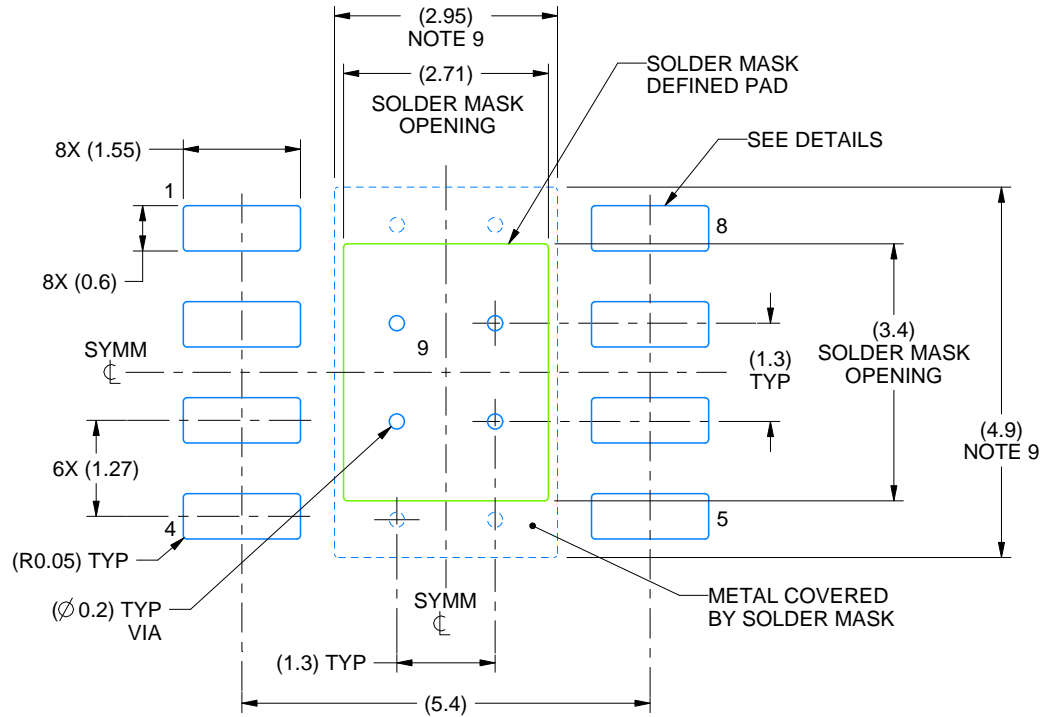
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

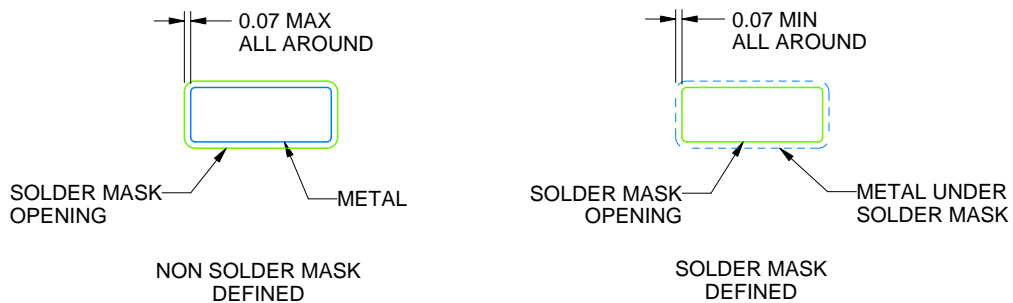
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

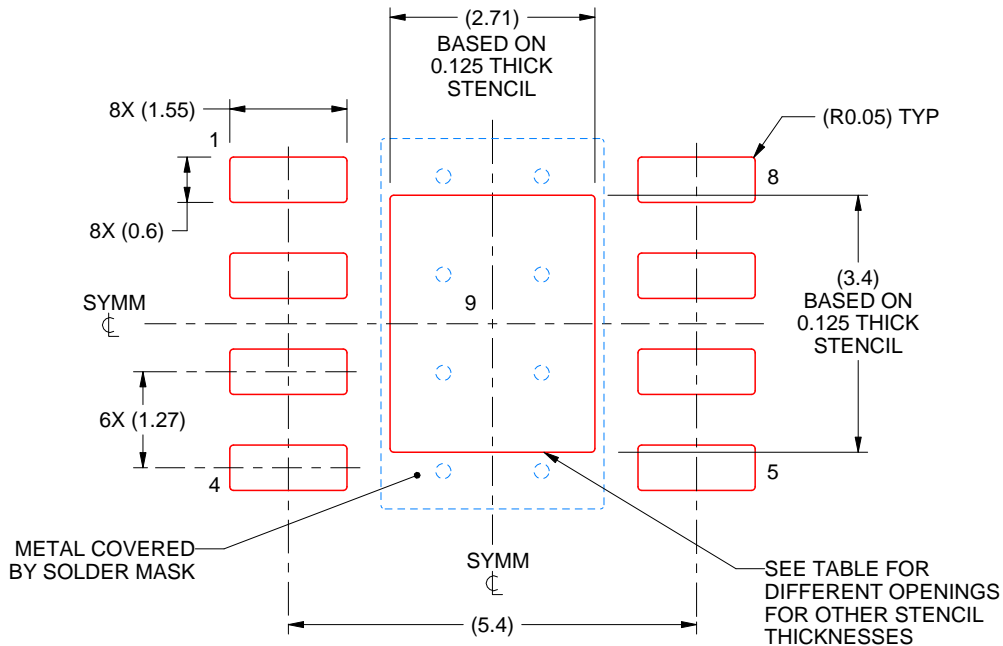
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
 EXPOSED PAD
 100% PRINTED SOLDER COVERAGE BY AREA
 SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A

DSG0008A



PACKAGE OUTLINE

WSON - 0.8 mm max height

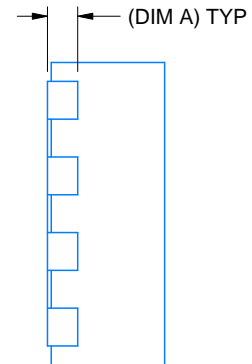
PLASTIC SMALL OUTLINE - NO LEAD



ALTERNATIVE TERMINAL SHAPE TYPICAL



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

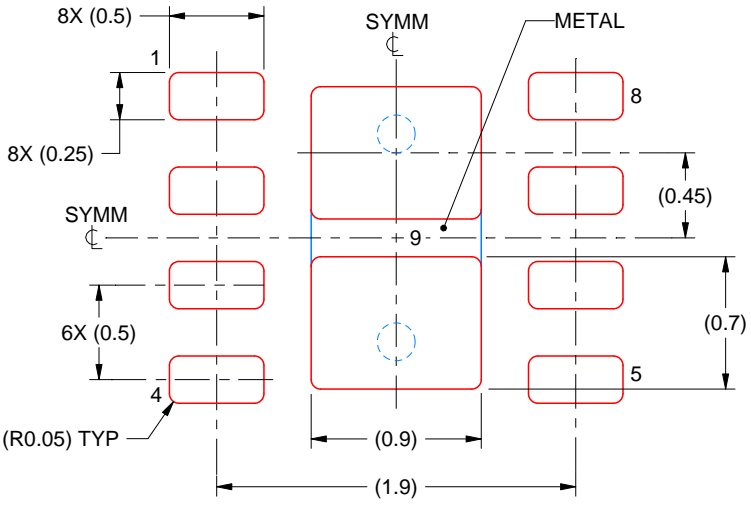
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月