具有集成电流检测和诊断功能的 DRV8243-Q1 汽车类 H 桥驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 4.5V 至 35V（绝对最大值为 40V）工作电压范围
- VQFN-HR 封装：R_{ON_LS} + R_{ON_HS}：84mΩ
- HVSSOP 封装：R_{ON_LS} + R_{ON_HS}：98mΩ
- I_{OUT} 最大值 = 12A
- PWM 工作频率高达 25KHz，具有自动死区时间断言
- 可配置压摆率和适用于低电磁干扰 (EMI) 的展频时钟
- 集成电流检测（无需使用分流电阻器）
- IPROPI 引脚上的比例负载电流输出
- 可配置的电流调节
- 具有可配置故障反应（锁存或重试）的保护和诊断性能
  - 在断开状态和导通状态下进行负载诊断，以检测开路负载和短路
  - 电源(VM)上的电压监测
  - 过流保护
  - 过热保护
  - nFAULT 引脚上的故障指示
- 支持 3.3V 和 5V 逻辑输入
- 低睡眠电流：25°C 下的典型值为 1μA
- 3 个型号：HW (H)、SPI (S) 或 SPI (P)
- 可配置的控制模式：
  - 使用 PWM 或 PH/EN 模式实现单全桥
  - 使用独立模式实现两个半桥
- 器件系列比较表

2 应用

- 汽车类有刷直流电机、电磁阀
- 车门模块、后视镜模块、和座椅模块
- 车身控制模块 (BCM)
- 电子换挡器
- 汽油发动机系统
- 车载充电器

3 说明

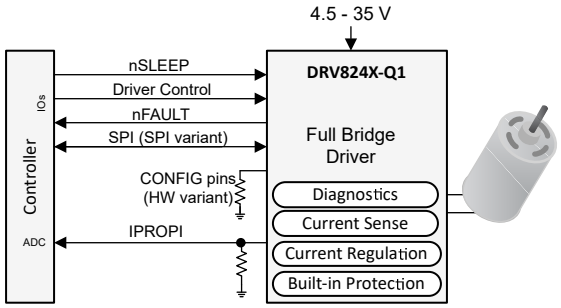
DRV824x-Q1 器件系列是完全集成式 H 桥驱动器，适用于各种汽车应用。该器件可配置为单全桥驱动器，或两个独立的半桥驱动器。这种采用 BiCMOS 大功率工艺技术节点设计的单片功率封装器件系统提供了出色的电源处理能力和热性能，不仅封装尺寸小巧、易于布局，还可提供 EMI 控制、精确的电流检测和诊断功能，稳健性较高。该系列提供相同的引脚功能和可扩展的 R_{ON}（电流能力），可支持不同的负载。

这些器件集成了 N 通道 H 桥、电荷泵稳压器、高侧电流检测和调节、电流比例输出以及保护电路。还提供了一种低功耗睡眠模式，以实现较低静态电流。这些器件提供电压监测和负载诊断以及过流和过热保护功能。在 nFAULT 引脚上指示故障条件。这些器件提供三种型号 — 硬接线接口：HW (H) 和两种 SPI 型号：SPI(P) 和 SPI(S)，其中 SPI (P) 用于外部提供的逻辑电源，SPI (S) 用于内部生成的逻辑电源。SPI 型号可实现更加灵活的器件配置和故障监测。

器件信息 (1)

器件型号	封装	封装尺寸(2)
DRV8243Q1	VQFN-HR (14)	3mm × 4.5mm
DRV8243Q1	HVSSOP (28)	3mm × 7.3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 3
5 引脚配置和功能 5
5.1 HW 型号 5
5.2 SPI 型号 7
6 规格 10
6.1 绝对最大额定值 10
6.2 ESD 等级 10
6.3 建议运行条件 11
6.4 热性能信息 11
6.5 电气特性 11
6.6 SPI 时序要求 18
6.7 开关波形 20
6.8 典型特性 27
7 详细说明 29
7.1 概述 29
7.2 功能方框图 30
7.3 特性说明 33
7.4 编程 - 仅限 SPI 型号 45
8 寄存器映射 - 仅限 SPI 型号 50
8.1 用户寄存器 51
9 应用和实施 57
9.1 应用信息 57
9.2 典型应用 58
9.3 电源相关建议 61
9.4 布局 62
10 器件和文档支持 64
10.1 文档支持 64
10.2 接收文档更新通知 64
10.3 社区资源 64
10.4 商标 64
11 修订历史记录 64
12 机械、封装和可订购信息 65

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1 总结了 DRV824x-Q1 系列器件之间 R_{ON} 和封装差异。

表 4-1. 器件比较

器件型号(1)	(LS + HS) R_{ON}	I_{OUT} MAX	封装	本体尺寸（标称值）	型号
DRV8243Q1	84mΩ	12A	VQFN-HR (14)	3mm × 4.5mm	HW (H)、SPI (S)
DRV8243Q1	98mΩ	12A	HVSSOP (28)	3mm × 7.3mm	HW (H)、SPI (S)、SPI (P)
DRV8244Q1	47mΩ	21A	VQFN-HR (16)	3mm × 6mm	HW (H)、SPI (S)
DRV8244Q1	60mΩ	21A	HVSSOP (28)	3mm × 7.3mm	HW (H)、SPI (S)、SPI (P)
DRV8245Q1	32mΩ	32A	VQFN-HR (16)	3.5mm × 5.5mm	HW (H)、SPI (S)
DRV8245Q1	40mΩ	32A	HTSSOP (28)	4.4mm × 9.7mm	HW (H)、SPI (S)、SPI (P)

(1) 这是 DRV8243-Q1 的产品数据表。请参考其他器件型号数据表以了解更多信息。

表 4-2 总结了 DRV824x-Q1 系列中 SPI 和 HW 接口型号之间的特性差异。一般而言，SPI 型号具有更高的可配置性和更多的桥接控制选项，提供诊断反馈，具有冗余驱动器关断功能，改进了引脚 FMEA，并具有其他特性。

此外，SPI 型号有两个选项 - **SPI (S) 型号和 SPI (P) 型号**。SPI (P) 型号支持通过器件逻辑的 VDD 引脚为器件提供 5V 低电压外部电源，而在 SPI (S) 型号中，该电源来自 VM 引脚内部。借助该外部逻辑电源，SPI (P) 型号可避免在 VM 欠压瞬态下出现器件欠压（器件复位）情况。

表 4-2. SPI 型号与 HW 型号比较

功能	HW (H) 型号	SPI (S) 型号	SPI (P) 型号
电桥控制	仅引脚	单个引脚“**和/或**”寄存器位以及引脚状态指示（请参阅寄存器引脚控制）	
睡眠功能	通过 nSLEEP 引脚提供		不可用
器件的外部逻辑电源	不支持	不支持	通过 VDD 引脚支持
清除故障命令	nSLEEP 引脚上的复位脉冲	SPI CLR_FAULT 命令	
压摆率	6 级	8 级	
过流保护 (OCP)	固定在最高等级设置	阈值有 3 个选项，滤波器时间有 4 个选项	
ITRIP 调节	5 级，具有禁用和固定关断（TOFF）时间	7 级，具有禁用和指示，具有程序可控的关断（TOFF）时间	
重试或锁存行为之间的单个故障反应配置	不支持，要么全部锁存，要么全部重试	支持	
详细的故障记录和器件状态反馈	不支持，需要 nFAULT 引脚监测	支持，可选 nFAULT 引脚监测	
VM 过压	固定	4 个阈值选项	
导通状态（有源）诊断	不支持	支持高侧负载	
展频时钟 (SSC)	不支持	支持	
PWM 模式下的其他驱动器状态	不支持	支持	
用于独立模式下的单个半桥的高阻态	不支持	支持（仅限 SPI 寄存器）	

表 4-3. 区分该系列中的器件

器件	封装符号	DEVICE_ID 寄存器
DRV8243H-Q1	8243H	不适用
DRV8244H-Q1	8244H	不适用
DRV8245H-Q1	8245H	不适用
DRV8243S-Q1	8243S	0x 32

Copyright © 2026 Texas Instruments Incorporated

表 4-3. 区分该系列中的器件（续）

器件	封装符号	DEVICE_ID 寄存器
DRV8244S-Q1	8244S	0x 42
DRV8245S-Q1	8245S	0x 52
DRV8243P-Q1	8243P	0x 36
DRV8244P-Q1	8244P	0x 46
DRV8245P-Q1	8245P	0x 56

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

5.1 HW 型号

5.1.1 HVSSOP (28) 封装

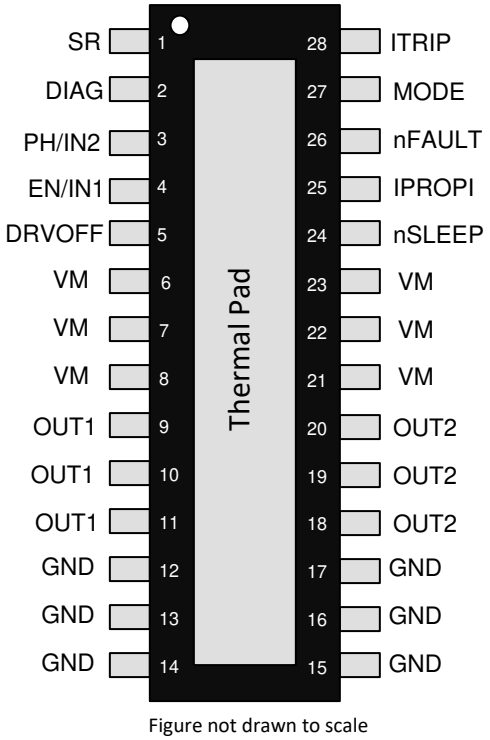


Figure not drawn to scale

图 5-1. DRV8243H -Q1 HW 型号 (采用 HVSSOP (28) 封装)

表 5-1. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	SR	I	用于压摆率控制的器件配置引脚。有关详细信息，请参阅器件配置一节中的压摆率。
2	DIAG	I	用于指示负载类型和配置故障反应的器件配置引脚。有关详细信息，请参阅器件配置一节中的 DIAG。
3	PH/IN2	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
4	EN/IN1	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
5	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节一节
6、7、8、21、22、23	VM	P	电源。此引脚电压是电机电源电压。必须与剩余的 VM 引脚 (共 6 个) 结合，以支持器件的电流能力。使用 0.1µF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
9、10、11	OUT1	P	半桥输出 1。将此引脚连接到电机或负载。必须与剩余的 OUT1 引脚 (共 3 个) 结合，以支持器件电流能力。
12、13、14、15、16、17	GND	G	接地引脚。必须与剩余的 GND 引脚 (共 6 个) 结合，以支持器件的电流能力。
18、19、20	OUT2	P	半桥输出 2。将此引脚连接到电机或负载。必须与剩余的 OUT2 引脚 (共 3 个) 结合，以支持器件电流能力。
24	nSLEEP	I	用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
25	IPROPI	I/O	驱动器负载电流模拟反馈。有关详细信息，请参阅器件配置一节中的 IPROPI。
26	nFAULT	OD	控制器的故障指示。有关详细信息，请参阅器件配置一节中的 nFAULT。
27	模式	I	用于模式的器件配置引脚。有关详细信息，请参阅器件配置一节。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
28	ITRIP	I	用于高侧限流的 ITRIP 电平的器件配置引脚。有关详细信息，请参阅器件配置一节中的 ITRIP。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

5.1.2 VQFN-HR (14) 封装

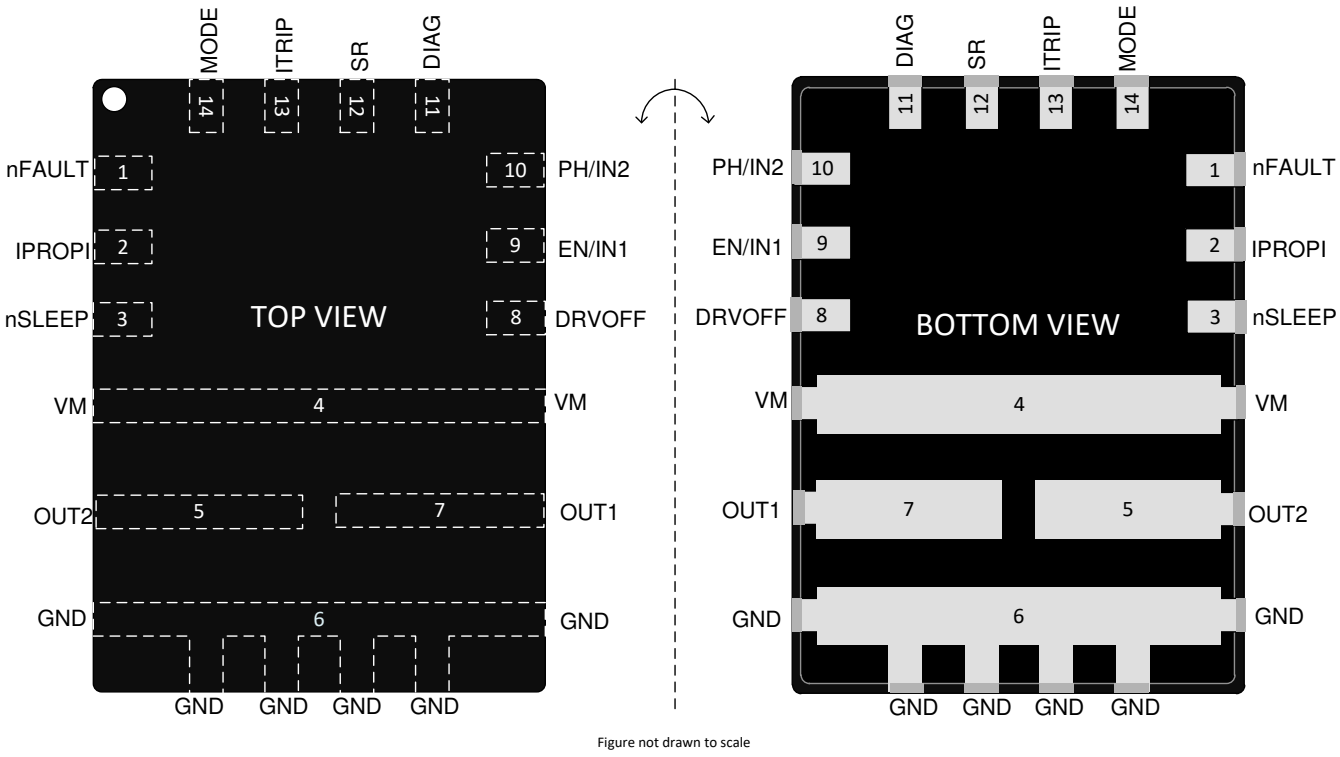


图 5-2. 采用 VQFN-HR (14) 封装的 DRV8243H -Q1 HW 型号

表 5-2. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	nFAULT	OD	控制器的故障指示。有关详细信息，请参阅器件配置一节中的 nFAULT。
2	IPROPI	I/O	驱动器负载电流模拟反馈。有关详细信息，请参阅器件配置一节中的 IPROPI。
3	nSLEEP	I	用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
4	VM	P	电源。此引脚电压是电机电源电压。使用 0.1μF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
5	OUT2	P	半桥输出 2。将此引脚连接到电机或负载。
6	GND	G	接地引脚
7	OUT1	P	半桥输出 1。将此引脚连接到电机或负载。
8	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
9	EN/IN1	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
10	PH/IN2	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
11	DIAG	I	用于指示负载类型和配置故障反应的器件配置引脚。有关详细信息，请参阅器件配置一节中的 DIAG。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
12	SR	I	用于压摆率控制的器件配置引脚。有关详细信息，请参阅器件配置一节中的压摆率。
13	ITRIP	I	用于高侧限流的 ITRIP 电平的器件配置引脚。有关详细信息，请参阅器件配置一节中的 ITRIP。
14	模式	I	用于模式的器件配置引脚。有关详细信息，请参阅器件配置一节。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

5.2 SPI 型号

5.2.1 HVSSOP (28) 封装

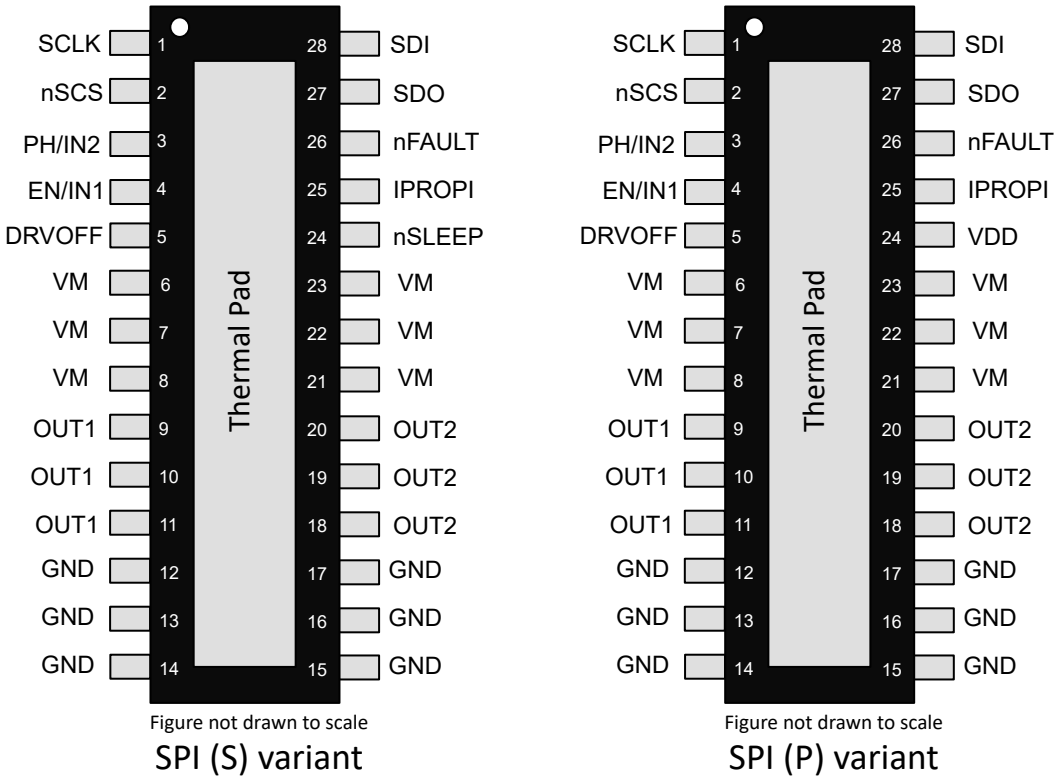


图 5-3. DRV8243S -Q1 SPI 型号

表 5-3. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	SCLK	I	SPI - 串行时钟输入。
2	nSCS	I	SPI - 芯片选择。此引脚上的低电平有效信号支持串行接口通信。
3	PH/IN2	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
4	EN/IN1	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
5	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节一节
6、7、8、21、22、23	VM	P	电源。此引脚电压是电机电源电压。必须与剩余的 VM 引脚（共 6 个）结合，以支持器件的电流能力。使用 0.1µF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
9，10，11	OUT1	P	半桥输出 1。将此引脚连接到电机或负载。必须与剩余的 OUT1 引脚（共 3 个）结合，以支持器件的电流能力。

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
12、13、14、15、16、17	GND	G	接地引脚。必须与剩余的 GND 引脚（共 6 个）结合，以支持器件的电流能力。
18、19、20	OUT2	P	半桥输出 2。将此引脚连接到电机或负载。必须与剩余的 OUT2 引脚（共 3 个）结合，以支持器件电流能力。
24	nSLEEP	I	SPI (S) 型号：用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。也是 SDO 的 VIO 逻辑电平。
	VDD	P	SPI (P) 型号：器件的逻辑电源。
25	IPROPI	I/O	驱动器负载电流模拟反馈。有关详细信息，请参阅器件配置一节中的 IPROPI。
26	nFAULT	OD	控制器的故障指示。有关详细信息，请参阅器件配置一节中的 nFAULT。
27	SDO	PP	SPI - 串行数据输出。在 SCLK 的上升沿更新数据。
28	SDI	I	SPI - 串行数据输入。在 SCLK 的下降沿捕捉数据。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

5.2.2 VQFN-HR (14) 封装

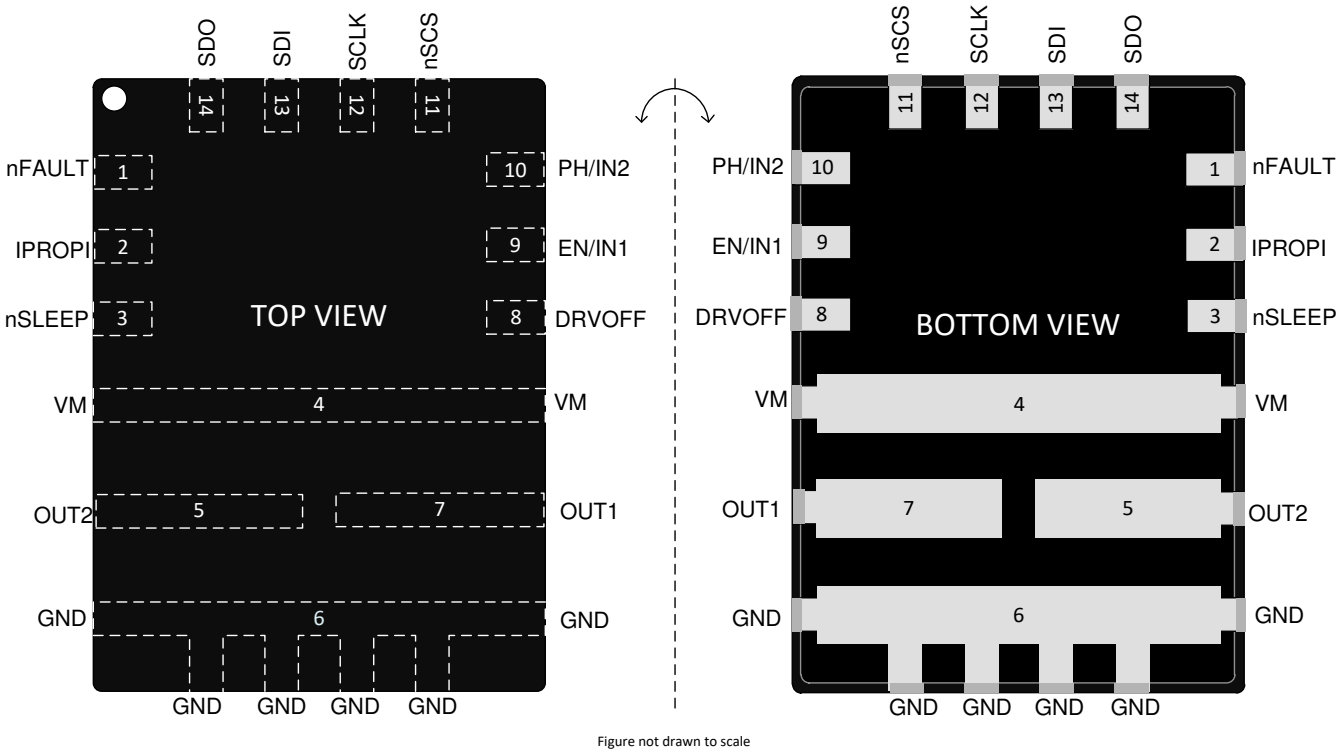


Figure not drawn to scale

图 5-4. 采用 VQFN-HR (14) 封装的 DRV8243S -Q1 SPI 型号

表 5-4. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	nFAULT	OD	控制器的故障指示。有关详细信息，请参阅器件配置一节中的 nFAULT。
2	IPROPI	O	驱动器负载电流模拟反馈。有关详细信息，请参阅器件配置一节中的 IPROPI。
3	nSLEEP	I	用于休眠的控制器输入引脚。有关详细信息，请参阅电桥控制一节。也是 SDO 的 VIO 逻辑电平。

Copyright © 2026 Texas Instruments Incorporated

表 5-4. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
4	VM	P	电源。此引脚电压是电机电源电压。使用 0.1µF 陶瓷电容器和大容量电容器将此引脚旁路至 GND。
5	OUT2	P	半桥输出 2。将此引脚连接到电机或负载。
6	GND	G	接地引脚
7	OUT1	P	半桥输出 1。将此引脚连接到电机或负载。
8	DRVOFF	I	用于电桥高阻态的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
9	EN/IN1	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
10	PH/IN2	I	用于电桥运行的控制器输入引脚。有关详细信息，请参阅电桥控制一节。
11	nSCS	I	SPI - 芯片选择。此引脚上的低电平有效信号支持串行接口通信。
12	SCLK	I	SPI - 串行时钟输入。
13	SDI	I	SPI - 串行数据输入。在 SCLK 的下降沿捕捉数据。
14	SDO	PP	SPI - 串行数据输出。在 SCLK 的上升沿更新数据。

(1) I = 输入，O = 输出，I/O = 输入/输出，G = 接地，P = 电源，OD = 开漏输出，PP = 推挽输出

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电源引脚电压	VM	-0.3(3)	40	V
电源瞬态电压斜坡	VM		2	V/µs
输出引脚电压	OUT1、OUT2	-0.9	V_{VM} + 0.9	V
输出引脚电流	OUT1、OUT2	受内部限制(2)		A
驱动器禁用引脚电压	DRVOFF	-0.3	40	V
逻辑 I/O 电压	EN/IN1、PH/IN2、nFAULT	-0.3	5.75	V
HW 型号 - 配置引脚电压	MODE、ITRIP、SR、DIAG	-0.3	5.75	V
模拟反馈引脚电压	IPROPI	-0.3	5.75	V
睡眠模式引脚电压（不适用于 SPI (P) 型号）	nSLEEP	-0.3	40	V
SPI I/O 电压 - SPI 型号	SDI、SDO、nSCS、SCLK	-0.3	5.75	V
SPI (P) 型号 - 逻辑电源	VDD	-0.3	5.75	V
SPI (P) 型号 - 逻辑电源瞬态电压斜坡	VDD		5	V/µs
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 受器件过流和过热保护功能的限制
(3) 在外部元件支持下，在 ISO 7637 瞬态脉冲测试期间可以容忍短时间违反此限制的情况

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2	VM、OUT1、OUT2、GND	±4000	V
			所有其他引脚	±2000	
		充电器件模型 (CDM)，符合 AEC Q100 – 011CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	最大值	单位
V_{VM}	电源电压	VM	4.5	35(1)	V
V_{VDD}	SPI (P) 型号 - 逻辑电源电压	VDD	4.5	5.5	V
V_{LOGIC}	逻辑引脚电压	EN/IN1、PH/IN2、nSLEEP、DRVOFF、nFAULT	0	5.5	V
f_{PWM}	PWM 频率	EN/IN1、PH/IN2	0	25	KHz
V_{CONFIG}	HW 型号 - 配置引脚电压	MODE、ITRIP、SR、DIAG	0	5.5	V
V_{IPROPI}	模拟反馈电压	IPROPI	0	5.5	V
V_{SPI_IOS}	SPI (S) 型号 - SPI 引脚电压	SDI、SDO、nSCS、SCLK	0	V_{nSLEEP} + 0.5	V
	SPI (P) 型号 - SPI 引脚电压	SDI、SDO、nSCS、SCLK	0	V_{VDD} + 0.5	V
T_A	工作环境温度		-40	125	°C
T_J	工作结温		-40	150	°C

(1) 过流保护功能不支持在短电感 < 1 µ H 的情况下使 OUTx 短接至高于 28V 的 VM 或 GND。

6.4 热性能信息

如需了解应用相关用例，请参阅瞬态热阻抗表。

热指标(1)		HVSSOP 封装	VQFN-HR 封装	单位
$R_{\theta JA}$	结至环境热阻	31.0	48.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	29.1	22.3	°C/W
$R_{\theta JB}$	结至电路板热阻	9.3	8.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.4	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	9.3	7.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.3	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

4.5V（下降）≤ V_{VM} ≤ 35V，-40°C ≤ T_J ≤ 150°C（除非另有说明）
仅限 SPI (P) 型号：4.5V ≤ V_{VDD} ≤ 5.5V（除非另有说明）

6.5.1 电源和初始化

请参阅唤醒瞬态波形

参数		测试条件	最小值	典型值	最大值	单位
V_{VM_REV}	反向电流期间的电源引脚电压	I_{VM} = -5A，器件处于未通电状态		1.4		V
I_{VMQ}	处于休眠状态下的 VM 电流	V_{VM} = 13.5V，V_{nSLEEP} = 0V，或 V_{VDD} < POR_{VDD_FALL}，T_A = 25°C		1		µA
		V_{VM} = 13.5V，V_{nSLEEP} = 0V，或 V_{VDD} < POR_{VDD_FALL}，T_A = 125°C			5.8	µA
I_{VMS}	待机状态下的 VM 电流	V_{VM} = 13.5V		3	5	mA
I_{VDD}	处于运行状态下的 VDD 电流	SPI (P) 型号			10	mA
t_{RESET}	RESET 脉冲滤波时间	HW (H) 型号的 nSLEEP 引脚上的复位信号	5		20	µs
t_{SLEEP}	SLEEP 命令滤波时间	HW (H) 型号的 nSLEEP 引脚上的休眠信号	40		120	µs

Copyright © 2026 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
t_{SLEEP_SPI}	SLEEP 命令滤波时间	SPI (S) 型号的 nSLEEP 引脚上的休眠信号	5		20	µs
t_{WAKEUP}	唤醒命令滤波器时间	HW (H) 和 SPI (S) 型号的 nSLEEP 引脚上的唤醒信号		10		µs
t_{COM}	通过 VM 或 VDD 电源引脚唤醒或上电后可进行通信的时间	nSLEEP 引脚上的唤醒信号或下电上电 - V_{VM} > VM_{POR_RISE} 或 V_{VDD} > VDD_{POR_RISE}			400	µs
t_{READY}	通过 nSLEEP 引脚唤醒或通过 VM 或 VDD 电源引脚上电后，驱动器准备进行驱动的时间	nSLEEP 引脚上的唤醒信号或下电上电 - V_{VM} > VM_{POR_RISE} 或 V_{VDD} > VDD_{POR_RISE}			1	ms

6.5.2 逻辑 I/O

参数		测试条件	最小值	典型值	最大值	单位
V_{IL_nSLEEP}	输入逻辑低电压	nSLEEP 引脚			0.65	V
V_{IH_nSLEEP}	输入逻辑高电压	nSLEEP 引脚	1.55			V
V_{IHYS_nSLEEP}	输入滞后	nSLEEP 引脚		200		mV
V_{IL}	输入逻辑低电压	DRVOFF、EN/IN1、PH/IN2 引脚			0.7	V
V_{IH}	输入逻辑高电压	DRVOFF、EN/IN1、PH/IN2 引脚	1.5			V
V_{IHYS}	输入滞后	DRVOFF、EN/IN1、PH/IN2 引脚		100		mV
R_{PD_nSLEEP}	nSLEEP 至 GND 的内部下拉电阻	在最低 VIL 电平下测得	100		400	kΩ
R_{PU}	DRVOFF 至 VDD 的内部上拉电阻（反向电流受阻）	在最低 VIH 电平下测得	200		550	kΩ
R_{PD}	EN/IN1 和 PH/IN2 至 GND 的内部下拉电阻	在最高 VIL 电平下测量	200		500	kΩ
I_{nFAULT_PD}	置位为低电平时，nFAULT 引脚上的接地灌电流	V_{nFAULT} = 0.3V	5			mA

6.5.3 SPI I/O

参数		测试条件	最小值	典型值	最大值	单位
R_{PU_nSCS}	nSCS 至 VDD 的内部上拉电阻（反向电流受阻）	在最低 VIH 电平下测得	200		500	kΩ
R_{PD_SPI}	SDI、SCLK 至 GND 的内部下拉电阻	在最高 VIL 电平下测得	150		500	kΩ
V_{IL}	输入逻辑低电压	SDI、SCLK、nSCS 引脚			0.7	V
V_{IH}	输入逻辑高电压	SDI、SCLK、nSCS 引脚	1.5			V
V_{IHYS}	输入滞后	SDI、SCLK、nSCS 引脚		100		mV
V_{OL_SDO}	输出逻辑低电压	流入 SDO 的 0.5 mA 灌电流			0.4	V
V_{OH_SDO}	SPI (S) 型号的输出逻辑高电压	SDO 引脚上的 0.5 mA 拉电流，V_{nSLEEP} = 5V，V_{VM} > 7V	4.1			V
		SDO 引脚上的 0.5 mA 拉电流，V_{nSLEEP} = 3.3V，V_{VM} > 5V	2.7			V
	SPI (P) 型号的输出逻辑高电压	来自 SDO 的 0.5 mA 拉电流，V_{VDD} = 5V	4.5			V
$V_{OH_SDO_NL}$	SDO 空载时的输出逻辑高电压，仅对 SPI (S) 型号有效	SDO 引脚上无电流，V_{nSLEEP} = 5V，V_{VM} > 7V			5.5	V
		SDO 引脚上无电流，V_{nSLEEP} = 3.3V，V_{VM} > 5V			3.8	V

Copyright © 2026 Texas Instruments Incorporated

6.5.4 配置引脚 - 仅限 HW 型号

参数		测试条件	最小值	典型值	最大值	单位
ITRIP、SR 和 DIAG 的 6 级设置						
$R_{LVL1OF6}$	第 1 级，共 6 级	连接到 GND			10	Ω
$R_{LVL2OF6}$	第 2 级，共 6 级	+/- 10% 接地电阻	7.4	8.2	9	kΩ
$R_{LVL3OF6}$	第 3 级，共 6 级	+/- 10% 接地电阻	19.8	22	24.2	kΩ
$R_{LVL4OF6}$	第 4 级，共 6 级	+/- 10% 接地电阻	42.3	47	51.7	kΩ
$R_{LVL5OF6}$	第 5 级，共 6 级	+/- 10% 接地电阻	90	100	110	kΩ
$R_{LVL6OF6}$	第 6 级，共 6 级	高阻态（无连接）	250			kΩ
MODE 的 3 级设置						
$R_{LVL1OF3}$	第 1 级，共 3 级	连接到 GND			10	Ω
$R_{LVL2OF3}$	第 2 级，共 3 级	+/- 10% 接地电阻	7.4	8.2	9	kΩ
$R_{LVL3OF3}$	第 3 级，共 3 级	高阻态（无连接）	250			kΩ

6.5.5 功率 FET 参数

在 V_{VM} = 13.5V 时测得

参数		测试条件	最小值	典型值	最大值	单位
R_{HS_ON}	高侧 FET 导通电阻，HVSSOP 封装	I_{OUT} = 3A，T_J = 25°C		49		mΩ
		I_{OUT} = 3A，T_J = 150°C			93.1	mΩ
	高侧 FET 导通电阻，VQFN-HR 封装	I_{OUT} = 3A，T_J = 25°C		41.7		mΩ
		I_{OUT} = 3A，T_J = 150°C			79.8	mΩ
R_{LS_ON}	低侧 FET 导通电阻，HVSSOP 封装	I_{OUT} = 3A，T_J = 25°C		49		mΩ
		I_{OUT} = 3A，T_J = 150°C			93.1	mΩ
	低侧 FET 导通电阻，VQFN-HR 封装	I_{OUT} = 3A，T_J = 25°C		42		mΩ
		I_{OUT} = 3A，T_J = 150°C			79.8	mΩ
V_{SD}	当体二极管被正向偏置时的低侧和高侧 FET 源漏电压	I_{OUT} = +/- 3A（两个方向）	0.4	0.9	1.5	V
R_{Hi-Z}	处于 SLEEP 或 STANDBY 状态、V_{OUTx} = V_{VM} = 13.5V 时的 OUT 接地电阻	SR = 3'b000 或 3'b001 或 3'b010 或 3'b111 或 LVL2 或 LVL5	2		5	kΩ
		SR = 3'b011 或 LVL3	7		14	kΩ
		SR = 3'b100 或 LVL4	5		10.5	kΩ
		SR = 3'b101 或 LVL1	4		8.5	kΩ
		SR = 3'b110 或 LVL6	2.5		6	kΩ

6.5.6 具有高侧再循环的开关参数

负载 = 1.5 mH/4.7 Ω，V_{VM} = 13.5V，请参考高侧再循环波形

Copyright © 2026 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
SR_{LSOFF}	输出电压上升时间，10% - 90%	SR = 3'b000 或 LVL2		1.6		V/µs
		SR = 3'b001（仅 SPI）		5		V/µs
		SR = 3'b010（仅 SPI）		8		V/µs
		SR = 3'b011 或 LVL3		13.3		V/µs
		SR = 3'b100 或 LVL4		19		V/µs
		SR = 3'b101 或 LVL1		24.5		V/µs
		SR = 3'b110 或 LVL6		36		V/µs
		SR = 3'b111 或 LVL5		47		V/µs
t_{PD_LSOFF}	输出电压上升期间的传播时间	SR = 3'b000 或 LVL2		1		µs
		SR = 3'b001（仅 SPI）		0.9		µs
		SR = 3'b010（仅 SPI）		0.8		µs
		SR = 3'b011 或 LVL3		0.7		µs
		SR = 3'b100 和 3'b101 或 LVL4 和 LVL1		0.6		µs
		SR = 3'b110 和 3'b111 或 LVL6 和 LVL5		0.5		µs
t_{DEAD_LSOFF}	输出电压上升期间的死区时间	所有 SR		0.9		µs
SR_{LSON}	输出电压下降时间，90% - 10%	SR = 3'b000 或 LVL2		1.6		V/µs
		SR = 3'b001（仅 SPI）		5		V/µs
		SR = 3'b010（仅 SPI）		8		V/µs
		SR = 3'b011 或 LVL3		13.3		V/µs
		SR = 3'b100 或 LVL4		19		V/µs
		SR = 3'b101 或 LVL1		24.5		V/µs
		SR = 3'b110 或 LVL6		36		V/µs
		SR = 3'b111 或 LVL5		47		V/µs
t_{PD_LSON}	输出电压下降期间的传播时间	SR = 3'b000 或 LVL2		0.2		µs
		SR = 3'b001（仅 SPI）		0.2		µs
		SR = 3'b010（仅 SPI）		0.2		µs
		SR = 3'b011 或 LVL3		0.4		µs
		SR = 3'b100 或 3'b101 或 LVL4 或 LVL1		0.3		µs
		SR = 3'b110 和 3'b111 或 LVL6 和 LVL5		0.2		µs
t_{DEAD_LSON}	输出电压下降期间的死区时间	SR = 3'b000 或 LVL2		1.5		µs
		SR = 3'b001 或 3'b010（仅 SPI）		0.6		µs
		SR = 3'b011 或 LVL3		0.7		µs
		所有其他 SR		0.6		µs
$Match_{SRLS}$	输出电压上升和下降压摆率匹配	所有 SR	-20		+20	%

Copyright © 2026 Texas Instruments Incorporated

6.5.7 具有低侧再循环的开关参数

负载 = 1.5 mH/4.7 Ω，V_{VM} = 13.5V，请参考低侧再循环波形

参数		测试条件	最小值	典型值	最大值	单位
SR_{HSON}	输出电压上升时间，10% - 90%	所有 SR		8		V/µs
t_{PD_HSON}	输出电压上升期间的传播时间	SR = 3'b000 或 LVL2		3.1		µs
		SR = 3'b001（仅 SPI）		2		µs
		SR = 3'b010（仅 SPI）		1.7		µs
		SR = 3'b011 或 LVL3		1.2		µs
		所有其他 SR		0.9		µs
t_{DEAD_HSON}	输出电压上升期间的死区时间	SR = 3'b000 或 LVL2		1.5		µs
		SR = 3'b001（仅 SPI）		1		µs
		SR = 3'b010（仅 SPI）		0.8		µs
		所有其他 SR		0.45		µs
SR_{HSOFF}	输出电压下降时间，90% - 10%	SR = 3'b000 或 3'b001 或 3'b010 或 LVL2		43		V/µs
		SR = 3'b011 或 LVL3		14		V/µs
		SR = 3'b100 或 LVL4		19		V/µs
		SR = 3'b101 或 LVL1		24		V/µs
		SR = 3'b110 或 LVL6		34		V/µs
		SR = 3'b111 或 LVL5		43		V/µs
t_{PD_HSOFF}	输出电压下降期间的传播时间	所有 SR		0.25		µs
t_{DEAD_HSOFF}	输出电压下降期间的死区时间	所有 SR		0.2		µs
t_{BLANK}	输出转换后的电流调节消隐时间使电流感测稳定（仅对 LS 再循环有效）	所有 SR		3.4		µs

Copyright © 2026 Texas Instruments Incorporated

6.5.8 IPROPI 和 ITRIP 调节

参数		测试条件	最小值	典型值	最大值	单位
A_{IPROPI}	电流比例因子，HVSSOP 封装			3075		A/A
	电流比例因子，VQFN-HR 封装			3070		A/A
A_{I_ERR}	电流比例因子错误，VQFN-HR 封装	0.8A < I_{OUT} < 4.3A	-5		+5	%
		0.2A < I_{OUT} ≤ 0.8A	-20		+20	%
		0.1A < I_{OUT} ≤ 0.2A	-50		+50	%
A_{I_ERR}	电流比例因子错误，HVSSOP 封装	0.8A < I_{OUT} < 4.3A	-6		+6	%
		0.2A < I_{OUT} ≤ 0.8A	-20		+20	%
		0.1A < I_{OUT} ≤ 0.2A	-50		+50	%
$A_{I_ERR_M}$	两个半桥之间的电流匹配，VQFN-HR 封装	I_{OUT} > 0.8A	-2		+2	%
$A_{I_ERR_M}$	两个半桥之间的电流匹配，HVSSOP 封装	I_{OUT} > 0.8A	-5		+5	%
$Offset_{IPROPI}$	出现空载电流时 IPROPI 上的失调电流	I_{OUT} = 0A			15	μA
BW_{IPROPI}	IPROPI 内置电流检测电路的带宽	IPROPI 上无外部电容器。	400			KHz
V_{IPROPI_LIM}	IPROPI 上的内部钳位电压		4.5		5.5	V
V_{ITRIP_LVL}	对 V_{IPROPI} 的电压限制，旨在触发 TOFF 周期以进行 ITRIP 调节	ITRIP = 3'b001 或 LVL2	1.06	1.18	1.3	V
		ITRIP = 3'b010（仅 SPI）	1.27	1.41	1.55	V
		ITRIP = 3'b011（仅 SPI）	1.49	1.65	1.82	V
		ITRIP = 3'b100 或 LVL3	1.78	1.98	2.18	V
		ITRIP = 3'b101 或 LVL4	2.08	2.31	2.54	V
		ITRIP = 3'b110 或 LVL5	2.38	2.64	2.9	V
		ITRIP = 3'b111 或 LVL6	2.67	2.97	3.27	V
t_{OFF}	ITRIP 调节 - 关断时间	TOFF = 2'b00（仅 SPI）	16	20	25	μs
		TOFF = 2'b01 (SPI)。仅适用于 HW	24	30	36	μs
		TOFF = 2'b10（仅 SPI）	33	40	48	μs
		TOFF = 2'b11（仅 SPI）	41	50	61	μs

6.5.9 过流保护 (OCP)

参数		测试条件	最小值	典型值	最大值	单位
I_{OCP_HS}	高侧上的过流保护阈值	OCP_SEL = 2'b00 (SPI)，仅适用于 HW	12		24	A
		OCP_SEL = 2'b10（仅 SPI）	9		18	A
		OCP_SEL = 2'b01（仅 SPI）	6		14	A
I_{OCP_LS}	低侧上的过流保护阈值	OCP_SEL = 2'b00 (SPI)，仅适用于 HW	12		24	A
		OCP_SEL = 2'b10（仅 SPI）	9		18	A
		OCP_SEL = 2'b01（仅 SPI）	6		14	A
t_{OCP}	过流保护抗尖峰时间	TOCP_SEL = 2'b00 (SPI)，仅适用于 HW	4.5	6	7.3	μs
	过流保护抗尖峰时间	TOCP_SEL = 2'b01（仅 SPI）	2.2	3	4.1	μs
	过流保护抗尖峰时间	TOCP_SEL = 2'b10（仅 SPI）	1.1	1.5	2.3	μs
	过流保护抗尖峰时间	TOCP_SEL = 2'b11（仅 SPI）	0.15	0.2	0.4	μs

6.5.10 过热保护 (TSD)

参数		测试条件	最小值	典型值	最大值	单位
T_{TSD}	热关断温度		155	170	185	°C

Copyright © 2026 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
T_{HYS}	热关断滞后			30		℃
t_{TSD}	热关断抗尖峰时间		10	12	19	µs

6.5.11 电压监控

参数		测试条件	最小值	典型值	最大值	单位
V_{VMOV}	上升时的 VM 过压阈值	VMOV_SEL = 2'b00 (SPI)，仅适用于 HW 型号	33.6		37	V
		VMOV_SEL = 2'b01（仅限 SPI）	28		31	V
		VMOV_SEL = 2'b10（仅限 SPI）	18		21	V
V_{VMOV_HYS}	VM 过压迟滞			0.6		V
t_{VMOV}	VM 过压抗尖峰脉冲时间		10	12	19	µs
V_{VMUV}	下降时的 VM 欠压阈值		4.2		4.5	V
V_{VMUV_HYS}	VM 欠压迟滞			200		mV
t_{VMUV}	VM 欠压抗尖峰脉冲时间		8	12	19	µs
VM_{POR_FALL}	器件进入 POR 时的 VM 电压	适用于 HW 和 SPI (S) 型号			3.6	V
VM_{POR_RISE}	器件退出 POR 时的 VM 电压	适用于 HW 和 SPI (S) 型号			3.9	V
VDD_{POR_FALL}	器件进入 POR 时的 VDD 电压	适用于 SPI (P) 型号			3.5	V
VDD_{POR_RISE}	器件退出 POR 时的 VDD 电压	适用于 SPI (P) 型号			3.8	V

6.5.12 负载监测

参数		测试条件	最小值	典型值	最大值	单位
关断状态诊断 (OLP)						
R_{S_GND}	OUT 至 GND 的电阻，将被检测为短路，所有模式				1	kΩ
R_{S_VM}	OUT 至 VM 的电阻，将被检测为短路，所有模式				1	kΩ
R_{OPEN_FB}	OUTx 之间的电阻，将被检测为开路，PH/EN 或 PWM 模式		1.5			kΩ
R_{OPEN_LS}	OUT 至 GND 的电阻，将被检测为开路，独立模式	对低侧负载有效	2			kΩ
R_{OPEN_HS}	OUT 至 VM 的电阻，将被检测为开路，独立模式	对高侧负载有效，V_{VM} = 13.5V	10			kΩ
V_{OLP_REFH}	OLP 比较器基准电平高			2.65		V
V_{OLP_REFL}	OLP 比较器基准电平低			2		V
R_{OLP_PU}	OLP 期间 OUT 至 VDD 的内部上拉电阻	V_{OUTx} = V_{OLP_REFH} + 0.1V		1		kΩ
R_{OLP_PD}	OLP 期间 OUT 至 GND 的内部下拉电阻	V_{OUTx} = V_{OLP_REFL} - 0.1V		1		kΩ
仅限 SPI 型号 - 导通状态诊断 (OLA)						
I_{PD_OLA}	高侧再循环死区期间 OUTx 至 GND 的内部灌电流	SR = 3'b000 或 3'b001 或 3'b010 或 3'b111 或 LVL2 或 LVL5	2.5		5	mA
		SR = 3'b011 或 LVL3	0.8		2	mA
		SR = 3'b100 或 LVL4	1.2		2.5	mA
		SR = 3'b101 或 LVL1	1.5		3	mA
		SR = 3'b110 或 LVL6	2.2		4	mA
V_{OLA_REF}	用于 OLA 的 VM 的比较器基准			0.25		V

Copyright © 2026 Texas Instruments Incorporated

6.5.13 故障重试设置

请参阅重试设置波形

参数		测试条件	最小值	典型值	最大值	单位
t_{RETRY}	自动驱动器重试时间	故障反应设置为重试（RETRY）	4.1	5	6.1	ms
t_{CLEAR}	从过流事件中自动清除的无故障运行时间	故障反应设置为重试（RETRY）	85		200	µs
t_{CLEAR_TSD}	从过热事件中自动清除的无故障运行时间	故障反应设置为重试（RETRY）	4.2		6.7	ms

6.5.14 瞬态热阻抗和电流能力

基于热模拟的信息

表 6-1. 瞬态热阻抗 ($R_{\theta JA}$) 和电流能力 - 全桥

器件型号	封装	$R_{\theta JA}$ [°C/W](1)				电流 [A](2)					
						没有脉宽调制（PWM）(3)				有脉宽调制（PWM）(4)	
		0.1s	1s	10s	直流	0.1s	1s	10s	直流	10s	直流
DRV8243-Q1	VQFN-HR	7.3	13	17.5	34.2	7.5	5.6	4.8	3.5	4.4	3.0
DRV8243-Q1	HVSSOP	5.8	10.5	15.3	32.4	7.8	5.8	4.8	3.3	4.4	2.9

(1) 基于热模拟，采用 40mm x 40mm x 1.6mm 4 层 PCB – 顶部/底部层使用 2 盎司铜，内部层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。
(2) 在 85°C 环境温度下，估计结温升高至 150°C 的瞬态电流能力
(3) 仅考虑导通损耗 (I^2R)
(4) 通过如下公式粗略估计开关损耗：

$$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times V_{VM}/SR$$，其中 V_{VM} = 13.5V，f_{PWM} = 20KHz，SR = 23V/µs (1)

6.6 SPI 时序要求

		最小值	典型值	最大值	单位
t_{SCLK}	SCLK 最小周期(1)	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{HI_nSCS}	nSCS 最短高电平时间	600			ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{H_nSCS}	nSCS 输入保持时间	25			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{H_SDI}	SDI 输入数据保持时间	25			ns
t_{EN_SDO}	SDO 启用延迟时间(1)			35	ns
t_{DIS_SDO}	SDO 禁用延迟时间(1)			100	ns

(1) SPI (S) 型号：SDO 延迟时间仅在 SDO 外部负载为 5pF 时有效。当 SDO 上具有 20pF 负载时，SDO 上就会存在额外的延迟，这会导致 SCLK 最短时间增加 25%，进而将 SCLK 最大值限制为 8 MHz。SPI (P) 型号不存在此类限制。

Copyright © 2026 Texas Instruments Incorporated

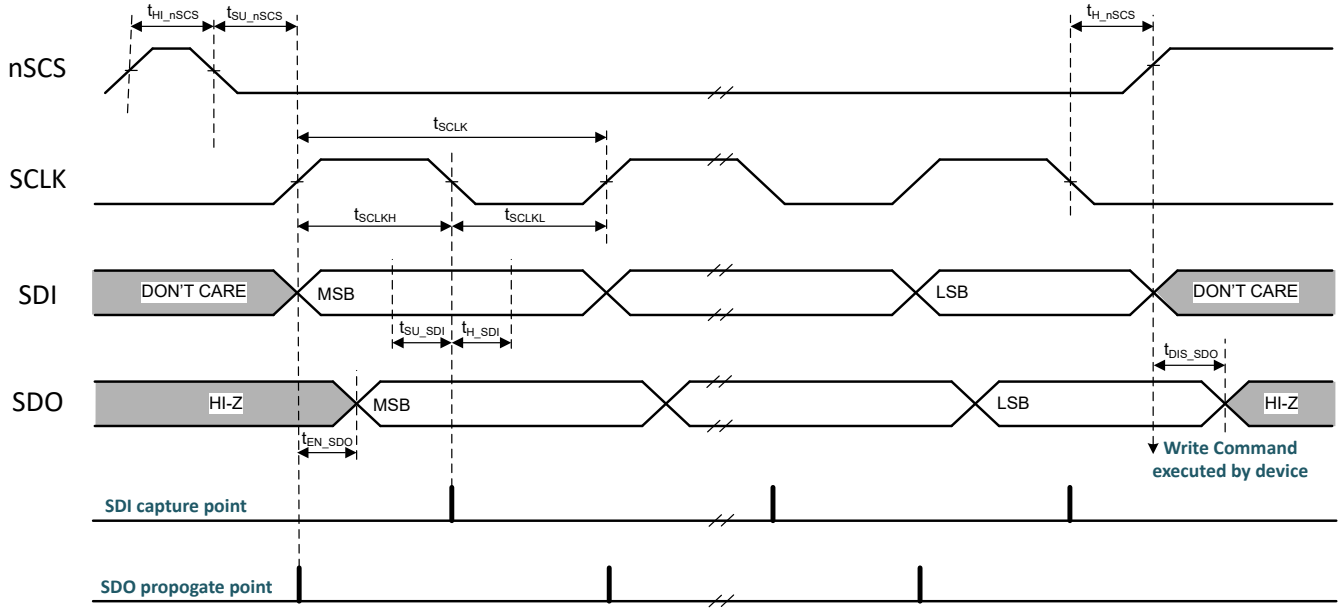


图 6-1. SPI 串行模式时序定义

6.7 开关波形

本节说明了由外部 PWM 或内部 ITRIP 调节引起的电感负载的开关瞬态。

6.7.1.1 高侧再循环

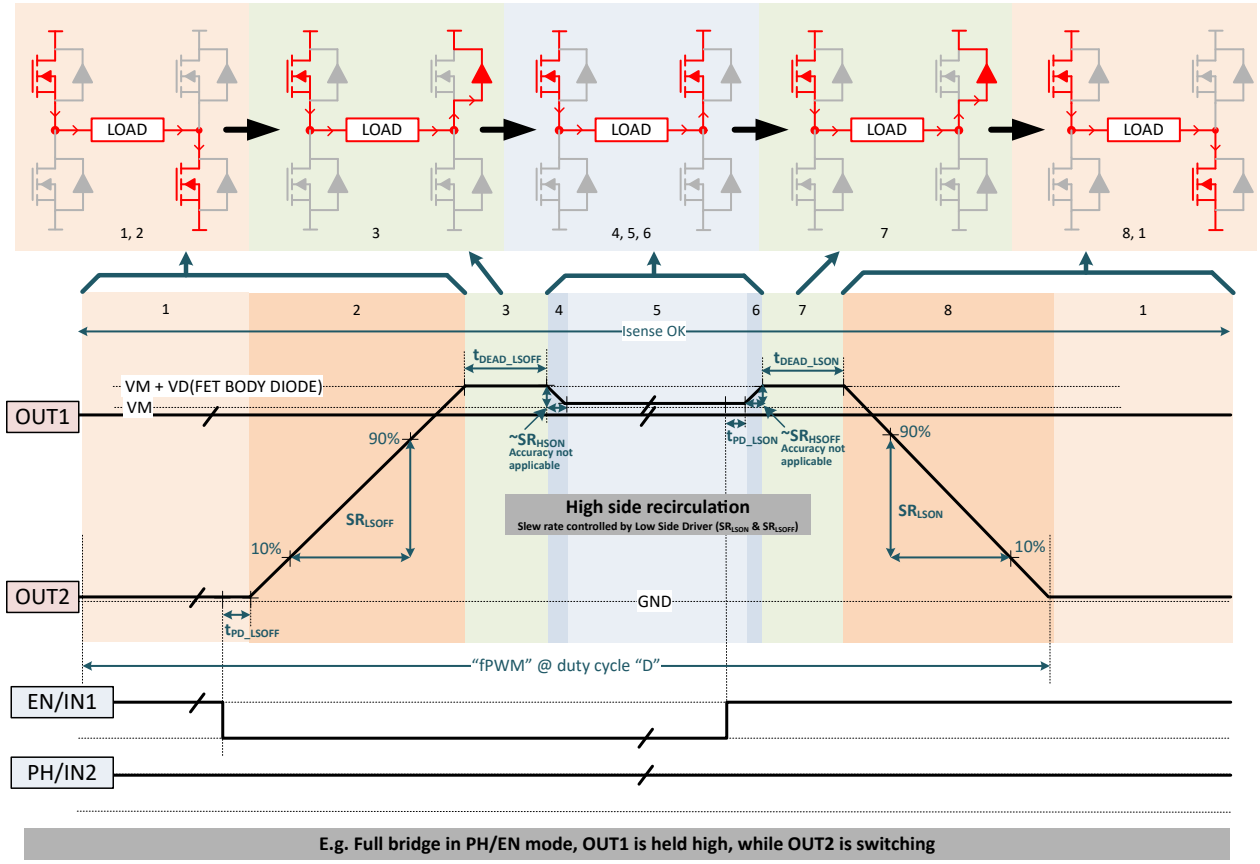


图 6-2. 具有高侧再循环的 H 桥的输出开关瞬变

Copyright © 2026 Texas Instruments Incorporated

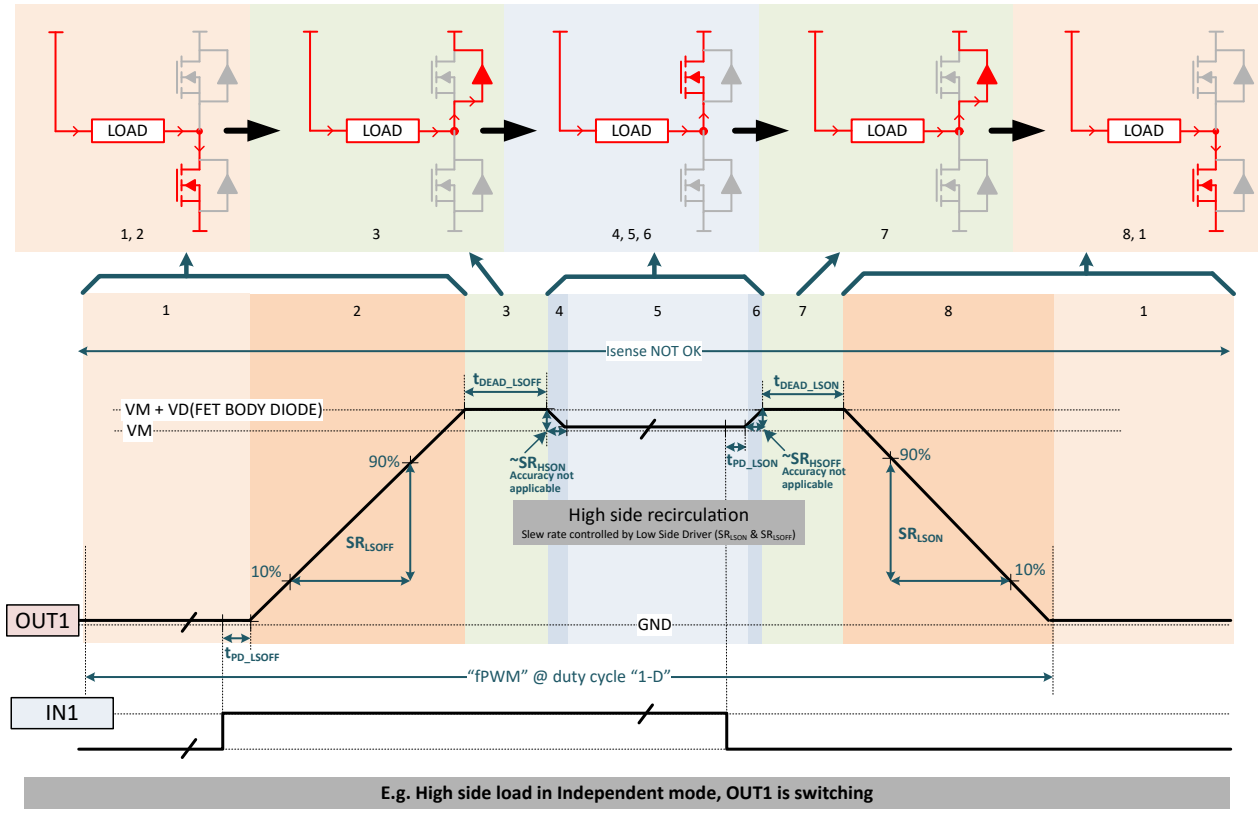


图 6-3. 具有高侧再循环的半桥的输出开关瞬变

6.7.1.2 低侧再循环

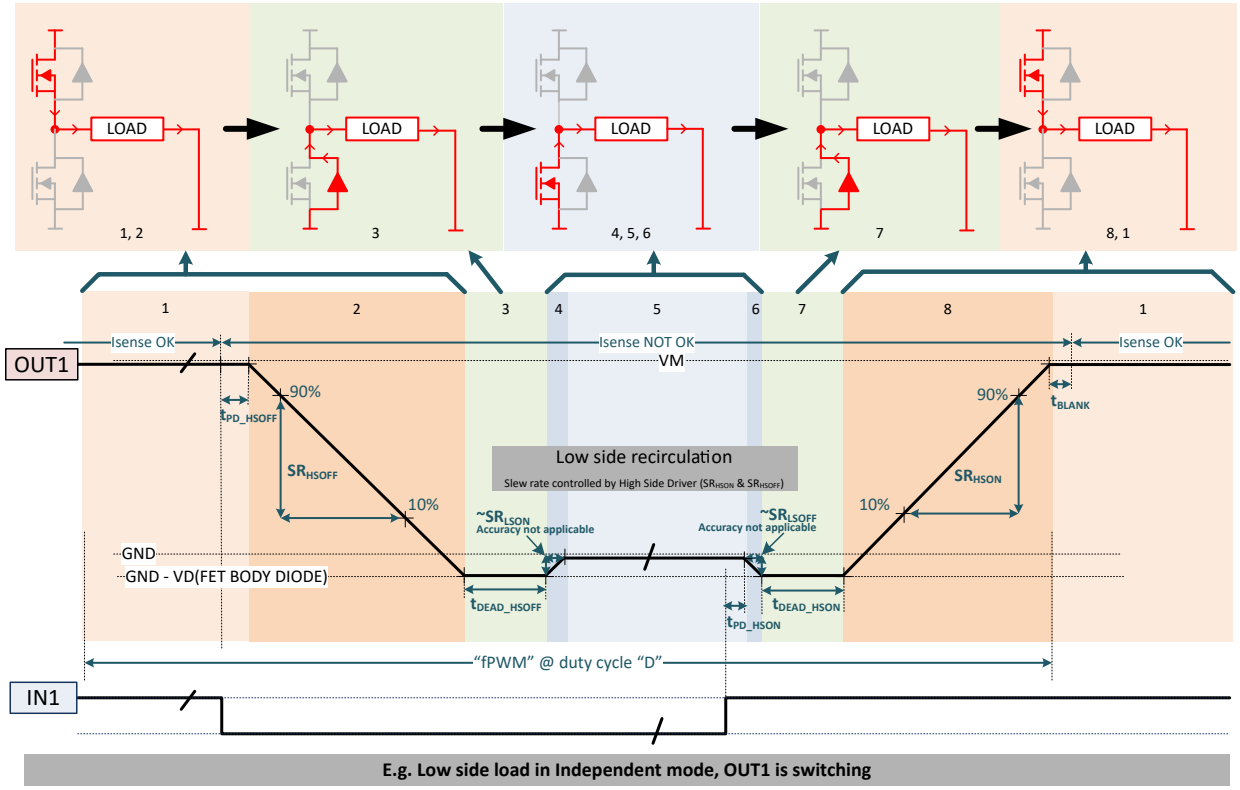


图 6-4. 具有低侧再循环的半桥的输出开关瞬态

6.7.2 唤醒瞬态

6.7.2.1 HW 型号

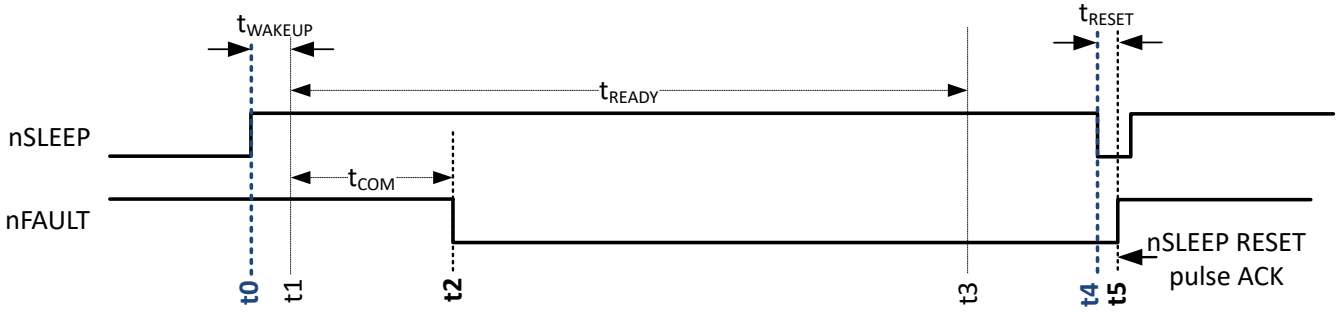


图 6-5. HW 型号从休眠状态唤醒后至待机状态的转换

唤醒期间，控制器和器件之间的交换如下：

- t0：控制器 - nSLEEP 置位为高电平以发起器件唤醒
- t1：器件内部状态 - 器件注册的唤醒命令（休眠状态结束时）
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 发出 nSLEEP 复位脉冲** 以确认器件唤醒
- t5：器件 - nFAULT 取消置位作为对 nSLEEP 复位脉冲的确认。器件处于待机状态

Copyright © 2026 Texas Instruments Incorporated

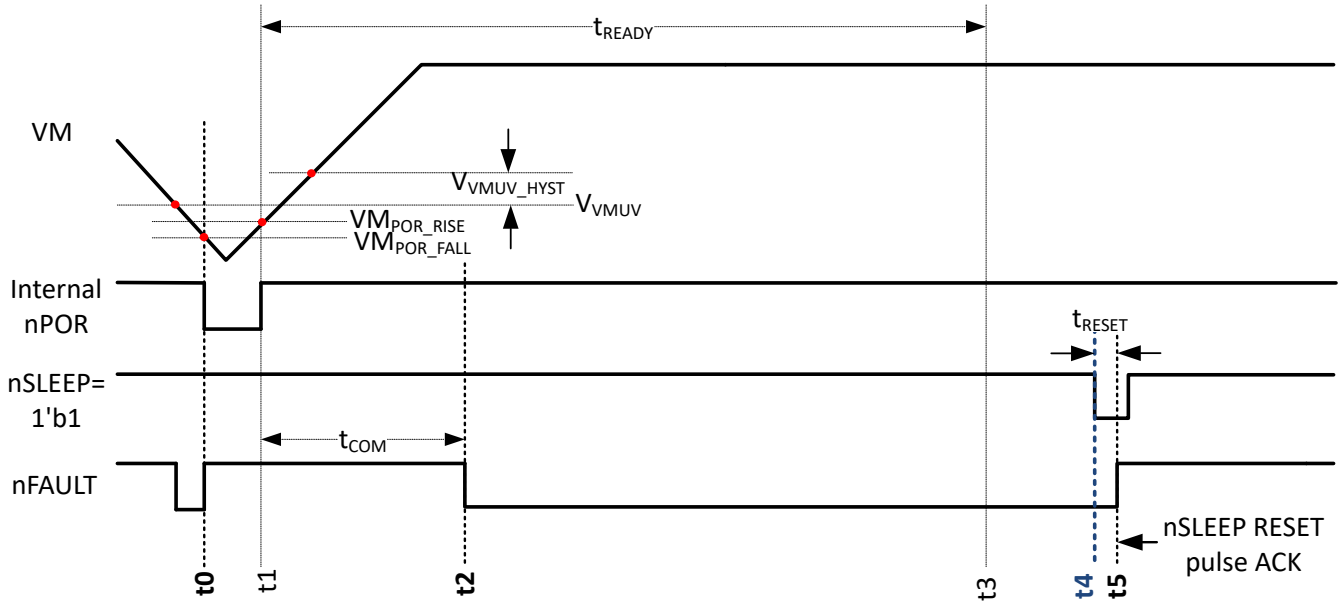


图 6-6. HW 型号从上电至待机状态的转换

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据内部 LDO（取决于 VM）的欠压情况置位
- t1：器件内部状态 – POR 根据内部 LDO 电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 发出 nSLEEP 复位脉冲** 以确认器件上电
- t5：器件 - nFAULT 取消置位作为对 nSLEEP 复位脉冲的确认。器件处于待机状态

6.7.2.2 SPI 型号

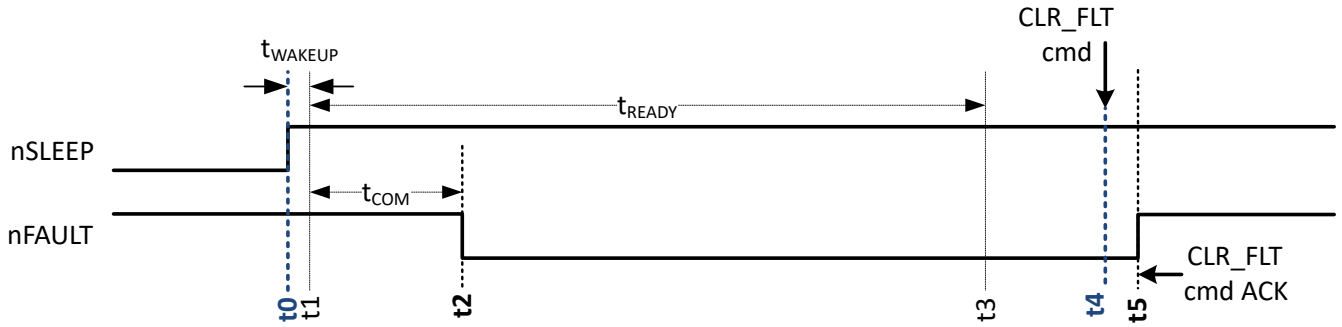


图 6-7. SPI (S) 型号从休眠状态唤醒后至待机状态的转换

唤醒瞬态期间，控制器和器件之间的交换如下：

- t0：控制器 - nSLEEP 置位为高电平以发起器件唤醒
- t1：器件内部状态 - 器件注册的唤醒命令（休眠状态结束时）
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令** 以确认器件唤醒
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

Copyright © 2026 Texas Instruments Incorporated

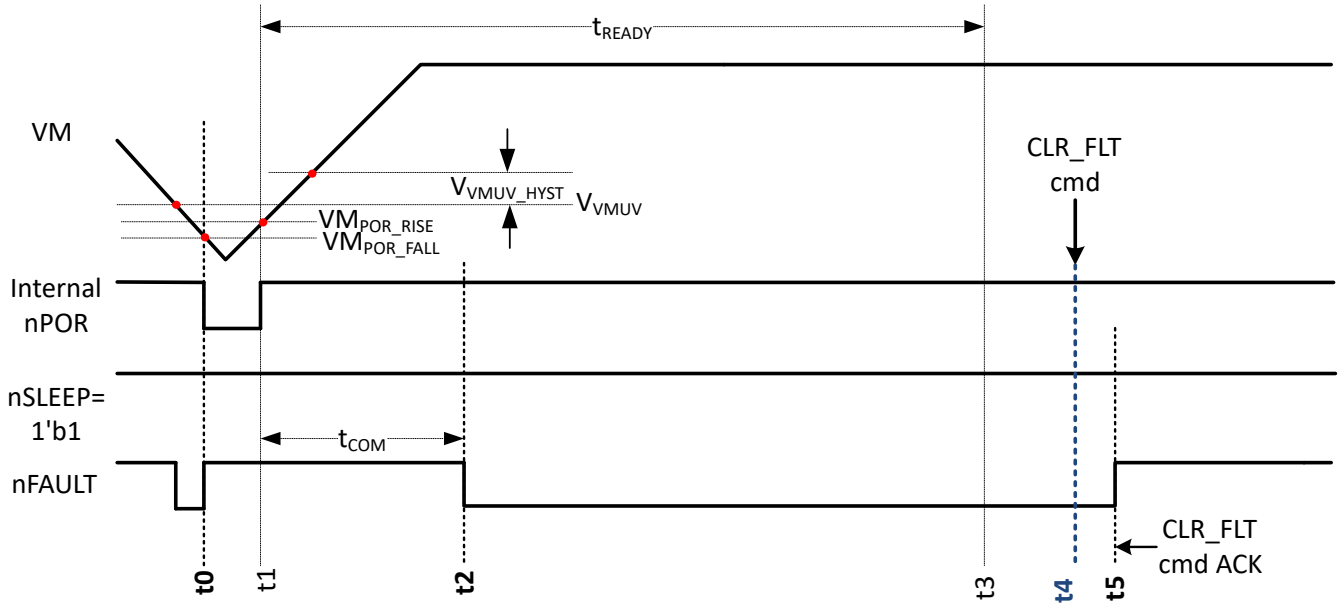


图 6-8. SPI (S) 型号从上电至待机状态的转换

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据内部 LDO（取决于 VM）的欠压情况置位
- t1：器件内部状态 – POR 根据内部 LDO 电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信
- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令**以确认器件上电
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

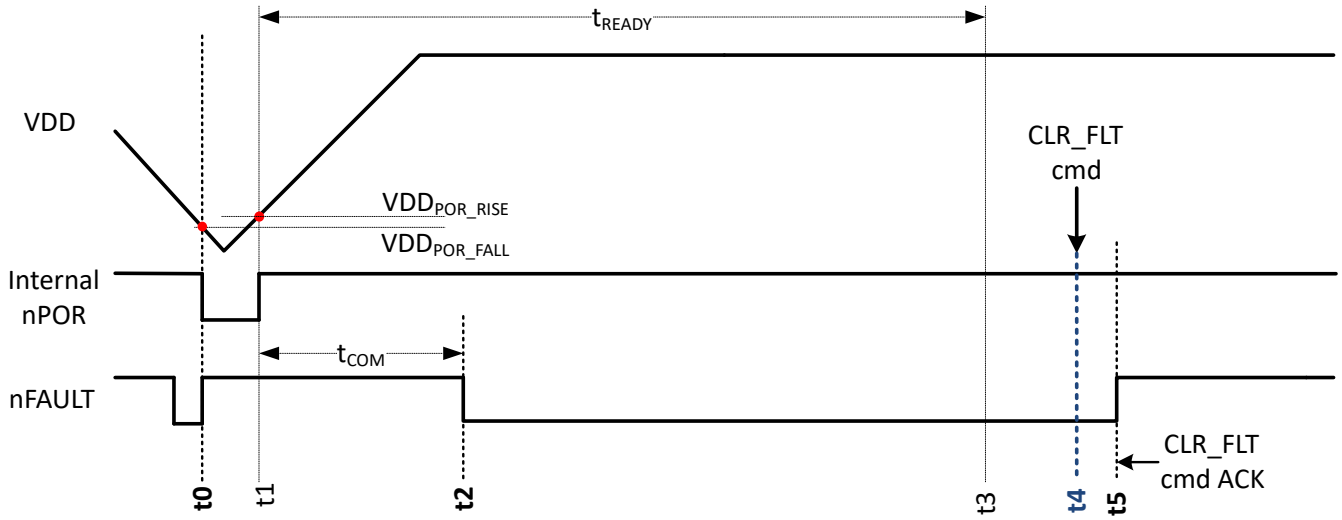


图 6-9. SPI (P) 型号从上电至待机状态的转换

上电期间，控制器和器件之间的交换如下：

- t0：器件内部状态 - POR 根据 VDD（外部电源）上的欠压情况置位
- t1：器件内部状态 – POR 根据 VDD（外部电源）上电压的恢复情况取消置位
- t2：器件 – nFAULT 置位为低电平，以确认唤醒并指示器件已准备好进行通信

Copyright © 2026 Texas Instruments Incorporated

- t3：器件内部状态 - 初始化完成
- t4（t2 后的任意时间）：**控制器 – 通过 SPI 发出 CLR_FLT 命令**以确认器件上电
- t5：器件 - nFAULT 取消置位作为对 CLR_FLT 命令的确认。器件处于待机状态

Copyright © 2026 Texas Instruments Incorporated

6.7.3 故障反应瞬态

6.7.3.1 重试设置

对 SPI 和 HW 型号均有效

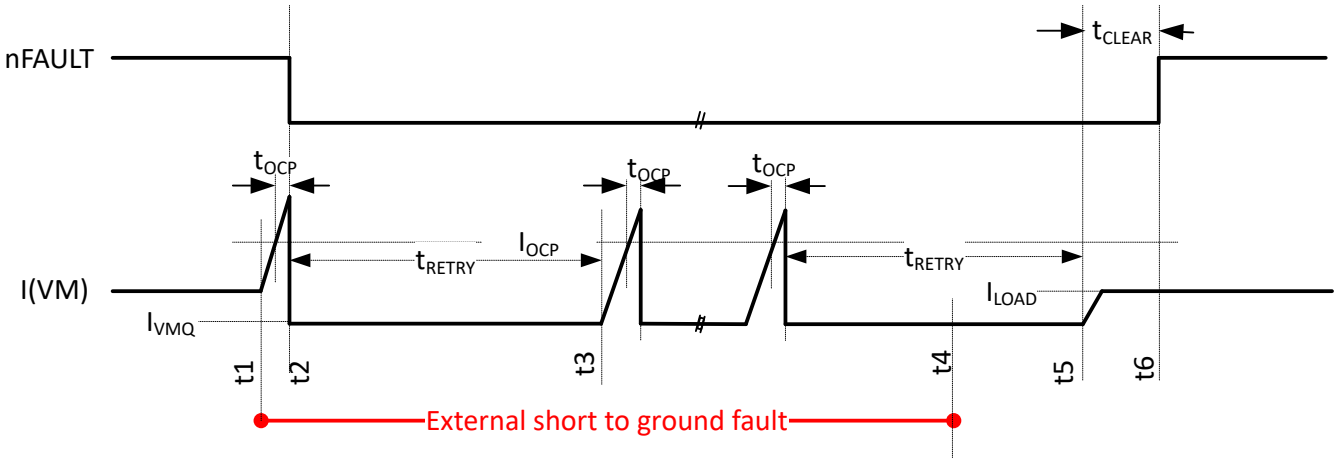


图 6-10. 采用重试（RETRY）设置的故障反应（当 OUT 接地短路时，针对在高侧发生的 OCP 显示）

采用重试（RETRY）设置的短暂发生和恢复场景：

- t1：发生外部短路。
- t2：在 t_{OCP} 后确认 OCP（过流保护）故障，禁用输出，nFAULT 置位为低电平以指示故障。
- t3：器件在 t_{RETRY} 后自动尝试重试（自动重试）。每次短暂打开输出以确认短路发生，然后在 t_{OCP} 后立即禁用。nFAULT 始终被置位为低电平。循环重复直到驱动器被用户禁用或外部短路被移除，如下文所示。请注意，发生 TSD（热关断）事件时，自动重试时间取决于基于热迟滞的冷却。
- t4：移除外部短路。
- t5：器件尝试自动重试。但这次，没有发生故障，器件继续使输出保持启用状态。
- t6：确认在 t_{CLEAR} 时间段内无故障运行后，取消置位 nFAULT。
- 仅限 SPI 型号 - 故障状态保持锁存，直到发出 CLR_FLT 命令为止。

请注意，如果输出对地短路导致高侧 OCP 故障检测，IPROPI 引脚将继续上拉至 V_{IPROPI_LIM} 电压以指示此类短路，同时禁用输出。这对于 HW (H) 型号特别有用，可将接地短路故障指示与其他故障区分开来。

Copyright © 2026 Texas Instruments Incorporated

6.7.3.2 锁存设置

对 SPI 和 HW 型号均有效

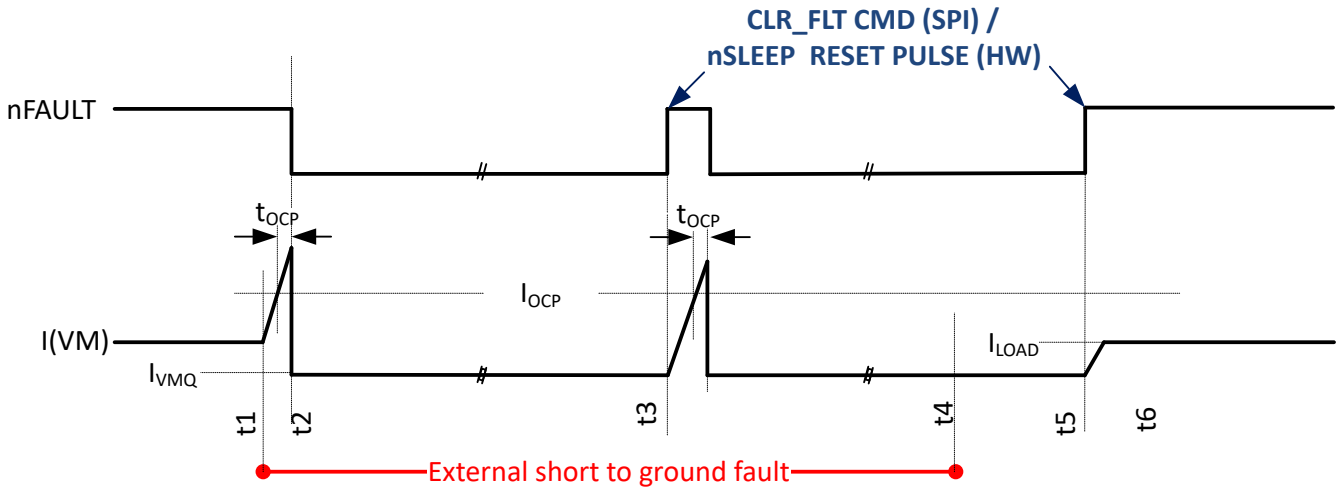


图 6-11. 采用锁存（Latch）设置的故障反应（当 OUT 接地短路时，针对在高侧发生的 OCP 显示）

采用锁存（LATCH ）设置的短暂发生和恢复场景：

- t1：发生外部短路。
- t2：在 t_{OCP} 后确认 OCP（过流保护）故障，禁用输出，nFAULT 置位为低电平以指示故障。
- t3：控制器发出的 CLR_FLT 命令（SPI 型号）或 nSLEEP RESET Pulse（HW 型号）。nFAULT 被取消置位并启用输出。再次检测到 OCP 故障并在 nFAULT 置位为低电平时禁用输出。
- t4：移除外部短路。
- t5：控制器发出的 CLR_FLT 命令（SPI 型号）或 nSLEEP RESET Pulse（HW 型号）。nFAULT 被取消置位并启用输出。运行恢复正常。
- 仅限 SPI 型号 - 故障状态保持锁存，直到发出 CLR_FLT 命令为止。

请注意，如果输出对地短路导致高侧 OCP 故障检测，IPROPI 引脚会继续上拉至 V_{IPROPI_LIM} 电压以指示此类短路，同时禁用输出。这对于 HW (H) 型号特别有用，可将接地短路故障指示与其他故障区分开来。

6.8 典型特性

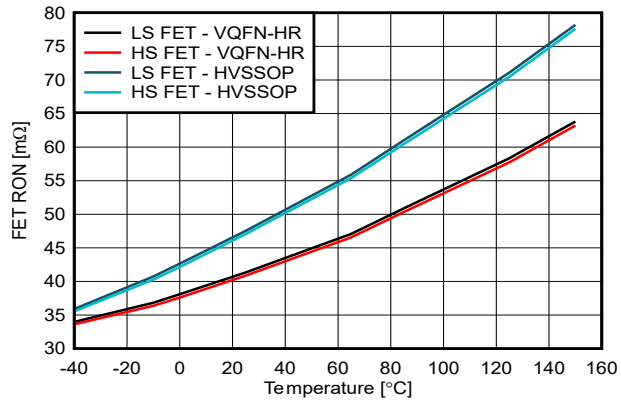


图 6-12. V_{VM} = 13.5V 时 R_{HS_ON} 和 R_{LS_ON} 与温度之间的关系

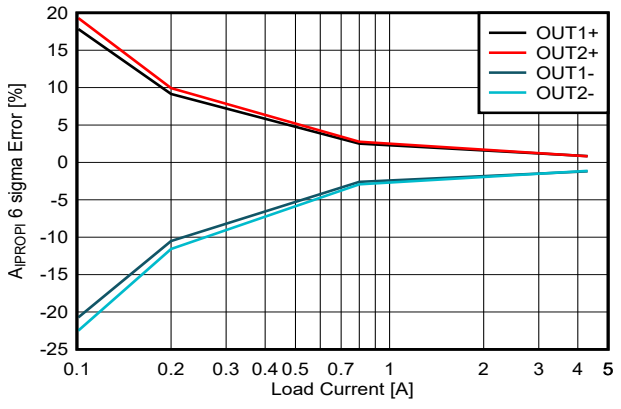


图 6-13. V_{VM} = 13.5V 时 A_{IPROPI} 增益误差与 V 负载电流之间的关系

Copyright © 2026 Texas Instruments Incorporated

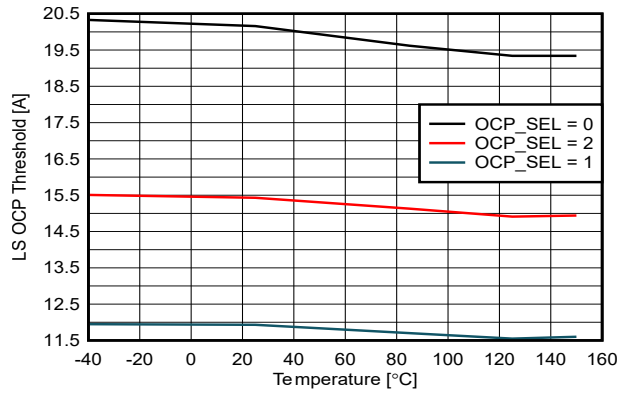


图 6-14. LS OCP 阈值与温度之间的关系 (V_{VM} = 13.5V)

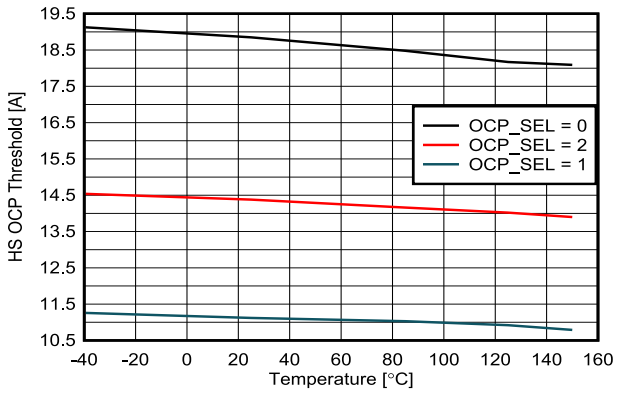


图 6-15. HS OCP 阈值与温度之间的关系 (V_{VM} = 13.5V)

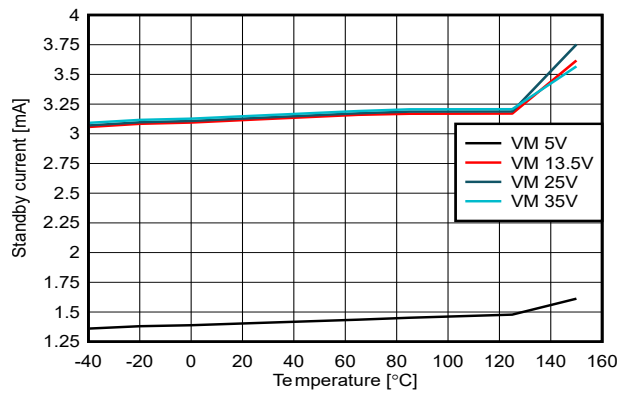


图 6-16. 待机状态下 VM 上的电流与温度之间的关系

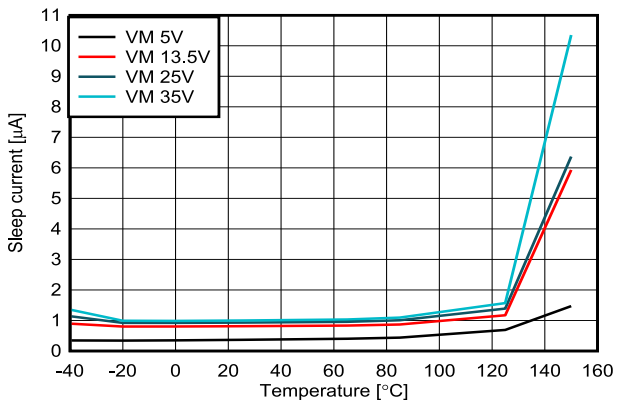


图 6-17. 休眠状态下 VM 上的电流与温度之间的关系

图 6-18. 用于 HS 再循环的 V_{VM} = 13.5V 时，PWM 频率为 5KHz 时测得的占空比与输入占空比之间的关系

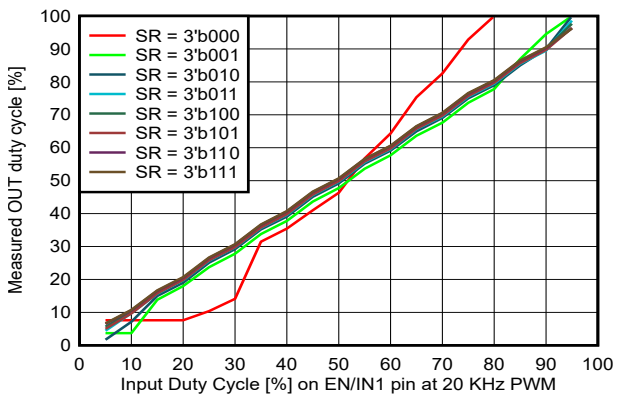


图 6-19. 用于 HS 再循环的 V_{VM} = 13.5V 时，PWM 频率为 20 KHz 时测得的占空比与输入占空比之间的关系

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

DRV824x-Q1 系列器件是有刷直流电机驱动器，工作电压范围为 4.5V 至 35V，支持广泛的输出负载电流，适用于各种类型的电机和负载。这些器件集成了一个 H 桥输出功率级，可在由 MODE 功能设置的各种控制模式下运行。这样即可驱动单个双向有刷直流电机或两个单向有刷直流电机。这些器件集成了一个电荷泵稳压器，用以支持具有 100% 占空比运行的高效高侧 N 沟道 MOSFET。这些器件由可直接连接到电池或直流电源的单一电源输入 (VM) 供电。这些器件还提供了低功耗模式，可以在系统不活动期间最大限度地减少电流消耗。

这些器件提供两种接口型号：

1. HW 型号 - 硬接线接口型号，便于器件配置。器件中可用引脚的数量有限，因此与 SPI 型号相比，该型号提供的配置和故障报告功能更少。
2. SPI 型号 - 具有菊花链功能的标准 4 线串行外设接口 (SPI)，能够灵活地配置器件并将详细的故障报告给外部控制器。可以在器件比较一节中找到 SPI 和 HW 型号的功能差异。SPI 提供两种器件型号选择，如下所述：
   a. SPI (S) 型号 - 数字模块的电源由 VM 电源的内部 LDO 稳压器提供。nSLEEP 引脚是一个高阻抗输入引脚。
   b. SPI (P) 型号（不适用于 DRV8144-Q1）- 这允许通过 VDD 引脚将外部电源输入到器件的数字模块。nSLEEP 引脚被该 VDD 电源引脚取代。这样可以防止器件在 VM 欠压条件下复位（欠压）。

DRV824x 系列器件使用高侧功率 MOSFET 上的电流镜提供负载电流检测输出。IPROPI 引脚提供一个小电流，该电流与高侧 MOSFET 中的电流成比例（电流来自 OUTx 引脚）。可以使用外部电阻器 (R_{IPROPI}) 将该电流转换成比例电压。此外，这些器件还支持采用固定的关断时间 PWM 斩波方案以限制负载电流。可以通过 ITRIP 功能配置电流调节电平。

该器件集成了多种保护特性和诊断功能。其中包括电源电压监控器（VMOV 和 VMUV）、、关闭状态（无源）诊断 (OLP)、导通状态（有源）诊断 (OLA) - 仅限 SPI 型号、每个功率 FET 的过热保护 (OCP) 以及过热关断 (TSD)。故障情况通过 nFAULT 引脚指示。SPI 型号具有额外的通信保护功能，例如配置寄存器位和驱动器控制位的帧错误和锁定功能。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图

7.2.1 HW 型号

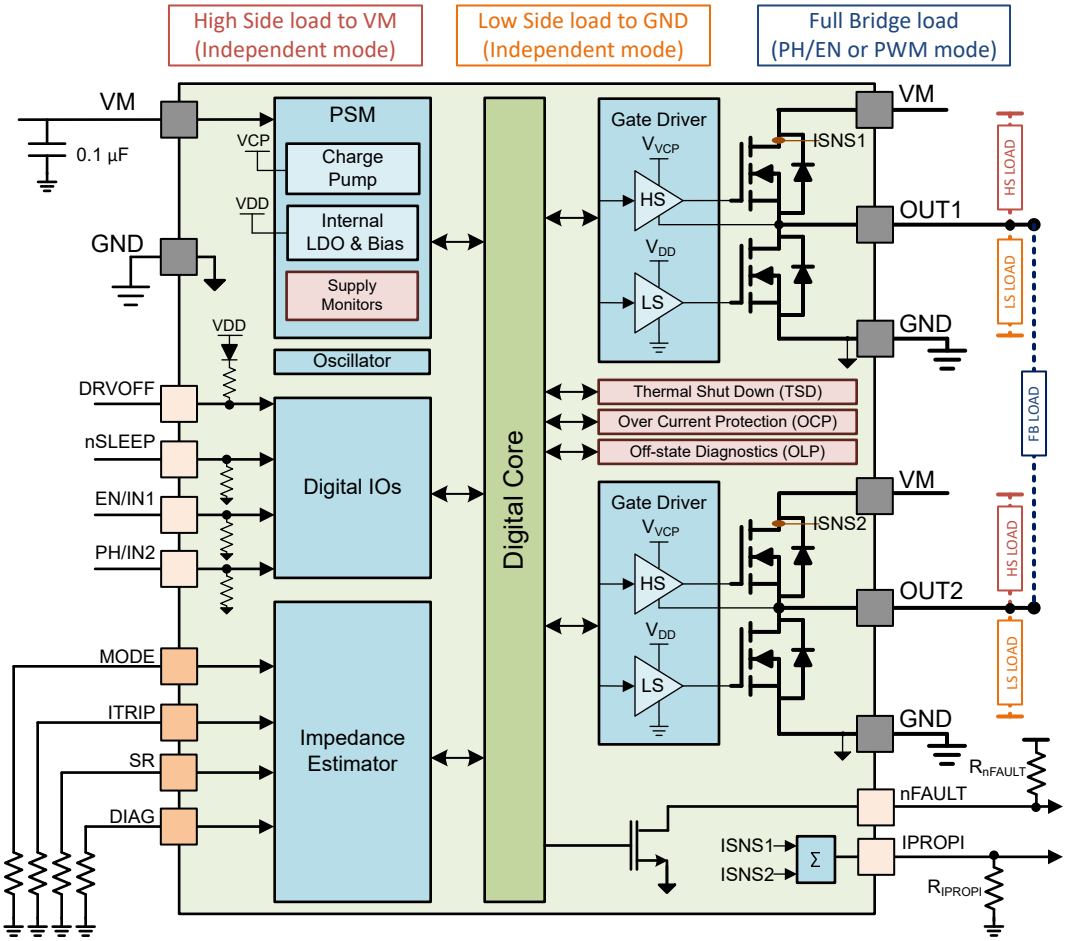


图 7-1. 功能方框图 - HW 型号

7.2.2 SPI 型号

SPI 有两种型号 - SPI (S) 型号和 SPI (P) 型号，如下所示。

Copyright © 2026 Texas Instruments Incorporated

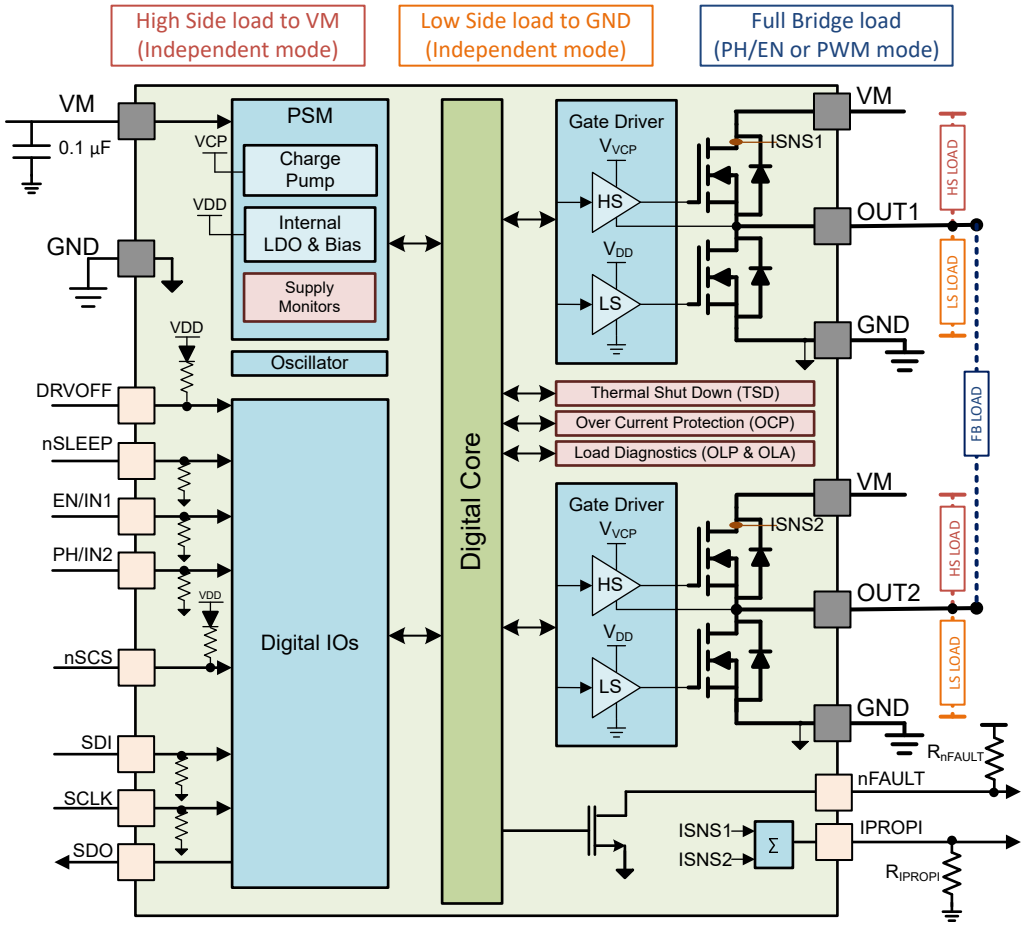


图 7-2. 功能方框图 - SPI (S) 型号

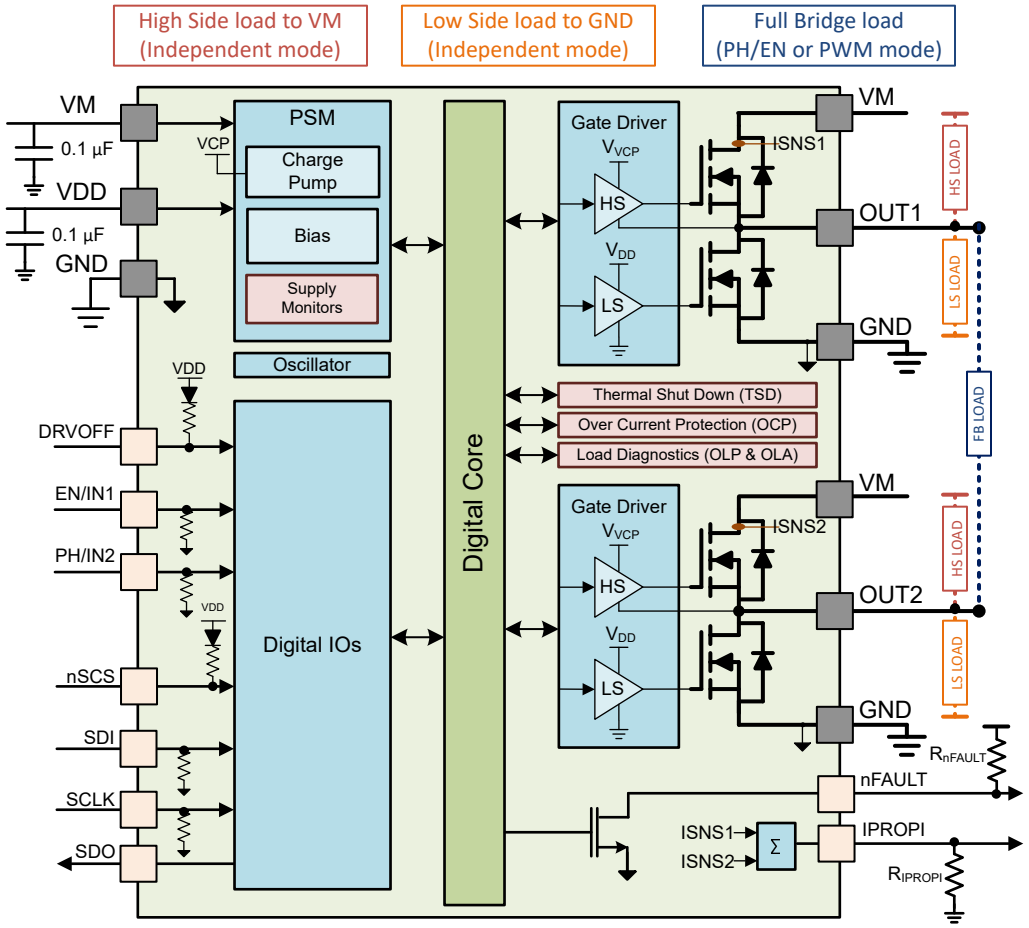


图 7-3. 功能方框图 - SPI (P) 型号

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

7.3.1 外部元件

节 7.3.1.1 和节 7.3.1.2 包含推荐用于此器件的外部元件。

7.3.1.1 HW 型号

表 7-1. HW 型号的外部元件表

元件	引脚	建议
C_{VM1}	VM	0.1μF、低 ESR 陶瓷电容器连接至 GND、额定电压为 VM
C_{VM2}	VM	本地大容量电容器连接至 GND，10 μF 或更高，额定电压为 VM，可处理负载瞬态。请参阅确定大容量电容器的大小一节。
R_{IPROPI}	IPROPI	通常 500 - 5000Ω 0.063W 电阻连接至 GND，具体取决于控制器 ADC 动态范围。如果不需要 ITRIP 和 IPROPI 功能，可以将引脚短接至 GND。
C_{IPROPI}	IPROPI	可选的 10 - 100nF、6.3V 电容器连接至 GND，以减慢 ITRIP 调节环路。请参阅过流保护 (OCP)一节 。
R_{nFAULT}	nFAULT	通常 1KΩ - 10KΩ、0.063W 上拉电阻连接至控制器电源。
R_{MODE}	模式	根据设置，开路或短路到 GND 或 0.063W 10% 电阻连接至 GND。请参阅 模式表。
R_{SR}	SR	根据设置，开路或短路到 GND 或 0.063W 10% 电阻连接至 GND。请参阅 SR 一节。
R_{ITRIP}	ITRIP	根据设置，开路或短路到 GND 或 0.063W 10% 电阻连接至 GND。请参阅 ITRIP 表。
R_{DIAG}	DIAG	根据设置，开路或短路到 GND 或 0.063W 10% 电阻连接到 GND。请参阅 DIAG 一节。

7.3.1.2 SPI 型号

表 7-2. SPI 型号的外部元件表

元件	引脚	建议
C_{VM1}	VM	0.1μF、低 ESR 陶瓷电容器连接至 GND、额定电压为 VM
C_{VM2}	VM	本地大容量电容器连接至 GND，10μF 或更高，额定电压为 VM，用于处理负载瞬态。请参阅“确定大容量电容器的大小”一节。
R_{IPROPI}	IPROPI	通常 500 - 5000Ω 0.063W 电阻连接至 GND，具体取决于控制器 ADC 动态范围。如果不需要 ITRIP 和 IPROPI 功能，可以将引脚短接至 GND。
C_{IPROPI}	IPROPI	可选的 10 - 100nF、6.3V 电容器连接至 GND，以减慢 ITRIP 调节环路。请参阅过流保护 (OCP)一节 。
R_{nFAULT}	nFAULT	通常 1KΩ - 10KΩ、0.063W 上拉电阻连接至控制器电源。如果没有使用 nFAULT 信令，此引脚可以短接至 GND 或保持开路。
C_{VDD}	VDD	0.1μF、6.3V、低 ESR 陶瓷电容器连接到 GND。这仅适用于 SPI (P) 型号。

7.3.2 电桥控制

DRV824x-Q1 系列器件提供三种独立模式，支持对 EN/IN1 和 PH/IN2 引脚采用不同的控制方案。通过 MODE 设置选择控制模式。MODE 是基于 HW 型号的 MODE 引脚或基于 SPI 型号的 CONFIG3 寄存器中的 S_MODE 位的 三级 设置，如表 7-3 所述：

表 7-3. 模式表

MODE 引脚	S_MODE 位	器件模式	说明
$R_{LVL1OF3}$	2'b00	PH/EN 模式	全桥模式，其中 EN/IN1 是 PWM 输入，PH/IN2 是方向输入
$R_{LVL2OF3}$	2'b01	独立模式	独立控制 2 个半桥
$R_{LVL3OF3}$	2'b10、2b'11	脉宽调制（PWM ）模式	全桥模式，其中 EN/IN1 和 PH/IN2 根据方向分别控制 PWM

在 HW 型号中，MODE 引脚在上电或从休眠中唤醒后的器件初始化期间被锁存。运行期间，更新受阻。

Copyright © 2026 Texas Instruments Incorporated

在 SPI 型号的器件中，只要 SPI 通信可用，就可以通过写入 S_MODE 位来更改模式设置。此更改会立即反映出来。

输入端可接受 100% 或 PWM 驱动模式的静态或脉宽调制 (PWM) 电压信号。可以在应用 VM 之前为器件输入引脚供电。默认情况下，nSLEEP 和 DRVOFF 引脚分别具有内部下拉和上拉电阻器，以便在没有输入时保持输出为高阻态。EN/IN1 和 PH/IN2 引脚也都具有内部下拉电阻器。下文提供了每种控制模式的真值表。

在开关半桥上的高侧和低侧 FET 之间转换时，该器件会自动生成所需的死区时间。该时序基于内部 FET 栅源电压反馈。无需外部时序。该方案会维持最短的死区时间，同时保证没有击穿电流。

备注

1. SPI 型号还通过 SPI_IN 寄存器位提供额外的控制。请参阅寄存器 - 引脚控制。
2. 对于 SPI (P) 型号，请忽略控制表中的 nSLEEP 列，因为没有 nSLEEP 引脚。在内部，始终是 nSLEEP = 1。当 VDD > VDD_{POR} 电平时，控制表有效。

7.3.2.1 PH/EN 模式

在此模式下，将两个半桥配置为全桥运行。EN/IN1 是 PWM 输入，PH/IN2 是方向输入。有关负载说明，请参阅负载概要一节。

表 7-4. 控制表 - PH/EN 模式

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	器件状态
0	X	X	X	高阻态	高阻态	无电流	休眠
1	1	0	0	高阻态	高阻态	无电流	待机
1	1	1	0	请参考关断状态诊断表		无电流	待机
1	1	0	1				
1	1	1	1				
1	0	0	X	H	H	ISNS1 或 ISNS2(1)	运行中
1	0	1	0	L(2)	H	ISNS2	运行中
1	0	1	1	H	L(2)	ISNS1	运行中

(1) 器件拉电流 (VM → OUTx → Load)
(2) 如果启用内部 ITRIP 调节并达到 ITRIP 电平，则 OUTx 在固定时间内强制为“H”

7.3.2.2 PWM 模式

在此模式下，将两个半桥配置为全桥运行。EN/IN1 在一个方向提供 PWM 输入，而 PH/IN2 在另一个方向提供 PWM。有关负载说明，请参阅负载概要一节。

表 7-5. 控制表 - PWM 模式

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	器件状态
0	X	X	X	高阻态	高阻态	无电流	休眠
1	1	0	0	高阻态	高阻态	无电流	待机
1	1	1	0	请参考关断状态诊断表		无电流	待机
1	1	0	1			无电流	待机
1	1	1	1			无电流	待机
1	0	0	0	H	H	ISNS1 或 ISNS2(1)	运行中
1	0	0	1	L(2)	H	ISNS2	运行中
1	0	1	0	H	L(2)	ISNS1	运行中
1	0	1	1	高阻态	高阻态	无电流	待机

(1) 器件拉电流 (VM → OUTx → Load)

Copyright © 2026 Texas Instruments Incorporated

(2) 如果启用内部 ITRIP 调节并达到 ITRIP 电平，则 OUTx 在固定时间内强制为“H”

对于 SPI 型号，通过在 CONFIG2 寄存器中设置 PWM_EXTEND 位，当正向 ([EN/IN1 PH/IN2] = [1 0]) 或反向 ([EN/IN1 PH/IN2] = [0 1]) 命令后跟高阻态命令 ([EN/IN1 PH/IN2] = [1 1]) 时，可能会出现其他的高阻态状态。在此高阻态（惯性滑行）条件下，只有与 PWM 有关的半桥为高阻态，而另一个半桥上的 HS FET 会保持导通。根据上一周期来确定具体哪个半桥为高阻态。表 7-6 对此进行了总结。

表 7-6. PWM EXTEND 表（PWM_EXTEND 位 = 1'b1）

上一状态		当前状态			器件状态转换
OUT1	OUT2	OUT1	OUT2	IPROPI	
高阻态	高阻态	高阻态	高阻态	无电流	保持待机状态，无变化
H	H	高阻态	高阻态	无电流	运行至待机
L	H	高阻态	H	ISNS2	运行至待机
H	L	H	高阻态	ISNS1	运行至待机

7.3.2.3 独立模式

在此模式下，将两个半桥配置为用作两个独立的半桥。表 7-7 展示了桥接控制的逻辑表。有关负载说明，请参阅负载概要一节。

表 7-7. 控制表 - 独立模式

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	器件状态
0	X	X	X	高阻态	高阻态	无电流	SLEEP
1	1	0	0	高阻态	高阻态	无电流	STANDBY
1	1	1	0	请参考关断状态诊断表		无电流	STANDBY
1	1	0	1			无电流	STANDBY
1	1	1	1			无电流	STANDBY
1	0	0	0	L	L	无电流	ACTIVE
1	0	0	1	L	H(2)	ISNS2(1)	ACTIVE
1	0	1	0	H(2)	L	ISNS1(1)	ACTIVE
1	0	1	1	H(2)	H(2)	ISNS1 + ISNS2(1)	ACTIVE

对于 SPI 型号，当 **SPI_IN 寄存器已解锁**时，可以通过 SPI_IN 寄存器中的等效位 S_DRVOFF 和 S_DRVOFF2 对两个半桥进行独立 Hi-Z 控制。表 7-8 展示了使用引脚和寄存器组合输入进行电桥控制的逻辑表。有关表 7-8 中所示组合输入的详细信息，请参阅寄存器 - 引脚控制。

表 7-8. 控制表 - SPI 型号的独立模式（当 SPI_IN 解锁时）

nSLEEP	DRVOFF1 *组合*	DRVOFF2 *组合*	EN_IN1 *组合*	PH_IN2 *组合*	OUT1	OUT2	IPROPI	器件状态
0	X	X	X	X	高阻态	高阻态	无电流	SLEEP
1	1	1	0	0	高阻态	高阻态	无电流	STANDBY
1	1	1	1	0	请参考关断状态诊断表		无电流	STANDBY
1	1	1	0	1			无电流	STANDBY
1	1	1	1	1			无电流	STANDBY
1	1	0	X	0	高阻态	L	无电流	ACTIVE
1	1	0	X	1	高阻态	H(2)	ISNS2(1)	ACTIVE
1	0	1	0	X	L	高阻态	无电流	ACTIVE
1	0	1	1	X	H(2)	高阻态	ISNS1(1)	ACTIVE
1	0	0	0	0	L	L	无电流	ACTIVE
1	0	0	0	1	L	H(2)	ISNS2(1)	ACTIVE
1	0	0	1	0	H(2)	L	ISNS1(1)	ACTIVE

Copyright © 2026 Texas Instruments Incorporated

表 7-8. 控制表 - SPI 型号的独立模式（当 SPI_IN 解锁时）（续）

nSLEEP	DRVOFF1 组合	DRVOFF2 组合	EN_IN1 组合	PH_IN2 组合	OUT1	OUT2	IPROPI	器件状态
1	0	0	1	1	H(2)	H(2)	ISNS1 + ISNS2(1)	ACTIVE

(1) 器件拉电流 (VM → OUTx → Load)
(2) 如果启用内部 ITRIP 调节并达到 ITRIP 电平，则 OUTx 在固定时间内强制为“L”

在此模式下，器件行为如下所列：

- 只能感测来自 VM → OUTx → Load 的负载电流。因此，无法对高侧负载进行电流检测
- IPROPI 引脚上的电流是来自两个半桥的高侧感测电流之和。这将 ITRIP 电流调节功能限制为组合电流调节，而不是进行真正独立的调节。
- 低压侧再循环（低压侧负载）的压摆率可配置性受到限制
- 运行状态开路负载诊断 (OLA) 仅适用于高侧负载
- 对于 HW 型号，无法对每个半桥进行独立的 Hi-Z 控制。将 DRVOFF 引脚置为高电平会使两个半桥都达到高阻态。

7.3.2.4 寄存器 - 引脚控制 - 仅限 SPI 型号

如果 **SPI_IN 寄存器未锁定**，SPI 型号允许通过 SPI_IN 寄存器中的特定寄存器位 S_DRVOFF、S_DRVOFF2、S_EN_IN1、S_PH_IN2 来控制电桥。用户可以通过将正确的组合写入 COMMAND 寄存器中的 SPI_IN_LOCK 位来解锁此寄存器。

此外，用户可以使用 SPI_IN 寄存器中的对应寄存器位在每个外部输入引脚的逻辑与/或组合之间进行配置。此逻辑配置通过 CONFIG4 寄存器的对应选择位来完成。

- DRVOFF_SEL、EN_IN1_SEL 和 PH_IN2_SEL

输出的控制类似于前面章节中介绍的真值表，但带有这些逻辑组合的输入。这些组合输入如下所列：

- 组合输入 = 引脚输入**或**等效 SPI_IN 寄存器位（如果对应的 CONFIG4 选择位 = 1'b0）
- 组合输入 = 引脚输入**与**对应的 SPI_IN 寄存器位（如果对应的 CONFIG4 选择位 = 1'b1）
- 在独立模式下：
  - DRVOFF2 组合 = DRVOFF 引脚**或** S_DRVOFF2 位（如果 DRVOFF_SEL 位 = 1'b0）
  - DRVOFF2 组合 = DRVOFF 引脚**与** S_DRVOFF2 位（如果 DRVOFF_SEL 位 = 1'b1）

请注意，休眠功能仍需用到外部 nSLEEP 引脚。

此逻辑组合为用户提供了更高的可配置性，具体如下表所示。

表 7-9. 寄存器 - 引脚控制示例

示例	CONFIG4：xxx_SEL 位	引脚状态	SPI_IN 位状态	注释
DRVOFF 作为冗余关断	DRVOFF_SEL = 1’b0	DRVOFF 有效	S_DRVOFF 有效	DRVOFF 引脚 = 1 或 S_DRVOFF bit = 1 均会关闭输出
仅引脚控制	DRVOFF_SEL = 1’b1	DRVOFF 有效	S_DRVOFF = 1'b1	仅 DRVOFF 引脚功能可用
仅寄存器控制	PH_IN2_SEL 位 = 1’b0	PH/IN2 - 对地短路或悬空	S_PH_IN2 有效	PH（方向）将由控制器位单独控制

7.3.3 器件配置

本节介绍了各种器件的配置，使用户能够根据设计用例配置器件。

Copyright © 2026 Texas Instruments Incorporated

7.3.3.1 压摆率 (SR)

SR 引脚（HW 型号）或 CONFIG3 寄存器中的 S_SR 位（SPI 型号）决定了驱动器输出的电压压摆率。这使得用户能够优化 PWM 开关损耗，同时满足 EM 一致性要求。对于硬件型号，SR 为 6 级**设置**，而 SPI 型号为 8 级设置。对于电感负载，器件的压摆率控制取决于再循环路径是通过 VM 的高侧路径还是通过 GND 的低侧路径。根据具体用例，请参阅“电气特性”部分中高侧再循环或低侧再循环的开关参数表，了解压摆率范围和值。

备注

SPI 型号还提供了**可选**展频时钟 (SSC) 功能，该功能使用 ~1.3MHz 三角函数将内部振荡器频率围绕其均值扩展+/- 12% ，从而在频率较高时减少辐射。硬件型号中**没有**展频时钟 (SSC) 功能。

在 HW 型号中，SR 引脚在器件上电或从休眠中唤醒后的初始化期间**锁存**。运行期间，更新受阻。

在 SPI 型号中，只要 SPI 通信可用，就可以通过写入 S_SR 位随时更改转换率设置。此更改会立即反映出来。

7.3.3.2 IPROPI

该器件在 IPROPI 引脚上集成了电流检测功能和比例模拟电流输出，可用于负载电流调节。这样就无需使用外部检测电阻或检测线路，有助于减小系统尺寸、降低系统的成本和复杂程度。

该器件通过使用无分流器的高侧电流镜像拓扑来检测负载电流。这样，当器件完全打开（线性模式）时，只能从 VM → OUTx → Load 感测单向高侧电流。IPROPI 引脚输出模拟电流，其与由 A_{IPROPI} 缩放的感测电流成正比，如下所示：

$$I_{IPROPI} = (I_{HS1} + I_{HS2}) / A_{IPROPI}$$

为了产生比例电压 V_{IPROPI}，IPROPI 引脚必须连接到外部电阻器 (R_{IPROPI}) 并接地。这样即可使用模数转换器 (ADC) 将负载电流作为 R_{IPROPI} 电阻器上的压降进行测量。可以根据应用中的预期负载电流来调节 R_{IPROPI} 电阻器的大小，以利用控制器 ADC 的整个量程。

IPROPI 上表示的电流是从 VM 流出 OUTx 引脚的电流之和。这表明：

- 在使用脉宽调制（PWM）或 PH/EN 模式的全桥运行中，IPROPI 引脚上表示的电流始终来自将电流从 VM 提供给负载的其中一个半桥。
- 在独立模式下，IPROPI 引脚上传达出的电流可来自其中一个半桥或全部两个半桥。**不**可能只单独观察一个半桥电流。

7.3.3.3 ITRIP 调节

该器件提供可选的内部负载电流调节功能，其使用固定 TOFF 时间法。这是通过将 IPROPI 引脚上的电压与由 ITRIP 设置确定的基准电压进行比较来完成的。TOFF 时间固定对于 HW 型号为 30µs，而对于使用 CONFIG3 寄存器中的 TOFF_SEL 位的 SPI 型号，该时间配置在 20µs 到 50µs 之间。

启用后，ITRIP 调节仅在启用 HS FET 并且可以进行电流检测时才起作用。在这种情况下，当 IPROPI 引脚上的电压超过 ITRIP 设置的基准电压时，内部电流调节环路会强制执行以下操作：

- 在 PH/EN 或 PWM 模式下，OUT1 = H，OUT2 = H（高侧再循环），TOFF 时间固定
  - 周期跳跃：由于最小占空比限制（特别是在低摆率设置和高 VM 下），即使使用 ITRIP 调节，负载电流也会继续增加。为了防止这种电流流失，实施了一种周期跳跃方案，其中，如果在 TOFF 时间结束时检测到的 IOUT 仍然大于 ITRIP，则再循环时间额外延长一个 TOFF 周期。这种再循环时间将继续增加，直到在 TOFF 周期结束时检测到的 IOUT 小于 ITRIP 为止。
- 在独立模式下，如果 OUTx = H，则在固定的 TOFF 时间内切换 OUTx = L，否则不对 OUTx 进行任何操作

备注

用户输入始终**优先**于内部控制。这意味着如果输入在 TOFF 时间内发生变化，则 TOFF 时间的剩余部分将被忽略，输出将按照命令跟随输入。

Copyright © 2026 Texas Instruments Incorporated

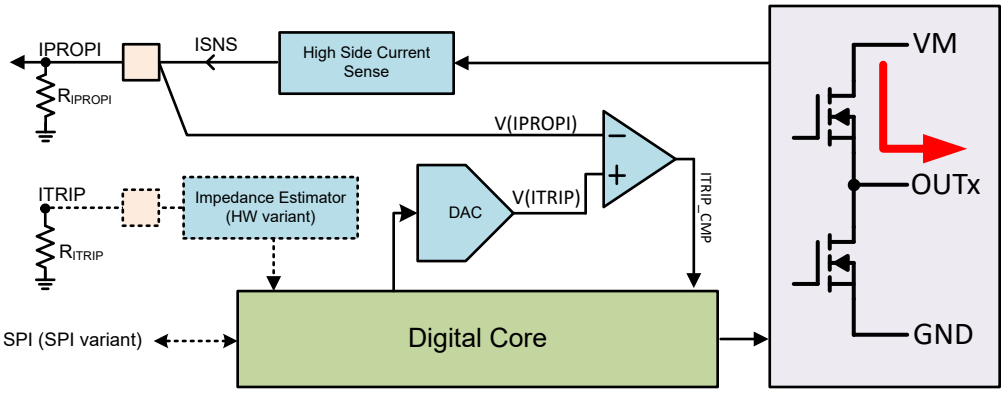


图 7-4. ITRIP 实施

通过以下公式设置电流限值：

$$\text{ITRIP regulation level} = (V_{ITRIP} / R_{IPROPI}) \times A_{IPROPI} \quad (2)$$

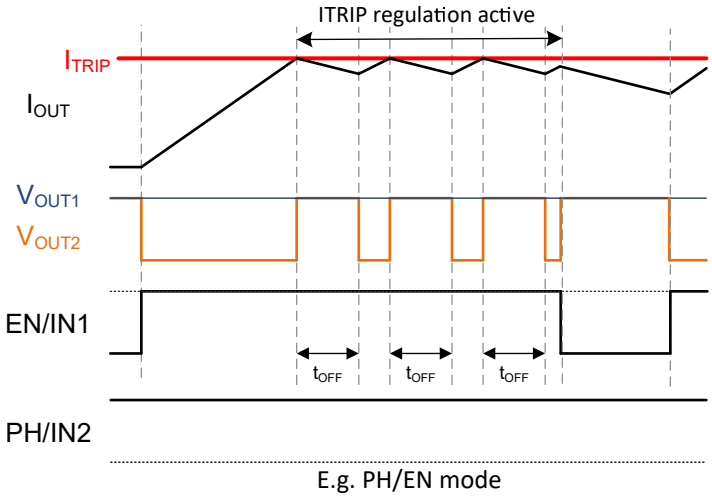


图 7-5. 固定 TOFF ITRIP 电流调节

在独立模式下，ITRIP 调节基于 IPROPI 引脚上的两个半桥电流的总和，因此**无法**同时对两个半桥进行完全独立的电流调节。

在输出转换期间，ITRIP 比较器输出 (ITRIP_CMP) 会被忽略，以避免由于负载电容的电流尖峰而误触发比较器输出。此外，在从低侧再循环转换的情况下，需要额外的消隐时间 t_{BLANK}，以便使检测环路在 ITRIP 比较器输出有效之前趋于稳定。

ITRIP 是 HW 型号的 6 级**设置**。SPI 型号提供了另外两种设置。下表对此进行了总结：

表 7-10. ITRIP 表

ITRIP 引脚	S_ITRIP 寄存器位	V_{ITRIP} [V]
$R_{LVL1OF6}$	3'b000	禁用调节
$R_{LVL2OF6}$	3'b001	1.18
不可用	3'b010	1.41
不可用	3'b011	1.65
$R_{LVL3OF6}$	3'b100	1.98
$R_{LVL4OF6}$	3'b101	2.31
$R_{LVL5OF6}$	3'b110	2.64

Copyright © 2026 Texas Instruments Incorporated

表 7-10. ITRIP 表（续）

ITRIP 引脚	S_ITRIP 寄存器位	V_{ITRIP} [V]
$R_{LVL6OF6}$	3'b111	2.97

在 HW 型号的器件中，ITRIP 引脚的更改是**透明**的，并且更改会立即反映出来。

在 SPI 型号的器件中，只要 SPI 通信可用，就可以通过写入 S_ITRIP 位随时更改 ITRIP 设置。此更改会立即反映在器件行为中。

仅限 SPI 型号 - 如果达到 ITRIP 调节电平，则设置 STATUS1 寄存器中的 ITRIP_CMP 位。没有 nFAULT 引脚指示。可以使用 CLR_FLT 命令清除该位。

备注

如果应用需要线性 ITRIP 控制，并且步长超出器件提供的选择范围，则可以使用外部 DAC 强制施加 IPROPI 电阻器底部的电压，而不是将其端接至 GND。进行这种修改后，可以通过外部 DAC 设置来控制 ITRIP 电流，如下所示：

$$\text{ITRIP regulation level} = [(V_{ITRIP} - V_{DAC}) / R_{IPROPI}] \text{ X } A_{IPROPI} \quad (3)$$

7.3.3.4 DIAG

DIAG 是一个引脚（HW 型号）或寄存器（SPI 型号）设置，用于器件的运行操作和待机操作，如下所示：

- 待机状态
  - 在 PH/EN 或 脉宽调制（PWM）模式下：启用或禁用关断状态诊断 (OLP)。
  - 在独立模式下：启用或禁用关断状态诊断 (OLP)，并在启用时选择 OLP 组合。有关详细信息，请参阅关断状态诊断 (OLP) 一节中的表格。
- 运行状态
  - 在独立模式下：如果负载类型指示为高侧负载，则屏蔽 ITRIP 调节功能。
  - 仅限 SPI 型号 - 在独立模式下：如果负载类型指示为低侧负载，则屏蔽主动开路负载检测 (OLA)
  - 仅限 HW 型号 - 在重试设置和锁存设置之间配置故障反应

7.3.3.4.1 HW 型号

对于 HW 型号，DIAG 引脚是 6 级**设置**。根据具体模式，下表总结了相关配置。

表 7-11. HW 型号的 DIAG 表，PH/EN 或 脉宽调制（PWM）模式

DIAG 引脚	待机状态	ACTIVE 状态
	关断状态诊断	故障反应
$R_{LVL1OF6}$	禁用	重试
$R_{LVL5OF6}$	禁用	锁存
所有其他级别	启用(1)	锁存

表 7-12. HW 型号的 DIAG 表，独立模式

DIAG 引脚	待机状态	ACTIVE 状态		
	关断状态诊断	故障反应	ITRIP	注释
$R_{LVL1OF6}$	禁用	重试	可用	用于低侧负载
$R_{LVL2OF6}$	启用(1)	锁存	可用	
$R_{LVL3OF6}$	启用(1)	锁存	禁用	用于高侧负载
$R_{LVL4OF6}$	启用(1)	重试	禁用	

Copyright © 2026 Texas Instruments Incorporated

表 7-12. HW 型号的 DIAG 表，独立模式（续）

DIAG 引脚	待机状态	ACTIVE 状态		
	关断状态诊断	故障反应	ITRIP	注释
$R_{LVL5OF6}$	禁用	锁存	可用	用于低侧负载
$R_{LVL6OF6}$	启用(1)	重试	可用	

(1) 有关组合的详细信息，请参阅关断状态诊断 (OLP) 一节中的表格

备注

仅限 HW 型号 - 在独立模式下：不支持为高侧负载用例禁用关断状态诊断的选项。在这种情况下，将 DRVOFF 引脚设置为高电平并将 IN 引脚设置为低电平是禁用关断状态诊断的唯一方法。

在 HW 型号中，DIAG 引脚在器件上电或从休眠中唤醒后的初始化期间**锁存**。运行期间，更新受阻。

7.3.3.4.2 SPI 型号

对于 SPI 型号， CONFIG2 寄存器中 S_DIAG 是 2 位设置。根据模式的不同，下表总结了其配置。

表 7-13. SPI 型号的 DIAG 表，PH/EN 或脉宽调制（PWM）模式

S_DIAG 位	待机状态	ACTIVE 状态
	关断状态诊断	导通状态诊断
2'b00	禁用	可用
2'b01、2'b10、2'b11	启用(1)	可用

表 7-14. SPI 型号的 DIAG 表，独立模式

S_DIAG 位	待机状态	ACTIVE 状态		
	关断状态诊断	导通状态诊断	IPROPI / ITRIP	注释
2'b00	禁用	禁用	可用	用于低侧负载
2'b01	启用(1)	禁用	可用	
2'b10	禁用	可用	禁用	用于高侧负载
2'b11	启用(1)	可用	禁用	

(1) 有关组合的详细信息，请参阅关断状态诊断 (OLP) 一节中的表格

在 SPI 型号的器件中，只要 SPI 通信可用，就可以通过写入 S_DIAG 位来更改设置。此更改会立即反映出来。

7.3.4 保护和诊断

驱动器受到保护，不会因过流和过热事件而受到损坏，确保了器件的稳健性。此外，该器件还提供负载监控（导通状态和关闭状态）、VM 引脚上的过压/欠压监控，以对任何意外的电压状况发出信号。故障信令通过低侧开漏 nFAULT 引脚完成，在检测到故障情况时， I_{nFAULT_PD} 电流将引脚拉至 GND。转换到休眠状态会自动使 nFAULT 无效。

备注

在 SPI 型号中，nFAULT 引脚逻辑电平是 FAULT SUMMARY 寄存器中 FAULT 位的反向拷贝。只有当启用关断状态诊断且锁定 SPI_IN 寄存器时才会出现异常（请参阅 OLP 一节）。

对于 SPI 型号，每当 nFAULT 置位为低电平时，器件就会将故障记录到 FAULT SUMMARY 寄存器和 STATUS 寄存器中。这些寄存器只能通过以下命令清除

- CLR FLT 命令或
- 通过 nSLEEP 引脚执行的 SLEEP 命令

Copyright © 2026 Texas Instruments Incorporated

可以通过以下方式在 16 位 SPI 帧内获得所有用于定期软件监控的有用诊断信息：

- 在活动状态期间读取 STATUS1 寄存器
- 在待机状态期间读取 STATUS2 寄存器

所有可诊断的故障事件都可以通过读取状态寄存器来进行专门标识。

7.3.4.1 过流保护 (OCP)

- 器件状态： ACTIVE
- 机制和阈值：即使发生了硬短路事件，每个 MOSFET 上的模拟电流限制电路也会限制器件输出的峰值电流。如果输出电流超过过流阈值 I_{OCP} 且持续时间超过 t_{OCP}，则会检测到过流故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 反应基于模式选择：
    - PH/EN 或 PWM 模式 - 两个 OUTx 均为高阻态
    - 独立模式 - 受影响的半桥 OUTx 为高阻态
  - 对于 GND 短路故障（在高侧 FET 上检测到过电流），即使 FET 已禁用，IPROPI 引脚也会继续上拉至 V_{IPROPI_LIM}。对于 HW 型号，这有助于将运行状态下的 GND 短路故障与其他故障类型区分开来，因为 IPROPI 引脚被拉高，而 nFAULT 引脚被置位为低电平。
- 可基于 t_{RETRY} 和 t_{CLEAR} 在锁存设置和重试设置之间配置反应
- 用户可以在 IPROPI 引脚上添加一个 10nF 至 100nF 范围内的电容器，以确保在启用内部 ITRIP 调节时出现负载短路的情况下进行 OCP 检测。如果是短路中有足够电感的负载短路，则会在 OCP 检测之前触发 ITRIP 调节，从而导致器件缺少短路检测，情况尤其如此。为了确保 OCP 检测在此竞态条件下胜出，IPROPI 引脚上添加的小电容会使 ITRIP 调节环路减慢，使 OCP 检测电路能够按预期工作。

SPI 型号提供可配置的 I_{OCP} 电平和 t_{OCP} 滤波时间。有关这些设置，请参阅 CONFIG4 寄存器。

7.3.4.2 过热保护 (TSD)

- 器件状态：待机、运行中
- 机制和阈值：该器件有几个温度传感器分布在芯片周围。如果任何传感器检测到过热事件，设置的 T_{TSD} 时间大于 t_{TSD} ，则会检测到过热故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 两个 OUTx 均为高阻态
  - IPROPI 引脚为高阻态
- 可基于 T_{HYS} 和 t_{CLEAR_TSD} 在锁存设置和重试设置之间配置反应

7.3.4.3 关断状态诊断 (OLP)

当功率 FET 关闭时，用户可以在待机状态下通过关断状态诊断来确定 OUTx 节点上的阻抗。通过此诊断，可在待机状态下被动检测以下故障情况：

- 输出对 VM 或 GND 短路 < 100 Ω
- 对于全桥负载或低侧负载，开路负载 > 1K Ω
- 对于高侧负载，开路负载 > 10K Ω ，VM = 13.5V

备注

无法通过此诊断检测**负载短路**。但是，如果在 ACTIVE 操作期间发生过电流故障 (OCP)，用户可以从逻辑上推断出这一点，但 OLP 诊断不会报告 STANDBY 状态下的任何故障。处于运行状态的 OCP 和处于待机状态的 OLP 都意味着终端短路（OUT 节点短路）。

- 用户可以配置以下组合
  - OUTx 上的内部上拉电阻 (R_{OLP_PU})

Copyright © 2026 Texas Instruments Incorporated

  - OUTx 上的内部下拉电阻 (R_{OLP_PD})
  - 比较器基准电平
  - 比较器输入选型（OUT1 或 OUT2）
- 如果 SPI_IN 寄存器已解锁，此组合由控制器输入（引脚仅用于 HW 型号）或 SPI 型号的 SPI_IN 寄存器中的等效位决定。
- HW 型号 - 启用关断状态诊断时，比较器输出 (OLP_CMP) 在 nFAULT 引脚上可用。
- SPI 型号 - 当启用关断状态诊断时，关断状态诊断比较器输出 (OLP_CMP) 可通过 STATUS2 寄存器中的 OLP_CMP 位读取。此外，如果 SPI_IN 寄存器已锁定，则当启用关断状态诊断时，该比较器输出也可在 nFAULT 引脚上使用。
- 用户需要切换所有的组合，并在比较器输出稳定后记录比较器输出。
- 根据输入组合和比较器输出，用户可以判断输出是否有故障。

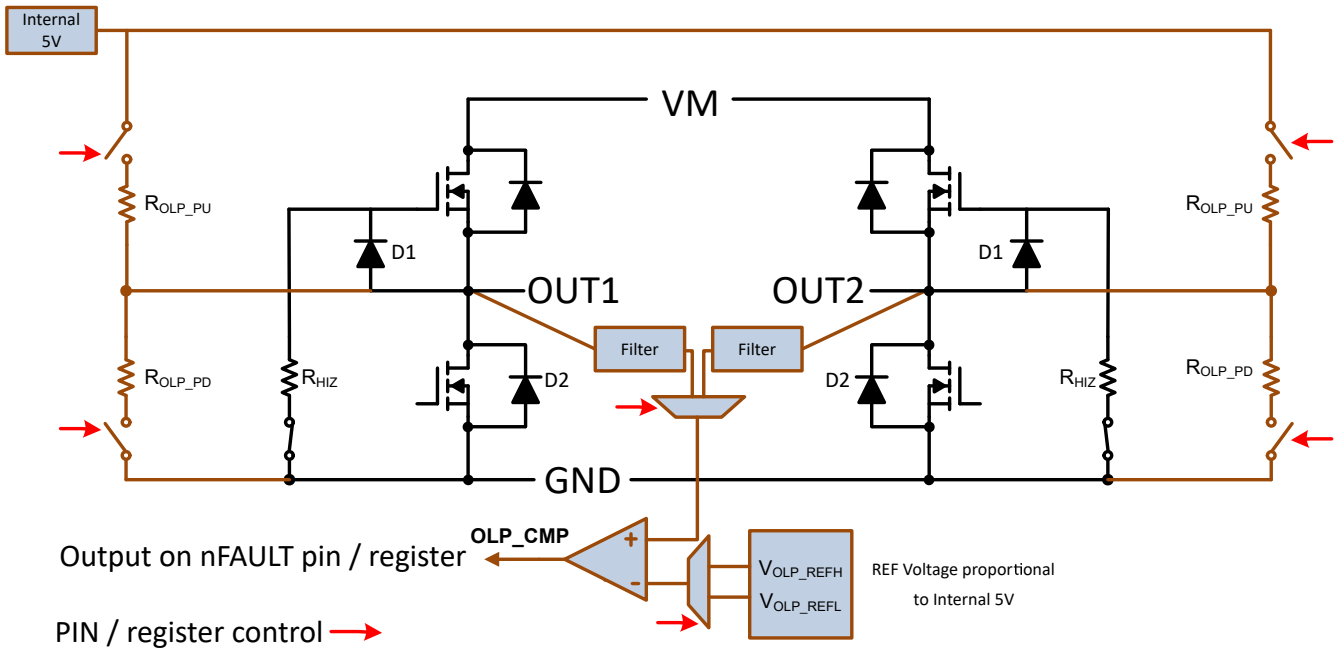


图 7-6. 全桥负载的关断状态诊断（PH/EN 或 PWM 模式）

在 PH/EN 或 PWM 模式下，全桥负载的无故障场景与故障场景的 OLP 组合和真值表如表 7-15 所示。

表 7-15. 关断状态诊断表 - PH/EN 或 PWM 模式（全桥）

用户输入				OLP 设置				OLP CMP 输出			
nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	所选输出	正常	开路	GND 短路	VM 短路
1	1	1	0	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFH}	OUT1	**L**	**H**	**L**	**H**
1	1	0	1	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFL}	OUT2	**H**	**L**	**L**	**H**
1	1	1	1	R_{OLP_PD}	R_{OLP_PU}	V_{OLP_REFL}	OUT2	**H**	**H**	**L**	**H**

在独立模式下，低侧负载的无故障场景与故障场景的 OLP 组合和真值表如表 7-16 所示。

Copyright © 2026 Texas Instruments Incorporated

表 7-16. 低侧负载的关断状态诊断表 - 独立模式

用户输入						OLP 设置				OLP_CMP 输出		
DIAG 引脚	S_DIAG 位	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	所选输出	正常	开路	短路
LVL2、LVL6	2'b01	1	1	1	无关	R_{OLP_PU}	高阻态	$V_{OLP_REF_H}$	OUT1	**L**	**H**	**H**
LVL3、LVL4	2'b11	1	1	1	无关	R_{OLP_PD}	高阻态	$V_{OLP_REF_L}$	OUT1	**L**	**L**	**H**
LVL2、LVL6	2'b01	1	1	0	1	高阻态	R_{OLP_PU}	$V_{OLP_REF_H}$	OUT2	**L**	**H**	**H**
LVL3、LVL4	2'b11	1	1	0	1	高阻态	R_{OLP_PD}	$V_{OLP_REF_L}$	OUT2	**L**	**L**	**H**

在独立模式下，高侧负载的无故障场景与故障场景的 OLP 组合和真值表如表 7-17 所示。

表 7-17. 高侧负载的关断状态诊断表 - 独立模式

用户输入						OLP 设置				OLP_CMP 输出		
DIAG 引脚	S_DIAG 位	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	所选输出	正常	开路	短路
LVL2、LVL6	2'b01	1	1	1	无关	R_{OLP_PU}	高阻态	$V_{OLP_REF_H}$	OUT1	**H**	**H**	**L**
LVL3、LVL4	2'b11	1	1	1	无关	R_{OLP_PD}	高阻态	$V_{OLP_REF_L}$	OUT1	**H**	**L**	**L**
LVL2、LVL6	2'b01	1	1	0	1	高阻态	R_{OLP_PU}	$V_{OLP_REF_H}$	OUT2	**H**	**H**	**L**
LVL3、LVL4	2'b11	1	1	0	1	高阻态	R_{OLP_PD}	$V_{OLP_REF_L}$	OUT2	**H**	**L**	**L**

7.3.4.4 导通状态诊断 (OLA) - 仅限 SPI 型号

- 器件状态：运行 - 高侧再循环
- 机制和阈值：导通状态诊断 (OLA) 可以在高侧再循环期间检测处于运行状态的开路负载。这包括直接连接到 VM 或通过另一个半桥上的高侧 FET 进行连接的高侧负载。在 PWM 开关转换期间，当 LS FET 关闭时，电感负载电流通过 HS 体二极管再循环到 VM。该器件在 HS FET 开启之前的短暂死区时间内在 OUTx 上寻找高于 VM 的电压尖峰。为了观察电压尖峰，此负载电流需要高于被 FET 驱动器置位的输出上的下拉电流 (I_{PD_OLA})。连续“3”个再循环开关周期没有出现电压尖峰，表明负载电感丢失或负载电阻增加，并被检测为 OLA 故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 输出 - 维持正常运行
  - IPROPI 引脚 - 维持正常运行
- 可在锁存设置和重试设置之间配置反应。在重试设置中，在再循环切换周期中检测到连续“3”个电压尖峰时，OLA 故障自动清除。

此监控是可选的，并且可以禁用。

Copyright © 2026 Texas Instruments Incorporated

备注

1. 低侧负载（低侧再循环）不支持 OLA。
2. 只有在 DRVOFF 被置为高电平，或在续流开关周期内检测到“3”次连续电压尖峰，且当前指令方向与故障发生时的方向一致的情况下，CLR_FAULT 命令才能清除此故障（该故障记录在 STATUS1 寄存器中）。

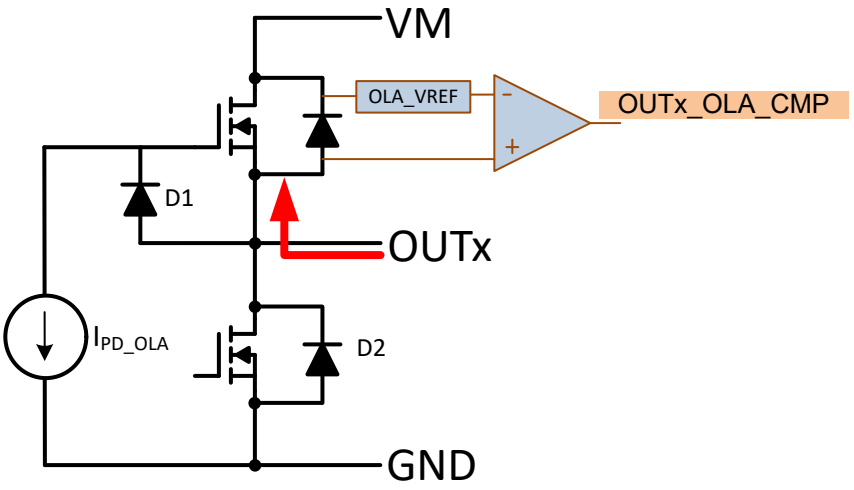


图 7-7. 导通状态诊断

7.3.4.5 VM 过压监视器

- 器件状态：待机、运行中
- 机制和阈值：如果 VM 引脚上的电源电压超过阈值，由 V_{VMOV} 设置的时间超过 t_{VMOV}，则会检测到 VM 过压故障。
- 操作：
  - nFAULT 引脚置位为低电平
  - 输出 - 维持正常运行
  - IPROPI 引脚 - 维持正常运行
- 重试和锁存设置之间的反应可配置

在 SPI 型号中，此监控是可选的，并且可以禁用。阈值也是可配置的。请参阅 CONFIG1 寄存器。

7.3.4.6 VM 欠压监视器

- 器件状态：待机、运行中
- 机制和阈值：如果 VM 引脚上的电源电压低于阈值，由 V_{VMUV} 设置的时间超过 t_{VMUV}，则会检测到 VM 欠压故障。
- 操作：
  - nFAULT 引脚置为低电平
  - 两个 OUTx 均为高阻态
  - IPROPI 引脚为高阻态
- HW 和 SPI (S) 型号：反应修正为重试设置
- 仅适用于 SPI (P) 型号：重试和锁存设置之间的反应可配置
- 请注意，重试时间仅取决于 VM 欠压条件的恢复情况，且与 t_{RETRY}/t_{CLEAR} 时间无关

7.3.4.7 上电复位 (POR)

- 器件状态：全部

Copyright © 2026 Texas Instruments Incorporated

- 机制和阈值：如果逻辑电源降至 VDD_{POR_FALL} 以下且持续时间超过 1µs，那么将会发生上电复位，对器件进行硬复位。
- 操作：
  - 将 nFAULT 引脚取消置位
  - 两个 OUTx 均为高阻态
  - IPROPI 引脚为高阻态。
  - 当此电源恢复到 VDD_{POR_RISE} 电平以上时，器件将执行唤醒初始化，同时 nFAULT 引脚将置位为低电平，以将此复位告知用户（请参阅唤醒瞬态）。
- HW 和 SPI (S) 型号：这些阈值会转换为 VM_{POR_FALL} 和 VM_{POR_RISE}，因为逻辑电源会在内部从 VM 电源获得
- 仅适用于 SPI (P) 型号：这些阈值会直接映射到 VDD 引脚电压（VDD_{POR_FALL} 和 VDD_{POR_RISE}）
- 故障反应：始终重试，重试时间取决于用于启动器件唤醒的外部电源条件

7.3.4.8 事件优先级

在运行状态下，当同时发生两个或多个事件时，器件根据以下优先级表分配对驱动器的控制。

表 7-18. 事件优先级表

事件	优先级
用户休眠命令	1
用户输入：DRVOFF	2
过热保护 (TSD)	3
过流保护 (OCP)(1)	4
VM 欠压检测 (VMUV)	5
用户输入：EN/IN1 和/或 PH/IN2	6
通过 ITRIP 调节实现内部 PWM 控制	7
VM 过压检测 (VMOV)(2)	8
导通状态故障检测（仅限 OLA - SPI 型号）(2)	9

(1) 如果发生任何优先级低于 OCP 的事件，器件等待确认 OCP 事件（等待 t_{OCP}），则器件可将对其他事件的服务延迟最长 t_{OCP} 时间以启用对 OCP 事件的检测。
(2) 在本例中，优先级为“无关紧要”，因为此故障事件不会导致 OUTx 发生变化。

7.4 编程 - 仅限 SPI 型号

7.4.1 SPI（串行外设接口）

SPI 型号提供全双工、4 线同步通信，用于设置器件配置、工作参数，以及从器件读取诊断信息。SPI 在外设模式下运行，并连接到控制器。串行数据输入 (SDI) 字由 16 位字组成，即 8 位命令 (A1) 后跟 8 位数据 (D1)。串行数据输出 (SDO) 字由 FAULT_SUMMARY 字节 (S1) 后跟报告字节 (R1) 组成。报告字节为供读取命令访问的寄存器数据，而对于写入命令，则为空值。图 7-8 展示了 MCU 和 SPI 外设驱动器之间的数据序列。

Copyright © 2026 Texas Instruments Incorporated

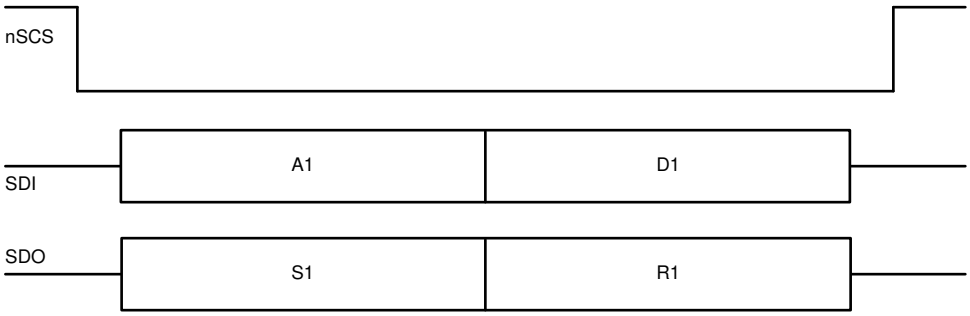


图 7-8. SPI 数据 - 标准“16 位”帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平以及从低电平转换为高电平时，SCLK 引脚为低电平。
- 在字之间，nSCS 引脚被拉至高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态状态。
- 器件 SDO 上的数据在 SCLK 的上升沿上传播，而 SDI 上的数据由器件在随后的 SCLK 下降沿上捕捉。
- 最高有效位 (MSB) 最先移入和移出。
- 必须进行完整的 16 个 SCLK 周期，标准帧的事务才有效；或者，对于具有“n”个外设器件的菊花链帧，必须进行 16 + (n × 16) 个 SCLK 周期，事务才有效。否则，会报告帧错误 (SPI_ERR)，如果是写入操作，则忽略数据。

7.4.2 标准帧

SDI 输入数据的字长为 2 字节，由以下格式组成：

- 命令字节（首字节）
  - MSB 位指示帧类型（对于标准帧，位 B15 = 0）。
  - MSB 位旁边是 W0，指示读取或写入操作（位 B14，写入 = 0，读取 = 1）
  - 后跟 6 个地址位，A[5:0]（位 B13 至 B8）
- 数据字节（第二个字节）
  - 第二个字节指示数据 D[7:0]（位 B7 至 B0）。对于读取操作，这些位通常设置为空值，而对于写入操作，这些位包含用于写入所寻址寄存器的数据值。

表 7-19. SDI - 标准帧格式

	命令字节								数据字节							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 输出数据的字长为 2 个字节，由以下格式组成：

- 状态字节（首字节）
  - 2 个 MSB 位被强制为高电平（B15、B14 = 1）
  - 以下 6 位来自故障概要寄存器 (B13:B8)
- 报告字节（第二个字节）
  - 第二个字节 (B7:B0) 为读取操作要读取的寄存器中的当前数据 (W0 = 1)，或者为写入命令要写入的寄存器中的现有数据 (W0 = 0)

Copyright © 2026 Texas Instruments Incorporated

表 7-20. SDO - 标准帧格式

	状态字节								报告字节							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	FAULT	VMOV	VMUV	OCP	TSD	SPI_ERR	D7	D6	D5	D4	D3	D2	D1	D0

7.4.3 用于多个外设的 SPI 接口

将多个器件连接到控制器时，可以使用或不使用菊花链。如果在不使用菊花链的情况下要将“n”个器件连接到控制器，必须针对 nSCS 引脚利用来自控制器的“n”个 I/O 资源，如图 7-9 所示。然而，如果使用菊花链配置，则可利用单条 nSCS 线路来连接多个器件。图 7-10

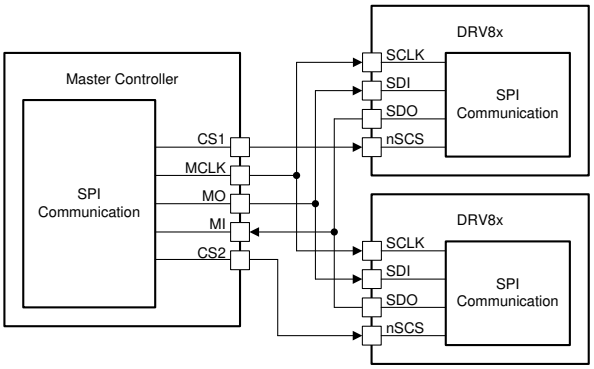


图 7-9. 不使用菊花链时的 SPI 操作

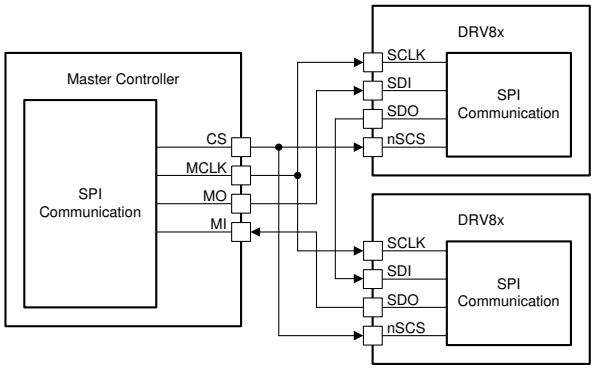


图 7-10. 使用菊花链时的 SPI 操作

7.4.3.1 用于多个外设的菊花链帧

当多个器件与同一个 MCU 进行通信时，可以采用菊花链配置连接该器件，以节省 GPIO 端口。图 7-11 展示了该拓扑及对应的波形，其中以菊花链形式连接的外设数量“n”设置为 3。以这种方式最多可以连接 63 个器件。

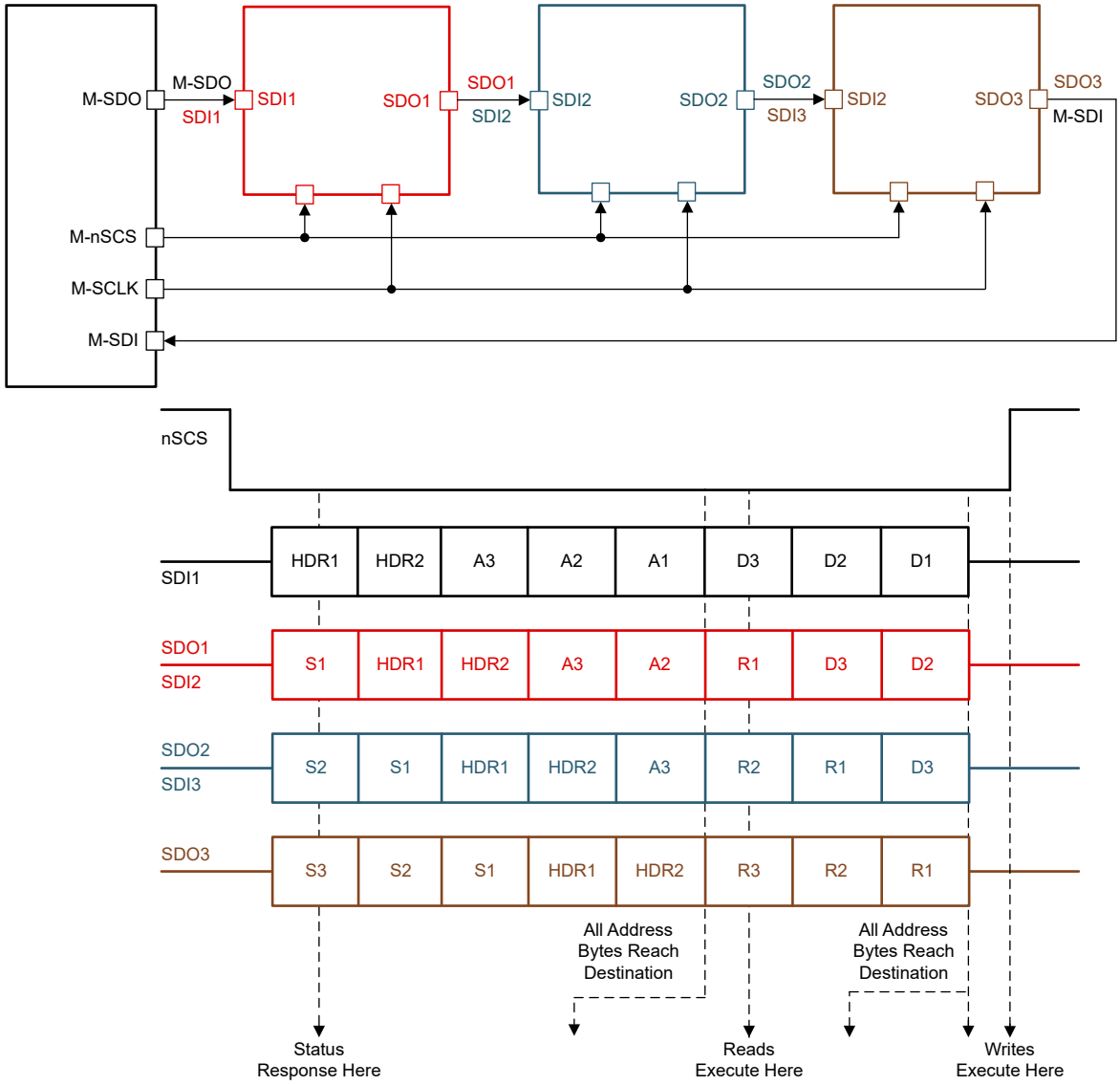


图 7-11. 菊花链 SPI 操作

这种情况下，控制器发送的 SDI 采用以下格式（请参阅 图 7-11 中的 SDI1）：

- 2 字节标头（HDR1、HDR2）
- “n”个字节的命令字节，以菊花链中的最远外设开头（本例中为 A3、A2、A1）
- “n”个字节的数据字节，以菊花链中的最远外设开头（本例中为 D3、D2、D1）
- 共计 2 x “n” + 2 个字节

当数据通过链传送时，控制器会通过以下格式接收数据（请参阅 图 7-11 中的 SDO3）：

- 3 个字节的状态字节，以菊花链中的最远外设开头（本例中为 S3、S2、S1）
- 在（HDR1、HDR2）之前发送的 2 字节标头
- 3 个字节的报告字节，以菊花链中的最远外设开头（本例中为 R3、R2、R1）

Copyright © 2026 Texas Instruments Incorporated

标头字节是在菊花链 SPI 通信开始时置位的特殊字节。**对于这两个前导位，标头字节必须以 1 和 0 开头。**

第一个标头字节 (HDR1) 包含菊花链中外设总数的信息。N5 至 N0 是 6 位，专用于显示菊花链中器件的数量，如图 7-12 所示。每个菊花链最多可串行连接 63 个器件。不允许外设数量 = 0，这会导致出现 SPI_ERR 标志。

第二个标头字节 (HDR2) 包含全局 故障清除 命令，该命令会清除芯片选择 (nSCS) 信号上升沿上所有器件的故障寄存器。HDR2 寄存器的 5 个后置位标记为 SPARE（无关紧要位）。MCU 可以使用这些位来确定菊花链连接的完整性。

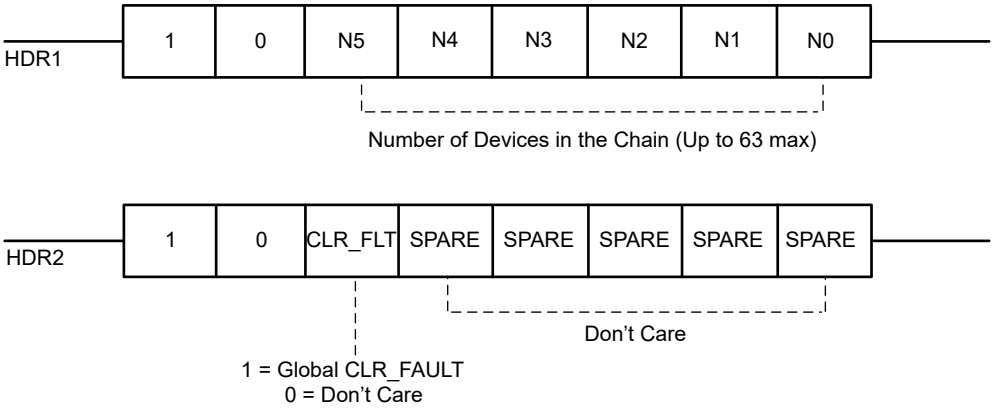


图 7-12. 标头字节

此外，该器件将以两个前导位为 1 和 1 开头的字节识别为“传递”字节。该器件不会处理这些“通过”字节，但“通过”字节只会在 SDO 上按以下字节发送出去。

当数据通过器件时，它通过计算器件接收到的状态字节数（后跟第一个标头字节）来确定自身在链中的位置。例如，在这种 3 器件配置中，链中的器件 2 会先接收两个状态字节，然后再接收两个标头字节。

根据两个状态字节，器件可以确定其位于链中的第二个位置，而通过 HDR1 字节，器件可以确定链中连接的器件数量。这样，器件只加载缓冲区中的相关地址和数据字节，并绕过其他位。该协议可实现更快的通信，而不会因为链中连接多达 63 个器件而增加系统延迟。

命令、数据、状态和报告字节保持不变，如标准帧格式所述。

Copyright © 2026 Texas Instruments Incorporated

8 寄存器映射 - 仅限 SPI 型号

本节介绍了该器件中用户可配置的寄存器。

备注

虽然该器件允许只要 SPI 通信可用时就可进行寄存器写入，但建议在驱动负载期间更新处于运行状态的寄存器时谨慎操作。这对于可控制关键器件配置的 S_MODE 和 S_DIAG 等设置尤其重要。为了防止意外的寄存器写入，该器件通过由 命令 寄存器中的 REG_LOCK 位提供的锁定机制来锁定所有可配置寄存器的内容。最佳做法是在初始化期间写入所有可配置的寄存器，然后锁定这些设置。输出控制的运行时寄存器写入由 SPI_IN 寄存器处理，该寄存器通过 SPI_IN_LOCK 位自行提供了独立的锁定机制。

Copyright © 2026 Texas Instruments Incorporated

8.1 用户寄存器

下表列出了用户可访问的所有寄存器。此表中未列出的所有寄存器地址都应被视为“保留”的存储单元，并阻止对此存储单元的访问。

表 8-1. 用户寄存器

名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	类型(2)	Addr
DEVICE_ID	DEV_ID[5]	DEV_ID[4]	DEV_ID[3]	DEV_ID[2]	DEV_ID[1]	DEV_ID[0]	REV_ID[1]	REV_ID[0]	R	00h
FAULT_SUMMARY	SPI_ERR(3)	POR	FAULT	VMOV	VMUV	OCP	TSD	OLA (3)	R	01h
STATUS1	OLA1	OLA2	ITRIP_CMP	ACTIVE	OCP_H1	OCP_L1	OCP_H2	OCP_L2	R	02h
STATUS2	DRVOFF_STAT	不适用(4)	不适用(4)	ACTIVE	不适用(4)	不适用(4)	不适用(4)	OLP_CMP	R	03h
COMMAND	CLR_FLT	不适用(4)	不适用(4)	SPI_IN_LOCK[1]	SPI_IN_LOCK[0] (1)	不适用(4)	REG_LOCK[1]	REG_LOCK[0] (1)	R/W	08h
SPI_IN	不适用(4)	不适用(4)	不适用(4)	不适用(4)	S_DRVOFF (1)	S_DRVOFF2 (1)	S_EN_IN1	S_PH_IN2	R/W	09h
CONFIG1	EN_OLA	VMOV_SEL[1]	VMOV_SEL[0]	SSC_DIS(1)	OCP_RETRY	TSD_RETRY	VMOV_RETRY	OLA_RETRY	R/W	0Ah
CONFIG2	PWM_EXTEND	S_DIAG[1]	S_DIAG[0]	不适用(4)	不适用(4)	S_ITRIP[2]	S_ITRIP[1]	S_ITRIP[0]	R/W	0Bh
CONFIG3	TOFF[1]	TOFF[0] (1)	不适用(4)	S_SR[2]	S_SR[1]	S_SR[0]	S_MODE[1]	S_MODE[0]	R/W	0Ch
CONFIG4	TOCP_SEL[1]	TOCP_SEL[0]	不适用(4)	OCP_SEL[1]	OCP_SEL[0]	DRVOFF_SEL(1)	EN_IN1_SEL	PH_IN2_SEL	R/W	0Dh

(1) 复位时默认为 1b，其他复位时默认为 0b
(2) R = 只读，R/W = 读/写
(3) OLA 由第一个 SDO 字节响应中的 SPI_ERR 取代，所有 SPI 帧通用。请参阅 SDO - 标准帧格式。
(4) N/A = 不可用（此位将回读为 0b）

Copyright © 2026 Texas Instruments Incorporated

8.1.1 DEVICE_ID 寄存器（地址 = 00h）

返回用户寄存器表。

器件	DEVICE_ID 值
DRV8243S-Q1	32h
DRV8244S-Q1	42h
DRV8245S-Q1	52h
DRV8243P-Q1	36h
DRV8244P-Q1	46h
DRV8245P-Q1	56h

8.1.2 FAULT_SUMMARY 寄存器（地址 = 01h）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	SPI_ERR	R	0b	1b 表示上一 SPI 帧中发生了 SPI 通信故障。
6	POR	R	1b	1b 表示检测到了上电复位。
5	FAULT	R	0b	SPI_ERR、POR、VMOV、VMUV、OCP、TSD 和 OLA 的逻辑 OR
4	VMOV	R	0b	1b 表示检测到了 VM 过压。请参阅 VMOV_SEL 来更改阈值或禁用诊断，并参阅 VMOV_RETRY 来配置故障反应。
3	VMUV	R	0b	1b 表示检测到了 VM 欠压。
2	OCP	R	0b	1b 表示一个或多个功率 FET 上检测到了过流。请参阅 OCP_SEL、TOCP_SEL 来更改阈值和滤波时间。请参阅 OCP_RETRY 来配置故障反应。
1	TSD	R	0b	1b 表示检测到了过热。请参阅 TSD_RETRY 来配置故障反应。
0	OLA	R	0b	1b 表示在运行状态下检测到了开路负载条件。请参阅 EN_OLA 来禁用诊断，并参阅 OLA_RETRY 来配置故障反应。

8.1.3 STATUS1 寄存器（地址 = 02h）[复位 = 00h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	OLA1	R	0b	1b 表示在 OUT1 上的活动状态下检测到了开路负载条件
6	OLA2	R	0b	1b 表示在 OUT2 上的活动状态下检测到了开路负载条件

Copyright © 2026 Texas Instruments Incorporated

位	字段	类型	复位	说明
5	ITRIP_CMP	R	0b	1b 表示负载电流已达到了 ITRIP 调节电平。
4	ACTIVE	R	0b	1b 表示器件处于运行状态
3	OCP_H1	R	0b	1b 表示在 OUT1 上的高侧 FET (端接至 GND) 上检测到了过流
2	OCP_L1	R	0b	1b 表示在 OUT1 上的低侧 FET (端接至 VM) 上检测到了过流
1	OCP_H2	R	0b	1b 表示在 OUT2 上的高侧 FET (端接至 GND) 上检测到了过流
0	OCP_L2	R	0b	1b 表示在 OUT2 上的低侧 FET (端接至 VM) 上检测到了过流

8.1.4 STATUS2 寄存器 (地址 = 03h) [复位 = 80h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	DRVOFF_STAT	R	1b	此位显示 DRVOFF 引脚的状态。1b 表示该引脚状态为高电平。
6、5	不适用	R	0b	不可用
4	ACTIVE	R	0b	1b 表示器件处于运行状态 (复制 STATUS1 中的位 4)
3、2、1	不适用	R	0b	不可用
0	OLP_CMP	R	0b	此位是关断状态诊断 (OLP) 比较器的输出。

8.1.5 命令寄存器 (地址 = 08h) [复位 = 09h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	CLR_FLT	R/W	0b	清除故障命令 - 写入 1b 以清除故障寄存器中报告的所有故障并取消置位 nFAULT 引脚
6-5	不适用	R	0b	不可用
4-3	SPI_IN_LOCK	R/W	01b	写入 10b 以**解锁** SPI_IN 寄存器 写入 01b、00b 或 11b 以**锁定** SPI_IN 寄存器 SPI_IN 寄存器默认为**锁定**。
2	不适用	R	0b	不可用
1-0	REG_LOCK	R/W	01b	写入 10b 以**锁定** CONFIG 寄存器 写入 01b、00b 或 11b 以**解锁** CONFIG 寄存器 CONFIG 寄存器默认为**未锁定**。

Copyright © 2026 Texas Instruments Incorporated

8.1.6 SPI_IN 寄存器（地址 = 09h）[复位 = 0Ch]

返回用户寄存器表。

位	字段	类型	复位	说明
7-4	不适用	R	0b	不可用
3	S_DRVOFF	R/W	1b	SPI_IN 未锁定时 DRVOFF 引脚的等效寄存器位请参阅寄存器引脚控制一节。在独立模式下，此位会关闭半桥 1。
2	S_DRVOFF2	R/W	1b	SPI_IN 未锁定时用于在独立模式下关闭半桥 2 的寄存器位请参阅寄存器引脚控制一节
1	S_EN_IN1	R/W	0b	SPI_IN 未锁定时 EN/IN1 引脚的等效寄存器位请参阅寄存器引脚控制一节
0	S_PH_IN2	R/W	0b	SPI_IN 未锁定时 PH/IN2 引脚的等效寄存器位请参阅寄存器引脚控制一节

8.1.7 CONFIG1 寄存器（地址 = 0Ah）[复位 = 10h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	EN_OLA	R/W	0b	写入 1b 以启用运行状态下的开路负载检测。在独立模式下，始终会针对低侧负载禁用 OLA。请参阅 DIAG 一节。
6-5	VMOV_SEL	R/W	0b	确定用于 VM 过压诊断的阈值 00b = VM > 35V 01b = VM > 28V 10b = VM > 18V 11b = VMOV 已禁用
4	SSC_DIS	R/W	1b	0b：启用展频时钟功能
3	OCP_RETRY	R/W	0b	写入 1b 以将故障反应配置为过流检测时的重试设置，否则故障反应会被锁存
2	TSD_RETRY	R/W	0b	写入 1b 以将故障反应配置为过热检测时的重试设置，否则故障反应会被锁存
1	VMOV_RETRY	R/W	0b	写入 1b 以将故障反应配置为 VMOV 检测时的重试设置，否则故障反应会被锁存。 **备注** 对于 SPI (P) 型号，此位还控制 VM 欠压检测时的故障反应。
0	OLA_RETRY	R/W	0b	写入 1b 以将故障反应配置为运行状态下开路负载检测时的重试设置，否则故障反应会被锁存。

Copyright © 2026 Texas Instruments Incorporated

8.1.8 CONFIG2 寄存器（地址 = 0Bh）[复位 = 00h]

返回用户寄存器表。

位	字段	类型	复位	说明
7	PWM_EXTEND	R/W	0b	写入 1b 以访问 PWM 模式下的其他高阻态（惯性滑行）状态 - 请参阅 PWM EXTEND 表
6-5	S_DIAG	R/W	0b	负载类型指示 - 请参阅 DIAG 表
4-3	不适用	R	0b	不可用
2-0	S_ITRIP	R/W	0b	ITRIP 电平配置 - 请参阅 ITRIP 表

8.1.9 CONFIG3 寄存器（地址 = 0Ch）[复位 = 40h]

返回用户寄存器表。

位	字段	类型	复位	说明
7-6	TOFF	R/W	1b	用于 ITRIP 电流调节的 TOFF 时间 00b = 20µsec 01b = 30µsec 10b = 40µsec 11b = 50µsec
5	不适用	R	0b	不可用
4-2	S_SR	R/W	0b	压摆率配置 - 请参阅 节 7.3.3.1
1-0	S_MODE	R/W	0b	器件模式配置 - 请参阅 模式表

8.1.10 CONFIG4 寄存器（地址 = 0Dh）[复位 = 04h]

返回用户寄存器表。

位	字段	类型	复位	说明
7-6	TOCP_SEL	R/W	0b	过流检测配置的滤波时间 00b = 6µsec 01b = 3µsec 10b = 1.5µsec 11b = 最小值（约为 0.2µs）

Copyright © 2026 Texas Instruments Incorporated

位	字段	类型	复位	说明
5	不适用	R	0b	不可用
4-3	OCP_SEL	R/W	0b	过流检测配置的阈值 00b = 100% 设置 01b、11b = 50% 设置 10b = 75% 设置
2	DRVOFF_SEL	R/W	1b	DRVOFF 引脚 - 寄存器逻辑组合（SPI_IN 未锁定时） 0b = 或 1b = 与
1	EN_IN1_SEL	R/W	0b	EN/IN1 引脚 - 寄存器逻辑组合（SPI_IN 锁定时） 0b = 或 1b = 与
0	PH_IN2_SEL	R/W	0b	PH/IN2 引脚 - 寄存器逻辑组合（SPI_IN 锁定时） 0b = 或 1b = 与

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能正常。

9.1 应用信息

DRV824x-Q1 器件系列可用于需要半桥或 H 桥功率级配置的各种应用。常见的应用示例包括有刷直流电机、电磁阀和制动器。该器件也可以用于驱动很多常见的无源负载，例如 LED、电阻元件、继电器等。以下应用示例将重点说明如何在需要 H 桥驱动器的双向电流控制应用以及需要两个半桥驱动器的双重单向电流控制应用中使用该器件。

9.1.1 负载概要

表 9-1 总结了不同类型电感负载的器件特性的实用性。

表 9-1. 负载概要表

负载类型	配置		器件特性		
	器件	再循环路径	压摆率	电流检测	ITRIP 调节
双向电机或电磁阀(1)	PH/EN 或 PWM 模式下的 DRV824x	高侧	完整范围	持续	非常实用
2 个单向电机或低侧电磁阀（一侧连接到 GND）	独立模式下的 DRV824x (2)	低侧	受限(4)	不连续(3)，	无法进行独立负载调节
2 个高侧电磁阀（一侧连接到 VM）	独立模式下的 DRV824x (2)	高侧	完整范围	不可用，需要外部解决方案	

(1) 电磁阀 - 可以进行钳位或快速退磁，但钳位电平取决于 VM
(2) 仅在 SPI 型号中支持独立高阻态
(3) 在再循环和 OUTx 压摆时间（包括 t_{blank}）期间未检测到
(4) 对于更高的设置，上升沿转换率上限为 8 V/µs

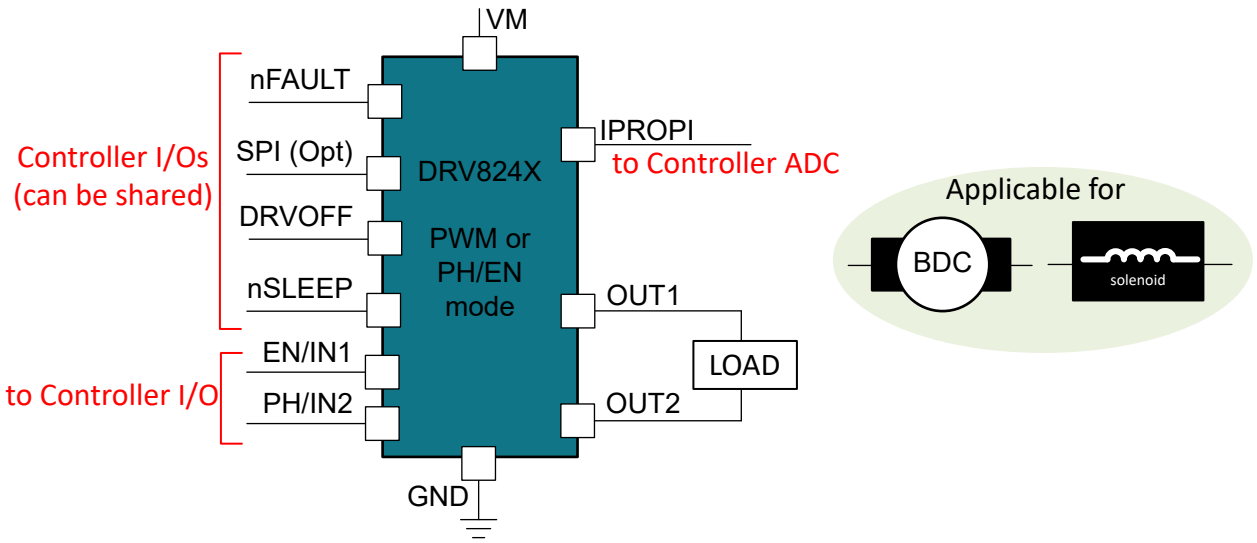


图 9-1. 插图展示了 DRV824X-Q1 处于 PWM 或 PH/EN 模式下的全桥拓扑

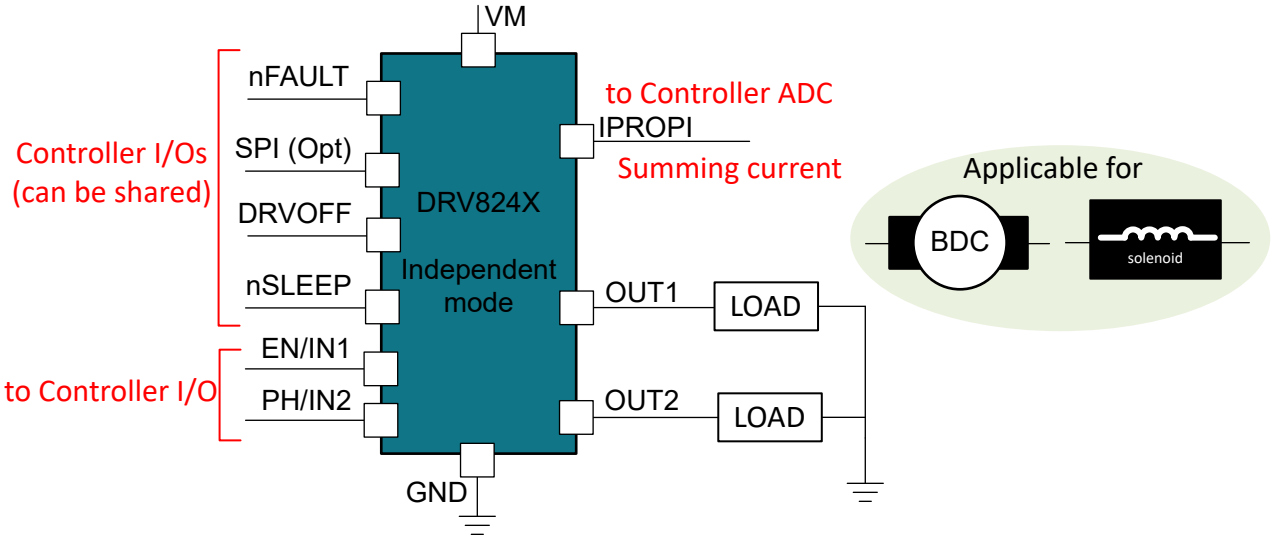


图 9-2. 插图展示了在独立模式下使用 DRV824X-Q1 器件独立驱动两个低侧负载的半桥拓扑

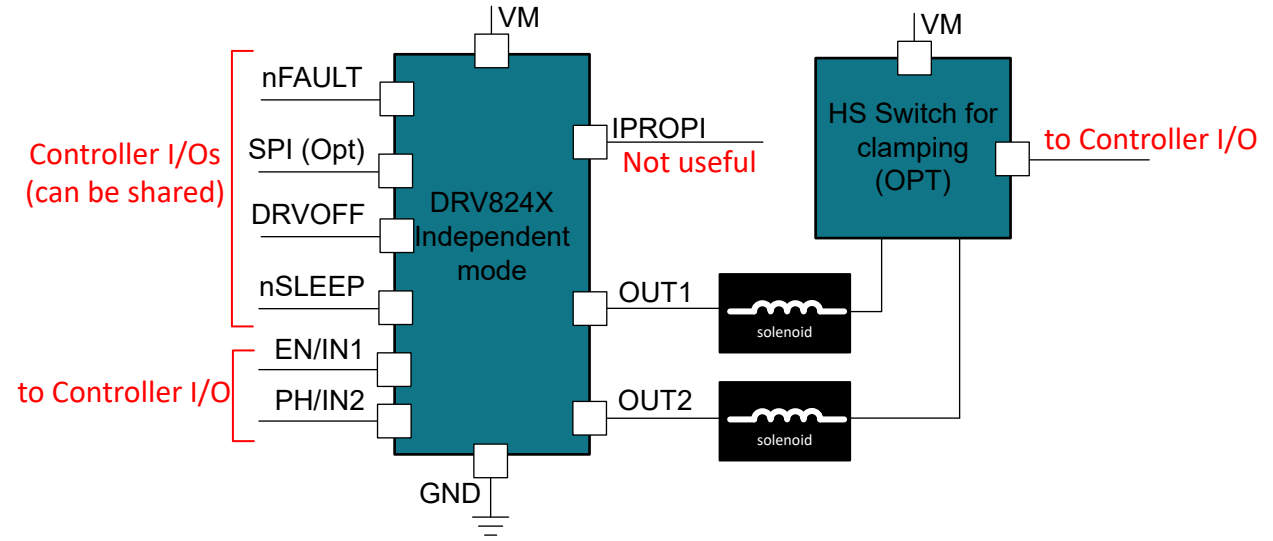


图 9-3. 插图展示了在独立模式下使用 DRV824X-Q1 器件独立驱动两个高侧负载的半桥拓扑

9.2 典型应用

下图展示了在各种模式下驱动刷直流电机或任意电感负载的典型应用原理图。这些原理图中展示了几个可选连接，具体如下所列：

- nSLEEP 引脚
  - SPI (S) 型号 - 如果不需要休眠功能，可以在应用中将此引脚连接至高电平。
  - SPI (P) 型号 - 不适用
  - HW (H) 型号 - 即使不需要休眠功能，引脚控制也是 **必需** 的。在唤醒期间，控制器需要发出复位脉冲（典型值：30 µs，值介于最大值 t_{reset} 和最小值 t_{sleep} 之间），以确认唤醒或上电。
- DRVOFF 引脚
  - SPI (P) 和 SPI (S) 型号 - 如果不需要通过 **引脚** 关断功能，可将此引脚连接至低电平。可使用等效寄存器位。
- EN/IN1 引脚

Copyright © 2026 Texas Instruments Incorporated

  - SPI (P) 和 SPI (S) 型号 - 如果只需要寄存器控制，此引脚可以连接至低电平或保持悬空。
- PH/IN2 引脚
  - SPI (P) 和 SPI (S) 型号 - 如果只需要寄存器控制，此引脚可以连接至低电平或保持悬空。
- OUT1 和 OUT2 引脚
  - 建议为 OUTx 至 GND 的电容器以及靠近负载位置 OUTx 之间的电容器添加 PCB 空间，以实现 EMC 目的。
- IPROPI 引脚
  - 所有型号 - 监控此输出是可选项。如果不需要 ITRIP 特性和 IPROPI 功能，也可以将 IPROPI 引脚连接至低电平。如果需要，建议为小型电容器（10nF 至 100nF）添加 PCB 空间。
- nFAULT 引脚
  - SPI (P) 和 SPI (S) 型号 - 监控此输出是可选项。可从状态寄存器读取所有诊断信息。
- SPI 输入引脚
  - SPI (S) 和 SPI (P) 型号 - 输入（SDI、nSCS、SCLK）与 3.3V/5V 电平兼容。
- SPI SDO 引脚
  - SPI (S) 型号 - SDO 会跟踪 nSLEEP 引脚电压。
  - SPI (P) 型号 - SDO 会跟踪 VDD 引脚电压。若要与 3.3V 电平控制器输入连接，建议使用电平移位器或限流串联电阻。
- CONFIG 引脚
  - HW (H) 型号 - 如果选择短接至 GND 和高阻态电平，则不需要电阻器
    - 用于 MODE 引脚的 LVL1 和 LVL3
    - 用于 SR、ITRIP、DIAG 引脚的 LVL1 和 LVL6

9.2.1 HW 型号

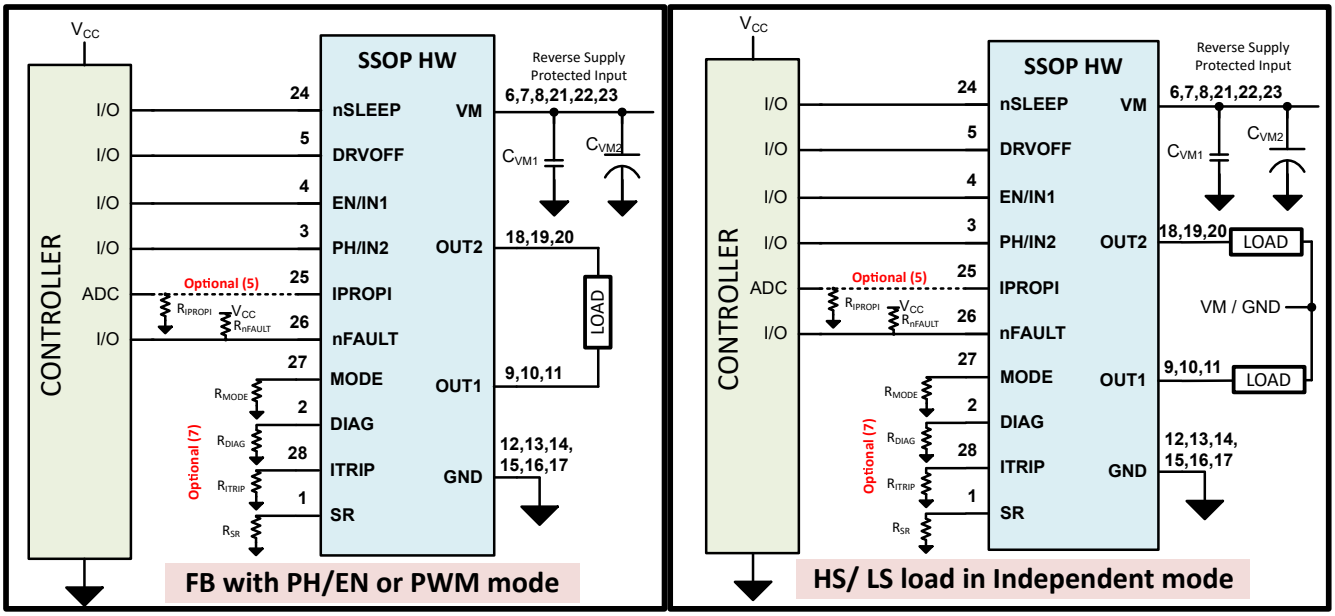


图 9-4. 典型应用原理图 - 采用 HVSSOP 封装的 HW 型号

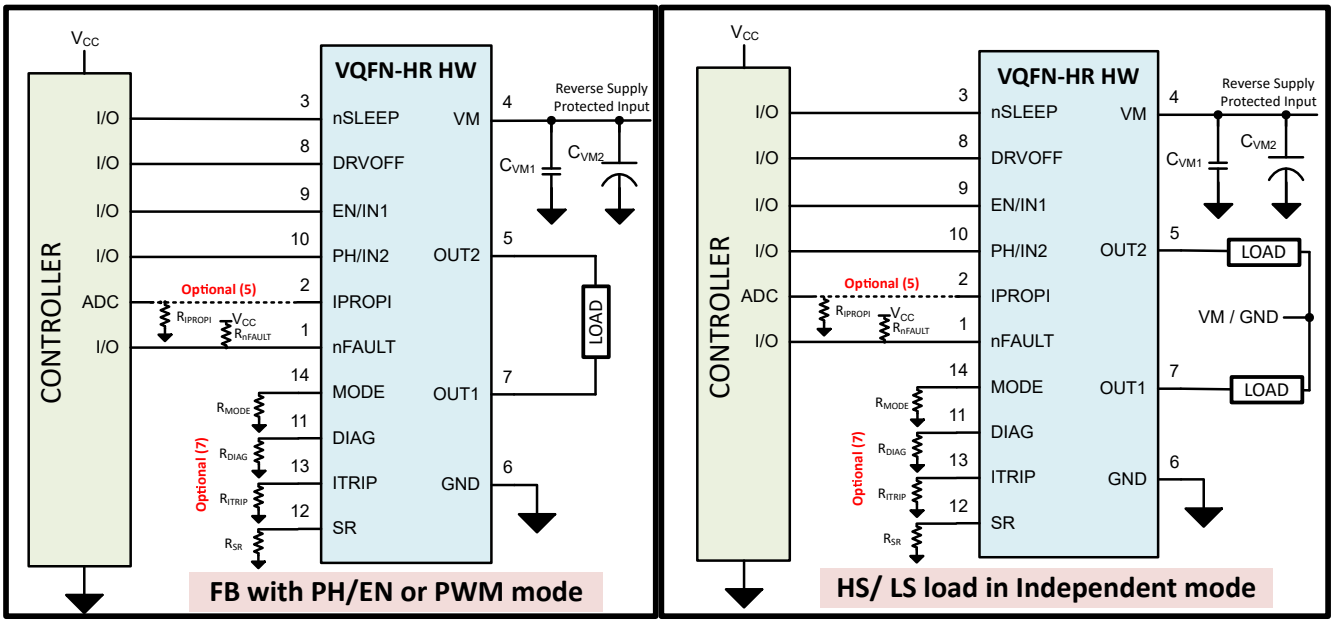


图 9-5. 典型应用原理图 - 采用 VQFN-HR 封装的 HW 型号

9.2.2 SPI 型号

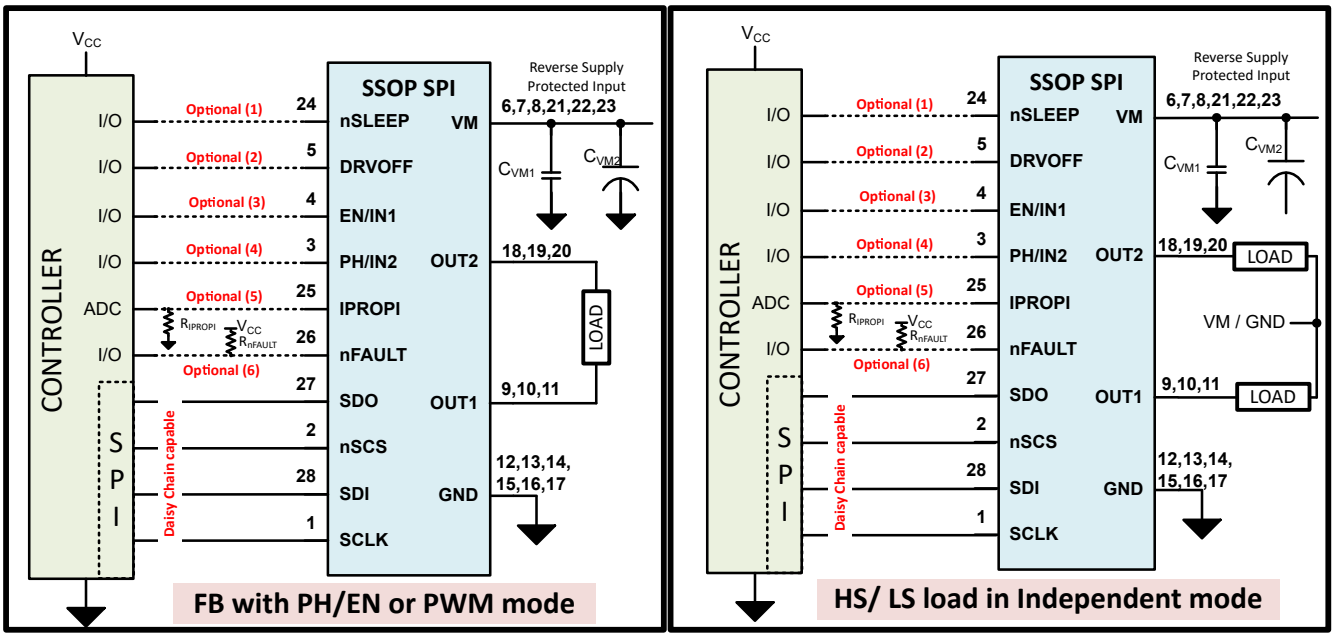


图 9-6. 典型应用原理图 - 采用 HVSSOP 封装的 SPI (S) 型号

Copyright © 2026 Texas Instruments Incorporated

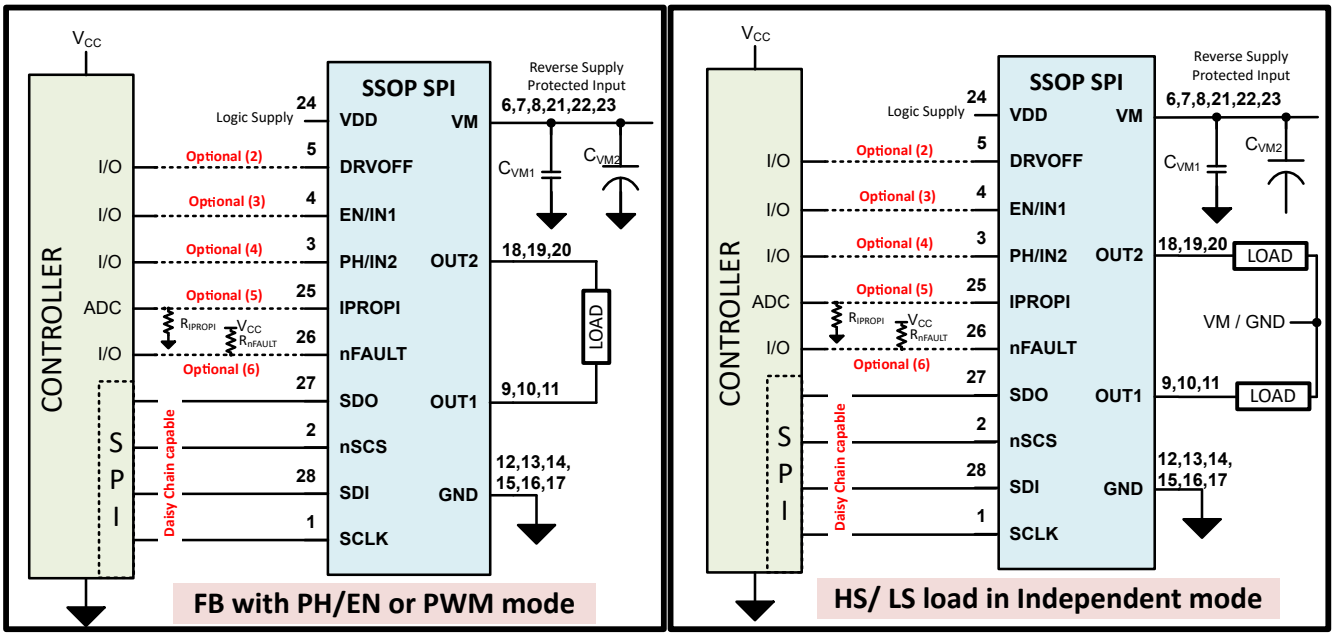


图 9-7. 典型应用原理图 - 采用 HVSSOP 封装的 SPI (P) 型号

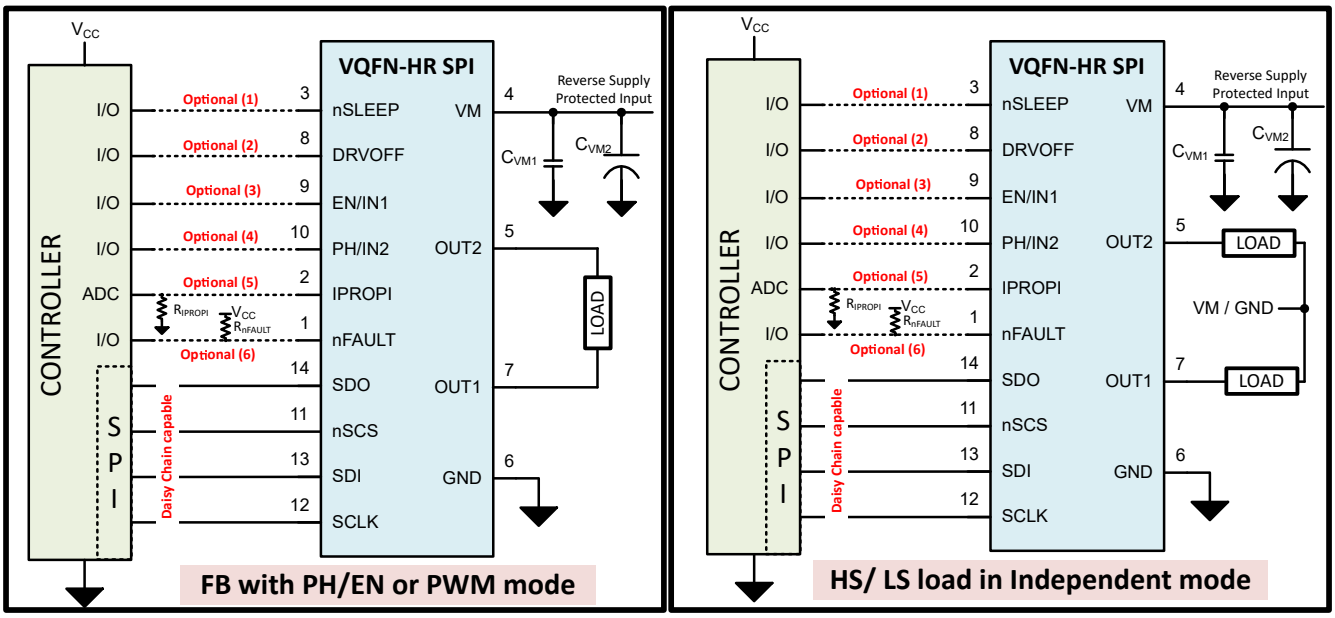


图 9-8. 典型应用原理图 - 采用 VQFN-HR 封装的 SPI (S) 型号

9.3 电源相关建议

该器件设计为可在从 4.5V 到 40V 的输入电源电压 (VM) 范围内运行。额定电压为 VM 的 0.1µF 陶瓷电容器必须尽可能靠近器件放置。另外，必须在 VM 引脚上放置一个大小合适的大容量电容器。

9.3.1 确定大容量电容器的大小

确定大容量电容器的大小是电机驱动系统设计中的重要因素。使用更多的大容量电容是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流。
- 电源的电容和电源提供电流的能力。
- 电源和电机系统之间的寄生电感量。
- 可接受的电压纹波。
- 使用的电机类型（有刷直流、无刷直流和步进电机）。
- 电机制动方法。

电源和电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表提供了建议值，但需要进行系统级测试来确定大小适中的大容量电容器。

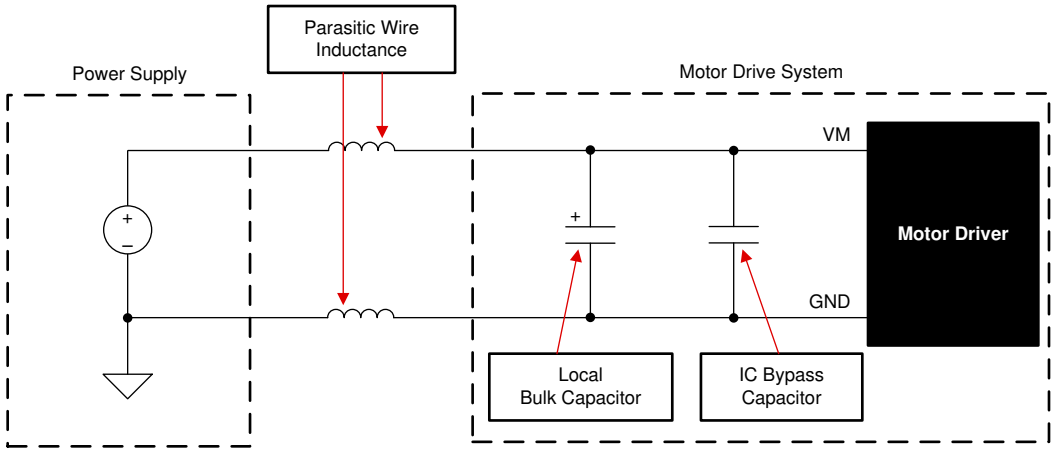


图 9-9. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压高于工作电压，以在电机向电源传递能量时提供裕度。

9.4 布局

9.4.1 布局指南

使用额定电压为 VM、推荐值为 0.1 µF 的低 ESR 陶瓷旁路电容器将每个 VM 引脚旁路至接地。此类电容器尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 GND 引脚连接。

需要额外的大容量电容器来绕过高电流路径。大容量电容的放置方法可尽可能缩短大电流路径的长度。连接金属走线尽可能宽，并具有许多连接 PCB 层的过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

对于 SPI (P) 器件型号，可以使用一个推荐电容为 0.1µF 的低 ESR 陶瓷 6.3V 旁路电容器将 VDD 引脚旁路至接地。

9.4.2 布局示例

下图展示了用于带引线封装器件的 4cm x 4cm x 1.6mm、4 层 PCB 的布局示例。在这 4 层中，在顶部/底部信号层使用 2 盎司铜，在内部电源层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。无引线 VQFN-HR 封装也可以采用相同的布局。4cm x 4cm x 1.6mm 的节 6.5.14 基于类似的布局。

注意：所示布局示例适用于采用 SSOP 封装的 DRV824xQ1 器件的全桥拓扑。

Copyright © 2026 Texas Instruments Incorporated

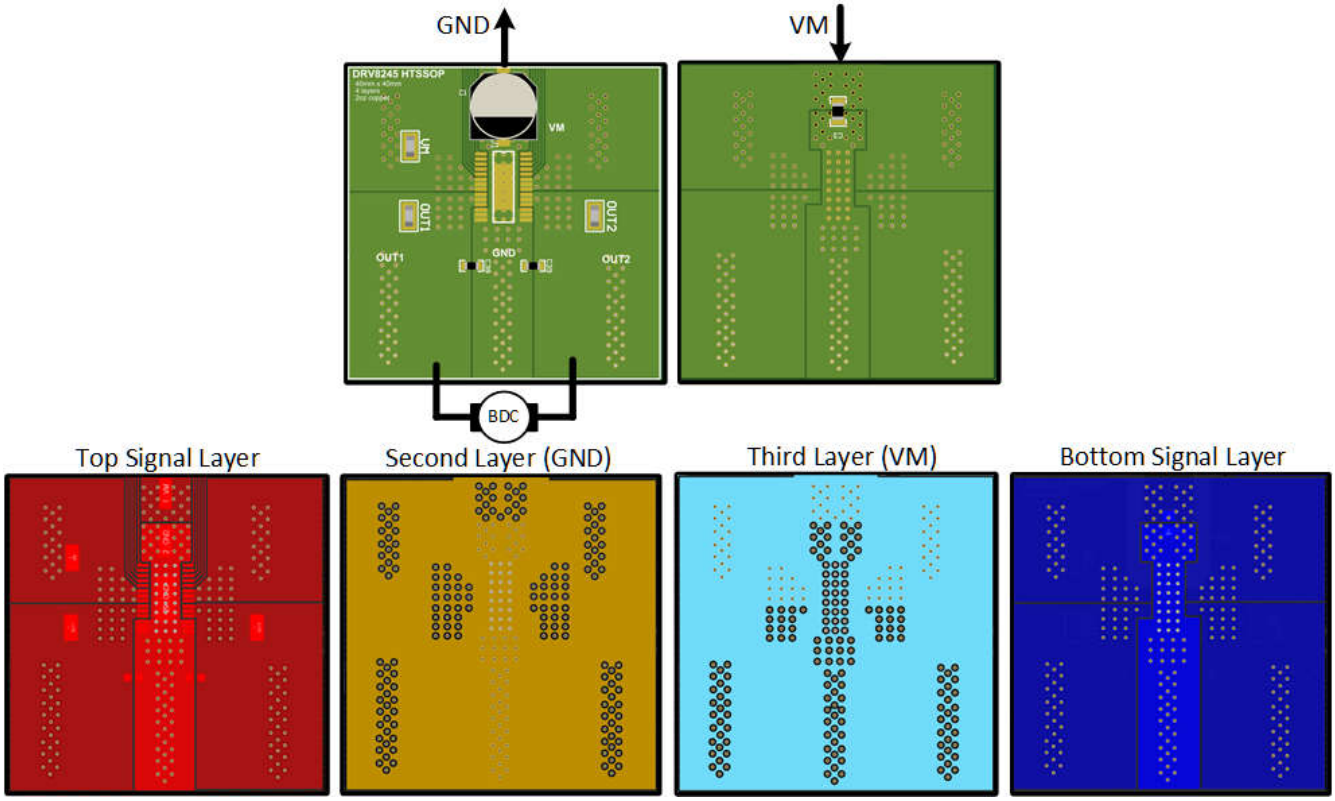


图 9-10. 布局示例：4cm x 4cm x 1.6mm，4 层 PCB

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*全桥驱动器结温估算器（基于 Excel 的工作表）*
- 德州仪器 (TI)，*计算电机驱动器的功耗*应用报告
- 德州仪器 (TI)，*《电流再循环和衰减模式》*应用报告
- 德州仪器 (TI)，*《PowerPAD™ 速成》*应用报告
- 德州仪器 (TI)，*《PowerPAD™ 热增强型封装》*应用报告
- 德州仪器（TI），*了解电机驱动器电流额定值*应用报告
- 德州仪器 (TI)，*电机驱动器电路板布局最佳实践*应用报告

10.2 接收文档更新通知

若要接收文档更新通知，请浏览 ti.com.cn 上的器件产品文件夹。单击右上角的*通知我*进行注册，即可每周接收产品信息更改摘要。 有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 社区资源

10.4 商标

所有商标均为其各自所有者的财产。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (February 2026) to Revision E (July 2026)	Page
• 将 tHI_nSCS 最小值更新为 600ns	18
• 将所有提到的 nSLEEP 脉冲替换为 CLR_FLT 命令	23
• OLA 的特性说明更新 - 添加了有关在逆转驱动方向时清除故障的更多说明	43
• 由于“电气规格”部分未提供该数值，已将“tPOR”替换为“1us”。	44

Changes from Revision C (November 2022) to Revision D (February 2026)	Page
• 说明中的修正 - 将格式 HDR2 更正为 HDR1 以了解链中的器件数量	48

Changes from Revision B (August 2022) to Revision C (November 2022)	Page
• 添加了页脚，以允许在 ISO 7637 瞬态期间 VM 引脚上出现绝对最大额定值违例	10
• 改进了有关短路保护的页脚说明	11
• EC 表 - 仅限 HVSSOP 封装 - 将 A_{IPROPI} 精度从 5% 降低至 6%，并将 A_{IPROPI} 匹配从 2% 提高至 5%	16
• 典型特性 - 添加了引线式封装的 FET RON 图	27

Changes from Revision A (January 2022) to Revision B (July 2022)	Page
• 器件比较 - 删除了 DRV8245HRXZQ1 和 DRV8244SRYJQ1 的预量产信息、压摆率和关断状态诊断功能例外情况	3
• 更正了 PH/IN2 的引脚名称拼写错误	10

Copyright © 2026 Texas Instruments Incorporated

- EC 表 - MODE 引脚的 $R_{LVL3of3}$ 增加到最小 250KΩ 13
- EC 表 - 更新了典型 R_{ON} 值 13
- 典型特性 - 更正了 FET RON 图，改进了 A_{IPROPI} 图 27
- P 型变体框图 - 更正了 VDD 引脚排印错误 30
- PWM 模式的特性描述 - 删除了预量产信息 34
- 寄存器的特性说明 - 引脚控制 - 删除了预量产信息 36
- SR 的特性说明 - 删除了预量产信息和 SR 表的重复（请改为参考 EC 表） 37
- ITRIP 调节的特性说明 - 删除了预量产信息，添加了有关使用外部 DAC 的线性 ITRIP 电平的注释 37
- DIAG 引脚的特性说明（仅限硬件型号）- 更正了 LVL5 设置的行为 39
- OLA 的特性说明更新 - 添加了有关在逆转驱动方向时清除故障的说明 43
- SDO 帧 - 删除了预量产信息 46
- 用户寄存器 - 删除了预量产信息 51
- 典型应用 - 添加了 EMC 建议 58

Changes from Revision * (November 2021) to Revision A (January 2022) **Page**

- 将器件状态更新为“混合量产” 1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

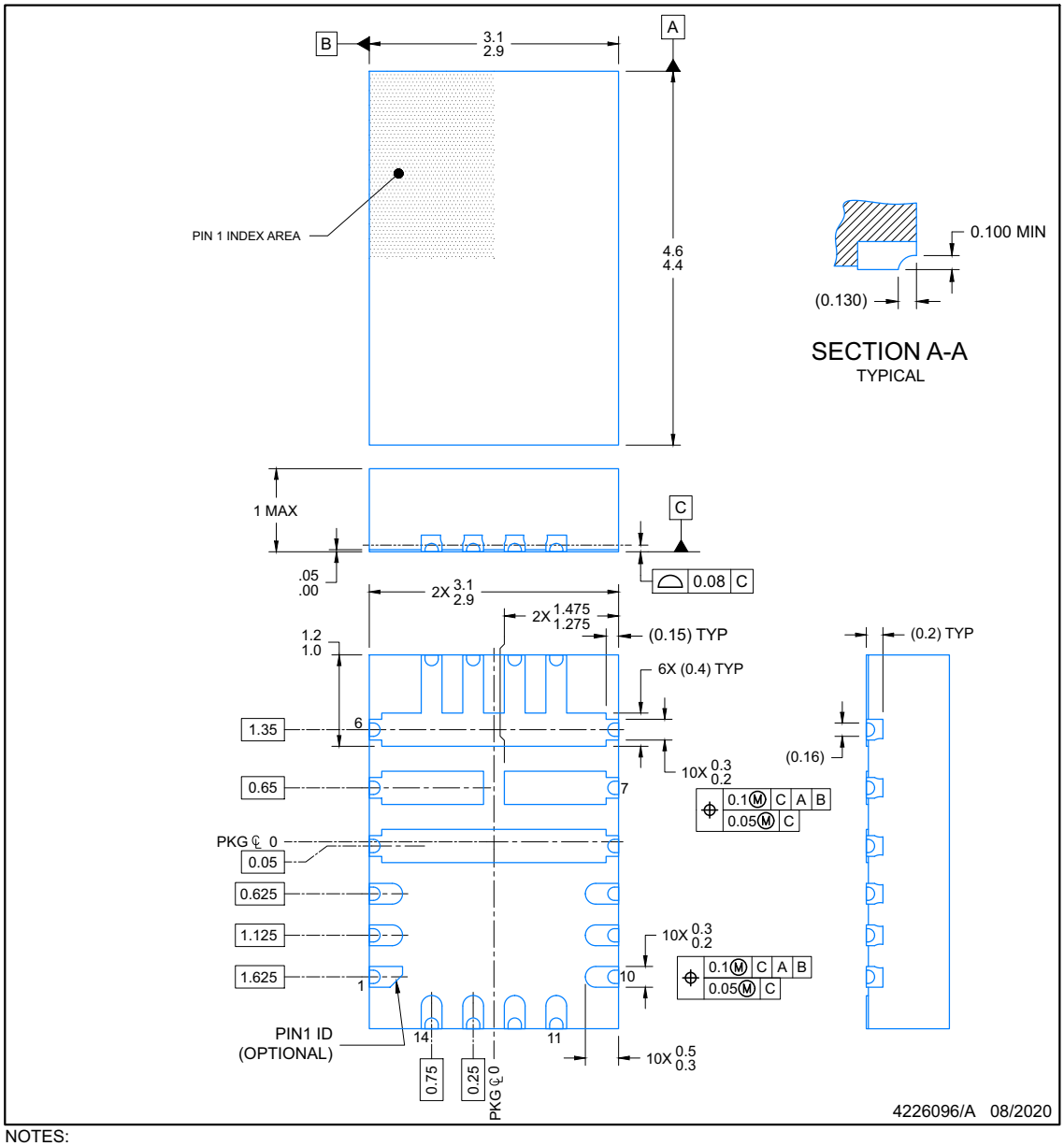
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RXY0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

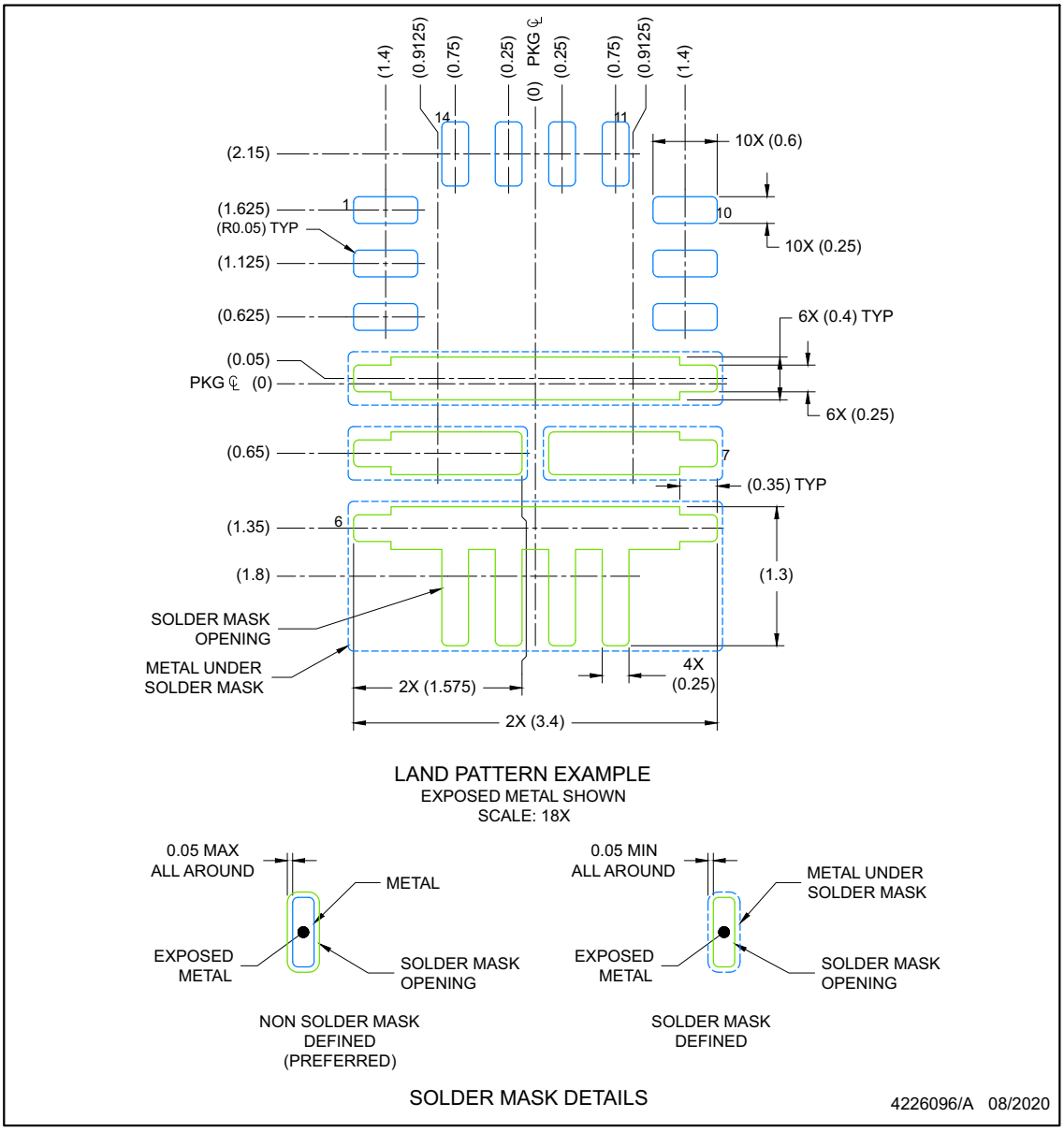
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RXY0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

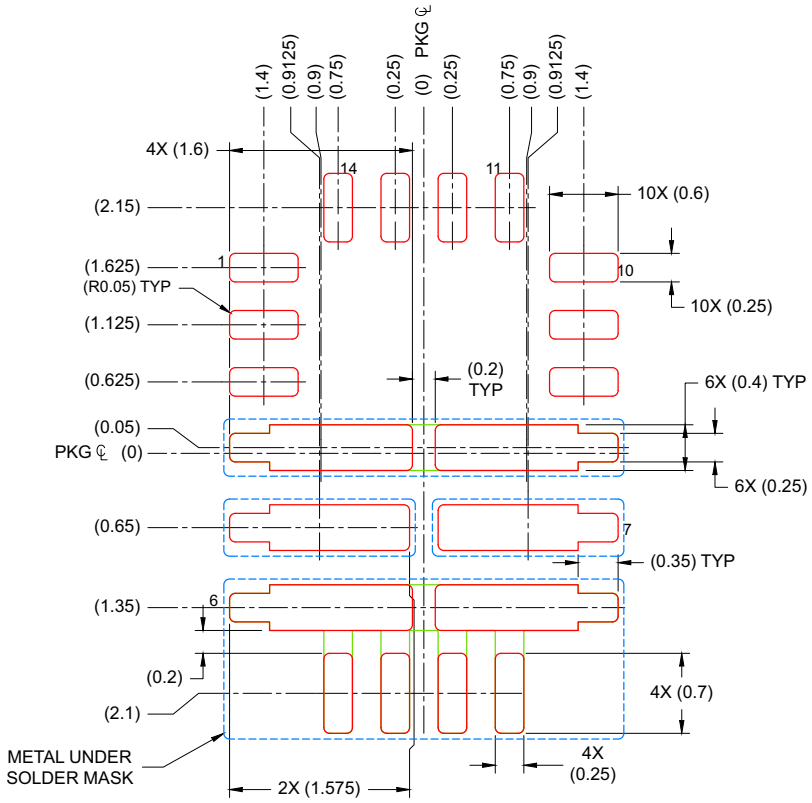
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RXY0014A — **VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 18X

4226096/A 08/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

www.ti.com

图 12-1. RXY0014A：VQFN-HR(14) 封装图

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8243HQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243H
DRV8243HQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243H
DRV8243HQRXYRQ1	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243H
DRV8243HQRXYRQ1.A	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243H
DRV8243PQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243P
DRV8243PQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243P
DRV8243SQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243S
DRV8243SQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243S
DRV8243SQRXYRQ1	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243S
DRV8243SQRXYRQ1.A	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

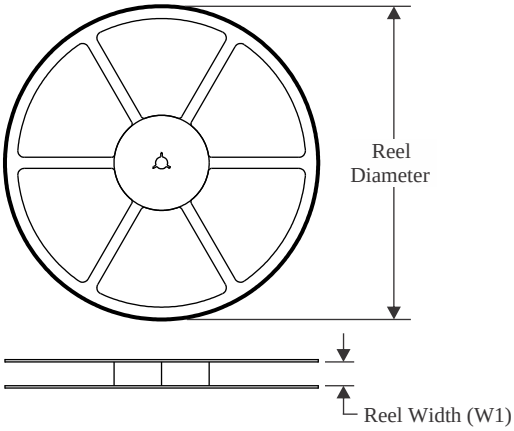
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

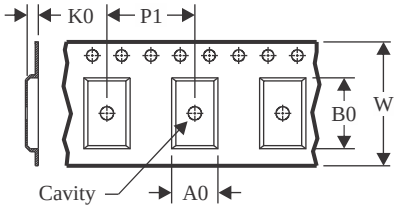
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

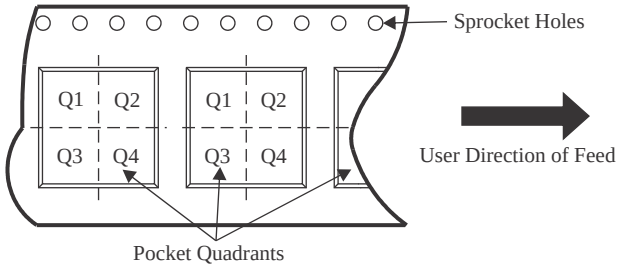


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

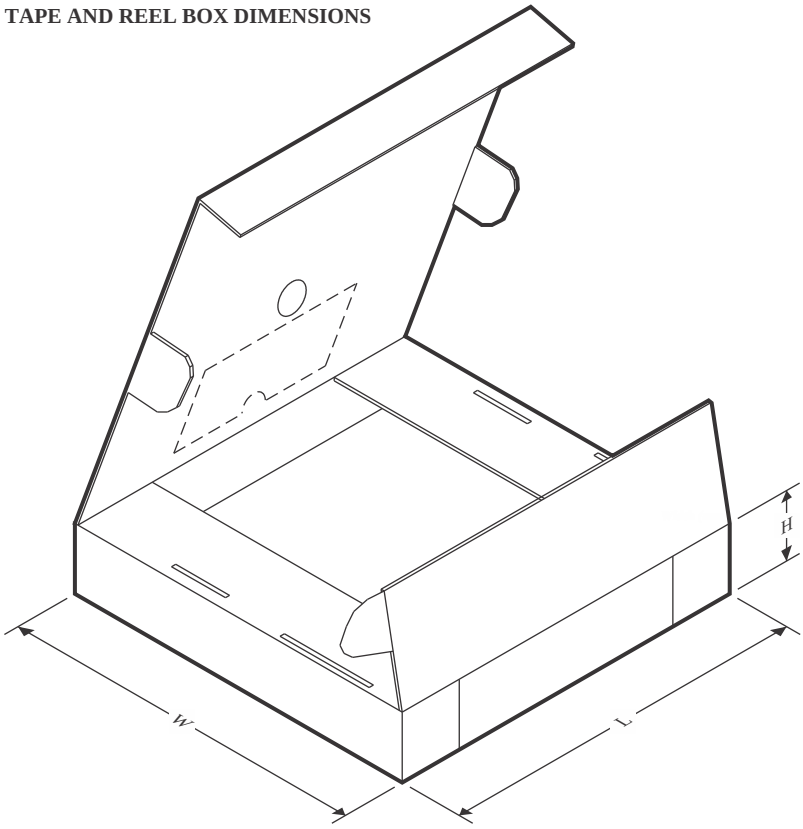
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8243HQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243HQRXYRQ1	VQFN-HR	RXY	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
DRV8243PQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243SQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

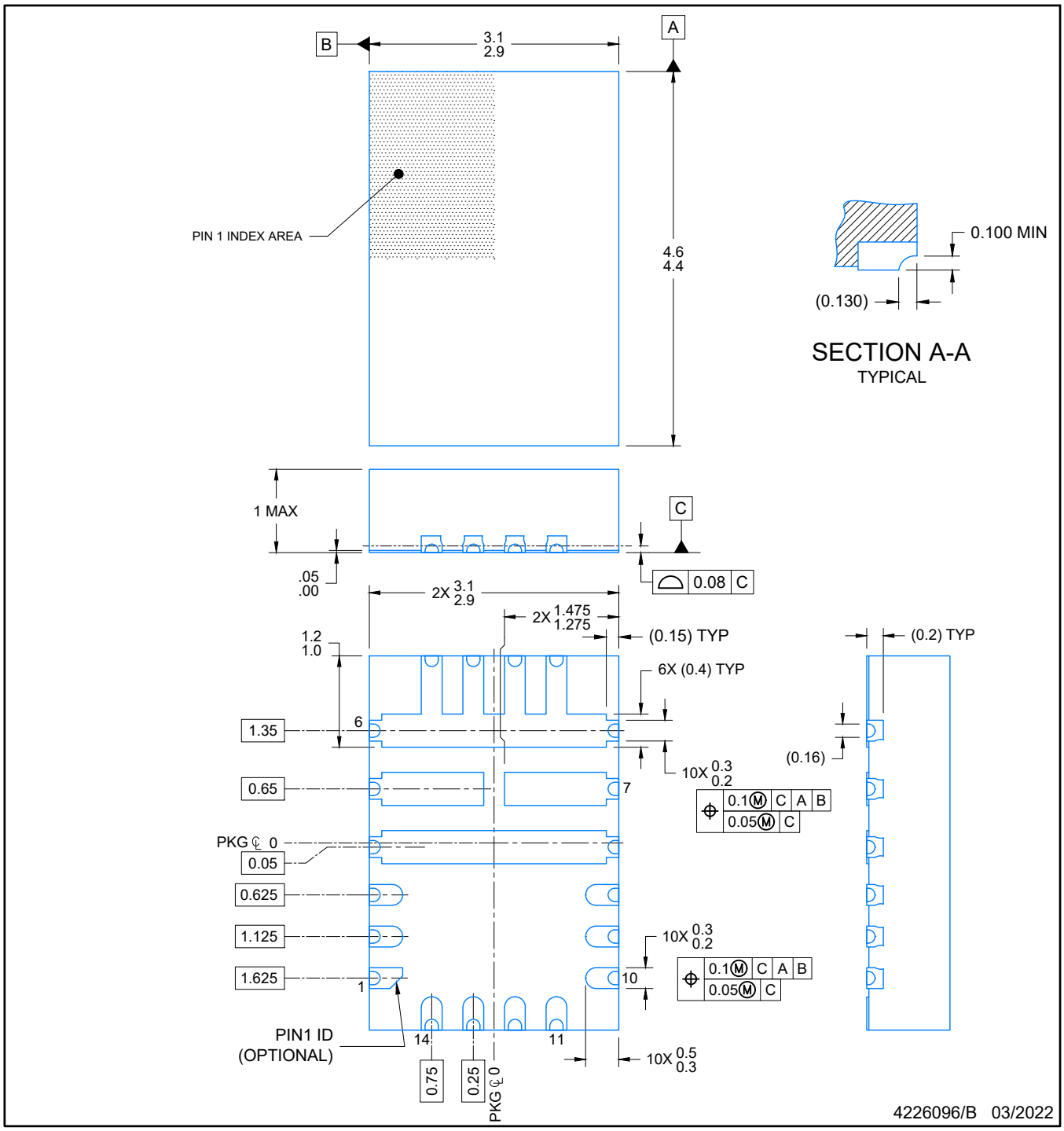
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8243HQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243HQRXYRQ1	VQFN-HR	RXY	14	3000	367.0	367.0	35.0
DRV8243PQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243SQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	367.0	367.0	35.0

PACKAGE OUTLINE

RXY0014A

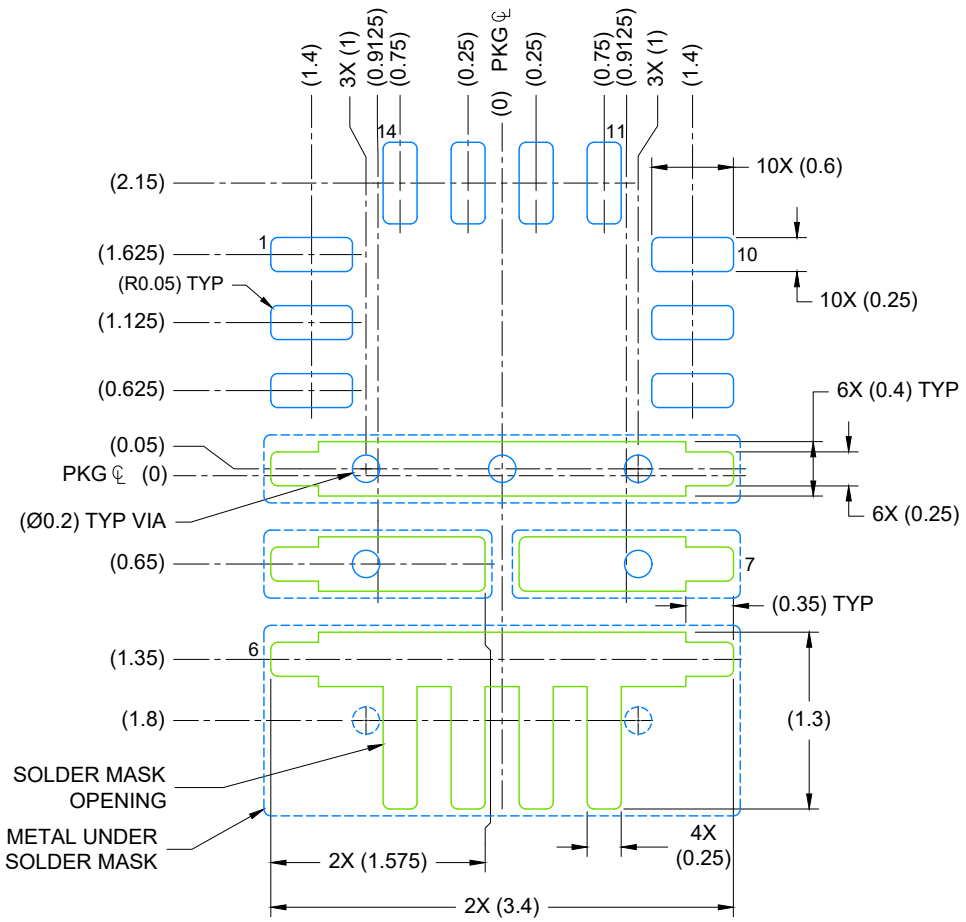
VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

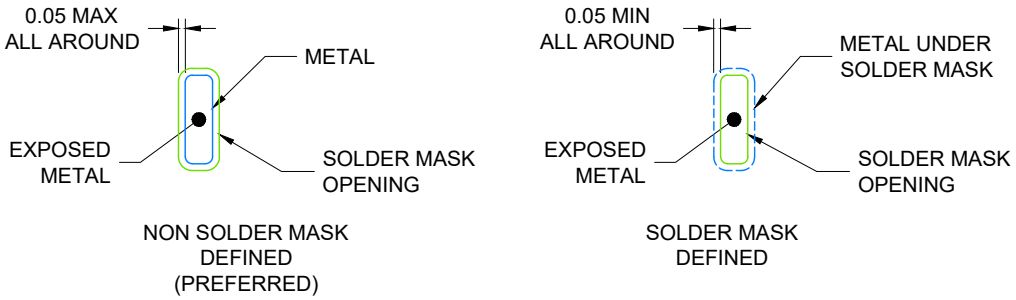
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 18X

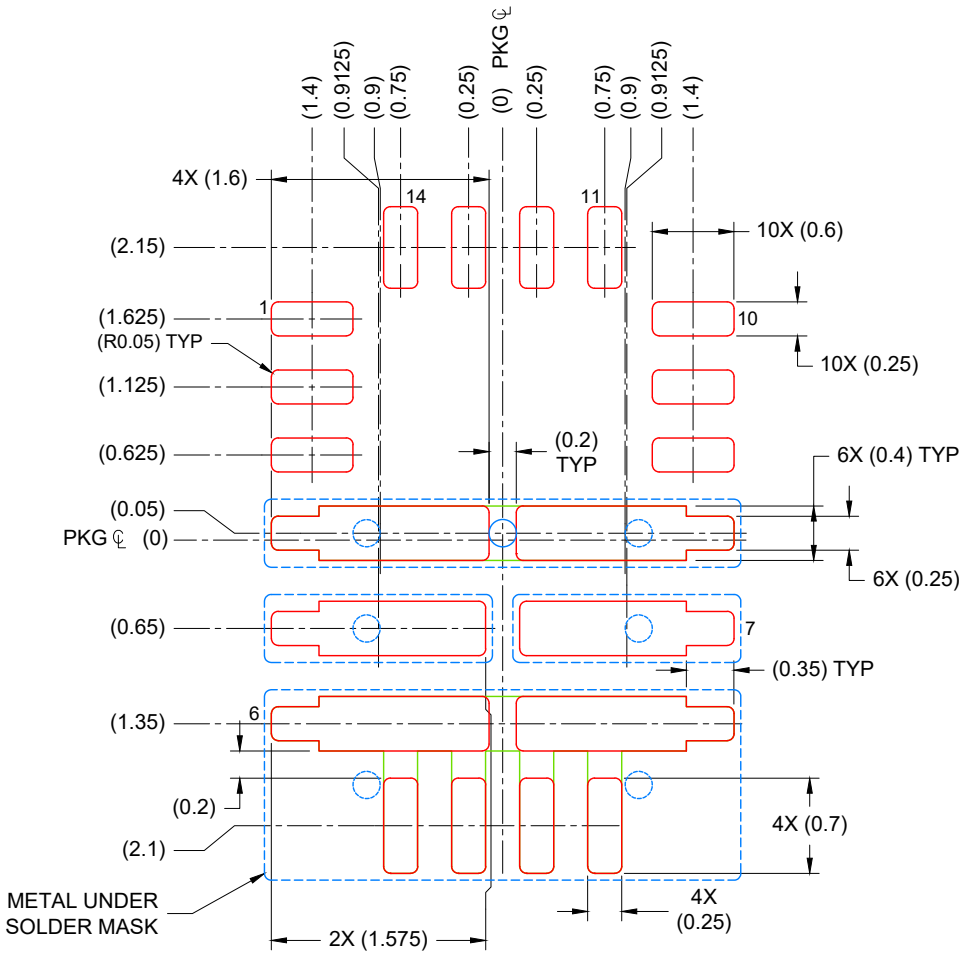


SOLDER MASK DETAILS

4226096/B 03/2022

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 18X

4226096/B 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

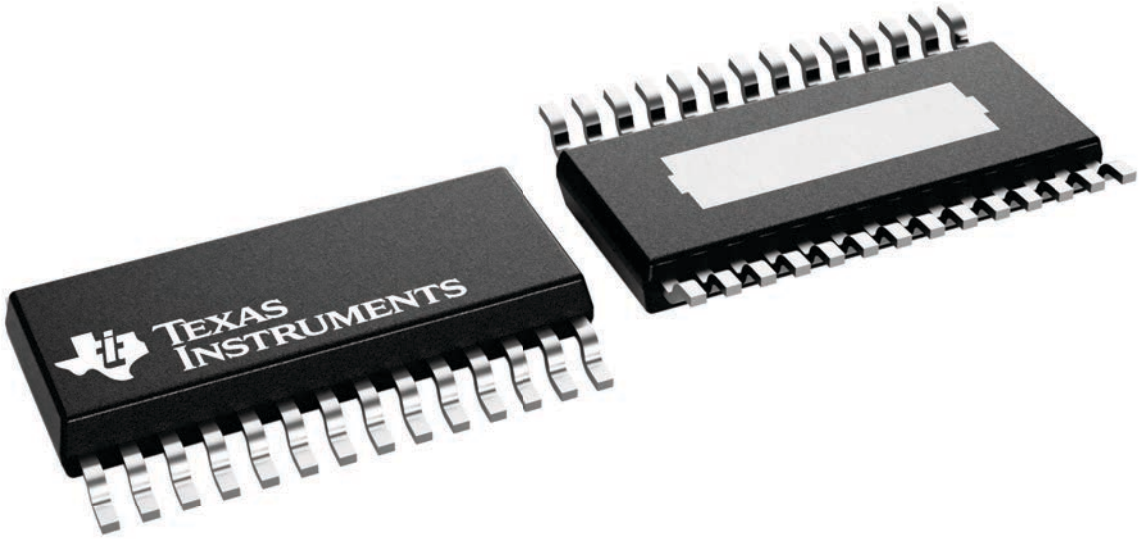
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



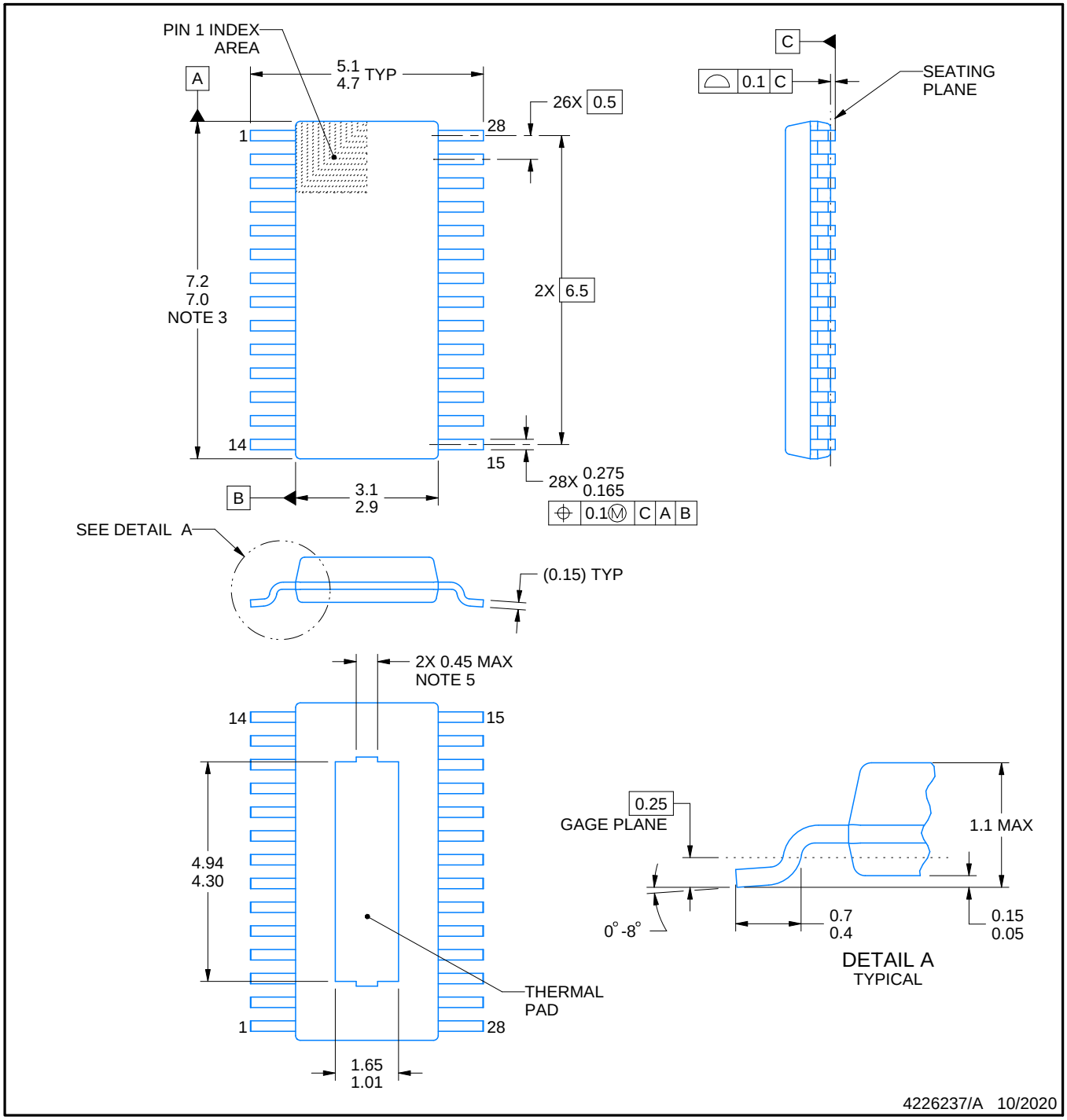
4226530/A

PACKAGE OUTLINE

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

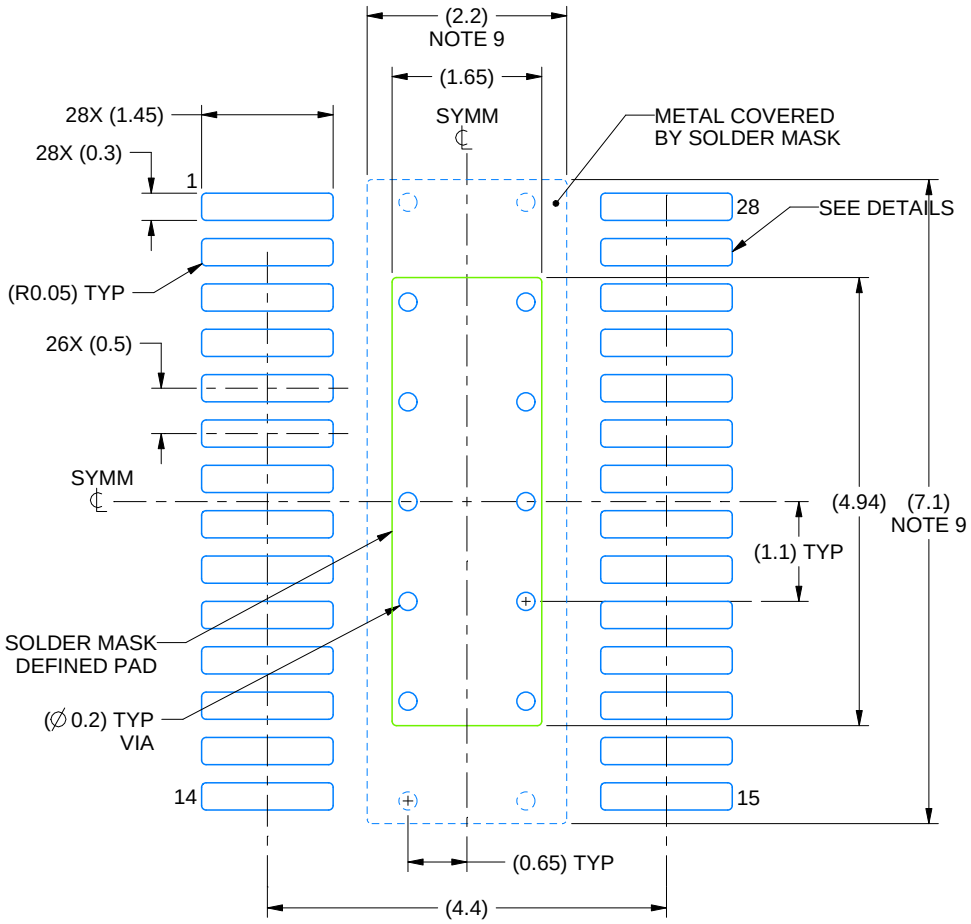
SMALL OUTLINE PACKAGE



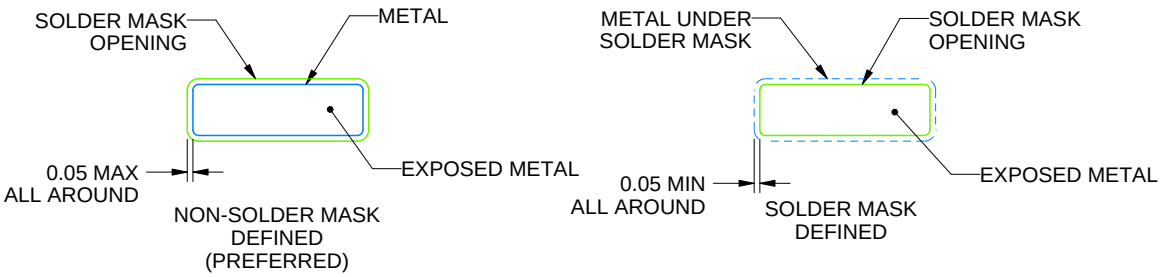
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

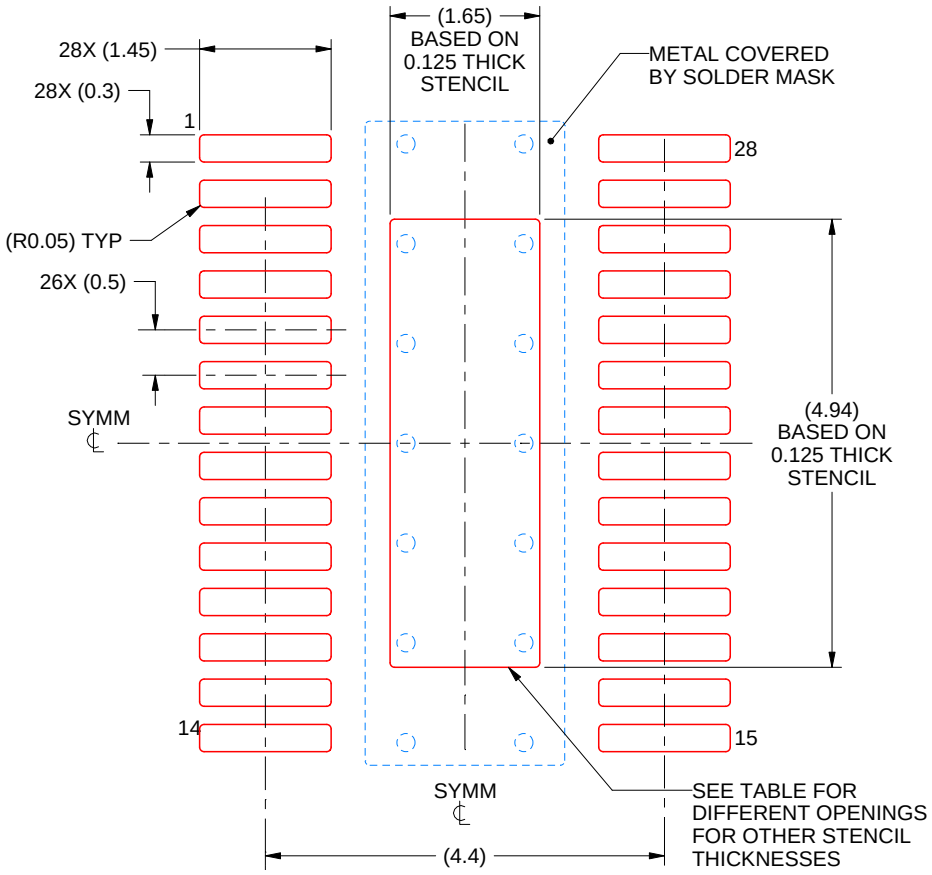


SOLDER MASK DETAILS

4226237/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.52
0.125	1.65 X 4.94 (SHOWN)
0.15	1.51 X 4.51
0.175	1.39 X 4.18

4226237/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月