

DRV870x-Q1 汽车 H 桥栅极驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 器件温度等级 1：-40°C 至 +125°C 环境温度
- 功能安全型**
 - 可帮助进行 [DRV8702-Q1](#) [DRV8703-Q1](#) 功能安全系统设计的文档
- 单通道 H 桥栅极驱动器
 - 驱动四个外部 N 沟道 MOSFET
 - 支持 100% 脉宽调制 (PWM) 占空比
- 5.5 至 45V 工作电源电压范围
- 3 种控制接口选项
 - PH/EN、独立 H 桥和 PWM
- 用于配置的串行接口 (DRV8703-Q1)
- 智能栅极驱动架构
 - 可调节转换率控制
- 独立控制每个 H 桥
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 电流并联放大器
- 集成 PWM 电流调节
- 低功耗睡眠模式
- 保护特性
 - 电源欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV) 锁定
 - 过流保护 (OCP)
 - 栅极驱动器故障 (GDF)
 - 热关断 (TSD)
 - 监视器计时器 (DRV8703-Q1)
 - 故障条件输出 (nFAULT)

2 应用

- 电动车窗升降器、天窗、座椅、滑动门、后备箱和尾门
- 继电器更换
 - 应用报告：[SLVA837](#)
 - TI 设计：[TIDUCQ9](#)
- 有刷直流泵

3 说明

DRV870x-Q1 器件是一款小型单通道 H 桥栅极驱动器，它使用四个外部 N 通道 MOSFET，旨在驱动一个双向有刷直流电机。

其 PH/EN (独立 H 桥) 或 PWM 接口可轻松与控制器电路相连。内部检测放大器提供可调节的电流控制。集成电荷泵支持 100% 占空比，并可用于驱动外部反向电池开关。

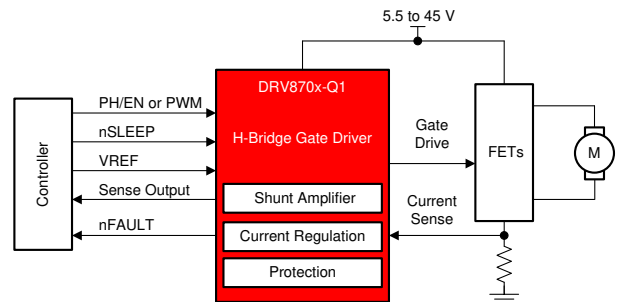
独立半桥模式允许共享半桥，以经济高效地依次控制多个直流电机。栅极驱动器含有一个调节电路，可使用固定关断时间 PWM 电流斩波来调节绕组电流。

DRV870x-Q1 器件采用了智能栅极驱动技术，因此无需任何外部栅极组件 (电阻器和齐纳二极管)，同时可为外部 FET 提供保护。智能栅极驱动架构优化了死区时间以避免出现任何击穿状况，通过可编程转换率控制灵活地降低电磁干扰 (EMI)，并防止出现任何栅极短路状况。此外，还包含有源和无源下拉电阻，以防止任何 dv/dt 栅极导通。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
DRV8702-Q1	VQFN (32)	5.00mm × 5.00mm
DRV8703-Q1		

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



Copyright © 2016, Texas Instruments Incorporated

简化版原理图



内容

1 特性	1	6.5 编程	40
2 应用	1	7 寄存器映射	42
3 说明	1	8 应用和实施	48
4 引脚配置和功能	3	8.1 应用信息.....	48
引脚功能.....	3	8.2 典型应用.....	48
5 规格	6	9 电源相关建议	52
5.1 绝对最大额定值.....	6	9.1 确定大容量电容器的大小.....	52
5.2 ESD 等级.....	6	10 布局	53
5.3 建议运行条件.....	7	10.1 布局指南.....	53
5.4 热性能信息.....	7	10.2 布局示例.....	53
5.5 电气特性.....	7	11 器件和文档支持	54
5.6 SPI 时序要求.....	12	11.1 文档支持.....	54
5.7 开关特性.....	13	11.2 接收文档更新通知.....	54
5.8 典型特性.....	15	11.3 支持资源.....	54
6 详细说明	20	11.4 商标.....	54
6.1 概述.....	20	11.5 静电放电警告.....	54
6.2 功能方框图.....	21	11.6 术语表.....	54
6.3 特性说明.....	23	12 修订历史记录	54
6.4 器件功能模式.....	40	13 机械、封装和可订购信息	55

4 引脚配置和功能

引脚功能

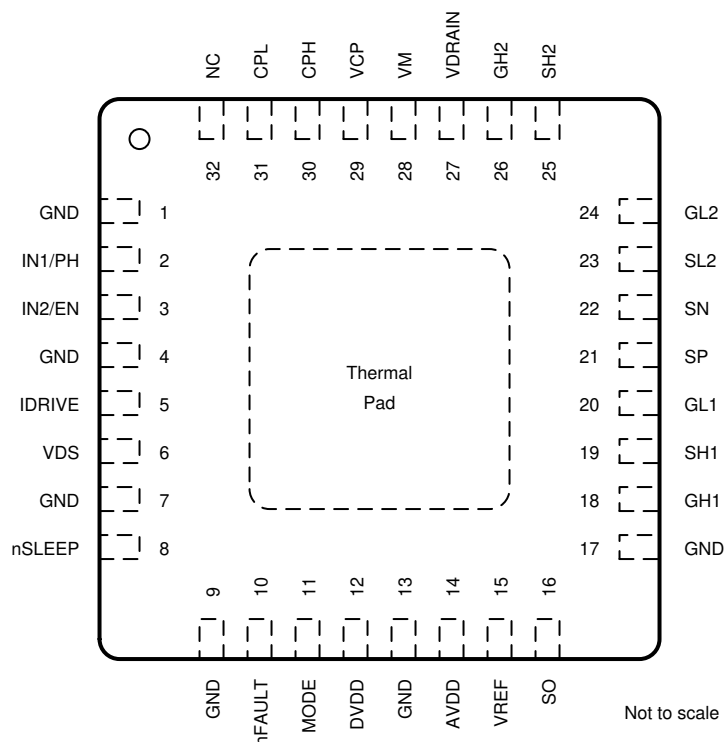


图 4-1. DRV8702-Q1 带可湿性侧面的 RHB 封装 32 引脚 VQFN 顶视图

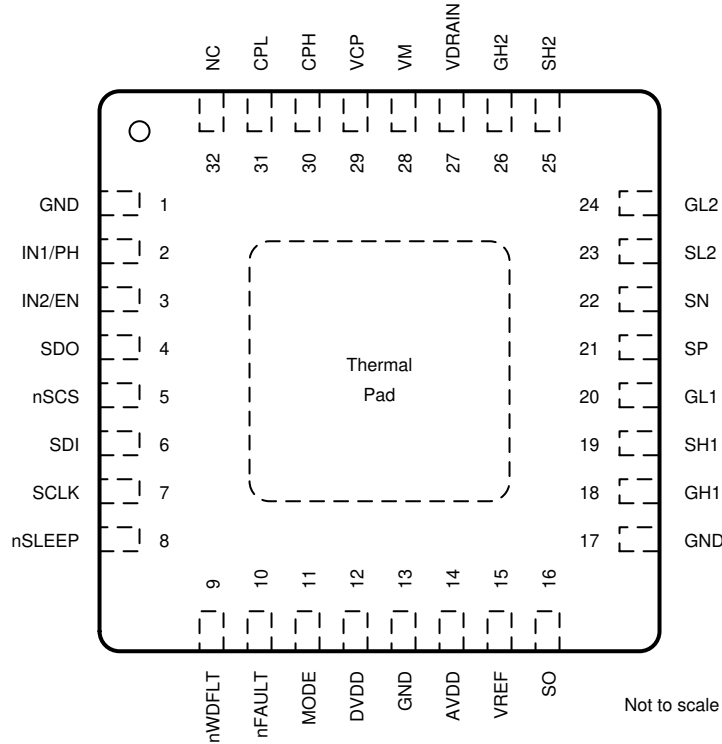


图 4-2. DRV8703-Q1 带可湿性侧面的 RHB 封装 32 引脚 VQFN 顶视图

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8702-Q1	DRV8703-Q1		
AVDD	14	14	PWR	模拟稳压器。该引脚为 5V 模拟电源稳压器。使用 6.3V、1μF 陶瓷电容器将该引脚旁路至接地。
CPH	30	30	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个额定电压为电源电压 (VM) 的 0.1μF X7R 电容器。
CPL	31	31	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个额定电压为电源电压 (VM) 的 0.1μF X7R 电容器。
DVDD	12	12	PWR	逻辑稳压器。该引脚为 3.3V 逻辑电源的稳压器。使用 6.3V、1μF 陶瓷电容器将该引脚旁路至接地。
GH1	18	18	O	高侧栅极。将该引脚连接到高侧 FET 栅极。
GH2	26	26	O	高侧栅极。将该引脚连接到高侧 FET 栅极。
GL1	20	20	O	低侧栅极。将该引脚连接到低侧 FET 栅极。
GL2	24	24	O	低侧栅极。将该引脚连接到低侧 FET 栅极。
GND	1	1	PWR	器件接地。将此引脚连接到系统接地。
GND	13	13	PWR	器件接地。将此引脚连接到系统接地。
GND	17	17	PWR	器件接地。将此引脚连接到系统接地。
GND	4	—	PWR	器件接地。将此引脚连接到系统接地。
GND	7	—	PWR	器件接地。将此引脚连接到系统接地。
GND	9	—	PWR	器件接地。将此引脚连接到系统接地。
IDRIVE	5	—	I	栅极驱动器的电流设置引脚。该引脚上强制施加的电阻值或电压可设置栅极驱动电流。有关更多信息，请参阅 节 8.2.2.2 部分。
IN1/PH	2	2	I	输入控制引脚。该引脚的逻辑取决于 MODE 引脚。该引脚连接到内部下拉电阻器。

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8702-Q1	DRV8703-Q1		
IN2/EN	3	3	I	输入控制引脚。该引脚的逻辑取决于 MODE 引脚。该引脚连接到内部下拉电阻器。
模式	11	11	I	模式控制引脚。将该引脚拉至逻辑低电平可使用 H 桥运行模式。将该引脚拉至逻辑高电平可实现独立半桥运行。该引脚连接到一个内部电阻分压器。该引脚的运行状态会在加电时或退出睡眠模式时锁存。该引脚连接到内部上拉和下拉电阻器。
NC	32	32	NC	无连接。无内部连接。
SCLK	—	7	I	SPI 时钟。该引脚用于 SPI 时钟信号。该引脚连接到内部下拉电阻器。
SDI	—	6	I	SPI 输入。该引脚用于 SPI 输入信号。该引脚连接到内部下拉电阻器。
SDO	—	4	OD	SPI 输出。该引脚用于 SPI 输出信号。该引脚为漏极开路输出端，需要使用一个外部上拉电阻器。
SH1	19	19	I	高侧源极。将该引脚连接到高侧 FET 源极。
SH2	25	25	I	高侧源极。将该引脚连接到高侧 FET 源级
SL2	23	23	I	低侧源极。将该引脚连接到低侧 FET 源极。
SN	22	22	I	并联放大器负输入。将该引脚连接至电流检测电阻器。
SO	16	16	O	并联放大器输出。该引脚上的电压等于 SP 电压乘以 A_V 再加上偏移电压。请勿在该引脚上放置超过 1nF 的电容。
SP	21	21	I	并联放大器正输入。将该引脚连接至电流检测电阻器。
VCP	29	29	PWR	电荷泵输出。在该引脚与 VM 引脚之间连接一个 16V 、 1μF 陶瓷电容器。
VDRAIN	27	27	I	高侧 FET 漏极连接。该引脚由两个 H 桥共用。
VDS	6	—	I	VDS 监测器设置引脚。该引脚上强制施加的电阻值或电压可设置 VDS 监测器阈值。有关更多信息，请参阅 节 8.2.2.3 部分。
VM	28	28	PWR	电源。将该引脚连接到电机电源电压。使用 0.1μF 陶瓷电容器和 10μF (最小值) 电容器将该引脚旁路至接地。
VREF	15	15	I	电流设定基准输入。该引脚上的电压用于设置驱动器斩波电流。
nWDFLT	—	9	OD	看门狗故障指示引脚。该引脚在看门狗故障状况发生时拉至逻辑低电平。该引脚为漏极开路输出端，需要使用一个外部上拉电阻器。
nFAULT	10	10	OD	故障指示引脚。该引脚在故障状况发生时拉至逻辑低电平。该引脚为漏极开路输出端，需要使用一个外部上拉电阻器。
nSCS	—	5	I	SPI 芯片选择。该引脚用于选择和使能 SPI 。该引脚为低电平有效。
nSLEEP	8	8	I	器件睡眠模式。将该引脚拉至逻辑低电平，可使器件进入低功耗睡眠模式，同时 FET 处于高阻抗 (Hi-Z) 状态。该引脚连接到内部下拉电阻器。

(1) I = 输入，O = 输出，PWR = 功率，NC = 无连接，OD = 漏极开路输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	VM	-0.3	47	V
电荷泵电压	VCP、CPH	-0.3	$V_{VM} + 12$	V
电荷泵负开关引脚	CPL	-0.3	V_{VM}	V
内部逻辑稳压器电压	DVDD	-0.3	3.8	V
内部模拟稳压器电压	AVDD	-0.3	5.75	V
漏极引脚电压	VDRAIN	-0.3	47	V
电源和 VDRAIN 之间的电压差	VM - VDRAIN	-10	10	V
控制引脚电压	IN1、IN2、nSLEEP、nFAULT、VREF、IDRIVE、VDS、MODE、nSCS、SCLK、SDI、SDO、nWDFLT	-0.3	5.75	V
高侧栅极引脚电压	GH1、GH2	-0.3	$V_{VM} + 12$	V
低侧栅极引脚电压	GL1、GL2	-0.3	12	V
连续相节点引脚电压	SH1、SH2	-1.2	$V_{VM} + 1.2$	V
脉冲 10μs 相节点引脚电压	SH1、SH2	-2	$V_{VM} + 2$	V
连续并联放大器输入引脚电压	SP、SL2	-0.5	1.2	V
	SN	-0.3	0.3	V
脉冲 10μs 并联放大器输入引脚电压	SP、SL2	-1	1.2	V
分流放大器输出引脚电压	SO	-0.3	5.75	V
并联放大器输出引脚电流	SO	0	5	mA
最大电流, 通过外部串联电阻器限制电流	VDRAIN	-2	2	mA
漏极开路输出电流	nFAULT、SDO、nWDFLT	0	10	mA
栅极引脚源电流	GH1、GL1、GH2、GL2	0	250	mA
栅极引脚灌电流	GH1、GL1、GH2、GL2	0	500	mA
工作结温, T_J		-40	150	°C
贮存温度, T_{stg}		-65	150	°C

(1) 应力超出绝对最大额定值中列出的值时, 可能会对器件造成永久损坏。这些值仅为应力额定值, 并不意味着器件在这些条件下、或是在超出建议运行条件的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100 - 011 CDM ESD 分类等级 C4B	±500	
			±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

			最小值	最大值	单位
V_{VM}	电源电压	VM	5.5	45	V
V_{CC}	逻辑电平输入电压		0	5.25	V
V_{VREF}	电流并联放大器基准电压	VREF	0.3 ⁽¹⁾	3.6	V
$f_{(PWM)}$	施加的 PWM 信号 (IN1/IN2)	IN1、IN2		100	kHz
I_{AVDD}	AVDD 外部负载电流			30 ⁽²⁾	mA
I_{DVDD}	DVDD 外部负载电流			30 ⁽²⁾	mA
I_{SO}	并联放大器输出电流加载	SO		5	mA
T_A	工作环境温度		-40	125	°C

(1) 可在 $V_{VREF} = 0$ 至约 0.3V 的条件下运行，但精度会下降。

(2) 必须遵循功率耗散和热限值。

5.4 热性能信息

热指标 ⁽¹⁾		DRV870x-Q1	单位
		RHB (VQFN)	
		32 引脚	
$R_{\theta JA}$	结至环境热阻	32.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	19.6	°C/W
$R_{\theta JB}$	结至电路板热阻	6.8	°C/W
ψ_{JT}	结至顶部特征参数	0.3	°C/W
ψ_{JB}	结至电路板特征参数	6.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在建议运行条件下测得 (除非另有说明)。 $T_A = 25^\circ\text{C}$ 且 $V_{VM} = 13.5\text{V}$ 时，适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM、AVDD、DVDD)						
V _{VM}	VM 工作电压	栅极驱动器功能	5.5		45	V
		逻辑功能	4.5		45	
I _{VM}	VM 工作电源电流	V _{VM} = 13.5V ; nSLEEP = 1	5.5	7.5	12	mA
I _(SLEEP)	VM 睡眠模式电源电流	nSLEEP = 0 , V _{VM} = 13.5V , T _A = 25°C			14	μA
		nSLEEP = 0 , V _{VM} = 13.5V , T _A = 125°C ⁽¹⁾			25	
V _{DVDD}	内部逻辑稳压器电压	2mA 负载	3	3.3	3.5	V
		30mA 负载, V _{VM} = 13.5V	2.9	3.2	3.5	
V _{AVDD}	内部逻辑稳压器电压	2mA 负载	4.7	5	5.3	V
		30mA 负载, V _{VM} = 13.5V	4.6	5	5.3	
电荷泵 (VCP、CPH、CPL)						
V _{VCP}	VCP 工作电压	V _{VM} = 13.5V ; I _{VCP} = 0 至 12mA	22.5	23.5	24.5	V
		V _{VM} = 8V ; I _{VCP} = 0 至 10mA	13.7	14	14.8	
		V _{VM} = 5.5V ; I _{VCP} = 0 至 8mA	8.9	9.1	9.5	

DRV8702-Q1, DRV8703-Q1

ZHCSG08F – OCTOBER 2016 – REVISED JUNE 2026

在建议运行条件下测得 (除非另有说明)。 $T_A = 25^{\circ}\text{C}$ 且 $V_{VM} = 13.5\text{V}$ 时, 适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
I _{VCP}	电荷泵电流容量	V _{VM} > 13.5V	12			mA
		8 V < V _{VM} < 13.5 V	10			
		5.5 V < V _{VM} < 8 V	8			
控制输入 (IN1/PH、IN2/EN、nSLEEP、MODE、nSCS、SCLK、SDI)						
V _{IL}	输入逻辑低电平电压		0		0.8	V
V _{IH}	输入逻辑高电平电压		1.5		5.25	V
V _{hys}	输入逻辑迟滞		100			mV
I _{IL}	输入逻辑低电平电流	V _{IN} = 0V	-5		5	μA
I _{IH}	输入逻辑高电平电流	V _{IN} = 5V			70	μA
R _{PD}	下拉电阻	IN1/PH、IN2/EN、nSLEEP、nSCS、SCLK、SDI	64	100	173	k Ω
R _{PD}	下拉电阻	模式		65		k Ω
R _{PU}	上拉电阻	模式		26		k Ω
控制输出 (nFAULT、WDFault、SDO)						
V _{OL}	输出逻辑低电平电压	I _O = 2mA			0.1	V
I _{OZ}	输出高阻抗抗泄漏	5V 上拉电压	-2		2	μA
FET 栅极驱动器 (GH1、GH2、SH1、SH2、GL1、GL2)						
V _{GSH}	高侧 V _{GS} 栅极驱动 (栅源极)	V _{VM} > 13.5V ; V _{GSH} 以 SHx 为基准		10.5	11.5	V
		V _{VM} = 8V ; V _{GSH} 以 SHx 为基准	5.7		6.8	
		V _{VM} = 5.5V ; V _{GSH} 以 SHx 为基准	3.4		4	
V _{GSL}	低侧 V _{GS} 栅极驱动 (栅源极)	V _{VM} > 10.5V		10.5		V
		V _{VM} < 10.5V	V _{VM} - 2			
I _{DRIVE(SRC_HS)}	高侧峰值源电流 (V _{VM} = 5.5V)	R _(IDRIVE) < 1kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b000 (DRV8703)		10		mA
		R _(IDRIVE) = 33kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b001 (DRV8703)		20		
		R _(IDRIVE) = 200kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b010 (DRV8703)		50		
		IDRIVE = 3' b011 (DRV8703)		70		
		IDRIVE = 3' b100 (DRV8703)		100		
		R _(IDRIVE) > 2MΩ 至 GND (DRV8702) 或 IDRIVE = 3' b101 (DRV8703)		145		
		R _(IDRIVE) = 68kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b110 (DRV8703)		190		
		R _(IDRIVE) = 1kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b111 (DRV8703)		240		

在建议运行条件下测得 (除非另有说明) 。 $T_A = 25^\circ\text{C}$ 且 $V_{VM} = 13.5\text{V}$ 时, 适用典型限值

参数	测试条件	最小值	典型值	最大值	单位
$I_{\text{DRIVE(SNK_HS)}}$	高侧峰值灌电流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b000}$ (DRV8703)	20		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b001}$ (DRV8703)	40		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b010}$ (DRV8703)	90		
		$\text{IDRIVE} = 3' \text{ b011}$ (DRV8703)	120		
		$\text{IDRIVE} = 3' \text{ b100}$ (DRV8703)	170		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b101}$ (DRV8703)	250		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b110}$ (DRV8703)	330		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b111}$ (DRV8703)	420		
$I_{\text{DRIVE(SRC_LS)}}$	低侧峰值源电流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b000}$ (DRV8703)	10		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b001}$ (DRV8703)	20		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b010}$ (DRV8703)	40		
		$\text{IDRIVE} = 3' \text{ b011}$ (DRV8703)	55		
		$\text{IDRIVE} = 3' \text{ b100}$ (DRV8703)	75		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b101}$ (DRV8703)	115		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b110}$ (DRV8703)	145		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b111}$ (DRV8703)	190		
$I_{\text{DRIVE(SNK_LS)}}$	低侧峰值灌电流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b000}$ (DRV8703)	20		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b001}$ (DRV8703)	40		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b010}$ (DRV8703)	85		
		$\text{IDRIVE} = 3' \text{ b011}$ (DRV8703)	115		
		$\text{IDRIVE} = 3' \text{ b100}$ (DRV8703)	160		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega$ 至 GND (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b101}$ (DRV8703)	235		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b110}$ (DRV8703)	300		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega$ 至 AVDD (DRV8702) 或 $\text{IDRIVE} = 3' \text{ b111}$ (DRV8703)	360		

在建议运行条件下测得 (除非另有说明)。T_A = 25°C 且 V_{VM} = 13.5V 时, 适用典型限值

参数	测试条件	最小值	典型值	最大值	单位
I _{DRIVE(SRC_} HS)	高侧峰值源电流 (V _{VM} = 13.5V)	R _(IDRIVE) < 1kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b000 (DRV8703)	10		mA
		R _(IDRIVE) = 33kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b001 (DRV8703)	20		
		R _(IDRIVE) = 200kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b010 (DRV8703)	50		
		IDRIVE = 3' b011 (DRV8703)	70		
		IDRIVE = 3' b100 (DRV8703)	105		
		R _(IDRIVE) > 2MΩ 至 GND (DRV8702) 或 IDRIVE = 3' b101 (DRV8703)	155		
		R _(IDRIVE) = 68kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b110 (DRV8703)	210		
		R _(IDRIVE) = 1kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b111 (DRV8703)	260		
I _{DRIVE(SNK_} HS)	高侧峰值灌电流 (V _{VM} = 13.5V)	R _(IDRIVE) < 1kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b000 (DRV8703)	20		mA
		R _(IDRIVE) = 33kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b001 (DRV8703)	40		
		R _(IDRIVE) = 200kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b010 (DRV8703)	95		
		IDRIVE = 3' b011 (DRV8703)	130		
		IDRIVE = 3' b100 (DRV8703)	185		
		R _(IDRIVE) > 2MΩ 至 GND (DRV8702) 或 IDRIVE = 3' b101 (DRV8703)	265		
		R _(IDRIVE) = 68kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b110 (DRV8703)	350		
		R _(IDRIVE) = 1kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b111 (DRV8703)	440		
I _{DRIVE(SRC_} LS)	低侧峰值源电流 (V _{VM} = 13.5V)	R _(IDRIVE) < 1kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b000 (DRV8703)	10		mA
		R _(IDRIVE) = 33kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b001 (DRV8703)	20		
		R _(IDRIVE) = 200kΩ 至 GND (DRV8702) 或 IDRIVE = 3' b010 (DRV8703)	45		
		IDRIVE = 3' b011 (DRV8703)	60		
		IDRIVE = 3' b100 (DRV8703)	90		
		R _(IDRIVE) > 2MΩ 至 GND (DRV8702) 或 IDRIVE = 3' b101 (DRV8703)	130		
		R _(IDRIVE) = 68kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b110 (DRV8703)	180		
		R _(IDRIVE) = 1kΩ 至 AVDD (DRV8702) 或 IDRIVE = 3' b111 (DRV8703)	225		

在建议运行条件下测得 (除非另有说明)。T_A = 25°C 且 V_{VM} = 13.5V 时, 适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
I _{DRIVE(SNK_} LS)	低侧峰值灌电流 (V _{VM} = 13.5V)	R _(IDRIVE) < 1kΩ 至 GND (DRV8702-Q1) 或 IDRIVE = 3' b000 (DRV8703-Q1)	20			mA
		R _(IDRIVE) = 33kΩ 至 GND (DRV8702-Q1) 或 IDRIVE = 3' b001 (DRV8703-Q1)	40			
		R _(IDRIVE) = 200kΩ 至 GND (DRV8702-Q1) 或 IDRIVE = 3' b010 (DRV8703-Q1)	95			
		IDRIVE = 3' b011 (DRV8703-Q1)	125			
		IDRIVE = 3' b100 (DRV8703-Q1)	180			
		R _(IDRIVE) > 2MΩ 至 GND (DRV8702-Q1) 或 IDRIVE = 3' b101 (DRV8703-Q1)	260			
		R _(IDRIVE) = 68kΩ 至 AVDD (DRV8702-Q1) 或 IDRIVE = 3' b110 (DRV8703-Q1)	350			
		R _(IDRIVE) = 1kΩ 至 AVDD (DRV8702-Q1) 或 IDRIVE = 3' b111 (DRV8703-Q1)	430			
I _{HOLD}	FET 保持电流	t _{DRIVE} 之后的源电流	10			mA
		t _{DRIVE} 之后的灌电流	40			
I _{STRONG}	FET 抑制强下拉	GHx	750			mA
		GLx	1000			
R _(OFF)	FET 栅极抑制电阻器	下拉 GHx 至 SHx	150			kΩ
		下拉 GLx 至 GND	150			
电流并联放大器和 PWM 电流控制 (SP、SN、SO、VREF)						
V _{VREF}	VREF 输入 rms 电压	用于电流内部斩波	0.3 ⁽²⁾		3.6	V
R _{VREF}	VREF 输入阻抗	DRV8702-Q1 和 DRV8703-Q1 VREF_SCL = 00 (100%)	1			MΩ
		DRV8703-Q1 VREF_SCL = 2' b01、2' b10 或 2' b11		175		kΩ
A _V	放大器增益 (DRV8702-Q1)	60 < V _{SP} < 225mV ; V _{SN} = GND	19.3	19.8	20.3	V/V
A _V	放大器增益 (DRV8703-Q1)	GAIN_CS = 00 ; 10 < V _{SP} < 450mV ; V _{SN} = GND	9.75	10	10.25	V/V
		GAIN_CS = 01 ; 60 < V _{SP} < 225mV ; V _{SN} = GND	19.3	19.8	20.3	
		GAIN_CS = 10 ; 10 < V _{SP} < 112mV ; V _{SN} = GND	38.4	39.4	40.4	
		GAIN_CS = 11 ; 10 < V _{SP} < 56mV ; V _{SN} = GND	73	78	81	
V _{IO}	以输入为基准的偏移	V _{SP} = V _{SN} = GND		5	10	mV
V _{IO(DRIFT)}	漂移偏移 ⁽²⁾	V _{SP} = V _{SN} = GND		10		μV/°C
I _{SP}	SP 输入电流	V _{SP} = 100mV ; V _{SN} = GND		-20		μA
V _{SO}	SO 引脚输出电压范围		A _V × V _{io}		4.5	V
C _(SO)	允许的 SO 引脚电容				1	nF
保护电路						
V _(UVLO2)	VM 欠压锁定	VM 下降 ; UVLO2 报告		5.25	5.45	V
		VM 上升 ; UVLO2 恢复		5.4	5.65	
V _(UVLO1)	逻辑欠压锁定				4.5	V
V _{hys(UVLO)}	VM 欠压迟滞	上升至下降阈值	100			mV

在建议运行条件下测得（除非另有说明）。 $T_A = 25^\circ\text{C}$ 且 $V_{VM} = 13.5\text{V}$ 时，适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
V _(CP_UV)	电荷泵欠压	VCP 下降；CPUV 报告	V _{VM} + 1.5			V
		VCP 上升；CPUV 恢复	V _{VM} + 1.55			
V _{hys} (CP_UV)	CP 欠压迟滞	上升至下降阈值	50			mV
V _{DS} (OCP)	过流保护跳变电平，每个外部 FET (DRV8702-Q1) 的 V _{DS} 高侧 FET：VDRAIN - SHx 低侧 FET：SHx - SP/SL2	R _(VDS) < 1k Ω 至 GND	0.06			V
		R _(VDS) = 33k Ω 至 GND	0.12			
		R _(VDS) = 200k Ω 至 GND	0.24			
		R _(VDS) > 2M Ω 至 GND	0.48			
		R _(VDS) = 68k Ω 至 AVDD	0.96			
		R _(VDS) < 1k Ω 至 AVDD	禁用			
V _{DS} (OCP)	过流保护跳变电平，每个外部 FET (DRV8703-Q1) 的 V _{DS} 高侧 FET：VDRAIN - SHx 低侧 FET：SHx - SP/SL2	VDS_LEVEL = 3' b000	0.06			V
		VDS_LEVEL = 3' b001	0.145			
		VDS_LEVEL = 3' b010	0.17			
		VDS_LEVEL = 3' b011	0.2			
		VDS_LEVEL = 3' b100	0.12			
		VDS_LEVEL = 3' b101	0.24			
		VDS_LEVEL = 3' b110	0.48			
		VDS_LEVEL = 3' b111	0.96			
V _{SP} (OCP)	过流保护跳变电平，由检测放大器测量	V _{SP} 相对于 GND	0.8	1	1.2	V
T _(OTW)	热警告温度 ⁽¹⁾	内核温度 T _J	120	135	145	°C
T _{SD}	热关断温度 ⁽¹⁾	内核温度 T _J	150			°C
T _{hys}	热关断迟滞 ⁽¹⁾	内核温度 T _J		20		°C
V _C (GS)	栅极驱动钳位电压	正钳位电压	16.3	17	17.8	V
		负钳位电压	-1	-0.7	-0.5	

(1) 通过设计和特性数据加以保证。

(2) 可在 $V_{VREF} = 0$ 至约 0.3V 的条件下运行，但精度会下降。

5.6 SPI 时序要求

		最小值	标称值	最大值	单位
$t_{(CLK)}$	最小 SPI 时钟周期	100			ns
$t_{(CLKH)}$	时钟高电平时间	50			ns
$t_{(CLKL)}$	时钟低电平时间	50			ns
$t_{(SU_SDI)}$	SDI 输入数据设置时间	20			ns
$t_{(HD_SDI)}$	SDI 输入数据保持时间	30			ns
$t_{(HD_SDO)}$	SDO 输出保持时间	40			ns
$t_{(SU_SCS)}$	SCS 设置时间	50			ns
$t_{(HD_SCS)}$	SCS 保持时间	50			ns
$t_{(HI_SCS)}$	SCS 低电平有效前的 SCS 最短高电平时间	400			ns

5.7 开关特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM、AVDD、DVDD)						
t_{SLEEP}	睡眠时间	nSLEEP = 低电平至睡眠模式			100	μs
t_{wu}	唤醒时间	nSLEEP = 高电平至输出变化			1	ms
t_{on}	导通时间	VM > UVLO2 至输出切换			1	ms
电荷泵 (VCP、CPH、CPL)						
$f_{\text{S(VCP)}}$	电荷泵开关频率	VM > UVLO2	200	400	700	kHz
控制输入 (IN1、IN2、nSLEEP、MODE、nSCS、SCLK、SDI、PH、EN)						
t_{pd}	传播延迟	IN1、IN2 至 GHx 或 GLx		500		ns
FET 栅极驱动器 (GH1、GH2、SH1、SH2、GL1、GL2)						
$t_{\text{(DEAD)}}$	输出死区时间 (DRV8702-Q1)	观察到的 $t_{\text{(DEAD)}}$ 取决于 IDRIVE 设置		240		ns
$t_{\text{(DEAD)}}$	输出死区时间 (DRV8703-Q1)	TDEAD = 2'b00 ; 观察到的 $t_{\text{(DEAD)}}$ 取决于 IDRIVE 设置		120		ns
		TDEAD = 2'b01 ; 观察到的 $t_{\text{(DEAD)}}$ 取决于 IDRIVE 设置		240		
		TDEAD = 2'b10 ; 观察到的 $t_{\text{(DEAD)}}$ 取决于 IDRIVE 设置		480		
		TDEAD = 2'b11 ; 观察到的 $t_{\text{(DEAD)}}$ 取决于 IDRIVE 设置		960		
$t_{\text{(DRIVE)}}$	栅极驱动时间			2.5		μs
电流并联放大器和 PWM 电流控制 (SP、SN、SO、VREF)						
t_{S}	精度达 $\pm 1\%$ 的趋稳时间 ⁽¹⁾	$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ 至 $V_{\text{SP}} = 240\text{mV}$, $V_{\text{SN}} = \text{GND}$, $A_{\text{V}} = 10$; $C_{\text{(SO)}} = 200\text{pF}$			0.5	μs
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ 至 $V_{\text{SP}} = 120\text{mV}$, $V_{\text{SN}} = \text{GND}$, $A_{\text{V}} = 20$; $C_{\text{(SO)}} = 200\text{pF}$			1	
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ 至 $V_{\text{SP}} = 60\text{mV}$, $V_{\text{SN}} = \text{GND}$, $A_{\text{V}} = 40$; $C_{\text{(SO)}} = 200\text{pF}$			2	
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ 至 $V_{\text{SP}} = 30\text{mV}$, $V_{\text{SN}} = \text{GND}$, $A_{\text{V}} = 80$; $C_{\text{(SO)}} = 200\text{pF}$			4	
t_{off}	PWM 关断时间 (DRV8702-Q1)			25		μs
t_{off}	PWM 关断时间 (DRV8703-Q1)	TOFF = 00		25		μs
		TOFF = 01		50		
		TOFF = 10		100		
		TOFF = 11		200		
$t_{\text{(BLANK)}}$	PWM 消隐时间			2		μs
保护电路						
$t_{\text{(UVLO)}}$	VM UVLO 下降抗尖峰脉冲时间	VM 下降 ; UVLO 报告		10		μs
$t_{\text{(OCP)}}$	过流抗尖峰时间		3.7	4	4.3	μs
$t_{\text{(RETRY)}}$	过流重试时间		2.8	3	3.2	ms

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
$t_{(WD)}$	看门狗超时 (DRV8703-Q1)	WD_DLY = 2' b00	10		ms
		WD_DLY = 2' b01	20		
		WD_DLY = 2' b10	50		
		WD_DLY = 2' b11	100		
$t_{(RESET)}$	看门狗计时器复位周期		64		μs
SPI					
$t_{(SPI_READY)}$	上电后的 SPI 读取	VM > VUVLO1	5	10	ms
$t_{d(SDO)}$	SDO 输出数据延迟时间, CLK 高电平至 SDO 有效	$C_L = 20pF$		30	ns
t_a	SCS 访问时间, SCS 低电平至 SDO 退出高阻抗状态		10		ns
t_{dis}	SCS 禁用时间, SCS 高电平至 SDO 进入高阻抗状态		10		ns

(1) 通过设计保证

5.8 典型特性

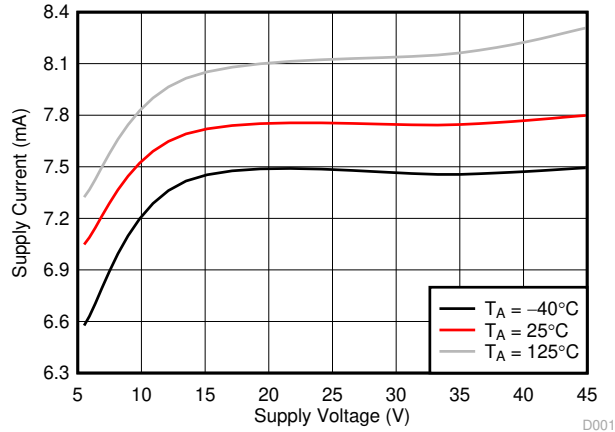


图 5-1. 电源电流与电源电压间 (VM) 的关系

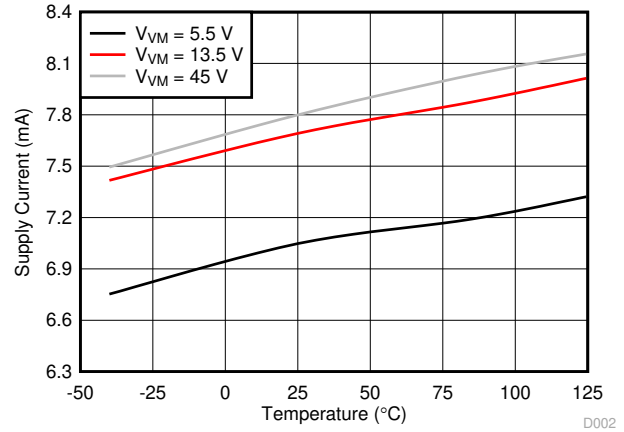


图 5-2. 电源电流与温度间的关系

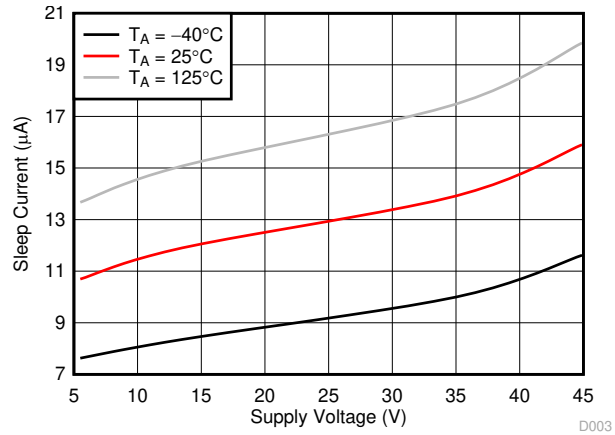


图 5-3. 睡眠电流与电源电压 (VM) 间的关系

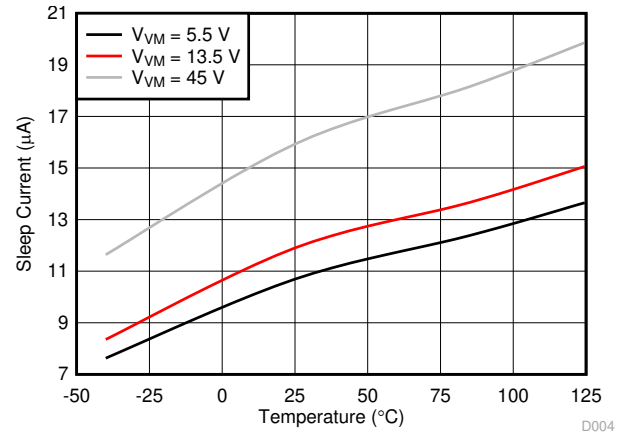
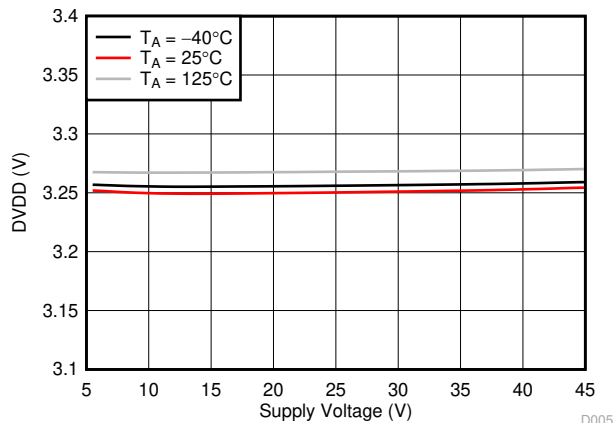
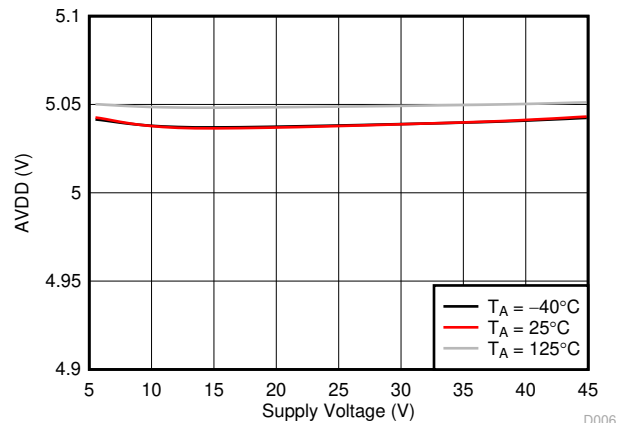


图 5-4. 睡眠电流与温度间的关系



2mA 负载

图 5-5. DVDD 稳压器



2mA 负载

图 5-6. AVDD 稳压器

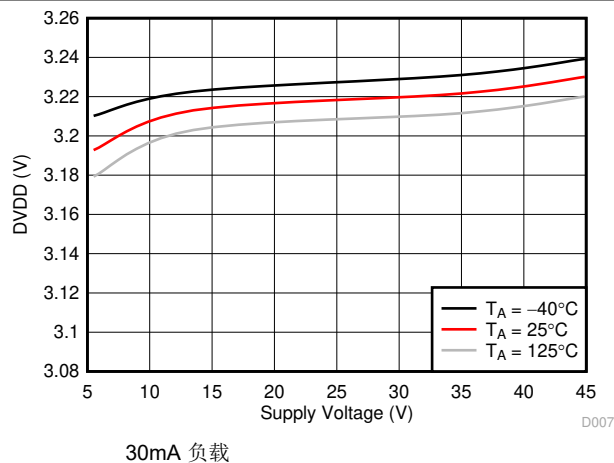


图 5-7. DVDD 稳压器

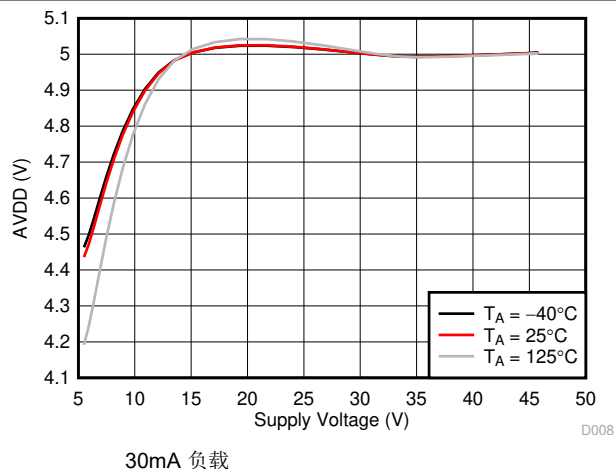


图 5-8. AVDD 稳压器

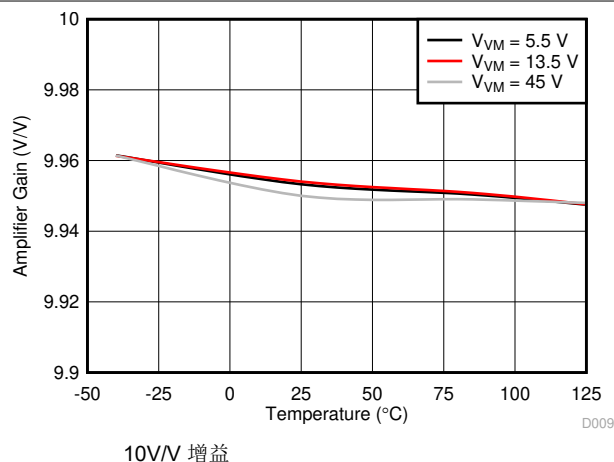


图 5-9. 放大器增益

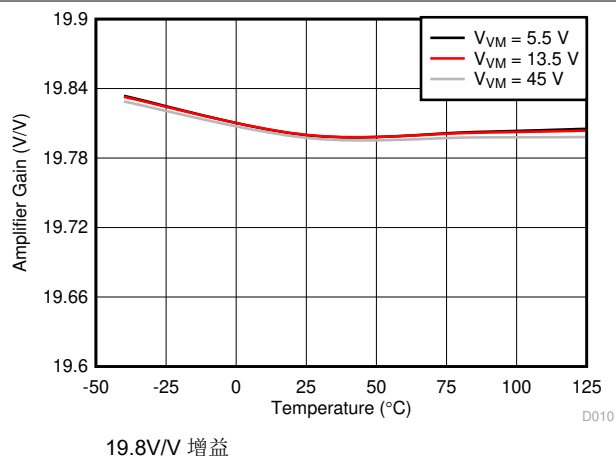


图 5-10. 放大器增益

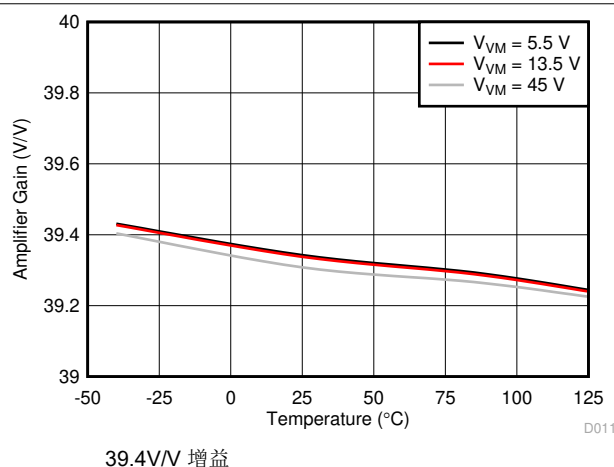


图 5-11. 放大器增益

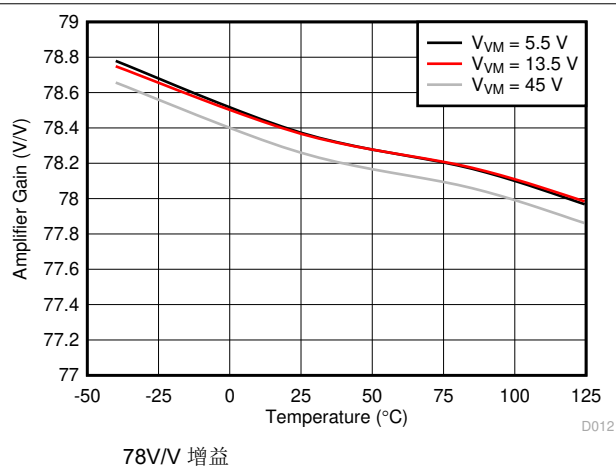


图 5-12. 放大器增益

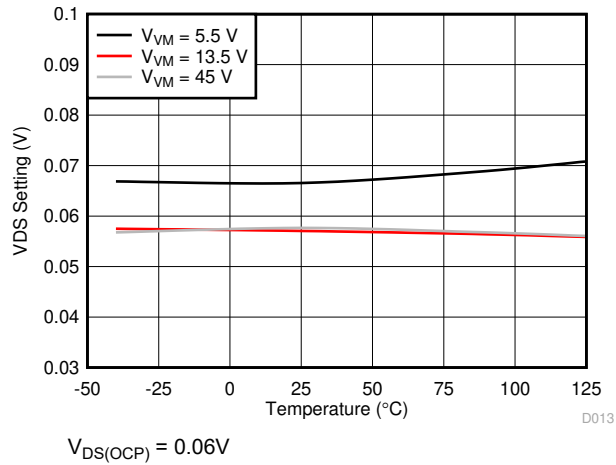


图 5-13. OCP 阈值电压

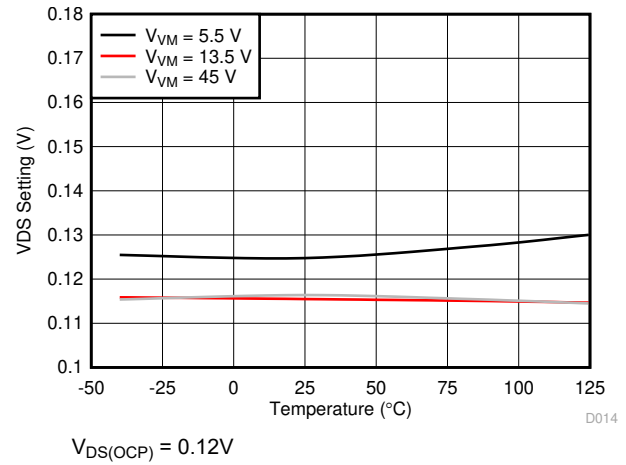


图 5-14. OCP 阈值电压

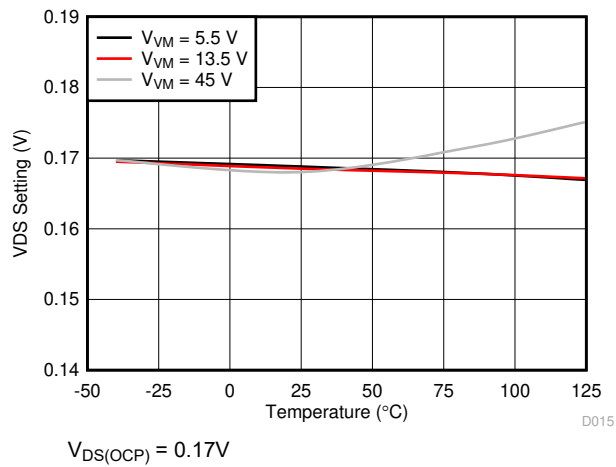


图 5-15. OCP 阈值电压

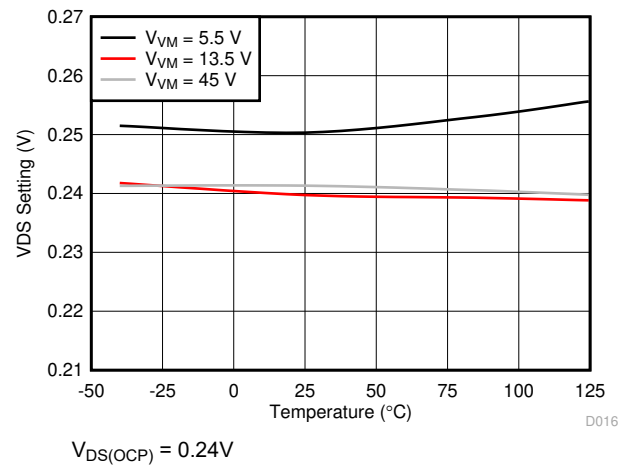


图 5-16. OCP 阈值电压

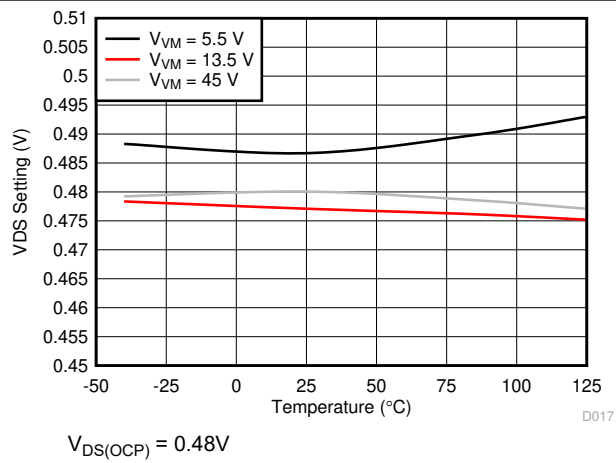


图 5-17. OCP 阈值电压

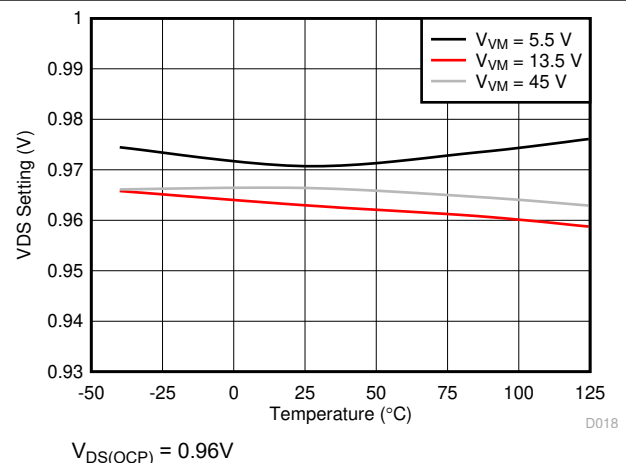


图 5-18. OCP 阈值电压

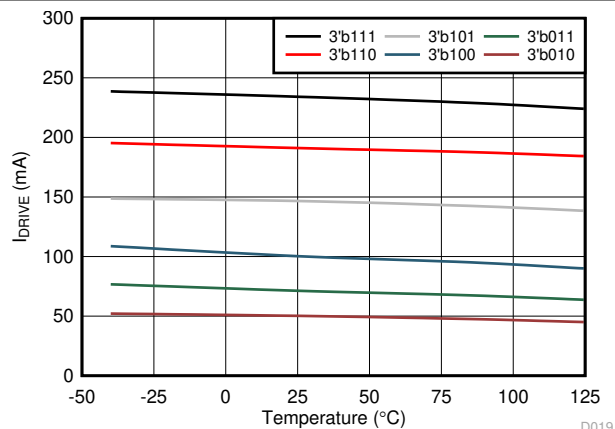
 $V_{VM} = 5.5\text{ V}$

图 5-19. 高侧源电流

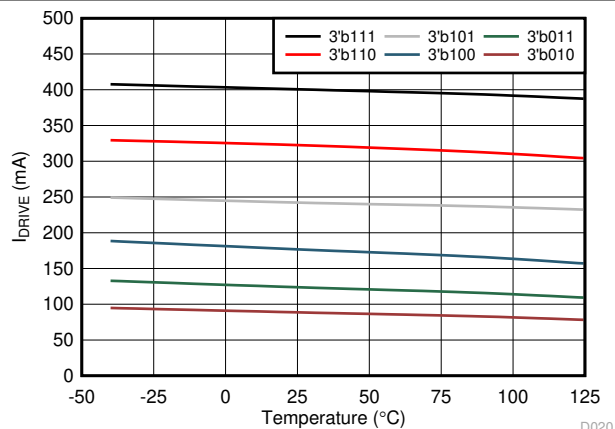
 $V_{VM} = 5.5\text{ V}$

图 5-20. 高侧灌电流

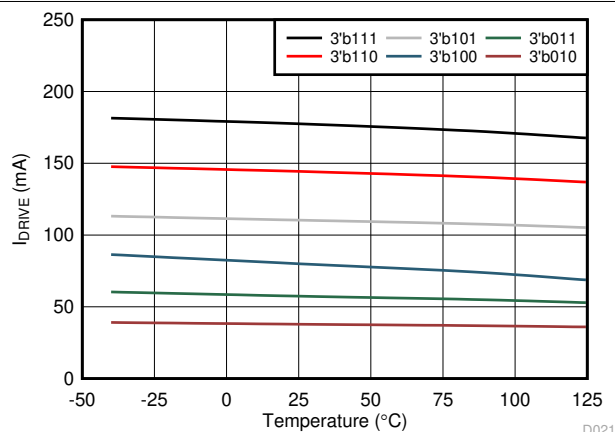
 $V_{VM} = 5.5\text{ V}$

图 5-21. 低侧源电流

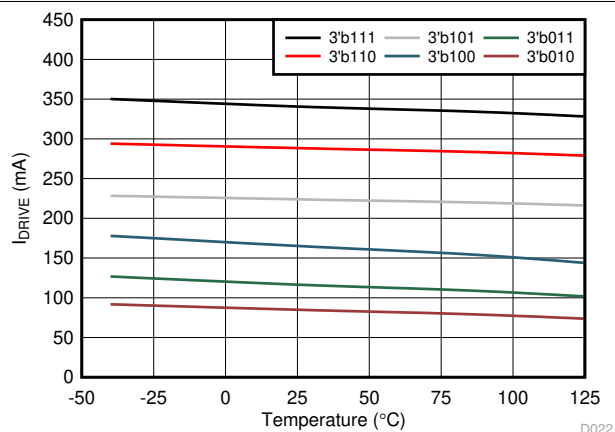
 $V_{VM} = 5.5\text{ V}$

图 5-22. 低侧灌电流

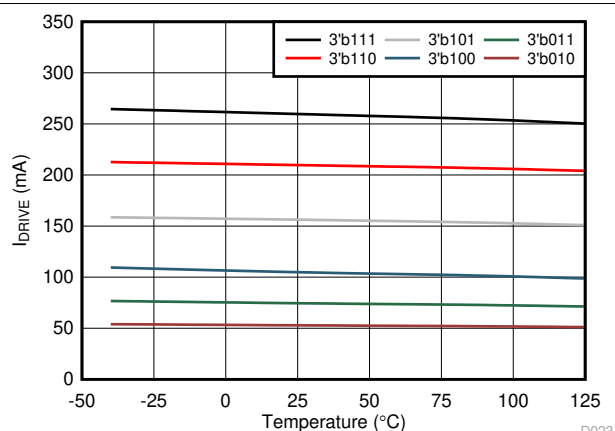
 $V_{VM} = 13.5\text{ V}$

图 5-23. 高侧源电流

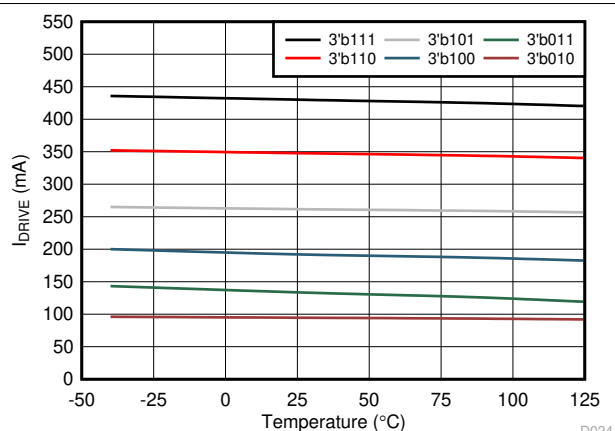
 $V_{VM} = 13.5\text{ V}$

图 5-24. 高侧灌电流

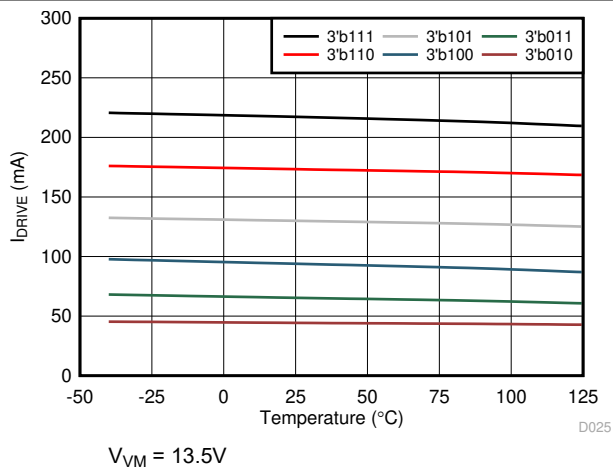


图 5-25. 低侧源电流

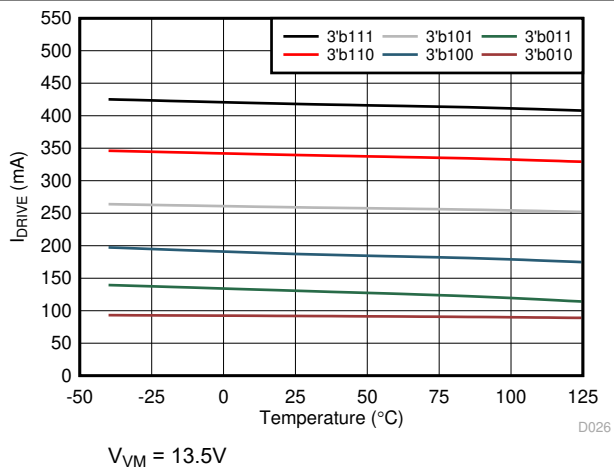


图 5-26. 低侧灌电流

6 详细说明

6.1 概述

DRV87002-Q1 和 DRV87003-Q1 属于单路 H 桥驱动器，也称为栅极控制器。这些驱动器控制四个外部 NMOS FET 来驱动双向有刷直流电机。这些器件还可以在独立半桥模式下运行，以驱动两个单向有刷直流电机。

这些器件可支持 5.5V 至 45V 的电源电压，并通过 nSLEEP 引脚启用了低功耗睡眠模式。接口模式有三种选项，包括可配置 PH/EN、独立 H 桥控制或 PWM 接口，因此可以轻松连接到控制器电路。

DRV87002-Q1 和 DRV87003-Q1 采用智能栅极驱动技术，集保护功能和栅极驱动可配置性于一体，可提高电机系统的设计简易性并将其智能程度提高到新的水平。栅极驱动强度或栅极驱动电流可通过驱动器本身进行调节，从而无需外部电阻器即可针对不同 FET 和应用进行优化。智能栅极驱动器通过将所需 FET 驱动电路集成到单个器件中，显著减少了分立式电机驱动器系统的元件数量。峰值电流可通过 DRV8702-Q1 的 IDRIVE 引脚和 DRV8703-Q1 的 SPI 进行调节。当 VM 电压大于 13.5V 时，高侧和低侧 FET 均由 10.5V (标称值) 栅源极电压 (VGS) 驱动。在更低的 VM 电压下，VGS 将会降低。高侧栅极驱动电压是使用倍增器架构电荷泵生成的，该电荷泵可调节 $VM + 10.5V$ 。

可以通过内置的固定关断时间电流斩波方案，对浪涌或启动电流以及运行电流进行限制。可以通过检测电阻器设置 VREF 引脚上的电压，从而设置斩波电流电平。有关更多信息，请参阅电流调节部分。这些器件中还包含一个并联放大器，用于为系统控制器提供精确的电流测量值。SO 引脚输出的电压大约是 DRV8702-Q1 器件上检测电阻器两端电压的 20 倍。对于 DRV8703-Q1，此增益是可配置的。

DRV870x-Q1 器件还具有超越传统分立式实现方案的保护功能，包括：欠压锁定 (UVLO)、过流保护 (OCP)、栅极驱动器故障和热关断 (TSD)。

该器件为内部数字振荡器和内部电荷泵集成了展频时钟特性。此特性与输出转换率控制相结合，可最大程度地减少器件的辐射发射。

6.2 功能方框图

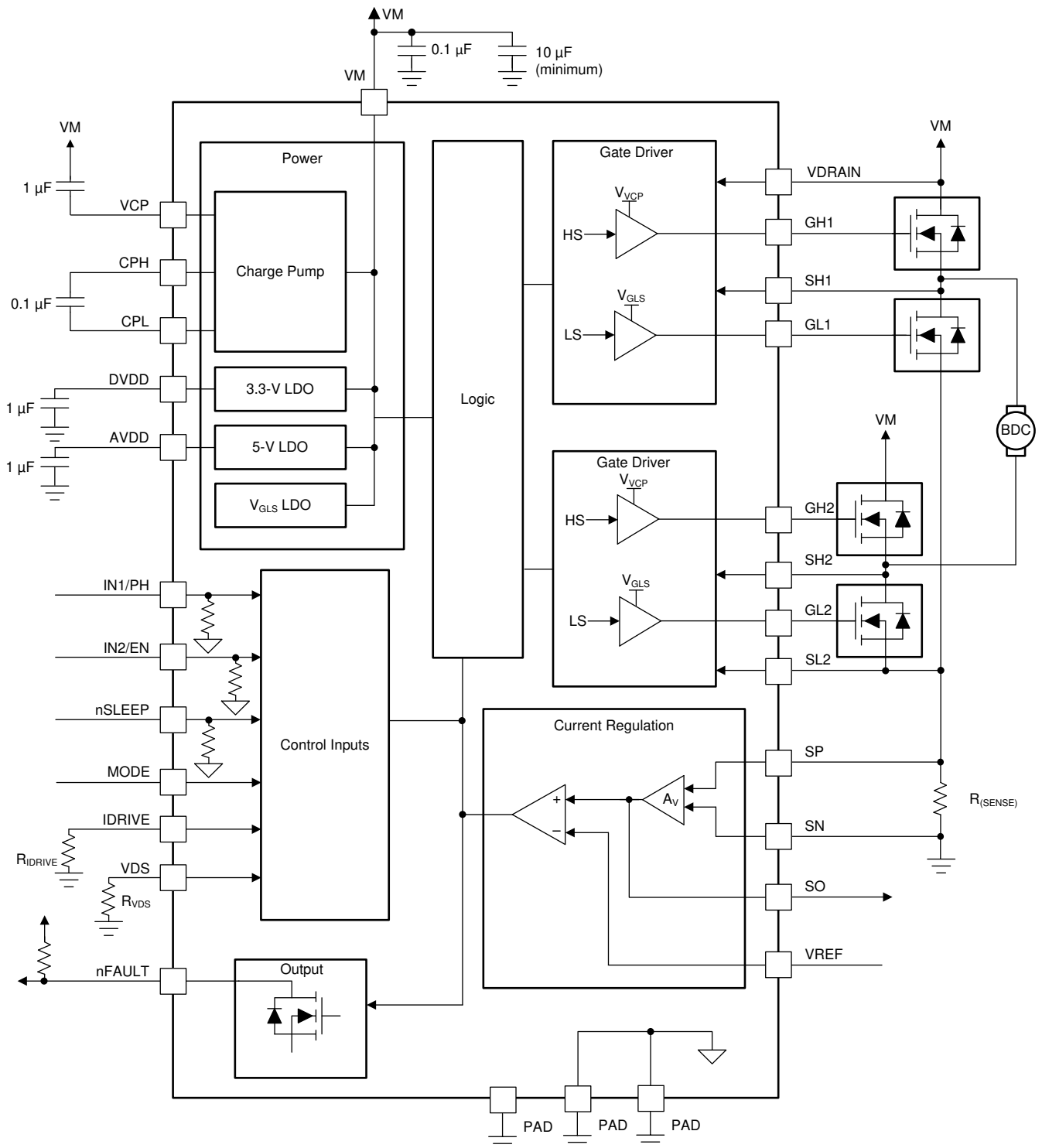
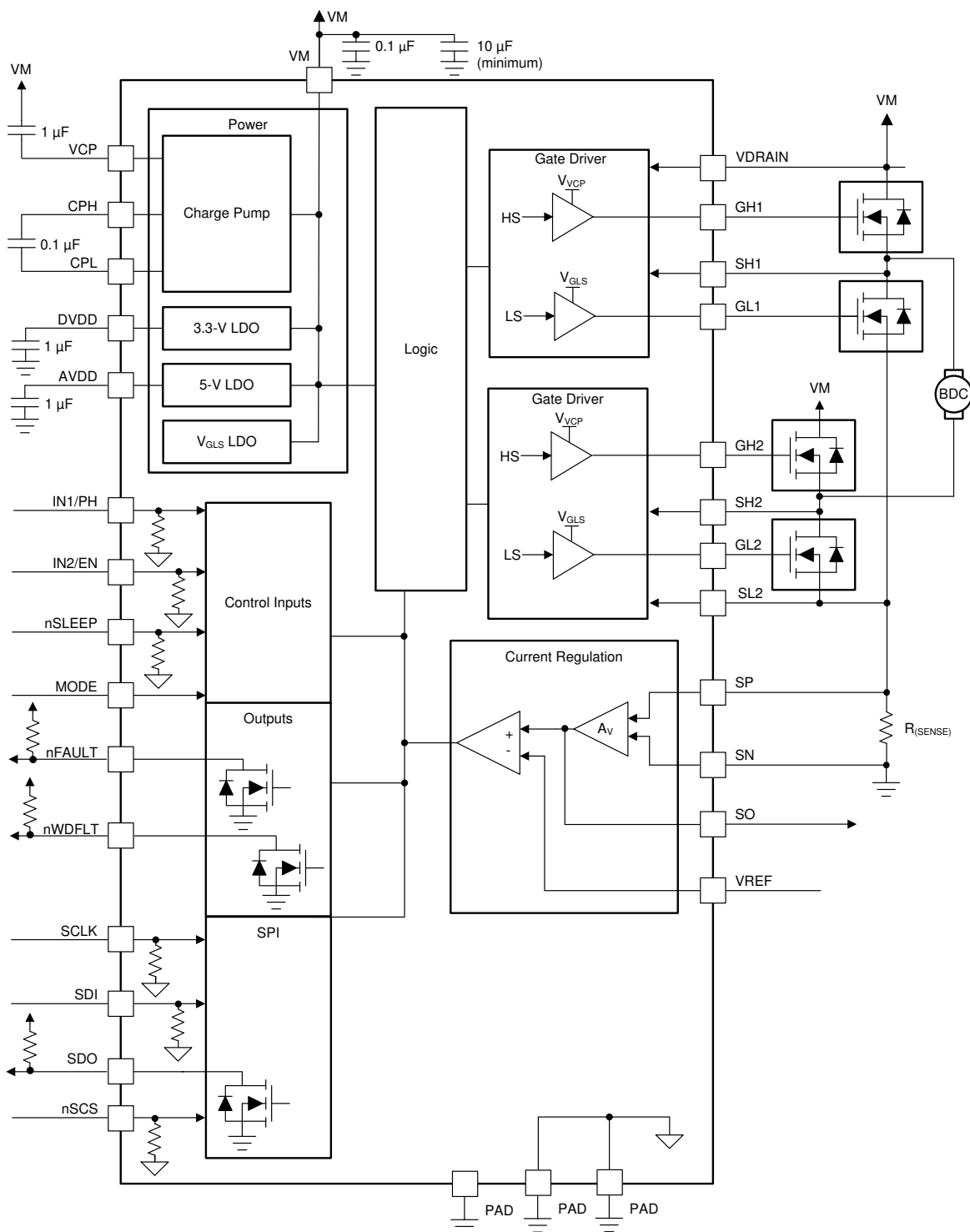


图 6-1. DRV8702-Q1 功能框图



Copyright © 2017, Texas Instruments Incorporated

图 6-2. DRV8703-Q1 功能框图

6.3 特性说明

表 6-1 和表 6-2 列出了推荐用于此器件的外部元件。

表 6-1. 外部组件

元件	引脚 1	引脚 2	推荐
$C_{(VM1)}$	VM	GND	额定电压为 VM 的 0.1 μ F 陶瓷电容器
$C_{(VM2)}$	VM	GND	额定电压为 VM、不低于 10 μ F 的陶瓷电容器
$C_{(VCP)}$	VCP	VM	16V、1 μ F 陶瓷电容器
$C_{(SW)}$	CPH	CPL	额定电压为 VM 的 0.1 μ F X7R 电容器
$C_{(DVDD)}$	DVDD	GND	6.3V、1 μ F 陶瓷电容器
$C_{(AVDD)}$	AVDD	GND	6.3V、1 μ F 陶瓷电容器
$R_{(IDRIVE)}$	IDRIVE	GND	有关电阻大小, 请参阅 节 8.2 部分
$R_{(VDS)}$	VDS	GND	有关电阻大小, 请参阅 节 8.2 部分
$R_{(nFAULT)}$	V_{CC} ⁽¹⁾	nFAULT	$\geq 10k\Omega$
$R_{(nWDFLT)}$	V_{CC} ⁽¹⁾	nWDFLT	$\geq 10k\Omega$
$R_{(SENSE)}$	SP	SN 或 GND	可选低侧检测电阻器
$R_{(VDRAIN)}$ ⁽²⁾	VDRAIN	VM	100 Ω 串联电阻器

- (1) V_{CC} 引脚不是 DRV870x-Q1 上的引脚, 但漏极开路输出 nFAULT 需要 V_{CC} 电源电压上拉。这些引脚可以上拉至 AVDD 或 DVDD。
(2) 如果在 VDRAIN 引脚上未实现外部电池反向保护, 则必须在 VDRAIN 和 VM 引脚之间使用 $R_{(VDRAIN)}$ 电阻器, 以尽可能减小流向 VDRAIN 引脚的电流。

表 6-2. 外部栅极

元件	GATE	DRAIN	SOURCE	推荐
$Q_{(HS1)}$	GH1	VM	SH1	在 40kHz PWM 下支持高达 200nC 的 FET 有关更多信息, 请参阅 节 8
$Q_{(LS1)}$	GL1	SH1	SP 或 GND	
$Q_{(HS2)}$	GH2	VM	SH2	
$Q_{(LS2)}$	GL2	SH2	SP 或 GND	

6.3.1 电桥控制

DRV870x-Q1 器件使用一个可配置输入接口进行控制。节 6.3.1.1 部分提供了全 H 桥状态。这些表未考虑 DRV870x-Q1 器件中内置的电流控制。正电流的方向定义为 SH1 $\rightarrow$ SH2。MODE 引脚所设置的逻辑运行状态会在加电或退出睡眠模式时锁存。

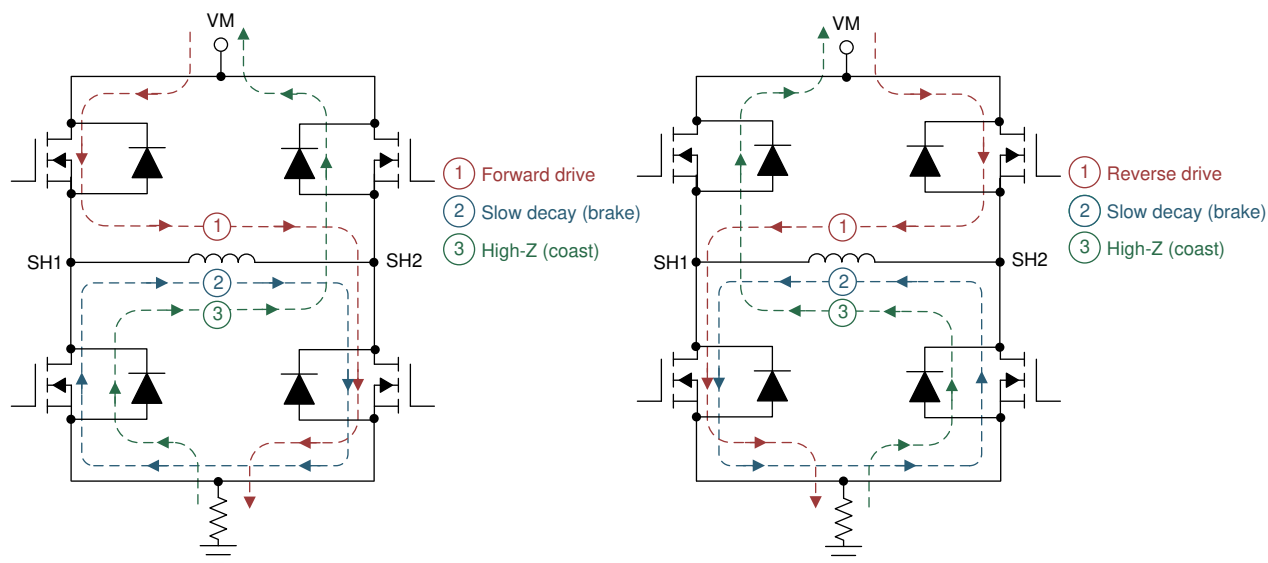


图 6-3. 电桥控制

6.3.1.1 逻辑表

表 6-3、表 6-4 和表 6-5 是器件逻辑表。X 表示不用考虑输入或输出。

表 6-3. DRV870x-Q1 PH 和 EN 控制接口 (MODE = 0)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	说明
0	X	X	X	X	高阻态	X	X	高阻态	禁用	睡眠模式, H 桥禁用, Hi-Z
1	X	0	0	1	L	0	1	L	启用	制动, 低侧慢速衰减
1	0	1	0	1	L	1	0	H	启用	反向 (电流 SH2 → SH1)
1	1	1	1	0	H	0	1	L	启用	正向 (电流 SH1 → SH2)

表 6-4. DRV870x-Q1 独立 PWM 控制接口 (MODE = 1)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	说明
0	X	X	X	X	高阻态	X	X	高阻态	禁用	睡眠模式, H 桥禁用, Hi-Z
1	X	0	X	X	X	0	1	L	启用	半桥 2 低侧导通
1	X	1	X	X	X	1	0	H	启用	半桥 2 高侧导通
1	0	X	0	1	L	X	X	X	启用	半桥 1 低侧导通
1	1	X	1	0	H	X	X	X	启用	半桥 1 高侧导通

表 6-5. DRV870x-Q1 标准 PWM 控制接口 (MODE = Hi-Z)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	说明
0	X	X	X	X	高阻态	X	X	高阻态	禁用	睡眠模式, H 桥禁用, Hi-Z
1	0	0	0	0	高阻态	0	0	高阻态	启用	滑行, H 桥禁用, Hi-Z
1	0	1	0	1	L	1	0	H	启用	反向 (电流 SH2 → SH1)
1	1	0	1	0	H	0	1	L	启用	正向 (电流 SH1 → SH2)
1	1	1	0	1	L	0	1	L	启用	制动, 低侧慢速衰减

6.3.2 MODE 引脚

该器件的 MODE 引脚确定控制接口, 并在加电或退出睡眠模式时锁存。图 6-4 显示了 MODE 引脚的内部电路概览。

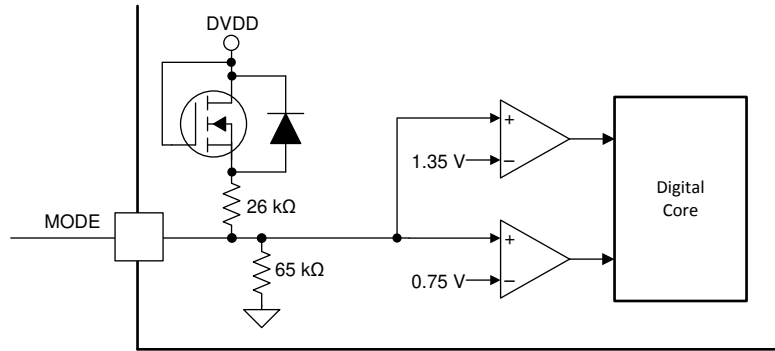


图 6-4. MODE 引脚方框图

表 6-6 列出了加电或退出睡眠模式时可通过 MODE 引脚设置的不同控制接口。

表 6-6. MODE 引脚配置

模式	控制接口
0	PH 或 EN
1	独立半桥
高阻态	PWM

在器件加电序列期间，首先会启用 DVDD 引脚。然后锁存 MODE 引脚。最后启用 AVDD 引脚。要设置 PWM 控制接口，TI 不建议将 MODE 引脚连接到 AVDD 引脚。相反，MODE 引脚应连接到外部 5V 或 3.3V 电源，或者如果不由外部微控制器 (MCU) 驱动，则应连接到 DVDD 引脚。

6.3.3 nFAULT 引脚

nFAULT 引脚具有漏极开路输出且应上拉至 5V 或 3.3V 电源电压。当检测到故障时，nFAULT 线路为逻辑低电平。

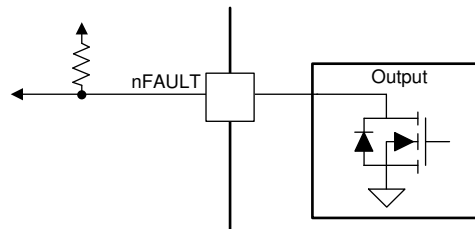


图 6-5. nFAULT 方框图

对于 3.3V 上拉，nFAULT 引脚可通过一个电阻器连接至 DVDD 引脚（请参阅第 8 部分）。对于 5V 上拉，应使用一个外部 5V 电源。TI 不建议将 nFAULT 引脚连接到 AVDD 引脚。

6.3.4 电流调节

流经电机绕组的最大电流由一个具有固定关断时间的 PWM 电流调节功能或电流斩波进行调节。当在正向或反向驱动方向上启用 H 桥时，通过绕组的电流会以一定的速率上升，该速率取决于直流电压和绕组电感。当电流达到电流斩波阈值时，电桥将进入制动（低侧慢速衰减）模式，直到 t_{off} 时间结束。

备注

接通电流后，SP 引脚上的电压将立即被忽略一段时间 (t_{BLANK})，然后再使能电流检测电路。

PWM 斩波电流由一个比较器设置，该比较器将连接到 SP 引脚的电流检测电阻器两端的电压乘以一个因数 A_V ，然后与 VREF 引脚上的基准电压进行比较。因子 A_V 为并联放大器增益，对于 DRV8702-Q1 器件为 19.8V/V，对于 DRV8703-Q1 器件可配置为 10、19.8、39.4 或 7V/V。

使用方程式 1 计算斩波电流 (I_{CHOP})。

$$I_{(CHOP)} = \frac{V_{VREF} - V_{IO} \times A_V}{A_V \times R_{(SENSE)}} \quad (1)$$

例如，如果选择 50mΩ 检测电阻器和 3.3V 的 VREF 值，则满标度斩波电流为 3.28A。在这个示例中，假设 A_V 为 19.8V/V， V_{IO} 为 50mV。

对于直流电机，利用电流调节来限制电机的启动和停止电流。如果不需要电流调节功能，可以通过将 VREF 引脚直接连接到 AVDD 引脚来禁用电流调节功能。如果选择了独立 PWM 控制接口模式 (MODE 引脚为 1) 进行运行，则器件不会执行 PWM 电流调节或电流斩波。

6.3.5 放大器输出 (SO)

DRV870x-Q1 器件上的 SO 引脚输出一个模拟电压，其值等于 SP 和 SN 引脚之间的电压乘以 A_V 。SO 电压仅对正向或反向驱动有效。使用方程式 2 计算 H 桥的大致电流。

$$I = \frac{V_{SO} - V_{IO} \times A_V}{A_V \times R_{(SENSE)}} \quad (2)$$

当 SP 和 SN 电压为 0V 时，SO 引脚输出值为放大器偏移电压乘以放大器增益： $V_{IO} \times A_V$ 。当 SP 减 SN 大于 0V 时，SO 引脚输出值为放大器偏移电压与检测电阻器电压之和再乘以放大器增益： $(V_{IO} + V_{rsense}) \times A_V$ 。SO 引脚上无需电容器。

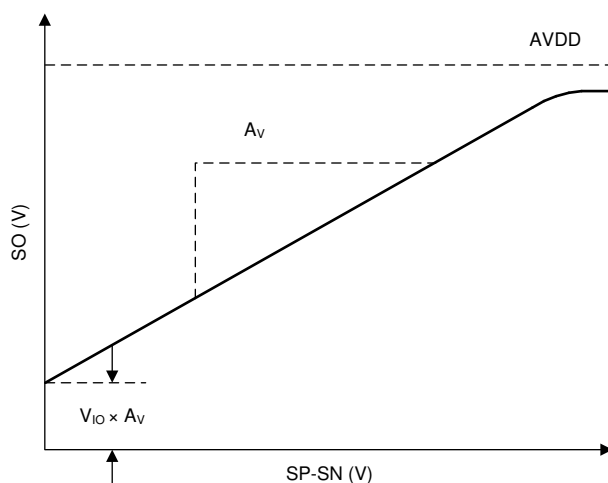


图 6-6. 电流检测放大器输出

如果 SP 和 SN 引脚上的电压超过 1V，DRV870x-Q1 器件会标记过流条件。

SO 引脚可以拉取高达 5mA 的电流。如果该引脚对地短路，或者该引脚驱动更高的电流负载，输出将充当恒流源。输出电压不代表此状态下的 H 桥电流。

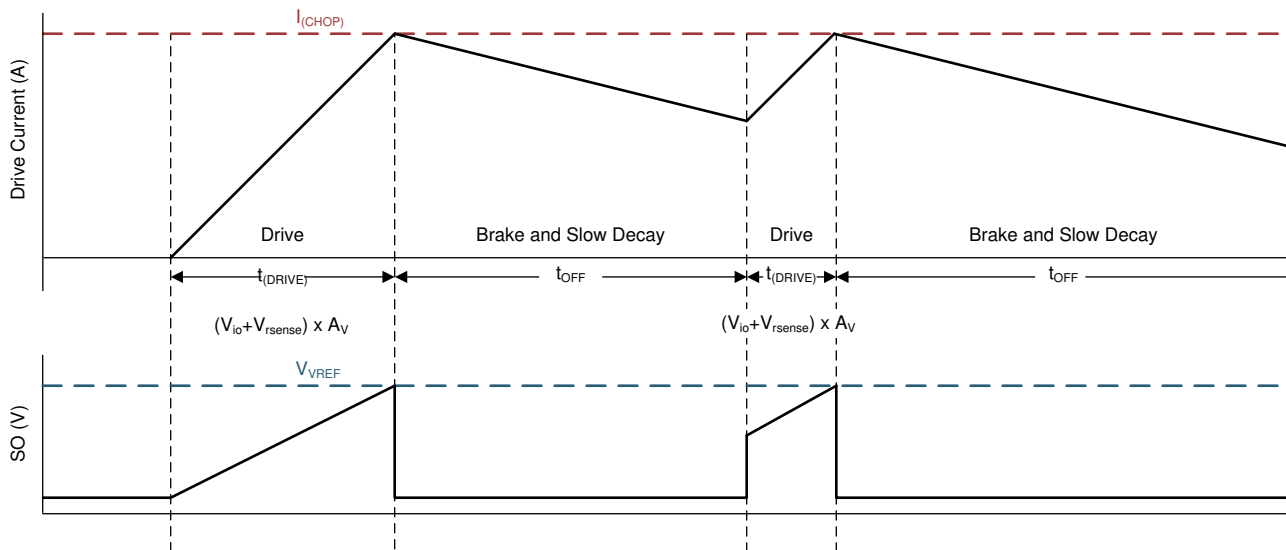


图 6-7. 电流检测放大器和电流斩波运行

在制动模式（慢速衰减）期间，电流通过低侧 FET 循环流动。由于电流不会流过检测电阻器，因此 SO 引脚不代表电机电流。

6.3.5.1 SO 采样保持操作

DRV8703-Q1 器件允许并联放大器在采样保持配置下运行。要启用此模式，请通过 SPI 将 SH_EN 位设置为高电平。在此模式下，只要驱动器处于制动模式，并联放大器输出就会被禁用至 Hi-Z 状态。在该引脚上放置一个外部电容器。

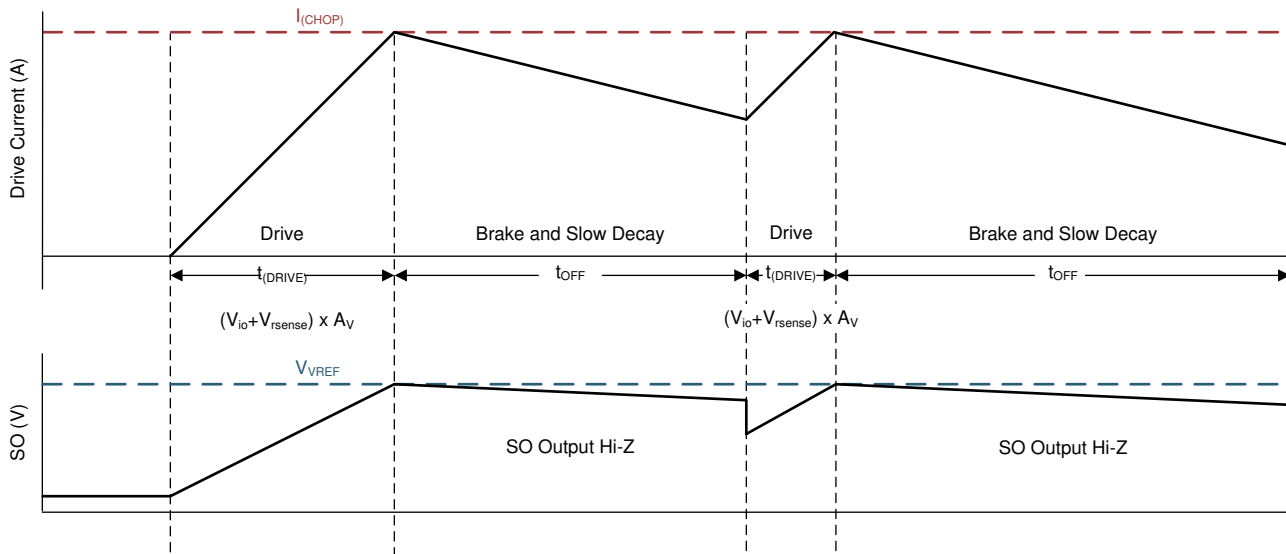


图 6-8. 采样保持操作

6.3.6 PWM 电机栅极驱动器

DRV870x-Q1 器件具有栅极驱动器，适用于采用外部 NMOS FET 的单路 H 桥。图 6-9 展示了该前置驱动器电路的方框图。

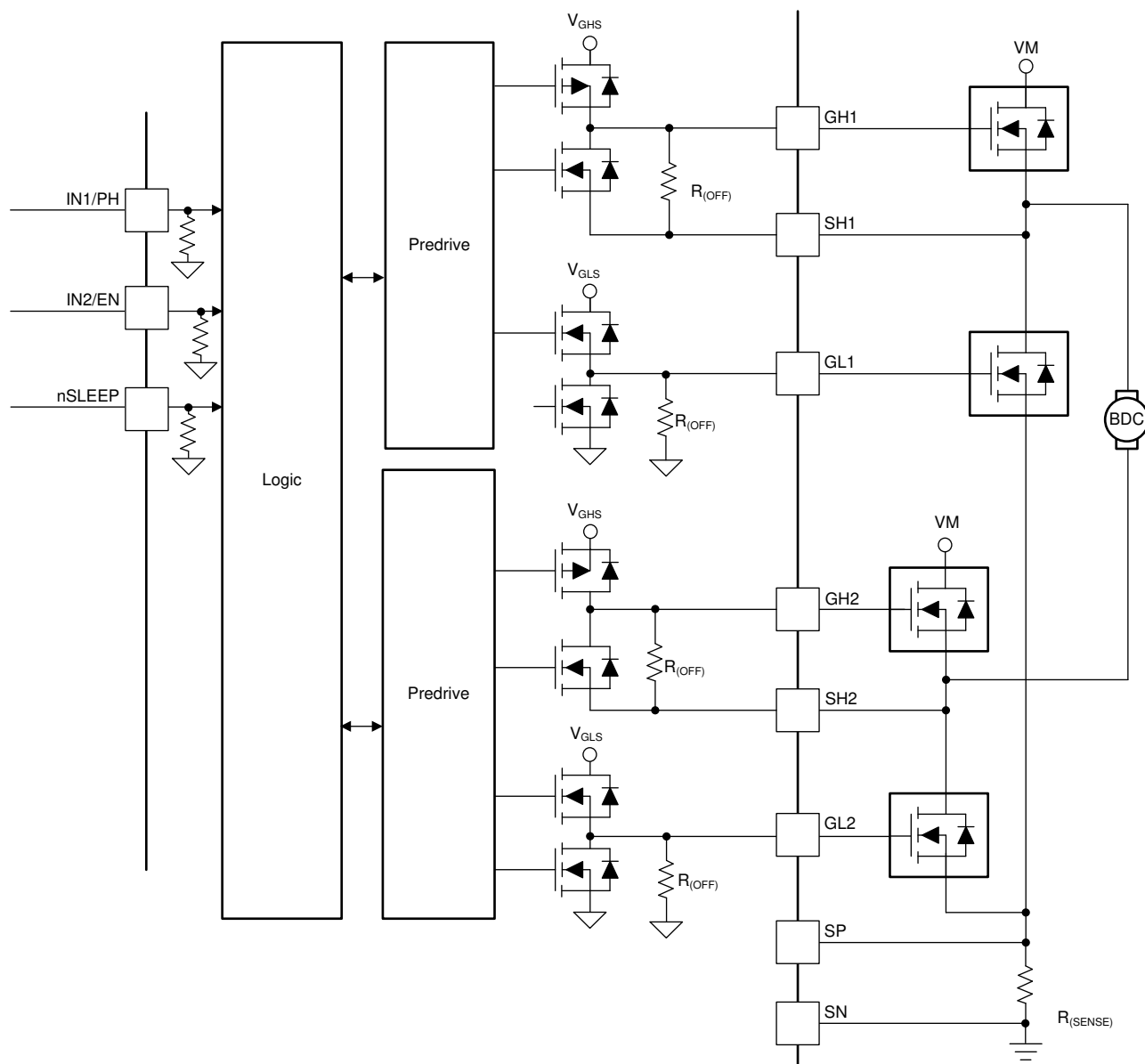


图 6-9. 前置驱动器方框图

DRV870x-Q1 器件内的栅极驱动器直接驱动 N 沟道 MOSFET，进而驱动电机电流。高侧栅极驱动器由电荷泵供电，而内部稳压器生成低侧栅极驱动电压。

栅极驱动器的峰值驱动电流可通过 IDRIVE 引脚（对于 DRV8702-Q1 器件）或 IDRIVE 寄存器（对于 DRV8703-Q1 器件）进行调节。峰值源电流可设置为表 5.5 的 FET 栅极驱动器部分中列出的值。峰值灌电流大约是峰值源电流的两倍。调节峰值电流会改变输出转换率，该转换率还取决于 FET 输入电容和栅极电荷。

快速开关时间会在 VM 和 GND 引脚上产生额外的噪声。这种额外噪声可能由于低侧体二极管的反向恢复时间相对较短而产生，此时体二极管会短暂导通反向偏置电流（类似于击穿）。较慢的开关时间可能会导致过多的功率耗散，因为外部 FET 的导通和关断时间较长。

改变输出状态时，会施加峰值电流 (I_{DRIVE}) 较短时间 ($t_{\text{(DRIVE)}}$)，以便为栅极电容充电。在此之后，使用弱电流源 (I_{HOLD}) 将栅极保持在所需状态。为给定的外部 FET 选择栅极驱动强度时，所选电流必须足够高，以便在 $t_{\text{(DRIVE)}}$ 期间对栅极进行完全充电和放电，否则 FET 中会耗散过多功率。

在高侧导通期间，低侧栅极通过强下拉电流 (I_{STRONG}) 拉低。此下拉电流可防止低侧 FET Q_{GS} 充电，并使 FET 保持关断状态，即使在输出端发生快速开关时也是如此。

栅极驱动器电路会在模拟电路中强制执行死区时间，以防止高侧和低侧 FET 同时导通。当开关 FET 导通时，此握手功能可防止高侧或低侧 FET 在另一侧 FET 关断前导通。

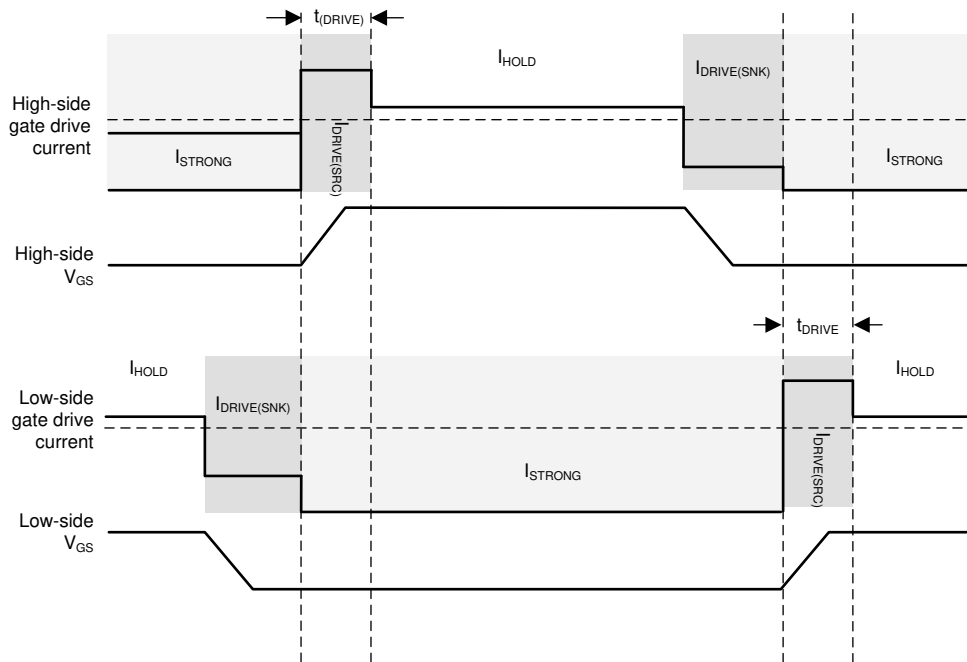


图 6-10. 用于控制外部 FET 的栅极驱动器输出

6.3.6.1 米勒电荷 (Q_{GD})

当 FET 栅极导通时，必须对以下电容进行充电：

- 栅源极电荷 Q_{GS}
- 栅漏极电荷 Q_{GD} (米勒电荷)
- 剩余 Q_{G}

FET 输出主要在 Q_{GD} 充电期间进行转换。

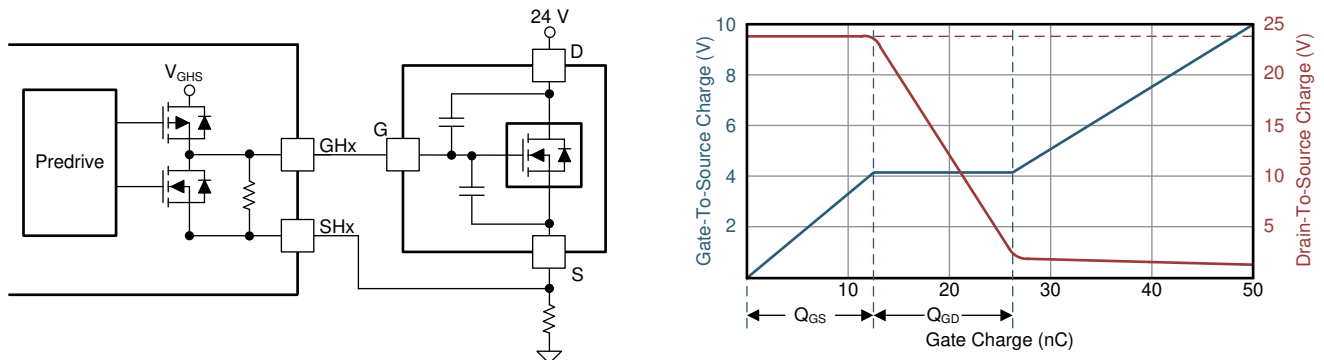


图 6-11. FET 栅极充电曲线

6.3.7 IDRIVE 引脚 (仅限 DRV8702-Q1)

H 桥输出端 (SHx 引脚) 的上升和下降时间可通过设置 IDRIVE 电阻值或强制向 IDRIVE 引脚施加一定电压来进行调节。如果选择了更高的 IDRIVE 设置, FET 栅极电压将具有更快的斜变速度。FET 栅极的斜变直接影响 H 桥输出端的上升和下降时间。

通过将 IDRIVE 引脚接地, 可选择 10mA 源电流和 20mA 灌电流的最低驱动设置。通过将该引脚保持开路, 可在 13.5V VM 电压下选择 155mA 高侧和 130mA 低侧的源电流驱动设置, 以及 265mA 高侧和 260mA 低侧的灌电流驱动设置。有关 IDRIVE 配置的详细列表, 请参阅表 6-7。

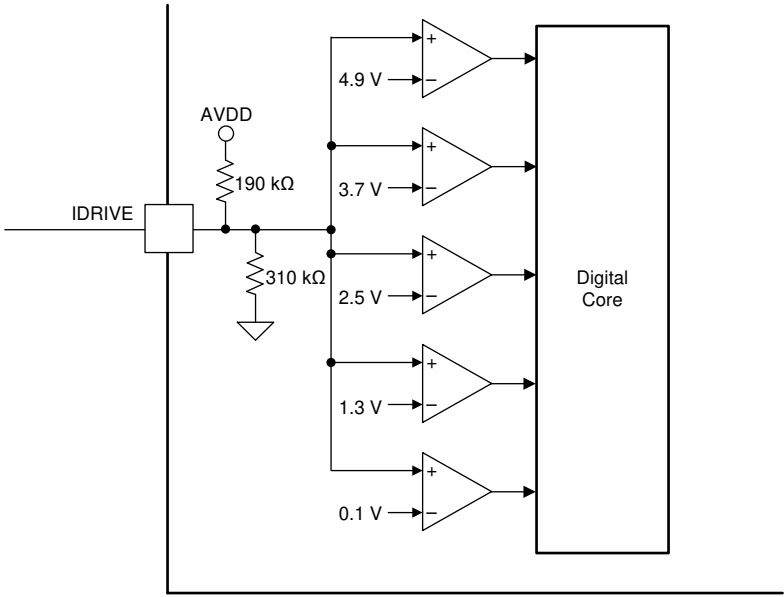


图 6-12. IDRIVE 引脚内部电路

表 6-7. DRV8702-Q1 IDRIVE 设置

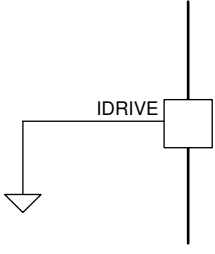
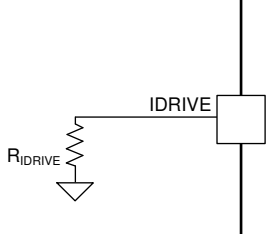
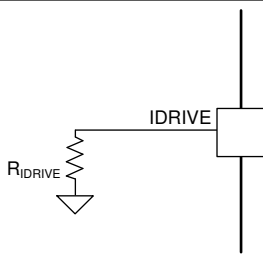
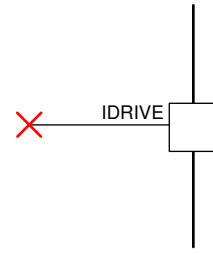
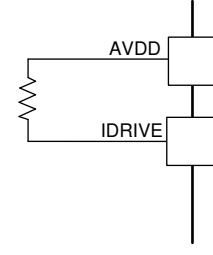
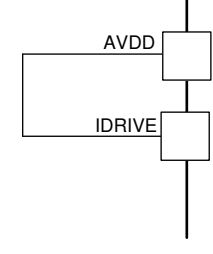
IDRIVE 电阻	IDRIVE 电压	源电流		灌电流		电路
		V _{VM} = 5.5 V	V _{VM} = 13.5V	V _{VM} = 5.5 V	V _{VM} = 13.5V	
与 GND 之间电阻 < 1kΩ	GND	高侧 : 10mA 低侧 : 10mA	高侧 : 10mA 低侧 : 10mA	高侧 : 20mA 低侧 : 20mA	高侧 : 20mA 低侧 : 20mA	
与 GND 之间电阻为 33kΩ ± 5%	0.7V ± 5%	高侧 : 20mA 低侧 : 20mA	高侧 : 20mA 低侧 : 20mA	高侧 : 40mA 低侧 : 40mA	高侧 : 40mA 低侧 : 40mA	

表 6-7. DRV8702-Q1 IDRIVE 设置 (续)

IDRIVE 电阻	IDRIVE 电压	源电流		灌电流		电路
		V _{VM} = 5.5 V	V _{VM} = 13.5V	V _{VM} = 5.5 V	V _{VM} = 13.5V	
与 GND 之间电阻 为 200k Ω $\pm$ 5%	2V $\pm$ 5%	高侧 : 50mA 低侧 : 40mA	高侧 : 50mA 低侧 : 45mA	高侧 : 90mA 低侧 : 85mA	高侧 : 95mA 低侧 : 95mA	
与 GND 之间电阻 > 2M Ω , Hi-Z	3V $\pm$ 5%	高侧 : 145mA 低侧 : 115mA	高侧 : 155mA 低侧 : 130mA	高侧 : 250mA 低侧 : 235mA	高侧 : 265mA 低侧 : 260mA	
与 AVDD 之间电阻 为 68k Ω $\pm$ 5%	4V $\pm$ 5%	高侧 : 190mA 低侧 : 145mA	高侧 : 210mA 低侧 : 180mA	高侧 : 330mA 低侧 : 300mA	高侧 : 350mA 低侧 : 350mA	
与 AVDD 之间电阻 < 1k Ω	AVDD	高侧 : 240mA 低侧 : 190mA	高侧 : 260mA 低侧 : 225mA	高侧 : 420mA 低侧 : 360mA	高侧 : 440mA 低侧 : 430mA	

6.3.8 死区时间

死区时间 (t_{DEAD}) 是指在关断其中一个 H 桥 FET 与导通另一个之间, SHx 引脚处于 Hi-Z 状态的时间。例如, 在关断高侧 FET 与导通低侧 FET 之间, 输出为 Hi-Z。

死区时间由插入的数字死区时间和 FET 栅极转换时间组成。DRV8702-Q1 器件具有约 240ns 的数字死区时间。DRV8703-Q1 器件具有 120、240、480、960ns 的可编程死区时间选项。除了此数字死区时间外，只要 GLx 引脚至接地或 GHx 引脚至 SHx 引脚的电压低于 FET 阈值电压，输出就为 Hi-Z。

总死区时间取决于 **IDRIVE** 电阻器设置，因为 **FET** 栅极斜坡 (**GHx** 和 **GLx** 引脚) 的一部分包含可观察到的死区时间。

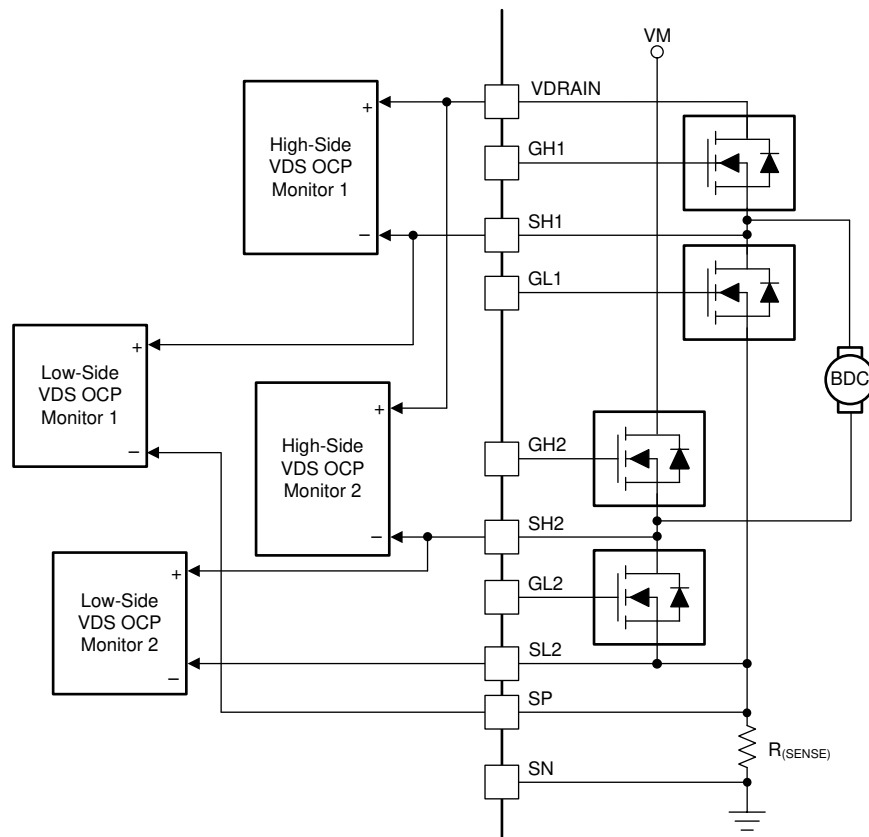
6.3.9 传播延迟

传播延迟时间 (t_{PD}) 是输入边沿与输出变化之间的时间。该时间由两部分组成：输入抗尖峰脉冲器和输出转换延迟。输入抗尖峰脉冲器可防止输入引脚上的噪声影响输出状态。

栅极驱动转换率也会影响延迟时间。要使输出在正常运行期间改变状态，必须首先关断一个 FET。FET 栅极根据 IDRIIVE 电阻器选型而斜降，当 FET 栅极降至阈值电压以下时，观察到的传播延迟即结束。

6.3.10 过流 VDS 监测器

栅极驱动器电路会监测每个外部 FET 在驱动电流时的 V_{DS} 电压。当在 OCP 抗尖峰脉冲时间结束后监测的电压大于 OCP 阈值电压 ($V_{DS(OCPI)}$) 时，会检测到 OCP 条件。可以通过更改 DRV8702-Q1 器件 V_{DS} 引脚上的电阻器 (R_{VDS}) 来调节 $V_{DS(OCPI)}$ 电压。DRV8703-Q1 器件通过设置 V_{DS} 寄存器来提供 $V_{DS(OCPI)}$ 电压电平。

图 6-13. $V_{DS(OC)}$ 方框图

高侧 FET 上的 VDS 电压在 VDRAIN 与 SHx 引脚之间测量。半桥 1 上的低侧 VDS 检测器测量 SH1 与 SP 引脚之间的 VDS 电压。半桥 2 上的低侧 VDS 检测器测量 SH2 与 SL2 引脚之间的 VDS 电压。确保 SP 引脚始终连接到半桥 1 的低侧 FET 源极，即使未使用检测放大器也是如此。

6.3.11 VDS 引脚 (仅限 DRV8702-Q1)

使用 DRV8702-Q1 器件上的 VDS 引脚选择用于过流检测的 VDS 阈值电压。

将 VDS 引脚接地可选择 0.06V 的最低设置。将该引脚保持开路可选择 0.48V 的设置。

将 VDS 引脚连接到 AVDD，该引脚将会禁用 VDS 监测器。有关 VDS 配置的详细列表，请参阅表 6-8。

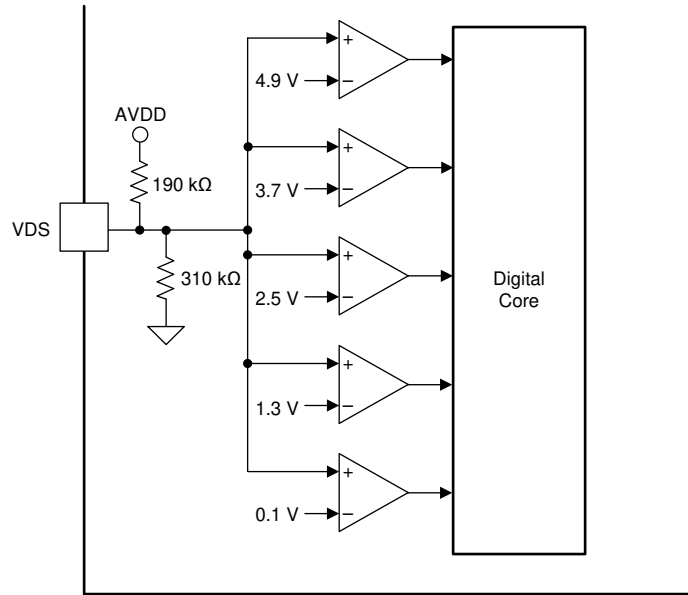
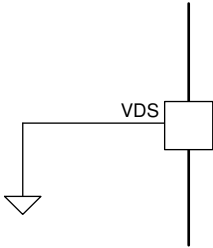
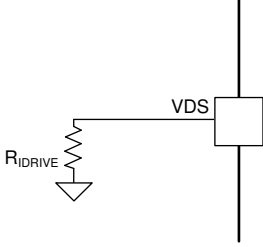
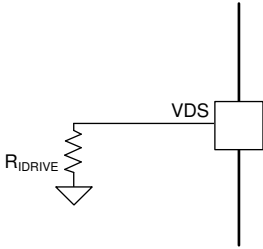
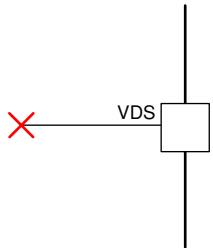
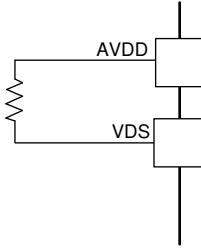
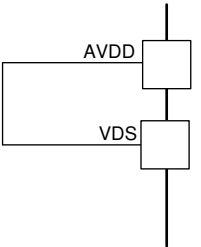


图 6-14. VDS 方框图

表 6-8. VDS 引脚电阻器设置

VDS 电阻	VDS 电压	过流跳变电平 ($V_{DS(OCPI)}$)	电路
与 GND 之间电阻 $< 1k\Omega$	GND	0.06V	
与 GND 之间电阻为 $33k\Omega \pm 5\%$	$0.7V \pm 5\%$	0.12V	
与 GND 之间电阻为 $200k\Omega \pm 5\%$	$2V \pm 5\%$	0.24V	
与 GND 之间电阻 $> 2M\Omega$, Hi-Z	$3V \pm 5\%$	0.48V	
与 AVDD 之间电阻为 $68k\Omega \pm 5\%$	$4V \pm 5\%$	0.96V	
与 AVDD 之间电阻 $< 1k\Omega$	AVDD	禁用	

6.3.12 电荷泵

集成了一个电荷泵来提供高侧 NMOS 的栅极驱动电压 (V_{GSH})。电荷泵需要在 VM 和 VCP 引脚之间连接一个电容器。此外，需要在 CPH 和 CPL 引脚之间连接一个低 ESR 陶瓷电容器。当 VM 电压低于 13.5V 时，该电荷泵用作倍频器，并在空载时生成等于 $2 \times V_{VM} - 1.5V$ 的 V_{VCP} 。当 VM 电压高于 13.5V 时，电荷泵会调节 V_{VCP} ，使 V_{VCP} 等于 $V_{VM} + 10.5V$ 。

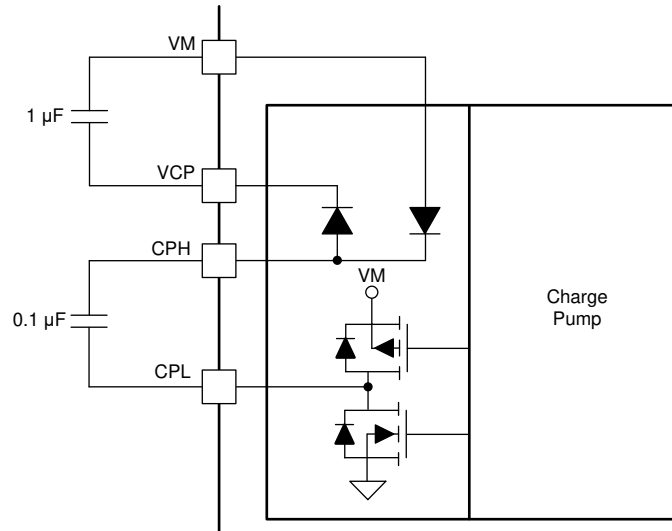


图 6-15. 电荷泵方框图

6.3.13 栅极驱动钳位

钳位结构将栅极驱动输出电压限制到 $V_{C(GS)}$ 电压，以保护功率 FET 免受损坏。正电压钳位使用一系列二极管实现。负电压钳位使用内部前置驱动器 FET 的体二极管。

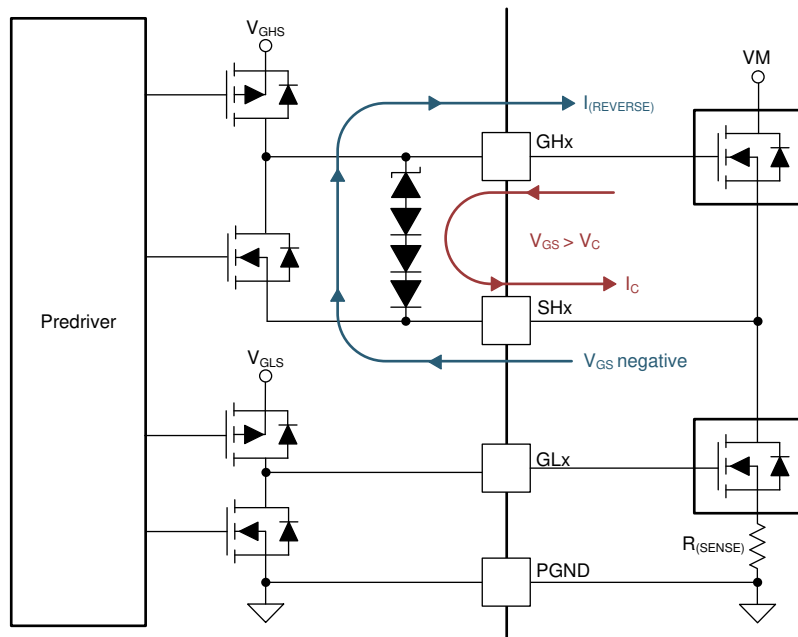


图 6-16. 栅极驱动钳位

6.3.14 保护电路

DRV870x-Q1 器件针对 VM 欠压、电荷泵欠压、过流、栅极驱动器短路和过热事件提供保护。

6.3.14.1 VM 欠压锁定 (UVLO2)

如果 VM 引脚上的电压降至 VM 欠压锁定阈值电压 (V_{UVLO2}) 以下，则会禁用 H 桥中的所有 FET，禁用电荷泵，并将 nFAULT 引脚驱动为低电平。将会置位 DRV8703-Q1 器件的 VM_UVFL 位。当 VM 电压升至高于 UVLO2 阈值时，将恢复运行。恢复运行后，nFAULT 引脚会被释放，但 DRV8703-Q1 器件上的 VM_UVFL 位会保持置位状态，直到通过写入 CLR_FLT 位将其清除。

即使输出驱动器被禁用，DRV8703-Q1 器件上的 SPI 设置也不会因该故障而复位。设置会保持不变，内部逻辑保持有效，直到 VM 电压降至逻辑欠压阈值 (V_{UVLO1}) 以下。

6.3.14.2 逻辑欠压 (UVLO1)

如果 VM 引脚上的电压低于逻辑欠压阈值电压 (V_{UVLO1})，则内部逻辑将复位。当 VM 电压升至高于 UVLO1 阈值时，将恢复运行。在该状态期间，nFAULT 引脚为逻辑低电平，因为它会在发生 VM 欠压状况时被拉低。将 VM 电压降至该欠压阈值以下会复位 SPI 设置。

6.3.14.3 VCP 欠压锁定 (CPUV)

如果 VCP 引脚上的电压降至电荷泵欠压 (CPUV) 锁定的阈值电压以下，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚驱动为低电平。将会置位 DRV8703-Q1 的 VCP_UVFL 位。当 VCP 电压升至高于 CPUV 阈值时，将恢复运行。恢复运行后，nFAULT 引脚会被释放，但 DRV8703-Q1 器件上的 VCP_UVFL 位会保持置位状态，直到通过写入 CLR_FLT 位将其清除。

6.3.14.4 过流保护 (OCP)

过流事件通过监测外部 FET 上的 VDS 压降来检测。如果被驱动 FET 两端的电压超过 $V_{DS(OCP)}$ 电平的时间大于 OCP 抗尖峰脉冲时间，则会识别到 OCP 事件。H 桥中的所有 FET 都将禁用，并且 nFAULT 引脚驱动为低电平。会置位 DRV8703-Q1 器件的 OCP 位。经过 $t_{(RETRY)}$ 时间后，驱动器将重新启用。在重试时间后，nFAULT 引脚再次变为高电平。

如果故障状况仍然存在，则重复此周期。如果故障不再存在，则恢复正常运行且 nFAULT 引脚变为高电平。DRV8703-Q1 上的 OCP 位保持置位状态，直到通过写入 CLR_FLT 位将其清除。除了该 FET VDS 监测器之外，如果 SP 引脚上的电压超过 $V_{SP(OCP)}$ 且 nFAULT 引脚被驱动为低电平，则会检测到过流状况。DRV8703-Q1 器件的 OCP 位被置位。

6.3.14.5 栅极驱动器故障 (GDF)

会对 GHx 和 GLx 引脚进行监测，如果外部 FET 栅极上的电压在 $t_{(DRIVE)}$ 时间后未增大或减小，则表示检测到栅极驱动器故障。如果 GHx 或 GLx 引脚短接到 GND、SHx 或 VM 引脚，则会发生此故障。此外，如果所选的 IDRIVE 设置不足以导通外部 FET，则会发生栅极驱动器故障。H 桥中的所有 FET 都将禁用，并且 nFAULT 引脚驱动为低电平。会置位 DRV8703-Q1 器件的 GDF 位。在 OCP 重试周期 ($t_{(RETRY)}$) 过后，驱动器将重新启用。恢复运行后，nFAULT 引脚会被释放，但 DRV8703-Q1 器件上的 GDF 位会保持置位状态，直到通过写入 CLR_FLT 位将其清除。

6.3.14.6 热关断 (TSD)

如果裸片温度超过 T_{SD} 温度，则会禁用 H 桥中的所有 FET，关闭电荷泵，禁用 AVDD 稳压器，并将 nFAULT 引脚驱动为低电平。还会置位 DRV8703-Q1 器件的 OTSD 位。裸片温度下降至 $T_{SD} - T_{hys}$ 温度以下后，器件将自动恢复运行。恢复运行后，nFAULT 引脚会被释放，但 DRV8703-Q1 器件上的 OTSD 位会保持置位状态，直到通过写入 CLR_FLT 位将其清除。

6.3.14.7 看门狗故障 (WDFLT, 仅限 DRV8703-Q1)

可启用 MCU 看门狗功能，以确保指示 DRV8703-Q1 器件的外部控制器处于活跃且已知的状态。必须通过 SPI 向 WD_EN 位写入 1 来启用 SPI 看门狗 (默认情况下禁用，该位为 0)。启用看门狗后，内部计时器开始倒计时，

直至达到由 WD_DLY 位设置的间隔。MCU 必须在 WD_DLY 位设置的间隔内读取寄存器地址 0x00，才能复位看门狗。如果允许计时器到期，则会启用 nWDFLT 引脚。启用 nWDFLT 引脚时，会发生以下情况：

- nWDFLT 引脚变为低电平并持续 64μs。
- nFAULT 引脚被置为有效。
- WD_EN 位被清除。
- 驱动器被禁用。

WDFLT 位保持有效状态，并且运行中止，直至向 CLR_FLT 位写入 1。

表 6-9 列出了器件在故障状况下的故障响应。

表 6-9. 故障响应

FAULT	条件	H 桥	电荷泵	AVDD	DVDD	恢复
VM 欠压 (UVLO)	$V_{VM} \leq V_{(UVLOx)}$ (5.45V, 最大值)	禁用	禁用	禁用	工作	$V_{VM} \geq V_{(UVLOx)}$ (5.65V, 最大值)
VCP 欠压 (CPUV)	$V_{VCP} \leq V_{(CP_UV)}$ ($V_{VM} + 1.5$, 典型值)	禁用	工作	工作	工作	$V_{VCP} \geq V_{(CP_UV)}$ ($V_{VM} + 1.5$, 典型值)
FET 过载 (OCP)	$V_{DS} \geq V_{DS(OCP)}$ $V_{SP} - V_{SN} > 1V$	禁用	工作	工作	工作	$t_{(RETRY)}$
栅极驱动器故障 (GDF)	栅极电压在 $t_{(DRIVE)}$ 之后未变化	禁用	工作	工作	工作	$t_{(RETRY)}$
看门狗故障 (WDFLT)	看门狗计时器到期	禁用	工作	工作	工作	CLR_FLT 位
热关断 (TSD)	$T_J \geq T_{SD}$ (150°C, 最小值)	禁用	禁用	禁用	工作	$T_J \leq T_{SD} - T_{hys}$ (T_{hys} 通常为 20°C)

6.3.14.8 反向电源保护

图 6-17 中的电路实现方案有助于保护系统免受反向电源状况的影响。该电路需要以下额外元件：

- NMOS FET
- NPN BJT
- 二极管
- 10k Ω 电阻器
- 43k Ω 电阻器

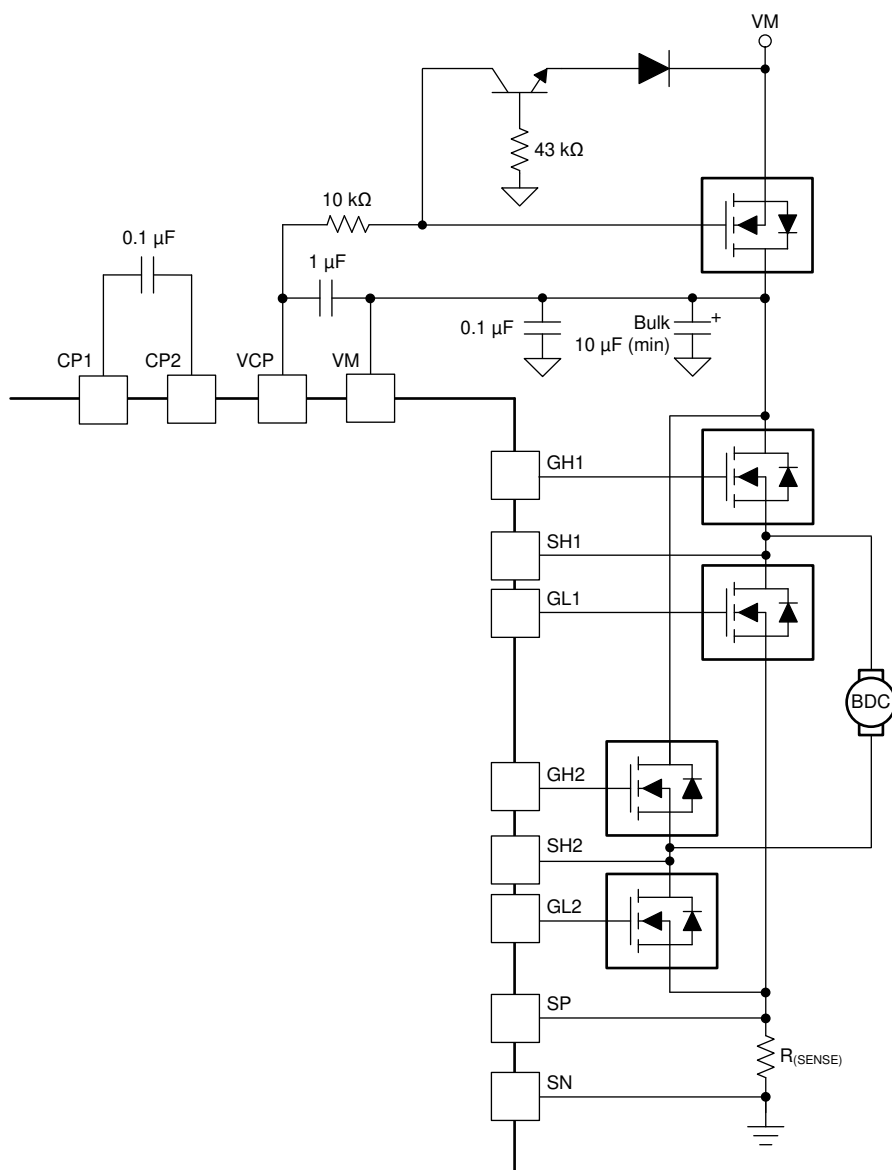


图 6-17. 反向电源保护

6.3.15 硬件接口

DRV8702-Q1 硬件接口支持在没有 SPI 的情况下对器件进行配置，但并非所有功能都能像 DRV8703-Q1 器件那样进行配置。对于硬件接口器件选项，以下配置设置是固定的：

- t_{off} 值设置为 25 μ s。
- 启用电流调节
- VREF 引脚电压未在内部按比例调整 (100%)。
- 并联放大器具有 19.8V/V 的固定增益。

6.3.15.1 IDRIVE (6 电平输入)

IDRIVE 引脚上的电压或电阻用于设置峰值源电流和峰值灌电流 IDRIVE 设置，如表 6-10 所示。

表 6-10. DRV8702-Q1 IDRIVE 设置

IDRIVE 电阻	IDRIVE 电压	源电流		灌电流	
		$V_{VM} = 5.5\text{ V}$	$V_{VM} = 13.5\text{ V}$	$V_{VM} = 5.5\text{ V}$	$V_{VM} = 13.5\text{ V}$
与 GND 之间电阻 < 1k Ω	GND	高侧：10mA 低侧：10mA	高侧：10mA 低侧：10mA	高侧：20mA 低侧：20mA	高侧：20mA 低侧：20mA
与 GND 之间电阻为 33k $\Omega \pm 5\%$	0.7V $\pm 5\%$	高侧：20mA 低侧：20mA	高侧：20mA 低侧：20mA	高侧：40mA 低侧：40mA	高侧：40mA 低侧：40mA
与 GND 之间电阻为 200k $\Omega \pm 5\%$	2V $\pm 5\%$	高侧：50mA 低侧：40mA	高侧：50mA 低侧：45mA	高侧：90mA 低侧：85mA	高侧：95mA 低侧：95mA
与 GND 之间电阻 > 2M Ω , Hi-Z	3V $\pm 5\%$	高侧：145mA 低侧：115mA	高侧：155mA 低侧：130mA	高侧：250mA 低侧：235mA	高侧：265mA 低侧：260mA
与 AVDD 之间电阻为 68k $\Omega \pm 5\%$	4V $\pm 5\%$	高侧：190mA 低侧：145mA	高侧：210mA 低侧：180mA	高侧：330mA 低侧：300mA	高侧：350mA 低侧：350mA
与 AVDD 之间电阻 < 1k Ω	AVDD	高侧：240mA 低侧：190mA	高侧：260mA 低侧：225mA	高侧：420mA 低侧：360mA	高侧：440mA 低侧：430mA

6.3.15.2 VDS (6 电平输入)

此输入控制 VDS 监测器跳变电压，如表 6-11 中所列。

表 6-11. DRV8702-Q1 VDS 设置

VDS 电阻	VDS 电压	过流跳变电平 ($V_{DS(OCF)}$)
与 GND 之间电阻 < 1k Ω	GND	0.06V
与 GND 之间电阻为 33k $\Omega \pm 5\%$	0.7V $\pm 5\%$	0.12V
与 GND 之间电阻为 200k $\Omega \pm 5\%$	2V $\pm 5\%$	0.24V
与 GND 之间电阻 > 2M Ω , Hi-Z	3V $\pm 5\%$	0.48V
与 AVDD 之间电阻为 68k $\Omega \pm 5\%$	4V $\pm 5\%$	0.96V
与 AVDD 之间电阻 < 1k Ω	AVDD	禁用

6.4 器件功能模式

DRV870x-Q1 器件处于活动状态，除非 nSLEEP 引脚被置为低电平。在睡眠模式下，电荷泵被禁用，H 桥 FET 被禁用为 Hi-Z 状态，AVDD 和 DVDD 稳压器也被禁用。

备注

必须在 nSLEEP 引脚上的下降沿之后再过去 $t_{(SLEEP)}$ 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，DRV870x-Q1 器件会自动退出睡眠模式。

唤醒后，必须经过 $t_{(WAKE)}$ 时间，输出状态才会改变。

在 DRV8703-Q1 器件上，SPI 设置会在退出 UVLO 或退出睡眠模式时复位。

当 nSLEEP 引脚变为低电平时，所有外部 H 桥 FET 都被禁用。高侧栅极引脚 GHx 被内部电阻器拉至输出节点 SHx，低侧栅极引脚 GLx 被拉至接地。

未施加 VM 电压时，在加电时间 (t_{on}) 内，会使用 GHx 和 SHx 引脚，以及 GLx 和 GND 引脚之间的弱下拉电阻器禁用输出。

备注

MODE 引脚控制相位和使能、独立半桥或 PWM 输入模式的器件逻辑运行。此运行状态会在加电时或退出睡眠模式时锁存。

6.5 编程

6.5.1 SPI 通信

6.5.1.1 串行外设接口 (SPI)

SPI (仅限 DRV8703-Q1) 用于设置器件配置、工作参数和读取诊断信息。DRV8703-Q1 SPI 在目标模式下运行。SPI 输入数据 (SDI) 字包含一个 16 位字 (包括一条 5 位命令、3 个不用考虑位和 8 位数据)。SPI 输出数据 (SDO) 字包含 8 位数据，前 8 位是不用考虑位。

有效帧必须满足以下条件：

- 时钟极性 (CPOL) 必须设置为 0。
- 时钟相位 (CPHA) 必须设置为 1。
- 当 nSCS 引脚变为低电平和高电平时，SCLK 引脚必须为低电平。
- 当 nSCS 信号处于切换状态时，不会出现 SCLK 信号。
- 当 nSCS 引脚变为高电平时，SCLK 引脚必须为低电平。
- nSCS 引脚在两帧之间的高电平时间不得少于 $t_{(HI_SCS)}$ 。
- 当 nSCS 引脚被置为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻抗状态。
- 必须发生 16 个完整的 SCLK 周期。
- 数据在时钟下降沿被捕捉，并在时钟上升沿被驱动。
- 最高有效位 (MSB) 最先移入和移出
- 对于写入命令，如果发送到 SDI 引脚的数据字少于或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写入命令，要写入的寄存器中的现有数据会在 5 位命令数据之后在 SDO 引脚上移出

6.5.1.2 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读/写位，W (第 15 位)
- 4 个地址位，A (第 14 到第 11 位)
- 3 个不用考虑位，X (第 10 到 8 位)
- 8 个数据位，D (7:0)

SDO 输出数据的字长为 16 位，前 8 位是不用考虑位。数据字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，SDO 引脚上的响应字是当前被写入的寄存器中的数据。

对于读命令 (W0 = 1)，响应字是当前被读取的寄存器中的数据。

表 6-12. SDI 输入数据字格式

R/W	地址				不用考虑			DATA							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0

表 6-13. SDO 输出数据字格式

不用考虑								DATA							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0

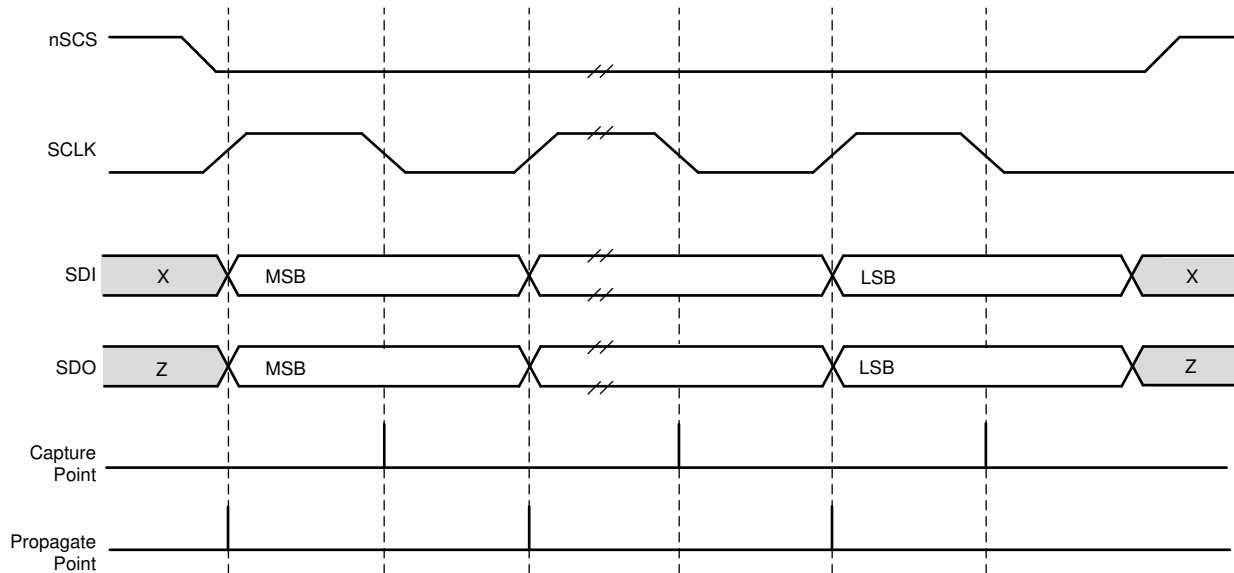


图 6-18. SPI 事务

SCLK 引脚在器件加电时应为低电平，以实现可靠的 SPI 事务。如果无法保证 SCLK 引脚在加电时为低电平，TI 建议在加电后 (对任何寄存器) 执行虚拟 SPI 读取事务，以确保后续事务可靠。从该虚拟读取事务读取的数据应被丢弃。

7 寄存器映射

表 7-1. DRV8703-Q1 内存映射

寄存器名称	7	6	5	4	3	2	1	0	访问类型	地址 (十六进制)
FAULT 状态	FAULT	WDFLT	GDF	OCP	VM_UVFL	VCP_UVFL	OTSD	OTW	R	0
VDS 和 GDF	H2_GDF	L2_GDF	H1_GDF	L1_GDF	H2_VDS	L2_VDS	H1_VDS	L1_VDS	R	1
主要	RESERVED		LOCK			IN1/PH	IN2/EN	CLR_FLT	RW	2
IDRIVE 和 WD	TDEAD		WD_EN	WD_DLY		IDRIVE			RW	3
VDS	SO_LIM	VDS			DIS_H2_VDS	DIS_L2_VDS	DIS_H1_VDS	DIS_L1_VDS	RW	4
配置	TOFF		CHOP_IDS	VREF_SCL		SH_EN	GAIN_CS		RW	5

表 7-2. 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入

7.1 状态寄存器

状态寄存器用于报告警告和故障状况。状态寄存器属于只读寄存器。

表 7-3 列出了状态寄存器的存储器映射寄存器。表 7-3 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-3. 状态寄存器汇总表

地址	寄存器名称	部分
0x00h	FAULT 状态	转到
0x01h	VDS 和 GDF 状态	转到

7.2 FAULT 状态寄存器 (地址 = 0x00h)

图 7-1 展示了故障状态，表 7-4 中对此进行了介绍。

返回[汇总表](#)。

只读

图 7-1. FAULT 状态寄存器

7	6	5	4	3	2	1	0
FAULT	WDFLT	GDF	OCP	VM_UVFL	VCP_UVFL	OTSD	OTW
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-4. FAULT 状态字段说明

位	字段	类型	默认值	说明
7	FAULT	R	0b	FAULT 状态寄存器 (不包括 OTW 位) 的逻辑“或”
6	WDFLT	R	0b	看门狗超时故障
5	GDF	R	0b	指示栅极驱动故障情况
4	OCP	R	0b	指示 VDS 监视器过流故障情况
3	VM_UVFL	R	0b	指示 VM 欠压锁定故障状况

表 7-4. FAULT 状态字段说明 (续)

位	字段	类型	默认值	说明
2	VCP_UVFL	R	0b	指示电荷泵欠压故障状况
1	OTSD	R	0b	指示过热关断
0	OTW	R	0b	指示过热警告

7.3 VDS 和 GDF 状态寄存器名称 (地址 = 0x01h)

图 7-2 展示了 VDS 和 GDF 状态, 表 7-5 中对此进行了介绍。

返回[汇总表](#)。

只读

图 7-2. VDS 和 GDF 状态寄存器

7	6	5	4	3	2	1	0
H2_GDF	L2_GDF	H1_GDF	L1_GDF	H2_VDS	L2_VDS	H1_VDS	L1_VDS
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-5. VDS 和 GDF 状态字段说明

位	字段	类型	默认值	说明
7	H2_GDF	R	0b	指示半桥 2 的高侧 FET 上存在栅极驱动故障
6	L2_GDF	R	0b	指示半桥 2 的低侧 FET 上存在栅极驱动故障
5	H1_GDF	R	0b	指示半桥 1 的高侧 FET 上存在栅极驱动故障
4	L1_GDF	R	0b	指示半桥 1 的低侧 FET 上存在栅极驱动故障
3	H2_VDS	R	0b	指示半桥 2 的高侧 FET 上存在 VDS 监测器过流故障
2	L2_VDS	R	0b	指示半桥 2 的低侧 FET 上存在 VDS 监测器过流故障
1	H1_VDS	R	0b	指示半桥 1 的高侧 FET 上存在 VDS 监测器过流故障
0	L1_VDS	R	0b	指示半桥 1 的低侧 FET 上存在 VDS 监测器过流故障

7.4 控制寄存器

控制寄存器用于配置器件。控制寄存器支持读写。

表 7-6 列出了状态寄存器的存储器映射寄存器。表 7-6 中未列出的所有寄存器偏移地址都应视为保留的位置, 并且不应修改寄存器内容。

表 7-6. 状态寄存器汇总表

地址	寄存器名称	部分
0x02h	主控制	转到
0x03h	IDRIVE 和 WD 控制	转到
0x04h	VDS 控制	转到
0x05h	配置控制	转到

7.5 主控制寄存器名称 (地址 = 0x02h)

图 7-3 展示了主控制，表 7-7 中对此进行了介绍。

返回[汇总表](#)。

读取和写入

图 7-3. 主控制寄存器

7	6	5	4	3	2	1	0
RESERVED		LOCK			IN1/PH	IN2/EN	CLR_FLT
R/W-00b		R/W-011b			R/W-0b	R/W-0b	R/W-0b

表 7-7. 主控制字段说明

位	字段	类型	默认值	说明
7-6	RESERVED	R/W	00b	保留
5-3	LOCK	R/W	011b	写入 110b 以忽略除地址 0x02h 外的后续寄存器更改，从而锁定设置。写入除 110b 之外的任何序列在解锁时都没有任何影响。向此寄存器写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。
2	IN1/PH	R/W	0b	该位与 IN1/PH 引脚进行逻辑“或”运算
1	IN2/EN	R/W	0b	该位与 IN2/EN 引脚进行逻辑“或”运算
0	CLR_FLT	R/W	0b	向该位写入 1 可清除故障位

7.6 IDRIVE 和 WD 控制寄存器名称 (地址= 0x03h)

图 7-4 展示了 IDRIVE 和 WD 控制，表 7-8 中对此进行了介绍。

返回汇总表。

读取和写入

图 7-4. IDRIVE 和 WD 寄存器

7	6	5	4	3	2	1	0
TDEAD	WD_EN	WD_DLY	IDRIVE				
R/W-00b	R/W-0b	R/W-00b	R/W-111b				

表 7-8. IDRIVE 和 WD 字段说明

位	字段	类型	默认值	说明
7-6	TDEAD	R/W	00b	死区时间 00b = 120ns 01b = 240ns 10b = 480ns 11b = 960ns
5	WD_EN	R/W	0b	启用或禁用看门狗时间 (默认禁用)
4-3	WD_DLY	R/W	00b	看门狗超时延迟 (如果 WD_EN = 1) 00b = 10ms 01b = 20ms 10b = 50ms 11b = 100ms
2-0	IDRIVE	R/W	111b	设置栅极驱动的峰值源电流和峰值灌电流。表 7-9 列出了位设置。

表 7-9. IDRIVE 位设置

位值	源电流		灌电流	
	V _{VM} = 5.5 V	V _{VM} = 13.5V	V _{VM} = 5.5 V	V _{VM} = 13.5V
000b	高侧 : 10mA 低侧 : 10mA	高侧 : 10mA 低侧 : 10mA	高侧 : 20mA 低侧 : 20mA	高侧 : 20mA 低侧 : 20mA
001b	高侧 : 20mA 低侧 : 20mA	高侧 : 20mA 低侧 : 20mA	高侧 : 40mA 低侧 : 40mA	高侧 : 40mA 低侧 : 40mA
010b	高侧 : 50mA 低侧 : 40mA	高侧 : 50mA 低侧 : 45mA	高侧 : 90mA 低侧 : 85mA	高侧 : 95mA 低侧 : 95mA
011b	高侧 : 70mA 低侧 : 55mA	高侧 : 70mA 低侧 : 60mA	高侧 : 120mA 低侧 : 115mA	高侧 : 130mA 低侧 : 125mA
100b	高侧 : 100mA 低侧 : 75mA	高侧 : 105mA 低侧 : 90mA	高侧 : 170mA 低侧 : 160mA	高侧 : 185mA 低侧 : 180mA
101b	高侧 : 145mA 低侧 : 115mA	高侧 : 155mA 低侧 : 130mA	高侧 : 250mA 低侧 : 235mA	高侧 : 265mA 低侧 : 260mA
110b	高侧 : 190mA 低侧 : 145mA	高侧 : 210mA 低侧 : 180mA	高侧 : 330mA 低侧 : 300mA	高侧 : 350mA 低侧 : 350mA
111b	高侧 : 240mA 低侧 : 190mA	高侧 : 260mA 低侧 : 225mA	高侧 : 420mA 低侧 : 360mA	高侧 : 440mA 低侧 : 430mA

7.7 VDS 控制寄存器名称 (地址 = 0x04h)

图 7-5 展示了 VDS 控制，表 7-10 中对此进行了介绍。

返回汇总表。

读取和写入

图 7-5. VDS 控制寄存器

7	6	5	4	3	2	1	0
SO_LIM	VDS			DIS_H2_VDS	DIS_L2_VDS	DIS_H1_VDS	DIS_L1_VDS
R/W-0b	R/W-111b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-10. VDS 控制字段说明

位	字段	类型	默认值	说明
7	SO_LIM	R/W	0b	0b = 默认运行模式 1b = SO 输出电压限制为 3.6V
6-4	VDS	R/W	111b	设置每个 FET 的 $V_{DS(OC)}$ 监测器 000b = 0.06V 001b = 0.145V 010b = 0.17V 011b = 0.2V 100b = 0.12V 101b = 0.24V 110b = 0.48V 111b = 0.96V
3	DIS_H2_VDS	R/W	0b	禁用半桥 2 高侧 FET 上的 VDS 监测器 (默认启用)
2	DIS_L2_VDS	R/W	0b	禁用半桥 2 低侧 FET 上的 VDS 监测器 (默认启用)
1	DIS_H1_VDS	R/W	0b	禁用半桥 1 高侧 FET 上的 VDS 监测器 (默认启用)
0	DIS_L1_VDS	R/W	0b	禁用半桥 1 低侧 FET 上的 VDS 监测器 (默认启用)

7.8 配置控制寄存器名称 (地址 = 0x05h)

图 7-6 展示了配置控制，表 7-11 中对此进行了介绍。

返回汇总表。

读取和写入

图 7-6. 配置控制寄存器

7	6	5	4	3	2	1	0
TOFF	CHOP_IDS	VREF_SCL	SH_EN	GAIN_CS			
R/W-00b	R/W-0b	R/W-00b	R/W-0b	R/W-01b			

表 7-11. 配置控制字段说明

位	字段	类型	默认值	说明
7-6	TOFF	R/W	00b	PWM 电流斩波的关断时间 00b = 25μs 01b = 50μs 10b = 100μs 11b = 200μs
5	CHOP_IDS	R/W	0b	禁用电流调节 (默认启用)
4-3	VREF_SCL	R/W	00b	VREF 输入的比例因数 00b = 100% 01b = 75% 10b = 50% 11b = 25%
2	SH_EN	R/W	0b	启用并联放大器的采样保持操作 (默认禁用)
1-0	GAIN_CS	R/W	01b	并联放大器增益设置 00b = 10V/V 01b = 19.8V/V 10b = 39.4V/V 11b = 78V/V

8 应用和实施

备注

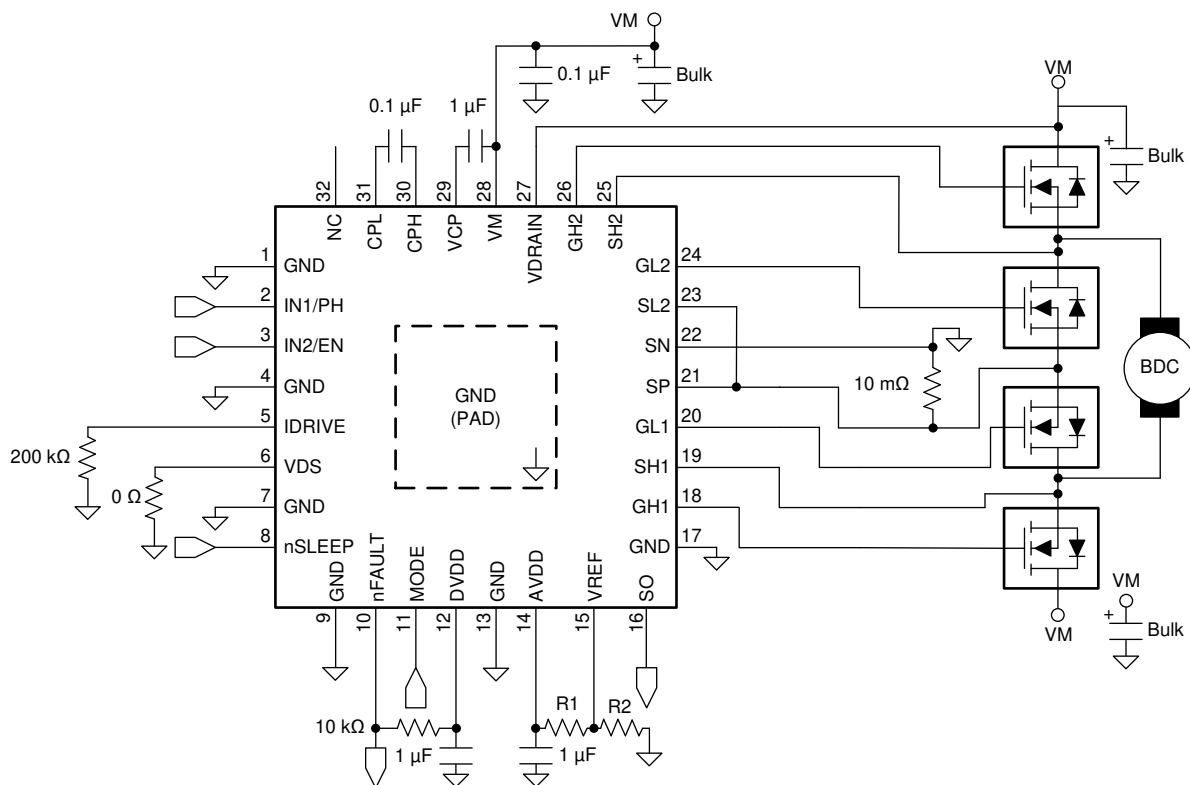
以下应用部分中的信息不属于 TI 器件规格的范围, TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计, 以确保系统功能。

8.1 应用信息

DRV870x-Q1 器件用于有刷直流、螺线管或继电器控制应用。可利用以下典型应用来配置 DRV870x-Q1 器件。

8.2 典型应用

该应用采用 DRV8702-Q1 器件。



Copyright © 2017, Texas Instruments Incorporated

图 8-1. DRV8702-Q1 典型应用原理图

8.2.1 设计要求

本设计示例使用表 8-1 中所列的参数作为输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
标称电源电压	VM	14V
电源电压范围		7V 至 35V
FET 器件型号		CSD18502Q5B
FET 总栅极电荷	Q_g	52 nC (典型值)
FET 栅漏极电荷	Q_{gd}	8.4 nC (典型值)
目标 FET 栅极上升时间	t_r	100 至 300ns
电机电流斩波电平	$I_{(CHOP)}$	15A

8.2.2 详细设计过程

8.2.2.1 外部 FET 选型

DRV8702-Q1 FET 支持基于电荷泵容量和 PWM 输出频率。为了快速计算 FET 驱动容量，在驱动和制动（慢速衰减）是主要运行模式时使用方程式 3。

$$Q_g < \frac{I_{VCP}}{f_{(PWM)}} \quad (3)$$

其中：

- f_{PWM} 是要施加到 DRV8702-Q1 输入端的最大所需 PWM 频率或当前斩波频率（以较大者为准）。
- I_{VCP} 是电荷泵容量，取决于 VM 电压。

内部电流斩波频率至多等于 PWM 频率，如方程式 4 所示。

$$f_{(PWM)} < \frac{1}{t_{off} + t_{(BLANK)}} \quad (4)$$

例如，如果系统的 VM 电压为 7V ($I_{VCP} = 8mA$) 并使用 40kHz 的最大 PWM 频率，则 DRV8702-Q1 器件支持 Q_g 高达 200nC 的 FET。

如果应用需要强制快速衰减（或交替进行驱动和反向驱动），可使用方程式 5 计算最大 FET 驱动容量。

$$Q_g < \frac{I_{VCP}}{2 \times f_{(PWM)}} \quad (5)$$

8.2.2.2 IDRIVE 配置

IDRIVE 电流根据 FET 的栅极电荷进行选择。必须对 IDRIVE 引脚进行配置，使 FET 栅极在 $t_{(DRIVE)}$ 期间充满电。如果所选 IDRIVE 电流对于给定的 FET 来说过低，则 FET 可能无法完全导通。TI 建议使用所需的外部 FET 和电机在系统中调整这些值，以确定适用于任何应用的适当设置。

对于具有已知栅漏极电荷 (Q_{gd}) 和所需上升时间 (t_r) 的 FET，可以根据方程式 6 选择 IDRIVE 电流。

$$I_{DRIVE} > \frac{Q_{gd}}{t_r} \quad (6)$$

如果栅漏极电荷为 2.3nC 且所需上升时间约为 100 到 300ns，可使用 [方程式 7](#) 计算最小 IDRIVE (I_{DRIVE1})，使用 [方程式 8](#) 计算最大 IDRIVE (I_{DRIVE2})。

$$I_{DRIVE1} = 8.4 \text{ nC} / 100 \text{ ns} = 84 \text{ mA} \quad (7)$$

$$I_{DRIVE2} = 8.4 \text{ nC} / 300 \text{ ns} = 28 \text{ mA} \quad (8)$$

为 IDRIVE 选择介于 28 和 84mA 之间的值。该应用选择了约 50mA 源电流 (约 100mA 灌电流) 的 IDRIVE 值。该值需要在 IDRIVE 引脚与地之间连接一个 200k Ω 电阻器。

8.2.2.3 VDS 配置

VDS 监测器阈值电压 $V_{DS(OC)}$ 根据最大电流 I_{VDS} 和 FET 的 $R_{DS(on)}$ 进行配置。漏源极电压 V_{DSFET} 为最大电流 I_{VDS} 与 FET 的 $R_{DS(on)}$ 的乘积。

DRV8702-Q1 的 VDS 引脚用于选择 VDS 监测器跳变阈值 $V_{DS(OC)}$ 。DRV8703-Q1 的 VDS 寄存器中的 VDS 位用于选择 $V_{DS(OC)}$ 电压。使用 [方程式 9](#) 计算跳变电流。

$$I_{VDS} > \frac{V_{DSFET}}{R_{DS(on)}} \quad (9)$$

如果 FET 的 $R_{DS(on)}$ 为 1.8m Ω 且所需的最大电流小于 100A，则 V_{DSFET} 电压等于 180mV，如 [方程式 10](#) 所示。

在这个示例中，选择小于 180mV 的 $V_{DS(OC)}$ 值。该应用选择了 0.12V 的 $V_{DS(OC)}$ 值。

要将 $V_{DS(OC)}$ 设置为 0.12V，请使用 SPI (仅限 DRV8703-Q1) 或在 VDS 引脚与接地之间连接一个 33k 电阻器 (仅限 DRV8702-Q1)。

VDS 引脚可配置为选择其他 $V_{DS(OC)}$ 阈值电压。有关 VDS 运行的更多信息，请参阅 [节 6.3.11](#) 部分。

$$V_{DSFET} = I_{VDS} \times R_{DS(on)} = 100 \text{ A} \times 1.8 \text{ m}\Omega = 180 \text{ mV} \quad (10)$$

8.2.2.4 电流斩波配置

斩波电流根据检测电阻值和 V_{REF} 引脚上的模拟电压来设置。使用 [方程式 11](#) 计算电流 ($I_{(CHOP)}$)。对于 DRV8702-Q1，放大器增益 A_V 为 19.8V/V， V_{IO} 通常为 5mV (以输入为基准)。

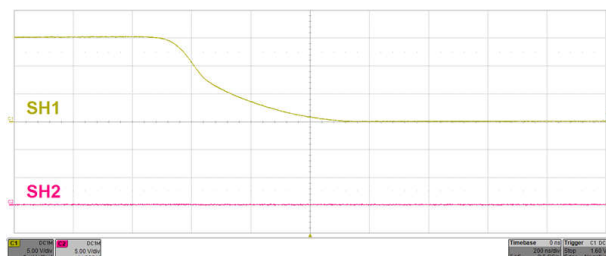
$$I_{(CHOP)} = \frac{V_{VREF} - V_{IO} \times A_V}{A_V \times R_{(SENSE)}} \quad (11)$$

例如，如果所需的斩波电流为 15A，选择 10m Ω 作为 $R_{(SENSE)}$ 值，则 V_{VREF} 的值必须为 2.975V。在 AVDD (5V) 引脚上添加一个电阻分压器，以将 V_{VREF} 设置为大约 2.975V。选择 13k Ω 作为 R2 值，19.1k Ω 作为 R1 值 (VREF 电阻器)。

如果不需要电流斩波，可以移除检测电阻器，并将低侧 FET 的源极接地。

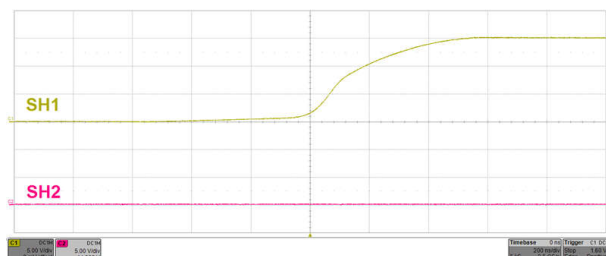
SN 和 SP 必须连接到低侧 FET 的源极，VREF 必须连接到 AVDD

8.2.3 应用曲线



10mA 源电流 20mA 灌电流

图 8-2. SH1 下降时间



10mA 源电流 20mA 灌电流

图 8-3. SH1 上升时间

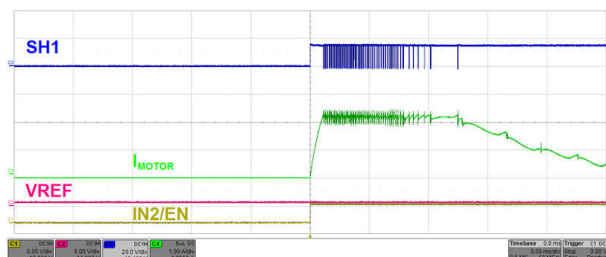


图 8-4. 有调节功能时的电机启动电流曲线

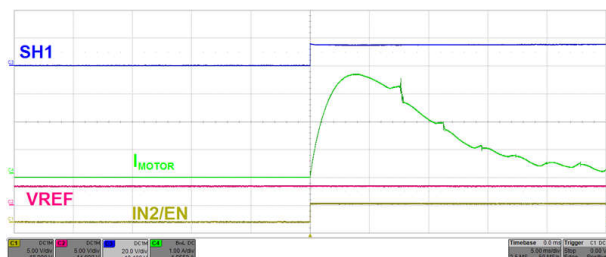


图 8-5. 无调节功能时的电机启动电流曲线

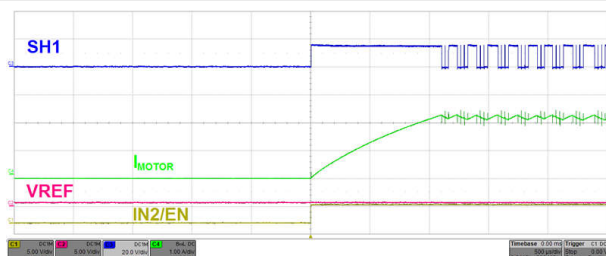


图 8-6. 电机启动时电流调节为 2.25A

9 电源相关建议

DRV8702-Q1 器件可在 5.5V 至 45V 的输入电压电源 (VM) 范围内正常工作。必须在尽可能靠近 DRV8702-Q1 器件的位置连接额定电压为 VM 的 0.1 μ F 陶瓷电容器。还必须在 VM 引脚上连接一个容值至少为 10 μ F 的大容量电容器。

需要额外的大容量电容来旁路外部 H 桥 FET。

9.1 确定大容量电容器的大小

确定大容量电容器的大小是电机驱动系统设计中的重要因素。使用更多的大容量电容是有益的，但缺点在于会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流。
- 电源的电容和电源提供电流的能力。
- 电源和电机系统之间的寄生电感量。
- 可接受的电压纹波。
- 使用的电机类型（有刷直流、无刷直流和步进电机）。
- 电机制动方法。

电源和电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表提供了建议值，但需要进行系统级测试来确定大小适中的大容量电容器。

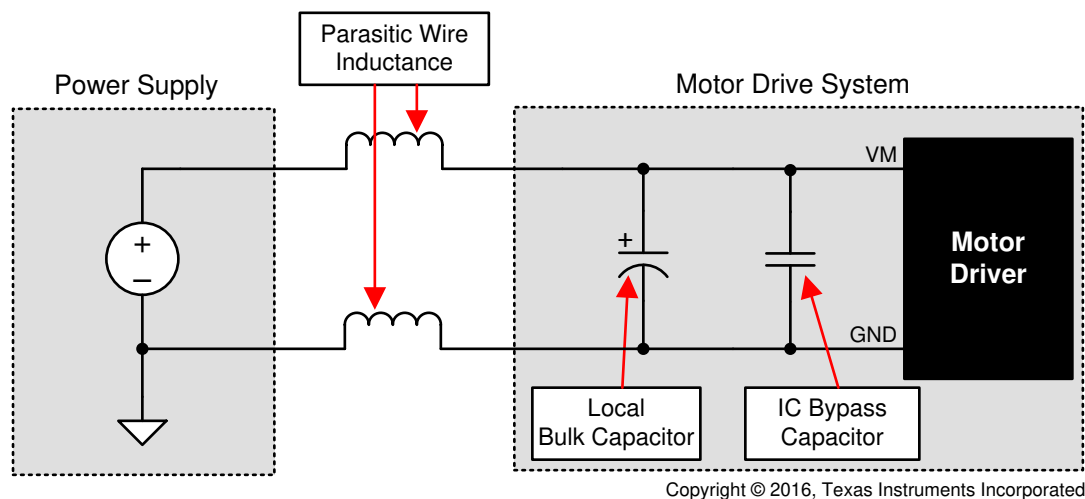


图 9-1. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI), [汽车继电器替代应用手册](#)
- 德州仪器 (TI), [小尺寸天窗电机模块参考设计](#)
- 德州仪器 (TI), [可在汽车应用中驱动有刷直流电机的继电器替代应用应用手册](#)
- 德州仪器 (TI), [了解智能栅极驱动器应用手册](#)
- 德州仪器 (TI), [大电流电机驱动应用中的切断开关应用手册](#)
- 德州仪器 (TI), [有刷电机和步进电机的电流调节配置方法应用手册](#)
- 德州仪器 (TI), [使用 TI 电机栅极驱动器检测电池短路和接地短路状况应用手册](#)
- 德州仪器 (TI), [保护汽车电机驱动系统免受反向极性状况影响应用手册](#)

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (January 2021) to Revision F (February 2024) Page

- | | |
|----------------------------|----|
| • 将 CPHA 设置从 0 更新为 1。..... | 40 |
|----------------------------|----|

Changes from Revision D (December 2018) to Revision E (January 2021) Page

- | | |
|--------------------|---|
| • 添加了功能安全项目符号..... | 1 |
|--------------------|---|

Changes from Revision C (August 2018) to Revision D (December 2018)	Page
• 更改了首页，删除了第二项说明.....	1
• 删除了栅极驱动电流图.....	1
• 向连续并联放大器输入引脚电压添加了 SL2 引脚.....	6
• 向连续并联放大器输入引脚电压添加了 SL2 引脚.....	6
• 将 IN1 更改为 IN1/PH，将 IN2 更改为 IN2/EN.....	7
• 更改了 MODE 典型下拉电阻.....	7
• 添加了 MODE 典型上拉电阻.....	7
• 更改了 VDS 配置部分的措辞.....	50

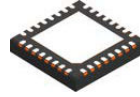
Changes from Revision B (March 2017) to Revision C (August 2018)	Page
• 更改了特性和说明部分.....	1
• 将引脚功能表中 SL2 引脚的类型从 O 更改为 I.....	3
• 更改了 SPI 参数名称约定.....	12
• 将 OCP 阈值电压图中的 $V_{DS(OCP)}$ 从 0.86V 更改为 0.96V.....	15
• 更改了电流调节和电流斩波配置部分中的 $I_{(CHOP)}$ 公式.....	25
• 更改了放大器输出 (SO) 部分中的电流公式.....	26
• 更改了 IDRIVE 和 WD 字段说明表中 WD_EN 位的说明.....	42

Changes from Revision A (November 2016) to Revision B (March 2017)	Page
• 将绝对最大额定值表中 AVDD 的最大电压从 5.7 更改为 5.75.....	14
• 更改了电气特性表中 DRV8703-Q1 放大器增益参数 GAIN_CS = 00 和 GAIN_CS = 10 时的最大 V_{SP} 值.....	14
• 向外部元件表添加了 $R_{(VDRAIN)}$ 注释.....	23
• 将 MODE 引脚方框图中的一个电阻值从 32k Ω 更改为 65k Ω	24
• 更改了过流保护 (OCP) 部分中不再存在故障状况时会发生的情况.....	36
• 从电流斩波配置部分的 $I_{(CHOP)}$ 公式中删除了 $A_V \times$	50

Changes from Revision * (October 2016) to Revision A (November 2016)	Page
• 已发布完整版数据表.....	1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

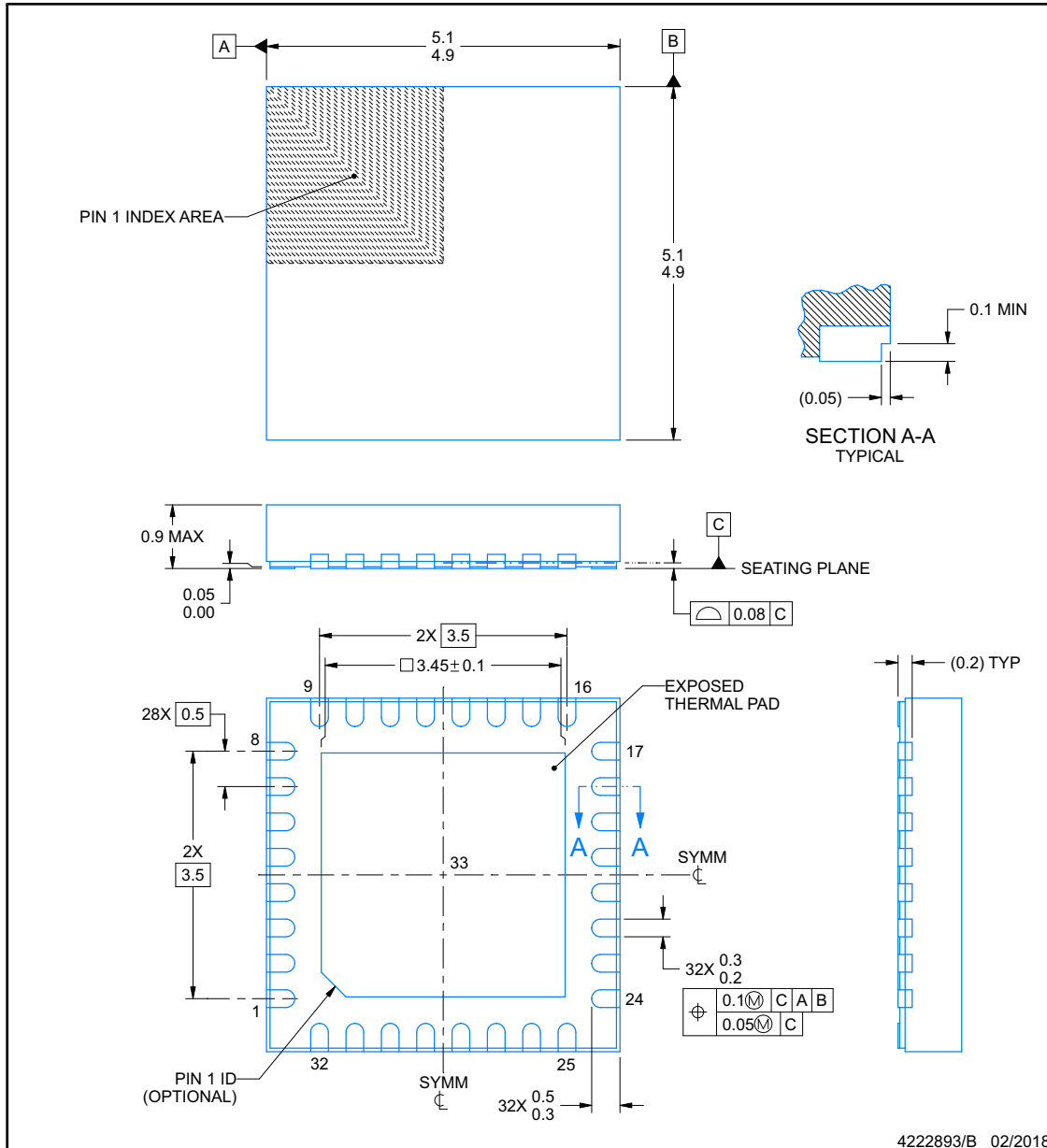


RHB0032N

PACKAGE OUTLINE

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

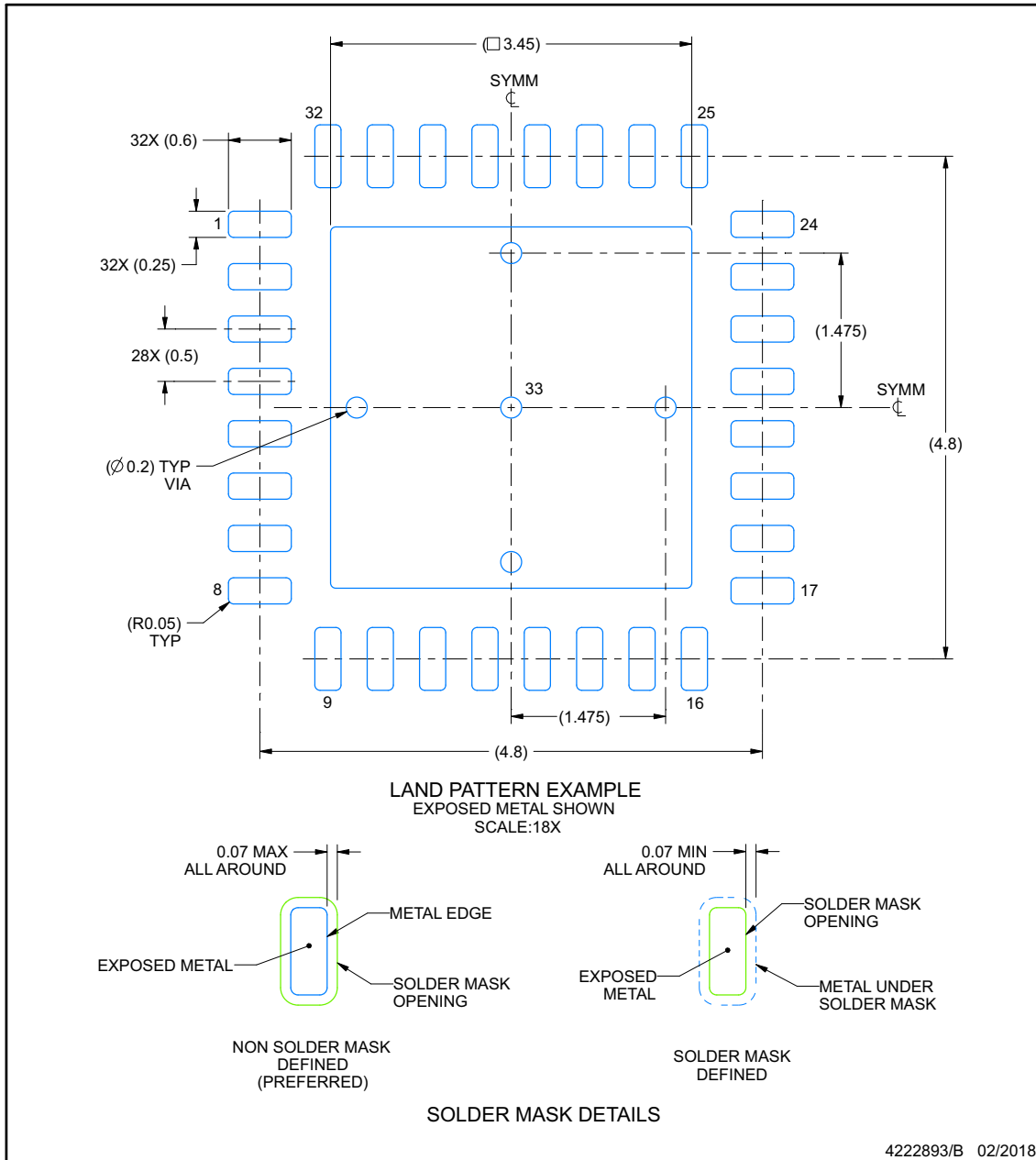


EXAMPLE BOARD LAYOUT

RHB0032N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

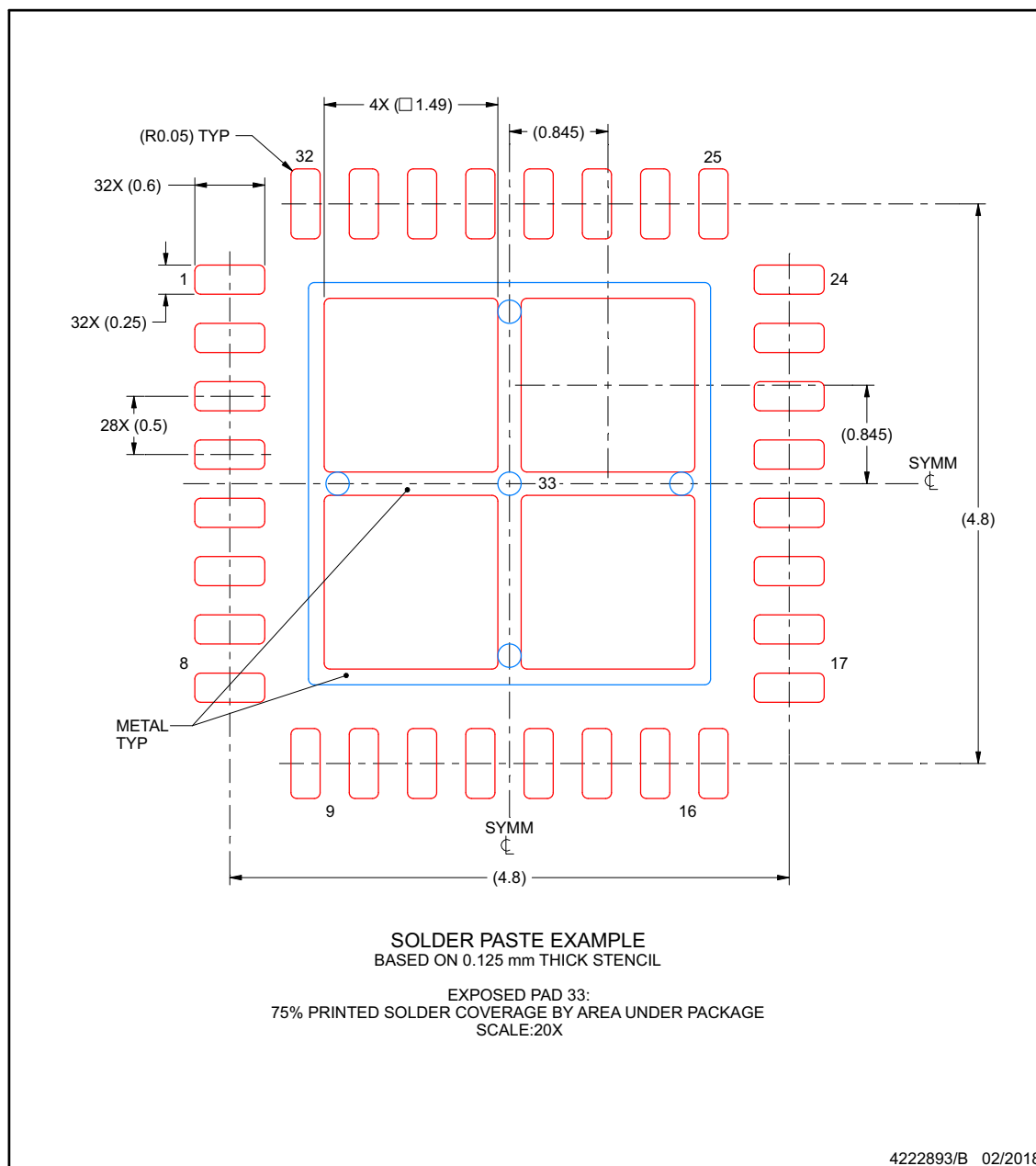
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8702QRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU SN	Level-3-260C-168 HR	-40 to 125	DRV8702
DRV8702QRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	DRV8702
DRV8702QRHBTQ1	Obsolete	Production	VQFN (RHB) 32	-	-	Call TI	Call TI	-40 to 125	DRV8702
DRV8703QRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU SN	Level-3-260C-168 HR	-40 to 125	DRV8703
DRV8703QRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	DRV8703
DRV8703QRHBTQ1	Obsolete	Production	VQFN (RHB) 32	-	-	Call TI	Call TI	-40 to 125	DRV8703

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

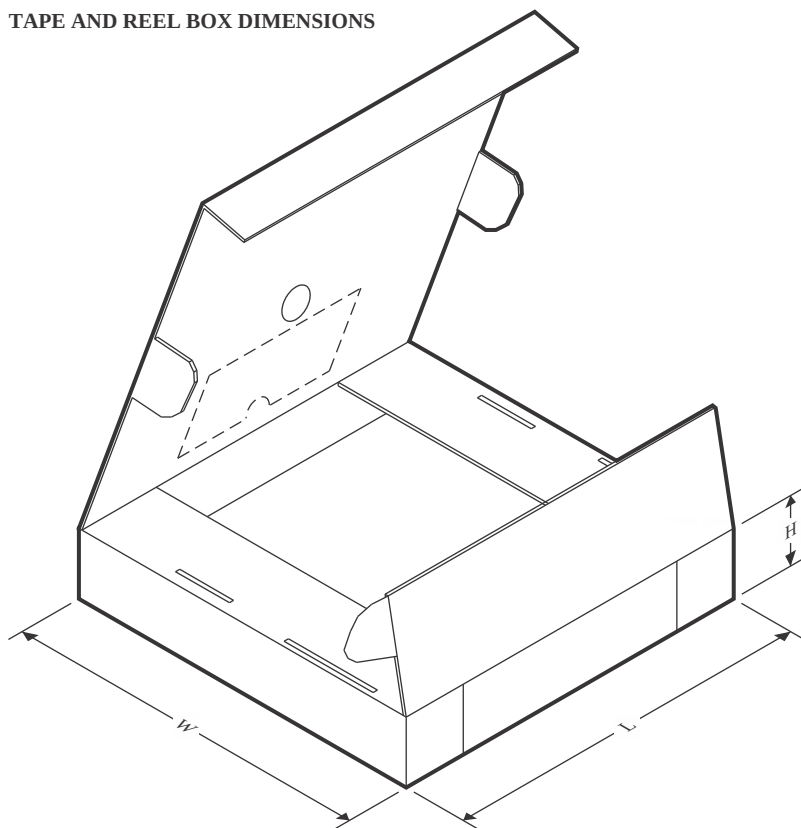
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8702QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8703QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8702QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
DRV8703QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月