DRV871x-Q1 具有宽共模内嵌式电流检测放大器的汽车类多通道智能半桥栅极驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 多通道半桥栅极驱动器
  - 4 个和 8 个半桥驱动器型号（引脚对引脚）
  - 4.9V 至 37V（最大绝对值为 40V）工作电压范围
  - 具有输出映射的 4 个 PWM 输入
  - 三倍电荷泵可实现 100% PWM
  - 半桥、H 桥和 SPI 控制模式
- 智能多级栅极驱动架构
  - 可调转换率控制
  - 自适应传播延迟控制
  - 50μA 至 62mA 峰值拉电流输出
  - 50μA 至 62mA 峰值灌电流输出
  - 集成死区时间握手
- 2 个具有宽共模电压范围的电流分流放大器
  - 支持内联、高侧或低侧
  - 可调增益设置（10、20、40、80V/V）
- 提供多个接口选项
  - SPI：详细配置和诊断
  - H/W：简化的控制和更少的 MCU 引脚
- 具有可湿性侧面的紧凑型 VQFN 封装
- 集成保护特性
  - 专用驱动器禁用引脚 (DRVOFF)
  - 低 I_Q，睡眠模式电机制动 (BRAKE)
  - 电源和稳压器电压监测器
  - MOSFET V_{DS} 过流监视器
  - MOSFET V_{GS} 栅极故障监测器
  - 用于反极性 MOSFET 的电荷泵
  - 离线开路负载和短路诊断
  - 器件热警告和热关断
  - 窗口看门狗计时器
  - 故障条件中断引脚 (nFAULT)

2 应用

- 汽车类有刷直流电机
- 电动座椅模块
- 电动后备箱和后备箱门
- 车门模块
- 车身控制模块
- 电动天窗
- 变速器和引擎控制模块

3 说明

DRV871x-Q1 系列器件是适用于驱动多个电机或负载的高度集成多通道栅极驱动器。该器件集成了 4 个 (DRV8714-Q1) 或 8 个 (DRV8718-Q1) 半桥栅极驱动器、驱动器电源、电流分流放大器和保护监测器，可降低系统的总体复杂性和成本并减小尺寸。

智能栅极驱动架构可管理死区时间以防止击穿、控制压摆率以降低电磁干扰 (EMI) 并优化传播延迟以提升性能。

提供的输入模式可实现独立的半桥或 H 桥控制。可在不同驱动器之间多路复用四个 PWM 输入，并提供 SPI 控制。

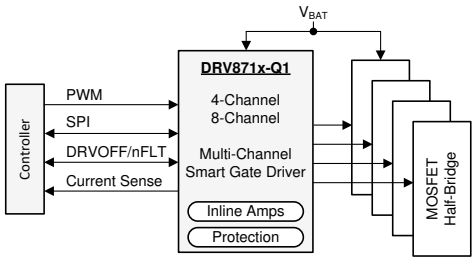
宽共模分流放大器具有内联电流检测功能，即使在再循环期间也可持续测量电机电流。如果不需要进行内联检测，放大器可用于低侧或高侧检测配置。

这些器件提供了一系列保护特性，可促进系统稳健运行。此类功能包括欠压和过压监测、适用于外部 MOSFET 的 V_{DS} 过流和 V_{GS} 栅极故障监测、离线开路负载和短路诊断，以及内部热警告和热关断保护功能。

器件信息 (1)

器件型号	封装	本体尺寸（标称值）
DRV8714-Q1	VQFN (40)	6.00mm x 6.00mm
	HTQFP (48)	7.00mm x 7.00mm
	VQFN (56)	8.00mm x 8.00mm
DRV8718-Q1	VQFN (56)	8.00mm x 8.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简单方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性..... 1
2 应用..... 1
3 说明..... 1
4 器件比较表..... 3
5 引脚配置和功能..... 4
5.1 VQFN (RVJ) 56 引脚封装和引脚功能..... 13
5.2 VQFN (RHA) 40 引脚封装和引脚功能..... 16
5.3 HTQFP (PHP) 48 引脚封装和引脚功能..... 19
6 规格..... 22
6.1 绝对最大额定值..... 22
6.2 ESD 等级..... 23
6.3 建议运行条件..... 23
6.4 热性能信息..... 23
6.5 电气特性..... 24
6.6 时序要求..... 31
6.7 时序图..... 32
6.8 典型特性..... 33
7 详细说明..... 35
7.1 概述..... 35
7.2 功能方框图..... 36
7.3 特性说明..... 40
7.4 器件功能模式..... 65
7.5 编程..... 66
8 寄存器映射..... 72
8.1 DRV8718-Q1 寄存器映射..... 73
8.2 DRV8714-Q1 寄存器映射..... 75
8.3 DRV8718-Q1 寄存器说明..... 77
8.4 DRV8714-Q1 寄存器说明..... 124
9 应用实现..... 164
9.1 应用信息..... 164
9.2 典型应用..... 164
9.3 初始化..... 171
9.4 电源相关建议..... 171
9.5 布局..... 172
10 器件文档与支持..... 174
10.1 文档支持..... 174
10.2 接收文档更新通知..... 174
10.3 支持资源..... 174
10.4 商标..... 174
10.5 静电放电警告..... 174
10.6 术语表..... 174
11 修订历史记录..... 174
12 机械、封装和可订购信息..... 175
12.1 封装选项附录..... 176

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件	半桥	放大器	接口	封装	引脚
DRV8714H-Q1	4	2	硬件 (H/W)	6x6mm VQFN	40
				7x7mm HTQFP	48
DRV8714S-Q1[(1)]	4	2	串行 (SPI)	6x6mm VQFN	40
				7x7mm HTQFP	48
				8x8mm VQFN	56
DRV8718S-Q1	8	2	串行 (SPI)	8x8mm VQFN	56

(1) DRV8714A-Q1 (DRV8714SAQRHARQ1) 是使用 6x6mm VQFN 40 引脚封装的 DRV8714S-Q1 的型号。唯一的电气或功能差异是 V_{POB_VDS} 电气阈值变成 800mV。

表 4-1. DRV8714-Q1 SPI 与 H/W 特性比较

功能	DRV8714S-Q1 SPI	DRV8714H-Q1 H/W 接口
PWM 输入模式	4 种模式	4 种模式
栅极驱动输出电流 (I_{DRIVE})	16 种设置	6 种设置
死区时间	握手 + 3 种固定设置	仅握手
V_{DS} 比较器阈值	16 种设置	6 种设置
V_{DS} 和 V_{GS} 消隐时间 (t_{DRIVE})	8 种设置	固定，8μs
V_{DS} 抗尖峰脉冲时间	4 种设置	固定，4μs
V_{GS} 抗尖峰脉冲时间	固定，2μs	固定，2μs
V_{DS} 故障响应	4 种模式	固定，逐周期
V_{GS} 故障响应	4 种模式	固定，逐周期
放大器增益	4 种设置	4 种设置
放大器消隐时间	8 种设置	不适用
放大器基准电压	2 种设置	固定，V_{AREF} / 2
V_{PVDD} 欠压故障响应	2 种模式	自动重试
V_{PVDD} 过压故障响应	4 种模式	不适用
V_{VCP} 欠压故障响应	2 种模式	自动重试
V_{VCP} 欠压阈值	2 种设置	固定
离线开路负载诊断	可用	不适用
离线短路诊断	可用	不适用
看门狗计时器	可用	不适用
多功能 DRVOFF/nFLT 引脚	可配置的 DRVOFF 或者 nFLT	仅报告 nFLT 故障

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

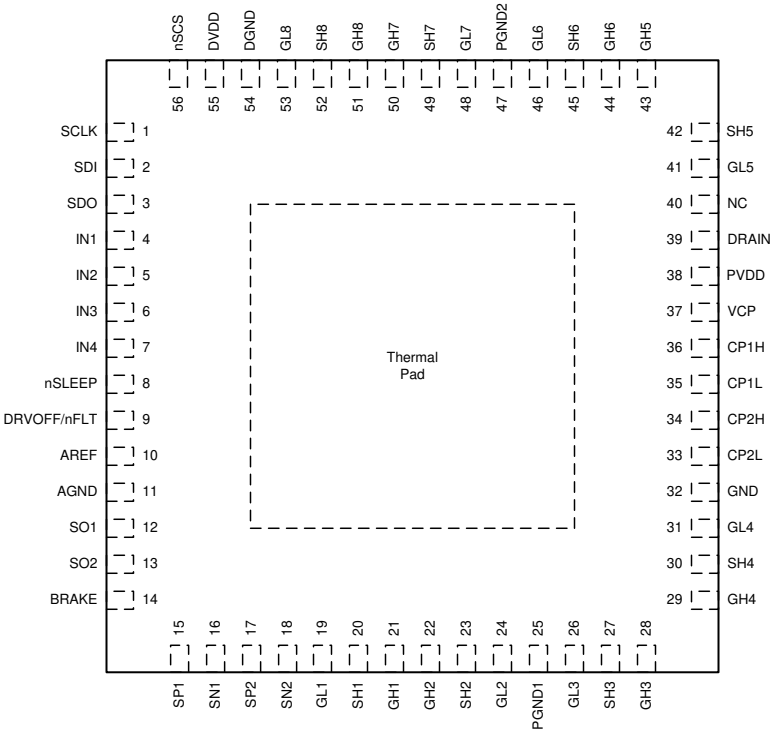


图 5-1. DRV8718S-Q1 VQFN (RVJ) 56 引脚封装顶视图

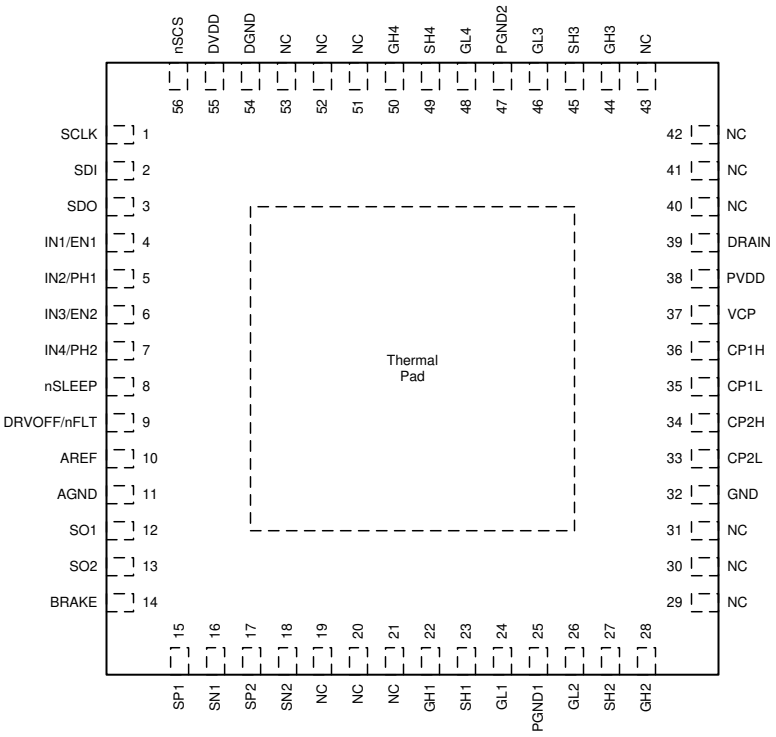


图 5-2. DRV8714S-Q1 VQFN (RVJ) 56 引脚封装顶视图

Copyright © 2026 Texas Instruments Incorporated

表 5-1. VQFN (RVJ) 56 引脚封装引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
1	SCLK		I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
2	SDI		I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
3	SDO		O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
4	IN1	IN1/EN1	I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
5	IN2	IN2/PH1	I	数字	
6	IN3	IN3/EN2	I	数字	
7	IN4	IN4/PH2	I	数字	
8	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
9	DRVOFF/nFLT		I/O	数字	用于驱动器关断输入或故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
10	AREF		I	电源	电流检测放大器的外部电压基准和电源。建议在 AREF 和 AGND 引脚之间连接一个 0.1μF、6.3V 的陶瓷电容器。
11	AGND		I/O	电源	器件接地。连接到系统地。
12	SO1		O	模拟	分流放大器输出。
13	SO2		O	模拟	分流放大器输出。
14	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以启用低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
15	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
16	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
17	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
18	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
19	GL1	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
20	SH1	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
21	GH1	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
22	GH2	GH1	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
23	SH2	SH1	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
24	GL2	GL1	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
25	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-4 检测和电源返回。连接到靠近器件和半桥 1-4 的系统接地。
26	GL3	GL2	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
27	SH3	SH2	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
28	GH3	GH2	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
29	GH4	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
30	SH4	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
31	GL4	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
32	GND		I/O	接地	器件接地。连接到系统地。
33	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
34	CP2H		I/O	电源	
35	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
36	CP1H		I/O	电源	
37	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。

表 5-1. VQFN (RVJ) 56 引脚封装引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
38	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
39	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
40	NC		—	—	无连接。
41	GL5	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
42	SH5	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
43	GH5	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
44	GH6	GH3	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
45	SH6	SH3	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
46	GL6	GL3	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
47	PGND2		I	模拟	低侧 MOSFET 栅极驱动 5-8 检测和电源返回。连接到靠近器件和半桥 5-8 的系统接地。
48	GL7	GL4	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
49	SH7	SH4	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
50	GH7	GH4	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
51	GH8	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
52	SH8	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
53	GL8	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
54	DGND		I/O	接地	器件接地。连接到系统地。
55	DVDD		I	电源	器件逻辑和数字输出电源输入。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
56	nSCS		I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。

备注

DRV8718-Q1 56 引脚 VQFN (RVJ) 和 DRV8714-Q1 56 引脚 VQFN (RVJ) 封装具有引脚对引脚兼容性。请注意，DRV8714-Q1 的半桥 1、2、3 和 4 的位置发生了移位，以便帮助进行 PCB 布线。

Copyright © 2026 Texas Instruments Incorporated

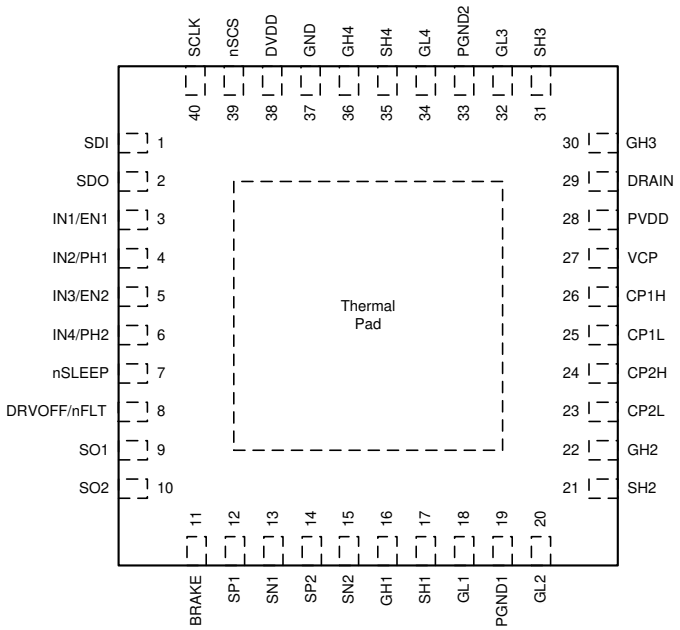


图 5-3. DRV8714S-Q1 VQFN (RHA) 40 引脚封装顶视图

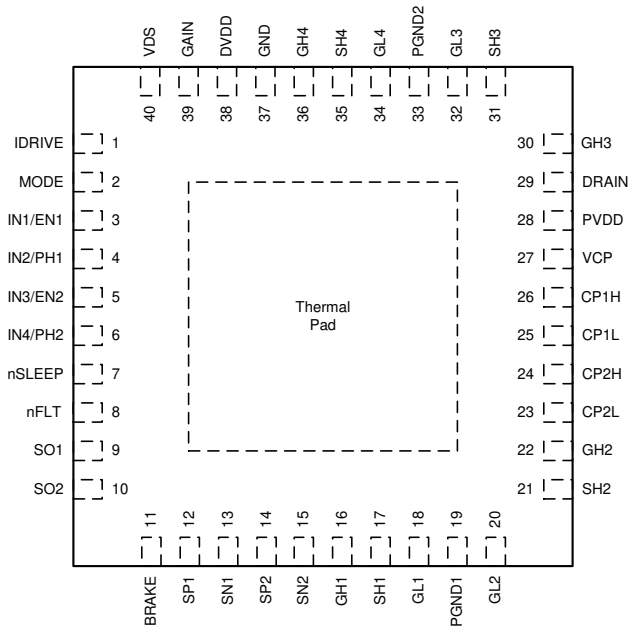


图 5-4. DRV8714H-Q1 VQFN (RHA) 40 引脚封装顶视图

表 5-2. VQFN (RHA) 40 引脚封装引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	—	IDRIVE	I	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
2	SDO	—	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	—	模式	I	模拟	模拟 PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
3	IN1/EN1		I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
4	IN2/PH1		I	数字	
5	IN3/EN2		I	数字	
6	IN4/PH2		I	数字	
7	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
8	DRVOFF/nFLT	—	I/O	数字	用于驱动器关断输入或故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
	—	nFLT	O	数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。
9	SO1		O	模拟	分流放大器输出。
10	SO2		O	模拟	分流放大器输出。
11	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以启用低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
12	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
13	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
14	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
15	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
16	GH1		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
17	SH1		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
18	GL1		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
19	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-2 检测和电源返回。连接到靠近器件和半桥 1-2 的系统接地。
20	GL2		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
21	SH2		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
22	GH2		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
23	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
24	CP2H		I/O	电源	
25	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
26	CP1H		I/O	电源	
27	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。
28	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
29	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
30	GH3		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
31	SH3		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
32	GL3		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
33	PGND2		I	模拟	低侧 MOSFET 栅极驱动 3-4 检测和电源返回。连接到靠近器件和半桥 3-4 的系统接地。
34	GL4		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. VQFN (RHA) 40 引脚封装引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
35	SH4		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
36	GH4		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
37	GND		I/O	接地	器件接地。连接到系统地。
38	DVDD		I	电源	器件逻辑和数字输出电源输入。电流检测放大器的外部电压基准和电源。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
39	nSCS	—	I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。
	—	增益	I	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
40	SCLK	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	—	VDS	I	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。

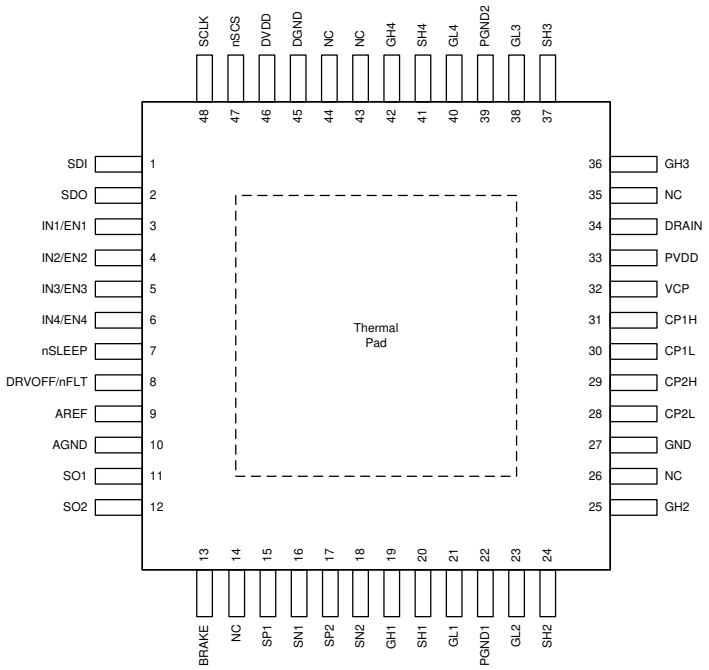


图 5-5. DRV8714S-Q1 HTQFP (PHP) 48 引脚封装顶视图

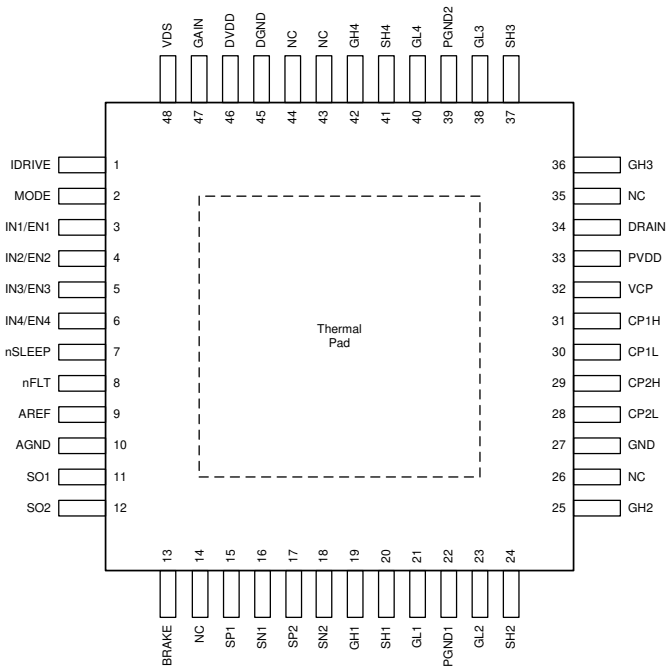


图 5-6. DRV8714H-Q1 HTQFP (PHP) 48 引脚封装顶视图

Copyright © 2026 Texas Instruments Incorporated

表 5-3. HTQFP (PHP) 48 引脚封装引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	—	IDRIVE	I	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
2	SDO	—	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	—	模式	I	模拟	模拟 PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
3	IN1/EN1		I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
4	IN2/PH1		I	数字	
5	IN3/EN2		I	数字	
6	IN4/PH2		I	数字	
7	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
8	DRVOFF/nFLT	—	I/O	数字	用于驱动器关断输入或故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
	—	nFLT	O	数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。
9	AREF		I	电源	电流检测放大器的外部电压基准和电源。建议在 AREF 和 AGND 引脚之间连接一个 0.1 μF、6.3V 的陶瓷电容器。
10	AGND		I/O	电源	器件接地。连接到系统地。
11	SO1		O	模拟	分流放大器输出。
12	SO2		O	模拟	分流放大器输出。
13	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以启用低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
14	NC		—	—	无连接。
15	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
16	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
17	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
18	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
19	GH1		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
20	SH1		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
21	GL1		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
22	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-2 检测和电源返回。连接到靠近器件和半桥 1-2 的系统接地。
23	GL2		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
24	SH2		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
25	GH2		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
26	NC		—	—	无连接。
27	GND		I/O	电源	器件接地。连接到系统地。
28	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
29	CP2H		I/O	电源	
30	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
31	CP1H		I/O	电源	
32	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。
33	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
34	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。

Copyright © 2026 Texas Instruments Incorporated

表 5-3. HTQFP (PHP) 48 引脚封装引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
35	NC		—	—	无连接。
36	GH3		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
37	SH3		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
38	GL3		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
39	PGND2		I	模拟	低侧 MOSFET 栅极驱动 3-4 检测和电源返回。连接到靠近器件和半桥 3-4 的系统接地。
40	GL4		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
41	SH4		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
42	GH4		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
43	NC		—	—	无连接。
44	NC		—	—	无连接。
45	DGND		I/O	接地	器件接地。连接到系统地。
46	DVDD		I	电源	器件逻辑和数字输出电源输入。电流检测放大器的外部电压基准和电源。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
47	nSCS	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部上拉电阻。
	—	增益	I	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
48	SCLK	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	—	VDS	I	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。

Copyright © 2026 Texas Instruments Incorporated

5.1 VQFN (RVJ) 56 引脚封装和引脚功能

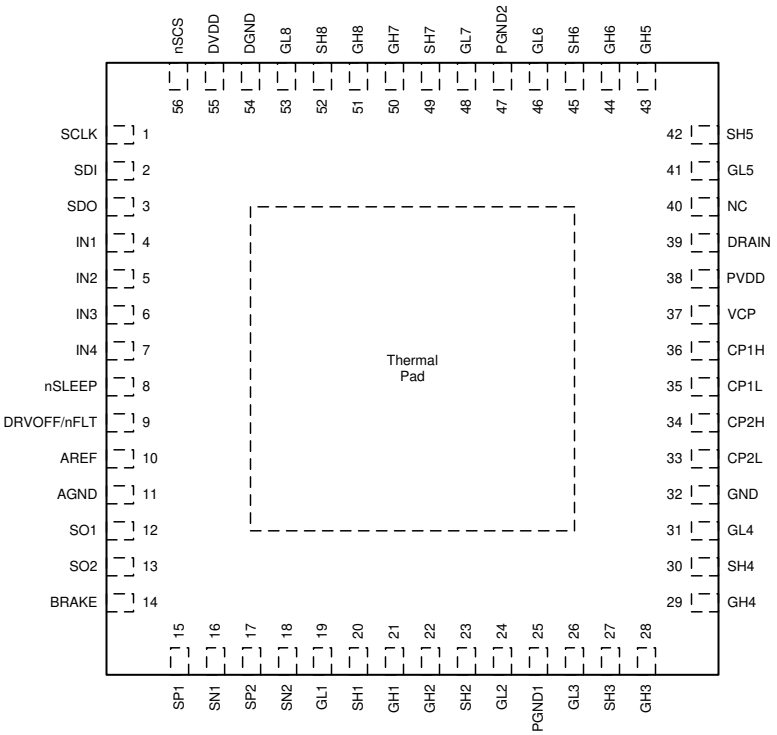


图 5-7. DRV8718S-Q1 VQFN (RVJ) 56 引脚封装顶视图

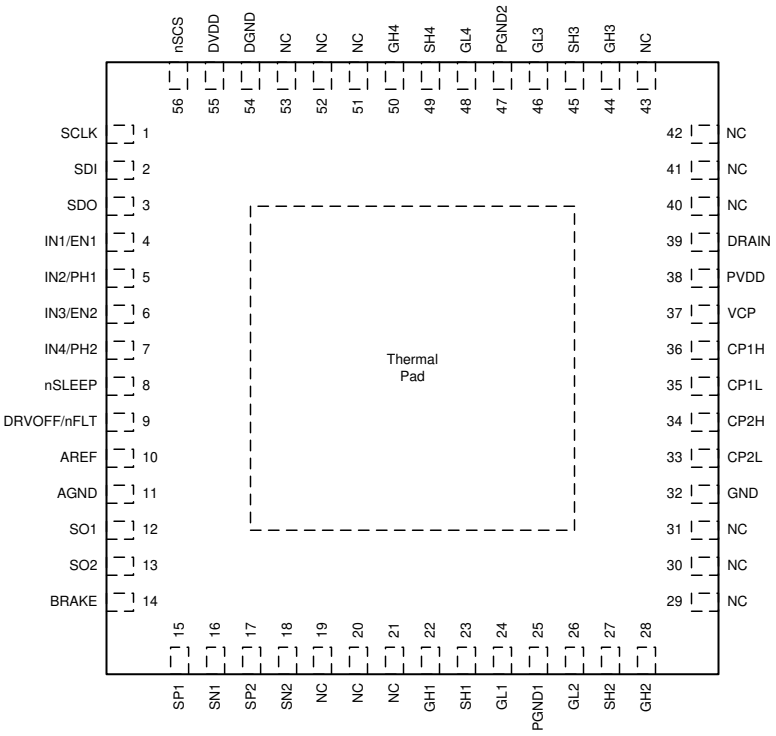


图 5-8. DRV8714S-Q1 VQFN (RVJ) 56 引脚封装顶视图

表 5-4. VQFN (RVJ) 56 引脚封装引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
1	SCLK		I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
2	SDI		I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
3	SDO		O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
4	IN1	IN1/EN1	I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
5	IN2	IN2/PH1	I	数字	
6	IN3	IN3/EN2	I	数字	
7	IN4	IN4/PH2	I	数字	
8	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
9	DRVOFF/nFLT		I/O	数字	用于驱动器关断输入或故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
10	AREF		I	电源	电流检测放大器的外部电压基准和电源。建议在 AREF 和 AGND 引脚之间连接一个 0.1μF、6.3V 的陶瓷电容器。
11	AGND		I/O	电源	器件接地。连接到系统地。
12	SO1		O	模拟	分流放大器输出。
13	SO2		O	模拟	分流放大器输出。
14	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以启用低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
15	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
16	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
17	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
18	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
19	GL1	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
20	SH1	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
21	GH1	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
22	GH2	GH1	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
23	SH2	SH1	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
24	GL2	GL1	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
25	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-4 检测和电源返回。连接到靠近器件和半桥 1-4 的系统接地。
26	GL3	GL2	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
27	SH3	SH2	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
28	GH3	GH2	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
29	GH4	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
30	SH4	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
31	GL4	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
32	GND		I/O	接地	器件接地。连接到系统地。
33	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
34	CP2H		I/O	电源	
35	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
36	CP1H		I/O	电源	
37	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。

Copyright © 2026 Texas Instruments Incorporated

表 5-4. VQFN (RVJ) 56 引脚封装引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
38	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
39	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
40	NC		—	—	无连接。
41	GL5	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
42	SH5	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
43	GH5	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
44	GH6	GH3	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
45	SH6	SH3	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
46	GL6	GL3	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
47	PGND2		I	模拟	低侧 MOSFET 栅极驱动 5-8 检测和电源返回。连接到靠近器件和半桥 5-8 的系统接地。
48	GL7	GL4	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
49	SH7	SH4	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
50	GH7	GH4	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
51	GH8	NC	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
52	SH8	NC	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
53	GL8	NC	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
54	DGND		I/O	接地	器件接地。连接到系统地。
55	DVDD		I	电源	器件逻辑和数字输出电源输入。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
56	nSCS		I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。

备注

DRV8718-Q1 56 引脚 VQFN (RVJ) 和 DRV8714-Q1 56 引脚 VQFN (RVJ) 封装具有引脚对引脚兼容性。请注意，DRV8714-Q1 的半桥 1、2、3 和 4 的位置发生了移位，以便帮助进行 PCB 布线。

5.2 VQFN (RHA) 40 引脚封装和引脚功能

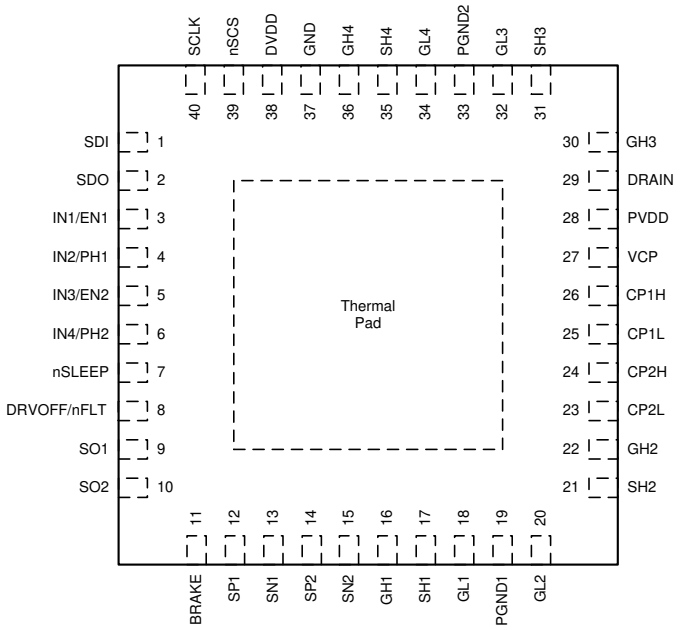


图 5-9. DRV8714S-Q1 VQFN (RHA) 40 引脚封装顶视图

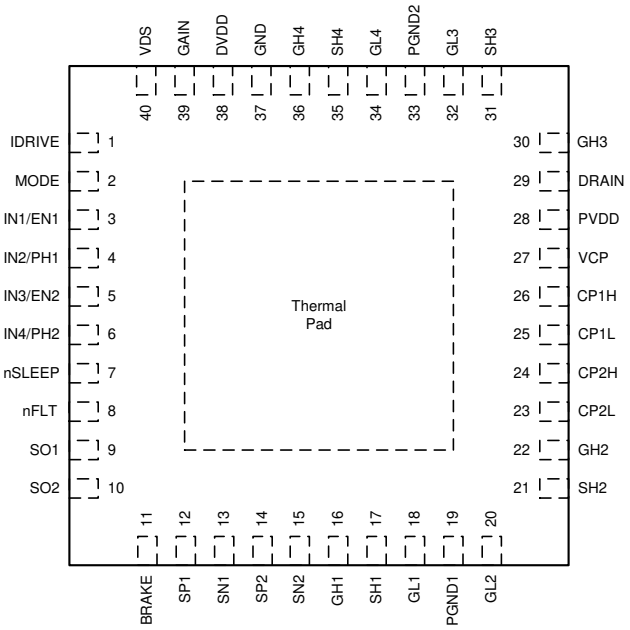


图 5-10. DRV8714H-Q1 VQFN (RHA) 40 引脚封装顶视图

Copyright © 2026 Texas Instruments Incorporated

表 5-5. VQFN (RHA) 40 引脚封装及引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	—	IDRIVE	I	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
2	SDO	—	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	—	模式	I	模拟	模拟 PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
3	IN1/EN1		I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
4	IN2/PH1		I	数字	
5	IN3/EN2		I	数字	
6	IN4/PH2		I	数字	
7	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
8	DRVOFF/nFLT	—	I/O	数字	用于驱动器关断输入或者故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
	—	nFLT	O	数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。
9	SO1		O	模拟	分流放大器输出。
10	SO2		O	模拟	分流放大器输出。
11	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以使能低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
12	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
13	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
14	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
15	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
16	GH1		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
17	SH1		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
18	GL1		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
19	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-2 感测和电源返回。连接到靠近器件和半桥 1-2 的系统接地端。
20	GL2		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
21	SH2		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
22	GH2		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
23	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
24	CP2H		I/O	电源	
25	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
26	CP1H		I/O	电源	
27	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。
28	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
29	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
30	GH3		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
31	SH3		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
32	GL3		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
33	PGND2		I	模拟	低侧 MOSFET 栅极驱动 3-4 感测和电源返回。连接到靠近器件和半桥 3-4 的系统接地端。
34	GL4		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。

Copyright © 2026 Texas Instruments Incorporated

表 5-5. VQFN (RHA) 40 引脚封装及引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
35	SH4		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
36	GH4		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
37	GND		I/O	接地	器件接地。连接到系统地。
38	DVDD		I	电源	器件逻辑和数字输出电源输入。电流检测放大器的外部电压基准和电源。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
39	nSCS	—	I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。
	—	增益	I	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
40	SCLK	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	—	VDS	I	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。

Copyright © 2026 Texas Instruments Incorporated

5.3 HTQFP (PHP) 48 引脚封装和引脚功能

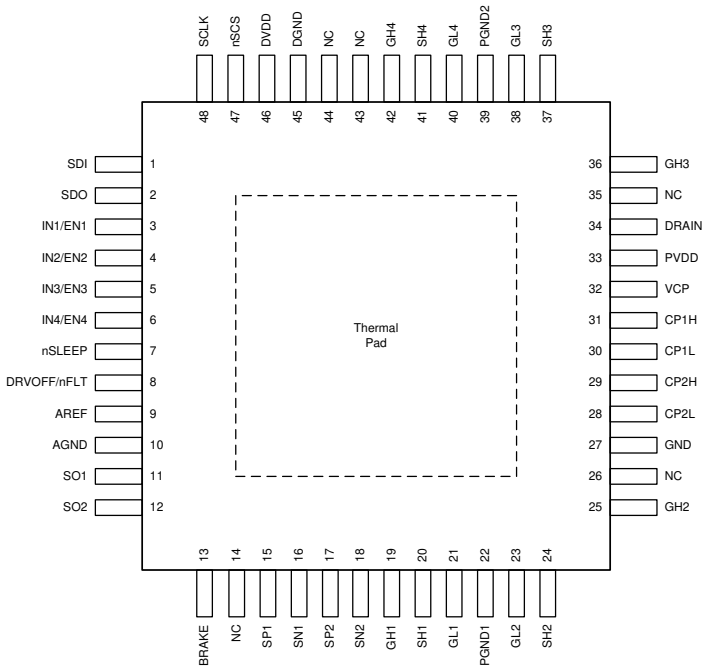


图 5-11. DRV8714S-Q1 HTQFP (PHP) 48 引脚封装顶视图

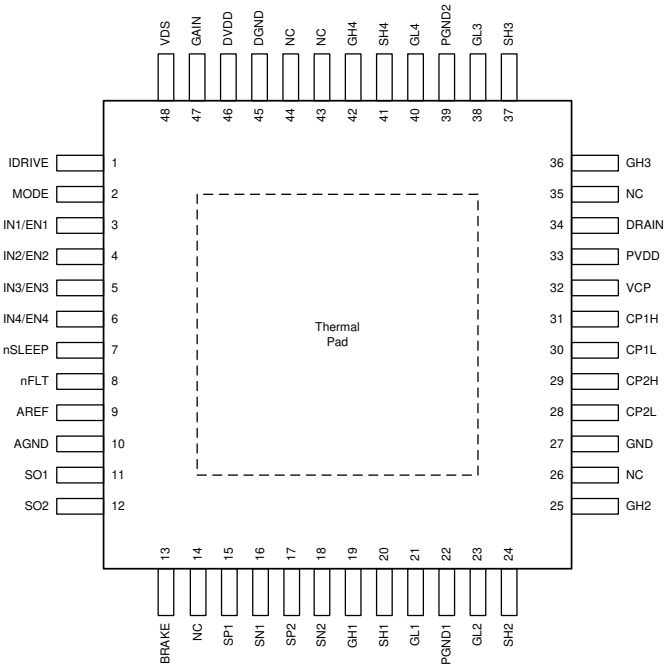


图 5-12. DRV8714H-Q1 HTQFP (PHP) 48 引脚封装顶视图

表 5-6. HTQFP (PHP) 48 引脚封装及引脚功能

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	—	IDRIVE	I	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
2	SDO	—	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	—	模式	I	模拟	模拟 PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
3	IN1/EN1		I	数字	半桥和 H 桥控制输入。请参阅节 7.3.3。内部下拉电阻。
4	IN2/PH1		I	数字	
5	IN3/EN2		I	数字	
6	IN4/PH2		I	数字	
7	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
8	DRVOFF/nFLT	—	I/O	数字	用于驱动器关断输入或者故障指示灯输出的多功能引脚。请参阅节 7.3.8。内部下拉电阻。
	—	nFLT	O	数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。
9	AREF		I	电源	电流检测放大器的外部电压基准和电源。建议在 AREF 和 AGND 引脚之间连接一个 0.1 μF、6.3V 的陶瓷电容器。
10	AGND		I/O	电源	器件接地。连接到系统地。
11	SO1		O	模拟	分流放大器输出。
12	SO2		O	模拟	分流放大器输出。
13	BRAKE		I	数字	断电制动引脚。在低功耗睡眠模式下，置为逻辑高电平以使能低侧栅极驱动器。请参阅节 7.3.8.2。内部下拉电阻。
14	NC		—	—	无连接。
15	SP1		I	模拟	放大器正输入。连接到分流电阻器的正端子。
16	SN1		I	模拟	放大器负输入。连接到分流电阻器的负端子。
17	SP2		I	模拟	放大器正输入。连接到分流电阻器的正端子。
18	SN2		I	模拟	放大器负输入。连接到分流电阻器的负端子。
19	GH1		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
20	SH1		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
21	GL1		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
22	PGND1		I	模拟	低侧 MOSFET 栅极驱动 1-2 感测和电源返回。连接到靠近器件和半桥 1-2 的系统接地端。
23	GL2		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
24	SH2		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
25	GH2		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
26	NC		—	—	无连接。
27	GND		I/O	电源	器件接地。连接到系统地。
28	CP2L		I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
29	CP2H		I/O	电源	
30	CP1L		I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
31	CP1H		I/O	电源	
32	VCP		I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1μF、16V 的陶瓷电容器。
33	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
34	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。

Copyright © 2026 Texas Instruments Incorporated

表 5-6. HTQFP (PHP) 48 引脚封装及引脚功能（续）

引脚			I/O	类型	说明
编号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
35	NC		—	—	无连接。
36	GH3		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
37	SH3		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
38	GL3		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
39	PGND2		I	模拟	低侧 MOSFET 栅极驱动 3-4 感测和电源返回。连接到靠近器件和半桥 3-4 的系统接地端。
40	GL4		O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
41	SH4		I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
42	GH4		O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
43	NC		—	—	无连接。
44	NC		—	—	无连接。
45	DGND		I/O	接地	器件接地。连接到系统地。
46	DVDD		I	电源	器件逻辑和数字输出电源输入。电流检测放大器的外部电压基准和电源。建议在 DVDD 和 GND 引脚之间连接一个 1.0μF、6.3V 的陶瓷电容器。
47	nSCS	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部上拉电阻。
	—	增益	I	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
48	SCLK	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	—	VDS	I	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）[(1)]

		最小值	最大值	单位
驱动器电源引脚电压	PVDD	-0.3	40	V
MOSFET 漏极感测引脚电压	DRAIN	-0.3	40	V
接地引脚之间的电压差	AGND、DGND、GND	-0.3	0.3	V
电荷泵引脚电压	VCP	-0.3	55	V
电荷泵高侧引脚电压	CP1H	V_{PVDD} – 0.3	V_{VCP} + 0.3	V
	CP2H	V_{PVDD} – 0.6	V_{VCP} + 0.3	V
电荷泵低侧引脚电压	CP1L、CP2L	-0.3	V_{PVDD} + 0.3	V
数字电源引脚电压	DVDD	-0.3	5.75	V
逻辑引脚电压	DRVOFF/nFLT、GAIN、IDRIVE、INx/ENx、INx/PHx、MODE、nSLEEP、nSCS、SCLK、SDI、VDS	-0.3	5.75	V
输出逻辑引脚电压	DRVOFF/nFLT、SDO	-0.3	V_{DVDD} + 0.3	V
制动引脚电压	BRAKE	-0.3	V_{PVDD} + 0.3	V
高侧栅极驱动引脚电压	GHx[(2)]	-2	V_{VCP} + 0.3	V
高侧栅极驱动引脚 1 μs 瞬态电压		-5	V_{VCP} + 0.3	
与 SHx 相关的高侧栅极驱动引脚电压		-0.3	13.5	
高侧感测引脚电压	SHx[(2)]	-2	40	V
高侧感测引脚 1 μs 瞬态电压		-5	40	
低侧栅极驱动引脚电压	GLx[(2)]	-2	13.5	V
低侧栅极驱动引脚 1 μs 瞬态电压		-3	13.5	
与 PGNDx 相关的低侧栅极驱动引脚电压		-0.3	13.5	
低侧感测引脚电压	PGNDx[(2)]	-2	2	V
低侧感测引脚 1 μs 瞬态电压		-3	3	
峰值栅极驱动电流	GHx、GLx	内部受限制	内部受限制	mA
放大器电源和基准引脚电压	AREF	-0.3	5.75	V
放大器输入引脚电压	SNx、SPx	-2	V_{VCP} + 0.3	V
放大器输入引脚 1 μs 瞬态电压		-5	V_{VCP} + 0.3	
放大器输入差分电压	SNx、SPx	-5.75	5.75	V
放大器输出引脚电压	SOx	-0.3	V_{AREF} + 0.3	V
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*规定范围的应力可能会对器件造成永久性损坏。这些仅为应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 与 GHx、SHx、GLx 或 PGNDx 相关的 PVDD 和 DRAIN 不应超过 40V。当 PVDD 或 DRAIN 大于 35V 时，应限制 GHx、SHx、GLx 和 PGNDx 上的负电压，以确保不超过此额定值。当 PVDD 和 DRAIN 低于 35V 时，可使用 GHx、SHx、GLx 和 PGNDx 的完整负电压额定值。

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[1] HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{PVDD}	驱动器电源电压	PVDD	4.9		37	V
I_{HS} [1]	高侧平均栅极驱动电流	GHx	0		15	mA
I_{LS} [1]	低侧平均栅极驱动电流	GLx	0		15	mA
V_{DVDD}	数字电源电压	DVDD	3		5.5	V
V_{DIN}	数字输入电压	BRAKE、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、nSCS、SCLK、SDI	0		5.5	V
I_{DOUT}	数字输出电流	SDO	0		5	mA
V_{OD}	开漏上拉电压	DRVOFF/nFLT	0		5.5	V
I_{OD}	开漏输出电流	DRVOFF/nFLT	0		5	mA
V_{BRAKE}	制动输入电压	BRAKE	0		PVDD	V
V_{AREF}	放大器基准电源电压	AREF	3		5.5	V
I_{SO}	分流放大器输出电流	SOx	0		5	mA
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标[1]		DRV8718-Q1 RVJ (VQFN) 56 引脚	DRV8714-Q1 RVJ (VQFN) 56 引脚	DRV8714-Q1 RHA (VQFN) 40 引脚	DRV8714-Q1 PHP (HTQFP) 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	25.6	24.7	31	30.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.2	14.1	20.9	18.7	°C/W
$R_{\theta JB}$	结至电路板热阻	10.0	9.0	12.5	13.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	0.2	0.2	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	9.9	9.0	12.4	13.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.0	2.3	2.3	2.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
电源（DRAIN、DVDD、PVDD、VCP）						
I_{PVDDQ}	PVDD 睡眠模式电流	V_{PVDD}、V_{DRAIN} = 13.5V，nSLEEP = 0V BRAKE = 0V，–40 ≤ T_J ≤ 85°C		2.25	3.5	μA
		V_{PVDD}、V_{DRAIN} = 13.5V，nSLEEP = 0V BRAKE = 5V，–40 ≤ T_J ≤ 85°C		10	15	μA
I_{DRAINQ}	DRAIN 睡眠模式电流	V_{PVDD}，V_{DRAIN} = 13.5V，nSLEEP = 0V，–40 ≤ T_J ≤ 85°C		1.25	2	μA
I_{DVDDQ}	DVDD 睡眠模式电流	V_{PVDD}，V_{DRAIN} = 13.5V，nSLEEP = 0V，–40 ≤ T_J ≤ 85°C		1.25	3	μA
		V_{PVDD}、V_{DRAIN} = 13.5V，nSLEEP = 0V –40 ≤ T_J ≤ 85°C，DRV8714-Q1 RHA		2.25	5.25	
I_{PVDD}	PVDD 活动模式电流	V_{PVDD}，V_{DRAIN} = 13.5V，nSLEEP = 5V		13.5	15.5	mA
I_{DRAIN}	DRAIN 活动模式电流	V_{PVDD}、V_{DRAIN} = 13.5V，nSLEEP = 5V，V_{DS_LVL} ≤ 500mV		1	1.65	mA
I_{DVDD}	DVDD 活动模式电流	V_{DVDD} = 5V，SDO = 0V DRV8718-Q1 RVJ，DRV8714-Q1 RVJ		8	10	mA
		V_{DVDD} = 5V，SDO = 0V DRV8714-Q1 RHA		10	13	mA
f_{DVDD}	数字振荡器开关频率	展频的主频率。		14.25		MHz
t_{WAKE}	开通时间	nSLEEP = 5V 进入工作模式			1	ms
t_{SLEEP}	关断时间	nSLEEP = 0V 进入睡眠模式			1	ms
V_{VCP}	相对于 PVDD 的电荷泵稳压器电压三倍频模式	V_{PVDD} ≥ 9V，I_{VCP} ≤ 30mA	9.5	10.5	11	V
		V_{PVDD} = 7V，I_{VCP} ≤ 25mA	8.5	9	11	
		V_{PVDD} = 7V，I_{VCP} ≤ 25mA，DRV8714-Q1 RHA	8.4	9	11	
		V_{PVDD} = 4.9V，I_{VCP} ≤ 12mA	7	7.5	11	
		V_{PVDD} = 4.9V，I_{VCP} ≤ 12mA，DRV8714-Q1 RHA	6.8	7.5	11	
	相对于 PVDD 的电荷泵稳压器电压二倍频模式	V_{PVDD} ≥ 13V，I_{VCP} ≤ 25mA	9.5	10.5	11	V
		V_{PVDD} = 9V，I_{VCP} ≤ 13.5mA	7	8	11	
		V_{PVDD} = 9V，I_{VCP} ≤ 13.5mA，DRV8714-Q1 RHA	6.9	8	11	
		V_{PVDD} = 7V，I_{VCP} ≤ 10mA	5.4	6	11	
		V_{PVDD} = 7V，I_{VCP} ≤ 10mA，DRV8714-Q1 RHA	5.3	6	11	
f_{VCP}	电荷泵开关频率	展频的主频率。		400		kHz
逻辑电平输入（BRAKE、DRVOFF/nFLT、INx/EN、INx/PHx、nSLEEP、nSCS、SCLK、SDI）						
V_{IL}	输入逻辑低电平电压	DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI	0		V_{DVDD} x 0.3	V
		BRAKE	0		0.6	
V_{IH}	输入逻辑高电平电压	DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI	V_{DVDD} x 0.7		5.5	V
		BRAKE	1.8		5.5	

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{HYS}	输入迟滞	DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI		V_{DVDD} x 0.1		V
		BRAKE		0.5		
I_{IL}	输入逻辑低电平电流	V_{DIN} = 0V、BRAKE、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI	-5		5	μA
		V_{DIN} = 0V，nSCS		50	100	
I_{IH}	输入逻辑高电流	V_{DIN} = 5V、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI		50	100	μA
		V_{DIN} = 5V，V_{DVDD} = 5V，nSCS	-5		5	
		V_{DIN} = 5V，nSLEEP = 0V，BRAKE		5	10	μA
		V_{DIN} = 5V，nSLEEP = 5V，BRAKE		35	100	μA
R_{PD}	输入下拉电阻	至 GND、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI	50	100	150	kΩ
		BRAKE 至 GND，nSLEEP = 0V BRAKE ≤ 2 V，4.9V ≤ V_{PVDD} ≤ V_{POB_OV}	500	1000	1500	kΩ
		BRAKE 至 GND，nSLEEP = 5V BRAKE ≤ 2 V，4.9V ≤ V_{PVDD} ≤ V_{POB_OV}	50	136	200	kΩ
R_{PU}	输入上拉电阻	至 DVDD，nSCS	50	100	150	kΩ
多电平输入（GAIN、IDRIVE、MODE、VDS）						
V_{QI1}	四电平输入 1	GAIN、MODE 通过电压设置为电平 1	0		V_{DVDD} x 0.1	V
R_{QI2}	四电平输入 2	GAIN、MODE 通过连接至 GND 的电阻设置为电平 2	44.65	47	49.35	kΩ
R_{QI3}	四电平输入 3	GAIN、MODE 通过连接至 GND 的电阻设置为电平 3	500	高阻态		kΩ
V_{QI4}	四电平输入 4	GAIN、MODE 电压连接至所设置的电平 4	V_{DVDD} x 0.9		5.5	V
R_{QPD}	四电平下拉电阻	至 GND、GAIN、MODE		98		kΩ
R_{QPU}	四电平上拉电阻	至 DVDD、GAIN、MODE		98		kΩ
V_{SI1}	六电平输入 1	IDRIVE，VDS 电压连接至所设置的电平 1	0		V_{DVDD} x 0.1	V
R_{SI2}	六电平输入 2	IDRIVE，VDS GND 电阻连接至所设置的电平 2	28.5	30	31.5	kΩ
R_{SI3}	六电平输入 3	IDRIVE，VDS GND 电阻连接至所设置的电平 3	95	100	105	kΩ
R_{SI4}	六电平输入 4	IDRIVE，VDS GND 电阻连接至所设置的电平 4	500	高阻态		kΩ
R_{SI5}	六电平输入 5	IDRIVE，VDS DVDD 电阻连接至所设置的电平 5	58.9	62	65.1	kΩ
R_{SI6}	六电平输入 6	IDRIVE，VDS 电压连接至所设置的电平 6	V_{DVDD} x 0.9		5.5	V
R_{SPD}	六电平下拉电阻	至 GND、IDRIVE、VDS		98		kΩ
R_{SPU}	六电平上拉电阻	至 DVDD、IDRIVE、VDS		69		kΩ
逻辑电平输出（DRVOFF/nFLT、SDO）						
V_{OL}	输出逻辑低电平电压	I_{DOUT} = 5mA			0.5	V

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出逻辑高电压	I_{DOUT} = –5mA，SDO	V_{DVDD} x 0.8			V
I_{ODZ}	开漏逻辑大电流	V_{OD} = 5V、DRVOFF/nFLT	-10		10	μA
栅极驱动器（GHx，GLx）						
V_{GHx_L}	GHx 低电平输出电压	I_{DRVN_HS} = I_{STRONG}，I_{GHx} = 1mA，GHx 至 SHx	0		0.25	V
V_{GLx_L}	GLx 低电平输出电压	I_{DRVN_LS} = I_{STRONG}，I_{GLx} = 1mA，GLx 至 PGNDx	0		0.25	V
V_{GHx_H}	GHx 高电平输出电压	I_{DRVP_HS} = I_{HOLD}，I_{GHx} = 1mA，VCP 至 GHx	0		0.25	V
V_{GLx_H}	GLx 高电平输出电压	I_{DRVP_LS} = I_{HOLD}，I_{GLx} = 1mA，GLx 至 PGNDx		10.5	12.5	V
$I_{DRVP, SPI}$	峰值栅极电流（拉电流）SPI 器件	IDRVP_x = 0000b，V_{GSx} = 3V	0.2	0.5	0.83	mA
		IDRVP_x = 0001b，V_{GSx} = 3V	0.5	1	1.6	
		IDRVP_x = 0010b，V_{GSx} = 3V	1.3	2	2.8	
		IDRVP_x = 0011b，V_{GSx} = 3V	2.1	3	4	
		IDRVP_x = 0100b，V_{GSx} = 3V	2.9	4	5.3	
		IDRVP_x = 0101b，V_{GSx} = 3V	3.75	5	6.4	
		IDRVP_x = 0110b，V_{GSx} = 3V	4.5	6	7.6	
		IDRVP_x = 0111b，V_{GSx} = 3V	5.5	7	9	
		IDRVP_x = 1000b，V_{GSx} = 3V	6	8	10	
		IDRVP_x = 1001b，V_{GSx} = 3V	9	12	15	
		IDRVP_x = 1010b，V_{GSx} = 3V	12	16	20	
		IDRVP_x = 1011b，V_{GSx} = 3V	15	20	25	
		IDRVP_x = 1100b，V_{GSx} = 3V	18	24	30	
		IDRVP_x = 1101b，V_{GSx} = 3V	24	31	40	
		IDRVP_x = 1110b，V_{GSx} = 3V	28	48	62	
		IDRVP_x = 1111b，V_{GSx} = 3V	46	62	78	
$I_{DRVP, H/W}$	峰值栅极电流（拉电流）H/W 器件	IDRIVE 六电平 1，V_{GSx} = 3V	0.2	1	1.6	mA
		IDRIVE 六电平 2，V_{GSx} = 3V	2.9	4	5.3	
		IDRIVE 六电平 3，V_{GSx} = 3V	6	8	10	
		IDRIVE 六电平 4，V_{GSx} = 3V	12	16	20	
		IDRIVE 六电平 5，V_{GSx} = 3V	24	31	40	
		IDRIVE 六电平 6，V_{GSx} = 3V	46	62	78	

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$I_{DRVN, SPI}$	峰值栅极电流（灌电流）SPI 器件	IDRVN_x = 0000b，V_{GSx} = 3V	0.07	0.5	0.85	mA
		IDRVN_x = 0001b，V_{GSx} = 3V	0.23	1	1.7	
		IDRVN_x = 0010b，V_{GSx} = 3V	0.7	2	3.2	
		IDRVN_x = 0011b，V_{GSx} = 3V	1.2	3	4.6	
		IDRVN_x = 0100b，V_{GSx} = 3V	1.75	4	5.9	
		IDRVN_x = 0101b，V_{GSx} = 3V	2.4	5	7.2	
		IDRVN_x = 0110b，V_{GSx} = 3V	3	6	8.5	
		IDRVN_x = 0111b，V_{GSx} = 3V	3.6	7	9.8	
		IDRVN_x = 1000b，V_{GSx} = 3V	4.3	8	11	
		IDRVN_x = 1001b，V_{GSx} = 3V	7.3	12	16	
		IDRVN_x = 1010b，V_{GSx} = 3V	11	16	20	
		IDRVN_x = 1011b，V_{GSx} = 3V	14.3	20	25	
		IDRVN_x = 1100b，V_{GSx} = 3V	18	24	30	
		IDRVN_x = 1101b，V_{GSx} = 3V	24	31	40	
		IDRVN_x = 1110b，V_{GSx} = 3V	28	48	62	
		IDRVN_x = 1111b，V_{GSx} = 3V	46	62	78	
$I_{DRVN, H/W}$	峰值栅极电流（灌电流）H/W 器件	IDRIVE 六电平 1，V_{GSx} = 3V	0.23	1	1.7	mA
		IDRIVE 六电平 2，V_{GSx} = 3V	1.75	4	5.9	
		IDRIVE 六电平 3，V_{GSx} = 3V	4.3	8	11	
		IDRIVE 六电平 4，V_{GSx} = 3V	11	16	20	
		IDRIVE 六电平 5，V_{GSx} = 3V	24	31	40	
		IDRIVE 六电平 6，V_{GSx} = 3V	46	62	78	
I_{HOLD}	栅极上拉保持电流	栅极保持拉电流，V_{GSx} = 3V	5	16	30	mA
I_{STRONG}	栅极强下拉电流	栅极强下拉电流，V_{GSx} = 3V I_{DRV} = 0.5 至 12mA	30	62	100	mA
		栅极强下拉电流，V_{GSx} = 3V I_{DRV} = 16 至 62mA	45	128	205	
R_{PDSA_LS}	低侧半有源栅极下拉电阻	GLx 至 PGNDx，V_{GSx} = 3V		1.8		kΩ
		GLx 至 PGNDx，V_{GSx} = 1V		5		kΩ
R_{PD_HS}	高侧无源栅极下拉电阻	GHx 至 SHx		150		kΩ
R_{PD_LS}	低侧无源栅极下拉电阻	DRV8718-Q1、GL1、GL2、GL3 和 GL4 至 PGND1		150		kΩ
I_{SHx}	开关节点感测漏电流	进入 SHx，SHx = DRAIN ≤ 28V GHx – SHx = 0V，nSLEEP = 0V	-5	0	20	μA
		进入 SHx，SHx = DRAIN ≤ 37V GHx – SHx = 0V，nSLEEP = 0V	-5	0	80	μA
		进入 SHx，SHx = DRAIN ≤ 37V GHx – SHx = 0V，nSLEEP = 5V	-150	-100	0	μA
栅极驱动器时序（GHx，GLx）						
t_{PDR_LS}	低侧上升传播延迟	输入至 GLx 上升		300	850	ns
t_{PDF_LS}	低侧下降传播延迟	输入至 GLx 下降		300	600	ns
t_{PDR_HS}	高侧上升传播延迟	输入至 GHx 上升		300	600	ns
t_{PDF_HS}	高侧下降传播延迟	输入至 GHx 下降		300	600	ns
t_{DEAD}	内部握手死区时间	GLx/GHx 下降 10% 至 GHx/GLx 上升 10%		350		ns

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$t_{DEAD_D, SPI}$	可插入的数字死区时间 SPI 器件	VGS_TDEAD = 00b，仅握手		0		μs
		VGS_TDEAD = 01b	1.6	2	2.4	
		VGS_TDEAD = 10b	3.4	4	4.6	
		VGS_TDEAD = 11b	7.2	8	8.8	
$t_{DEAD_D, H/W}$	可插入的数字死区时间 H/W 器件	仅握手		0		μs
电流分流放大器（AREF、SNx、SOx、SPx）						
V_{COM}	共模输入范围		-2		V_{PVDD} + 2	V
$G_{CSA, SPI}$	感测放大器增益 SPI 器件	CSA_GAIN = 00b	9.75	10	10.25	V/V
		CSA_GAIN = 01b	19.5	20	20.5	
		CSA_GAIN = 10b	39	40	41	
		CSA_GAIN = 11b	78	80	82	
$G_{CSA, H/W}$	感测放大器增益 H/W 器件	GAIN 四电平 1	9.75	10	10.25	V/V
		GAIN 四电平 2	19.5	20	20.5	
		GAIN 四电平 3	39	40	41	
		GAIN 四电平 4	78	80	82	
t_{SET}	感测放大器稳定时间至 ±1%	V_{SO_STEP} = 1.5V，G_{CSA} = 10V/V C_{SO} = 60pF		2.2		μs
		V_{SO_STEP} = 1.5V，G_{CSA} = 20V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V，G_{CSA} = 40V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V，G_{CSA} = 80V/V C_{SO} = 60pF		3		
$t_{BLK, SPI}$	感测放大器输出消隐时间 SPI 器件	CSA_BLK = 000b，t_{DRIVE} 周期的百分比		0		%
		CSA_BLK = 001b，t_{DRIVE} 周期的百分比		25		
		CSA_BLK = 010b，t_{DRIVE} 周期的百分比		37.5		
		CSA_BLK = 011b，t_{DRIVE} 周期的百分比		50		
		CSA_BLK = 100b，t_{DRIVE} 周期的百分比		62.5		
		CSA_BLK = 101b，t_{DRIVE} 周期的百分比		75		
		CSA_BLK = 110b，t_{DRIVE} 周期的百分比		87.5		
		CSA_BLK = 111b，t_{DRIVE} 周期的百分比		100		
$t_{BLK, H/W}$	感测放大器输出消隐时间 H/W 器件			0		ns
t_{SLEW}	输出转换率	C_{SO} = 60pF		2.5		V/μs
$V_{BIAS, SPI}$	输出电压偏置 SPI 器件	V_{SPx} = V_{SNx} = 0V，CSA_DIV = 0b		V_{AREF} / 2		V
		V_{SPx} = V_{SNx} = 0V，CSA_DIV = 1b		V_{AREF} / 8		
$V_{BIAS, H/W}$	输出电压偏置 H/W 器件			V_{AREF} / 2		V
V_{LINEAR}	线性输出电压范围	V_{AREF} = 3.3V = 5V	0.25		V_{AREF} – 0.25	V
V_{OFF}	输入偏移电压	V_{SPx} = V_{SNx} = 0V，T_J = 25℃	-1		1	mV
V_{OFF_D}	输入失调电压漂移	V_{SPx} = V_{SNx} = 0V		±10	±25	μV/℃
I_{BIAS}	输入偏置电流	V_{SPx} = V_{SNx} = 0V			100	μA
I_{BIAS_OFF}	输入偏置电流失调	I_{SPx} – I_{SNx}	-1		1	μA

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{AREF}	AREF 输入电流	V_{VREF} = 3.3V = 5V DRV8718-Q1 RVJ、DRV8714-Q1 RVJ		2	3	mA
CMRR	共模抑制比	直流，–40 ≤ T_J ≤ 125°C	72	90		dB
		直流，–40 ≤ T_J ≤ 150°C	69	90		
		20kHz		80		
PSRR	电源抑制比	PVDD 至 SOx，直流		100		dB
		PVDD 至 SOx，20kHz		90		
		PVDD 至 SOx，400kHz		70		
保护电路						
V_{PVDD_UV}	PVDD 欠压阈值	V_{PVDD} 上升	4.325	4.625	4.9	V
		V_{PVDD} 下降	4.25	4.525	4.8	
$V_{PVDD_UV_HYS}$	PVDD 欠压迟滞	上升至下降阈值		100		mV
$t_{PVDD_UV_DG}$	PVDD 欠压抗尖峰脉冲时间		8	10	12.75	µs
V_{PVDD_OV}	PVDD 过压阈值	V_{PVDD} 上升，PVDD_OV_LVL = 0b	21	22.5	24	V
		V_{PVDD} 下降，PVDD_OV_LVL = 0b	20	21.5	23	
		V_{PVDD} 下降，PVDD_OV_LVL = 0b，DRV8714-Q1	19.75	21.5	23	
		V_{PVDD} 上升，PVDD_OV_LVL = 1b	27	28.5	30	
		V_{PVDD} 下降，PVDD_OV_LVL = 1b	26	27.5	29	
		V_{PVDD} 下降，PVDD_OV_LVL = 1b，DRV8714-Q1	25.4	27.5	29	
$V_{PVDD_OV_HYS}$	PVDD 过压迟滞	上升至下降阈值		1		V
$t_{PVDD_OV_DG}$	PVDD 过压抗尖峰脉冲时间	PVDD_OV_DG = 00b	0.75	1	1.5	µs
		PVDD_OV_DG = 01b	1.5	2	2.5	
		PVDD_OV_DG = 10b	3.25	4	4.75	
		PVDD_OV_DG = 11b	7	8	9	
V_{DVDD_POR}	DVDD 电源 POR 阈值	DVDD 下降	2.5	2.7	2.9	V
		DVDD 上升	2.6	2.8	3	
$V_{DVDD_POR_HYS}$	DVDD POR 迟滞	上升至下降阈值		100		mV
$t_{DVDD_POR_DG}$	DVDD POR 抗尖峰脉冲时间		5	8	12.75	µs
$V_{CP_UV, SPI}$	电荷泵欠压阈值 SPI 器件	V_{VCP} - V_{PVDD}，V_{VCP} 下降 VCP_UV = 0b	4	4.75	5.5	V
		V_{VCP} - V_{PVDD}，V_{VCP} 下降 VCP_UV = 1b	5.5	6.25	7	
$V_{CP_UV, H/W}$	电荷泵欠压阈值 H/W 器件		4	4.75	5.5	V
$t_{CP_UV_DG}$	电荷泵欠压抗尖峰脉冲时间		8	10	12.75	µs
V_{CP_SO}	电荷泵三倍器至倍压器切换阈值	V_{PVDD} 上升	18	18.75	19.5	V
V_{CP_SO}	电荷泵三倍器至倍压器切换阈值	V_{PVDD} 下降	17	17.75	18.5	V
$t_{CP_SO_HYS}$	电荷泵三倍器至倍压器切换迟滞			1		V
$t_{CP_SO_DG}$	电荷泵三倍器至倍压器切换阈值抗尖峰脉冲		8	10	12.75	µs
V_{GS_CLP}	高侧驱动器 V_{GS} 保护钳位		12.5	15	17	V

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{GS_LVL}	栅极电压监测阈值 SPI 器件	V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx} VGS_LVL = 0b	1.1	1.4	1.75	V
		V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx} VGS_LVL = 1b	0.75	1	1.2	V
	栅极电压监测阈值 H/W 器件	V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx}	1.1	1.4	1.75	V
$t_{GS_FLT_DG}$	V_{GS} 故障监控抗尖峰脉冲时间		1.5	2	2.75	μs
$t_{GS_HS_DG}$	V_{GS} 握手监测抗尖峰脉冲时间			210		ns
$t_{DRIVE, SPI}$	V_{GS} 和 V_{DS} 监控消隐时间 SPI 器件	VGS_TDRV = 000b	1.5	2	2.5	μs
		VGS_TDRV = 001b	3.25	4	4.75	
		VGS_TDRV = 010b	7.5	8	9	
		VGS_TDRV = 011b	10	12	14	
		VGS_TDRV = 100b	14	16	18	
		VGS_TDRV = 101b	20	24	28	
		VGS_TDRV = 110b	28	32	36	
		VGS_TDRV = 111b	80	96	120	
$t_{DRIVE, H/W}$	V_{GS} 和 V_{DS} 监控消隐时间 H/W 器件		7.5	8	9	μs
$V_{DS_LVL, SPI}$	V_{DS} 过流保护阈值 SPI 器件	VDS_LVL = 0000b	0.04	0.06	0.08	V
		VDS_LVL = 0001b	0.06	0.08	0.10	
		VDS_LVL = 0010b	0.075	0.10	0.125	
		VDS_LVL = 0011b	0.095	0.12	0.145	
		VDS_LVL = 0100b	0.11	0.14	0.17	
		VDS_LVL = 0101b	0.13	0.16	0.19	
		VDS_LVL = 0110b	0.15	0.18	0.21	
		VDS_LVL = 0111b	0.17	0.2	0.23	
		VDS_LVL = 1000b	0.255	0.3	0.345	
		VDS_LVL = 1001b	0.35	0.4	0.45	
		VDS_LVL = 1010b	0.44	0.5	0.56	
		VDS_LVL = 1011b	0.52	0.6	0.68	
		VDS_LVL = 1100b	0.61	0.7	0.79	
		VDS_LVL = 1101b	0.88	1	1.12	
		VDS_LVL = 1110b	1.2	1.4	1.6	
		VDS_LVL = 1111b	1.75	2	2.25	
$V_{DS_LVL, H/W}$	V_{DS} 过流保护阈值 H/W 器件	VDS 六电平输入 1	0.04	0.06	0.08	V
		VDS 六电平输入 2	0.075	0.10	0.125	
		VDS 六电平输入 3	0.17	0.2	0.23	
		VDS 六电平输入 4	0.44	0.5	0.56	
		VDS 六电平输入 5	0.88	1	1.12	
		VDS 六电平输入 6		禁用		
$t_{DS_DG, SPI}$	V_{DS} 过流保护抗尖峰脉冲时间 SPI 器件	VDS_DG = 00b[(1)]	0.75	1	1.5	μs
		VDS_DG = 01b	1.5	2	2.5	
		VDS_DG = 10b	3.25	4	4.75	
		VDS_DG = 11b	7.5	8	9	

Copyright © 2026 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V，–40°C ≤ T_J ≤ 150°C（除非另有说明）。V_{PVDD} = 13.5V 且 T_J = 25°C 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$t_{DS_DG, H/W}$	V_{DS} 过流保护抗尖峰脉冲时间 H/W 器件		3.25	4	4.75	μs
I_{OLD}	离线诊断电流源	上拉电流		3		mA
		下拉电流		3		
R_{OLD}	离线开路负载电阻检测阈值	VDS_LVL = 1.4V，4.9V ≤ V_{DRAIN} ≤ 18V		22	50	kΩ
		VDS_LVL = 1.4V，4.9V ≤ V_{DRAIN} ≤ 37V		22	105	kΩ
		VDS_LVL = 2V，4.9V ≤ V_{DRAIN} ≤ 18V		10	25	kΩ
		VDS_LVL = 2V，4.9V ≤ V_{DRAIN} ≤ 37V		10	50	kΩ
t_{WD}	看门狗计时器周期	WD_WIN = 0b	36	40	44	ms
		WD_WIN = 1b	90	100	110	
V_{POB_OV}	断电制动过压阈值	上升	28	30.5	33	V
		下降	25	27	29.5	V
$V_{POB_OV_HYS}$	断电制动过压磁滞			3		V
I_{POB_P}	断电制动栅极拉电流			15		mA
I_{POB_N}	断电制动栅极灌电流			27		mA
V_{POB}	断电制动栅极上拉电压	V_{PVDD} ≥ 8V	5.5		12.5	V
t_{POB_ON}	断电制动开启时间			13		μs
t_{POB_OFF}	断电制动关闭时间			2.5		μs
V_{POB_VDS}	断电制动 VDS 比较器阈值	上升、DRV8714-Q1、DRV8718-Q1	250	350	450	mV
		上升、DRV8714A-Q1	600	800	1000	mV
t_{POB_VDS}	断电制动 VDS 比较器抗尖峰脉冲		2.5	4	5.75	μs
T_{OTW}	热警告温度	T_J 上升	130	150	170	°C
T_{HYS}	热警告迟滞			20		°C
T_{OTSD}	热关断温度	T_J 上升	150	170	190	°C
T_{HYS}	热关断迟滞			20		°C

(1) 对于 V_{DS_LVL} 0.06、0.08 和 0.10V（VDS_LVL = 0000b、0001b、0010b），不应使用 t_{DS_DG} 1μs (VDS_DG = 00b)

6.6 时序要求

		最小值	标称值	最大值	单位
t_{SCLK}	SCLK 最小周期	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{H_SDI}	SDI 输入数据保持时间	25			ns
t_{D_SDO}	SDO 输出数据延迟时间 (C_L = 20 pF)			30	ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{H_nSCS}	nSCS 输入保持时间	25			ns
t_{HI_nSCS}	nSCS 最短高电平时间	450			ns
t_{EN_nSCS}	启用延迟时间（nSCS 低电平至 SDO 有效）			50	ns

Copyright © 2026 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
t_{DIS_nSCS}	禁用延迟时间（nSCS 高电平至 SDO 高阻态）			50	ns

6.7 时序图

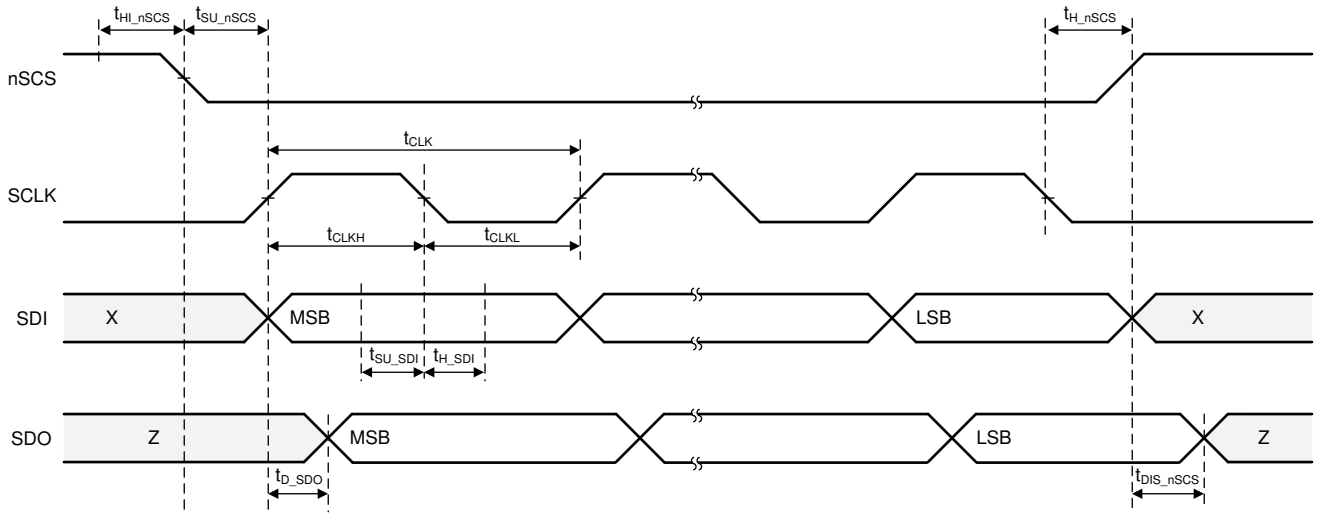
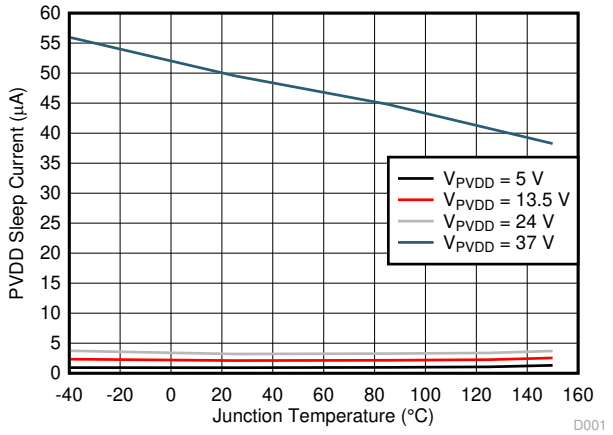


图 6-1. SPI 时序图

Copyright © 2026 Texas Instruments Incorporated

6.8 典型特性



V_{PVDD} = 37V，额外的电流泄漏到 V_{POB_OV} 比较器。

图 6-2. PVDD 睡眠电流

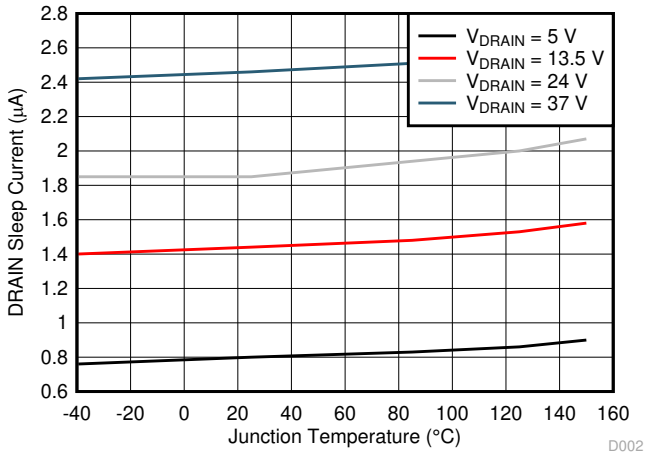


图 6-3. DRAIN 睡眠电流

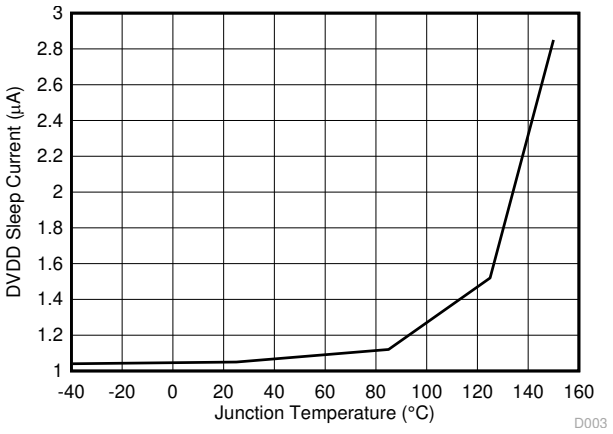


图 6-4. DVDD 睡眠电流

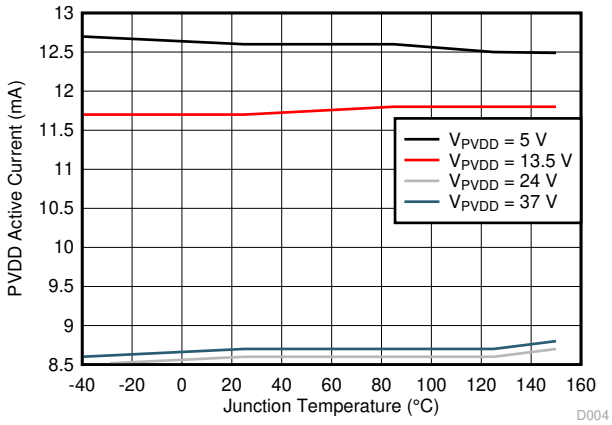


图 6-5. PVDD 运行电流

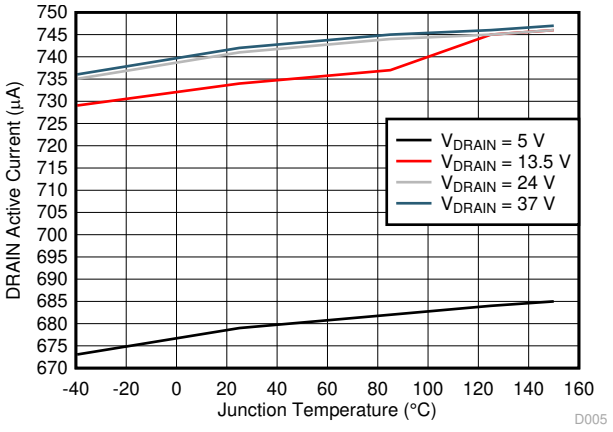


图 6-6. DRAIN 运行电流

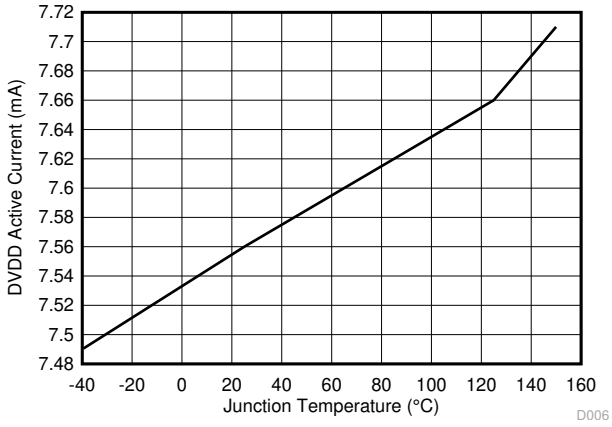
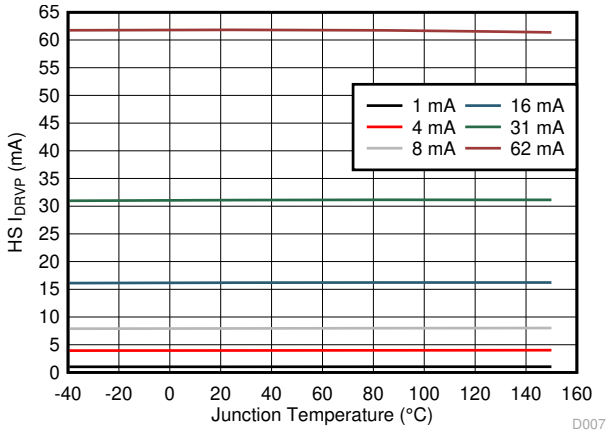
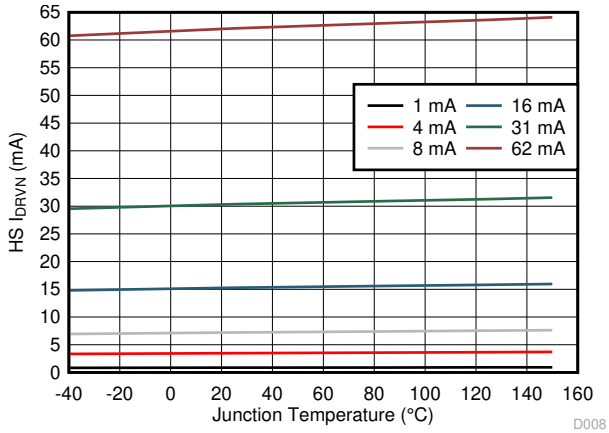


图 6-7. DVDD 运行电流



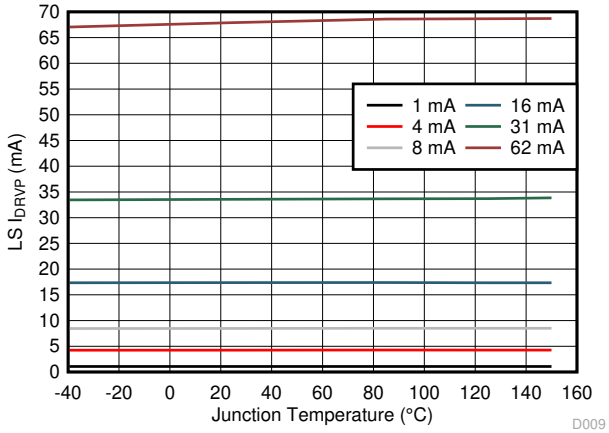
V_{PVDD} = 13.5V

图 6-8. 高侧栅极驱动器拉电流



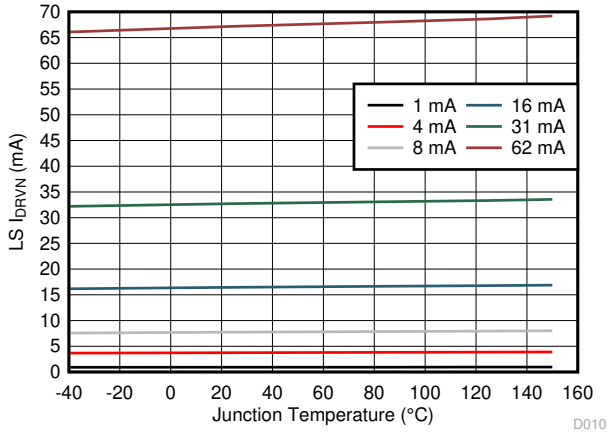
V_{PVDD} = 13.5V

图 6-9. 高侧栅极驱动器灌电流



V_{PVDD} = 13.5V

图 6-10. 低侧栅极驱动器拉电流



V_{PVDD} = 13.5V

图 6-11. 低侧栅极驱动器灌电流

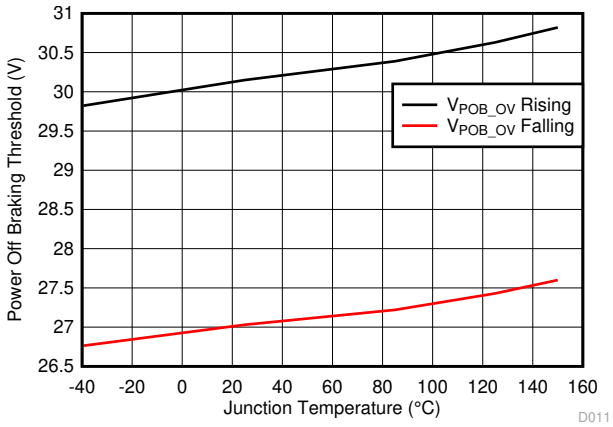


图 6-12. 断电制动阈值

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

DRV871x-Q1 系列器件是适用于驱动汽车应用中多个电机或负载的高度集成多通道栅极驱动器。这些器件专为汽车应用定制，提供了各种配置和控制选项、MOSFET 转换控制、MOSFET 传播延迟控制以及高级诊断和保护功能。这类器件具有 4 个 (DRV8714-Q1) 或 8 个 (DRV8718-Q1) 半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。DRV871x-Q1 系列器件通过集成大量栅极驱动器、驱动器电源、电流分流放大器和保护监测器，降低了系统总成本。

DRV871x-Q1 系列器件支持各种输入 PWM 控制模式。这些模式包括半桥控制、H 桥控制以及通过 PWM 多路复用实现的分组 H 桥控制。可以通过器件 SPI 接口和输入引脚来配置再循环和多路复用方案。这使得该器件能够支持不同的输出配置，例如单个或分组电机控制方案。

DRV871x-Q1 器件基于智能栅极驱动架构 (SGD)，可降低系统成本并提高可靠性。SGD 架构可优化死区时间以避免击穿问题，通过可调栅极驱动电流并使用 MOSFET 转换率控制方法灵活地降低电磁干扰 (EMI)，改善 MOSFET 传播延迟并适配自适应控制器，而且可通过 V_{DS} 和 V_{GS} 监测器来防止漏源极和栅极短路问题。强下拉电路有助于防止 dV/dt 栅极寄生耦合的发生。可通过可调输出栅极驱动器控制外部 MOSFET 转换。栅极驱动器峰值拉电流和灌电流可配置为 0.5mA 至 62mA，并具有额外的低电流模式来实现低于 0.5mA 的栅极驱动拉电流和灌电流。

这些器件可使用 3.3V 或 5V 外部控制器 (MCU) 运行。专用的 DVDD 引脚允许为器件数字内核提供外部电源，并且数字输出以控制器 I/O 电压为基准。它通过 SPI 总线与外部控制器进行通信，从而管理配置设置和诊断反馈。此器件还具有一个 AREF 引脚，允许将分流放大器基准电压关联到外部控制器 ADC 的基准电压。分流放大器输出也被钳位到 AREF 引脚电压，从而保护控制器的输入免受过电压尖峰的影响。

这些器件具有一系列诊断和保护特性，用于在运行前监测系统状态并防止系统运行期间出现故障。此类功能包括适用于电源和电荷泵的欠压和过压监测、适用于外部 MOSFET 的 V_{DS} 过流和 V_{GS} 栅极故障监测、离线开路负载和短路检测，用于 SPI 和 MCI 诊断的窗口式看门狗计时器，以及内部热警告和热关断保护功能。电流分流放大器可用于监控系统的负载电流。放大器的高共模范围可实现基于直列式、高侧或低侧分流电阻的电流检测。

最后，该器件具有独特的断电制动功能，能够在器件的低功耗睡眠模式期间在检测到系统过压状况况时启用低侧驱动器。这可用于防止电机反电动势对系统电压轨过充。

7.2 功能方框图

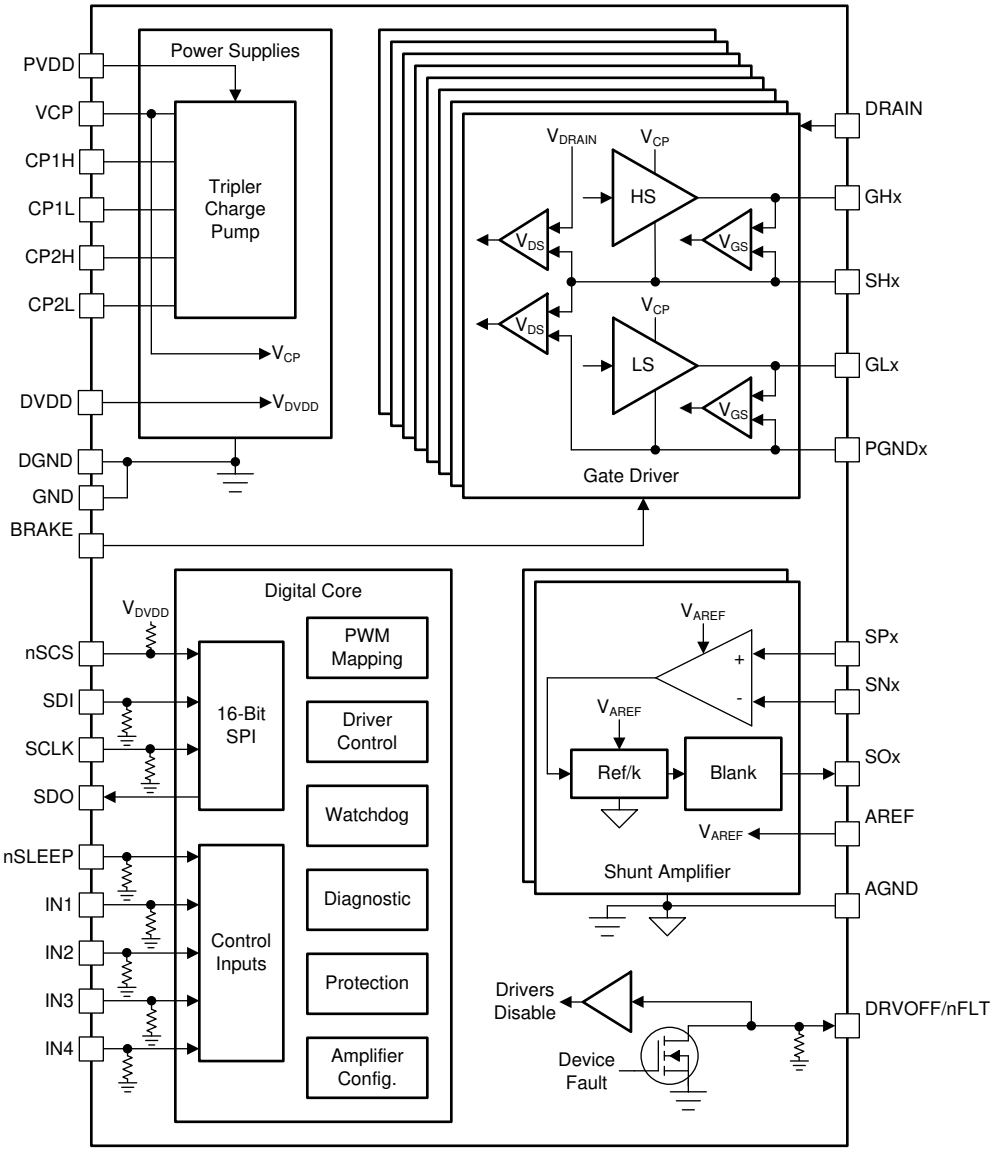


图 7-1. DRV8718S-Q1 RVJ 封装的方框图

Copyright © 2026 Texas Instruments Incorporated

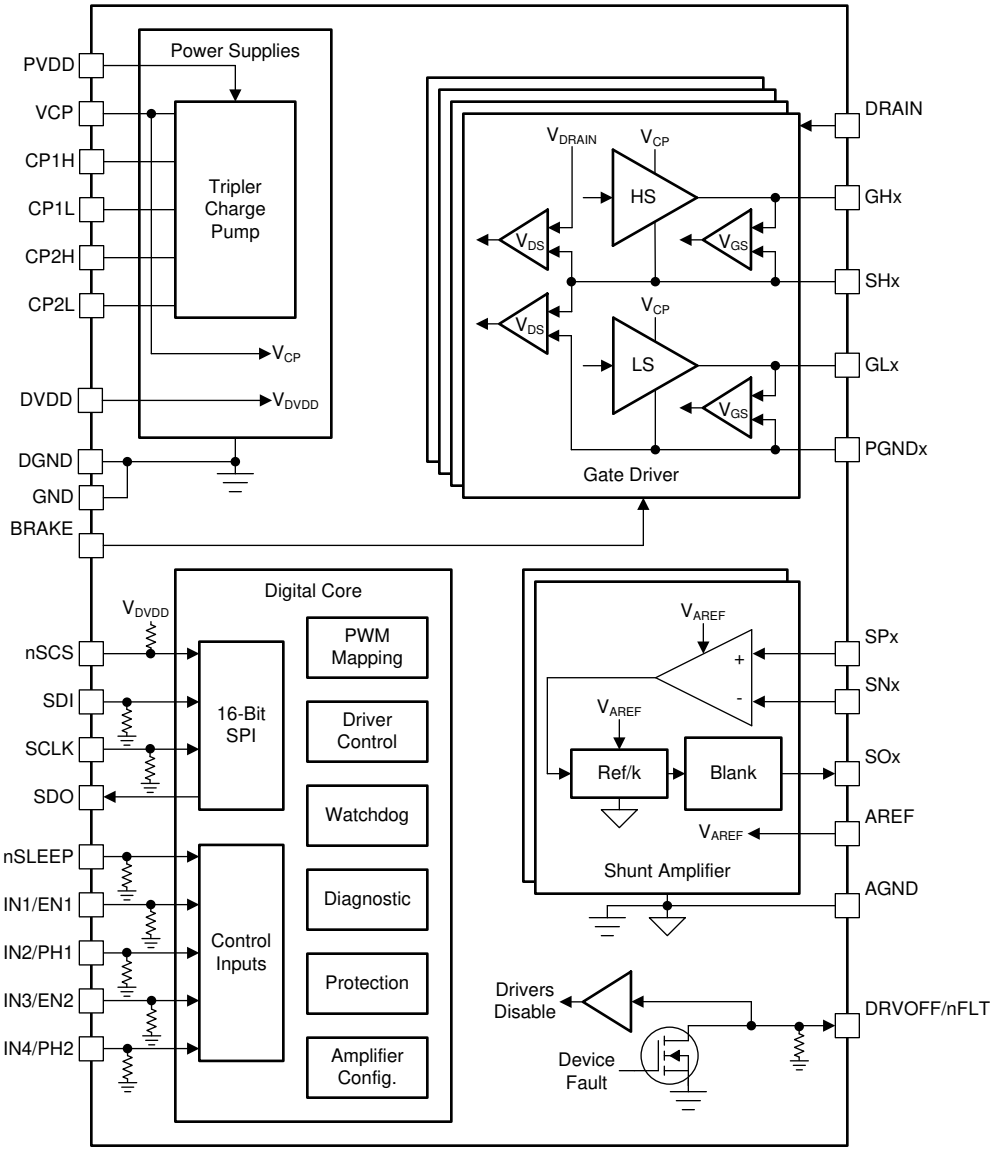


图 7-2. DRV8714S-Q1 RVJ 封装的方框图

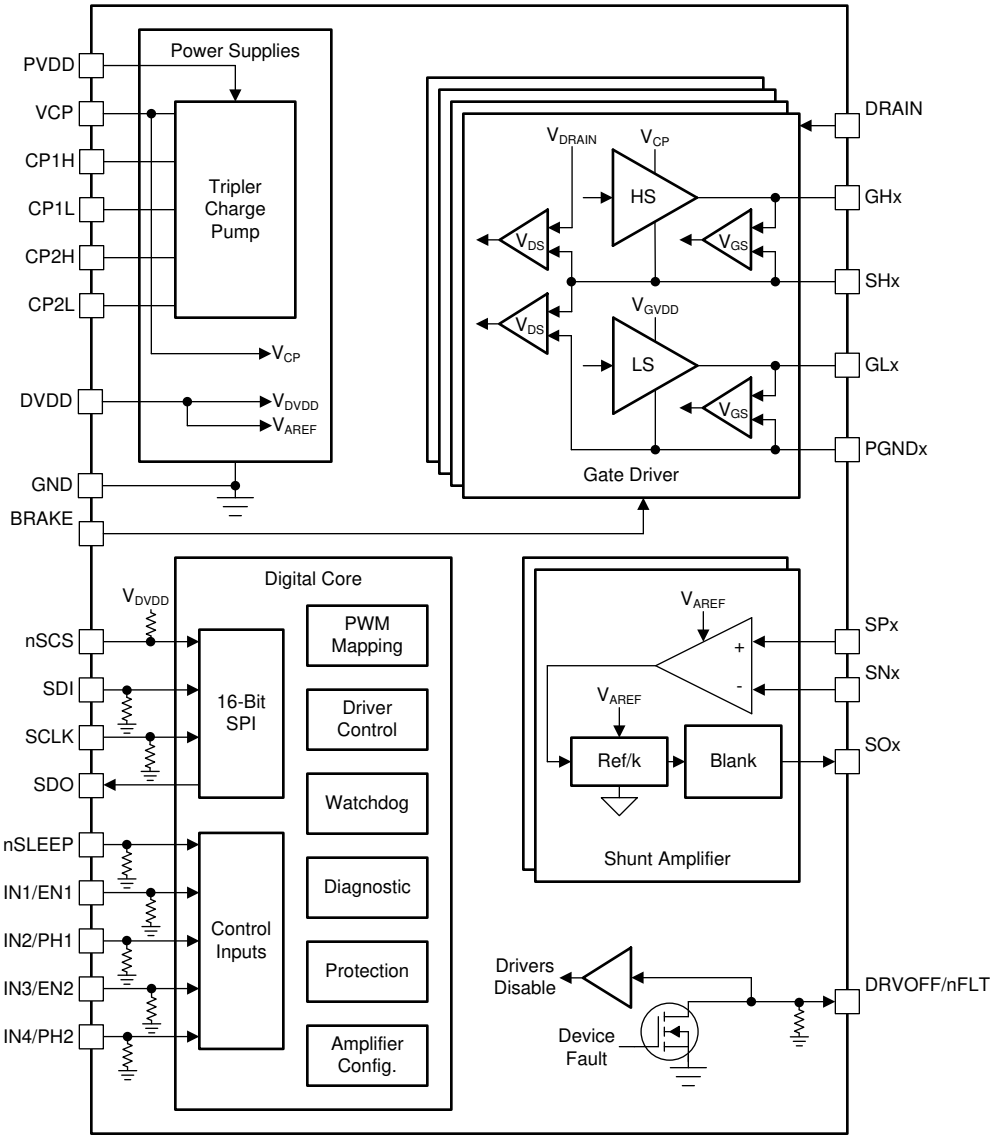


图 7-3. DRV8714S-Q1 RHA 封装的方框图

备注

在 DRV8714-Q1 RHA 封装上，没有 AREF 引脚。AREF 电源由 DVDD 引脚提供。

Copyright © 2026 Texas Instruments Incorporated

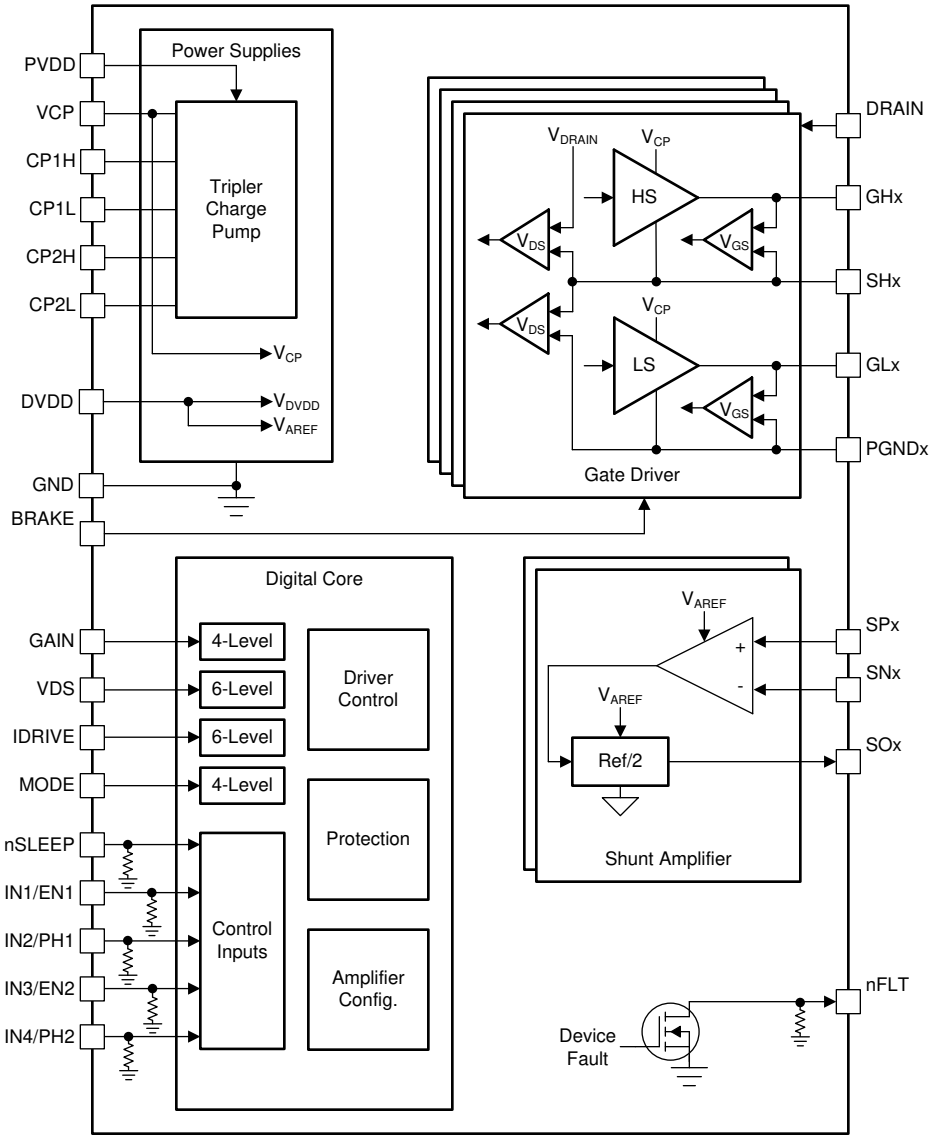


图 7-4. DRV8714H-Q1 RHA 封装的方框图

备注

在 DRV8714-Q1 RHA 封装上，没有 AREF 引脚。AREF 电源由 DVDD 引脚提供。

7.3 特性说明

7.3.1 外部组件

表 7-1 列出了推荐用于此器件的外部元件。

表 7-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C_{PVDD1}	PVDD	GND	0.1μF、低 ESR 陶瓷电容器、额定电压为 PVDD。
C_{PVDD2}	PVDD	GND	大于或等于 10 μF、PVDD 额定的局部大容量电容器。
C_{DVDD} (1)	DVDD	GND	1.0 μF、6.3V、低 ESR 陶瓷电容器
C_{AREF} (1)	AREF(3)	GND	0.1 μF、6.3V、低 ESR 陶瓷电容器
C_{VCP}	VCP	PVDD	1 μF、16V、低 ESR 陶瓷电容器
C_{FLY1}	CP1H	CP1L	0.1 μF、低 ESR、PVDD 额定的陶瓷电容器
C_{FLY2}	CP2H	CP2L	0.1μF、PVDD + 16V、低 ESR 陶瓷电容器
R_{nFLT}	VCC(2)	nFLT	上拉电阻器，I_{OD} ≤ 5mA

(1) 建议使用局部旁路电容器来降低外部低压电源的噪声。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。
(2) VCC 不是器件上的引脚，而是外部低压电源上的引脚。
(3) 在 DRV8714-Q1 RHA 封装上，AREF 引脚不存在，AREF 电源来自 DVDD 引脚。

7.3.2 器件接口类型

DRV8714-Q1 器件支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，以在不同的版本之间实现引脚对引脚兼容。因此，应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少的修改即可切换到另一个版本。DRV8718-Q1 器件仅可通过 SPI 接口使用。

7.3.2.1 串行外设接口 (SPI)

DRV8718-Q1 和 DRV8714S-Q1 SPI 器件型号支持串行通信总线，从而在外部控制器与驱动器之间进行串行数据的发送和接收。因此，外部控制器可配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线串行接口。

- nSCS 引脚是片选输入引脚。此引脚上的逻辑低电平信号可支持 SPI 通信。
- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚使用以 DVDD 输入为基准的推挽式输出结构。

更多有关 SPI 的信息，请参阅 SPI 接口一节。

7.3.2.2 硬件 (H/W)

DRV8714H-Q1 硬件接口器件型号将四个 SPI 引脚转换为四个可通过电阻器配置的输入，即 GAIN、VDS、IDRIVE 和 MODE。这样，应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，对常用的器件设置进行配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

硬件接口设置在器件上电时锁存，可通过以下方式重新配置：使用 nSLEEP 引脚将器件置于睡眠模式，更改设置，然后通过 nSLEEP 重新启用器件。

- GAIN 引脚可配置电流分流放大器增益。
- VDS 引脚可配置 V_{DS} 过流监视器的电压阈值。
- IDRIVE 引脚可配置栅极驱动电流强度。
- MODE 引脚可配置 PWM 输入控制模式。

Copyright © 2026 Texas Instruments Incorporated

更多有关硬件接口的信息，请参阅引脚图一节。

7.3.3 输入 PWM 控制模式

DRV8718-Q1 和 DRV8714-Q1 支持高度可配置的半桥控制方案，已适应各种输出负载配置和控制调节。此控制方案有助于减少外部控制器所需的 PWM 通道和引脚数量。可为 INx 输入引脚提供 4 路独立的 PWM 控制输入，并将其分配给任何输出半桥驱动器。器件在内部处理高侧与低侧开关之间的死区时间生成，因此可使用单路 PWM 输入来控制一个半桥。

此外，DRV8714-Q1 还支持其他几种用于 H 桥或螺线管控制的标准控制方案。这些控制方案可通过 SPI 接口器件上的 BRG_MODE 寄存器设置或 H/W 接口器件上的 MODE 引脚进行选择，如表 7-2 所示

表 7-2. DRV8714-Q1 输入 PWM 模式

PWM 模式	SPI 接口 (BRG_MODE)	H/W 接口（MODE 引脚）
半桥控制	00b	电平 1 — GND
H 桥控制	01b (PH/EN)	电平 2 (PH/EN) — 47k kΩ
	10b (PWM)	电平 3 (PWM) — Hi-Z
分离式 HS 和 LS 控制	11b	电平 4 — DVDD

7.3.3.1 具有输入 PWM 映射的半桥控制方案

7.3.3.1.1 DRV8718-Q1 半桥控制

DRV8718-Q1 通过直接 PWM、PWM 多路复用器和 SPI 控制寄存器的组合来控制八个半桥栅极驱动器。HBx_CTRL（半桥控制）SPI 寄存器用于控制半桥栅极驱动器的输出状态。栅极驱动器的不同控制状态如表 7-3 所示。任何未使用的半桥驱动器均应保持断开状态并处于高阻抗 (Hi-Z) 输出状态。

DRV8718-Q1 PWM 输入引脚（IN1、IN2、IN3、IN4）用于设置所分配输出的 PWM 频率和占空比。如果不需要高频或精确的占空比 PWM 控制，也可以通过 HBx_CTRL SPI 控制寄存器直接控制八个半桥栅极驱动器。

DRV8718-Q1 还可用于控制单个高侧或低侧外部 MOSFET，而不使用半桥。在该设置中，只需让半桥上未使用的 GHx/GLx 驱动器保持断开。如果该设置中需要 PWM 控制，则仅应使用无源续流。

表 7-3. 半桥 SPI 寄存器控制 (HBx_CTRL)

HBx_CTRL (1-8)	栅极驱动器状态	GHx (1-8)	GLx (1-8)	SHx (1-8)
00b	高阻抗 (Hi-Z)	L	L	高阻态
01b	驱动低侧 (L)	L	H	L
10b	驱动高侧 (H)	H	L	H
11b	驱动 PWM (PWM)	表 7-5	表 7-5	表 7-5

在 PWM 控制模式下，半桥栅极驱动器可由 4 个独立的 PWM 控制输入（IN1、IN2、IN3、IN4）中的任何一个直接控制，如表 7-4 所示。

当使用电机组或区域控制方案时，PWM 映射有助于减少外部控制器所需的 PWM 资源和引脚数量，同时仍支持执行精细的 PWM 频率和占空比控制。每个 PWM 输入引脚均可根据需要映射到任意多个半桥驱动器。输入 PWM 信号可以主动驱动半桥的高侧或低侧 MOSFET（基于 PWMx_HL 控制寄存器），并根据续流设置相应地控制半桥中相反方向的 MOSFET。有源或无源续流都可以通过 PWMx_FW 控制寄存器进行配置。

若要在驱动器运行期间修改 PWM 映射方案，应执行以下步骤。

- 通过 HBx_CTRL 将有源半桥设置为 Hi-Z 模式。
- 通过 HBx_CTRL 将新目标半桥设置为 Hi-Z 模式。
- HBx_PWM 映射应从旧目标更新为新目标半桥。
- 设置新目标半桥驱动 MOSFET (PWMx_HL) 和续流设置 (PWMx_FW)。
- 通过 HBx_CTRL 将新目标半桥设置为 PWM 模式。

表 7-4. 半桥 PWM 映射 (HBx_PWM)

PWM 映射	
HBx_PWM (1-8)	**输入 PWM 源**
00b	IN1
01b	IN2
10b	IN3
11b	IN4

表 7-5. 半桥 PWM 控制（PWMx_HL 和 PWMx_FW）

HBx_PWM (1-8)	HBx_HL (1-8)	HBx_FW (1-8)	栅极驱动器状态	GHx (1-8)	GLx (1-8)	SHx (1-8)
PWMx	0	0	PWM 高侧有源固件	PWMx	!PWMx	PWMx
	1		PWM 低侧有源固件	!PWMx	PWMx	!PWMx
	0	1	PWM 高侧无源固件	PWMx	L	PWMx
	1		PWM 低侧无源固件	L	PWMx	!PWMx

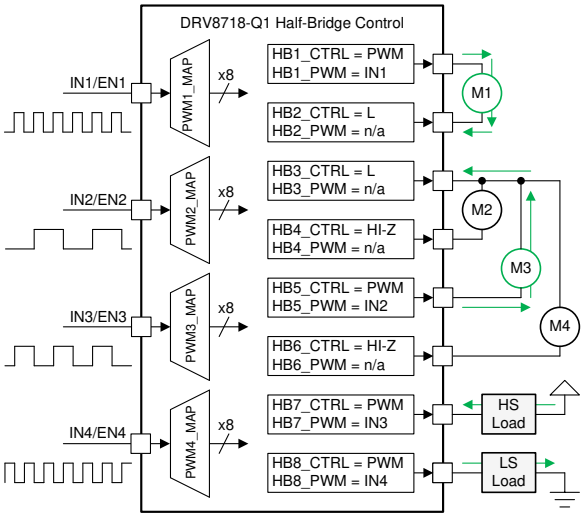


图 7-5. PWM 映射示例 1

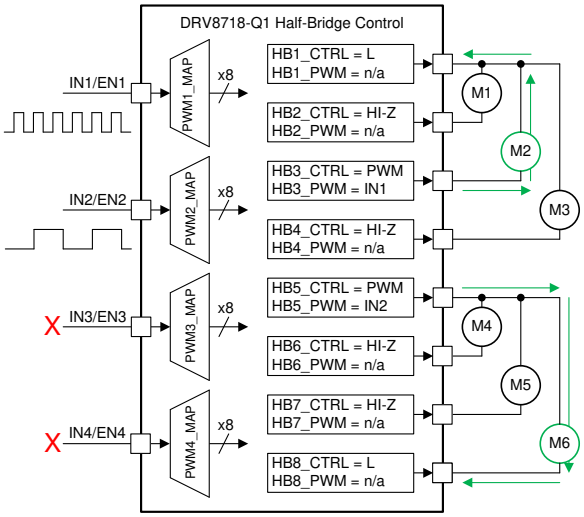


图 7-6. PWM 映射示例 2

7.3.3.1.2 DRV8714-Q1 半桥控制

DRV8714-Q1 通过直接 PWM、PWM 多路复用器和 SPI 控制寄存器的组合来控制四个半桥栅极驱动器。可以通过在 SPI 接口型号上设置 BRG_MODE = 00b 或在 H/W 接口型号上将 MODE 引脚设置为电平 1 来启用半桥控制模式。在 SPI 接口型号上，HBx_CTRL（半桥控制）SPI 寄存器用于控制半桥栅极驱动器的输出状态。栅极驱动器的不同控制状态如表 7-6 所示。任何未使用的半桥驱动器均应保持断开状态并处于高阻抗 (Hi-Z) 输出状态。在 H/W 接口型号上，器件默认通过相关的 INx/ENx 输入引脚直接进行 PWM 控制。

DRV8714-Q1 PWM 输入引脚（IN1/EN1、IN2/PH1、IN3/EN2、IN4/PH2）用于设置所分配输出的 PWM 频率和占空比。如果不需要高频或精确的占空比 PWM 控制，可以通过 SPI 接口型号上的 HBx_CTRL SPI 控制寄存器直接控制四个半桥栅极驱动器。

DRV8714-Q1 还可用于控制单个高侧或低侧外部 MOSFET，而不使用半桥。在该设置中，只需让半桥上未使用的 GHx/GLx 驱动器保持断开。如果该设置中需要 PWM 控制，则仅应使用无源续流。

Copyright © 2026 Texas Instruments Incorporated

表 7-6. 半桥 SPI 寄存器控制 (HBx_CTRL)

HBx_CTRL (1-4)	栅极驱动器状态	GHx (1-4)	GLx (1-4)	SHx (1-4)
00b	高阻抗 (Hi-Z)	L	L	高阻态
01b	驱动低侧 (L)	L	H	L
10b	驱动高侧 (H)	H	L	H
11b	驱动 PWM (PWM)	表 7-8	表 7-8	表 7-8

在 PWM 控制模式下，半桥栅极驱动器可由 4 个独立的 PWM 控制输入（IN1、IN2、IN3、IN4）中的任何一个直接控制，如表 7-4 所示。在 H/W 接口型号上，PWM 控制输入直接映射到其相关的输出编号。

当使用电机组或区域控制方案时，PWM 映射有助于减少外部控制器所需的 PWM 资源和引脚数量，同时仍支持执行精细的 PWM 频率和占空比控制。每个 PWM 输入引脚均可根据需要映射到任意多个半桥驱动器。输入 PWM 信号可以主动驱动半桥的高侧或低侧 MOSFET（基于 PWMx_HL 控制寄存器），并根据续流设置相应地控制半桥中相反方向的 MOSFET。有源或无源续流都可以通过 PWMx_FW 控制寄存器进行配置。在 H/W 接口型号上，器件配置为具有有源续流功能的高侧 PWM 驱动器。

若要在驱动器运行期间修改 PWM 映射方案，应执行以下步骤。

- 通过 HBx_CTRL 将有源半桥设置为 Hi-Z 模式。
- 通过 HBx_CTRL 将新目标半桥设置为 Hi-Z 模式。
- HBx_PWM 映射应从旧目标更新为新目标半桥。
- 设置新目标半桥驱动 MOSFET (PWMx_HL) 和续流设置 (PWMx_FW)。
- 通过 HBx_CTRL 将新目标半桥设置为 PWM 模式。

表 7-7. 半桥 PWM 映射 (PWMx_MAP)

PWM 映射	
HBx_PWM (1-4)	输入 PWM 源
00b	IN1
01b	IN2
10b	IN3
11b	IN4

表 7-8. 半桥 PWM 控制（PWMx_HL 和 PWMx_FW）

HBx_PWM (1-4)	HBx_HL (1-4)	HBx_FW (1-4)	栅极驱动器状态	GHx (1-4)	GLx (1-4)	SHx (1-4)
PWMx	0	0	PWM 高侧 有源固件	PWMx	!PWMx	PWMx
	1		PWM 低侧 有源固件	!PWMx	PWMx	!PWMx
	0	1	PWM 高侧 无源固件	PWMx	L	PWMx
	1		PWM 低侧 无源固件	L	PWMx	!PWMx

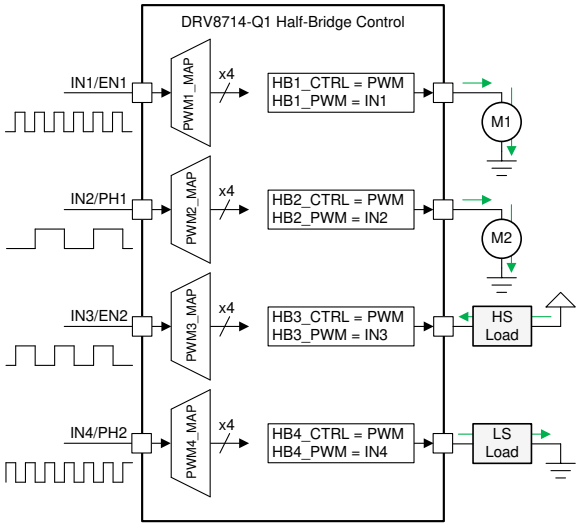


图 7-7. PWM 映射示例 1

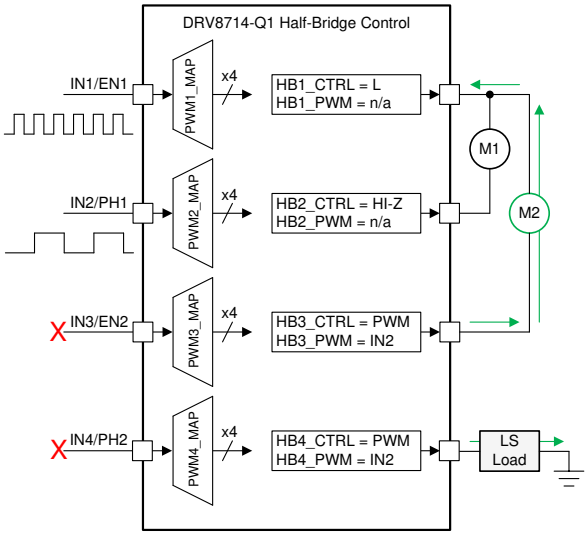


图 7-8. PWM 映射示例 2

7.3.3.2 H 桥控制

7.3.3.2.1 DRV8714-Q1 H 桥控制

在 H 桥控制模式下，每两对半桥栅极驱动器都可作为 H 桥栅极驱动器进行控制，DRV8714-Q1 总共有两个 H 桥栅极驱动器。对于 DRV8714-Q1，H 桥对是半桥 1/2 和 3/4。DRV8714-Q1 可通过直接输入引脚或 SPI 控制寄存器控制 2 个 H 桥栅极驱动器对。H 桥栅极驱动器有两种输入控制模式，可通过 BRG_MODE 寄存器设置（01b = PH/EN 和 10b = PWM）（对于 SPI 接口型号）或 MODE 引脚（电平 2 = PH/EN 和电平 3 = PWM）（对于 H/W 接口型号）进行配置。PH/EN 模式允许使用由一个 PWM 信号和一个 GPIO 信号控制的速度/方向类型接口来控制 H 桥。PWM 模式允许使用更高级的方案来控制 H 桥，该方案通常需要两个 PWM 信号。因此，如有需要，H 桥驱动器可进入四种不同的输出状态，以获得额外的控制灵活性。

DRV8714-Q1 PWM 输入引脚（IN1/EN1、IN2/PH1、IN3/EN2、IN4/PH2）用于设置所分配输出的 PWM 频率和占空比。如果不需要 PWM 控制，可以通过 SPI 控制寄存器直接控制两个 H 桥栅极驱动器。可以通过 INx/ENx_MODE 和 INx/PHx_MODE 寄存器设置来启用 INx/ENx 和 INx/PHx SPI 控制。每个 H 桥均可通过 HIZ 寄存器设置单独设置为 Hi-Z。

默认有源续流模式为低侧有效。DRV8714-Q1 SPI 器件型号能够通过 FW 寄存器设置来配置续流状态。此设置可用于修改低侧或高侧有源续流之间的桥接。H/W 接口型号默认为低侧续流。

表 7-9 和表 7-10 展示了栅极驱动器的 PH/EN 控制逻辑和输出状态。

表 7-9. PH/EN H 桥 (1/2) 控制

输入				输出						
IN1/EN1	IN2/PH1	FW1	HIZ1	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	X	0b	0	L	H	L	H	L	L	低侧有源续流
0	X	1b	0	H	L	H	L	H	H	高侧有源续流
1	0	X	0	L	H	H	L	L	H	驱动器 SH2 → SH1（反向）
1	1	X	0	H	L	L	H	H	L	驱动器 SH1 → SH2（正向）
X	X	X	1	L	L	L	L	高阻态	高阻态	高阻抗

Copyright © 2026 Texas Instruments Incorporated

表 7-10. PH/EN H 桥 (3/4) 控制

输入				输出						
IN3/EN2	IN4/PH2	FW2	HIZ2	GH3	GL3	GH4	GL4	SH3	SH4	说明
0	X	0b	0	L	H	L	H	L	L	低侧有源续流
0	X	1b	0	H	L	H	L	H	H	高侧有源续流
1	0	X	0	L	H	H	L	L	H	驱动器 SH4 → SH3（反向）
1	1	X	0	H	L	L	H	H	L	驱动器 SH3 → SH4（正向）
X	X	X	1	L	L	L	L	高阻态	高阻态	高阻抗

表 7-11 和表 7-12 展示了栅极驱动器的 PWM 控制逻辑和输出状态

表 7-11. PWM H 桥 (1/2) 控制

输入				输出						
IN1/EN1	IN2/PH1	FW1	HIZ1	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	0	X	0	L	L	L	L	高阻态	高阻态	二极管续流（滑行）
0	1	X	0	L	H	H	L	L	H	驱动器 SH2 → SH1（反向）
1	0	X	0	H	L	L	H	H	L	驱动器 SH1 → SH2（正向）
1	1	0b	0	L	H	L	H	L	L	低侧有源续流
1	1	1b	0	H	L	H	L	H	H	高侧有源续流
X	X	X	1	L	L	L	L	高阻态	高阻态	高阻抗

表 7-12. PWM H 桥 (3/4) 控制

输入				输出						
IN3/EN2	IN4/PH2	FW2	HIZ2	GH3	GL3	GH4	GL4	SH3	SH4	说明
0	0	X	0	L	L	L	L	高阻态	高阻态	二极管续流（滑行）
0	1	X	0	L	H	H	L	L	H	驱动器 SH4 → SH3（反向）
1	0	X	0	H	L	L	H	H	L	驱动器 SH3 → SH4（正向）
1	1	0b	0	L	H	L	H	L	L	低侧有源续流
1	1	1b	0	H	L	H	L	H	H	高侧有源续流
X	X	X	1	L	L	L	L	高阻态	高阻态	高阻抗

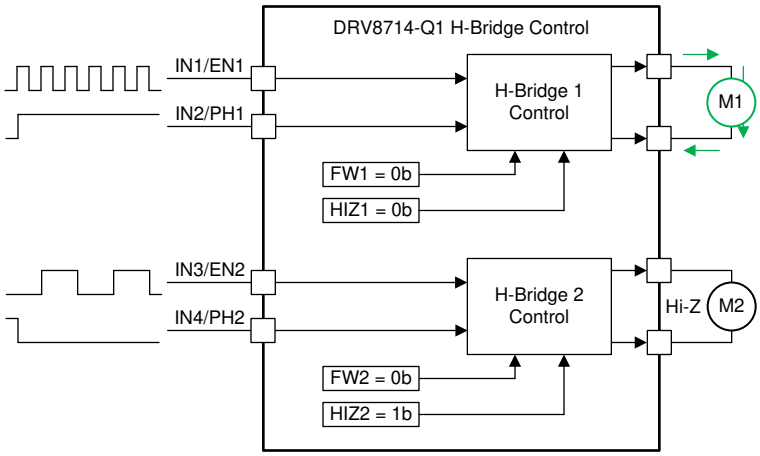


图 7-9. H 桥控制示例

7.3.3.3 分离式 HS 和 LS 螺线管控制

7.3.3.3.1 DRV8714-Q1 分离式 HS 和 LS 螺线管控制

在分离式 HS 和 LS 螺线管控制模式下，会配置 H 桥对（1/2 和 3/4）来简化螺线管控制方案，如图 7-10 所示。此模式允许将 H 桥配置为驱动互相对着的高侧和低侧外部 MOSFET 之间的浮动螺线管负载。可以通过在 SPI 接口型号上将 BRG_MODE 控制寄存器设置为 11b，在 H/W 接口型号上将 MODE 引脚设置为电平 4 来启用螺线管控制模式。

初级半桥的高侧 MOSFET 用作 HS 断开开关（通过 INx/PHx 引脚或 S_PHx 控制寄存器控制），次级半桥的低侧 MOSFET 用作螺线管的 PWM 控制器（通过 INx/ENx 引脚或 S_ENx 控制寄存器控制）。可以通过 INx/ENx_MODE 和 INx/PHx_MODE 寄存器设置来启用 INx/ENx 和 INx/PHx SPI 控制。初级半桥低侧 MOSFET 控制被禁用，次级半桥高侧 MOSFET 控制被禁用。控制真值表如表 7-13 和表 7-14 所示。

表 7-13. 分离式 HS 和 LS (1/2) 控制

IN1/EN1	IN2/PH1	GH1	GL1	GH2	GL2	说明
0	X	X	无效	无效	L	螺线管 PWM 关闭
1	X	X	无效	无效	H	螺线管 PWM 开启
X	0	L	无效	无效	X	禁用螺线管
X	1	H	无效	无效	X	启用螺线管

表 7-14. 分离式 HS 和 LS (3/4) 控制

IN3/EN2	IN4/PH2	GH3	GL3	GH4	GL4	说明
0	X	X	无效	无效	L	螺线管 PWM 关闭
1	X	X	无效	无效	H	螺线管 PWM 开启
X	0	L	无效	无效	X	禁用螺线管
X	1	H	无效	无效	X	启用螺线管

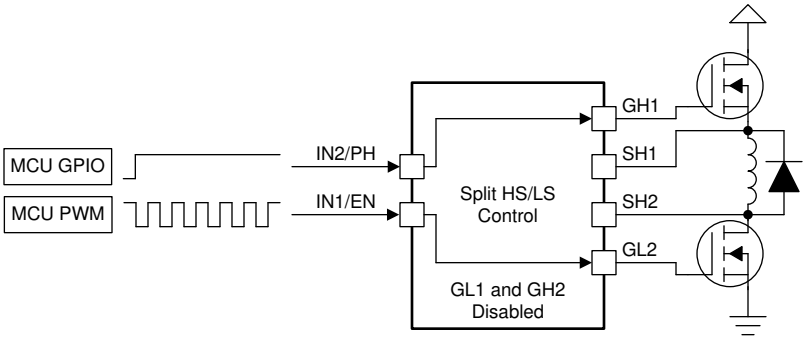


图 7-10. 螺线管控制示例

7.3.4 智能栅极驱动器

DRV871x-Q1 采用高级的可调节浮动智能栅极驱动器架构，可实现出色的 MOSFET 控制和强大的开关性能。DRV871x-Q1 提供了用于转换率控制的驱动器功能，并包含一个驱动器状态机，可用于死区时间握手、预防 dV/dt 栅极寄生耦合和 MOSFET 栅极故障检测。

提供高级自适应驱动功能，以降低传播延迟，减少占空比失真和闭环可编程压摆时间。高级智能栅极驱动器功能仅在半桥控制 PWM 模式下和 SPI 器件型号上可用。高级功能不会干扰栅极驱动器的标准运行，并可根据系统要求使用。

以下总结了智能栅极驱动架构的不同功能，并在后续部分提供了更多详细信息。

智能栅极驱动器核心功能：

Copyright © 2026 Texas Instruments Incorporated

- 栅极驱动器功能方框图
- 压摆率控制 (IDRIVE)
- 栅极驱动器状态机 (TDRIVE)
- 高级：传播延迟降低 (PDR)
- 高级：占空比补偿 (DCC)
- 高级：转换时间控制 (STC)

备注

器件的正常运行无需高级自适应驱动功能和寄存器，它们专为满足特定的系统要求而设计。

表 7-15. 智能栅极驱动器术语说明

核心功能	术语	说明
IDRIVE/TDRIVE	I_{DRVP}	用于可调 MOSFET 压摆率控制的可编程栅极驱动拉电流。使用 IDRVP_x 控制寄存器或 IDRIVE 引脚进行配置。
	I_{DRVN}	用于可调 MOSFET 压摆率控制的可编程栅极驱动灌电流。使用 IDRVN_x 控制寄存器或 IDRIVE 引脚进行配置。
	I_{HOLD}	非开关期间的固定栅极驱动器保持上拉电流。
	I_{STRONG}	非开关期间的固定栅极驱动器强下拉电流。
	t_{DRIVE}	I_{HOLD} 或 I_{STRONG} 之前的 $I_{DRVP/N}$ 驱动电流持续时间。还提供 V_{GS} 和 V_{DS} 故障监控消隐周期。使用 VGS_TDRV_x 控制寄存器进行配置。
	t_{PD}	从逻辑控制信号到栅极驱动器输出变化的传播延迟。
	t_{DEAD}	高侧和低侧开关转换之间的体二极管导通周期。使用 VGS_TDEAD_x 控制寄存器进行配置。
PDR（预充电）	I_{CHR_INIT}	充电控制环路的栅极驱动拉电流初始值。使用 PRE_CHR_INIT_xx 控制寄存器进行配置
	I_{PRE_CHR}	控制环路锁定后预充电期间的栅极驱动拉电流。使用 KP_PDR_x 控制寄存器配置调整速率。使用 PRE_MAX_x 控制寄存器配置最大电流钳位。
	t_{PRE_CHR}	栅极驱动拉电流预充电期间持续时间。使用 T_PRE_CHR_x 控制寄存器进行配置。
	t_{DON}	从预充电期间开始到 V_{SH} 上升超过 V_{SH_L} 阈值的延迟时间。使用 T_DON_DOFF_x 控制寄存器进行配置。
	I_{DCHR_INIT}	放电期间控制环路的栅极驱动灌电流初始值。使用 PRE_DCHR_INIT_x 控制寄存器进行配置。
	I_{PRE_DCHR}	控制环路锁定后预放电期间的栅极驱动灌电流。使用 KP_PDR_x 控制寄存器配置调整速率。使用 PRE_MAX_x 控制寄存器配置最大电流钳位。
	t_{PRE_DCHR}	栅极驱动灌电流预放电周期持续时间。使用 T_PRE_DCHR_x 控制寄存器进行配置。
	t_{DOFF}	从预放电周期开始到 V_{SH} 下降超过 V_{SH_H} 阈值的延迟时间。使用 T_DON_DOFF_x 控制寄存器进行配置。
	V_{SH_L}	V_{SH} 开关节点的低电压阈值。使用 AGD_THR 控制寄存器进行配置。
	V_{SH_H}	V_{SH} 开关节点的高电压阈值。使用 AGD_THR 控制寄存器进行配置。
PDR（后充电）	I_{PST_CHR}	后充电期间的栅极驱动拉电流。使用 KP_PST_x 控制寄存器配置调整速率。
	t_{PST_CHR}	栅极驱动拉电流后充电周期持续时间。
	I_{PST_DCHR}	后放电期间的栅极驱动灌电流。使用 KP_PST_x 控制寄存器配置调整速率。
	t_{PST_DCHR}	栅极驱动拉电流后充电周期持续时间。
	I_{FW_CHR}	续流充电电流。使用 FW_MAX_x 控制寄存器进行配置。
	I_{FW_DCHR}	续流放电电流。使用 FW_MAX_x 控制寄存器进行配置。
STC	t_{RISE}	V_{SHx} 从 V_{SHx_L} 超过 V_{SHx_H} 阈值的持续时间。使用 T_RISE_FALL_x 控制寄存器进行配置。
	t_{FALL}	V_{SHx} 从 V_{SHx_H} 超过 V_{SHx_L} 阈值的持续时间。使用 T_RISE_FALL_x 控制寄存器进行配置。

7.3.4.1 功能方框图

图 7-11 显示了半桥栅极驱动器架构的简要功能方框图。栅极驱动器块提供各种功能以实现 MOSFET 控制、反馈和保护。这些功能包括具有可调驱动电流的互补推挽式高侧和低侧栅极驱动器、控制逻辑电平转换器、V_{DS}、V_{GS} 和 V_{SH}（开关节点）反馈比较器、高侧齐纳钳位以及无源和有源下拉电阻。

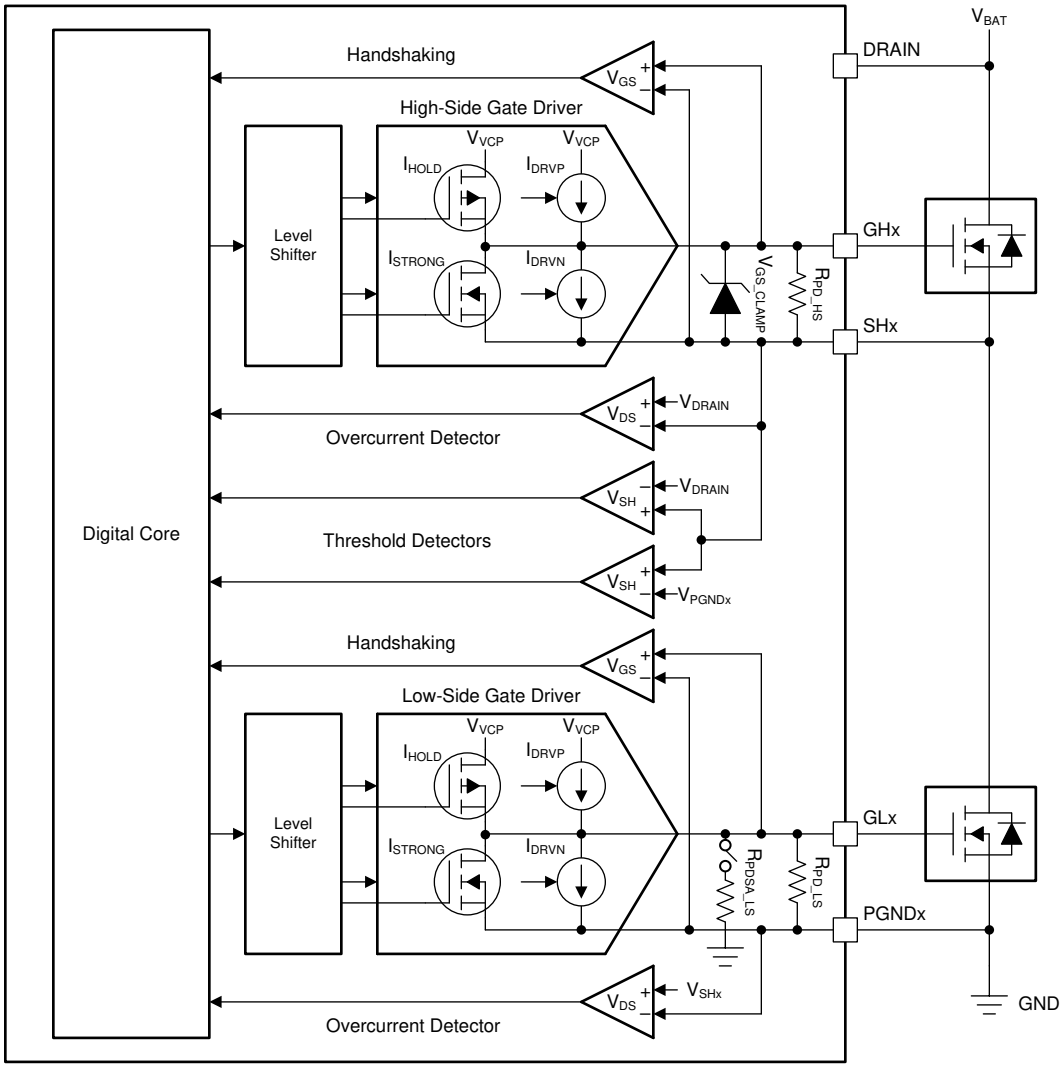


图 7-11. 栅极驱动器功能方框图

7.3.4.2 压摆率控制 (IDRIVE)

智能栅极驱动架构的 IDRIVE 组件实现了可调节的栅极驱动电流控制，可调整外部 MOSFET V_{DS} 压摆率。实现此目标的方法是为内部栅极驱动器架构实施可调节的上拉 (I_{DRVP}) 和下拉 (I_{DRVN}) 电流源。

外部 MOSFET V_{DS} 压摆率是用于优化辐射和传导发射、二极管反向恢复、dV/dt 栅极寄生耦合以及半桥开关节点上的过压或欠压瞬态的关键因素。IDRIVE 的工作原理是，V_{DS} 压摆率主要取决于 MOSFET Q_{GD} 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 允许 DRV871x-Q1 通过 IDRVP_x 和 IDRVN_x SPI 寄存器或 H/W 接口器件上的 IDRIVE 引脚动态地更改栅极驱动器电流设置。该器件为拉电流和灌电流提供了介于 0.5 mA 和 62 mA 范围之间的 16 种设置值，如表

Copyright © 2026 Texas Instruments Incorporated

7-16 所示。在 t_{DRIVE} 持续时间内可使用峰值栅极驱动电流。在 MOSFET 进行开关并且 t_{DRIVE} 持续时间结束后，对于上拉的拉电流，栅极驱动器将切换到保持电流 (I_{HOLD})，以便在短路条件下限制输出电流，并提高驱动器的效率。

在 SPI 接口器件上，如果需要极低的转换率控制，IDRV_LOx 控制寄存器支持进行 16 项设置，电流 <0.5mA。

表 7-16. IDRIVE 拉电流 (I_{DRVP}) 和灌电流 (I_{DRVN})

IDRVP_x/IDRVN_x	栅极拉电流/灌电流	
	IDRV_LOx = 0b	IDRV_LOx = 1b
0000b	0.5mA	50μA
0001b	1mA	110μA
0010b	2mA	170μA
0011b	3mA	230μA
0100b	4mA	290μA
0101b	5mA	350μA
0110b	6mA	410μA
0111b	7mA	600μA
1000b	8mA	725μA
1001b	12mA	850μA
1010b	16mA	1mA
1011b	20mA	1.2mA
1100b	24mA	1.4mA
1101b	31mA	1.6mA
1110b	48mA	1.8mA
1111b	62mA	2.3mA

7.3.4.3 栅极驱动状态机 (TDRIVE)

智能栅极驱动架构的 TDRIVE 元件是一个集成的栅极驱动状态机，可提供自动死区时间插入、dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测等功能。

TDRIVE 状态机的第一个作用是自动死区时间握手。死区时间是外部高侧和低侧 MOSFET 开关期间体二极管导通的一段时间，旨在防止发生任何跨导或击穿。DRV871x-Q1 使用 V_{GS} 监测器来实施断路，然后通过测量外部 MOSFET V_{GS} 电压来确定正确启用外部 MOSFET 的时间，从而建立死区时间方案。该方案使栅极驱动器能够针对系统变化（例如温度漂移、老化、电压波动和外部 MOSFET 参数变化）来调整死区时间。如有需要，可插入一个额外的固定数字死区时间 (t_{DEAD_D})，并可通过 SPI 寄存器对其进行调整。

第二个作用侧重于防止 dV/dt 栅极电荷寄生耦合。为实现这一点，每当半桥中相反状态的 MOSFET 开关时可启用栅极强下拉电流 (I_{STRONG})。当半桥开关节点快速转换时，使用此功能可以消除耦合到外部 MOSFET 栅极中的寄生电荷。

第三个作用是实施栅极故障检测方案以检测栅极电压问题。这个方案用于检测引脚对引脚的焊接缺陷、MOSFET 栅极故障或者栅极卡在高电压或低电压的情况。为此，需使用 V_{GS} 监控器在 t_{DRIVE} 时间结束后测量栅极电压。如果栅极电压没有达到适当的阈值，栅极驱动器将报告相应的故障情况。为确保不会检测到伪故障，应选择比 MOSFET 栅极充放电所需时间更长的 t_{DRIVE} 时间。t_{DRIVE} 时间不会影响 PWM 最小持续时间，如果收到另一个 PWM 命令，此时间将提前终止。

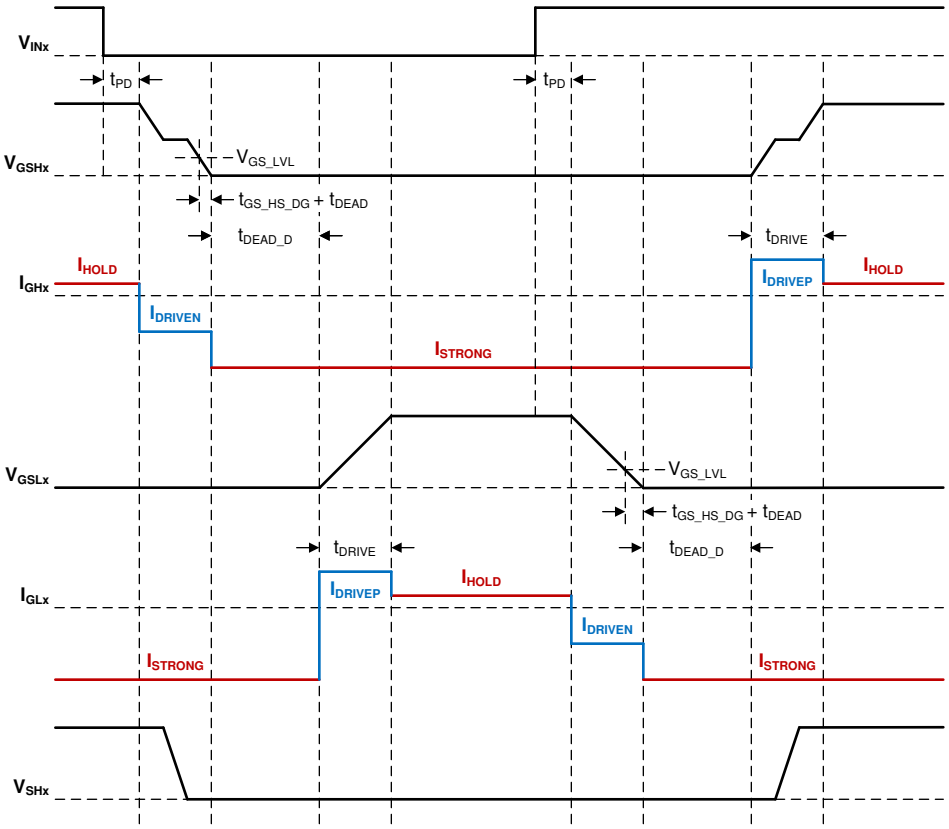


图 7-12. TDRIVE 导通/关断

7.3.4.4 传播延迟降低 (PDR)

传播延迟降低 (PDR) 控制有两个主要功能，即预充电传播延迟降低功能和后充电加速功能。PDR 控制功能仅在半桥控制 PWM 模式下和 SPI 器件型号上可用。

传播延迟降低 (PDR) 的主要目标是通过在 MOSFET Q_{GD} 米勒区域之前使用动态预充电和预放电电流来降低外部 MOSFET 的导通和关断延迟。这可以使驱动器实现更高和更低的占空比分辨率，同时仍满足复杂的 EMI 要求。

后充电加速功能使 MOSFET 能够更快地达到其低电阻或关断状态，从而通过在 MOSFET Q_{GD} 米勒区域之后增加后充电和放电后栅极电流来更大限度地降低功率损耗。

图 7-13 中显示了 MOSFET 预充电和后充电电流曲线的示例。如图 7-14 中所示，对 MOSFET 预放电和后放电重复相同的控制环路。图 7-15 和图 7-16 展示了不同 PWM 和电机情况下完整控制环路的几个示例。

Copyright © 2026 Texas Instruments Incorporated

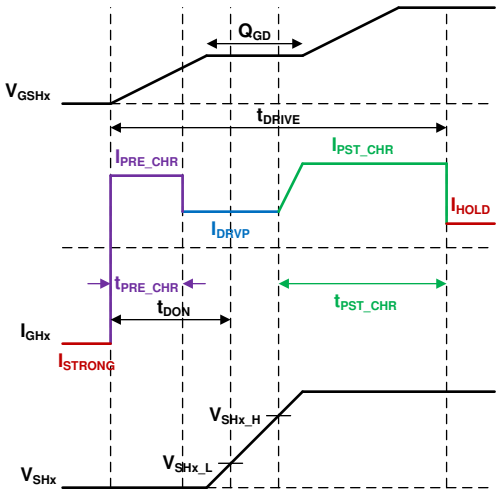


图 7-13. PDR 充电曲线

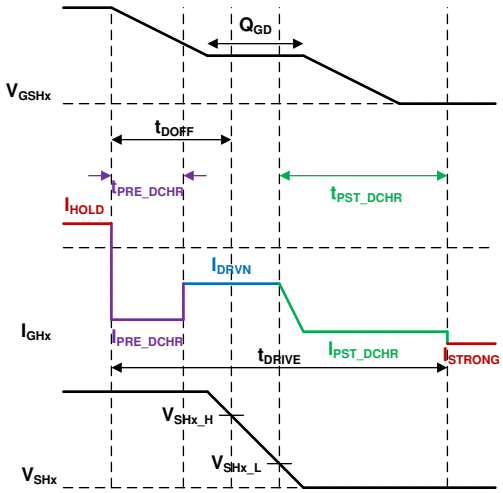


图 7-14. PDR 放电曲线

7.3.4.4.1 PDR 预充电/预放电控制环路运行详细信息

PDR 预充电/预放电控制环路通过比例增益误差控制器 (KP_PDR_x) 动态调整驱动器预充电 (I_{PRE_CHR}) 和预放电 (I_{PRE_DCHR}) 电流电平，从而实现用户配置的导通和关断传播延迟 (T_DON_DOFF_x)。误差控制器负责测量对测得的传播延迟（t_{ON}、t_{OFF}）与配置的传播延迟 (T_DON_DOFF_x) 之间的差异，并更新下一个开关周期的预充电电流电平。控制环路可以使用器件的默认配置设置运行，但它提供了充分的灵活性来配置时序参数、初始电流电平、误差控制器强度及其他设置。

7.3.4.4.1.1 PDR 预充电/预放电设置

- 启用 PDR 控制环路。EN_PDR_x 寄存器设置。
- 设置有源 PWM 半桥（仅限 DRV8718-Q1）。SET_AGD_x 寄存器设置。注意：DRV8718-Q1 的高级驱动器控制设置在每个半桥对（1/2、3/4、5/6 和 7/8）之间共享。
- 设置目标 t_{ON} 和 t_{OFF} 传播延迟。T_DON_DOFF_x 寄存器设置。建议保持大于 700ns 的值，以适应驱动器和系统延迟。
- **可选配置选项：**
  - 调整初始电流值。PRE_CHR_INIT_x、PRE_DCHR_INIT_x 寄存器设置。
  - 调整预充电和预放电持续时间。T_PRE_CHR_x、T_PRE_DCHR_x 寄存器设置。
  - 调整比例增益控制器强度。KP_PDR_x 寄存器设置。
  - 调整最大电流电平阈值。PRE_MAX_x 寄存器设置。

7.3.4.4.2 PDR 后充电/后放电控制环路运行详细信息

PDR 后充电/放电后控制环路通过在 MOSFET 开关区域之后增加驱动器栅极电流来运行。这通过测量开关节点电压 (V_{SHx})、然后在超过适当阈值后增加栅极电流来实现。控制环路可以使用器件的默认配置设置运行，但它提供了充分的灵活性来配置时序参数、控制器强度及其他设置。

7.3.4.4.2.1 PDR 充电后/放电后设置

- 启用充电后/放电后控制环路。KP_PST_x 寄存器设置。
- 设置有源 PWM 半桥（仅限 DRV8718-Q1）。SET_AGD_x 寄存器设置。注意：DRV8718-Q1 的高级驱动器控制设置在每个半桥对（1/2、3/4、5/6 和 7/8）之间共享。
- 可选配置选项：
  - 在充电后/放电后开始之前增加额外延迟。EN_PST_DLY_xx 寄存器设置。
  - 调整比例增益控制器强度。KP_PST_x 寄存器设置。

7.3.4.4.3 检测驱动和续流 MOSFET

默认情况下，PDR 环路通过确定流出半桥的电流极性，自动检测哪个 MOSFET 是驱动 MOSFET、哪个 MOSFET 是续流 MOSFET。这通过测量死区时间期间的半桥 V_{SHx} 电压来实现，从而确定高侧还是低侧体二极管导通。如果无法确定电流极性，则假定通过 PWMx_HL 配置的 MOSFET 是驱动 MOSFET。自动续流检测可以通过 IDIR_MAN_x 控制寄存器禁用。在手动续流模式下，PDR 环路依靠 PWMx_HL 控制寄存器来确定哪个 MOSFET 是驱动 MOSFET，哪个 MOSFET 是续流 MOSFET。如果 PWMx_HL = 0b，则高侧 MOSFET 是驱动 MOSFET，低侧 MOSFET 是续流 MOSFET。如果 PWMx_HL = 1b，则低侧 MOSFET 是驱动 MOSFET，高侧 MOSFET 是续流 MOSFET。

Copyright © 2026 Texas Instruments Incorporated

图 7-15 显示了控制 V_{SHx} 开关节点电压转换的高侧 MOSFET (HS1) 和充当续流 MOSFET 的低侧 MOSFET (LS1)。

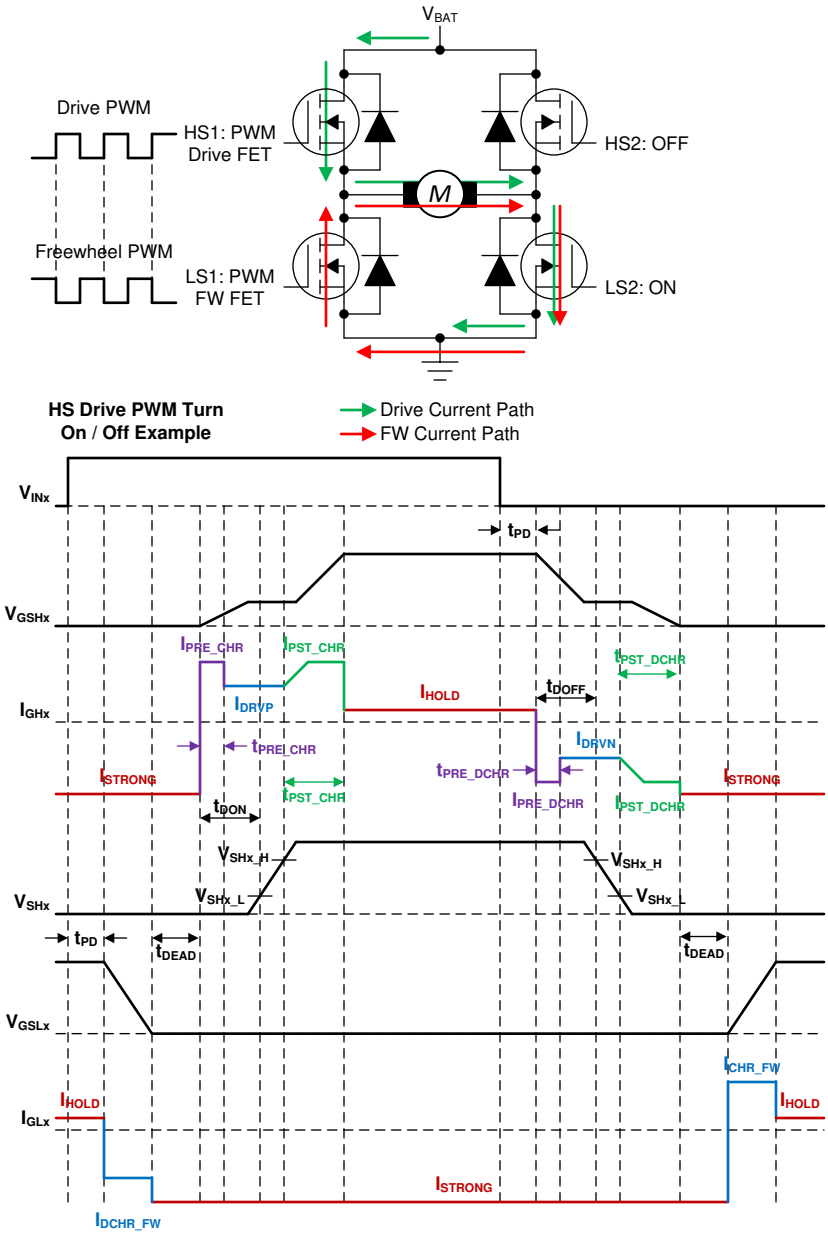


图 7-15. HS 驱动 PWM 导通/关断示例

图 7-16 显示了控制 V_{SHx} 开关节点电压转换的低侧 MOSFET (LS2) 和充当续流 MOSFET 的高侧 MOSFET (HS2)。

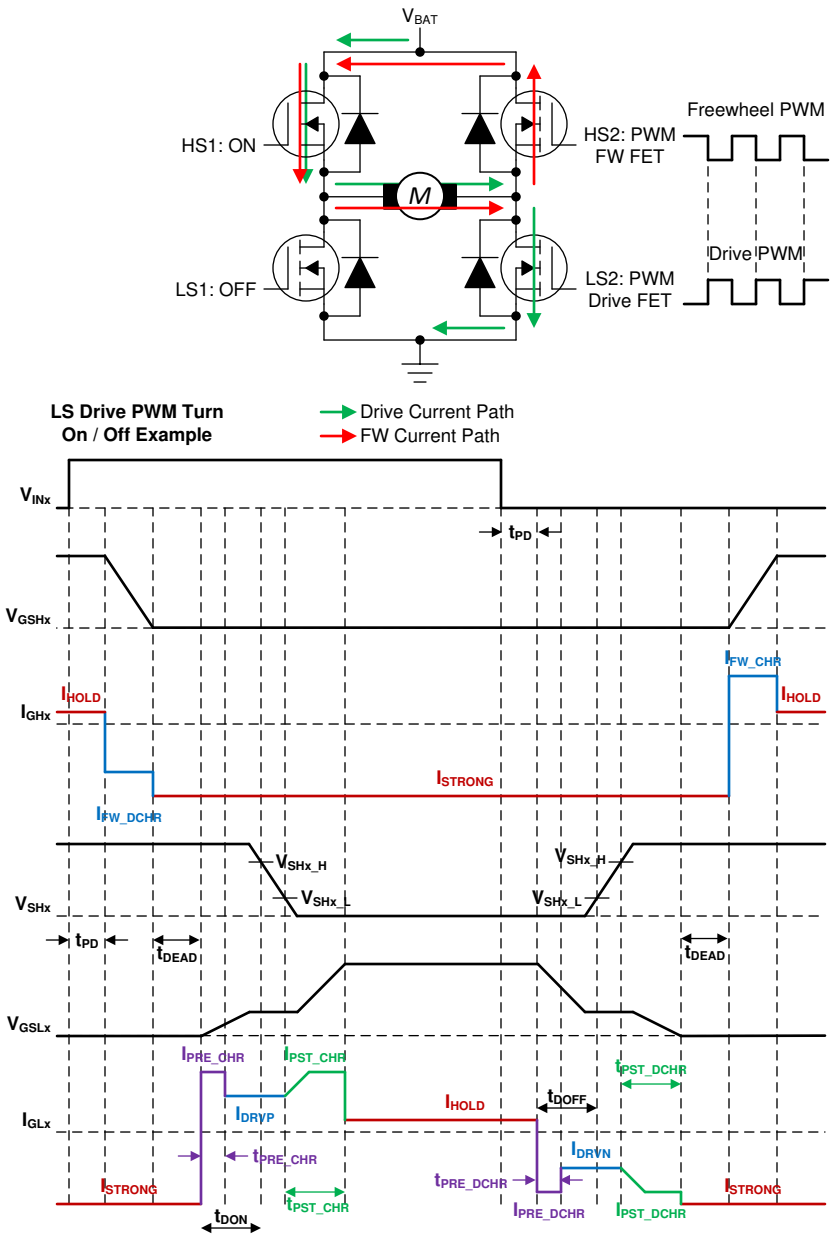


图 7-16. LS 驱动 PWM 导通/关断示例

7.3.4.5 自动占空比补偿 (DCC)

自动占空比补偿 (DCC) 智能栅极驱动器功能用于匹配导通和关断信号，从而减少由于导通和关断序列的不同延迟而发生的占空比失真。导通延迟和关断延迟的差异取决于续流 MOSFET 在 V_{SHx} 转换发生之前是否需要充电或放电。如果续流 MOSFET 在驱动 MOSFET 之前充电或放电，这可能会产生失配，从而导致占空比失真。DCC 控制环路会增加一个额外的延迟来匹配导通和关断延迟。此功能可用于标准驱动模式，或与 PDR 或 STC 控制模式结合使用。

Copyright © 2026 Texas Instruments Incorporated

DCC 功能通过 EN_DCC_xx 寄存器设置启用。设置将通过 SET_AGD_xx 位接收 PWM 控制的有源半桥（仅限 DRV8718-Q1）。

7.3.4.6 闭环压摆时间控制 (STC)

压摆时间控制 (STC) 环路让器件能够为输出开关节点配置特定的压摆上升和下降时间。该器件将调节栅极驱动输出电流（I_{DRVP} 和 I_{DRVN}），以满足所需的目标设置。此功能可用于标准驱动模式，或与 PDR 或 DCC 控制模式结合使用。

7.3.4.6.1 STC 控制环路设置

- 启用 STC 控制环路。EN_STC_x 寄存器设置
- 设置有源 PWM 半桥（仅限 DRV8718-Q1）。SET_AGD_x 寄存器设置。注意：DRV8718-Q1 的高级驱动器控制设置在每个半桥对（1/2、3/4、5/6 和 7/8）之间共享。
- 设置目标 t_{RISE} 和 t_{FALL} 时间。T_RISE_FALL_x 寄存器设置。
- **可选配置选项：**
- 调整比例增益控制器强度。KP_STC_x 寄存器设置。

7.3.5 三倍（双极）电荷泵

外部 MOSFET 的高侧栅极驱动电压是使用三倍器（双极）电荷泵产生的，而该电荷泵采用 PVDD 电压电源输入端运行。该电荷泵使高侧和低侧栅极驱动器能够在宽输入电源电压范围内相对于源极电压适当地偏置外部 N 沟道 MOSFET。对电荷泵输出经过稳压 (V_{VCP})，可保持相对于 V_{PVDD} 的固定电压。持续监测电荷泵，以确定是否发生欠压 (V_{CP_UV}) 事件，从而防止 MOSFET 出现驱动不足或短路情况。

电荷泵提供多个配置选项。默认情况下，在 PVDD 引脚电压超过 V_{CP_SO} 阈值后，电荷泵将在三倍频（双级）模式与二倍频（单级）模式之间自动切换，以降低功率耗散。在 SPI 器件型号上，也可以通过 SPI 寄存器设置 CP_MODE 将电荷泵配置为始终保持三倍频或二倍频模式。

电荷泵需要在 PVDD 和 VCP 引脚之间放置一个低 ESR、1 µF、16V 陶瓷电容器（推荐使用 X5R 或 X7R）作为储能电容器。此外，还需要在 CP1H 至 CP1L 和 CP2H 至 CP2L 引脚之间放置一个低 ESR、100nF、PVDD 额定的陶瓷电容器（推荐使用 X5R 或 X7R）作为飞跨电容器。

备注

由于电荷泵会在 PVDD 引脚上保持稳压，因此应确保 PVDD 引脚和 MOSFET 电源之间的电压差受到限制，以允许在开关操作期间外部 MOSFET 实现适当的 V_{GS}。

7.3.6 宽共模电流分流放大器

DRV871x-Q1 集成了两个高性能、宽共模、双向电流分流放大器，可在外部半桥中使用分流电阻器进行电流测量。通常会通过测量电流来实施过流保护、外部扭矩控制或通过外部控制器进行换向。由于分流放大器具有高共模范围，该器件可支持低侧、高侧或直列式分流器配置。电流分流放大器具有如下特性：可编程增益、单向和双向支持、输出消隐，以及可通过专用电压基准引脚 (AREF) 来设置放大器输出的中点偏置电压。图 7-17 展示了一个简化版方框图。SPx 应连接到分流电阻器的正极端子，SNx 应连接到分流电阻器的负极端子。如果未使用放大器，则 AREF、SNx、SPx 输入可连接到 AGND，AGND 可连接到 PCB GND，而 SOx 输出可保持悬空。

备注

应当注意，在高侧检测配置中，当 nSLEEP = 0V 时，存在一个约为 600kΩ 至 GND 的漏电路径。

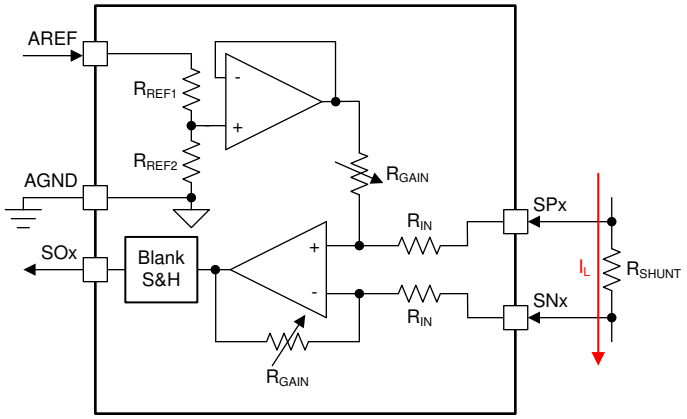


图 7-17. 放大器简化版方框图

图 7-18 中显示了一个详细的方框图。宽共模放大器采用两级差分架构实现。第一个差分级支持宽共模输入、差分输出，并具有固定增益 G = 2。第二个差分级支持可变增益调整，G = 5、10、20 或 40。两个级的总增益将为 G = 10、20、40 或 80。

放大器还可通过 AREF 引脚产生输出电压偏置。AREF 引脚连接到分压器网络、缓冲器，然后设置差分放大器的输出电压偏置。在 SPI 器件型号上，可通过 CSA_GAIN 寄存器设置来配置增益，并通过 CSA_DIV 来配置参考分压比。在 H/W 器件型号上，参考分压比固定为 V_{AREF} / 2。需要通过 GAIN 引脚来配置增益。

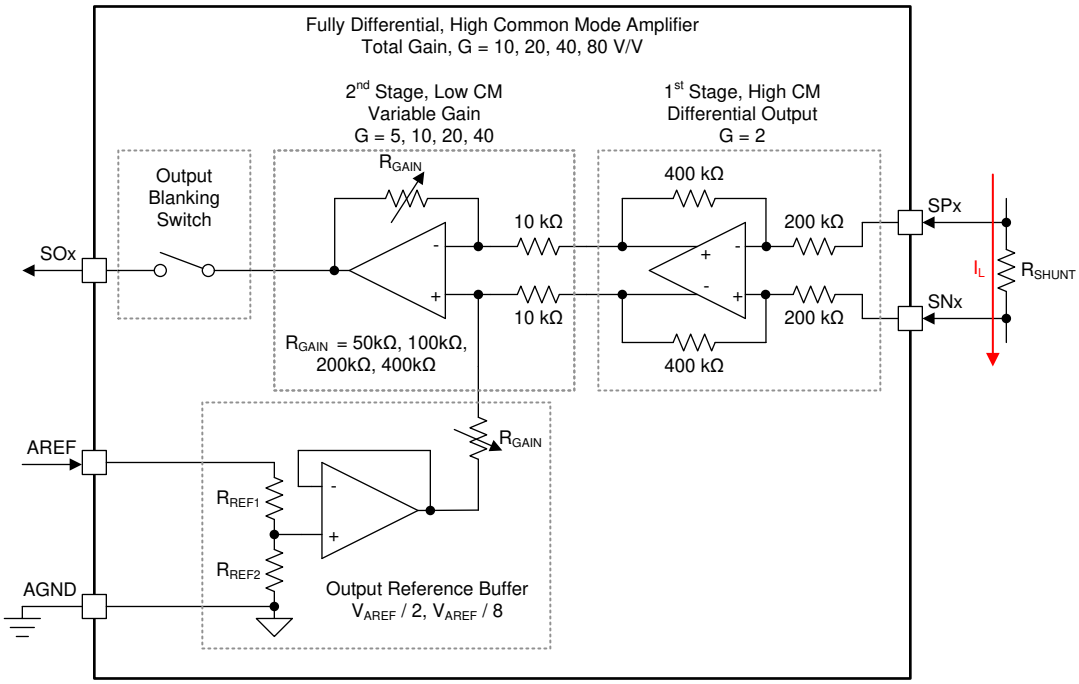


图 7-18. 放大器详细方框图

Copyright © 2026 Texas Instruments Incorporated

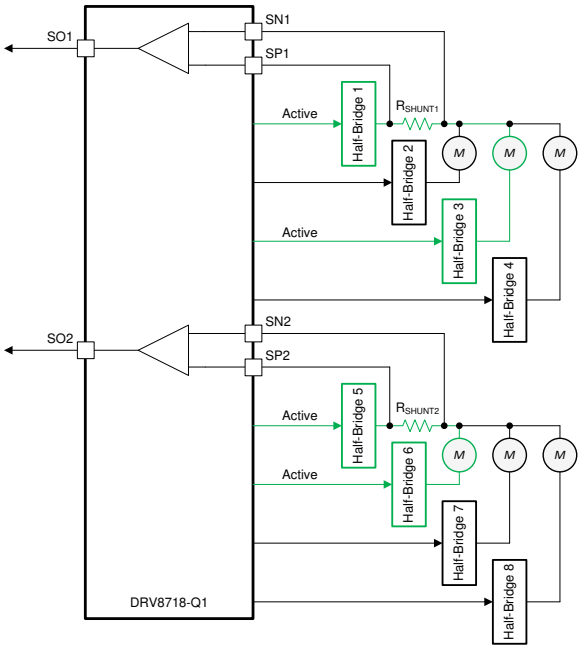


图 7-19. 共享分流电阻器

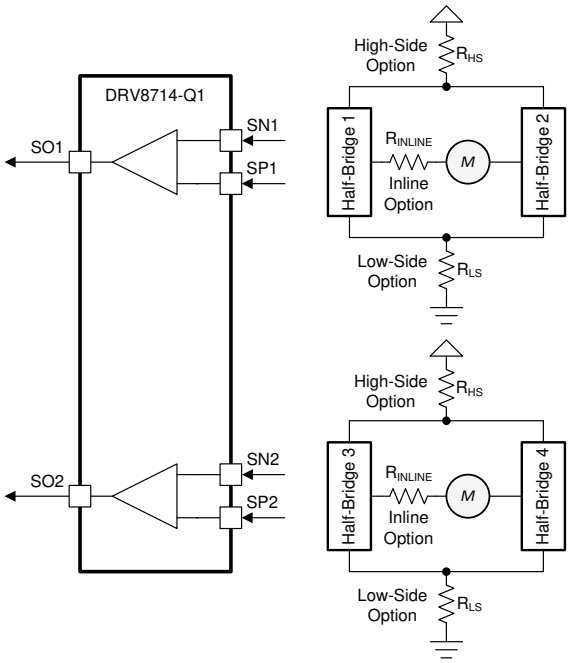


图 7-20. 独立 H 桥分流电阻器

即使在共享组或区域控制配置中，DRV8718-Q1 内联分流放大器也可用于持续检测电机电流。DRV8714-Q1 为四个半桥栅极驱动器提供了两个分流放大器，可在系统需要时实现单独的 H 桥电流检测。

最后，放大器具有输出消隐开关。只有 SPI 器件型号具有该特性。输出开关可用于在 PWM 开关期间断开放大器输出，以降低输出噪声（消隐）。可通过 CSA_BLK_SEL_x 寄存器设置将消隐电路设为在有源半桥（半桥 1-8）上触发。可通过 CSA_BLK_x 寄存器设置来配置消隐周期。如果栅极驱动器在高侧和低侧 FET 导通和关断之间切换，或反之，则消隐时间将延长至死区时间窗口，以避免在死区时间期间因输出摆幅或噪声耦合而导致放大器信号噪声。在消隐期间断开时，建议使用输出保持电容器来稳定放大器输出。通常，该电容器应置于 RC 滤波器配置中的串联电阻之后，以限制直接在放大器输出端看到的直接电容。图 7-21 中展示了消隐功能的一个示例。

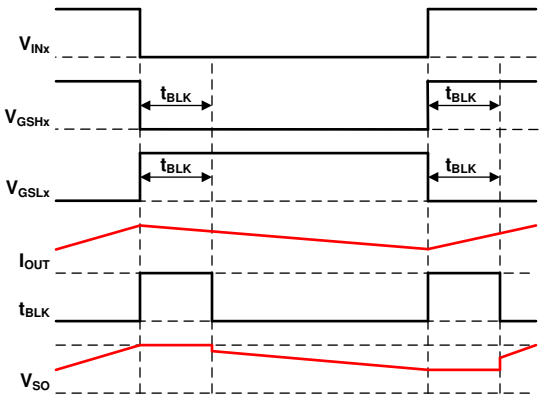


图 7-21. 放大器消隐示例

7.3.7 引脚图

本节介绍了所有数字输入和输出引脚的 I/O 结构。

7.3.7.1 逻辑电平输入引脚 (INx/ENx、INx/PHx、nSLEEP、nSCS、SCLK、SDI)

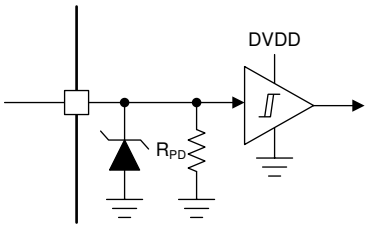


图 7-22. 输入引脚结构

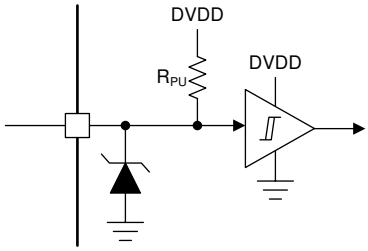


图 7-23. 输入引脚结构 (nSCS)

7.3.7.2 逻辑电平推挽输出 (SDO)

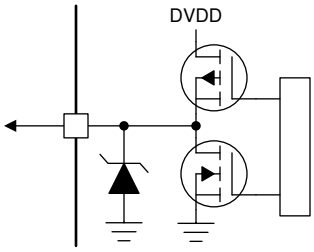


图 7-24. 推挽输出结构 (SDO)

7.3.7.3 逻辑电平多功能引脚 (DRVOFF/nFLT)

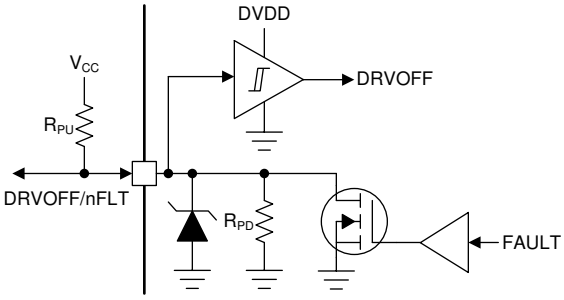


图 7-25. 多功能引脚结构 (DRVOFF/nFLT)

7.3.7.4 四电平输入 (GAIN , MODE)

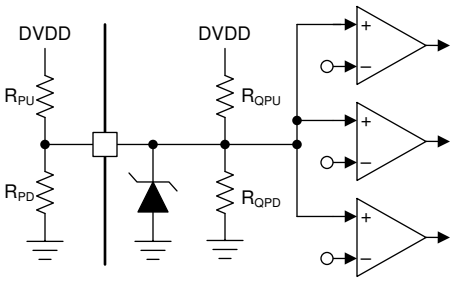


图 7-26. 四电平输入结构 (GAIN , MODE)

Copyright © 2026 Texas Instruments Incorporated

7.3.7.5 六电平输入（IDRIVE，VDS）

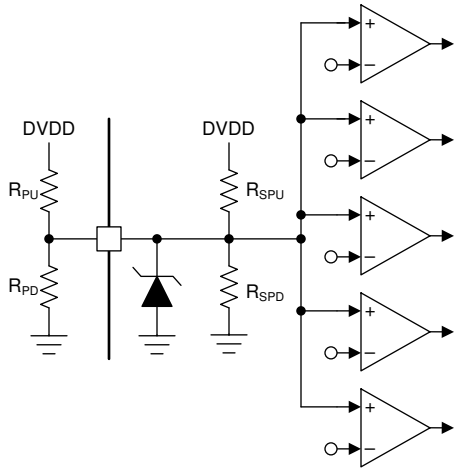


图 7-27. 六电平输入结构（IDRIVE，VDS）

7.3.8 保护和诊断

7.3.8.1 栅极驱动器禁用（DRVOFF/nFLT 和 EN_DRV）

在 SPI 器件型号上，DRV871x-Q1 通过 DRVOFF/nFLT 引脚和 EN_DRV SPI 寄存器位提供专用的驱动器禁用功能。当 DRVOFF/nFLT 或 EN_DRV 置位后，无论其他引脚或 SPI 输入如何，通过启用栅极驱动器下拉，所有栅极驱动器半桥均设置为 Hi-Z。

EN_DRV SPI 寄存器位用于实现受控的加电序列。器件加电后，所有半桥保持禁用状态（所有下拉电阻器均处于工作状态，EN_DRV = 0b），直到 EN_DRV 寄存器位被置为高电平。这样便可以让系统在启用栅极驱动器之前上电并执行配置序列。H/W 器件不具有此功能，驱动器将在上电后自动启用。

DRVOFF/nFLT 引脚提供了直接硬件引脚来关断输出驱动器，无需依赖 SPI 命令或 PWM 输入变化。

DRVOFF/nFLT 引脚是可配置的多功能引脚。默认情况下，该引脚用作全局驱动器禁用引脚。如果不需要此功能，则通过器件 DRVOFF_nFLT 寄存器设置将该引脚更改为 MCU 的漏极开路故障中断。配置为 DRVOFF 时，逻辑高电平输入将禁用驱动器，逻辑低电平将允许正常运行。

7.3.8.2 低 I_Q 断电制动（POB、BRAKE）

当器件处于其低功耗睡眠模式（nSLEEP = 逻辑低电平）时，DRV871x-Q1 能够启用低侧栅极驱动器。这样可以启用外部低侧功率 MOSFET，同时保持电源的低静态电流消耗。通过启用外部低侧功率 MOSFET，该器件可以通过短接电机端子上的反电动势来主动制动连接到外部半桥的电机。这有助于通过外力耗散低侧 MOSFET 中的能量，防止对系统电源过度充电导致反向驱动电机。此功能仅在器件处于其低功耗睡眠模式时可用。可以通过将 BRAKE 引脚设置为逻辑高电平来启用该功能。

DRV8718-Q1 器件上的半桥 5、6、7 和 8 提供了断电制动功能。在 DRV8714-Q1 上，可以在全部四个半桥上使用断电制动功能。BRAKE 引脚将同时启用或禁用全部四个半桥的低侧栅极驱动器。断电制动功能要求存在 PVDD 电压电源，以用于启用低侧栅极驱动器，但该功能在没有 DVDD 逻辑电源的情况下也可以运行。

如果功率级中存在电源短路故障，提供了一个配备模拟 RC 抗尖峰脉冲滤波器的简单过流检测器电路，以便在制动期间检测到高电流事件时禁用低侧 MOSFET。这很有必要，因为在器件的低功耗睡眠模式下，正常的过流保护电路会被禁用。过流比较器和 RC 抗尖峰脉冲滤波器值是固定的，不支持调整。

可通过 BRAKE 引脚启用关断制动功能，并可通过多种不同的方法将 BRAKE 引脚拉高。为了减少静态电流消耗，在器件低功耗睡眠模式下，BRAKE 引脚的下拉电阻降至 1MΩ。BRAKE 引脚可以在器件处于低功耗睡眠模式时始终保持高电平，也可以设置为高电平以响应电源上的电压上升。BRAKE 引脚具有内部电压钳位功能，允许

其通过齐纳二极管（用于设置过压阈值）直接连接到 PVDD 电池电源，并使用串联电阻器限制电流。通过使 BRAKE 引脚保持断开状态并依靠内部过压监测器，可以将断电功能设置为在低功耗睡眠模式下自动启用。

上拉 BRAKE 引脚并启用断电制动功能的一些方法包括：

- 选项 1：内部过压监测器。BRAKE 引脚应保持未连接 (Hi-Z)
- 选项 2：使用无源齐纳二极管进行电压触发上拉。可以在 BRAKE 引脚上添加一个外部齐纳二极管，以创建低于内部过压监测器的过压触发器。
- 选项 3：MCU 固定数字输出高电平，或者 MCU 根据传感器检测到的电机运动或电压上升状态来输出数字信号。BRAKE 引脚的数字输出可以直接控制是否启用断电制动功能（LO = 禁用、HI = 启用）。
- 选项 4：可通过短接/将 BRAKE 引脚直接连接到 PCB 接地来禁用断电制动功能。

默认情况下（未连接 BRAKE 引脚），断电制动功能由内部过压监测器启用，该监测器将检测 PVDD 电压，并在电压超过比较器阈值时启用低侧制动。可以通过将 BRAKE 引脚直接短接至 PCB 接地来禁用内部过压监测和断电制动功能。

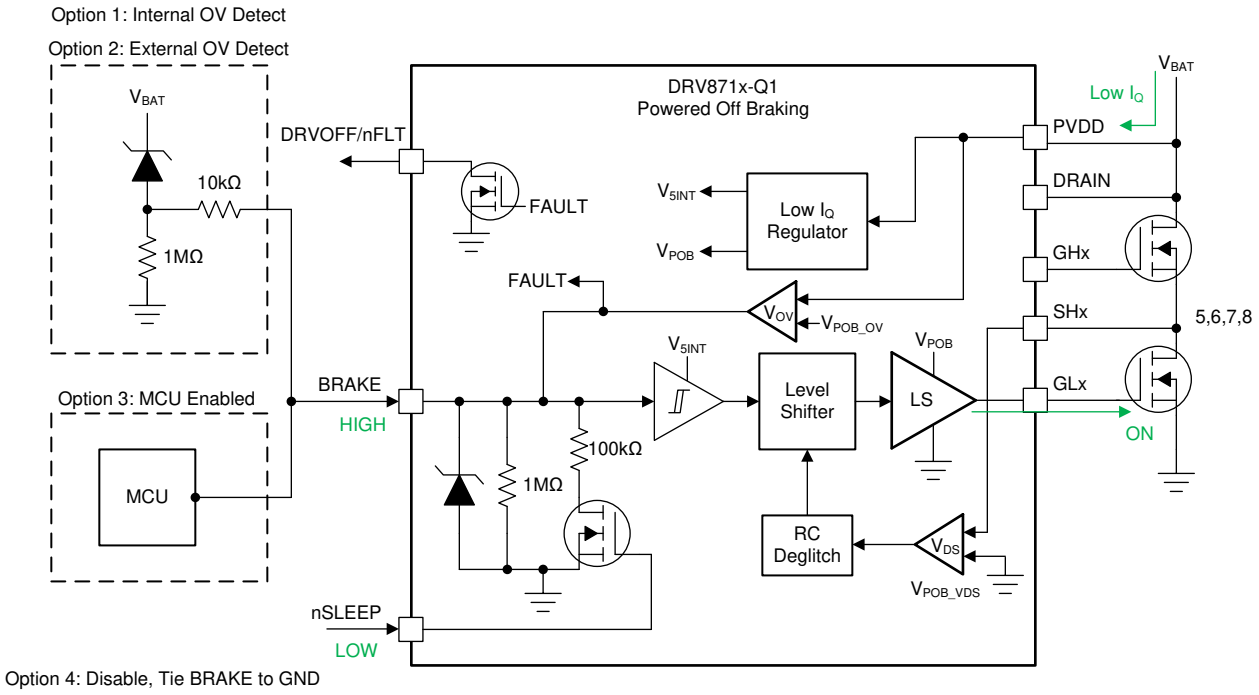


图 7-28. 断电制动

备注

如果不使用断电制动功能，BRAKE 引脚应直接连接到 GND。

7.3.8.3 故障复位 (CLR_FLT)

DRV871x-Q1 提供了特定序列来清除驱动器的故障条件并恢复运行。此功能通过 CLR_FLT 寄存器位提供。若要清除故障报告，必须在故障条件消失后对 CLR_FLT 寄存器位进行置位。置位后，驱动器将清除故障并复位 CLR_FLT 寄存器位。该功能仅适用于 SPI 器件型号。在 H/W 器件型号上，一旦该条件消失，所有故障都将自动恢复。

7.3.8.4 DVDD 逻辑电源上电复位 (DVDD_POR)

在任何时候，如果 DVDD 引脚上的输入逻辑电源电压低于 V_{DVDD_POR} 阈值的时间超过 $t_{DVDD_POR_DG}$ 时间，或 nSLEEP 引脚被置为低电平，则器件会进入其非运行状态，从而禁用栅极驱动器、电荷泵和保护监控器。当

Copyright © 2026 Texas Instruments Incorporated

DVDD 欠压条件消失或 nSLEEP 引脚被置位为高电平后，器件将恢复正常运行。在 DVDD 上电复位 (POR) 之后，POR 寄存器位会被置位，直到发出 CLR_FLT。

7.3.8.5 PVDD 电源欠压监测器 (PVDD_UV)

如果在任何时候 PVDD 引脚上的电源电压低于 V_{PVDD_UV} 阈值的时间超过 $t_{PVDD_UV_DG}$ 时间，DRV871x-Q1 会检测到 PVDD 欠压状况。检测到欠压条件后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_UV 寄存器位会被置位。

在 SPI 器件型号上，PVDD 欠压监控器可以在通过 PVDD_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式：**欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR_FLT。
- **自动恢复模式：**欠压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，且电荷泵将自动重新启用。在发出 CLR_FLT 之前，PVDD_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上，PVDD 欠压监控器将固定为自动恢复模式。

7.3.8.6 PVDD 电源过压监测器 (PVDD_OV)

如果 PVDD 引脚上的电源电压超过 V_{PVDD_OV} 阈值，且持续时间超过 $t_{PVDD_OV_DG}$，则 DRV871x-Q1 会检测到 PVDD 过压状况，并根据 PVDD_OV_MODE 寄存器设置执行相应的操作。过压阈值和抗尖峰脉冲时间可通过 PVDD_OV_LVL 和 PVDD_OV_DG 寄存器设置进行调整。

在 SPI 器件型号上，PVDD 过压监控器可以在通过 PVDD_OV_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式：**检测到过压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_OV 寄存器位会被置位。过压条件消失后，仍会锁存故障状态，直到发出 CLR_FLT。
- **自动恢复模式：**检测到过压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_OV 寄存器位会被置位。过压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，驱动器将自动重新启用。在发出 CLR_FLT 之前，PVDD_OV 寄存器位将保持锁存状态。
- **仅警告报告模式：**在 WARN 和 PVDD_OV 寄存器位中报告 PVDD 过压条件。器件不会执行任何操作。在发出 CLR_FLT 之前，警告将保持锁存状态。
- **禁用模式：**PVDD 过压监控器被禁用，不会响应或报告。

在 H/W 器件型号上，PVDD 过压监控器被禁用。

7.3.8.7 VCP 电荷泵欠压锁定 (VCP_UV)

如果在任何时候 VCP 引脚上的电压降至低于 V_{VCP_UV} 阈值的时间超过 $t_{VCP_UV_DG}$ 时间，DRV871x-Q1 就会检测到 VCP 欠压状况。检测到欠压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 VCP_UV 寄存器位会被置位。欠压阈值可通过 VCP_UV_LVL 寄存器设置进行调整。

在 SPI 器件型号上，VCP 欠压监控器可以在通过 VCP_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式：**此外，会在锁存故障模式下禁用电荷泵。欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR_FLT。
- **自动恢复模式：**欠压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，驱动器将自动重新启用。在发出 CLR_FLT 之前，VCP_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上，VCP 欠压监测器将固定为自动恢复模式，且阈值固定为 VCP_UV。

7.3.8.8 MOSFET V_{DS} 过流保护 (VDS_OCP)

如果 V_{DS} 过流比较器两端的电压超过 V_{DS_LVL}，且持续时间超过 t_{DS_DG}，DRV871x-Q1 会检测到 V_{DS} 过流状况。电压阈值和抗尖峰脉冲时间可通过 VDS_LVL 和 VDS_DG 寄存器设置进行调整。此外，在独立半桥和 DRV8714-Q1 分离式 HS/LS PWM 控制（BRG_MODE = 00b、11b）中，可将器件配置为禁用所有半桥，或仅通过

VDS_IND 寄存器设置来禁用发生了故障的相关半桥。在 DRV8714-Q1 PH/EN 和 PWM H 桥控制模式（BRG_MODE = 01b、10b）下，VDS_IND 寄存器设置可用于禁用所有 H 桥或仅禁用发生了故障的相关 H 桥。

在 SPI 器件型号上，V_{DS} 过流监控器可以在通过 VDS_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式：**检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。过流事件消失后，仍会锁存故障状态，直到发出 CLR_FLT。
- **逐周期模式：**检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 VDS 寄存器位将保持置位状态，直到发出 CLR_FLT。
- **仅警告报告模式：**在 WARN 和相关 VDS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR_FLT 之前，警告将保持锁存状态。
- **禁用模式：**V_{DS} 过流监控器被禁用，不会响应或报告。

在 H/W 器件型号上，V_{DS} 过流模式固定为逐周期，t_{VDS_DG} 固定为 4 µs。对于独立半桥和分离式 HS/LS PWM 控制模式，会自动启用独立半桥关断功能。对于 H 桥 PWM 控制模式，会自动启用独立 H 桥关断功能。此外，可通过 VDS 引脚多电平输入电平 6 来禁用 V_{DS} 过流保护功能。

当发生 V_{DS} 过流故障时，可配置栅极下拉电流，以便增加或减少禁用外部 MOSFET 的时间。这有助于避免在大电流短路条件下关断速度过慢的问题。此设置通过 SPI 器件上的 VDS_IDRVN 寄存器设置进行配置。在硬件器件上，此设置自动匹配已设定的 I_{DRVN} 电流。

7.3.8.9 栅极驱动器故障 (VGS_GDF)

如果 V_{GS} 电压未达到 V_{GS_LVL} 比较器电平的持续时间超过 t_{DRIVE}，DRV871x-Q1 将检测到 V_{GS} 栅极故障状况。此外，在独立半桥和 DRV8714-Q1 分离式 HS/LS PWM 控制（BRG_MODE = 00b、11b）中，可将器件配置为禁用所有半桥，或通过 VGS_IND 寄存器设置来仅禁用发生了栅极故障的相关半桥。在 DRV8714-Q1 PH/EN 和 PWM H 桥控制模式（BRG_MODE = 01b、10b）下，VGS_IND 寄存器设置可用于禁用所有 H 桥或仅禁用发生了故障的相关 H 桥。

在 SPI 器件型号上，V_{GS} 栅极故障监控器可以在通过 VGS_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。栅极故障事件消失后，仍会锁存故障状态，直到发出 CLR_FLT。
- **逐周期模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 VGS 寄存器位将保持置位状态，直到发出 CLR_FLT。
- **仅警告报告模式：**在 WARN 和相关 VGS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR_FLT 之前，警告将保持锁存状态。
- **禁用模式：**V_{GS} 栅极故障监控器被禁用，不会响应或报告。

在 H/W 器件型号上，V_{GS} 栅极故障模式固定为逐周期，t_{DRIVE} 固定为 4 µs。对于独立半桥和分离式 HS/LS PWM 控制模式，会自动启用独立半桥关断功能。对于 H 桥 PWM 控制模式，会自动启用独立 H 桥关断功能。此外，可通过 VDS 引脚多电平输入电平 6 来禁用 V_{GS} 栅极故障保护功能。

7.3.8.10 热警告 (OTW)

如果裸片温度超过 T_{OTW} 热警告阈值，DRV871x-Q1 会检测到过热警告并对 WARN 和 OTW 寄存器位进行置位。过热条件消失后，WARN 和 OTW 寄存器位将保持置位状态，直到发出 CLR_FLT。

在 H/W 器件型号上，不会检测或报告过热警告。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.11 热关断 (OTSD)

如果裸片温度超过 T_{OTSD} 热关断阈值，DRV871x-Q1 就会检测到过热故障。检测到过热故障后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 OTSD 寄存器位会被置位。过热条件消失后，仍会锁存故障状态，直到发出 CLR_FLT。

在 H/W 器件型号上，过热条件消失后，nFAULT 引脚将自动清零，且驱动器和电荷泵将自动重新启用。

7.3.8.12 离线短路和开路负载检测（OOL 和 OSC）

该器件提供了必要的硬件来对外部功率 MOSFET 和负载执行离线短路和开路负载诊断。这是通过连接到外部半桥开关节点的 SHx 引脚上的集成上拉和下拉电流源来实现的。离线诊断由 OLSC_CTRL 寄存器中的相关寄存器位进行控制。首先，需要通过 EN_OLSC 寄存器设置来启用离线诊断模式。然后，可通过 PD_SHx 和 PU_SHx 寄存器设置来启用各个电流源。

将通过内部 V_{DS} 比较器持续监控 SHx 引脚上的电压。在诊断状态期间，V_{DS} 比较器将在 SPI 寄存器内在相关 VDS 寄存器状态位中报告 SHx 引脚节点上的实时电压反馈。当 V_{DS} 比较器处于诊断模式时，全局 DS_GS SPI 寄存器位将不会报告故障或警告。

在启用离线诊断之前，建议通过 EN_DRV 寄存器设置将外部 MOSFET 半桥置于禁用状态。此外，应将 V_{DS} 比较器阈值 (VDS_LVL) 调整为 1V 或更高，确保有足够的余量用于内部阻断二极管正向压降。

H/W 器件型号不具备此特性。

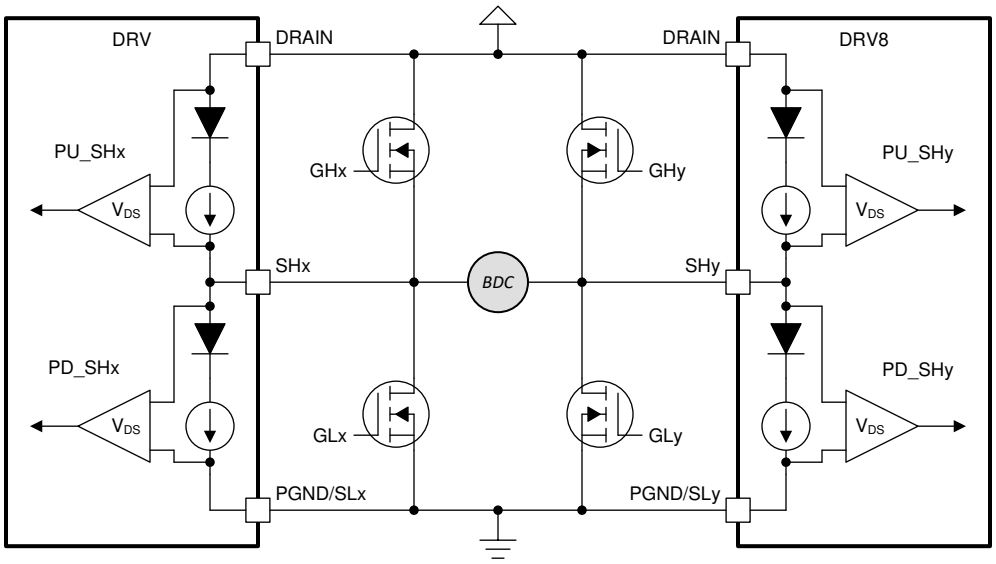


图 7-29. 离线诊断

备注

设置 OLSC_EN 后，V_{DS} 比较器将会立即启动实时电压反馈。在设置了正确的上拉和下拉配置之前，反馈应被忽略。

7.3.8.13 看门狗计时器

该器件集成了一个可编程窗口型 SPI 看门狗计时器，以验证外部控制器是否正在工，以及 SPI 总线完整性是否受到监控。SPI 看门狗计时器可通过 WD_EN SPI 寄存器位启用。看门狗计时器默认处于禁用状态。看门狗计时器使能后，内部计时器开始递增计数。看门狗计时器通过反转 WD_RST SPI 寄存器来进行复位。此 WD_RST 必须

在下窗口时间与上窗口时间之间发出。如果检测到看门狗计时器故障，则器件响应可以配置为仅报告警告，或者报告故障并禁用半桥驱动器。如果看门狗设置为禁用半桥驱动器，则在发送 CLR_FLT 命令以消除看门狗故障条件后会重新启用这些驱动器。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.14 故障检测和响应汇总表

表 7-17. 故障检测和响应汇

名称	条件	SPI 位	模式	数字内核	电荷泵	栅极驱动器	电流检测	响应
禁用驱动器	DRVOFF = 高电平或 EN_DRV = 0b	不适用	不适用	有效	有效	下拉	有效	不适用
SPI 时钟故障	无效的 SPI 时钟帧	SCLK_FLT	锁存	有效	有效	有效	有效	SPI、拒绝帧
DVDD 上电复位	DVDD < V_{DVDD_POR}	POR	不适用	复位	禁用	半有源下拉	禁用	SPI
PVDD 欠压	PVDD < V_{PVDD_UV}	UV，PVDD_UV	锁存	有效	禁用	半有源下拉	禁用	nFAULT，SPI
			自动	有效	禁用	半有源下拉	禁用	nFAULT，SPI
PVDD 过压	PVDD > V_{PVDD_UV}	OV，PVDD_OV	锁存	有效	有效	下拉	有效	nFAULT，SPI
		OV，PVDD_OV	自动	有效	有效	下拉	有效	nFAULT，SPI
		OV，PVDD_OV	警告	有效	有效	有效	有效	WARN，SPI
		不适用	禁用	有效	有效	有效	有效	不适用
VCP 欠压	VCP < V_{VCP_UV}	UV，VCP_UV	锁存	有效	禁用	半有源下拉	禁用	nFAULT，SPI
			自动	有效	有效	半有源下拉	禁用	nFAULT，SPI
VDS 过流	VDS > V_{VDS_LVL}	DS_GS，VDS_X	锁存	有效	有效	I_{VDS_IDRVN} 下拉	有效	nFAULT，SPI
			周期	有效	有效	I_{VDS_IDRVN} 下拉	有效	nFAULT，SPI
			警告	有效	有效	有效	有效	WARN，SPI
			禁用	有效	有效	有效	有效	不适用
VGS 栅极故障	VGS > V_{VGS_LVL}	DS_GS，VGS_X	锁存	有效	有效	下拉	有效	nFAULT，SPI
			周期	有效	有效	下拉	有效	nFAULT，SPI
			警告	有效	有效	有效	有效	WARN，SPI
			禁用	有效	有效	有效	有效	不适用
热警告	$T_J > T_{OTW}$	OT，OTW	自动	有效	有效	有效	有效	WARN，SPI
热关断	$T_J > T_{OTSD}$	OT，OTSD	锁存	有效	禁用	半有源下拉	禁用	nFAULT，SPI
离线开路负载	不适用	VDS_X	MCU	有效	有效	下拉	有效	SPI
离线短路	不适用	VDS_X	MCU	有效	有效	下拉	有效	SPI
看门狗	无效访问或到期	WD_FLT	警告	有效	有效	有效	有效	WARN，SPI
			锁存故障	有效	有效	下拉	有效	nFAULT，SPI

7.4 器件功能模式

7.4.1 非运行或睡眠状态

当 nSLEEP 引脚为逻辑低电平或 DVDD 电源低于 V_{DVDD_POR} 阈值时，器件进入低功耗睡眠状态以减少器件的静态电流消耗。在这种状态下，除了 nSLEEP 引脚上的低功耗监测器和断电制动功能（如果已启用）外，所有主要功能模块都被禁用。此情况下会为外部 MOSFET 栅极提供无源栅极下拉电阻，使 MOSFET 保持在关断状态。退出非活动睡眠状态后，所有器件寄存器都将复位为默认值。

7.4.2 待机状态

当 nSLEEP 引脚为逻辑高电平且 DVDD 输入已超过 V_{DVDD_POR} 阈值时，器件将在经过 t_{WAKE} 延迟时间后进入上电待机状态。数字内核和 SPI 通信将处于工作状态，但电荷泵和栅极驱动器将保持禁用状态，直到 PVDD 输入超过 V_{PVDD_UV} 阈值。在这种状态下，可以对 SPI 寄存器进行编程并报告故障，但不能进行栅极驱动器操作。

7.4.3 运行状态

当 nSLEEP 引脚为逻辑高电平，DVDD 输入已超过 V_{DVDD_POR} 阈值，并且 PVDD 输入已超过 V_{PVDD_UV} 阈值时，器件将进入完全运行状态。在这种状态下，除了栅极驱动器外，所有主要功能块都处于运行状态。必须通过 EN_DRV 寄存器位启用栅极驱动器，然后才能进入完全运行状态。

对于 H/W 器件型号，器件将在运行状态下自动启用驱动器。

7.5 编程

7.5.1 SPI 接口

SPI 总线用于为 DRV871x-Q1 器件设置器件配置、工作参数，以及读取诊断信息。SPI 在从模式下运行，并连接到主控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字（包括一条 8 位命令和 8 位数据）。SPI 输出数据 (SDO) 字中包含状态指示位，然后是正在访问的寄存器数据（对于读取命令）或者是空值（对于写入命令）。图 7-30 展示了 MCU 和 SPI 从驱动器之间的数据序列。

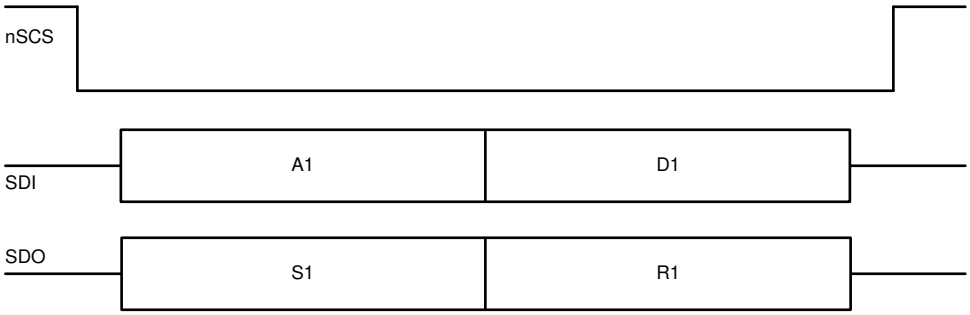


图 7-30. SPI 数据帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- 在字之间，nSCS 引脚应被拉为高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于或多于 16 位，则会发生帧错误 (SCLK_FLT) 并且数据字会被忽略。
- 对于写入命令，要写入的寄存器中的现有数据会在 8 位命令数据之后在 SDO 引脚上移出。

Copyright © 2026 Texas Instruments Incorporated

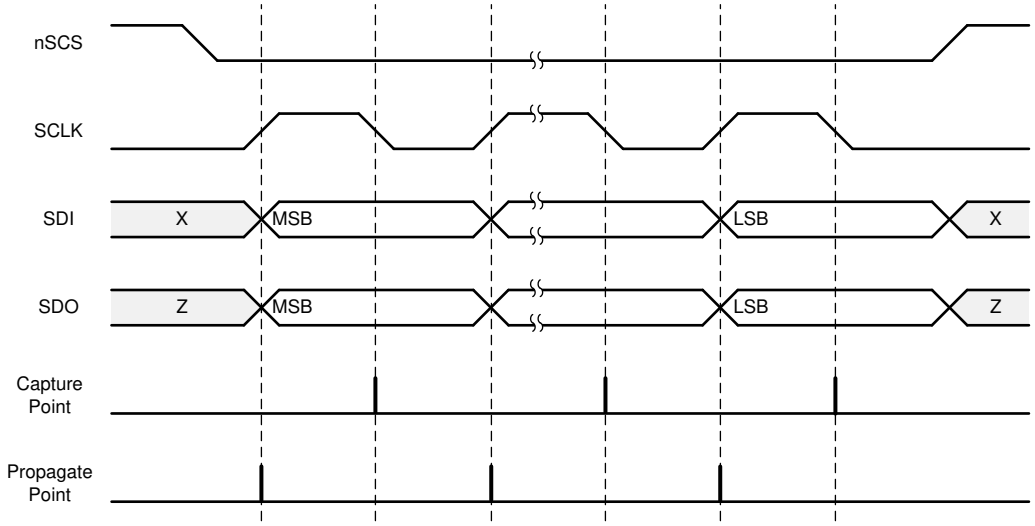


图 7-31. SPI 从器件时序图

7.5.2 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读取或写入位，W（位 B14）
- 6 个地址位，A（位 B13 至 B8）
- 8 个数据位，D（位 B7 到 B0）

SDO 输出数据的字长为 16 位，IC 状态寄存器占前 8 位。报告字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，响应字由故障状态指示位及随后寄存器中正在写入到的现有数据组成。

对于读命令 (W0 = 1)，响应字由故障状态指示位及随后寄存器中目前正在读取的数据组成。

表 7-18. SDI 输入数据字格式

		R/W	地址						数据							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

表 7-19. SDO 输出数据字格式

	IC 状态								报告							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	FAULT	WARN	DS_GS	UV	OV	OT_WD_AGD	D7	D6	D5	D4	D3	D2	D1	D0

7.5.3 用于连接多个从器件的 SPI 接口

将多个 DRV871x-Q1 器件连接到主控制器时，可以使用或不使用菊花链。如果在不使用菊花链的情况下要将“n”个 DRV871x-Q1 连接到主控制器，则必须针对 nSCS 引脚利用来自主控制器的“n”个 I/O 资源，如图 7-32 所示。然而，如果使用菊花链配置，则可利用单条 nSCS 线路来连接多个 DRV871x-Q1 器件。图 7-33

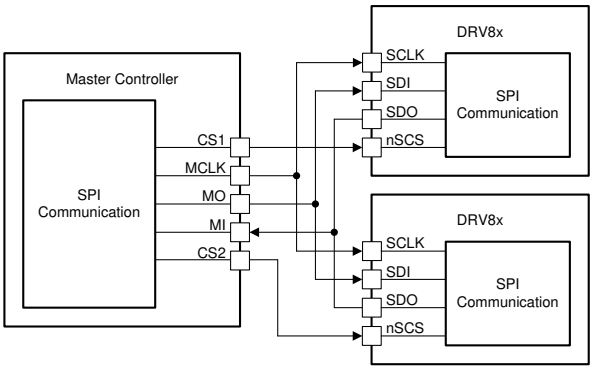


图 7-32. 不使用菊花链时的 SPI 操作

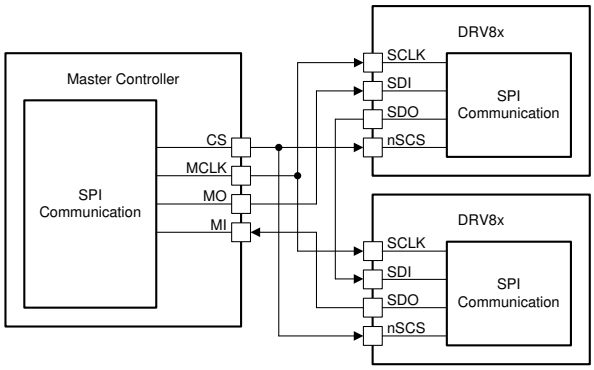


图 7-33. 使用菊花链时的 SPI 操作

Copyright © 2026 Texas Instruments Incorporated

7.5.3.1 用于连接菊花链中多个从器件的 SPI 接口

当多个器件与同一个 MCU 进行通信时，可以采用菊花链配置连接 DRV871x-Q1 器件，以节省 GPIO 端口。图 7-34 显示了 3 个器件串行连接时的拓扑以及相应的波形。

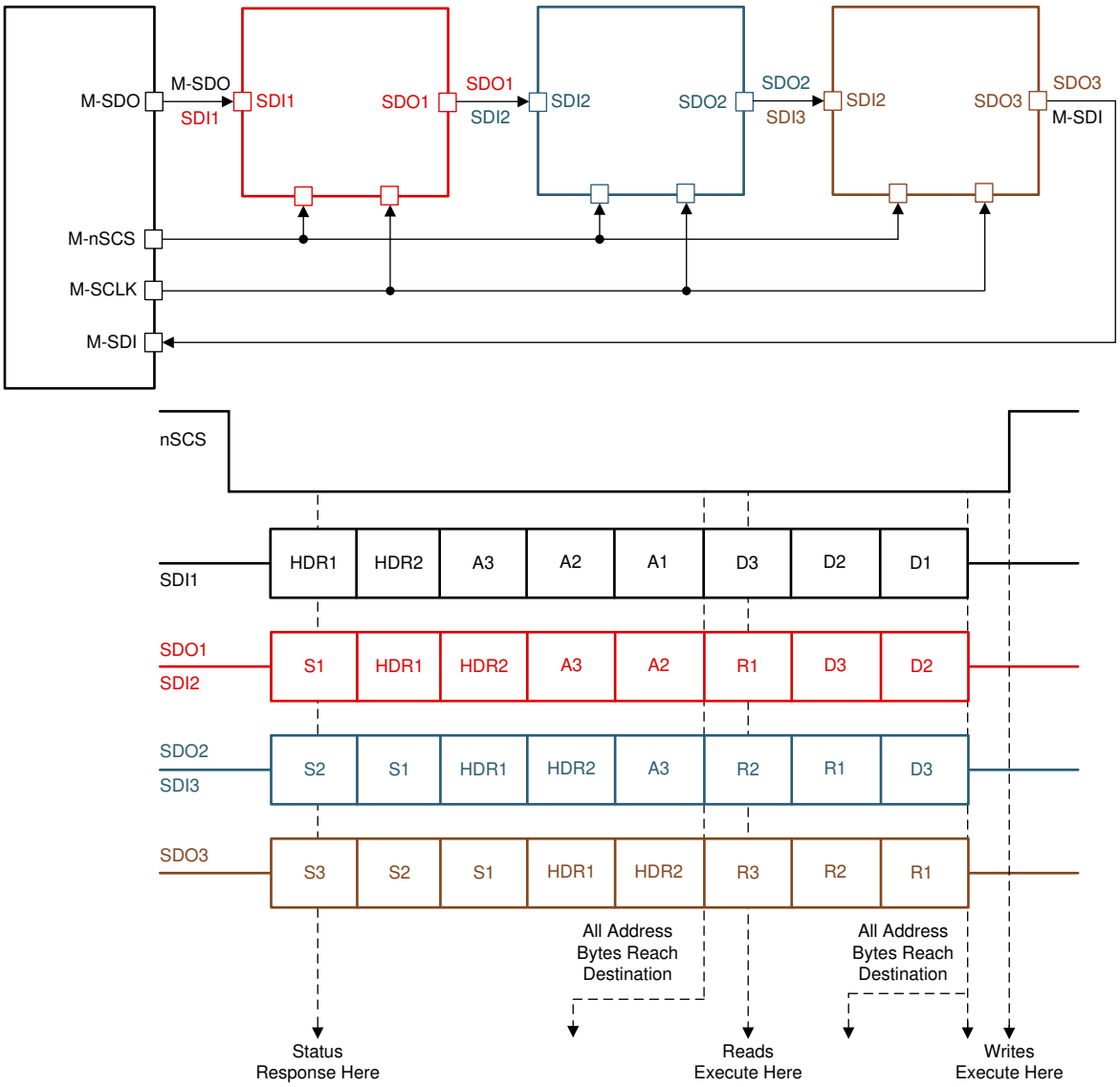


图 7-34. 菊花链 SPI 操作

如上所示菊花链中的第一个器件按以下格式从主控制器接收数据。请查看图 7-34 中的 SDI1

- 2 字节的标头
- 3 字节的地址
- 3 字节的数据

通过菊花链发送数据后，主控制器会按以下格式接收数据。请查看图 7-34 中的 SDO3

- 3 字节的状态
- 2 字节的标头（应与控制器发送的信息相同）
- 3 字节的报告

标头字节包含有关链中连接的器件数量的信息，以及一个全局清除故障命令，该命令将在芯片选择 (nSCS) 信号的上升沿清除所有器件的故障寄存器。N5 至 N0 是 6 位，专用于显示菊花链中器件的数量，如图 7-35 所示。每个菊花链最多可串行连接 63 个器件。

HDR2 寄存器的 5 个 LSB 不用考虑位，MCU 可以使用这些位来确定菊花链连接的完整性。对于两个 MSB，标头字节必须以 1 和 0 开头。

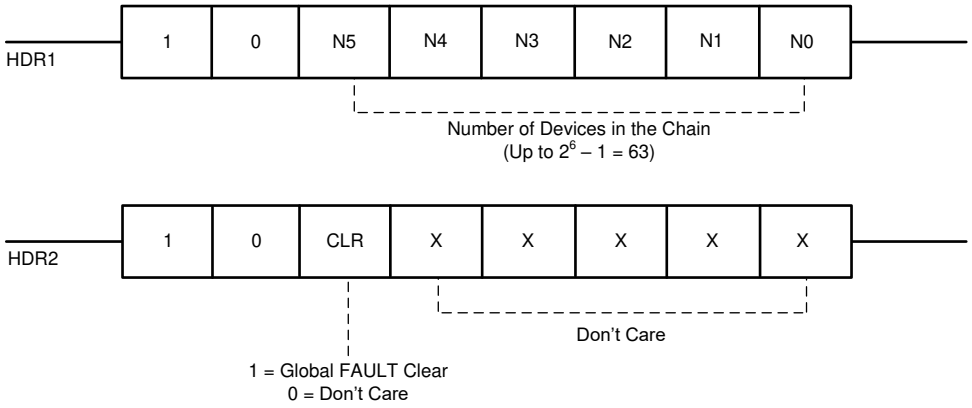


图 7-35. 标头位

状态字节提供了菊花链中每个器件的故障状态寄存器的相关信息，如图 7-36 所示。因此，主控制器不必启动读取命令即可从任何特定器件读取故障状态。这样可以减少控制器读取命令的数量，并使系统更有效地确定器件中标记的故障条件。

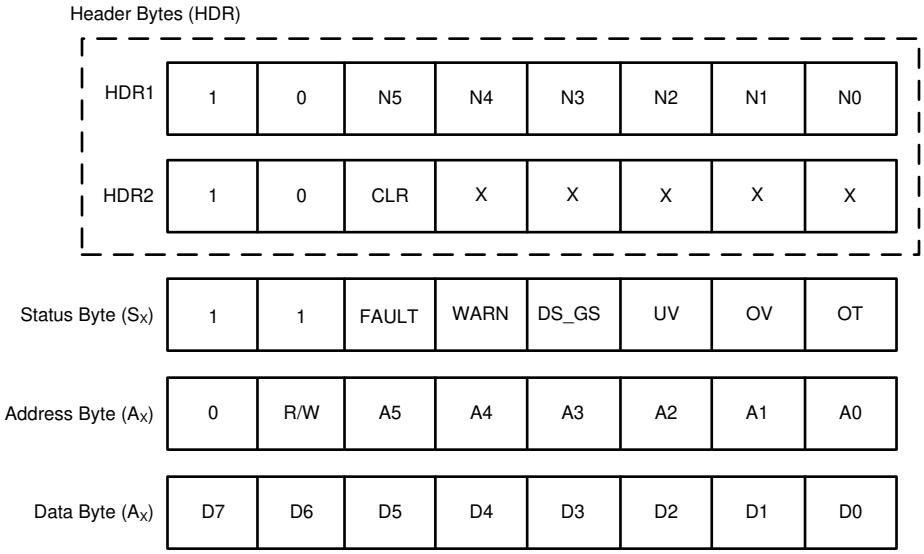


图 7-36. 菊花链读取寄存器

当数据通过器件时，它通过计算接收到的状态字节数（后跟第一个标头字节）来确定自身在链中的位置。例如，在这种包含 3 个器件的配置中，菊花链中的器件 2 会先接收两个状态字节，然后再依次接收 HDR1 字节和 HDR2 字节。

根据两个状态字节，器件可以确定其位于链中的第二个位置，而通过 HDR2 字节，器件可以确定链中连接的器件数量。这样，器件只加载缓冲区中的相关地址和数据字节，并绕过其他位。该协议可实现更快的通信，而不会因为链中连接多达 63 个器件而增加系统延迟。

Copyright © 2026 Texas Instruments Incorporated

对于单器件连接，地址和数据字节保持不变。上图中显示的报告字节（R1 到 R3）是所访问的寄存器的内容。

8 寄存器映射

DRV8718-Q1 及 DRV8714-Q1 寄存器提供各种反馈信息和配置选项。其中包括特定故障诊断、一般器件配置、驱动器配置、故障和诊断配置以及放大器配置。此外，高级寄存器映射提供高级驱动程序功能来帮助满足某些系统条件，但这并非器件的标准运行所必需的。

为了协助软件开发和重复使用，DRV8718-Q1 和 DRV8714-Q1 寄存器映射共享一个重叠的寄存器结构，与特定器件属性之间存在差异。两个器件寄存器映射之间主要差异概述如下。

寄存器映射差异：

- DRV8714-Q1：VDS_STAT2 (02h) 及 VGS_STAT2 (04h) 被保留。
- DRV8714-Q1：BRG_CTRL2 (0Ah) 及 PWM_CTRL2 (0Ch) 重新用于 H 桥控制功能。
- DRV8714-Q1：PWM_CTRL3 [3:0] (0Dh) PWM_CTRL4 [3:0] (0Eh) 被保留。
- DRV8714-Q1：IDRV_CTRL5、6、7 及 8（13h、14h、15h 和 16h）被保留。
- DRV8714-Q1：IDRV_CTRL9 [3:0] (17h) 被保留。
- DRV8714-Q1：DRV_CTRL2、3、4、5 及 6（19h、1Ah、1Bh、1Ch 和 1Dh）现在特定于半桥，而不是特定于 H 桥 (DRV8718-Q1)。
- DRV8714-Q1：VDS_CTRL3 (21h) 及 VDS_CTRL4 (22h) 被保留。
- DRV8714-Q1：OLSC_CTRL2 (24h) 被保留。

高级寄存器映射差异：

- DRV8714-Q1：所有寄存器现在都特定于半桥，而不是特定于 H 桥 (DRV8718-Q1)。

备注

DRV8718-Q1 56 引脚 VQFN (RVJ) 和 DRV8714-Q1 56 引脚 VQFN (RVJ) 封装直接具有引脚对引脚兼容性。请注意，DRV8714-Q1 的半桥 1、2、3 和 4 位置将会发生偏移，以便帮助进行 PCB 布线。

Copyright © 2026 Texas Instruments Incorporated

8.1 DRV8718-Q1 寄存器映射

表 8-1 列出了 DRV8718-Q1 的存储器映射寄存器。未列出的所有寄存器地址都应视为保留的存储单元，并且不应修改寄存器内容。关于保留的存储单元的说明仅供参考。

表 8-1. DRV8718-Q1 寄存器映射

名称	7	6	5	4	3	2	1	0	类型	Addr
IC_STAT1	SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT_WD_AGD	R	00h
VDS_STAT1	VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4	R	01h
VDS_STAT2	VDS_H5	VDS_L5	VDS_H6	VDS_L6	VDS_H7	VDS_L7	VDS_H8	VDS_L8	R	02h
VGS_STAT1	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4	R	03h
VGS_STAT2	VGS_H5	VGS_L5	VGS_H6	VGS_L6	VGS_H7	VGS_L7	VGS_H8	VGS_L8	R	04h
IC_STAT2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RSVD	R	05h
IC_STAT3	RSVD				IC_ID				R	06h
IC_CTRL1	EN_DRV	EN_OLSC	RSVD		LOCK			CLR_FLT	R/W	07h
IC_CTRL2	DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST	R/W	08h
BRG_CTRL1	HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL		R/W	09h
BRG_CTRL2	HB5_CTRL		HB6_CTRL		HB7_CTRL		HB8_CTRL		R/W	0Ah
PWM_CTRL1	HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM		R/W	0Bh
PWM_CTRL2	HB5_PWM		HB6_PWM		HB7_PWM		HB8_PWM		R/W	0Ch
PWM_CTRL3	HB1_HL	HB2_HL	HB3_HL	HB4_HL	HB5_HL	HB6_HL	HB7_HL	HB8_HL	R/W	0Dh
PWM_CTRL4	HB1_FW	HB2_FW	HB3_FW	HB4_FW	HB5_FW	HB6_FW	HB7_FW	HB8_FW	R/W	0Eh
IDRV_CTRL1	IDRVP_1				IDRVN_1				R/W	0Fh
IDRV_CTRL2	IDRVP_2				IDRVN_2				R/W	10h
IDRV_CTRL3	IDRVP_3				IDRVN_3				R/W	11h
IDRV_CTRL4	IDRVP_4				IDRVN_4				R/W	12h
IDRV_CTRL5	IDRVP_5				IDRVN_5				R/W	13h
IDRV_CTRL6	IDRVP_6				IDRVN_6				R/W	14h
IDRV_CTRL7	IDRVP_7				IDRVN_7				R/W	15h
IDRV_CTRL8	IDRVP_8				IDRVN_8				R/W	16h
IDRV_CTRL9	IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	IDRV_LO5	IDRV_LO6	IDRV_LO7	IDRV_LO8	R/W	17h
DRV_CTRL1	VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND	R/W	18h
DRV_CTRL2	RSVD		VGS_TDRV_12			VGS_TDRV_34			R/W	19h
DRV_CTRL3	RSVD		VGS_TDRV_56			VGS_TDRV_78			R/W	1Ah
DRV_CTRL4	VGS_TDEAD_12		VGS_TDEAD_34		VGS_TDEAD_56		VGS_TDEAD_78		R/W	1Bh
DRV_CTRL5	VDS_DG_12		VDS_DG_34		VDS_DG_56		VDS_DG_78		R/W	1Ch
DRV_CTRL6	VDS_IDRVN_12		VDS_IDRVN_34		VDS_IDRVN_56		VDS_IDRVN_78		R/W	1Dh
DRV_CTRL7	RSVD								R/W	1Eh
VDS_CTRL1	VDS_LVL_1				VDS_LVL_2				R/W	1Fh
VDS_CTRL2	VDS_LVL_3				VDS_LVL_4				R/W	20h
VDS_CTRL3	VDS_LVL_5				VDS_LVL_6				R/W	21h
VDS_CTRL4	VDS_LVL_7				VDS_LVL_8				R/W	22h
OLSC_CTRL1	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	PU_SH_3	PD_SH_3	PU_SH_4	PD_SH_4	R/W	23h
OLSC_CTRL2	PU_SH_5	PD_SH_5	PU_SH_6	PD_SH_6	PU_SH_7	PD_SH_7	PU_SH_8	PD_SH_8	R/W	24h
UVOV_CTRL	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	R/W	25h
CSA_CTRL1	RSVD		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2		R/W	26h
CSA_CTRL2	RSVD		CSA_BLK_SEL_1			CSA_BLK_1			R/W	27h
CSA_CTRL3	RSVD		CSA_BLK_SEL_2			CSA_BLK_2			R/W	28h
RSVD_CTRL	RSVD								R/W	29h

表 8-2 提供了传播延迟减少 (PDR)、占空比补偿 (DCC) 和转换时间控制 (STC) 章节中所述的高级控制功能。对于 DRV871x-Q1 的典型用例而言，这些功能并非必需，可根据具体系统要求按需使用。

表 8-2. DRV8718-Q1 高级功能寄存器映射

名称	7	6	5	4	3	2	1	0	类型	Addr
AGD_CTRL1	AGD_THR		AGD_ISTRONG		SET_AGD_12	SET_AGD_34	SET_AGD_56	SET_AGD_78	R/W	2Ah
PDR_CTRL1	PRE_MAX_12		T_DON_DOFF_12						R/W	2Bh
PDR_CTRL2	PRE_MAX_34		T_DON_DOFF_34						R/W	2Ch
PDR_CTRL3	PRE_MAX_56		T_DON_DOFF_56						R/W	2Dh
PDR_CTRL4	PRE_MAX_78		T_DON_DOFF_78						R/W	2Eh
PDR_CTRL5	T_PRE_CHR_12		T_PRE_DCHR_12		PRE_CHR_INIT_12		PRE_DCHR_INIT_12		R/W	2Fh
PDR_CTRL6	T_PRE_CHR_34		T_PRE_DCHR_34		PRE_CHR_INIT_34		PRE_DCHR_INIT_34		R/W	30h
PDR_CTRL7	T_PRE_CHR_56		T_PRE_DCHR_56		PRE_CHR_INIT_56		PRE_DCHR_INIT_56		R/W	31h
PDR_CTRL8	T_PRE_CHR_78		T_PRE_DCHR_78		PRE_CHR_INIT_78		PRE_DCHR_INIT_78		R/W	32h
PDR_CTRL9	EN_PDR_12	RSVD	KP_PDR_12		EN_PDR_34	RSVD	KP_PDR_34		R/W	33h
PDR_CTRL10	EN_PDR_56	RSVD	KP_PDR_56		EN_PDR_78	RSVD	KP_PDR_78		R/W	34h
STC_CTRL1	T_RISE_FALL_12				EN_STC_12	STC_ERR_12	KP_STC_12		R/W	35h
STC_CTRL2	T_RISE_FALL_34				EN_STC_34	STC_ERR_34	KP_STC_34		R/W	36h
STC_CTRL3	T_RISE_FALL_56				EN_STC_56	STC_ERR_56	KP_STC_56		R/W	37h
STC_CTRL4	T_RISE_FALL_78				EN_STC_78	STC_ERR_78	KP_STC_78		R/W	38h
DCC_CTRL1	EN_DCC_12	EN_DCC_34	EN_DCC_56	EN_DCC_78	IDIR_MAN_12	IDIR_MAN_34	IDIR_MAN_56	IDIR_MAN_78	R/W	39h
PST_CTRL1	FW_MAX_12	FW_MAX_34	FW_MAX_56	FW_MAX_78	EN_PST_DLY_12	EN_PST_DLY_34	EN_PST_DLY_56	EN_PST_DLY_78	R/W	3Ah
PST_CTRL2	KP_PST_12		KP_PST_34		KP_PST_56		KP_PST_78		R/W	3Bh
SGD_STAT1	IDIR_12	IDIR_34	IDIR_56	IDIR_78	IDIR_WARN_12	IDIR_WARN_34	IDIR_WARN_56	IDIR_WARN_78	R	3Ch
SGD_STAT2	PCHR_WARN_12	PCHR_WARN_34	PCHR_WARN_56	PCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	R	3Dh
SGD_STAT3	STC_WARN_F_12	STC_WARN_F_34	STC_WARN_F_56	STC_WARN_F_78	STC_WARN_R_12	STC_WARN_R_34	STC_WARN_R_56	STC_WARN_R_78	R	3Eh

Copyright © 2026 Texas Instruments Incorporated

8.2 DRV8714-Q1 寄存器映射

DRV8714-Q1 寄存器映射列出了 DRV8714-Q1 寄存器的存储器映射寄存器。未列出的所有寄存器地址都应视为保留的存储单元，并且不应修改寄存器内容。关于保留的存储单元的说明仅供参考。

表 8-3. DRV8714-Q1 寄存器映射

名称	7	6	5	4	3	2	1	0	类型	地址
IC_STAT1	SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT_WD_AGD	R	00h
VDS_STAT1	VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4	R	01h
VDS_STAT2	RSVD								R	02h
VGS_STAT1	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4	R	03h
VGS_STAT2	RSVD								R	04h
IC_STAT2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RSVD	R	05h
IC_STAT3	RSVD				IC_ID				R	06h
IC_CTRL1	EN_DRV	EN_OLSC	BRG_MODE		LOCK			CLR_FLT	R/W	07h
IC_CTRL2	DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST	R/W	08h
BRG_CTRL1	HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL		R/W	09h
BRG_CTRL2	S_IN1/EN1	S_IN2/PH1	HIZ1	RSVD	S_IN3/EN2	S_IN4/PH2	HIZ2	RSVD	R/W	0Ah
PWM_CTRL1	HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM		R/W	0Bh
PWM_CTRL2	IN1/EN1_MODE	IN2/PH1_MODE	FW1	RSVD	IN3/EN2_MODE	IN4/PH2_MODE	FW2	RSVD	R/W	0Ch
PWM_CTRL3	HB1_HL	HB2_HL	HB3_HL	HB4_HL	RSVD				R/W	0Dh
PWM_CTRL4	HB1_FW	HB2_FW	HB3_FW	HB4_FW	RSVD				R/W	0Eh
IDRV_CTRL1	IDRVP_1				IDRVN_1				R/W	0Fh
IDRV_CTRL2	IDRVP_2				IDRVN_2				R/W	10h
IDRV_CTRL3	IDRVP_3				IDRVN_3				R/W	11h
IDRV_CTRL4	IDRVP_4				IDRVN_4				R/W	12h
IDRV_CTRL5	RSVD								R/W	13h
IDRV_CTRL6	RSVD								R/W	14h
IDRV_CTRL7	RSVD								R/W	15h
IDRV_CTRL8	RSVD								R/W	16h
IDRV_CTRL9	IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	RSVD				R/W	17h
DRV_CTRL1	VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND	R/W	18h
DRV_CTRL2	RSVD		VGS_TDRV_1			VGS_TDRV_2			R/W	19h
DRV_CTRL3	RSVD		VGS_TDRV_3			VGS_TDRV_4			R/W	1Ah
DRV_CTRL4	VGS_TDEAD_1		VGS_TDEAD_2		VGS_TDEAD_3		VGS_TDEAD_4		R/W	1Bh
DRV_CTRL5	VDS_DG_1		VDS_DG_2		VDS_DG_3		VDS_DG_4		R/W	1Ch
DRV_CTRL6	VDS_IDRVN_1		VDS_IDRVN_2		VDS_IDRVN_3		VDS_IDRVN_4		R/W	1Dh
DRV_CTRL7	RSVD								R/W	1Eh
VDS_CTRL1	VDS_LVL_1				VDS_LVL_2				R/W	1Fh
VDS_CTRL2	VDS_LVL_3				VDS_LVL_4				R/W	20h
VDS_CTRL3	RSVD								R/W	21h
VDS_CTRL4	RSVD								R/W	22h
OLSC_CTRL1	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	PU_SH_3	PD_SH_3	PU_SH_4	PD_SH_4	R/W	23h
OLSC_CTRL2	RSVD								R/W	24h
UVOV_CTRL	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	R/W	25h
CSA_CTRL1	RSVD		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2		R/W	26h
CSA_CTRL2	RSVD		CSA_BLK_SEL_1			CSA_BLK_1			R/W	27h
CSA_CTRL3	RSVD		CSA_BLK_SEL_2			CSA_BLK_2			R/W	28h
RSVD_CTRL	RSVD								R/W	29h

DRV8714-Q1 高级功能寄存器映射提供了传播延迟减少 (PDR)、占空比补偿 (DCC) 和转换时间控制 (STC) 章节中所述的高级控制功能。对于 DRV871x-Q1 的典型用例而言，这些功能并非必需，可根据具体系统要求按需使用。

表 8-4. DRV8714-Q1 高级功能寄存器映射

名称	7	6	5	4	3	2	1	0	类型	地址
AGD_CTRL1	AGD_THR		AGD_ISTRONG		RSVD				R/W	2Ah
PDR_CTRL1	PRE_MAX_1		T_DON_DOFF_1						R/W	2Bh
PDR_CTRL2	PRE_MAX_2		T_DON_DOFF_2						R/W	2Ch
PDR_CTRL3	PRE_MAX_3		T_DON_DOFF_3						R/W	2Dh
PDR_CTRL4	PRE_MAX_4		T_DON_DOFF_4						R/W	2Eh
PDR_CTRL5	T_PRE_CHR_1		T_PRE_DCHR_1		PRE_CHR_INIT_1		PRE_DCHR_INIT_1		R/W	2Fh
PDR_CTRL6	T_PRE_CHR_2		T_PRE_DCHR_2		PRE_CHR_INIT_2		PRE_DCHR_INIT_2		R/W	30h
PDR_CTRL7	T_PRE_CHR_3		T_PRE_DCHR_3		PRE_CHR_INIT_3		PRE_DCHR_INIT_3		R/W	31h
PDR_CTRL8	T_PRE_CHR_4		T_PRE_DCHR_4		PRE_CHR_INIT_4		PRE_DCHR_INIT_4		R/W	32h
PDR_CTRL9	EN_PDR_1	RSVD	KP_PDR_1		EN_PDR_2	RSVD	KP_PDR_2		R/W	33h
PDR_CTRL10	EN_PDR_3	RSVD	KP_PDR_3		EN_PDR_4	RSVD	KP_PDR_4		R/W	34h
STC_CTRL1	T_RISE_FALL_1				EN_STC_1	STC_ERR_1	KP_STC_1		R/W	35h
STC_CTRL2	T_RISE_FALL_2				EN_STC_2	STC_ERR_2	KP_STC_2		R/W	36h
STC_CTRL3	T_RISE_FALL_3				EN_STC_3	STC_ERR_3	KP_STC_3		R/W	37h
STC_CTRL4	T_RISE_FALL_4				EN_STC_4	STC_ERR_4	KP_STC_4		R/W	38h
DCC_CTRL1	EN_DCC_1	EN_DCC_2	EN_DCC_3	EN_DCC_4	IDIR_MAN_1	IDIR_MAN_2	IDIR_MAN_3	IDIR_MAN_4	R/W	39h
PST_CTRL1	FW_MAX_1	FW_MAX_2	FW_MAX_3	FW_MAX_4	EN_PST_DLY_1	EN_PST_DLY_2	EN_PST_DLY_3	EN_PST_DLY_4	R/W	3Ah
PST_CTRL2	KP_PST_1		KP_PST_2		KP_PST_3		KP_PST_4		R/W	3Bh
SGD_STAT1	IDIR_1	IDIR_2	IDIR_3	IDIR_4	IDIR_WARN_1	IDIR_WARN_2	IDIR_WARN_3	IDIR_WARN_4	R	3Ch
SGD_STAT2	PCHR_WARN_1	PCHR_WARN_2	PCHR_WARN_3	PCHR_WARN_4	PDCHR_WARN_1	PDCHR_WARN_2	PDCHR_WARN_3	PDCHR_WARN_4	R	3Dh
SGD_STAT3	STC_WARN_F_1	STC_WARN_F_2	STC_WARN_F_3	STC_WARN_F_4	STC_WARN_R_1	STC_WARN_R_2	STC_WARN_R_3	STC_WARN_R_4	R	3Eh

Copyright © 2026 Texas Instruments Incorporated

8.3 DRV8718-Q1 寄存器说明

8.3.1 DRV8718-Q1_STATUS 寄存器

表 8-5 列出了 DRV8718-Q1_STATUS 寄存器。表 8-5 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-5. DRV8718-Q1_STATUS 寄存器

地址	首字母缩写词	寄存器名称	部分
0h	IC_STAT1	全局故障及警告状态指示器	转到
1h	VDS_STAT1	半桥 1-4 VDS 过流故障状态指示器	转到
2h	VDS_STAT2	半桥 5-8 VDS 过流故障状态指示器	转到
3h	VGS_STAT1	半桥 1-4 VGS 栅极故障状态指示器	转到
4h	VGS_STAT2	半桥 5-8 VGS 栅极故障状态指示器	转到
5h	IC_STAT2	电压、温度及接口故障状态指示器	转到
6h	IC_STAT3	器件型号 ID 状态寄存器	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-6 展示了适用于此部分中访问类型的代码。

表 8-6. DRV8718-Q1_STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
- n		复位后的值或默认值

8.3.1.1 IC_STAT1 寄存器（地址 = 0h）[复位 = C0h]

图 8-1 展示了 IC_STAT1，表 8-7 对其进行了介绍。

返回到汇总表。

用于全局故障和警告指示器的状态寄存器。其余状态寄存器中提供了详细故障信息。

图 8-1. IC_STAT1 寄存器

7	6	5	4	3	2	1	0
SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT_WD_AGD
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-7. IC_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	SPI_OK	R	1b	指示是否检测到 SPI 通信故障。 0b = 前面的帧中有一个或多个 SCLK_FLT。 1b = 未检测到 SPI 故障
6	POR	R	1b	表明存在上电复位条件。 0b = 未检测到上电复位条件。 1b = 检测到上电复位条件。
5	FAULT	R	0b	故障指示器。对应 nFAULT 引脚。
4	WARN	R	0b	警告指示器。
3	DS_GS	R	0b	VDS 和 VGS 故障指示器的逻辑 OR。
2	UV	R	0b	欠压指示器。
1	OV	R	0b	过压指示器。

表 8-7. IC_STAT1 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OT_WD_AGD	R	0b	OTW、OTSD、WD_FLT、IDIR_WARN、PCHR_WARN、PDCHR_WARN 和 STC_WARN 指示器的逻辑 OR 运算结果。

8.3.1.2 VDS_STAT1 寄存器（地址 = 1h）[复位 = 0h]

图 8-2 展示了 VDS_STAT1，表 8-8 对其进行了介绍。

返回到汇总表。

半桥 1-4 的特定 MOSFET VDS 过流故障所指示的状态寄存器。

图 8-2. VDS_STAT1 寄存器

7	6	5	4	3	2	1	0
VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-8. VDS_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	VDS_H1	R	0b	表明高侧 1 MOSFET 上存在 VDS 过流故障。
6	VDS_L1	R	0b	表明低侧 1 MOSFET 上存在 VDS 过流故障。
5	VDS_H2	R	0b	表明高侧 2 MOSFET 上存在 VDS 过流故障。
4	VDS_L2	R	0b	表明低侧 2 MOSFET 上存在 VDS 过流故障。
3	VDS_H3	R	0b	表明高侧 3 MOSFET 上存在 VDS 过流故障。
2	VDS_L3	R	0b	表明低侧 3 MOSFET 上存在 VDS 过流故障。
1	VDS_H4	R	0b	表明高侧 4 MOSFET 上存在 VDS 过流故障。
0	VDS_L4	R	0b	表明低侧 4 MOSFET 上存在 VDS 过流故障。

8.3.1.3 VDS_STAT2 寄存器（地址 = 2h）[复位 = 0h]

图 8-3 展示了 VDS_STAT2，表 8-9 对其进行了介绍。

返回到汇总表。

半桥 5-8 的特定 MOSFET VDS 过流故障所指示的状态寄存器。

图 8-3. VDS_STAT2 寄存器

7	6	5	4	3	2	1	0
VDS_H5	VDS_L5	VDS_H6	VDS_L6	VDS_H7	VDS_L7	VDS_H8	VDS_L8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-9. VDS_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	VDS_H5	R	0b	表明高侧 5 MOSFET 上存在 VDS 过流故障。
6	VDS_L5	R	0b	表明低侧 5 MOSFET 上存在 VDS 过流故障。
5	VDS_H6	R	0b	表明高侧 6 MOSFET 上存在 VDS 过流故障。
4	VDS_L6	R	0b	表明低侧 6 MOSFET 上存在 VDS 过流故障。
3	VDS_H7	R	0b	表明高侧 7 MOSFET 上存在 VDS 过流故障。
2	VDS_L7	R	0b	表明低侧 7 MOSFET 上存在 VDS 过流故障。

Copyright © 2026 Texas Instruments Incorporated

表 8-9. VDS_STAT2 寄存器字段说明（续）

位	字段	类型	复位	说明
1	VDS_H8	R	0b	表明高侧 8 MOSFET 上存在 VDS 过流故障。
0	VDS_L8	R	0b	表明低侧 8 MOSFET 上存在 VDS 过流故障。

8.3.1.4 VGS_STAT1 寄存器（地址 = 3h）[复位 = 0h]

图 8-4 展示了 VGS_STAT1，表 8-10 对其进行了介绍。

返回到汇总表。

半桥 1-4 的特定 MOSFET VGS 栅极故障指示的状态寄存器。

图 8-4. VGS_STAT1 寄存器

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-10. VGS_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_H1	R	0b	表明高侧 1 MOSFET 上存在 VGS 栅极故障。
6	VGS_L1	R	0b	表明低侧 1 MOSFET 上存在 VGS 栅极故障。
5	VGS_H2	R	0b	表明高侧 2 MOSFET 上存在 VGS 栅极故障。
4	VGS_L2	R	0b	表明低侧 2 MOSFET 上存在 VGS 栅极故障。
3	VGS_H3	R	0b	表明高侧 3 MOSFET 上存在 VGS 栅极故障。
2	VGS_L3	R	0b	表明低侧 3 MOSFET 上存在 VGS 栅极故障。
1	VGS_H4	R	0b	表明高侧 4 MOSFET 上存在 VGS 栅极故障。
0	VGS_L4	R	0b	表明低侧 4 MOSFET 上存在 VGS 栅极故障。

8.3.1.5 VGS_STAT2 寄存器（地址 = 4h）[复位 = 0h]

图 8-5 展示了 VGS_STAT2，表 8-11 对其进行了介绍。

返回到汇总表。

半桥 5-8 的特定 MOSFET VGS 栅极故障指示的状态寄存器。

图 8-5. VGS_STAT2 寄存器

7	6	5	4	3	2	1	0
VGS_H5	VGS_L5	VGS_H6	VGS_L6	VGS_H7	VGS_L7	VGS_H8	VGS_L8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-11. VGS_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_H5	R	0b	表明高侧 5 MOSFET 上存在 VGS 栅极故障。
6	VGS_L5	R	0b	表明低侧 5 MOSFET 上存在 VGS 栅极故障。
5	VGS_H6	R	0b	表明高侧 6 MOSFET 上存在 VGS 栅极故障。
4	VGS_L6	R	0b	表明低侧 6 MOSFET 上存在 VGS 栅极故障。
3	VGS_H7	R	0b	表明高侧 7 MOSFET 上存在 VGS 栅极故障。
2	VGS_L7	R	0b	表明低侧 7 MOSFET 上存在 VGS 栅极故障。

Copyright © 2026 Texas Instruments Incorporated

表 8-11. VGS_STAT2 寄存器字段说明（续）

位	字段	类型	复位	说明
1	VGS_H8	R	0b	表明高侧 8 MOSFET 上存在 VGS 栅极故障。
0	VGS_L8	R	0b	表明低侧 8 MOSFET 上存在 VGS 栅极故障。

8.3.1.6 IC_STAT2 寄存器（地址 = 5h）[复位 = 0h]

图 8-6 展示了 IC_STAT2，表 8-12 对其进行了介绍。

返回到汇总表。

用于指示特定欠压、过压、过热及接口故障的状态寄存器。

图 8-6. IC_STAT2 寄存器

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RESERVED
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. IC_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV	R	0b	表明 PVDD 引脚上存在欠压故障。
6	PVDD_OV	R	0b	表明 PVDD 引脚上存在过压故障。
5	VCP_UV	R	0b	表明 VCP 引脚上存在欠压故障。
4	OTW	R	0b	表明过热警告。
3	OTSD	R	0b	表明过热关断。
2	WD_FLT	R	0b	表示看门狗计时器故障。
1	SCLK_FLT	R	0b	当事务帧中的 SCLK 脉冲数不等于 16 时，表示 SPI 时钟（帧）故障。未在 FAULT 或 nFAULT 引脚上报告。
0	RESERVED	R	0b	保留

8.3.1.7 IC_STAT3 寄存器（地址 = 6h）[复位 = 8h]

图 8-7 展示了 IC_STAT3，表 8-13 对其进行了介绍。

返回到汇总表。

具有 DRV8718-Q1 或 DRV8714-Q1 器件 ID 的状态寄存器。

图 8-7. IC_STAT3 寄存器

7	6	5	4	3	2	1	0
RESERVED				IC_ID			
R-0000b				R-1000b			

表 8-13. IC_STAT3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000b	保留
3-0	IC_ID	R	1000b	器件标识字段。 0100b = DRV8714-Q1，4 半桥栅极驱动器。 1000b = DRV8718-Q1，8 半桥栅极驱动器。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 DRV8718-Q1_CONTROL 寄存器

表 8-14 列出了 DRV8718-Q1_CONTROL 寄存器。表 8-14 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-14. DRV8718-Q1_CONTROL 寄存器

地址	首字母缩写词	寄存器名称	部分
7h	IC_CTRL1	器件通用功能控制寄存器 1	转到
8h	IC_CTRL2	器件通用功能控制寄存器 2	转到
9h	BRG_CTRL1	半桥 1-4 输出状态控制	转到
Ah	BRG_CTRL2	半桥 5-8 输出状态控制	转到
Bh	PWM_CTRL1	半桥 1-4 PWM 映射控制	转到
Ch	PWM_CTRL2	半桥 5-8 PWM 映射控制	转到
Dh	PWM_CTRL3	半桥 1-8 高侧或者低侧驱动控制	转到
Eh	PWM_CTRL4	半桥 1-8 续流配置	转到
Fh	IDRV_CTRL1	半桥 1 栅极驱动拉/灌电流	转到
10h	IDRV_CTRL2	半桥 2 栅极驱动拉/灌电流	转到
11h	IDRV_CTRL3	半桥 3 栅极驱动拉/灌电流	转到
12h	IDRV_CTRL4	半桥 4 栅极驱动拉/灌电流	转到
13h	IDRV_CTRL5	半桥 5 栅极驱动拉/灌电流	转到
14h	IDRV_CTRL6	半桥 6 栅极驱动拉/灌电流	转到
15h	IDRV_CTRL7	半桥 7 栅极驱动拉/灌电流	转到
16h	IDRV_CTRL8	半桥 8 栅极驱动拉/灌电流	转到
17h	IDRV_CTRL9	半桥 1-8 栅极驱动低电流控制	转到
18h	DRV_CTRL1	栅极驱动器 VGS 及 VDS 监控配置	转到
19h	DRV_CTRL2	半桥 1-4 VGS 和 VDS tDRV 配置	转到
1Ah	DRV_CTRL3	半桥 5-8 VGS 和 VDS tDRV 配置	转到
1Bh	DRV_CTRL4	半桥 1-8 VGS tDEAD_D 配置	转到
1Ch	DRV_CTRL5	半桥 1-8 VDS tDS_DG 配置	转到
1Dh	DRV_CTRL6	半桥 1-8 VDS 故障下拉电流配置	转到
1Fh	VDS_CTRL1	半桥 1 及 2 VDS 过流阈值	转到
20h	VDS_CTRL2	半桥 3 及 4 VDS 过流阈值	转到
21h	VDS_CTRL3	半桥 5 及 6 VDS 过流阈值	转到
22h	VDS_CTRL4	半桥 7 及 8 VDS 过流阈值	转到
23h	OLSC_CTRL1	半桥 1-4 离线诊断控制	转到
24h	OLSC_CTRL2	半桥 5-8 离线诊断控制	转到
25h	UVOV_CTRL	欠压及过压监控器配置。	转到
26h	CSA_CTRL1	分流放大器 1 及 2 配置	转到
27h	CSA_CTRL2	分流放大器 1 消隐配置	转到
28h	CSA_CTRL3	分流放大器 2 消隐配置	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-15 展示了适用于此部分中访问类型的代码。

表 8-15. DRV8718-Q1_CONTROL 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取

表 8-15. DRV8718-Q1_CONTROL 访问类型代码（续）

访问类型	代码	说明
写入类型		
W	W	写入
复位或默认值		
- *n*		复位后的值或默认值

8.3.2.1 IC_CTRL1 寄存器（地址 = 7h）[复位 = 6h]

图 8-8 展示了 IC_CTRL1，表 8-16 对其进行了介绍。

返回到汇总表。

用于驱动器和诊断使能、SPI 锁定及清除故障命令的控制寄存器。

图 8-8. IC_CTRL1 寄存器

7	6	5	4	3	2	1	0
EN_DRV	EN_OLSC	RESERVED		LOCK			CLR_FLT
R/W-0b	R/W-0b	R-00b		R/W-011b			R/W-0b

表 8-16. IC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DRV	R/W	0b	使能栅极驱动器。 0b = 禁用栅极驱动器输出并使能无源下拉电阻。 1b = 栅极驱动器输出已启用。
6	EN_OLSC	R/W	0b	使能离线开路负载和短路诊断。 0b = 禁用。 1b = VDS 监控器设置为实时电压监控模式并使能离线诊断电流源。
5-4	RESERVED	R	00b	保留
3-1	LOCK	R/W	011b	锁定和解锁控制寄存器。未列出的位设置无效。 011b = 解锁所有控制寄存器。 110b = 通过忽略除 LOCK 寄存器之外的后续写入来锁定控制寄存器。
0	CLR_FLT	R/W	0b	清除锁存故障状态信息。 0b = 默认状态。 1b = 清除锁存故障位，完成后复位为 0b。还会清除 SPI 故障和看门狗故障状态。

8.3.2.2 IC_CTRL2 寄存器（地址 = 8h）[复位 = 2h]

图 8-9 展示了 IC_CTRL2，表 8-17 对其进行了介绍。

返回到汇总表。

用于引脚模式、电荷泵模式及看门狗的控制寄存器。

图 8-9. IC_CTRL2 寄存器

7	6	5	4	3	2	1	0
DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST
R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-1b	R/W-0b

Copyright © 2026 Texas Instruments Incorporated

表 8-17. IC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7	DIS_SSC	R/W	0b	使能展频时钟 0b = 已启用。 1b = 禁用。
6	DRVOFF_nFLT	R/W	0b	设置 DRVOFF/nFLT 多功能引脚模式。 0b = 引脚用作 DRVOFF 全局驱动器禁用。 1b = 引脚用作 nFLT 开漏故障中断输出。
5-4	CP_MODE	R/W	00b	电荷泵工作模式。 00b = 三倍器和倍频器模式之间自动切换。 01b = 始终为倍频器模式。 10b = 始终为三倍器模式。 11b = RSVD
3	WD_EN	R/W	0b	看门狗计时器使能。 0b = 看门狗计时器已禁用。 1b = 看门狗计时器已使能。
2	WD_FLT_M	R/W	0b	看门狗故障模式。看门狗故障由 CLR_FLT 清除。 0b = 向 WD_FLT 和 WARN 寄存器位报告看门狗故障。栅极驱动器保持启用状态，nFAULT 未被断言。 1b = 向 WD_FLT、FAULT 寄存器位和 nFAULT 引脚报告看门狗故障。栅极驱动器都被禁用以响应看门狗故障。
1	WD_WIN	R/W	1b	看门狗计时器窗口。 0b = 4 至 40ms 1b = 10 至 100ms
0	WD_RST	R/W	0b	看门狗重启。上电后默认为 0b。将该位反转以重启看门狗计时器。写入后，该位将反映新的取反值。

8.3.2.3 BRG_CTRL1 寄存器（地址 = 9h）[复位 = 0h]

图 8-10 展示了 BRG_CTRL1，表 8-18 对其进行了介绍。

返回到汇总表。

用于设置半桥 1-4 输出状态的控制寄存器。

图 8-10. BRG_CTRL1 寄存器

7	6	5	4	3	2	1	0
HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-18. BRG_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB1_CTRL	R/W	00b	半桥 1 输出状态控制。 00b = 高阻抗 (HI-Z)。GH1 和 GL1 下拉电阻。 01b = 驱动低侧 (LO)。GH1 下拉电阻和 GL1 上拉电阻。 10b = 驱动高侧 (HI)。GH1 上拉电阻和 GL1 下拉电阻。 11b = 输入 PWM 控制。HB1_PWM、HB1_HL 和 HB1_FW。
5-4	HB2_CTRL	R/W	00b	半桥 2 输出状态控制。 00b = 高阻抗 (HI-Z)。GH2 和 GL2 下拉电阻。 01b = 驱动低侧 (LO)。GH2 下拉电阻和 GL2 上拉电阻。 10b = 驱动高侧 (HI)。GH2 上拉电阻和 GL2 下拉电阻。 11b = 输入 PWM 控制。HB2_PWM、HB2_HL 和 HB2_FW。

表 8-18. BRG_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
3-2	HB3_CTRL	R/W	00b	半桥 3 输出状态控制。 00b = 高阻抗 (HI-Z)。GH3 和 GL3 下拉电阻。 01b = 驱动低侧 (LO)。GH3 下拉电阻和 GL3 上拉电阻。 10b = 驱动高侧 (HI)。GH3 上拉电阻和 GL3 下拉电阻。 11b = 输入 PWM 控制。HB3_PWM、HB3_HL 和 HB3_FW。
1-0	HB4_CTRL	R/W	00b	半桥 4 输出状态控制。 00b = 高阻抗 (HI-Z)。GH4 和 GL4 下拉电阻。 01b = 驱动低侧 (LO)。GH4 下拉电阻和 GL4 上拉电阻。 10b = 驱动高侧 (HI)。GH4 上拉电阻和 GL4 下拉电阻。 11b = 输入 PWM 控制。HB4_PWM、HB4_HL 和 HB4_FW。

8.3.2.4 BRG_CTRL2 寄存器（地址 = Ah）[复位 = 0h]

图 8-11 展示了 BRG_CTRL2，表 8-19 对其进行了介绍。

返回到汇总表。

用于设置半桥 5-8 输出状态的控制寄存器。

图 8-11. BRG_CTRL2 寄存器

7	6	5	4	3	2	1	0
HB5_CTRL		HB6_CTRL		HB7_CTRL		HB8_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-19. BRG_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB5_CTRL	R/W	00b	半桥 5 输出状态控制。 00b = 高阻抗 (HI-Z)。GH5 和 GL5 下拉电阻。 01b = 驱动低侧 (LO)。GH5 下拉电阻和 GL5 上拉电阻。 10b = 驱动高侧 (HI)。GH5 上拉电阻和 GL5 下拉电阻。 11b = 输入 PWM 控制。HB5_PWM、HB5_HL 和 HB5_FW。
5-4	HB6_CTRL	R/W	00b	半桥 6 输出状态控制。 00b = 高阻抗 (HI-Z)。GH6 和 GL6 下拉电阻。 01b = 驱动低侧 (LO)。GH6 下拉电阻和 GL6 上拉电阻。 10b = 驱动高侧 (HI)。GH6 上拉电阻和 GL6 下拉电阻。 11b = 输入 PWM 控制。HB6_PWM、HB6_HL 和 HB6_FW。
3-2	HB7_CTRL	R/W	00b	半桥 7 输出状态控制。 00b = 高阻抗 (HI-Z)。GH7 和 GL7 下拉电阻。 01b = 驱动低侧 (LO)。GH7 下拉电阻和 GL7 上拉电阻。 10b = 驱动高侧 (HI)。GH7 上拉电阻和 GL7 下拉电阻。 11b = 输入 PWM 控制。HB7_PWM、HB7_HL 和 HB7_FW。
1-0	HB8_CTRL	R/W	00b	半桥 8 输出状态控制。 00b = 高阻抗 (HI-Z)。GH8 和 GL8 下拉电阻。 01b = 驱动低侧 (LO)。GH8 下拉电阻和 GL8 上拉电阻。 10b = 驱动高侧 (HI)。GH8 上拉电阻和 GL8 下拉电阻。 11b = 输入 PWM 控制。HB8_PWM、HB8_HL 和 HB8_FW。

8.3.2.5 PWM_CTRL1 寄存器（地址 = Bh）[复位 = 5h]

图 8-12 展示了 PWM_CTRL1，表 8-20 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

用于映射半桥 1-4 的输入 PWM 源的控制寄存器。

图 8-12. PWM_CTRL1 寄存器

7	6	5	4	3	2	1	0
HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM	
R/W-00b		R/W-00b		R/W-01b		R/W-01b	

表 8-20. PWM_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB1_PWM	R/W	00b	为半桥 1 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
5-4	HB2_PWM	R/W	00b	为半桥 2 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
3-2	HB3_PWM	R/W	01b	为半桥 3 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB4_PWM	R/W	01b	为半桥 4 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.3.2.6 PWM_CTRL2 寄存器（地址 = Ch）[复位 = AFh]

图 8-13 展示了 PWM_CTRL2，表 8-21 对其进行了介绍。

返回到汇总表。

用于映射半桥 5-8 的输入 PWM 源的控制寄存器。

图 8-13. PWM_CTRL2 寄存器

7	6	5	4	3	2	1	0
HB5_PWM		HB6_PWM		HB7_PWM		HB8_PWM	
R/W-10b		R/W-10b		R/W-11b		R/W-11b	

表 8-21. PWM_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB5_PWM	R/W	10b	为半桥 5 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
5-4	HB6_PWM	R/W	10b	为半桥 6 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

表 8-21. PWM_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
3-2	HB7_PWM	R/W	11b	为半桥 7 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB8_PWM	R/W	11b	为半桥 8 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.3.2.7 PWM_CTRL3 寄存器（地址 = Dh）[复位 = 0h]

图 8-14 展示了 PWM_CTRL3，表 8-22 对其进行了介绍。

返回到汇总表。

用于设置半桥 1-8 的 PWM 驱动 MOSFET（高电平或者低电平）的控制寄存器。

图 8-14. PWM_CTRL3 寄存器

7	6	5	4	3	2	1	0
HB1_HL	HB2_HL	HB3_HL	HB4_HL	HB5_HL	HB6_HL	HB7_HL	HB8_HL
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-22. PWM_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7	HB1_HL	R/W	0b	将半桥 1 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
6	HB2_HL	R/W	0b	将半桥 2 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
5	HB3_HL	R/W	0b	将半桥 3 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
4	HB4_HL	R/W	0b	将半桥 4 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
3	HB5_HL	R/W	0b	将半桥 5 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
2	HB6_HL	R/W	0b	将半桥 6 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
1	HB7_HL	R/W	0b	将半桥 7 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
0	HB8_HL	R/W	0b	将半桥 8 PWM 设置为高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。

Copyright © 2026 Texas Instruments Incorporated

8.3.2.8 PWM_CTRL4 寄存器（地址 = Eh）[复位 = 0h]

图 8-15 展示了 PWM_CTRL4，表 8-23 对其进行了介绍。

返回到汇总表。

用于设置半桥 1-8 的 PWM 续流模式的控制寄存器。

图 8-15. PWM_CTRL4 寄存器

7	6	5	4	3	2	1	0
HB1_FW	HB2_FW	HB3_FW	HB4_FW	HB5_FW	HB6_FW	HB7_FW	HB8_FW
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-23. PWM_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7	HB1_FW	R/W	0b	为半桥 1 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
6	HB2_FW	R/W	0b	为半桥 2 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
5	HB3_FW	R/W	0b	为半桥 3 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
4	HB4_FW	R/W	0b	为半桥 4 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
3	HB5_FW	R/W	0b	为半桥 5 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
2	HB6_FW	R/W	0b	为半桥 6 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
1	HB7_FW	R/W	0b	为半桥 7 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
0	HB8_FW	R/W	0b	为半桥 8 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。

8.3.2.9 IDRV_CTRL1 寄存器（地址 = Fh）[复位 = FFh]

图 8-16 展示了 IDRV_CTRL1，表 8-24 对其进行了介绍。

返回到汇总表。

用于配置半桥 1 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-16. IDRV_CTRL1 寄存器

7	6	5	4	3	2	1	0
IDRVP_1				IDRVN_1			
R/W-1111b				R/W-1111b			

表 8-24. IDRV_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_1	R/W	1111b	半桥 1 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_1	R/W	1111b	半桥 1 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.10 IDRV_CTRL2 寄存器（地址 = 10h）[复位 = FFh]

图 8-17 展示了 IDRV_CTRL2，表 8-25 对其进行了介绍。

返回到汇总表。

用于配置半桥 2 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-17. IDRV_CTRL2 寄存器

7	6	5	4	3	2	1	0
IDRVP_2				IDRVN_2			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-25. IDRV_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_2	R/W	1111b	半桥 2 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_2	R/W	1111b	半桥 2 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.11 IDRV_CTRL3 寄存器（地址 = 11h）[复位 = FFh]

图 8-18 展示了 IDRV_CTRL3，表 8-26 对其进行了介绍。

返回到汇总表。

用于配置半桥 3 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-18. IDRV_CTRL3 寄存器

7	6	5	4	3	2	1	0
IDRVP_3				IDRVN_3			
R/W-1111b				R/W-1111b			

表 8-26. IDRV_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_3	R/W	1111b	半桥 3 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO3)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_3	R/W	1111b	半桥 3 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO3)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.12 IDRV_CTRL4 寄存器（地址 = 12h）[复位 = FFh]

图 8-19 展示了 IDRV_CTRL4，表 8-27 对其进行了介绍。

返回到汇总表。

用于配置半桥 4 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-19. IDRV_CTRL4 寄存器

7	6	5	4	3	2	1	0
IDRVP_4				IDRVN_4			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-27. IDRV_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_4	R/W	1111b	半桥 4 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO4)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_4	R/W	1111b	半桥 4 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO4)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.13 IDRV_CTRL5 寄存器（地址 = 13h）[复位 = FFh]

图 8-20 展示了 IDRV_CTRL5，表 8-28 对其进行了介绍。

返回到汇总表。

用于配置半桥 5 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-20. IDRV_CTRL5 寄存器

7	6	5	4	3	2	1	0
IDRVP_5				IDRVN_5			
R/W-1111b				R/W-1111b			

表 8-28. IDRV_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_5	R/W	1111b	半桥 5 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO5)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_5	R/W	1111b	半桥 5 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO5)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.14 IDRV_CTRL6 寄存器（地址 = 14h）[复位 = FFh]

图 8-21 展示了 IDRV_CTRL6，表 8-29 对其进行了介绍。

返回到汇总表。

用于配置半桥 6 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-21. IDRV_CTRL6 寄存器

7	6	5	4	3	2	1	0
IDRVP_6				IDRVN_6			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-29. IDRV_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_6	R/W	1111b	半桥 6 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO6)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_6	R/W	1111b	半桥 6 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO6)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.15 IDRV_CTRL7 寄存器（地址 = 15h）[复位 = FFh]

图 8-22 展示了 IDRV_CTRL7，表 8-30 对其进行了介绍。

返回到汇总表。

用于配置半桥 7 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-22. IDRV_CTRL7 寄存器

7	6	5	4	3	2	1	0
IDRVP_7				IDRVN_7			
R/W-1111b				R/W-1111b			

表 8-30. IDRV_CTRL7 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_7	R/W	1111b	半桥 7 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO7)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_7	R/W	1111b	半桥 7 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO7)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.16 IDRV_CTRL8 寄存器（地址 = 16h）[复位 = FFh]

图 8-23 展示了 IDRV_CTRL8，表 8-31 对其进行了介绍。

返回到汇总表。

用于配置半桥 8 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-23. IDRV_CTRL8 寄存器

7	6	5	4	3	2	1	0
IDRVP_8				IDRVN_8			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-31. IDRV_CTRL8 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_8	R/W	1111b	半桥 8 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO8)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_8	R/W	1111b	半桥 8 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO8)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.17 IDRV_CTRL9 寄存器（地址 = 17h）[复位 = 0h]

图 8-24 展示了 IDRV_CTRL9，表 8-32 对其进行了介绍。

返回到汇总表。

用于使能半桥 1-8 的超低拉电流和灌电流设置的控制寄存器。

图 8-24. IDRV_CTRL9 寄存器

7	6	5	4	3	2	1	0
IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	IDRV_LO5	IDRV_LO6	IDRV_LO7	IDRV_LO8
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-32. IDRV_CTRL9 寄存器字段说明

位	字段	类型	复位	说明
7	IDRV_LO1	R/W	0b	为半桥 1 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_1 和 IDRVN_1 使用标准值。 1b = IDRVP_1 和 IDRVN_1 使用低电流值。
6	IDRV_LO2	R/W	0b	为半桥 2 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_2 和 IDRVN_2 使用标准值。 1b = IDRVP_2 和 IDRVN_2 使用低电流值。

表 8-32. IDRV_CTRL9 寄存器字段说明（续）

位	字段	类型	复位	说明
5	IDRV_LO3	R/W	0b	为半桥 3 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_3 和 IDRVN_3 使用标准值。 1b = IDRVP_3 和 IDRVN_3 使用低电流值。
4	IDRV_LO4	R/W	0b	为半桥 4 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_4 和 IDRVN_4 使用标准值。 1b = IDRVP_4 和 IDRVN_4 使用低电流值。
3	IDRV_LO5	R/W	0b	为半桥 5 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_5 和 IDRVN_5 使用标准值。 1b = IDRVP_5 和 IDRVN_5 使用低电流值。
2	IDRV_LO6	R/W	0b	为半桥 6 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_6 和 IDRVN_6 使用标准值。 1b = IDRVP_6 和 IDRVN_6 使用低电流值。
1	IDRV_LO7	R/W	0b	为半桥 7 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_7 和 IDRVN_7 使用标准值。 1b = IDRVP_7 和 IDRVN_7 使用低电流值。
0	IDRV_LO8	R/W	0b	为半桥 8 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_8 和 IDRVN_8 使用标准值。 1b = IDRVP_8 和 IDRVN_8 使用低电流值。

8.3.2.18 DRV_CTRL1 寄存器（地址 = 18h）[复位 = 0h]

图 8-25 展示了 DRV_CTRL1，表 8-33 对其进行了介绍。

返回到汇总表。

用于设置 VGS 及 VDS 监控工作模式和配置的控制寄存器。

图 8-25. DRV_CTRL1 寄存器

7	6	5	4	3	2	1	0
VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND
R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b

表 8-33. DRV_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	VGS_MODE	R/W	00b	半桥 1-8 的 VGS 栅极故障监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5	VGS_IND	R/W	0b	VGS 故障独立关断模式配置。 0b = 禁用。VGS 故障将关断全部半桥驱动器。 1b = 已使能。VGS 栅极故障只会将相关的半桥驱动器关断。
4	VGS_LVL	R/W	0b	用于死区时间握手的 VGS 阈值比较器电平以及用于半桥驱动器的 VGS 故障监控器。 0b = 1.4V 1b = 1V
3	VGS_HS_DIS	R/W	0b	VGS 死区时间握手监控器禁用。 0b = 0x0 1b = 禁用。半桥转换仅基于 TDRIVE 及可编程数字死区时间延迟。

Copyright © 2026 Texas Instruments Incorporated

表 8-33. DRV_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
2-1	VDS_MODE	R/W	00b	半桥 1-8 的 VDS 过流监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
0	VDS_IND	R/W	0b	VDS 故障独立关断模式配置。 0b = 禁用。VDS 故障将关断全部半桥驱动器。 1b = 已使能。VDS 栅极故障只会将相关的半桥驱动器关断。

8.3.2.19 DRV_CTRL2 寄存器（地址 = 19h）[复位 = 12h]

图 8-26 展示了 DRV_CTRL2，表 8-34 对其进行了介绍。

返回到汇总表。

用于设置 tDRV、VGS 驱动及 VDS 监控半桥 1-4 的消隐时间的控制寄存器。

图 8-26. DRV_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED		VGS_TDRV_12			VGS_TDRV_34		
R-00b		R/W-010b			R/W-010b		

表 8-34. DRV_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	VGS_TDRV_12	R/W	010b	VGS 驱动及 VDS 监控半桥 1 和 2 的消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
2-0	VGS_TDRV_34	R/W	010b	VGS 驱动及 VDS 监控半桥 3 和 4 的消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs

8.3.2.20 DRV_CTRL3 寄存器（地址 = 1Ah）[复位 = 12h]

图 8-27 展示了 DRV_CTRL3，表 8-35 对其进行了介绍。

返回到汇总表。

用于设置 tDRV、VGS 驱动及 VDS 监控半桥 5-8 的消隐时间的控制寄存器。

图 8-27. DRV_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		VGS_TDRV_56			VGS_TDRV_78		

图 8-27. DRV_CTRL3 寄存器（续）

R-00b	R/W-010b	R/W-010b

表 8-35. DRV_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	VGS_TDRV_56	R/W	010b	VGS 驱动及 VDS 监控半桥 5 和 6 的消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
2-0	VGS_TDRV_78	R/W	010b	VGS 驱动及 VDS 监控半桥 7 和 8 的消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs

8.3.2.21 DRV_CTRL4 寄存器（地址 = 1Bh）[复位 = 0h]

图 8-28 展示了 DRV_CTRL4，表 8-36 对其进行了介绍。

返回到汇总表。

用于设置 VGS tDEAD_D 的控制寄存器，用于半桥 1-8 的额外数字死区时间插入。

图 8-28. DRV_CTRL4 寄存器

7	6	5	4	3	2	1	0
VGS_TDEAD_12		VGS_TDEAD_34		VGS_TDEAD_56		VGS_TDEAD_78	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-36. DRV_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-6	VGS_TDEAD_12	R/W	00b	半桥 1 及 2 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs
5-4	VGS_TDEAD_34	R/W	00b	半桥 3 及 4 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	VGS_TDEAD_56	R/W	00b	半桥 5 及 6 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs

Copyright © 2026 Texas Instruments Incorporated

表 8-36. DRV_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	VGS_TDEAD_78	R/W	00b	半桥 7 及 8 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs

8.3.2.22 DRV_CTRL5 寄存器（地址 = 1Ch）[复位 = AAh]

图 8-29 展示了 DRV_CTRL5，表 8-37 对其进行了介绍。

返回到汇总表。

控制寄存器，用于设置 VDS 和 tDS_DG，即半桥 1-8 的过电流监控抗尖峰脉冲时间。

图 8-29. DRV_CTRL5 寄存器

7	6	5	4	3	2	1	0
VDS_DG_12		VDS_DG_34		VDS_DG_56		VDS_DG_78	
R/W-10b		R/W-10b		R/W-10b		R/W-10b	

表 8-37. DRV_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_DG_12	R/W	10b	半桥 1 及 2 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
5-4	VDS_DG_34	R/W	10b	半桥 3 及 4 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	VDS_DG_56	R/W	10b	半桥 5 及 6 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
1-0	VDS_DG_78	R/W	10b	半桥 7 及 8 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

8.3.2.23 DRV_CTRL6 寄存器（地址 = 1Dh）[复位 = 0h]

图 8-30 展示了 DRV_CTRL6，表 8-38 对其进行了介绍。

返回到汇总表。

用于设置栅极下拉电流 (IDRVN) 以便响应半桥 1-8 的 VDS 过流故障的控制寄存器。

图 8-30. DRV_CTRL6 寄存器

7	6	5	4	3	2	1	0
VDS_IDRVN_12		VDS_IDRVN_34		VDS_IDRVN_56		VDS_IDRVN_78	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-38. DRV_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_IDRVN_12	R/W	00b	半桥 1 和 2 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
5-4	VDS_IDRVN_34	R/W	00b	半桥 3 和 4 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
3-2	VDS_IDRVN_56	R/W	00b	半桥 5 和 6 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
1-0	VDS_IDRVN_78	R/W	00b	半桥 7 和 8 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA

8.3.2.24 VDS_CTRL1 寄存器（地址 = 1Fh）[复位 = DDh]

图 8-31 展示了 VDS_CTRL1，表 8-39 对其进行了介绍。

返回到汇总表。

用于设置半桥 1 及 2 的 VDS 过流监控电压阈值的控制寄存器。

图 8-31. VDS_CTRL1 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_1				VDS_LVL_2			
R/W-1101b				R/W-1101b			

表 8-39. VDS_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_1	R/W	1101b	半桥 1 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

Copyright © 2026 Texas Instruments Incorporated

表 8-39. VDS_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	VDS_LVL_2	R/W	1101b	半桥 2 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.25 VDS_CTRL2 寄存器（地址 = 20h）[复位 = DDh]

图 8-32 展示了 VDS_CTRL2，表 8-40 对其进行了介绍。

返回到汇总表。

用于设置半桥 3 及 4 的 VDS 过流监控电压阈值的控制寄存器。

图 8-32. VDS_CTRL2 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_3				VDS_LVL_4			
R/W-1101b				R/W-1101b			

表 8-40. VDS_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_3	R/W	1101b	半桥 3 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

Copyright © 2026 Texas Instruments Incorporated

表 8-40. VDS_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	VDS_LVL_4	R/W	1101b	半桥 4 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.26 VDS_CTRL3 寄存器（地址 = 21h）[复位 = DDh]

图 8-33 展示了 VDS_CTRL3，表 8-41 对其进行了介绍。

返回到汇总表。

用于设置半桥 5 及 6 的 VDS 过流监控电压阈值的控制寄存器。

图 8-33. VDS_CTRL3 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_5				VDS_LVL_6			
R/W-1101b				R/W-1101b			

表 8-41. VDS_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_5	R/W	1101b	半桥 5 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

Copyright © 2026 Texas Instruments Incorporated

表 8-41. VDS_CTRL3 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	VDS_LVL_6	R/W	1101b	半桥 6 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.27 VDS_CTRL4 寄存器（地址 = 22h）[复位 = DDh]

图 8-34 展示了 VDS_CTRL4，表 8-42 对其进行了介绍。

返回到汇总表。

用于设置半桥 7 及 8 的 VDS 过流监控电压阈值的控制寄存器。

图 8-34. VDS_CTRL4 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_7				VDS_LVL_8			
R/W-1101b				R/W-1101b			

表 8-42. VDS_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_7	R/W	1101b	半桥 7 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

表 8-42. VDS_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	VDS_LVL_8	R/W	1101b	半桥 8 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.28 OLSC_CTRL1 寄存器（地址 = 23h）[复位 = 0h]

图 8-35 展示了 OLSC_CTRL1，表 8-43 对其进行了介绍。

返回到汇总表。

用于使能和禁用半桥 1-4 的离线诊断电流源的控制寄存器。

图 8-35. OLSC_CTRL1 寄存器

7	6	5	4	3	2	1	0
PU_SH1	PD_SH1	PU_SH2	PD_SH2	PU_SH3	PD_SH3	PU_SH4	PD_SH4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-43. OLSC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	PU_SH1	R/W	0b	半桥 1 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
6	PD_SH1	R/W	0b	半桥 1 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
5	PU_SH2	R/W	0b	半桥 2 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
4	PD_SH2	R/W	0b	半桥 2 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
3	PU_SH3	R/W	0b	半桥 3 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
2	PD_SH3	R/W	0b	半桥 3 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
1	PU_SH4	R/W	0b	半桥 4 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。

Copyright © 2026 Texas Instruments Incorporated

表 8-43. OLSC_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
0	PD_SH4	R/W	0b	半桥 4 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。

8.3.2.29 OLSC_CTRL2 寄存器（地址 = 24h）[复位 = 0h]

图 8-36 展示了 OLSC_CTRL2，表 8-44 对其进行了介绍。

返回到汇总表。

用于使能和禁用半桥 5-8 的离线诊断电流源的控制寄存器。

图 8-36. OLSC_CTRL2 寄存器

7	6	5	4	3	2	1	0
PU_SH5	PD_SH5	PU_SH6	PD_SH6	PU_SH7	PD_SH7	PU_SH8	PD_SH8
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-44. OLSC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7	PU_SH5	R/W	0b	半桥 5 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
6	PD_SH5	R/W	0b	半桥 5 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
5	PU_SH6	R/W	0b	半桥 6 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
4	PD_SH6	R/W	0b	半桥 6 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
3	PU_SH7	R/W	0b	半桥 7 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
2	PD_SH7	R/W	0b	半桥 7 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
1	PU_SH8	R/W	0b	半桥 8 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
0	PD_SH8	R/W	0b	半桥 8 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。

8.3.2.30 UVOV_CTRL 寄存器（地址 = 25h）[复位 = 14h]

UVOV_CTRL 如图 8-37 所示，并在表 8-45 中进行了说明。

返回到汇总表。

用于设置欠压及过压监控配置的控制寄存器。

图 8-37. UVOV_CTRL 寄存器

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 8-45. UVOV_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV_MODE	R/W	0b	PVDD 电源欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
6-5	PVDD_OV_MODE	R/W	00b	PVDD 电源过压监控模式。 00b = 锁存故障。 01b = 自动恢复。 10b = 仅警告报告。 11b = 禁用。
4-3	PVDD_OV_DG	R/W	10b	PVDD 电源过压监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
2	PVDD_OV_LVL	R/W	1b	PVDD 电源过压监控阈值。 0b = 21.5V 1b = 28.5V
1	VCP_UV_MODE	R/W	0b	VCP 电荷泵欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
0	VCP_UV_LVL	R/W	0b	VCP 电荷泵欠压监控阈值。 0b = 4.75V 1b = 6.25V

8.3.2.31 CSA_CTRL1 寄存器（地址 = 26h）[复位 = 9h]

图 8-38 展示了 CSA_CTRL1，表 8-46 对其进行了介绍。

返回到汇总表。

用于分流放大器 1 及 2 的增益和基准电压的控制寄存器。

图 8-38. CSA_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2	
R-00b		R/W-0b	R/W-01b		R/W-0b	R/W-01b	

表 8-46. CSA_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5	CSA_DIV_1	R/W	0b	电流分流放大器 1 基准电压分压器。 0b = AREF / 2 1b = AREF / 8
4-3	CSA_GAIN_1	R/W	01b	电流分流放大器 1 增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

Copyright © 2026 Texas Instruments Incorporated

表 8-46. CSA_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
2	CSA_DIV_2	R/W	0b	电流分流放大器 2 基准电压分压器。 0b = AREF / 2 1b = AREF / 8
1-0	CSA_GAIN_2	R/W	01b	电流分流放大器 2 增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

8.3.2.32 CSA_CTRL2 寄存器（地址 = 27h）[复位 = 0h]

图 8-39 展示了 CSA_CTRL2，表 8-47 对其进行了介绍。

返回到汇总表。

用于分流放大器 1 消隐配置的控制寄存器。

图 8-39. CSA_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_BLK_SEL_1			CSA_BLK_LVL_1		
R-00b		R/W-000b			R/W-000b		

表 8-47. CSA_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	CSA_BLK_SEL_1	R/W	000b	电流分流放大器 1 消隐触发源。 000b = 半桥 1 001b = 半桥 2 010b = 半桥 3 011b = 半桥 4 100b = 半桥 5 101b = 半桥 6 110b = 半桥 7 111b = 半桥 8
2-0	CSA_BLK_LVL_1	R/W	000b	电流分流放大器 1 消隐时间。tDRV 的百分比。 000b = 0 %，禁用 001b = 25 % 010b = 37.5 % 011b = 50 % 100b = 62.5 % 101b = 75 % 110b = 87.5 % 111b = 100 %

8.3.2.33 CSA_CTRL3 寄存器（地址 = 28h）[复位 = 20h]

图 8-40 展示了 CSA_CTRL3，表 8-48 对其进行了介绍。

返回到汇总表。

用于分流放大器 2 消隐配置的控制寄存器。

图 8-40. CSA_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_BLK_SEL_2			CSA_BLK_LVL_2		

图 8-40. CSA_CTRL3 寄存器（续）

R-00b	R/W-100b	R/W-000b

表 8-48. CSA_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	CSA_BLK_SEL_2	R/W	100b	电流分流放大器 2 消隐触发源。 000b = 半桥 1 001b = 半桥 2 010b = 半桥 3 011b = 半桥 4 100b = 半桥 5 101b = 半桥 6 110b = 半桥 7 111b = 半桥 8
2-0	CSA_BLK_LVL_2	R/W	000b	电流分流放大器 2 消隐时间。tDRV 的百分比。 000b = 0 %，禁用 001b = 25 % 010b = 37.5 % 011b = 50 % 100b = 62.5 % 101b = 75 % 110b = 87.5 % 111b = 100 %

Copyright © 2026 Texas Instruments Incorporated

8.3.3 DRV8718-Q1_CONTROL_ADV 寄存器

表 8-49 列出了 DRV8718-Q1_CONTROL_ADV 寄存器。表 8-49 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-49. DRV8718-Q1_CONTROL_ADV 寄存器

地址	首字母缩写词	寄存器名称	部分
2Ah	AGD_CTRL1	自适应栅极驱动通用控制功能	转到
2Bh	PDR_CTRL1	半桥 1 及 2 PDR 延迟和最大电流设置	转到
2Ch	PDR_CTRL2	半桥 3 及 4 PDR 延迟和最大电流设置	转到
2Dh	PDR_CTRL3	半桥 5 及 6 PDR 延迟和最大电流设置	转到
2Eh	PDR_CTRL4	半桥 7 及 8 PDR 延迟和最大电流设置	转到
2Fh	PDR_CTRL5	半桥 1 和 2 PDR 充电及放电初始设置。	转到
30h	PDR_CTRL6	半桥 3 和 4 PDR 充电及放电初始设置。	转到
31h	PDR_CTRL7	半桥 5 和 6 PDR 充电及放电初始设置。	转到
32h	PDR_CTRL8	半桥 7 和 8 PDR 充电及放电初始设置。	转到
33h	PDR_CTRL9	半桥 1-4 PDR 环路控制器增益	转到
34h	PDR_CTRL10	半桥 5-8 PDR 环路控制器增益	转到
35h	STC_CTRL1	半桥 1 和 2 STC 上升/下降时间及控制器增益	转到
36h	STC_CTRL2	半桥 3 和 4 STC 上升/下降时间及控制器增益	转到
37h	STC_CTRL3	半桥 5 和 6 STC 上升/下降时间及控制器增益	转到
38h	STC_CTRL4	半桥 7 和 8 STC 上升/下降时间及控制器增益	转到
39h	DCC_CTRL1	半桥 1-8 DCC 使能及手动控制	转到
3Ah	PST_CTRL1	半桥 1-8 续流及后充电延迟控制	转到
3Bh	PST_CTRL2	半桥 1-8 后置充电控制器增益	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-50 展示了适用于此部分中访问类型的代码。

表 8-50. DRV8718-Q1_CONTROL_ADV 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
- n		复位后的值或默认值

8.3.3.1 AGD_CTRL1 寄存器（地址 = 2Ah）[复位 = 40h]

图 8-41 展示了 AGD_CTRL1，表 8-51 对其进行了介绍。

返回到汇总表。

用于自适应栅极驱动电压阈值、下拉设置及有源半桥配置的控制寄存器。

图 8-41. AGD_CTRL1 寄存器

7	6	5	4	3	2	1	0
AGD_THR		AGD_ISTRONG		SET_AGD_12	SET_AGD_34	SET_AGD_56	SET_AGD_78
R/W-01b		R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-51. AGD_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	AGD_THR	R/W	01b	自适应栅极驱动器 VSH 阈值配置。 00b = 1V，VDRAIN - 0.5V 01b = 1V，VDRAIN - 1V 10b = 2V，VDRAIN - 1.5V 11b = 2V，VDRAIN - 2V
5-4	AGD_ISTRONG	R/W	00b	自适应栅极驱动器 ISTRONG 配置。 00b = ISTRONG 下拉电阻从初始 IDRVP_x 寄存器设置解码。 01b = 62mA 10b = 124mA 11b = RSVD
3	SET_AGD_12	R/W	0b	为自适应栅极驱动控制环路设置有源半桥。 0b = 半桥 1 1b = 半桥 2
2	SET_AGD_34	R/W	0b	为自适应栅极驱动控制环路设置有源半桥。 0b = 半桥 3 1b = 半桥 4
1	SET_AGD_56	R/W	0b	为自适应栅极驱动控制环路设置有源半桥。 0b = 半桥 5 1b = 半桥 6
0	SET_AGD_78	R/W	0b	为自适应栅极驱动控制环路设置有源半桥。 0b = 半桥 7 1b = 半桥 8

8.3.3.2 PDR_CTRL1 寄存器（地址 = 2Bh）[复位 = Ah]

图 8-42 展示了 PDR_CTRL1，表 8-52 对其进行了介绍。

返回到汇总表。

用于控制半桥 1 及 2 的 tON_OFF 传播延迟以及预充电/放电最大电流的寄存器。

图 8-42. PDR_CTRL1 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_12		T_DON_DOFF_12					
R/W-00b		R/W-001010b					

表 8-52. PDR_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_12	R/W	00b	半桥 1 和 2 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_12	R/W	001010b	半桥 1 和 2 的导通和关断延时时间。140 ns x T_DON_DOFF_12 [3:0] 默认时间：001010b (1.4μs)

8.3.3.3 PDR_CTRL2 寄存器（地址 = 2Ch）[复位 = Ah]

图 8-43 展示了 PDR_CTRL2，表 8-53 对其进行了介绍。

返回到汇总表。

用于控制半桥 3 及 4 的 tON_OFF 传播延迟以及预充电/放电最大电流的寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-43. PDR_CTRL2 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_34		T_DON_DOFF_34					
R/W-00b		R/W-001010b					

表 8-53. PDR_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_34	R/W	00b	半桥 3 和 4 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_34	R/W	001010b	半桥 3 和 4 的导通和关断延时时间。140 ns x T_DON_DOFF_34 [3:0] 默认时间：001010b (1.4μs)

8.3.3.4 PDR_CTRL3 寄存器（地址 = 2Dh）[复位 = Ah]

图 8-44 展示了 PDR_CTRL3，表 8-54 对其进行了介绍。

返回到汇总表。

用于控制半桥 5 及 6 的 tON_OFF 传播延迟以及预充电/放电最大电流的寄存器。

图 8-44. PDR_CTRL3 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_56		T_DON_DOFF_56					
R/W-00b		R/W-001010b					

表 8-54. PDR_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_56	R/W	00b	半桥 5 和 6 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_56	R/W	001010b	半桥 5 和 6 的导通和关断延时时间。140 ns x T_DON_DOFF_56 [3:0] 默认时间：001010b (1.4μs)

8.3.3.5 PDR_CTRL4 寄存器（地址 = 2Eh）[复位 = Ah]

图 8-45 展示了 PDR_CTRL4，表 8-55 对其进行了介绍。

返回到汇总表。

用于控制半桥 7 及 8 的 tON_OFF 传播延迟以及预充电/放电最大电流的寄存器。

图 8-45. PDR_CTRL4 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_78		T_DON_DOFF_78					
R/W-00b		R/W-001010b					

表 8-55. PDR_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_78	R/W	00b	半桥 7 和 8 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_78	R/W	001010b	半桥 7 和 8 的导通和关断延时时间。140 ns x T_DON_DOFF_78 [3:0] 默认时间：001010b (1.4μs)

8.3.3.6 PDR_CTRL5 寄存器（地址 = 2Fh）[复位 = F6h]

图 8-46 展示了 PDR_CTRL5，表 8-56 对其进行了介绍。

返回到汇总表。

用于半桥 1 和 2 充电及预充电初始设置的控制寄存器。

图 8-46. PDR_CTRL5 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_12		T_PRE_DCHR_12		PRE_CHR_INIT_12		PRE_DCHR_INIT_12	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-56. PDR_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_12	R/W	11b	半桥 1 和 2 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_12 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_12	R/W	11b	半桥 1 和 2 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_12 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_12	R/W	01b	半桥 1 和 2 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_12	R/W	10b	半桥 1 和 2 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.7 PDR_CTRL6 寄存器（地址 = 30h）[复位 = F6h]

图 8-47 展示了 PDR_CTRL6，表 8-57 对其进行了介绍。

返回到汇总表。

用于半桥 3 和 4 充电及预充电初始设置的控制寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-47. PDR_CTRL6 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_34		T_PRE_DCHR_34		PRE_CHR_INIT_34		PRE_DCHR_INIT_34	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-57. PDR_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_34	R/W	11b	半桥 3 和 4 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_34 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_34	R/W	11b	半桥 3 和 4 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_34 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_34	R/W	01b	半桥 3 和 4 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_34	R/W	10b	半桥 3 和 4 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.8 PDR_CTRL7 寄存器（地址 = 31h）[复位 = F6h]

图 8-48 展示了 PDR_CTRL7，表 8-58 对其进行了介绍。

返回到汇总表。

用于半桥 5 和 6 充电及预充电初始设置的控制寄存器。

图 8-48. PDR_CTRL7 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_56		T_PRE_DCHR_56		PRE_CHR_INIT_56		PRE_DCHR_INIT_56	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-58. PDR_CTRL7 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_56	R/W	11b	半桥 5 和 6 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_56 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_56	R/W	11b	半桥 5 和 6 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_56 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2

Copyright © 2026 Texas Instruments Incorporated

表 8-58. PDR_CTRL7 寄存器字段说明（续）

位	字段	类型	复位	说明
3-2	PRE_CHR_INIT_56	R/W	01b	半桥 5 和 6 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_56	R/W	10b	半桥 5 和 6 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.9 PDR_CTRL8 寄存器（地址 = 32h）[复位 = F6h]

图 8-49 展示了 PDR_CTRL8，表 8-59 对其进行了介绍。

返回到汇总表。

用于半桥 7 和 8 充电及预充电初始设置的控制寄存器。

图 8-49. PDR_CTRL8 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_78		T_PRE_DCHR_78		PRE_CHR_INIT_78		PRE_DCHR_INIT_78	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-59. PDR_CTRL8 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_78	R/W	11b	半桥 7 和 8 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_78 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_78	R/W	11b	半桥 7 和 8 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_78 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_78	R/W	01b	半桥 7 和 8 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_78	R/W	10b	半桥 7 和 8 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.10 PDR_CTRL9 寄存器（地址 = 33h）[复位 = 11h]

图 8-50 展示了 PDR_CTRL9，表 8-60 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

用于配置半桥 1-4 的 PDR Kp 环路控制器增益设置的控制寄存器。

图 8-50. PDR_CTRL9 寄存器

7	6	5	4	3	2	1	0
EN_PDR_12	PDR_ERR_12	KP_PDR_12		EN_PDR_34	PDR_ERR_34	KP_PDR_34	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-60. PDR_CTRL9 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PDR_12	R/W	0b	使能半桥 1 和 2 的 PDR 环路控制。
6	PDR_ERR_12	R/W	0b	半桥 1 和 2 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
5-4	KP_PDR_12	R/W	01b	半桥 1 和 2 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_34	R/W	0b	使能半桥 3 和 4 的 PDR 环路控制。
2	PDR_ERR_34	R/W	0b	半桥 3 和 4 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_PDR_34	R/W	01b	半桥 3 和 4 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.11 PDR_CTRL10 寄存器（地址 = 34h）[复位 = 11h]

图 8-51 展示了 PDR_CTRL10，表 8-61 对其进行了介绍。

返回到汇总表。

用于配置半桥 5-8 的 PDR Kp 环路控制器增益设置的控制寄存器。

图 8-51. PDR_CTRL10 寄存器

7	6	5	4	3	2	1	0
EN_PDR_56	PDR_ERR_56	KP_PDR_56		EN_PDR_78	PDR_ERR_78	KP_PDR_78	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-61. PDR_CTRL10 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PDR_56	R/W	0b	使能半桥 5 和 6 的 PDR 环路控制。
6	PDR_ERR_56	R/W	0b	半桥 5 和 6 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
5-4	KP_PDR_56	R/W	01b	半桥 5 和 6 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_78	R/W	0b	使能半桥 7 和 8 的 PDR 环路控制。

表 8-61. PDR_CTRL10 寄存器字段说明（续）

位	字段	类型	复位	说明
2	PDR_ERR_78	R/W	0b	半桥 7 和 8 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_PDR_78	R/W	01b	半桥 7 和 8 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.12 STC_CTRL1 寄存器（地址 = 35h）[复位 = 23h]

图 8-52 展示了 STC_CTRL1，表 8-62 对其进行了介绍。

返回到汇总表。

用于配置半桥 1 和 2 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-52. STC_CTRL1 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_12				EN_STC_12	STC_ERR_12	KP_STC_12	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-62. STC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_12	R/W	0010b	设置半桥 1 和 2 的开关节点 VSH 上升和下降时间。 0000b = 0.35μs 0001b = 0.56μs 0010b = 0.77μs 0011b = 0.98μs 0100b = 1.33μs 0101b = 1.68μs 0110b = 2.03μs 0111b = 2.45μs 1000b = 2.94μs 1001b = 3.99μs 1010b = 4.97μs 1011b = 5.95μs 1100b = 7.98μs 1101b = 9.94μs 1110b = 11.97μs 1111b = 15.96μs
3	EN_STC_12	R/W	0b	使能半桥 1 和 2 的 STC 环路控制。
2	STC_ERR_12	R/W	0b	半桥 1 和 2 的 STC 环路误差限制 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_12	R/W	11b	半桥 1 和 2 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.13 STC_CTRL2 寄存器（地址 = 36h）[复位 = 23h]

图 8-53 展示了 STC_CTRL2，表 8-63 对其进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

用于配置半桥 3 和 4 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-53. STC_CTRL2 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_34				EN_STC_34	STC_ERR_34	KP_STC_34	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-63. STC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_34	R/W	0010b	设置半桥 3 和 4 的开关节点 VSH 上升和下降时间。 0000b = 0.35µs 0001b = 0.56µs 0010b = 0.77µs 0011b = 0.98µs 0100b = 1.33µs 0101b = 1.68µs 0110b = 2.03µs 0111b = 2.45µs 1000b = 2.94µs 1001b = 3.99µs 1010b = 4.97µs 1011b = 5.95µs 1100b = 7.98µs 1101b = 9.94µs 1110b = 11.97µs 1111b = 15.96µs
3	EN_STC_34	R/W	0b	使能半桥 3 和 4 的 STC 环路控制。
2	STC_ERR_34	R/W	0b	半桥 3 和 4 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_34	R/W	11b	半桥 3 和 4 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.14 STC_CTRL3 寄存器（地址 = 37h）[复位 = 23h]

图 8-54 展示了 STC_CTRL3，表 8-64 对其进行了介绍。

返回到汇总表。

用于配置半桥 5 和 6 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-54. STC_CTRL3 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_56				EN_STC_56	STC_ERR_56	KP_STC_56	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-64. STC_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_56	R/W	0010b	设置半桥 5 和 6 的开关节点 VSH 上升和下降时间。 0000b = 0.35μs 0001b = 0.56μs 0010b = 0.77μs 0011b = 0.98μs 0100b = 1.33μs 0101b = 1.68μs 0110b = 2.03μs 0111b = 2.45μs 1000b = 2.94μs 1001b = 3.99μs 1010b = 4.97μs 1011b = 5.95μs 1100b = 7.98μs 1101b = 9.94μs 1110b = 11.97μs 1111b = 15.96μs
3	EN_STC_56	R/W	0b	使能半桥 5 和 6 的 STC 环路控制。
2	STC_ERR_56	R/W	0b	半桥 5 和 6 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_56	R/W	11b	半桥 5 和 6 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.15 STC_CTRL4 寄存器（地址 = 38h）[复位 = 23h]

图 8-55 展示了 STC_CTRL4，表 8-65 对其进行了介绍。

返回到汇总表。

用于配置半桥 7 和 8 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-55. STC_CTRL4 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_78				EN_STC_78	STC_ERR_78	KP_STC_78	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-65. STC_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_78	R/W	0010b	设置半桥 7 和 8 的开关节点 VSH 上升和下降时间。 0000b = 0.35μs 0001b = 0.56μs 0010b = 0.77μs 0011b = 0.98μs 0100b = 1.33μs 0101b = 1.68μs 0110b = 2.03μs 0111b = 2.45μs 1000b = 2.94μs 1001b = 3.99μs 1010b = 4.97μs 1011b = 5.95μs 1100b = 7.98μs 1101b = 9.94μs 1110b = 11.97μs 1111b = 15.96μs
3	EN_STC_78	R/W	0b	使能半桥 7 和 8 的 STC 环路控制。
2	STC_ERR_78	R/W	0b	半桥 7 和 8 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_78	R/W	11b	半桥 7 和 8 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.16 DCC_CTRL1 寄存器（地址 = 39h）[复位 = 0h]

图 8-56 展示了 DCC_CTRL1，表 8-66 对其进行了介绍。

返回到汇总表。

用于使能 DCC 环路及半桥 1-8 手动配置的控制寄存器。

图 8-56. DCC_CTRL1 寄存器

7	6	5	4	3	2	1	0
EN_DCC_12	EN_DCC_34	EN_DCC_56	EN_DCC_78	IDIR_MAN_12	IDIR_MAN_34	IDIR_MAN_56	IDIR_MAN_78
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-66. DCC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DCC_12	R/W	0b	使能半桥 1 和 2 的占空比补偿。
6	EN_DCC_34	R/W	0b	使能半桥 3 和 4 的占空比补偿。
5	EN_DCC_56	R/W	0b	使能半桥 5 和 6 的占空比补偿。
4	EN_DCC_78	R/W	0b	使能半桥 7 和 8 的占空比补偿。
3	IDIR_MAN_12	R/W	0b	半桥 1 和 2 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）
2	IDIR_MAN_34	R/W	0b	半桥 3 和 4 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）

表 8-66. DCC_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
1	IDIR_MAN_56	R/W	0b	半桥 5 和 6 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）
0	IDIR_MAN_78	R/W	0b	半桥 7 和 8 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）

8.3.3.17 PST_CTRL1 寄存器（地址 = 3Ah）[复位 = Fh]

图 8-57 展示了 PST_CTRL1，表 8-67 对其进行了介绍。

返回到汇总表。

用于配置半桥 1-8 的最大续流电流及后充电延迟的控制寄存器。

图 8-57. PST_CTRL1 寄存器

7	6	5	4	3	2	1	0
FW_MAX_12	FW_MAX_34	FW_MAX_56	FW_MAX_78	EN_PST_DLY_12	EN_PST_DLY_34	EN_PST_DLY_56	EN_PST_DLY_78
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-67. PST_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	FW_MAX_12	R/W	0b	用于半桥 1 和 2 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_12 [1:0] 1b = 64mA
6	FW_MAX_34	R/W	0b	用于半桥 3 和 4 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_34 [1:0] 1b = 64mA
5	FW_MAX_56	R/W	0b	用于半桥 5 和 6 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_56 [1:0] 1b = 64mA
4	FW_MAX_78	R/W	0b	用于半桥 7 和 8 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_78 [1:0] 1b = 64mA
3	EN_PST_DLY_12	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_12 - T_PRE_CHR_12。
2	EN_PST_DLY_34	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_34 - T_PRE_CHR_34。
1	EN_PST_DLY_56	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_56 - T_PRE_CHR_56。
0	EN_PST_DLY_78	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_78 - T_PRE_CHR_78。

8.3.3.18 PST_CTRL2 寄存器（地址 = 3Bh）[复位 = 55h]

图 8-58 展示了 PST_CTRL2，表 8-68 对其进行了介绍。

返回到汇总表。

用于配置半桥 1-8 的后充电 Kp 环路控制器增益设置的控制寄存器。

图 8-58. PST_CTRL2 寄存器

7	6	5	4	3	2	1	0
KP_PST_12		KP_PST_34		KP_PST_56		KP_PST_78	
R/W-01b		R/W-01b		R/W-01b		R/W-01b	

Copyright © 2026 Texas Instruments Incorporated

图 8-58. PST_CTRL2 寄存器（续）

表 8-68. PST_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	KP_PST_12	R/W	01b	半桥 1 和 2 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
5-4	KP_PST_34	R/W	01b	半桥 3 和 4 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
3-2	KP_PST_56	R/W	01b	半桥 5 和 6 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
1-0	KP_PST_78	R/W	01b	半桥 7 和 8 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15

8.3.4 DRV8718-Q1_STATUS_ADV 寄存器

表 8-69 列出了 DRV8718-Q1_STATUS_ADV 寄存器。表 8-69 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-69. DRV8718-Q1_STATUS_ADV 寄存器

地址	首字母缩写词	寄存器名称	部分
3Ch	SGD_STAT1	半桥 1-8 电流极性指示器	转到
3Dh	SGD_STAT2	半桥 1-8 PDR 下溢及上溢指示器	转到
3Eh	SGD_STAT3	半桥 1-8 STC 故障指示器	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-70 展示了适用于此部分中访问类型的代码。

表 8-70. DRV8718-Q1_STATUS_ADV 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
- n		复位后的值或默认值

8.3.4.1 SGD_STAT1 寄存器（地址 = 3Ch）[复位 = 0h]

图 8-59 展示了 SGD_STAT1，表 8-71 对其进行了介绍。

返回到汇总表。

指示半桥 1-8 的电流极性的状态寄存器。

图 8-59. SGD_STAT1 寄存器

7	6	5	4	3	2	1	0
IDIR_12	IDIR_34	IDIR_56	IDIR_78	IDIR_WARN_12	IDIR_WARN_34	IDIR_WARN_56	IDIR_WARN_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-71. SGD_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	IDIR_12	R	0b	指示的半桥 1 和 2 的电流方向。
6	IDIR_34	R	0b	指示的半桥 3 和 4 的电流方向。
5	IDIR_56	R	0b	指示的半桥 5 和 6 的电流方向。
4	IDIR_78	R	0b	指示的半桥 7 和 8 的电流方向。
3	IDIR_WARN_12	R	0b	指示半桥 1 和 2 的电流方向未知。
2	IDIR_WARN_34	R	0b	指示半桥 3 和 4 的电流方向未知。
1	IDIR_WARN_56	R	0b	指示半桥 5 和 6 的电流方向未知。
0	IDIR_WARN_78	R	0b	指示半桥 7 和 8 的电流方向未知。

8.3.4.2 SGD_STAT2 寄存器（地址 = 3Dh）[复位 = 0h]

图 8-60 展示了 SGD_STAT2，表 8-72 对其进行了介绍。

返回到汇总表。

指示半桥 1-8 的 PDR 环路控制中的下溢及上溢的状态寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-60. SGD_STAT2 寄存器

7	6	5	4	3	2	1	0
PCHR_WARN_12	PCHR_WARN_34	PCHR_WARN_56	PCHR_WARN_78	PDCHR_WARN_12	PDCHR_WARN_34	PDCHR_WARN_56	PDCHR_WARN_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-72. SGD_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	PCHR_WARN_12	R	0b	指示半桥 1 和 2 的预充电下溢或溢出故障。
6	PCHR_WARN_34	R	0b	指示半桥 3 和 4 的预充电下溢或溢出故障。
5	PCHR_WARN_56	R	0b	指示半桥 5 和 6 的预充电下溢或溢出故障。
4	PCHR_WARN_78	R	0b	指示半桥 7 和 8 的预充电下溢或溢出故障。
3	PDCHR_WARN_12	R	0b	指示半桥 1 和 2 的预放电下溢或溢出故障。
2	PDCHR_WARN_34	R	0b	指示半桥 3 和 4 的预放电下溢或溢出故障。
1	PDCHR_WARN_56	R	0b	指示半桥 5 和 6 的预放电下溢或溢出故障。
0	PDCHR_WARN_78	R	0b	指示半桥 7 和 8 的预放电下溢或溢出故障。

8.3.4.3 SGD_STAT3 寄存器（地址 = 3Eh）[复位 = 0h]

图 8-61 展示了 SGD_STAT3，表 8-73 对其进行了介绍。

返回到汇总表。

半桥 1-8 的状态寄存器指示 STC 上升及下降时间溢出。

图 8-61. SGD_STAT3 寄存器

7	6	5	4	3	2	1	0
STC_WARN_F_12	STC_WARN_F_34	STC_WARN_F_56	STC_WARN_F_78	STC_WARN_R_12	STC_WARN_R_34	STC_WARN_R_56	STC_WARN_R_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-73. SGD_STAT3 寄存器字段说明

位	字段	类型	复位	说明
7	STC_WARN_F_12	R	0b	表示半桥 1 和 2 的下降压摆时间 TDRV 溢出。
6	STC_WARN_F_34	R	0b	表示半桥 3 和 4 的下降压摆时间 TDRV 溢出。
5	STC_WARN_F_56	R	0b	表示半桥 5 和 6 的下降压摆时间 TDRV 溢出。
4	STC_WARN_F_78	R	0b	表示半桥 7 和 8 的下降压摆时间 TDRV 溢出。
3	STC_WARN_R_12	R	0b	指示半桥 1 和 2 的上升压摆时间 TDRV 溢出。
2	STC_WARN_R_34	R	0b	指示半桥 3 和 4 的上升压摆时间 TDRV 溢出。
1	STC_WARN_R_56	R	0b	指示半桥 5 和 6 的上升压摆时间 TDRV 溢出。
0	STC_WARN_R_78	R	0b	指示半桥 7 和 8 的上升压摆时间 TDRV 溢出。

Copyright © 2026 Texas Instruments Incorporated

8.4 DRV8714-Q1 寄存器说明

Copyright © 2026 Texas Instruments Incorporated

8.4.1 DRV8714-Q1_STATUS 寄存器

表 8-74 列出了 DRV8714-Q1_STATUS 寄存器。表 8-74 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-74. DRV8714-Q1_STATUS 寄存器

地址	首字母缩写词	寄存器名称	部分
0h	IC_STAT1	全局故障及警告状态指示器	转到
1h	VDS_STAT1	半桥 1-4 VDS 过流故障状态指示器	转到
3h	VGS_STAT1	半桥 1-4 VGS 栅极故障状态指示器	转到
5h	IC_STAT2	电压、温度及接口故障状态指示器	转到
6h	IC_STAT3	器件型号 ID 状态寄存器	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-75 展示了适用于此部分中访问类型的代码。

表 8-75. DRV8714-Q1_STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
- n		复位后的值或默认值

8.4.1.1 IC_STAT1 寄存器（地址 = 0h）[复位 = C0h]

图 8-62 展示了 IC_STAT1，表 8-76 对其进行了介绍。

返回到汇总表。

用于全局故障和警告指示器的状态寄存器。其余状态寄存器中提供了详细故障信息。

图 8-62. IC_STAT1 寄存器

7	6	5	4	3	2	1	0
SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT_WD_AGD
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-76. IC_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	SPI_OK	R	1b	指示是否检测到 SPI 通信故障。 0b = 前面的帧中有一个或多个 SCLK_FLT。 1b = 未检测到 SPI 故障
6	POR	R	1b	表明存在上电复位条件。 0b = 未检测到上电复位条件。 1b = 检测到上电复位条件。
5	FAULT	R	0b	故障指示器。对应 nFAULT 引脚。
4	WARN	R	0b	警告指示器。
3	DS_GS	R	0b	VDS 和 VGS 故障指示器的逻辑 OR。
2	UV	R	0b	欠压指示器。
1	OV	R	0b	过压指示器。
0	OT_WD_AGD	R	0b	OTW、OTSD、WD_FLT、IDIR_WARN、PCHR_WARN、PDCHR_WARN 和 STC_WARN 指示器的逻辑 OR 运算结果。

8.4.1.2 VDS_STAT1 寄存器（地址 = 1h）[复位 = 0h]

图 8-63 展示了 VDS_STAT1，表 8-77 对其进行了介绍。

返回到汇总表。

半桥 1-4 的特定 MOSFET VDS 过流故障所指示的状态寄存器。

图 8-63. VDS_STAT1 寄存器

7	6	5	4	3	2	1	0
VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-77. VDS_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	VDS_H1	R	0b	表明高侧 1 MOSFET 上存在 VDS 过流故障。
6	VDS_L1	R	0b	表明低侧 1 MOSFET 上存在 VDS 过流故障。
5	VDS_H2	R	0b	表明高侧 2 MOSFET 上存在 VDS 过流故障。
4	VDS_L2	R	0b	表明低侧 2 MOSFET 上存在 VDS 过流故障。
3	VDS_H3	R	0b	表明高侧 3 MOSFET 上存在 VDS 过流故障。
2	VDS_L3	R	0b	表明低侧 3 MOSFET 上存在 VDS 过流故障。
1	VDS_H4	R	0b	表明高侧 4 MOSFET 上存在 VDS 过流故障。
0	VDS_L4	R	0b	表明低侧 4 MOSFET 上存在 VDS 过流故障。

8.4.1.3 VGS_STAT1 寄存器（地址 = 3h）[复位 = 0h]

图 8-64 展示了 VGS_STAT1，表 8-78 对其进行了介绍。

返回到汇总表。

半桥 1-4 的特定 MOSFET VGS 栅极故障指示的状态寄存器。

图 8-64. VGS_STAT1 寄存器

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-78. VGS_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_H1	R	0b	表明高侧 1 MOSFET 上存在 VGS 栅极故障。
6	VGS_L1	R	0b	表明低侧 1 MOSFET 上存在 VGS 栅极故障。
5	VGS_H2	R	0b	表明高侧 2 MOSFET 上存在 VGS 栅极故障。
4	VGS_L2	R	0b	表明低侧 2 MOSFET 上存在 VGS 栅极故障。
3	VGS_H3	R	0b	表明高侧 3 MOSFET 上存在 VGS 栅极故障。
2	VGS_L3	R	0b	表明低侧 3 MOSFET 上存在 VGS 栅极故障。
1	VGS_H4	R	0b	表明高侧 4 MOSFET 上存在 VGS 栅极故障。
0	VGS_L4	R	0b	表明低侧 4 MOSFET 上存在 VGS 栅极故障。

Copyright © 2026 Texas Instruments Incorporated

8.4.1.4 IC_STAT2 寄存器（地址 = 5h）[复位 = 0h]

图 8-65 展示了 IC_STAT2，表 8-79 对其进行了介绍。

返回到汇总表。

用于指示特定欠压、过压、过热及接口故障的状态寄存器。

图 8-65. IC_STAT2 寄存器

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RESERVED
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-79. IC_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV	R	0b	表明 PVDD 引脚上存在欠压故障。
6	PVDD_OV	R	0b	表明 PVDD 引脚上存在过压故障。
5	VCP_UV	R	0b	表明 VCP 引脚上存在欠压故障。
4	OTW	R	0b	表明过热警告。
3	OTSD	R	0b	表明过热关断。
2	WD_FLT	R	0b	表示看门狗计时器故障。
1	SCLK_FLT	R	0b	当事务帧中的 SCLK 脉冲数不等于 16 时，表示 SPI 时钟（帧）故障。未在 FAULT 或 nFAULT 引脚上报告。
0	RESERVED	R	0b	保留

8.4.1.5 IC_STAT3 寄存器（地址 = 6h）[复位 = 4h]

图 8-66 展示了 IC_STAT3，表 8-80 对其进行了介绍。

返回到汇总表。

具有 DRV8718-Q1 或 DRV8714-Q1 器件 ID 的状态寄存器。

图 8-66. IC_STAT3 寄存器

7	6	5	4	3	2	1	0
RESERVED				IC_ID			
R-0000b				R-0100b			

表 8-80. IC_STAT3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000b	保留
3-0	IC_ID	R	0100b	器件标识字段。 0100b = DRV8714-Q1，4 半桥栅极驱动器。 1000b = DRV8718-Q1，8 半桥栅极驱动器。

8.4.2 DRV8714-Q1_CONTROL 寄存器

表 8-81 列出了 DRV8714-Q1_CONTROL 寄存器。表 8-81 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-81. DRV8714-Q1_CONTROL 寄存器

地址	首字母缩写词	寄存器名称	部分
7h	IC_CTRL1	器件通用功能控制寄存器 1	转到
8h	IC_CTRL2	器件通用功能控制寄存器 2	转到
9h	BRG_CTRL1	半桥 1-4 输出状态控制	转到
Ah	BRG_CTRL2	H 桥 1/2 和 3/4 控制	转到
Bh	PWM_CTRL1	半桥 1-4 PWM 映射控制	转到
Ch	PWM_CTRL2	H 桥 1/2 及 3/4 配置	转到
Dh	PWM_CTRL3	半桥 1-4 高侧或者低侧驱动控制	转到
Eh	PWM_CTRL4	半桥 1-4 续流配置	转到
Fh	IDRV_CTRL1	半桥 1 栅极驱动拉/灌电流	转到
10h	IDRV_CTRL2	半桥 2 栅极驱动拉/灌电流	转到
11h	IDRV_CTRL3	半桥 3 栅极驱动拉/灌电流	转到
12h	IDRV_CTRL4	半桥 4 栅极驱动拉/灌电流	转到
17h	IDRV_CTRL9	半桥 1-4 栅极驱动低电流控制	转到
18h	DRV_CTRL1	栅极驱动器 VGS 及 VDS 监控配置	转到
19h	DRV_CTRL2	半桥 1 和 2 VGS 及 VDS tDRV 配置	转到
1Ah	DRV_CTRL3	半桥 3 和 4 VGS 及 VDS tDRV 配置	转到
1Bh	DRV_CTRL4	半桥 1-4 VGS tDEAD_D 配置	转到
1Ch	DRV_CTRL5	半桥 1-4 VDS tDS_DG 配置	转到
1Dh	DRV_CTRL6	半桥 1-4 VDS 故障下拉电流配置	转到
1Fh	VDS_CTRL1	半桥 1 及 2 VDS 过流阈值	转到
20h	VDS_CTRL2	半桥 3 及 4 VDS 过流阈值	转到
23h	OLSC_CTRL1	半桥 1-4 离线诊断控制	转到
25h	UVOV_CTRL	欠压及过压监控器配置。	转到
26h	CSA_CTRL1	分流放大器 1 及 2 配置	转到
27h	CSA_CTRL2	分流放大器 1 消隐配置	转到
28h	CSA_CTRL3	分流放大器 2 消隐配置	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-82 展示了适用于此部分中访问类型的代码。

表 8-82. DRV8714-Q1_CONTROL 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
- n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

8.4.2.1 IC_CTRL1 寄存器（地址 = 7h）[复位 = 6h]

图 8-67 展示了 IC_CTRL1，表 8-83 对其进行了介绍。

返回到汇总表。

用于驱动器和诊断使能、PWM 控制模式、SPI 锁定及清除故障命令的控制寄存器。

图 8-67. IC_CTRL1 寄存器

7	6	5	4	3	2	1	0
EN_DRV	EN_OLSC	BRG_MODE		LOCK			CLR_FLT
R/W-0b	R/W-0b	R/W-00b		R/W-011b			R/W-0b

表 8-83. IC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DRV	R/W	0b	使能栅极驱动器。 0b = 禁用栅极驱动器输出并使能无源下拉电阻。 1b = 栅极驱动器输出已启用。
6	EN_OLSC	R/W	0b	使能离线开路负载和短路诊断。 0b = 禁用。 1b = VDS 监控器设置为实时电压监控模式并使能离线诊断电流源。
5-4	BRG_MODE	R/W	00b	桥 PWM 控制模式。 00b = 独立半桥 01b = H 桥 PH/EN 10b = H 桥 PWM 11b = 电磁阀控制
3-1	LOCK	R/W	011b	锁定和解锁控制寄存器。未列出的位设置无效。 011b = 解锁所有控制寄存器。 110b = 通过忽略除 LOCK 寄存器之外的后续写入来锁定控制寄存器。
0	CLR_FLT	R/W	0b	清除锁存故障状态信息。 0b = 默认状态。 1b = 清除锁存故障位，完成后复位为 0b。还会清除 SPI 故障和看门狗故障状态。

8.4.2.2 IC_CTRL2 寄存器（地址 = 8h）[复位 = 2h]

图 8-68 展示了 IC_CTRL2，表 8-84 对其进行了介绍。

返回到汇总表。

用于引脚模式、电荷泵模式及看门狗的控制寄存器。

图 8-68. IC_CTRL2 寄存器

7	6	5	4	3	2	1	0
DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST
R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-1b	R/W-0b

表 8-84. IC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7	DIS_SSC	R/W	0b	使能展频时钟 0b = 已启用。 1b = 禁用。
6	DRVOFF_nFLT	R/W	0b	设置 DRVOFF/nFLT 多功能引脚模式。 0b = 引脚用作 DRVOFF 全局驱动器禁用。 1b = 引脚用作 nFLT 开漏故障中断输出。

表 8-84. IC_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	CP_MODE	R/W	00b	电荷泵工作模式。 00b = 三倍器和倍频器模式之间自动切换。 01b = 始终为倍频器模式。 10b = 始终为三倍器模式。 11b = RSVD
3	WD_EN	R/W	0b	看门狗计时器使能。 0b = 看门狗计时器已禁用。 1b = 看门狗计时器已使能。
2	WD_FLT_M	R/W	0b	看门狗故障模式。看门狗故障由 CLR_FLT 清除。 0b = 向 WD_FLT 和 WARN 寄存器位报告看门狗故障。栅极驱动器保持启用状态，nFAULT 未被断言。 1b = 向 WD_FLT、FAULT 寄存器位和 nFAULT 引脚报告看门狗故障。栅极驱动器都被禁用以响应看门狗故障。
1	WD_WIN	R/W	1b	看门狗计时器窗口。 0b = 4 至 40ms 1b = 10 至 100ms
0	WD_RST	R/W	0b	看门狗重启。上电后默认为 0b。将该位反转以重启看门狗计时器。写入后，该位将反映新的取反值。

8.4.2.3 BRG_CTRL1 寄存器（地址 = 9h）[复位 = 0h]

图 8-69 展示了 BRG_CTRL1，表 8-85 对其进行了介绍。

返回到汇总表。

用于在独立半桥模式 (BRG_MODE = 00b) 下设置半桥 1-4 输出状态的控制寄存器。

图 8-69. BRG_CTRL1 寄存器

7	6	5	4	3	2	1	0
HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-85. BRG_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB1_CTRL	R/W	00b	半桥 1 输出状态控制。 00b = 高阻抗 (HI-Z)。GH1 和 GL1 下拉电阻。 01b = 驱动低侧 (LO)。GH1 下拉电阻和 GL1 上拉电阻。 10b = 驱动高侧 (HI)。GH1 上拉电阻和 GL1 下拉电阻。 11b = 输入 PWM 控制。HB1_PWM、HB1_HL 和 HB1_FW。
5-4	HB2_CTRL	R/W	00b	半桥 2 输出状态控制。 00b = 高阻抗 (HI-Z)。GH2 和 GL2 下拉电阻。 01b = 驱动低侧 (LO)。GH2 下拉电阻和 GL2 上拉电阻。 10b = 驱动高侧 (HI)。GH2 上拉电阻和 GL2 下拉电阻。 11b = 输入 PWM 控制。HB2_PWM、HB2_HL 和 HB2_FW。
3-2	HB3_CTRL	R/W	00b	半桥 3 输出状态控制。 00b = 高阻抗 (HI-Z)。GH3 和 GL3 下拉电阻。 01b = 驱动低侧 (LO)。GH3 下拉电阻和 GL3 上拉电阻。 10b = 驱动高侧 (HI)。GH3 上拉电阻和 GL3 下拉电阻。 11b = 输入 PWM 控制。HB3_PWM、HB3_HL 和 HB3_FW。

Copyright © 2026 Texas Instruments Incorporated

表 8-85. BRG_CTRL1 寄存器字段说明 （续）

位	字段	类型	复位	说明
1-0	HB4_CTRL	R/W	00b	半桥 4 输出状态控制。 00b = 高阻抗 (HI-Z)。GH4 和 GL4 下拉电阻。 01b = 驱动低侧 (LO)。GH4 下拉电阻和 GL4 上拉电阻。 10b = 驱动高侧 (HI)。GH4 上拉电阻和 GL4 下拉电阻。 11b = 输入 PWM 控制。HB4_PWM、HB4_HL 和 HB4_FW。

8.4.2.4 BRG_CTRL2 寄存器（地址 = Ah）[复位 = 0h]

图 8-70 展示了 BRG_CTRL2，表 8-86 对其进行了介绍。

返回到汇总表。

用于在 H 桥控制模式下设置 H 桥 1/2 和 3/4 输出状态的控制寄存器（BRG_MODE = 01b、10b 或 11b）

图 8-70. BRG_CTRL2 寄存器

7	6	5	4	3	2	1	0
S_IN1/EN1	S_IN2/PH1	HIZ1	RESERVED	S_IN3/EN2	S_IN4/PH2	HIZ2	RESERVED
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b

表 8-86. BRG_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7	S_IN1/EN1	R/W	0b	用于 IN1/EN1 输入信号的控制位。通过 IN1/EN1_MODE 位使能。
6	S_IN2/PH1	R/W	0b	用于 IN2/PH1 输入信号的控制位。通过 IN2/PH1_MODE 位使能。
5	HIZ1	R/W	0b	用于 HIZ1 输入信号的控制位。 0b =输出跟随 IN1/EN1 及 IN2/PH1 信号。 1b = 使能栅极驱动器下拉电阻。半桥 1 和 2 高阻态
4	RESERVED	R	0b	保留
3	S_IN3/EN2	R/W	0b	用于 IN3/EN2 输入信号的控制位。通过 IN3/EN2_MODE 位使能。
2	S_IN4/PH2	R/W	0b	用于 IN4/PH2 输入信号的控制位。通过 IN4/PH2_MODE 位使能。
1	HIZ2	R/W	0b	用于 HIZ2 输入信号的控制位。 0b =输出跟随 IN3/EN2 及 IN4/PH2 信号。 1b = 使能栅极驱动器下拉电阻。半桥 3 和 4 高阻态
0	RESERVED	R	0b	保留

8.4.2.5 PWM_CTRL1 寄存器（地址 = Bh）[复位 = 5h]

图 8-71 展示了 PWM_CTRL1，表 8-87 对其进行了介绍。

返回到汇总表。

用于在独立半桥模式 (BRG_MODE = 00b) 下映射半桥 1-4 的输入 PWM 源的控制寄存器。

图 8-71. PWM_CTRL1 寄存器

7	6	5	4	3	2	1	0
HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM	
R/W-00b		R/W-00b		R/W-01b		R/W-01b	

表 8-87. PWM_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	HB1_PWM	R/W	00b	为半桥 1 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
5-4	HB2_PWM	R/W	00b	为半桥 2 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
3-2	HB3_PWM	R/W	01b	为半桥 3 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB4_PWM	R/W	01b	为半桥 4 配置 PWM 输入源。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.4.2.6 PWM_CTRL2 寄存器（地址 = Ch）[复位 = 0h]

图 8-72 展示了 PWM_CTRL2，表 8-88 对其进行了介绍。

返回到汇总表。

用于在 H 桥控制模式下配置 H 桥 1/2 及 3/4 的 PWM 方法的控制寄存器（BRG_MODE = 01b、10b 或 11b）

图 8-72. PWM_CTRL2 寄存器

7	6	5	4	3	2	1	0
IN1/ EN1_MODE	IN2/ PH1_MODE	FW1	RESERVED	IN3/ EN2_MODE	IN4/ PH2_MODE	FW2	RESERVED
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b

表 8-88. PWM_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7	IN1/EN1_MODE	R/W	0b	IN1/EN1 控制模式。 0b = IN1/EN1 信号来自 IN1/EN1 引脚。 1b = IN1/EN1 信号来自 S_IN1/EN1 位。
6	IN2/PH1_MODE	R/W	0b	IN2/PH1 控制模式。 0b = IN2/PH1 信号来自 IN2/PH1 引脚。 1b = IN2/PH1 信号来自 S_IN2/PH1 位。
5	FW1	R/W	0b	H 桥 1 控制续流设置。 0b = 低侧续流。 1b = 高侧续流。
4	RESERVED	R	0b	保留
3	IN3/EN2_MODE	R/W	0b	IN3/EN2 控制模式。 0b = IN3/EN2 信号来自 IN3/EN2 引脚。 1b = IN3/EN2 信号来自 S_IN3/EN2 位。
2	IN4/PH2_MODE	R/W	0b	IN4/PH2 控制模式。 0b = IN4/PH2 信号来自 IN4/PH2 引脚。 1b = IN4/PH2 信号来自 S_IN4/PH2 位。

Copyright © 2026 Texas Instruments Incorporated

表 8-88. PWM_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
1	FW2	R/W	0b	H 桥 2 控制续流设置。 0b = 低侧续流。 1b = 高侧续流。
0	RESERVED	R	0b	保留

8.4.2.7 PWM_CTRL3 寄存器（地址 = Dh）[复位 = 0h]

图 8-73 展示了 PWM_CTRL3，表 8-89 对其进行了介绍。

返回到汇总表。

用于设置半桥 1-4 的 PWM 驱动 MOSFET（高电平或者低电平）的控制寄存器。

图 8-73. PWM_CTRL3 寄存器

7	6	5	4	3	2	1	0
HB1_HL	HB2_HL	HB3_HL	HB4_HL	RESERVED			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-89. PWM_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7	HB1_HL	R/W	0b	将半桥 1 PWM 映射到高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
6	HB2_HL	R/W	0b	将半桥 2 PWM 映射到高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
5	HB3_HL	R/W	0b	将半桥 3 PWM 映射到高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
4	HB4_HL	R/W	0b	将半桥 4 PWM 映射到高侧或者低侧栅极驱动器。 0b = 将高侧设置为驱动 MOSFET。 1b = 将低侧设置为驱动 MOSFET。
3-0	RESERVED	R	0000b	保留

8.4.2.8 PWM_CTRL4 寄存器（地址 = Eh）[复位 = 0h]

图 8-74 展示了 PWM_CTRL4，表 8-90 对其进行了介绍。

返回到汇总表。

用于设置半桥 1-4 的 PWM 续流模式的控制寄存器。

图 8-74. PWM_CTRL4 寄存器

7	6	5	4	3	2	1	0
HB1_FW	HB2_FW	HB3_FW	HB4_FW	RESERVED			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-90. PWM_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7	HB1_FW	R/W	0b	为半桥 1 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。

表 8-90. PWM_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
6	HB2_FW	R/W	0b	为半桥 2 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
5	HB3_FW	R/W	0b	为半桥 3 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
4	HB4_FW	R/W	0b	为半桥 4 配置空转设置。 0b = 有效运行。在内部生成反相 PWM。 1b =无源。依赖续流二极管。
3-0	RESERVED	R	0000b	保留

8.4.2.9 IDRV_CTRL1 寄存器（地址 = Fh）[复位 = FFh]

图 8-75 展示了 IDRV_CTRL1，表 8-91 对其进行了介绍。

返回到汇总表。

用于配置半桥 1 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-75. IDRV_CTRL1 寄存器

7	6	5	4	3	2	1	0
IDRVP_1				IDRVN_1			
R/W-1111b				R/W-1111b			

表 8-91. IDRV_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_1	R/W	1111b	半桥 1 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

Copyright © 2026 Texas Instruments Incorporated

表 8-91. IDRV_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	IDRVN_1	R/W	1111b	半桥 1 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.10 IDRV_CTRL2 寄存器（地址 = 10h）[复位 = FFh]

图 8-76 展示了 IDRV_CTRL2，表 8-92 对其进行了介绍。

返回到汇总表。

用于配置半桥 2 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-76. IDRV_CTRL2 寄存器

7	6	5	4	3	2	1	0
IDRVP_2				IDRVN_2			
R/W-1111b				R/W-1111b			

表 8-92. IDRV_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_2	R/W	1111b	半桥 2 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

Copyright © 2026 Texas Instruments Incorporated

表 8-92. IDRV_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	IDRVN_2	R/W	1111b	半桥 2 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.11 IDRV_CTRL3 寄存器（地址 = 11h）[复位 = FFh]

图 8-77 展示了 IDRV_CTRL3，表 8-93 对其进行了介绍。

返回到汇总表。

用于配置半桥 3 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-77. IDRV_CTRL3 寄存器

7	6	5	4	3	2	1	0
IDRVP_3				IDRVN_3			
R/W-1111b				R/W-1111b			

表 8-93. IDRV_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_3	R/W	1111b	半桥 3 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO3)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

Copyright © 2026 Texas Instruments Incorporated

表 8-93. IDRV_CTRL3 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	IDRVN_3	R/W	1111b	半桥 3 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO3)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.12 IDRV_CTRL4 寄存器（地址 = 12h）[复位 = FFh]

图 8-78 展示了 IDRV_CTRL4，表 8-94 对其进行了介绍。

返回到汇总表。

用于配置半桥 4 高侧及低侧栅极驱动器的拉电流和灌电流的控制寄存器。

图 8-78. IDRV_CTRL4 寄存器

7	6	5	4	3	2	1	0
IDRVP_4				IDRVN_4			
R/W-1111b				R/W-1111b			

表 8-94. IDRV_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_4	R/W	1111b	半桥 4 峰值源上拉电流。括号中为备用低电流值 (IDRV_LO4)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

Copyright © 2026 Texas Instruments Incorporated

表 8-94. IDRV_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	IDRVN_4	R/W	1111b	半桥 4 峰值吸收下拉电流。括号中为备用低电流值 (IDRV_LO4)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.13 IDRV_CTRL9 寄存器（地址 = 17h）[复位 = 0h]

图 8-79 展示了 IDRV_CTRL9，表 8-95 对其进行了介绍。

返回到汇总表。

用于使能半桥 1-4 的超低拉电流和灌电流设置的控制寄存器。

图 8-79. IDRV_CTRL9 寄存器

7	6	5	4	3	2	1	0
IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	RESERVED			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-95. IDRV_CTRL9 寄存器字段说明

位	字段	类型	复位	说明
7	IDRV_LO1	R/W	0b	为半桥 1 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_1 和 IDRVN_1 使用标准值。 1b = IDRVP_1 和 IDRVN_1 使用低电流值。
6	IDRV_LO2	R/W	0b	为半桥 2 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_2 和 IDRVN_2 使用标准值。 1b = IDRVP_2 和 IDRVN_2 使用低电流值。
5	IDRV_LO3	R/W	0b	为半桥 3 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_3 和 IDRVN_3 使用标准值。 1b = IDRVP_3 和 IDRVN_3 使用低电流值。
4	IDRV_LO4	R/W	0b	为半桥 4 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_4 和 IDRVN_4 使用标准值。 1b = IDRVP_4 和 IDRVN_4 使用低电流值。
3-0	RESERVED	R	0000b	保留

8.4.2.14 DRV_CTRL1 寄存器（地址 = 18h）[复位 = 0h]

图 8-80 展示了 DRV_CTRL1，表 8-96 对其进行了介绍。

返回到汇总表。

用于设置 VGS 及 VDS 监控工作模式和配置的控制寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-80. DRV_CTRL1 寄存器

7	6	5	4	3	2	1	0
VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND
R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b

表 8-96. DRV_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	VGS_MODE	R/W	00b	半桥 1-4 的 VGS 栅极故障监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5	VGS_IND	R/W	0b	VGS 故障独立关断模式配置。 0b = 禁用。VGS 故障将关断全部半桥驱动器。 1b = 已使能。VGS 栅极故障只会根据 BRG_MODE 关断相关的半桥或者 H 桥驱动器。
4	VGS_LVL	R/W	0b	用于死区时间握手的 VGS 阈值比较器电平以及用于半桥驱动器的 VGS 故障监控器。 0b = 1.4V 1b = 1V
3	VGS_HS_DIS	R/W	0b	VGS 死区时间握手监控器禁用。 0b = 0x0 1b = 禁用。半桥转换仅基于 TDRIVE 及可编程数字死区时间延迟。
2-1	VDS_MODE	R/W	00b	半桥 1-4 的 VDS 过流监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
0	VDS_IND	R/W	0b	VDS 故障独立关断模式配置。 0b = 禁用。VDS 故障将关断全部半桥驱动器。 1b = 已使能。VDS 栅极故障只会根据 BRG_MODE 关断相关的半桥或者 H 桥驱动器。

8.4.2.15 DRV_CTRL2 寄存器（地址 = 19h）[复位 = 12h]

图 8-81 展示了 DRV_CTRL2，表 8-97 对其进行了介绍。

返回到汇总表。

用于设置 tDRV、VGS 驱动及 VDS 监控半桥 1 和 2 的消隐时间的控制寄存器。

图 8-81. DRV_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED		VGS_TDRV_1			VGS_TDRV_2		
R-00b		R/W-010b			R/W-010b		

表 8-97. DRV_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留

表 8-97. DRV_CTRL2 寄存器字段说明（续）

位	字段	类型	复位	说明
5-3	VGS_TDRV_1	R/W	010b	半桥 1 的 VGS 驱动及 VDS 监控消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
2-0	VGS_TDRV_2	R/W	010b	半桥 2 的 VGS 驱动及 VDS 监控消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs

8.4.2.16 DRV_CTRL3 寄存器（地址 = 1Ah）[复位 = 12h]

图 8-82 展示了 DRV_CTRL3，表 8-98 对其进行了介绍。

返回到汇总表。

用于设置 tDRV、VGS 驱动及 VDS 监控半桥 3 和 4 的消隐时间的控制寄存器。

图 8-82. DRV_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		VGS_TDRV_3			VGS_TDRV_4		
R-00b		R/W-010b			R/W-010b		

表 8-98. DRV_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	VGS_TDRV_3	R/W	010b	半桥 3 的 VGS 驱动及 VDS 监控消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs
2-0	VGS_TDRV_4	R/W	010b	半桥 4 的 VGS 驱动及 VDS 监控消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96μs

Copyright © 2026 Texas Instruments Incorporated

8.4.2.17 DRV_CTRL4 寄存器（地址 = 1Bh）[复位 = 0h]

图 8-83 展示了 DRV_CTRL4，表 8-99 对其进行了介绍。

返回到汇总表。

用于设置 VGS tDEAD_D 的控制寄存器，用于半桥 1-4 的额外数字死区时间插入。

图 8-83. DRV_CTRL4 寄存器

7	6	5	4	3	2	1	0
VGS_TDEAD_1		VGS_TDEAD_2		VGS_TDEAD_3		VGS_TDEAD_4	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-99. DRV_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-6	VGS_TDEAD_1	R/W	00b	半桥 1 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs
5-4	VGS_TDEAD_2	R/W	00b	半桥 2 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	VGS_TDEAD_3	R/W	00b	半桥 3 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs
1-0	VGS_TDEAD_4	R/W	00b	半桥 4 的可插入数字死区时间。 00b = 0μs 01b = 2μs 10b = 4μs 11b = 8μs

8.4.2.18 DRV_CTRL5 寄存器（地址 = 1Ch）[复位 = AAh]

图 8-84 展示了 DRV_CTRL5，表 8-100 对其进行了介绍。

返回到汇总表。

控制寄存器，用于设置 VDS 和 tDS_DG，即半桥 1-4 的过电流监控抗尖峰脉冲时间。

图 8-84. DRV_CTRL5 寄存器

7	6	5	4	3	2	1	0
VDS_DG_1		VDS_DG_2		VDS_DG_3		VDS_DG_4	
R/W-10b		R/W-10b		R/W-10b		R/W-10b	

表 8-100. DRV_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_DG_1	R/W	10b	半桥 1 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 8-100. DRV_CTRL5 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	VDS_DG_2	R/W	10b	半桥 2 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	VDS_DG_3	R/W	10b	半桥 3 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
1-0	VDS_DG_4	R/W	10b	半桥 4 的 VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

8.4.2.19 DRV_CTRL6 寄存器（地址 = 1Dh）[复位 = 0h]

图 8-85 展示了 DRV_CTRL6，表 8-101 对其进行了介绍。

返回到汇总表。

用于设置栅极下拉电流 (IDRVN) 以便响应半桥 1-4 的 VDS 过流故障的控制寄存器。

图 8-85. DRV_CTRL6 寄存器

7	6	5	4	3	2	1	0
VDS_IDRVN_1		VDS_IDRVN_2		VDS_IDRVN_3		VDS_IDRVN_4	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-101. DRV_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_IDRVN_1	R/W	00b	半桥 1 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
5-4	VDS_IDRVN_2	R/W	00b	半桥 2 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
3-2	VDS_IDRVN_3	R/W	00b	半桥 3 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
1-0	VDS_IDRVN_4	R/W	00b	半桥 4 的 VDS_OCP 故障后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA

Copyright © 2026 Texas Instruments Incorporated

8.4.2.20 VDS_CTRL1 寄存器（地址 = 1Fh）[复位 = DDh]

图 8-86 展示了 VDS_CTRL1，表 8-102 对其进行了介绍。

返回到汇总表。

用于设置半桥 1 及 2 的 VDS 过流监控电压阈值的控制寄存器。

图 8-86. VDS_CTRL1 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_1				VDS_LVL_2			
R/W-1101b				R/W-1101b			

表 8-102. VDS_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_1	R/W	1101b	半桥 1 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_2	R/W	1101b	半桥 2 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.4.2.21 VDS_CTRL2 寄存器（地址 = 20h）[复位 = DDh]

图 8-87 展示了 VDS_CTRL2，表 8-103 对其进行了介绍。

返回到汇总表。

用于设置半桥 3 及 4 的 VDS 过流监控电压阈值的控制寄存器。

图 8-87. VDS_CTRL2 寄存器

7	6	5	4	3	2	1	0
VDS_LVL_3				VDS_LVL_4			

图 8-87. VDS_CTRL2 寄存器（续）

R/W-1101b	R/W-1101b

表 8-103. VDS_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_LVL_3	R/W	1101b	半桥 3 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_4	R/W	1101b	半桥 4 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.4.2.22 OLSC_CTRL1 寄存器（地址 = 23h）[复位 = 0h]

图 8-88 展示了 OLSC_CTRL1，表 8-104 对其进行了介绍。

返回到汇总表。

用于使能和禁用半桥 1-4 的离线诊断电流源的控制寄存器。

图 8-88. OLSC_CTRL1 寄存器

7	6	5	4	3	2	1	0
PU_SH1	PD_SH1	PU_SH2	PD_SH2	PU_SH3	PD_SH3	PU_SH4	PD_SH4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-104. OLSC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	PU_SH1	R/W	0b	半桥 1 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。

Copyright © 2026 Texas Instruments Incorporated

表 8-104. OLSC_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
6	PD_SH1	R/W	0b	半桥 1 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
5	PU_SH2	R/W	0b	半桥 2 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
4	PD_SH2	R/W	0b	半桥 2 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
3	PU_SH3	R/W	0b	半桥 3 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
2	PD_SH3	R/W	0b	半桥 3 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
1	PU_SH4	R/W	0b	半桥 4 上拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。
0	PD_SH4	R/W	0b	半桥 4 下拉诊断电流源。设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 已使能。

8.4.2.23 UVOV_CTRL 寄存器（地址 = 25h）[复位 = 14h]

UVOV_CTRL 如图 8-89 所示，并在表 8-105 中进行了说明。

返回到汇总表。

用于设置欠压及过压监控配置的控制寄存器。

图 8-89. UVOV_CTRL 寄存器

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 8-105. UVOV_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV_MODE	R/W	0b	PVDD 电源欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
6-5	PVDD_OV_MODE	R/W	00b	PVDD 电源过压监控模式。 00b = 锁存故障。 01b = 自动恢复。 10b = 仅警告报告。 11b = 禁用。
4-3	PVDD_OV_DG	R/W	10b	PVDD 电源过压监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 8-105. UVOV_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
2	PVDD_OV_LVL	R/W	1b	PVDD 电源过压监控阈值。 0b = 21.5V 1b = 28.5V
1	VCP_UV_MODE	R/W	0b	VCP 电荷泵欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
0	VCP_UV_LVL	R/W	0b	VCP 电荷泵欠压监控阈值。 0b = 4.75V 1b = 6.25V

8.4.2.24 CSA_CTRL1 寄存器（地址 = 26h）[复位 = 9h]

图 8-90 展示了 CSA_CTRL1，表 8-106 对其进行了介绍。

返回到汇总表。

用于分流放大器 1 及 2 的增益和基准电压的控制寄存器。

图 8-90. CSA_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2	
R-00b		R/W-0b	R/W-01b		R/W-0b	R/W-01b	

表 8-106. CSA_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5	CSA_DIV_1	R/W	0b	电流分流放大器 1 基准电压分压器。 0b = AREF / 2 1b = AREF / 8
4-3	CSA_GAIN_1	R/W	01b	电流分流放大器 1 增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
2	CSA_DIV_2	R/W	0b	电流分流放大器 2 基准电压分压器。 0b = AREF / 2 1b = AREF / 8
1-0	CSA_GAIN_2	R/W	01b	电流分流放大器 2 增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

8.4.2.25 CSA_CTRL2 寄存器（地址 = 27h）[复位 = 0h]

图 8-91 展示了 CSA_CTRL2，表 8-107 对其进行了介绍。

返回到汇总表。

用于分流放大器 1 消隐配置的控制寄存器。

图 8-91. CSA_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_BLK_SEL_1			CSA_BLK_LVL_1		

Copyright © 2026 Texas Instruments Incorporated

图 8-91. CSA_CTRL2 寄存器（续）

R-00b	R/W-000b	R/W-000b

表 8-107. CSA_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	CSA_BLK_SEL_1	R/W	000b	电流分流放大器 1 消隐触发源。 000b = 半桥 1 001b = 半桥 2 010b = 半桥 3 011b = 半桥 4 100b = 半桥 5 101b = 半桥 6 110b = 半桥 7 111b = 半桥 8
2-0	CSA_BLK_LVL_1	R/W	000b	电流分流放大器 1 消隐时间。tDRV 的百分比。 000b = 0 %，禁用 001b = 25 % 010b = 37.5 % 011b = 50 % 100b = 62.5 % 101b = 75 % 110b = 87.5 % 111b = 100 %

8.4.2.26 CSA_CTRL3 寄存器（地址 = 28h）[复位 = 20h]

图 8-92 展示了 CSA_CTRL3，表 8-108 对其进行了介绍。

返回到汇总表。

用于分流放大器 2 消隐配置的控制寄存器。

图 8-92. CSA_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		CSA_BLK_SEL_2			CSA_BLK_LVL_2		
R-00b		R/W-100b			R/W-000b		

表 8-108. CSA_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留
5-3	CSA_BLK_SEL_2	R/W	100b	电流分流放大器 2 消隐触发源。 000b = 半桥 1 001b = 半桥 2 010b = 半桥 3 011b = 半桥 4 100b = 半桥 5 101b = 半桥 6 110b = 半桥 7 111b = 半桥 8

表 8-108. CSA_CTRL3 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	CSA_BLK_LVL_2	R/W	000b	电流分流放大器 2 消隐时间。tDRV 的百分比。 000b = 0 %，禁用 001b = 25 % 010b = 37.5 % 011b = 50 % 100b = 62.5 % 101b = 75 % 110b = 87.5 % 111b = 100 %

Copyright © 2026 Texas Instruments Incorporated

8.4.3 DRV8714-Q1_CONTROL_ADV 寄存器

表 8-109 列出了 DRV8714-Q1_CONTROL_ADV 寄存器。表 8-109 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-109. DRV8714-Q1_CONTROL_ADV 寄存器

地址	首字母缩写词	寄存器名称	部分
2Ah	AGD_CTRL1	自适应栅极驱动通用控制功能	转到
2Bh	PDR_CTRL1	半桥 1 及 2 PDR 延迟和最大电流设置	转到
2Ch	PDR_CTRL2	半桥 3 及 4 PDR 延迟和最大电流设置	转到
2Dh	PDR_CTRL3	半桥 5 及 6 PDR 延迟和最大电流设置	转到
2Eh	PDR_CTRL4	半桥 7 及 8 PDR 延迟和最大电流设置	转到
2Fh	PDR_CTRL5	半桥 1 PDR 充电及放电初始设置。	转到
30h	PDR_CTRL6	半桥 PDR 充电和放电初始设置。	转到
31h	PDR_CTRL7	半桥 3 PDR 充电及放电初始设置。	转到
32h	PDR_CTRL8	半桥 4 PDR 充电及放电初始设置。	转到
33h	PDR_CTRL9	半桥 1 及 2 PDR 环路控制器增益	转到
34h	PDR_CTRL10	半桥 3 及 4 PDR 环路控制器增益	转到
35h	STC_CTRL1	半桥 1 STC 上升/下降时间及控制器增益	转到
36h	STC_CTRL2	半桥 2 STC 上升/下降时间及控制器增益	转到
37h	STC_CTRL3	半桥 3 STC 上升/下降时间及控制器增益	转到
38h	STC_CTRL4	半桥 4 STC 上升/下降时间及控制器增益	转到
39h	DCC_CTRL1	半桥 1-4 DCC 使能及手动控制	转到
3Ah	PST_CTRL1	半桥 1-4 续流及后充电延迟控制	转到
3Bh	PST_CTRL2	半桥 1-4 后置充电控制器增益	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-110 展示了适用于此部分中访问类型的代码。

表 8-110. DRV8714-Q1_CONTROL_ADV 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
- n		复位后的值或默认值

8.4.3.1 AGD_CTRL1 寄存器（地址 = 2Ah）[复位 = 40h]

图 8-93 展示了 AGD_CTRL1，表 8-111 对其进行了介绍。

返回到汇总表。

用于自适应栅极驱动电压阈值、下拉设置及有源半桥配置的控制寄存器。

图 8-93. AGD_CTRL1 寄存器

7	6	5	4	3	2	1	0
AGD_THR		AGD_ISTRONG		RESERVED			
R/W-01b		R/W-00b		R-0000b			

表 8-111. AGD_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	AGD_THR	R/W	01b	自适应栅极驱动器 VSH 阈值配置。 00b = 1V，VDRAIN - 0.5V 01b = 1V，VDRAIN - 1V 10b = 2V，VDRAIN - 1.5V 11b = 2V，VDRAIN - 2V
5-4	AGD_ISTRONG	R/W	00b	自适应栅极驱动器 ISTRONG 配置。 00b = ISTRONG 下拉电阻从初始 IDRVP_x 寄存器设置解码。 01b = 62mA 10b = 124mA 11b = RSVD
3-0	RESERVED	R	0000b	保留

8.4.3.2 PDR_CTRL1 寄存器（地址 = 2Bh）[复位 = Ah]

图 8-94 展示了 PDR_CTRL1，表 8-112 对其进行了介绍。

返回到汇总表。

半桥 1 的 tON_OFF 传播延迟和预充电/放电最大电流的控制寄存器。

图 8-94. PDR_CTRL1 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_1		T_DON_DOFF_1					
R/W-00b		R/W-001010b					

表 8-112. PDR_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_1	R/W	00b	半桥 1 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_1	R/W	001010b	半桥 1 的导通和关断延时时间。140 ns x T_DON_DOFF_1 [3:0] 默认时间：001010b (1.4μs)

8.4.3.3 PDR_CTRL2 寄存器（地址 = 2Ch）[复位 = Ah]

图 8-95 展示了 PDR_CTRL2，表 8-113 对其进行了介绍。

返回到汇总表。

半桥 2 的 tON_OFF 传播延迟和预充电/放电最大电流的控制寄存器。

图 8-95. PDR_CTRL2 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_2		T_DON_DOFF_2					
R/W-00b		R/W-001010b					

Copyright © 2026 Texas Instruments Incorporated

表 8-113. PDR_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_2	R/W	00b	半桥 2 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_2	R/W	001010b	半桥 2 的导通和关断延时时间。140 ns x T_DON_DOFF_2 [3:0] 默认时间：001010b (1.4μs)

8.4.3.4 PDR_CTRL3 寄存器（地址 = 2Dh）[复位 = Ah]

图 8-96 展示了 PDR_CTRL3，表 8-114 对其进行了介绍。

返回到汇总表。

半桥 3 的 tON_OFF 传播延迟和预充电/放电最大电流的控制寄存器。

图 8-96. PDR_CTRL3 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_3		T_DON_DOFF_3					
R/W-00b		R/W-001010b					

表 8-114. PDR_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_3	R/W	00b	半桥 3 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_3	R/W	001010b	半桥 3 的导通和关断延时时间。140 ns x T_DON_DOFF_3 [3:0] 默认时间：001010b (1.4μs)

8.4.3.5 PDR_CTRL4 寄存器（地址 = 2Eh）[复位 = Ah]

图 8-97 展示了 PDR_CTRL4，表 8-115 对其进行了介绍。

返回到汇总表。

半桥 4 的 tON_OFF 传播延迟和预充电/放电最大电流的控制寄存器。

图 8-97. PDR_CTRL4 寄存器

7	6	5	4	3	2	1	0
PRE_MAX_4		T_DON_DOFF_4					
R/W-00b		R/W-001010b					

表 8-115. PDR_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-6	PRE_MAX_4	R/W	00b	半桥 4 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA

表 8-115. PDR_CTRL4 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	T_DON_DOFF_4	R/W	001010b	半桥 4 的导通和关断延时时间。140 ns x T_DON_DOFF_4 [3:0] 默认时间：001010b (1.4μs)

8.4.3.6 PDR_CTRL5 寄存器（地址 = 2Fh）[复位 = F6h]

图 8-98 展示了 PDR_CTRL5，表 8-116 对其进行了介绍。

返回到汇总表。

用于半桥 1 充电及预充电初始设置的控制寄存器。

图 8-98. PDR_CTRL5 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_1		T_PRE_DCHR_1		PRE_CHR_INIT_1		PRE_DCHR_INIT_1	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-116. PDR_CTRL5 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_1	R/W	11b	半桥 1 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_1 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_1	R/W	11b	半桥 1 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_1 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_1	R/W	01b	半桥 1 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_1	R/W	10b	半桥 1 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.7 PDR_CTRL6 寄存器（地址 = 30h）[复位 = F6h]

图 8-99 展示了 PDR_CTRL6，表 8-117 对其进行了介绍。

返回到汇总表。

用于半桥 2 充电及预充电初始设置的控制寄存器。

图 8-99. PDR_CTRL6 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_2		T_PRE_DCHR_2		PRE_CHR_INIT_2		PRE_DCHR_INIT_2	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

Copyright © 2026 Texas Instruments Incorporated

表 8-117. PDR_CTRL6 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_2	R/W	11b	半桥 2 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_2 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_2	R/W	11b	半桥 2 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_2 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_2	R/W	01b	半桥 2 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_2	R/W	10b	半桥 2 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.8 PDR_CTRL7 寄存器（地址 = 31h）[复位 = F6h]

图 8-100 展示了 PDR_CTRL7，表 8-118 对其进行了介绍。

返回到汇总表。

用于半桥 3 充电及预充电初始设置的控制寄存器。

图 8-100. PDR_CTRL7 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_3		T_PRE_DCHR_3		PRE_CHR_INIT_3		PRE_DCHR_INIT_3	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-118. PDR_CTRL7 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_3	R/W	11b	半桥 3 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_3 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_3	R/W	11b	半桥 3 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_3 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_3	R/W	01b	半桥 3 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

表 8-118. PDR_CTRL7 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	PRE_DCHR_INIT_3	R/W	10b	半桥 3 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.9 PDR_CTRL8 寄存器（地址 = 32h）[复位 = F6h]

图 8-101 展示了 PDR_CTRL8，表 8-119 对其进行了介绍。

返回到汇总表。

用于半桥 4 充电及预充电初始设置的控制寄存器。

图 8-101. PDR_CTRL8 寄存器

7	6	5	4	3	2	1	0
T_PRE_CHR_4		T_PRE_DCHR_4		PRE_CHR_INIT_4		PRE_DCHR_INIT_4	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-119. PDR_CTRL8 寄存器字段说明

位	字段	类型	复位	说明
7-6	T_PRE_CHR_4	R/W	11b	半桥 4 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_4 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_4	R/W	11b	半桥 4 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_4 [5:0] 的比率 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_4	R/W	01b	半桥 4 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_4	R/W	10b	半桥 4 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.10 PDR_CTRL9 寄存器（地址 = 33h）[复位 = 11h]

图 8-102 展示了 PDR_CTRL9，表 8-120 对其进行了介绍。

返回到汇总表。

用于配置半桥 1 及 2 的 PDR Kp 环路控制器增益设置的控制寄存器。

图 8-102. PDR_CTRL9 寄存器

7	6	5	4	3	2	1	0
EN_PDR_1	PDR_ERR_1	KP_PDR_1		EN_PDR_2	PDR_ERR_2	KP_PDR_2	

Copyright © 2026 Texas Instruments Incorporated

图 8-102. PDR_CTRL9 寄存器（续）

R/W-0b	R/W-0b	R/W-01b	R/W-0b	R/W-0b	R/W-01b

表 8-120. PDR_CTRL9 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PDR_1	R/W	0b	使能半桥 1 的 PDR 环路控制。
6	PDR_ERR_1	R/W	0b	半桥 1 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
5-4	KP_PDR_1	R/W	01b	半桥 1 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_2	R/W	0b	使能半桥 2 的 PDR 环路控制。
2	PDR_ERR_2	R/W	0b	半桥 2 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_PDR_2	R/W	01b	半桥 2 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.11 PDR_CTRL10 寄存器（地址 = 34h）[复位 = 11h]

图 8-103 展示了 PDR_CTRL10，表 8-121 对其进行了介绍。

返回到汇总表。

用于配置半桥 3 及 4 的 PDR Kp 环路控制器增益设置的控制寄存器。

图 8-103. PDR_CTRL10 寄存器

7	6	5	4	3	2	1	0
EN_PDR_3	PDR_ERR_3	KP_PDR_3		EN_PDR_4	PDR_ERR_4	KP_PDR_4	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-121. PDR_CTRL10 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PDR_3	R/W	0b	使能半桥 3 的 PDR 环路控制。
6	PDR_ERR_3	R/W	0b	半桥 3 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
5-4	KP_PDR_3	R/W	01b	半桥 3 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_4	R/W	0b	使能半桥 4 的 PDR 环路控制。
2	PDR_ERR_4	R/W	0b	半桥 4 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差

Copyright © 2026 Texas Instruments Incorporated

表 8-121. PDR_CTRL10 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	KP_PDR_4	R/W	01b	半桥 4 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.12 STC_CTRL1 寄存器（地址 = 35h）[复位 = 23h]

图 8-104 展示了 STC_CTRL1，表 8-122 对其进行了介绍。

返回到汇总表。

用于配置半桥 1 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-104. STC_CTRL1 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_1				EN_STC_1	STC_ERR_1	KP_STC_1	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-122. STC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_1	R/W	0010b	设置半桥 1 的开关节点 VSH 上升和下降时间。 0000b = 0.35µs 0001b = 0.56µs 0010b = 0.77µs 0011b = 0.98µs 0100b = 1.33µs 0101b = 1.68µs 0110b = 2.03µs 0111b = 2.45µs 1000b = 2.94µs 1001b = 3.99µs 1010b = 4.97µs 1011b = 5.95µs 1100b = 7.98µs 1101b = 9.94µs 1110b = 11.97µs 1111b = 15.96µs
3	EN_STC_1	R/W	0b	使能半桥 1 的 STC 环路控制。
2	STC_ERR_1	R/W	0b	半桥 1 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_1	R/W	11b	半桥 1 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.13 STC_CTRL2 寄存器（地址 = 36h）[复位 = 23h]

图 8-105 展示了 STC_CTRL2，表 8-123 对其进行了介绍。

返回到汇总表。

用于配置半桥 2 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-105. STC_CTRL2 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_2				EN_STC_2	STC_ERR_2	KP_STC_2	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-123. STC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_2	R/W	0010b	设置半桥 2 的开关节点 VSH 上升和下降时间。 0000b = 0.35µs 0001b = 0.56µs 0010b = 0.77µs 0011b = 0.98µs 0100b = 1.33µs 0101b = 1.68µs 0110b = 2.03µs 0111b = 2.45µs 1000b = 2.94µs 1001b = 3.99µs 1010b = 4.97µs 1011b = 5.95µs 1100b = 7.98µs 1101b = 9.94µs 1110b = 11.97µs 1111b = 15.96µs
3	EN_STC_2	R/W	0b	使能半桥 2 的 STC 环路控制。
2	STC_ERR_2	R/W	0b	半桥 2 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_2	R/W	11b	半桥 2 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.14 STC_CTRL3 寄存器（地址 = 37h）[复位 = 23h]

图 8-106 展示了 STC_CTRL3，表 8-124 对其进行了介绍。

返回到汇总表。

用于配置半桥 3 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-106. STC_CTRL3 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_3				EN_STC_3	STC_ERR_3	KP_STC_3	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-124. STC_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_3	R/W	0010b	设置半桥 3 的开关节点 VSH 上升和下降时间。 0000b = 0.35μs 0001b = 0.56μs 0010b = 0.77μs 0011b = 0.98μs 0100b = 1.33μs 0101b = 1.68μs 0110b = 2.03μs 0111b = 2.45μs 1000b = 2.94μs 1001b = 3.99μs 1010b = 4.97μs 1011b = 5.95μs 1100b = 7.98μs 1101b = 9.94μs 1110b = 11.97μs 1111b = 15.96μs
3	EN_STC_3	R/W	0b	使能半桥 3 的 STC 环路控制。
2	STC_ERR_3	R/W	0b	半桥 3 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_3	R/W	11b	半桥 3 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.15 STC_CTRL4 寄存器（地址 = 38h）[复位 = 23h]

图 8-107 展示了 STC_CTRL4，表 8-125 对其进行了介绍。

返回到汇总表。

用于配置半桥 4 的 STC 上升/下降时间及 Kp 环路控制器增益设置的控制寄存器。

图 8-107. STC_CTRL4 寄存器

7	6	5	4	3	2	1	0
T_RISE_FALL_4				EN_STC_4	STC_ERR_4	KP_STC_4	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-125. STC_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7-4	T_RISE_FALL_4	R/W	0010b	设置半桥 4 的开关节点 VSH 上升和下降时间。 0000b = 0.35µs 0001b = 0.56µs 0010b = 0.77µs 0011b = 0.98µs 0100b = 1.33µs 0101b = 1.68µs 0110b = 2.03µs 0111b = 2.45µs 1000b = 2.94µs 1001b = 3.99µs 1010b = 4.97µs 1011b = 5.95µs 1100b = 7.98µs 1101b = 9.94µs 1110b = 11.97µs 1111b = 15.96µs
3	EN_STC_4	R/W	0b	使能半桥 4 的 STC 环路控制。
2	STC_ERR_4	R/W	0b	半桥 4 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
1-0	KP_STC_4	R/W	11b	半桥 4 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.16 DCC_CTRL1 寄存器（地址 = 39h）[复位 = 0h]

图 8-108 展示了 DCC_CTRL1，表 8-126 对其进行了介绍。

返回到汇总表。

用于使能 DCC 环路及半桥 1-4 手动配置的控制寄存器。

图 8-108. DCC_CTRL1 寄存器

7	6	5	4	3	2	1	0
EN_DCC_1	EN_DCC_2	EN_DCC_3	EN_DCC_4	IDIR_MAN_1	IDIR_MAN_2	IDIR_MAN_3	IDIR_MAN_4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-126. DCC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DCC_1	R/W	0b	使能半桥 1 的占空比补偿。
6	EN_DCC_2	R/W	0b	使能半桥 2 的占空比补偿。
5	EN_DCC_3	R/W	0b	使能半桥 3 的占空比补偿。
4	EN_DCC_4	R/W	0b	使能半桥 4 的占空比补偿。
3	IDIR_MAN_1	R/W	0b	半桥 1 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）
2	IDIR_MAN_2	R/W	0b	半桥 2 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）

表 8-126. DCC_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
1	IDIR_MAN_3	R/W	0b	半桥 3 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）
0	IDIR_MAN_4	R/W	0b	半桥 4 的电流极性检测模式。 0b =自动 1b = 手动（由 HBx_HL 设置）

8.4.3.17 PST_CTRL1 寄存器（地址 = 3Ah）[复位 = Fh]

图 8-109 展示了 PST_CTRL1，表 8-127 对其进行了介绍。

返回到汇总表。

用于配置半桥 1-4 的最大续流电流及后充电延迟的控制寄存器。

图 8-109. PST_CTRL1 寄存器

7	6	5	4	3	2	1	0
FW_MAX_1	FW_MAX_2	FW_MAX_3	FW_MAX_4	EN_PST_DLY_1	EN_PST_DLY_2	EN_PST_DLY_3	EN_PST_DLY_4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-127. PST_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	FW_MAX_1	R/W	0b	用于半桥 1 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_1 [1:0] 1b = 64mA
6	FW_MAX_2	R/W	0b	用于半桥 2 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_2 [1:0] 1b = 64mA
5	FW_MAX_3	R/W	0b	用于半桥 3 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_3 [1:0] 1b = 64mA
4	FW_MAX_4	R/W	0b	用于半桥 4 的续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_4 [1:0] 1b = 64mA
3	EN_PST_DLY_1	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_1 - T_PRE_CHR_1。
2	EN_PST_DLY_2	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_2 - T_PRE_CHR_2。
1	EN_PST_DLY_3	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_3 - T_PRE_CHR_3。
0	EN_PST_DLY_4	R/W	1b	使能后充电延时时间。延时时间等于 T_DON_DOFF_4 - T_PRE_CHR_4。

8.4.3.18 PST_CTRL2 寄存器（地址 = 3Bh）[复位 = 55h]

图 8-110 展示了 PST_CTRL2，表 8-128 对其进行了介绍。

返回到汇总表。

用于配置半桥 1-4 的后充电 Kp 环路控制器增益设置的控制寄存器。

图 8-110. PST_CTRL2 寄存器

7	6	5	4	3	2	1	0
KP_PST_1		KP_PST_2		KP_PST_3		KP_PST_4	
R/W-01b		R/W-01b		R/W-01b		R/W-01b	

Copyright © 2026 Texas Instruments Incorporated

图 8-110. PST_CTRL2 寄存器（续）

表 8-128. PST_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	KP_PST_1	R/W	01b	半桥 1 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
5-4	KP_PST_2	R/W	01b	半桥 2 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
3-2	KP_PST_3	R/W	01b	半桥 3 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
1-0	KP_PST_4	R/W	01b	半桥 4 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15

8.4.4 DRV8714-Q1_STATUS_ADV 寄存器

表 8-129 列出了 DRV8714-Q1_STATUS_ADV 寄存器。表 8-129 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-129. DRV8714-Q1_STATUS_ADV 寄存器

地址	首字母缩写词	寄存器名称	部分
3Ch	SGD_STAT1	半桥 1-4 电流极性指示器	转到
3Dh	SGD_STAT2	半桥 1-4 PDR 下溢及溢出指示器	转到
3Eh	SGD_STAT3	半桥 1-4 STC 故障指示器	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-130 展示了适用于此部分中访问类型的代码。

表 8-130. DRV8714-Q1_STATUS_ADV 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
- n		复位后的值或默认值

8.4.4.1 SGD_STAT1 寄存器（地址 = 3Ch）[复位 = 0h]

图 8-111 展示了 SGD_STAT1，表 8-131 对其进行了介绍。

返回到汇总表。

指示半桥 1-4 的电流极性的状态寄存器。

图 8-111. SGD_STAT1 寄存器

7	6	5	4	3	2	1	0
IDIR_1	IDIR_2	IDIR_3	IDIR_4	IDIR_WARN_1	IDIR_WARN_2	IDIR_WARN_3	IDIR_WARN_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-131. SGD_STAT1 寄存器字段说明

位	字段	类型	复位	说明
7	IDIR_1	R	0b	指示半桥 1 的电流方向。
6	IDIR_2	R	0b	指示半桥 2 的电流方向。
5	IDIR_3	R	0b	指示半桥 3 的电流方向。
4	IDIR_4	R	0b	指示半桥 4 的电流方向。
3	IDIR_WARN_1	R	0b	指示半桥 1 的电流方向未知。
2	IDIR_WARN_2	R	0b	指示半桥 2 的电流方向未知。
1	IDIR_WARN_3	R	0b	指示半桥 3 的电流方向未知。
0	IDIR_WARN_4	R	0b	指示半桥 4 的电流方向未知。

8.4.4.2 SGD_STAT2 寄存器（地址 = 3Dh）[复位 = 0h]

图 8-112 展示了 SGD_STAT2，表 8-132 对其进行了介绍。

返回到汇总表。

指示半桥 1-4 的 PDR 环路控制中的下溢及上溢的状态寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 8-112. SGD_STAT2 寄存器

7	6	5	4	3	2	1	0
PCHR_WARN_1	PCHR_WARN_2	PCHR_WARN_3	PCHR_WARN_4	PDCHR_WARN_1	PDCHR_WARN_2	PDCHR_WARN_3	PDCHR_WARN_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-132. SGD_STAT2 寄存器字段说明

位	字段	类型	复位	说明
7	PCHR_WARN_1	R	0b	指示半桥 1 的预充电下溢或溢出故障。
6	PCHR_WARN_2	R	0b	指示半桥 2 的预充电下溢或溢出故障。
5	PCHR_WARN_3	R	0b	指示半桥 3 的预充电下溢或溢出故障。
4	PCHR_WARN_4	R	0b	指示半桥 4 的预充电下溢或溢出故障。
3	PDCHR_WARN_1	R	0b	指示半桥 1 的预放电下溢或溢出故障。
2	PDCHR_WARN_2	R	0b	指示半桥 2 的预放电下溢或溢出故障。
1	PDCHR_WARN_3	R	0b	指示半桥 3 的预放电下溢或溢出故障。
0	PDCHR_WARN_4	R	0b	指示半桥 4 的预放电下溢或溢出故障。

8.4.4.3 SGD_STAT3 寄存器（地址 = 3Eh）[复位 = 0h]

图 8-113 展示了 SGD_STAT3，表 8-133 对其进行了介绍。

返回到汇总表。

半桥 1-4 的状态寄存器指示 STC 上升及下降时间溢出。

图 8-113. SGD_STAT3 寄存器

7	6	5	4	3	2	1	0
STC_WARN_F_1	STC_WARN_F_2	STC_WARN_F_3	STC_WARN_F_4	STC_WARN_R_1	STC_WARN_R_2	STC_WARN_R_3	STC_WARN_R_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-133. SGD_STAT3 寄存器字段说明

位	字段	类型	复位	说明
7	STC_WARN_F_1	R	0b	表示半桥 1 的下降压摆时间 TDRV 溢出。
6	STC_WARN_F_2	R	0b	表示半桥 2 的下降压摆时间 TDRV 溢出。
5	STC_WARN_F_3	R	0b	表示半桥 3 的下降压摆时间 TDRV 溢出。
4	STC_WARN_F_4	R	0b	表示半桥 4 的下降压摆时间 TDRV 溢出。
3	STC_WARN_R_1	R	0b	表示半桥 1 的上升压摆时间 TDRV 溢出。
2	STC_WARN_R_2	R	0b	表示半桥 2 的上升压摆时间 TDRV 溢出。
1	STC_WARN_R_3	R	0b	表示半桥 3 的上升压摆时间 TDRV 溢出。
0	STC_WARN_R_4	R	0b	表示半桥 4 的上升压摆时间 TDRV 溢出。

9 应用实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DRV871x-Q1 是一款高度可配置的多通道半桥 MOSFET 栅极驱动器，可用于驱动各种不同的输出负载。以下设计示例将重点说明如何针对不同的应用用例来使用和配置该器件。

9.2 典型应用

DRV8718-Q1 的典型应用是控制多个外部 MOSFET 半桥，从而驱动多个单向或双向有刷直流电机。下面显示了一个概要原理图示例。

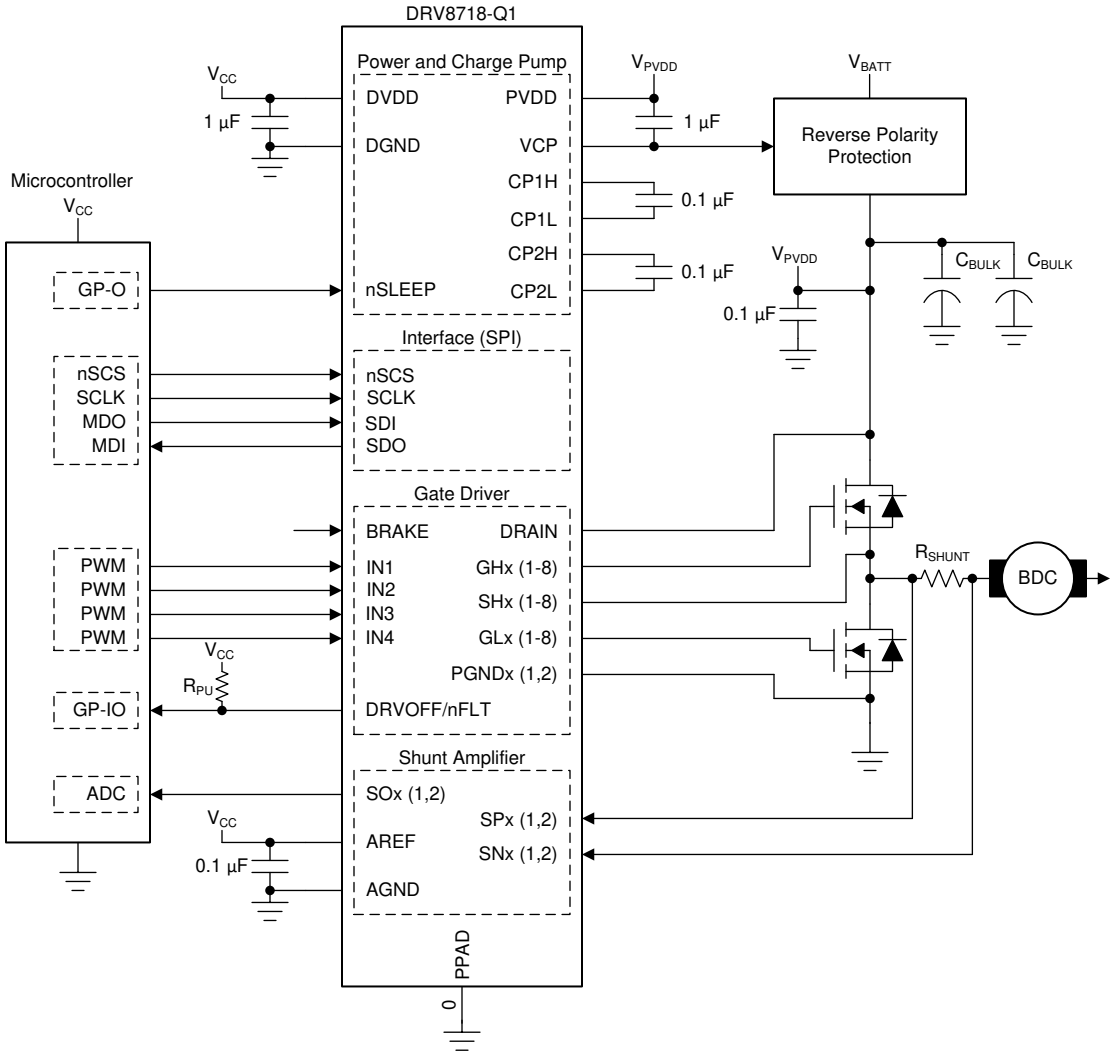


图 9-1. DRV8718-Q1 典型应用

Copyright © 2026 Texas Instruments Incorporated

9.2.1 设计要求

表 9-1 列出了用于系统设计的一组输入参数示例。

表 9-1. 设计参数示例

设计参数	参考	值
PVDD 标称电源电压	V_{PVDD}	12V
PVDD 电源电压范围		9 至 18V
DVDD/AREF 逻辑电源电压	V_{CC}	3.3V
MOSFET 总栅极电荷	Q_G	V_{GS} = 10V 时为 30 nC（典型值）
MOSFET 栅漏极电荷	Q_{GD}	5 nC（典型值）
MOSFET 导通电阻	$R_{DS(on)}$	4mΩ
目标输出上升时间	t_{rise}	750 - 1000 ns
目标输出下降时间	t_{fall}	250 - 500 ns
PWM 频率	f_{PWM}	20kHz
最大电机电流	I_{MAX}	25A
分流电阻功率容量	P_{SHUNT}	3W

9.2.2 详细设计过程

9.2.2.1 栅极驱动器配置

9.2.2.1.1 VCP 负载计算示例

应确保电荷泵负载能力足以满足外部 MOSFET 的类型、PWM 半桥的数量和所需的 PWM 频率。可通过方程式 1 所示的简单计算方法来确认这一点。由于电荷泵同时为高侧和低侧栅极驱动器供电，因此应考虑开关高侧和低侧 MOSFET 的数量。这将取决于 PWM 半桥的数量及续流模式（如果切换了相反方向的 MOSFET）。

$$I_{VCP}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \#\ \text{of switching FETs} \quad (1)$$

以输入设计参数为例，我们可以在此例中证明，方程式 2 中电荷泵的输出负载能力是足够的。在本例中，假设有源续流总共有四个有源半桥，总共 8 个开关 MOSFET。

$$I_{VCP} = 30\ nC \times 20\ kHz \times 8 = 4.8\ mA \quad (2)$$

9.2.2.1.2 I_{DRIVE} 计算示例

栅极驱动电流强度 I_{DRIVE} 的选择依据包括：外部 MOSFET 的栅漏电荷，以及开关节点的目标上升和下降时间。对于给定的 MOSFET，如果选择的 I_{DRIVE} 过低，则 MOSFET 可能无法在配置的 t_{DRIVE} 时间内完全导通或关断，并且可以断定出现栅极故障。此外，较长的上升和下降时间将导致外部功率 MOSFET 中出现更高的开关功率损耗。建议使用所需的外部 MOSFET 和负载在系统中验证这些值，以确定适合的设置。

高侧和低侧外部 MOSFET 的 I_{DRIVEP} 和 I_{DRIVEN} 均可在 SPI 器件型号上调整。在硬件接口器件型号上，同时在 IDRIVE 引脚上选择拉电流和灌电流设置。

对于具有已知栅漏电荷 Q_{GD}、所需上升时间 (t_{rise}) 和所需下降时间 (t_{fall}) 的 MOSFET，可使用方程式 3 和方程式 4 分别计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP} = Q_{GD} / t_{rise} \quad (3)$$

$$I_{DRIVEN} = Q_{GD} / t_{fall} \quad (4)$$

以输入设计参数为例，我们可以计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP_HI} = 5\ nC / 750\ ns = 6.67\ mA \quad (5)$$

$$I_{DRIVEP_LO} = 5\ nC / 1000\ ns = 5\ mA \quad (6)$$

根据这些计算结果，为 I_{DRIVEP} 选择了值 6mA。

$$I_{DRIVEN_HI} = 5\ nC / 250\ ns = 20\ mA \quad (7)$$

$$I_{DRIVEN_LO} = 5\ nC / 500\ ns = 10\ mA \quad (8)$$

根据这些计算结果，为 I_{DRIVEN} 选择了值 16mA。

9.2.2.1.3 t_{DRIVE} 计算示例

驱动器栅源监控超时 (t_{DRIVE}) 应配置为允许外部 MOSFET 有足够的时间对所选 I_{DRIVE} 栅极电流进行充电和放电。默认情况下，该设置为 8µs，这对于许多系统来说已经足够。可以利用 方程式 9 确定合适的 t_{DRIVE} 值。

$$t_{DRIVE} > Q_{G_TOT} / I_{DRIVE} \quad (9)$$

以输入设计参数为例，我们可以计算 t_{DRIVE} 的近似值。

$$t_{DRIVE} > 30\ nC / 6\ mA = 5\ us \quad (10)$$

根据这些计算结果，为 t_{DRIVE} 选择了值 8µs。

9.2.2.1.4 最大 PWM 开关频率

驱动器的最大 PWM 频率通常由系统中的多个因素决定。虽然 DRV871x-Q1 器件可以支持高达 100kHz 的频率，但系统参数可以将此限制为较低的值。

这些系统参数包括：

- 外部 MOSFET 的上升和下降时间。
- MOSFET Q_G 和电荷泵上的负载。
- 最小和最大占空比要求（例如 10% 至 90%）

9.2.2.2 电流分流放大器配置

DRV871x-Q1 差分分流放大器增益和分流电阻值的选择依据包括：动态电流范围、基准电压电源、分流电阻功率额定值，以及工作温度范围。在分流放大器的双向运行模式下，输出动态范围的近似计算方法如方程式 11 所示。放大器的输出可从中点基准 (V_{AREF} / 2) 摆动到 0.25V 或 V_{AREF} - 0.25V，具体取决于放大器输入电压的极性。

$$V_{SO_BI} = (V_{AREF} - 0.25\ V) - (V_{AREF} / 2) \quad (11)$$

如果只需要单向电流检测，则修改放大器基准来扩大输出动态范围，这可通过 CSA_DIV SPI 寄存器设置进行修改。在此模式下，输出动态范围的近似计算方法如方程式 12 所示。

$$V_{SO_UNI} = (V_{AREF} - 0.25\ V) - (V_{AREF} / 8) \quad (12)$$

根据 V_{AREF} = 3.3V，双向或单向感测中动态输出范围的计算如下：

$$V_{SO_BI} = (3.3\ V - 0.25\ V) - (3.3\ V / 2) = 1.4\ V \quad (13)$$

$$V_{SO_UNI} = (3.3\ V - 0.25\ V) - (3.3\ V / 8) = 2.6375\ V \quad (14)$$

外部分流电阻值和分流放大器增益设置的选择依据包括：可用的动态输出范围、分流电阻功率额定值，以及需要测量的最大电机电流。分流电阻和放大器增益的精确值由方程式 15 和方程式 16 得出。

$$R_{SHUNT} < P_{SHUNT} / I_{MAX}^{2} \quad (15)$$

Copyright © 2026 Texas Instruments Incorporated

$$A_V < V_{SO} / (I_{MAX} \times R_{SHUNT}) \quad (16)$$

根据 V_{SO} = 1.4V、I_{MAX} = 25A 和 P_{SHUNT} = 3W，分流电阻和放大器增益值的计算如下：

$$R_{SHUNT} < 3\ W / 25^2\ A = 4.8\ m\Omega \quad (17)$$

$$A_V < 1.4\ V / (25\ A \times 4.8\ m\Omega) = 11.67\ V/V \quad (18)$$

根据这些结果，可选择 4 mΩ 的分流电阻和 10 V/V 的放大器增益。

9.2.2.3 功率耗散

在高温运行环境中，估算驱动器内部的自发热可能很重要。若要确定器件的温度，首先必须计算内部功率耗散。之后，可根据器件封装的热特性来估算相应值。

内部功率耗散具有四个主要分量。

- 高侧驱动器功率耗散 (P_{HS})
- 低侧驱动器功率耗散 (P_{LS})
- PVDD 电池电源功率耗散 (P_{PVDD})
- DVDD/AREF 逻辑/基准电源功率耗散 (P_{VCC})

如下所示，可参考前面的电荷泵负载电流公式来计算 P_{HS} 和 P_{LS} 的近似值。在典型的开关场景中，有 4 个高侧 MOSFET 和 4 个低侧 MOSFET 正在进行开关。

$$I_{HS/LS}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \#\ of\ switching\ FETs \quad (19)$$

以输入设计参数为例，我们可以计算高侧和低侧驱动器的电流负载。

$$I_{HS} = 30\ nC \times 20\ kHz \times 4 = 2.4\ mA \quad (20)$$

$$I_{LS} = 30\ nC \times 20\ kHz \times 4 = 2.4\ mA \quad (21)$$

基于这些信息，可根据以下公式计算驱动器的功率耗散。高侧和低侧包括加倍因子，以考虑为驱动器供电的电荷泵中的损耗。

$$P_{HS}\ (W) = I_{HS}\ (A) \times V_{PVDD} \times 2 \quad (22)$$

$$P_{LS}\ (W) = I_{LS}\ (A) \times V_{PVDD} \times 2 \quad (23)$$

以输入设计参数为例，我们可以计算高侧和低侧驱动器的功率耗散。

$$P_{HS}\ (W) = 0.0576\ W = 2.4\ mA \times 12\ V \times 2 \quad (24)$$

$$P_{LS}\ (W) = 0.0576\ W = 2.4\ mA \times 12\ V \times 2 \quad (25)$$

可参考方程式 26 和方程式 27 来计算 P_{PVDD} 和 P_{VCC} 的近似值：

$$P_{PVDD}\ (W) = I_{PVDD}\ (A) \times V_{PVDD} \quad (26)$$

$$P_{VCC}\ (W) = (I_{DVDD}\ (A) \times V_{DVDD}) + (I_{AREF}\ (A) \times V_{AREF}) \quad (27)$$

以输入设计参数为例，我们可以计算电源的功率耗散。

$$P_{PVDD}\ (W) = 0.162\ W = 13.5\ mA \times 12\ V \quad (28)$$

$$P_{VCC}\ (W) = 0.033\ W = (8\ mA \times 3.3\ V) + (2\ mA \times 3.3\ V) \quad (29)$$

最后，使用方程式 30 估算器件结温。

$$T_{JUNCTION}\ (°C) = T_{AMBIENT}\ (°C) + (R_{\theta JA}\ (°C/W) \times P_{TOT}(W)) \quad (30)$$

可以根据先前计算出的功率耗散值和热性能信息表中的器件热性能参数来估算器件内部温度：

$$T_{JUNCTION}\ (°C) = 112.9\ °C = 105\ °C + (25.6\ °C/W \times 0.3102\ W) \quad (31)$$

9.2.3 应用曲线

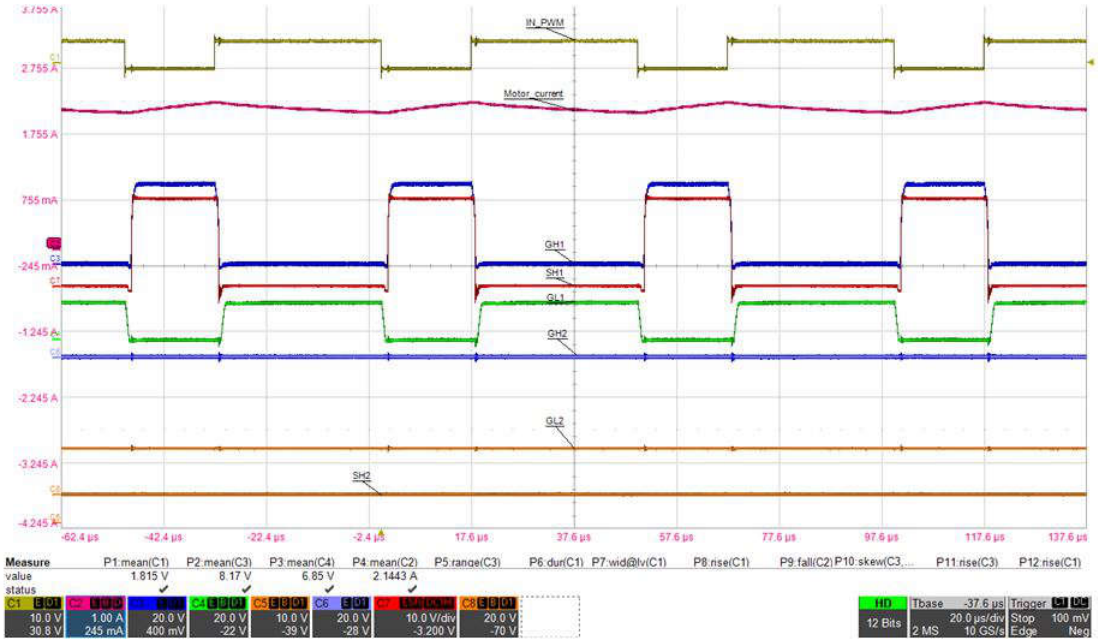


图 9-2. 驱动器的正常 PWM 运行

Copyright © 2026 Texas Instruments Incorporated

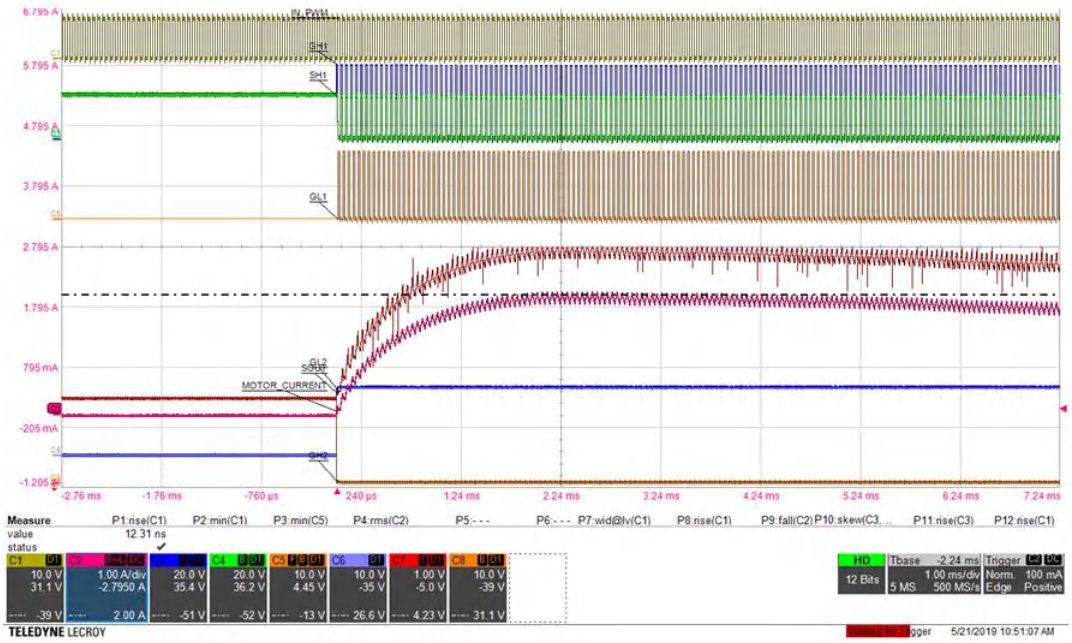


图 9-3. 电机启动期间的驱动器运行情况

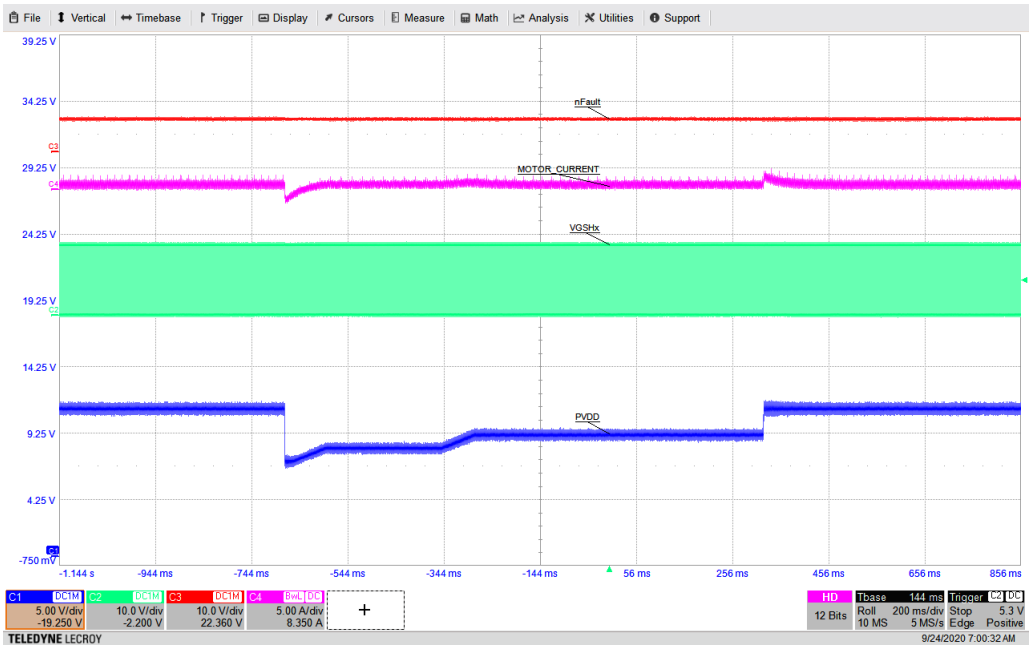


图 9-4. 热启动脉冲期间的驱动器 PWM 运行情况

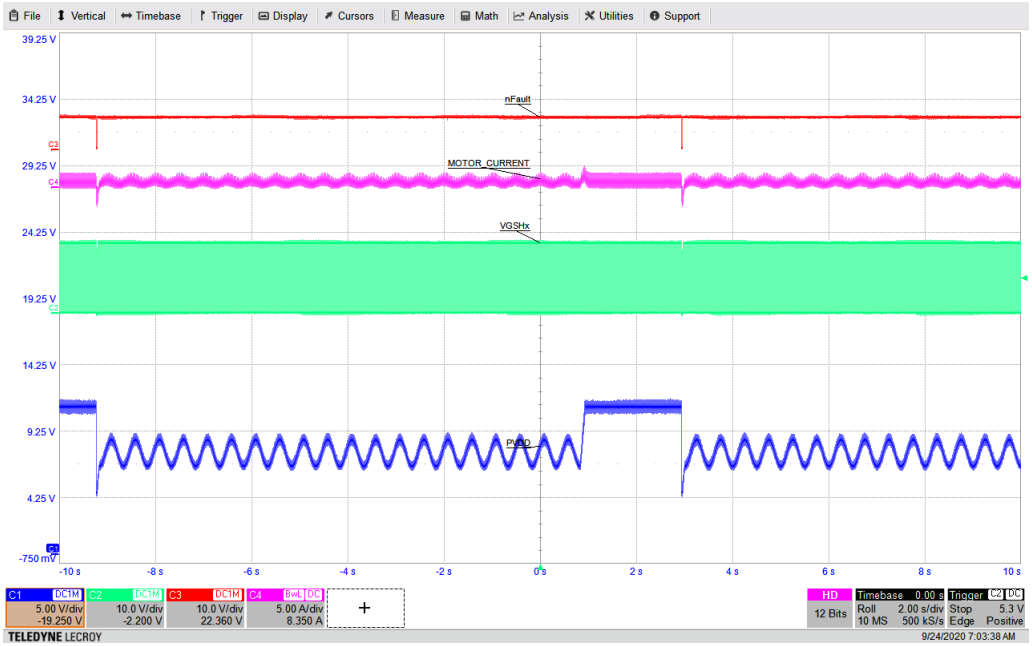


图 9-5. 冷启动脉冲期间的驱动器 PWM 运行情况

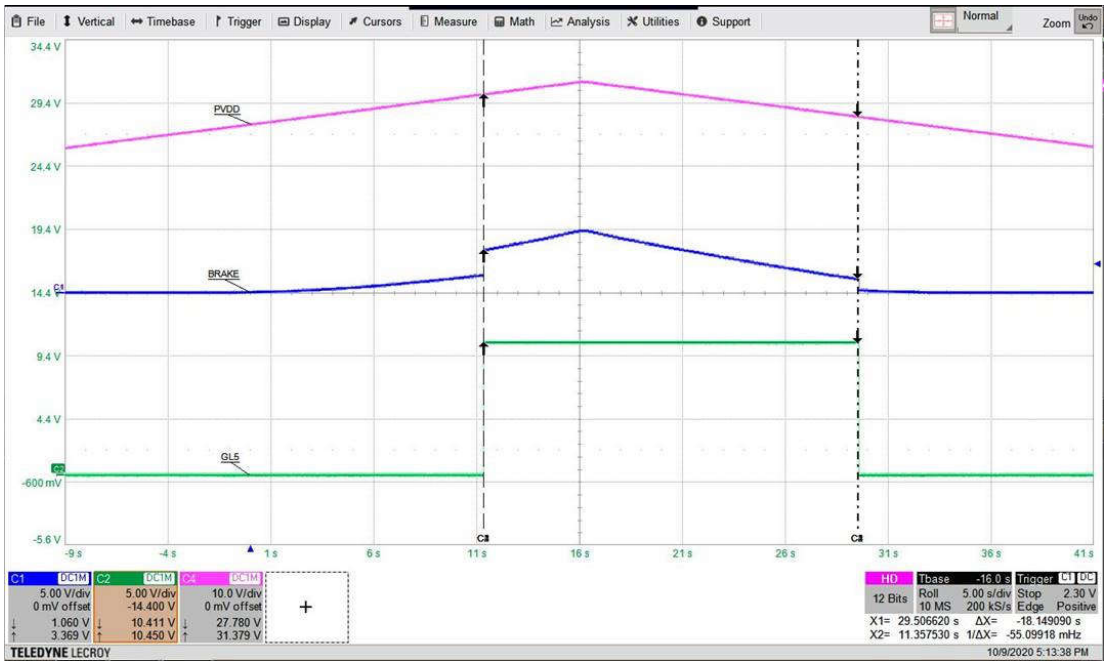


图 9-6. 断电制动低侧驱动器响应

Copyright © 2026 Texas Instruments Incorporated

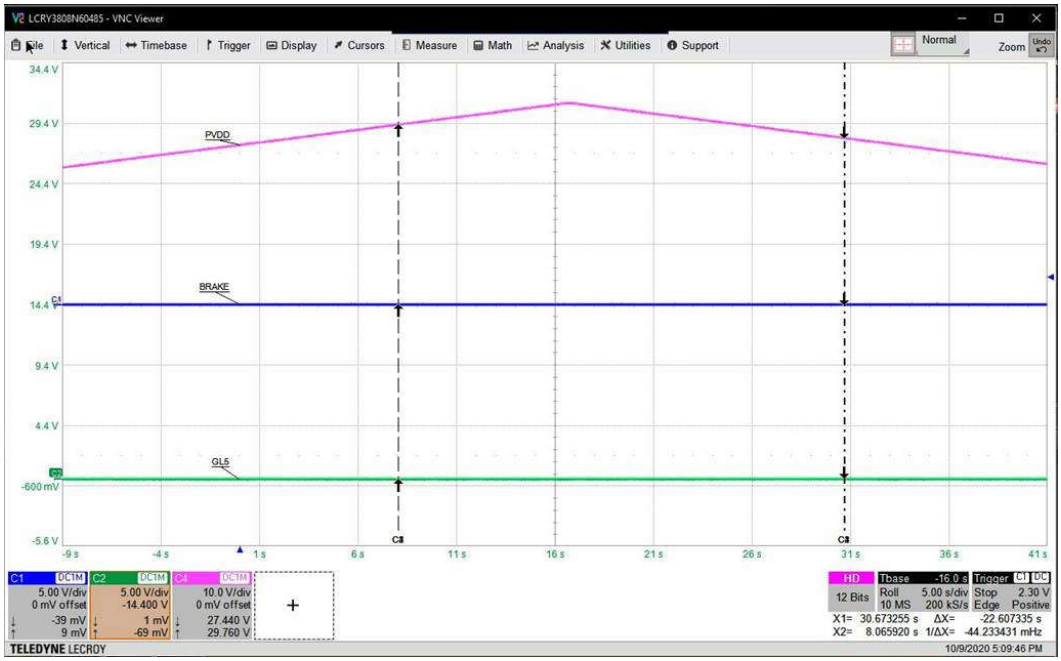


图 9-7. 断电制动已禁用

9.3 初始化

本节为使用 DRV871x-Q1 实现典型系统操作提供了一些入门指导。

- 默认情况下，该器件处于低功耗睡眠模式，nSLEEP 引脚为低电平。在此模式下，所有驱动器均被禁用，且无法进行任何器件通信。应将 nSLEEP 引脚驱动为高电平，使其进入待机状态。
- 在待机状态下，H/W 接口器件型号将立即进入工作状态，允许驱动器运行（器件设置将根据引脚配置得出），而 SPI 接口器件型号在加电后仍将保持驱动器禁用状态。
- 在 SPI 型号上，需要通过 EN_DRV 寄存器位来启用驱动器。但在启用驱动器之前，建议先配置输出驱动器、检测放大器、设置保护电路，并运行离线诊断。
- 半桥驱动器 PWM 配置通过 BRG_CTRL1、2 和 PWM_CTRL1、2 寄存器进行设置，具体取决于输出负载配置。此外，驱动器的栅极电流电平及栅极驱动器配置可通过 IDRV_CTRLx 和 DRV_CTRLx 寄存器进行设置。
- 检测放大器通过 CSA_CTRL1、2 和 3 寄存器进行配置。
- 可以通过 VDS_CTRLx 和 UVOV_CTRL 寄存器配置各项保护功能。
- 最后，在启用驱动器之前，可以通过 EN_OLSC 和 OLSC_CTRL1、2 寄存器对开路负载和短路执行离线诊断。

9.4 电源相关建议

9.4.1 确定大容量电容器的大小

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。所需的局部电容量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容器。

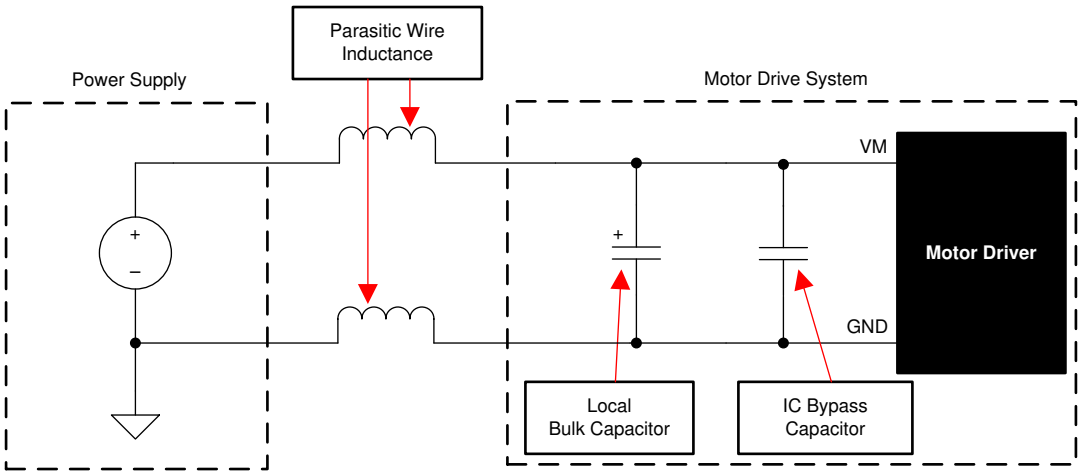


图 9-8. 电机驱动电源寄生效应示例

9.5 布局

9.5.1 布局指南

使用推荐容值为 0.1μF 的低 ESR 陶瓷旁路电容器将 PVDD 引脚旁路至 GND 引脚。将该电容器放置在尽可能靠近 PVDD 引脚的位置，并通过较宽的引线或通过接地平面连接到 GND 引脚。此外，使用额定电压为 PVDD 的大容量电容器旁路 PVDD 引脚。该元件可以是电解电容器。其容值必须至少为 10μF。如果该电容与外部功率 MOSFET 的大容量电容共享，也是可接受的。

需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属走线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

在 CPL1/CPH1 和 CPL2/CP2H 引脚之间放置一个低 ESR 陶瓷电容器。CP1 电容器的容值应为 0.1μF，额定电压为 PVDD，类型为 X5R 或 X7R。CP2 电容器的容值应为 0.1μF，额定电压为 PVDD + 16V，类型为 X5R 或 X7R。此外，在 VCP 和 PVDD 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 1μF，额定电压为 16V，类型为 X5R 或 X7R。

使用一个容值为 1.0μF、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 DVDD 引脚旁路至 DGND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 DGND 引脚的路径。使用一个容值为 0.1μF、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 AREF 引脚旁路至 AGND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 AGND 引脚的路径。如果这些电源上已经存在靠近器件的本地旁路电容器以更大限度地减少噪声，则无需为 DVDD 和/或 AREF 使用这些额外元件。

DRAIN 引脚可以直接短接到 PVDD 引脚。但是，如果器件和外部 MOSFET 之间的距离很大，请使用专用迹线连接到高侧外部 MOSFET 的漏极公共点。确保 PGNDx 引脚具有到低侧外部 MOSFET 源极及 PCB GND 平面的低阻抗路径，这些引脚直接连接到 GND 平面。遵循这些建议有助于更准确地感测外部 MOSFET 的 VDS 以实现过流检测。

尽可能地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 PGNDx 引脚。

Copyright © 2026 Texas Instruments Incorporated

9.5.2 布局示例

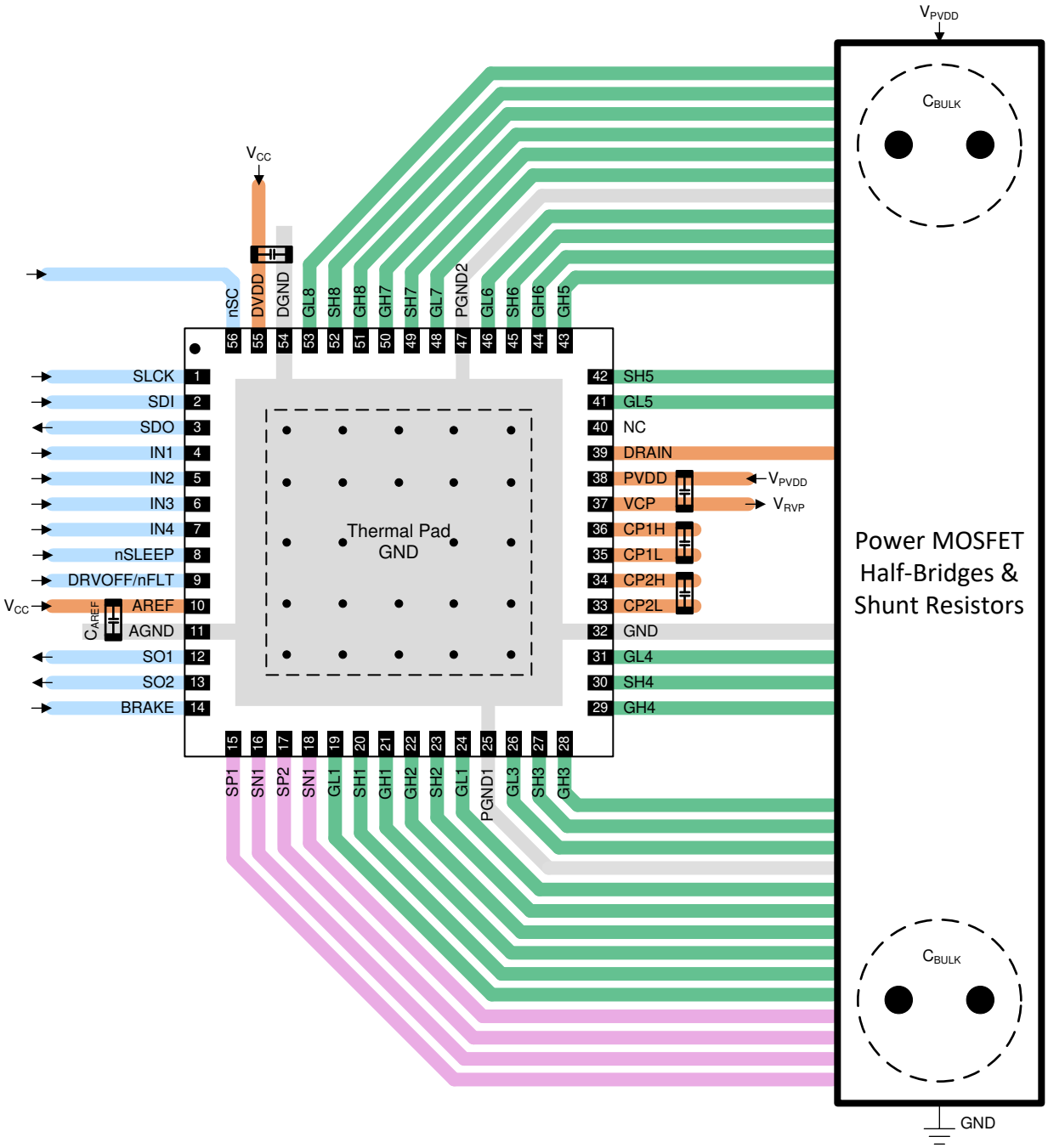


图 9-9. 布局示例

10 器件文档与支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*《了解智能栅极驱动器》应用报告*
- 德州仪器 (TI)，*计算电机驱动器的功耗应用报告*
- 德州仪器 (TI)，*PowerPAD™ 速成应用报告*
- 德州仪器 (TI)，*PowerPAD™ 热增强型封装应用报告*
- 德州仪器（TI），*电机驱动器电路板布局最佳实践 应用报告*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (December 2022) to Revision E (March 2026)	Page
• 更新了 VCP 欠压阈值。	61

Changes from Revision C (August 2022) to Revision D (December 2022)	Page
• 添加了 DRV8714A-Q1 型号。	3

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision B (June 2021) to Revision C (August 2022)	Page
• 添加了 QFP 封装选项信息	1

Changes from Revision A (December 2020) to Revision B (June 2021)	Page
• V_{OFF} 规格提高至 +/-1mV	22
• 添加了放大器 CMRR 最小值规格	22
• 消除了对 ADDR_FLT 的拼写错误引用	65

Changes from Revision * (August 2020) to Revision A (December 2020)	Page
• 将数据表状态从“预告信息”更改为“混合量产”	1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 封装选项附录

封装信息

可订购器件	状态	封装类型	封装图	引脚	包装数量	环保计划	铅/焊球镀层	MSL 峰值温度	工作温度 (°C)	器件标识
DRV8714SAQRHARQ1	预发布	VQFN	RHA	40	2500	RoHS 和绿色环保	NIPDAU	Level-3-260 C-168 HR	-40 至 125	DRV8714S

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8714HQPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714H
DRV8714HQPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714H
DRV8714HQRHARQ1	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714H
DRV8714HQRHARQ1.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714H
DRV8714SQPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714S
DRV8714SQPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714S
DRV8714SQRHARQ1	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRHARQ1.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRVJRQ1	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRVJRQ1.A	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8718SQRVJRQ1	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8718S
DRV8718SQRVJRQ1.A	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8718S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

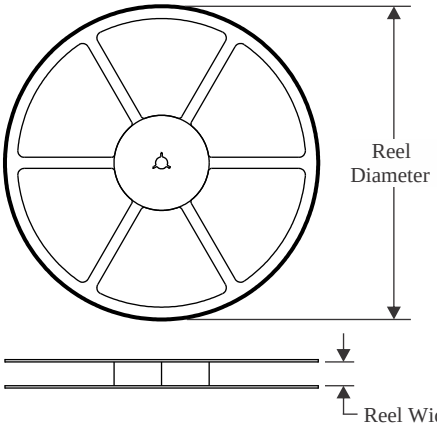
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

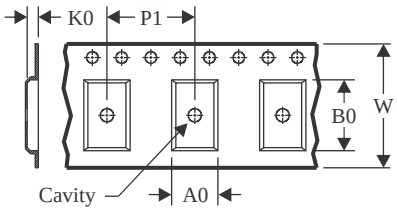
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

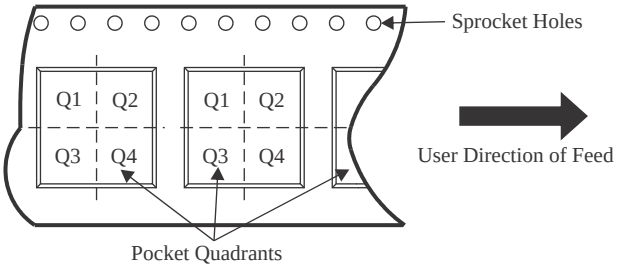


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

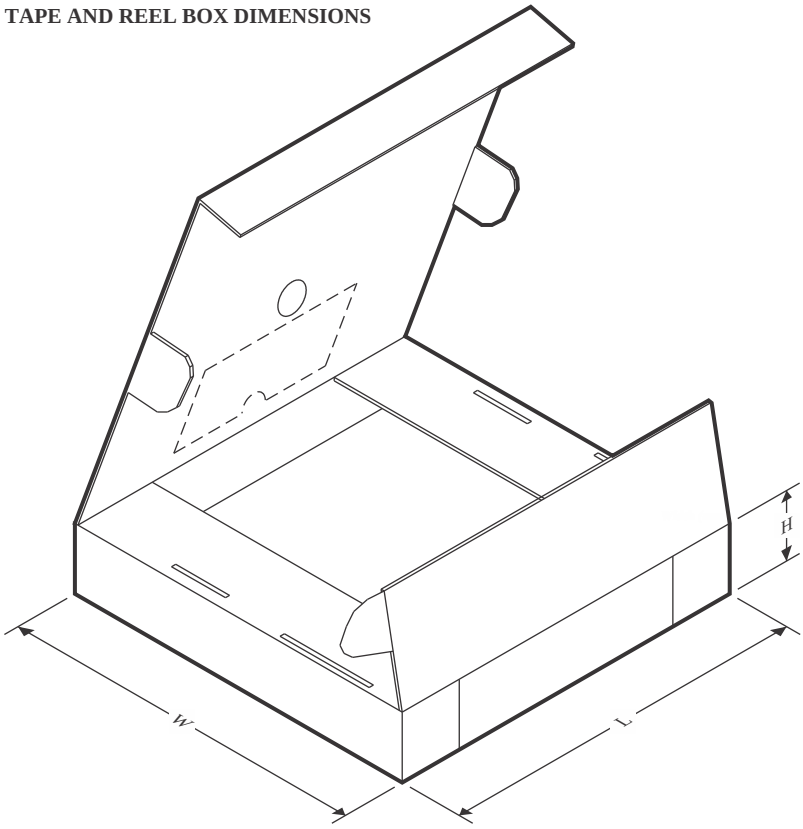
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8714HQPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
DRV8714HQRHARQ1	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8714SQPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
DRV8714SQRHARQ1	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8714SQRVJRQ1	VQFN	RVJ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2
DRV8718SQRVJRQ1	VQFN	RVJ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8714HQPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
DRV8714HQRHARQ1	VQFN	RHA	40	2500	367.0	367.0	35.0
DRV8714SQPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
DRV8714SQRHARQ1	VQFN	RHA	40	2500	367.0	367.0	35.0
DRV8714SQRVJRQ1	VQFN	RVJ	56	2000	367.0	367.0	35.0
DRV8718SQRVJRQ1	VQFN	RVJ	56	2000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

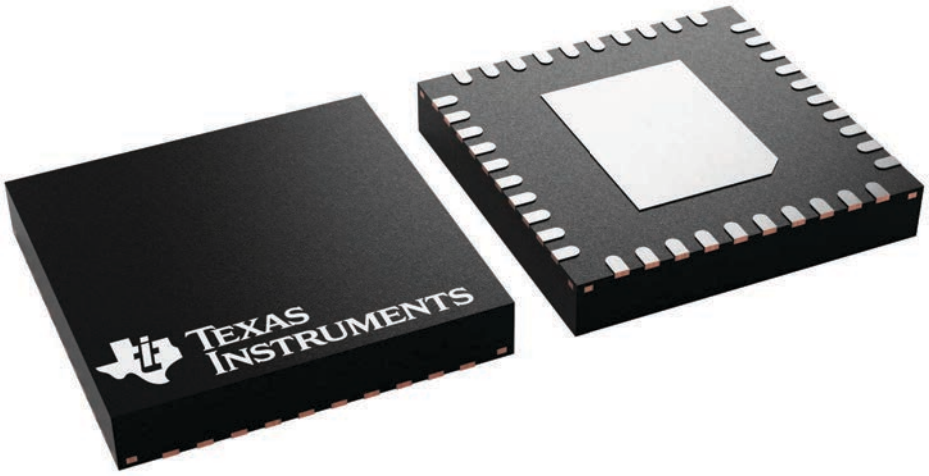
RHA 40

VQFN - 1 mm max height

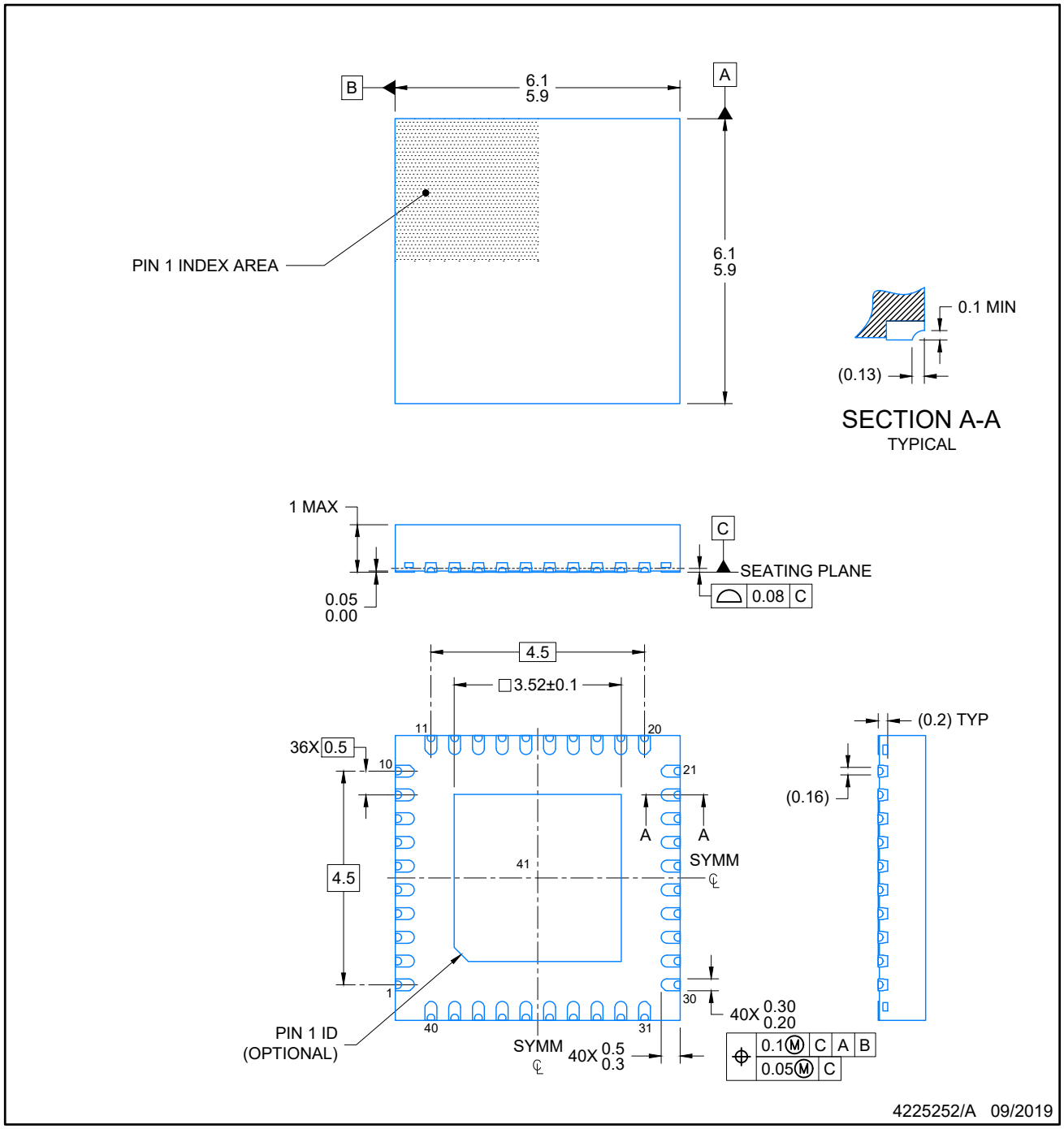
6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

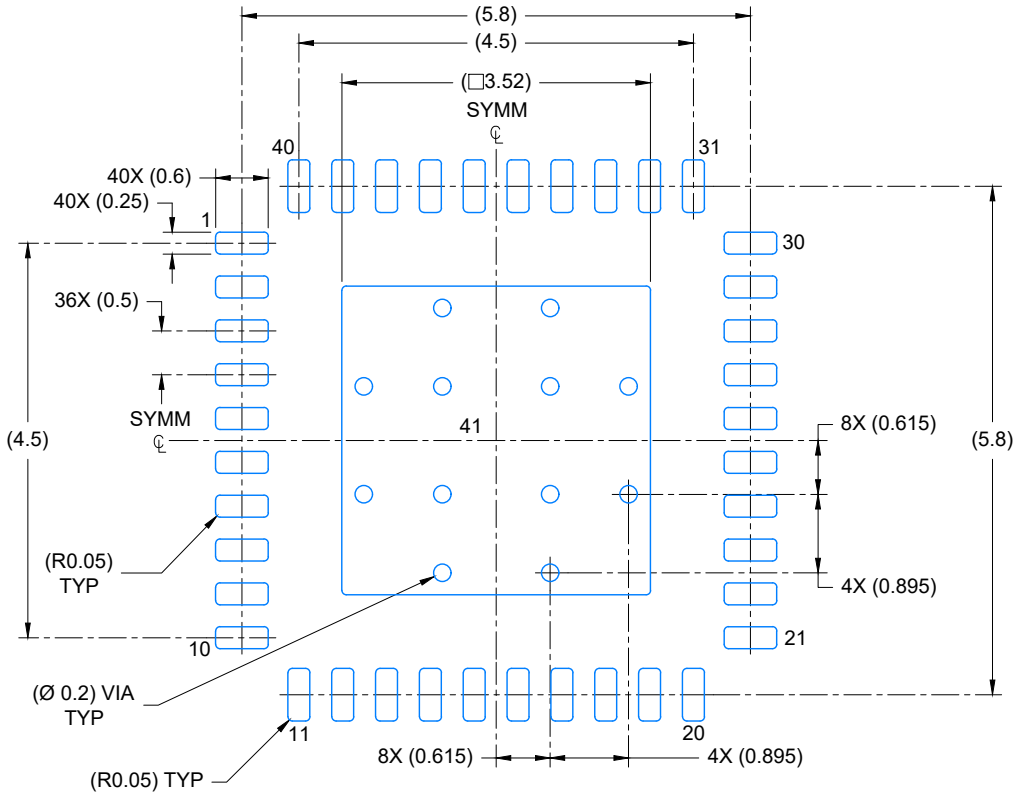


4225870/A

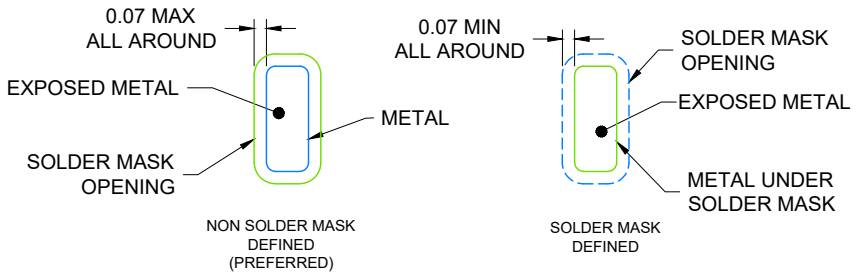


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

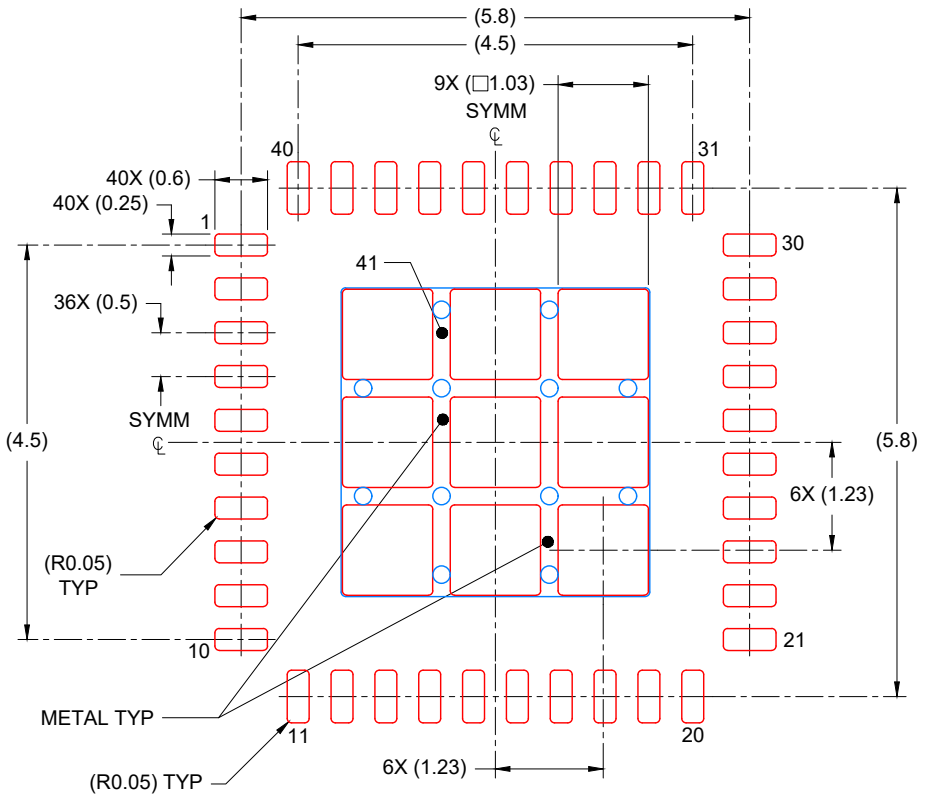


SOLDER MASK DETAILS

4225252/A 09/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
74% PRINTED COVERAGE BY AREA
SCALE: 12X

4225252/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

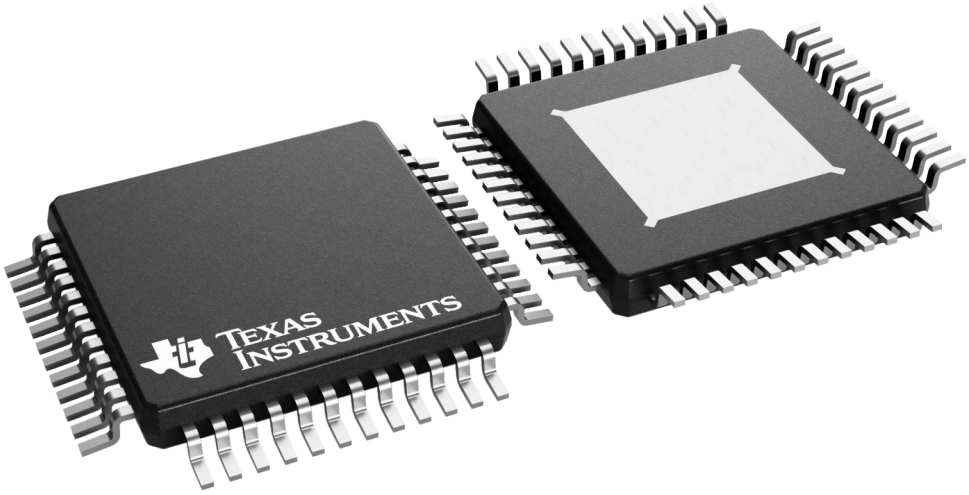
PHP 48

TQFP - 1.2 mm max height

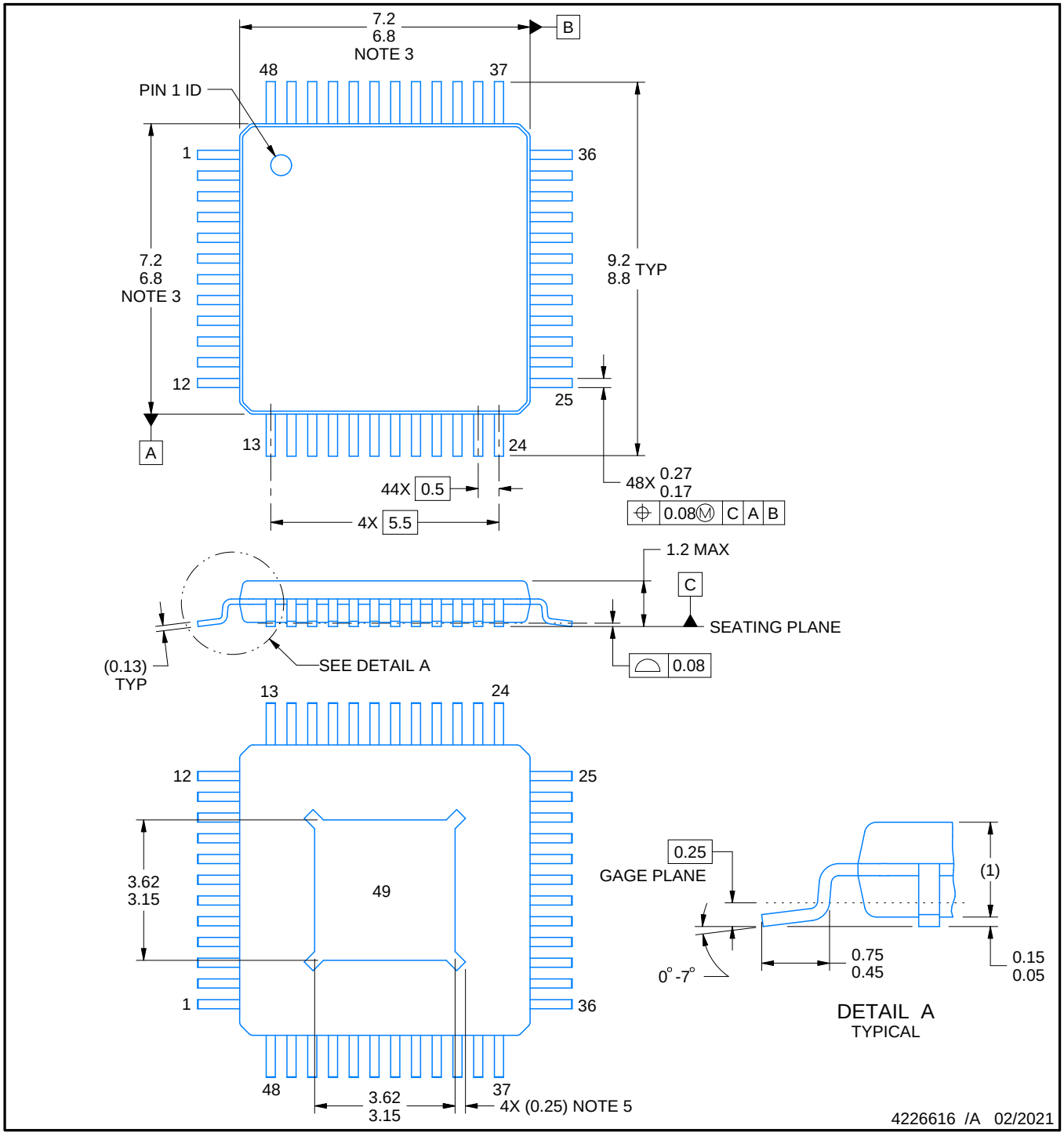
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



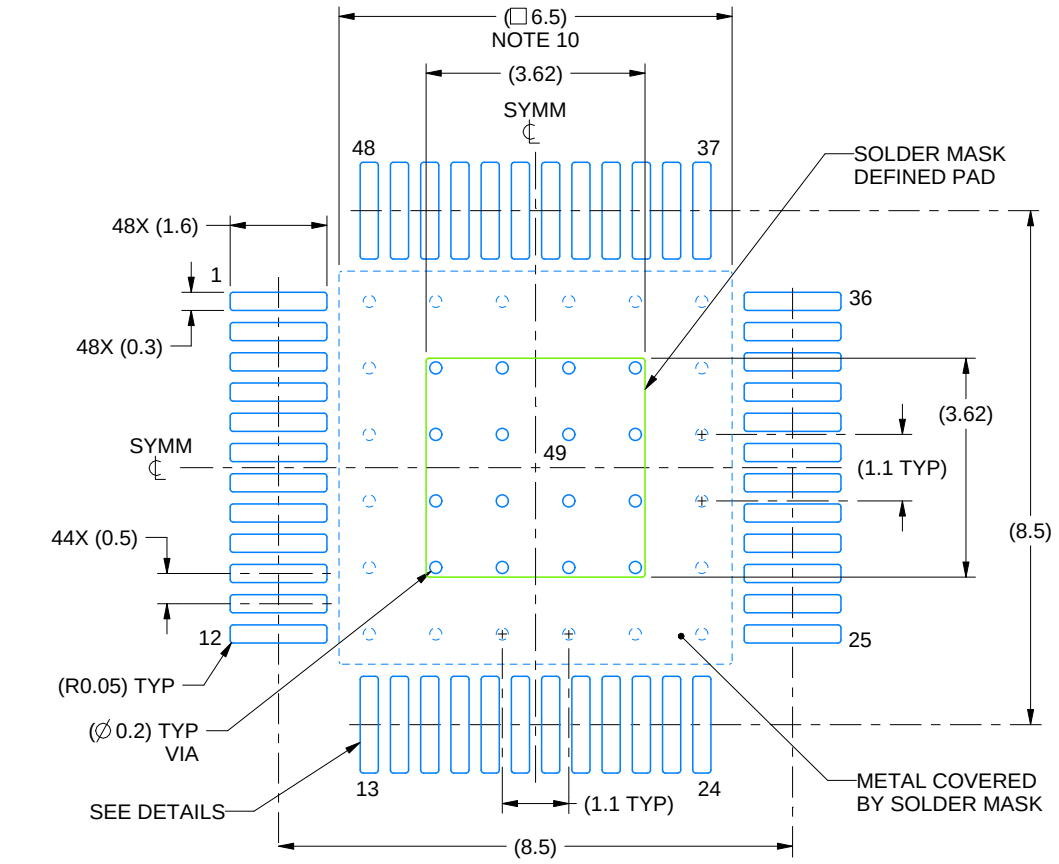
4226443/A



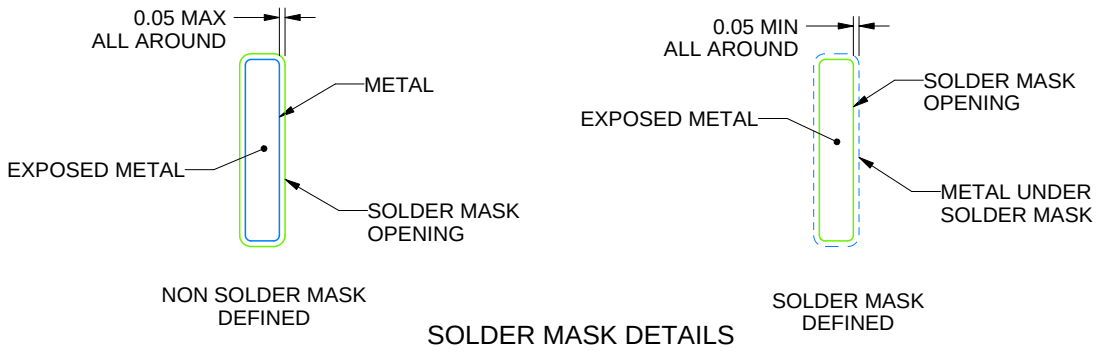
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

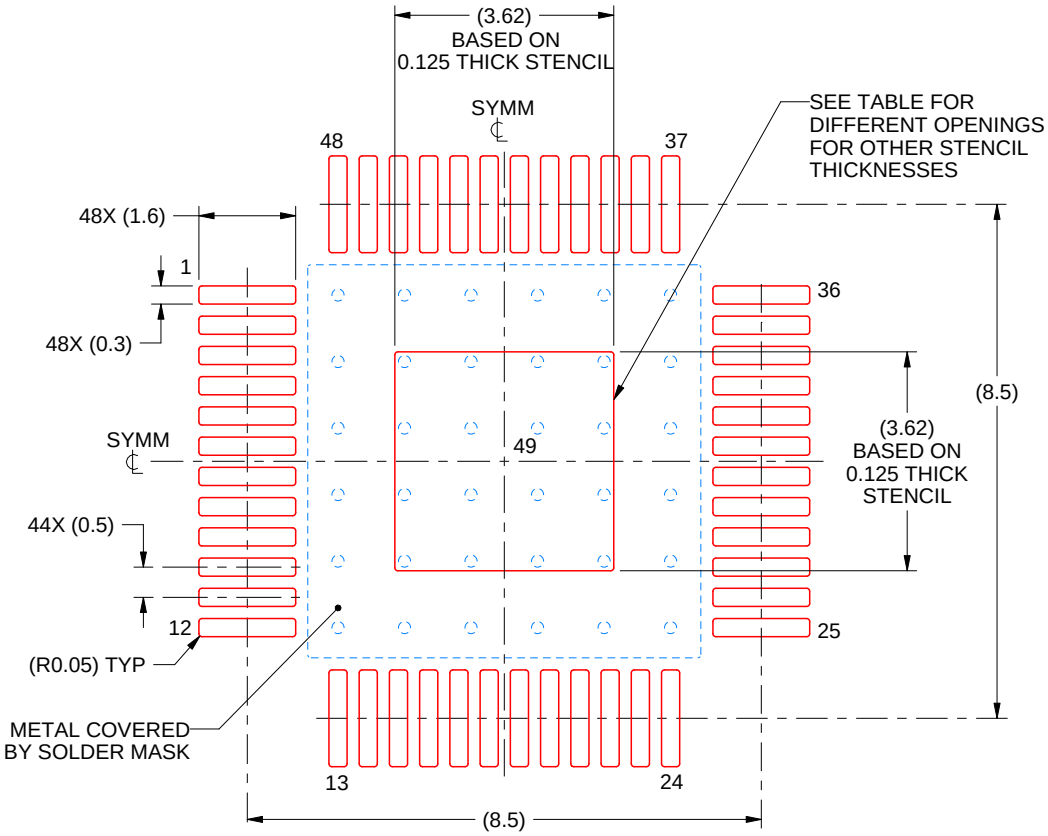


SOLDER MASK DETAILS

4226616 /A 02/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.05 X 4.05
0.125	3.62 x 3.62 (SHOWN)
0.150	3.30 x 3.30
0.175	3.06 x 3.06

4226616 /A 02/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

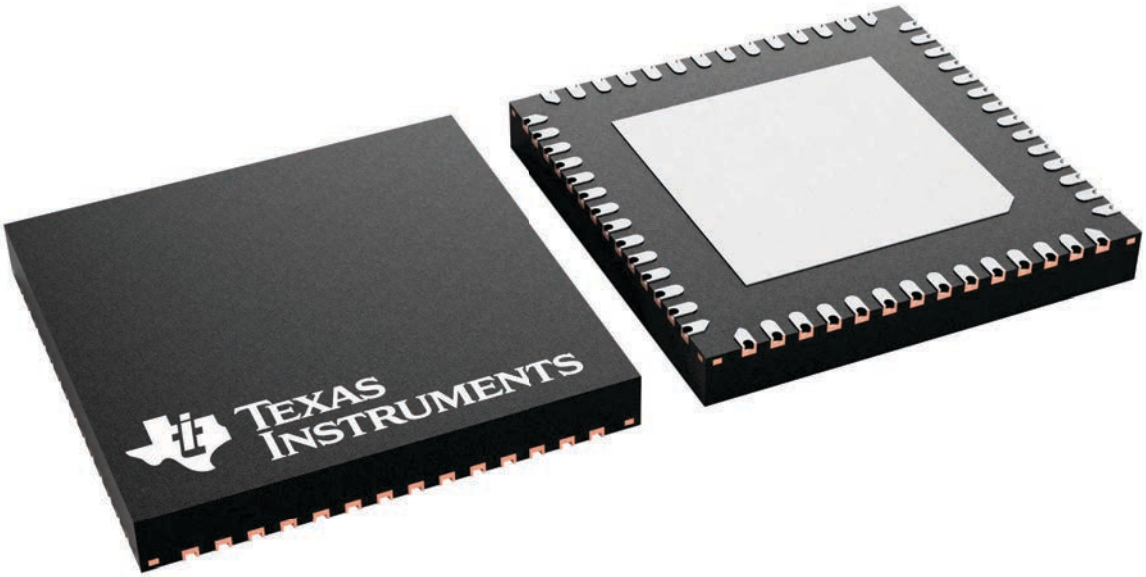
RVJ 56

VQFN - 1 mm max height

8 x 8, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230924/A

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月