具有 1/8 微步进、STEP/DIR 接口的 35V、2.5A DRV8818 步进电机驱动器

1 特性

- 为您提供的
  - STEP/DIR 接口
  - 内置微步进分度器，支持高达 **1/8 微步进**
  - 可编程混合衰减、消隐和关断时间
- **8V 至 35V** 工作电源电压范围
- 低 **370mΩ** (HS + LS) MOSFET $R_{DS(ON)}$ (25°C)
- 每绕组电流高达 **2.5A**
- 单独的逻辑电源电压 (VCC)
- HTSSOP-28 与以下项目引脚对引脚兼容
  - DRV8811：38V，**1000mΩ**
  - DRV8818A：35V，**310mΩ**，智能调优
- 散热增强型表面贴装封装
- 保护特性
  - VM 欠压锁定 (UVLO)
  - 过流保护 (OCP)
  - 热关断 (TSD)

2 应用

- 多功能打印机
- 纺织机、缝纫机
- IP 或云台网络摄像头
- 工业自动化
- 机器人

3 说明

DRV8818 可为打印机、扫描仪以及其它自动化设备应用（如纺织机械）提供集成型步进电机驱动器解决方案。此器件具有两个 H 桥驱动器、以及微步进分度器逻辑电路来控制一个步进电机。

每个输出驱动器块包含被配置为全 H 桥的 N 沟道功率 MOSFET，以驱动电机绕组。

通过一个简单的 STEP/DIRECTION 接口即可轻松与控制器电路相连。模式引脚可实现全步进、半步进、四分之一步进或八分之一步进模式的电机配置。衰减模式和 PWM 关闭时间均可编程。

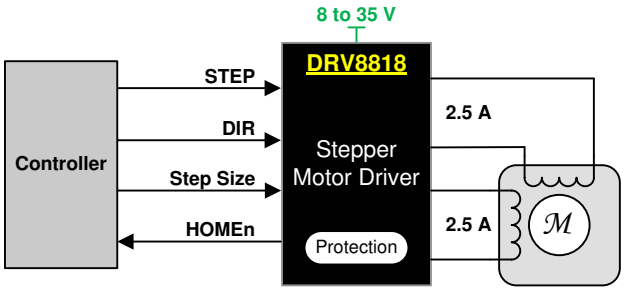
提供用于过流保护、短路保护、欠压闭锁和过热保护的内部关断功能。

DRV8818 采用 28 引脚 HTSSOP 封装，带有 PowerPAD™ 集成电路封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
DRV8818	PWP (HTSSOP，28)	9.7mm × 6.4mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 时序要求.....7
5.7 电机驱动器时序开关特性.....7
5.8 典型特性.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....10
6.3 特性说明.....11
6.4 器件功能模式.....16
7 应用和实施.....17
7.1 应用信息.....17
7.2 典型应用.....17
7.3 电源相关建议.....19
7.4 布局.....20
8 器件和文档支持.....23
8.1 文档支持.....23
8.2 接收文档更新通知.....23
8.3 支持资源.....23
8.4 商标.....23
8.5 静电放电警告.....23
8.6 术语表.....23
9 修订历史记录.....23
10 机械、封装和可订购信息.....24

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

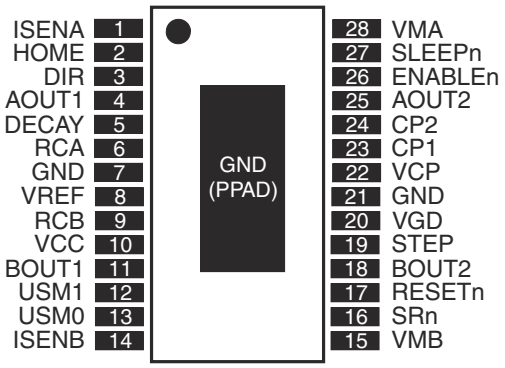


图 4-1. PWP 封装 28 引脚 HTSSOP 顶视图

表 4-1. 引脚功能

引脚		类型[(1)]	说明	
名称	编号			
电源和接地				
CP1	23	IO	电荷泵飞跨电容器	在 CP1 和 CP2 之间连接一个 0.22 μF 电容器。
CP2	24	IO	电荷泵飞跨电容器	在 CP1 和 CP2 之间连接一个 0.22 μF 电容器。
GND	7、21	—	器件接地	
VCC	10	—	逻辑电源电压	连接到 3V 至 5V 逻辑电源。使用 0.1 μF 陶瓷电容器旁路至 GND。
VCP	22	IO	高侧栅极驱动电压	将 0.22 μF 陶瓷电容器连接到 V_M。
VGD	20	IO	低侧栅极驱动电压	使用 0.22 μF 陶瓷电容器旁路至 GND。
VMA	28	—	桥接 A 电源	连接到电机电源（8V 至 35V）。VMA 和 VMB 必须连接到同一电源。
VMB	15	—	电桥 B 电源	
控制				
DECAY	5	I	衰减模式选择	施加电压可设置衰减模式 — 有关详细信息，请参阅电机驱动器说明。使用 0.1 μF 陶瓷电容器旁路至 GND。弱内部下拉电阻器。
DIR	3	I	方向输入	电平设置步进的方向。弱内部下拉电阻器。
ENABLEn	26	I	使能输入	逻辑高电平将禁用器件输出；逻辑低电平则会启用输出。内部弱上拉至 VCC。
ISENA	1	—	桥接 A 接地/Isense	连接到桥接 A 的电流检测电阻
ISENB	14	—	桥接 B 接地/Isense	连接到桥接 B 的电流检测电阻
RCA	6	I	桥接 A 消隐和关断时间调节	将并联电阻器和电容器连接到 GND — 有关详细信息，请参阅电机驱动器说明。
RCB	9	I	桥接 B 消隐和关断时间调节	将并联电阻器和电容器连接到 GND — 有关详细信息，请参阅电机驱动器说明。
RESETn	17	I	复位输入	低电平有效复位输入可初始化分度器逻辑并禁用 H 桥输出。内部弱上拉至 VCC。
SLEEPn	27	I	睡眠模式输入	逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式。弱内部下拉电阻器。
SRN	16	I	同步整流使能输入	低电平有效。当为低电平时，启用同步整流。弱内部下拉电阻器。
步进	19	I	步进输入	上升沿会使分度器前进一步。弱内部下拉电阻器。
USM0	13	I	微步进模式 0	USM0 和 USM1 设置步进模式 — 全步、半步、四分之一步或每步八个微步。弱内部下拉电阻器。
USM1	12	I	微步进模式 1	USM0 和 USM1 设置步进模式 — 全步、半步、四分之一步或每步八个微步。弱内部下拉电阻器。
VREF	8	I	电流设置基准输入	绕组电流设置的基准电压

表 4-1. 引脚功能（续）

引脚		类型[(1)]	说明	
名称	编号			
输出				
AOUT1	4	O	桥 A 输出 1	连接到双极步进电机绕组
AOUT2	25	O	桥 A 输出 2	正电流为 AOUT1→AOUT2
BOUT1	11	O	桥 B 输出 1	连接到双极步进电机绕组
BOUT2	18	O	桥 B 输出 2	正电流为 BOUT1→BOUT2
HOMEn	2	O	初始位置	处于步进表的初始状态时为逻辑低电平，在其他状态时为逻辑高电平

(1) 方向：I =输入、O =输出、OZ =三态输出、OD =开漏输出、IO =输入/输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1) (2) (3)]

		最小值	最大值	单位
V_{MX}	电源电压	-0.3	35	V
V_{CC}	电源电压	-0.3	7	V
	数字引脚电压	-0.5	7	V
V_{REF}	输入电压	0	V_{CC}	V
ISENSEx[(4)]	引脚电压	-0.875	0.875	V
$I_{O(peak)}$	峰值电机驱动输出电流	受内部限制		
P_D	持续总功率耗散	请参阅 *节 5.4*		
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-60	150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些列出的值仅是应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压值都是以网络接地端为基准。
(3) 必须遵循功率耗散和热限值。
(4) 在小于 25ns 的情况下可接受 ±1V 的瞬变。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±4000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

T_A = 25°C（除非另有说明）

		最小值	标称值	最大值	单位
V_M	电机电源电压[(1)]	8		35	V
V_{CC}	逻辑电源电压	3		5.5	V
V_{REF}	VREF 输入电压	0.05		V_{CC}	V
R_X	R_X 电阻值	12	56	100	kΩ
C_X	C_X 电容值	470	680	1500	pF

(1) 所有 V_M 引脚必须连接到同一电源电压。

5.4 热性能信息

热指标[(1)]		DRV8818 PWP (HTSSOP) 28 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	16.3	°C/W
$R_{\theta JB}$	结至电路板热阻	14	°C/W
ψ_{JT}	结至顶部特征参数	0.5	°C/W
ψ_{JB}	结至电路板特征参数	13.8	°C/W

热指标[1]		DRV8818 PWP (HTSSOP) 28 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

T_A = 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	V_M 工作电源电流	V_M = 35V，f_{PWM} < 50kHz		7	10	mA
I_{VCC}	V_{CC} 工作电源电流	f_{PWM} < 50kHz		0.4	4	mA
I_{VMQ}	V_M 睡眠模式电源电流	V_M = 35V		3	20	μA
I_{VCCQ}	V_{CC} 睡眠模式电源电流			0.5	20	μA
V_{UVLO}	V_M 欠压锁定电压	V_M 上升		6.7	7.5	V
	V_{CC} 欠压锁定电压	V_{CC} 上升		2.75	2.95	
VREF 输入/电流控制精度						
I_{REF}	VREF 输入电流	VREF = 3.3V	-3		3	μA
ΔI_{CHOP}	斩波电流精度	VREF = 2.0V，70% 至 100% 电流	-5%		5%	
		VREF = 2.0V，20% 至 56% 电流	-10%		10%	
逻辑电平输入						
V_{IL}	输入低电压				0.3 × V_{CC}	V
V_{IH}	输入高电压		0.7 × V_{CC}			V
V_{HYS}	输入迟滞			300		mV
I_{IL}	输入低电流	VIN = 0.3 × V_{CC}	-20		20	μA
I_{IH}	输入高电流	VIN = 0.3 × V_{CC}	-20		20	μA
R_{PU}	上拉电阻	ENABLEn、RESETn		1		MΩ
R_{PD}	下拉电阻	DIR、STEP、SLEEPn、USM1、USM0、SRN		1		MΩ
HomeN 输出						
V_{OL}	输出低电压	I_O = 200 μA			0.3 × VCC	V
V_{OH}	输出高电压	I_O = –200 μA	0.7 × VCC			V
衰减输入						
V_{IL}	输入低电平阈值电压	快速衰减模式		0.21 × VCC		V
V_{IH}	输入高电平阈值电压	慢速衰减模式		0.6 × VCC		V
H 桥 FET						
$R_{ds(on)}$	HS FET 导通电阻	V_M = 24V，I_O = 2.5A，T_J = 25°C		0.22	0.30	Ω
$R_{ds(on)}$	LS FET 导通电阻	V_M = 24V，I_O = 2.5A，T_J = 25°C		0.15	0.24	Ω
I_{LEAK}	禁用模式下输出到接地的漏电流	H 桥处于高阻态，V_{VM} = 35V			4400	μA
保护电路						
T_{TSD}	热关断温度	裸片温度	150	160	180	°C
I_{OCP}	过流保护等级		3.5			A
t_{OCP}	OCP 抗尖峰脉冲时间			1.5		μs
t_{RET}	OCP 重试时间			800		μs

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

T_A = 25°C（除非另有说明）

			最小值	标称值	最大值	单位
1	f_{STEP}	步进频率			500	kHz
2	$t_{WH(STEP)}$	脉冲持续时间，STEP 高电平	1			μs
3	$t_{WL(STEP)}$	脉冲持续时间，STEP 低电平	1			μs
4	$t_{SU(STEP)}$	STEP 上升前的命令设置时间	200			ns
5	$t_{H(STEP)}$	STEP 上升后的命令保持时间	264			ns
6	t_{WAKE}	SLEEPn 高电平无效到接受 STEP 输入的唤醒时间			1	ms
7	t_{SLEEP}	SLEEPn 低电平有效到输出禁用的睡眠时间			5	μs
8	t_{ENABLE}	ENABLEn 逻辑低电平到输出有效的启用时间			20	μs
9	$t_{DISABLE}$	ENABLEn 逻辑高电平到输出禁用 (Hi-Z) 的禁用时间			20	μs
10	t_{RESETR}	RESETn 高电平无效到输出启用的复位释放时间			80	μs
11	t_{RESET}	RESETn 低电平有效到输出禁用的复位时间			7	μs

5.7 电机驱动器时序开关特性

T_A = 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{OFF}	关断时间	Rx = 56kΩ，Cx = 680pF	35	44	53	μs
t_{BLANK}	电流检测消隐时间	Rx = 56kΩ，Cx = 680pF	900	1250	1500	ns
t_{DT}	死区时间	SRn = 0	100	475	800	ns
t_R	上升时间		10		80	ns
t_F	下降时间		10		80	ns

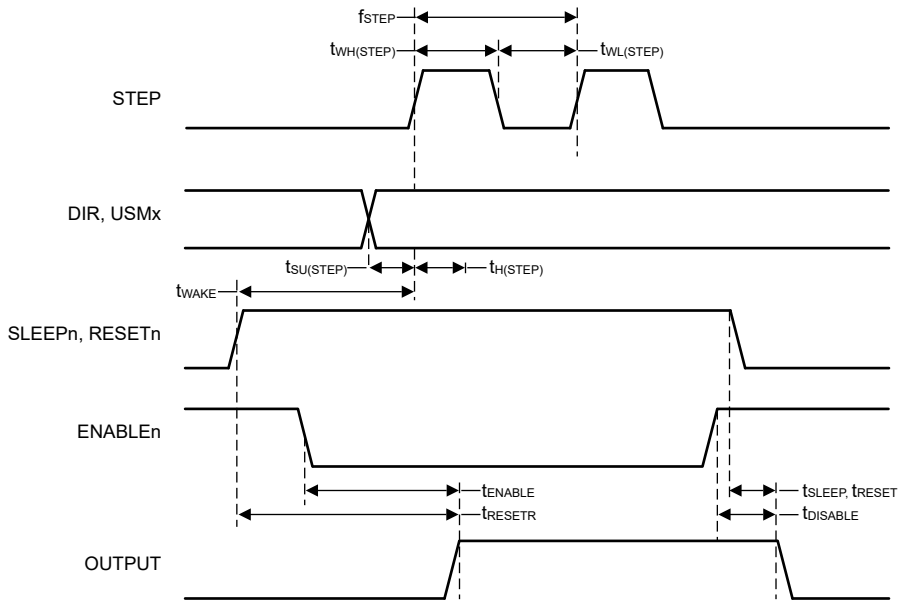


图 5-1. 时序图

5.8 典型特性

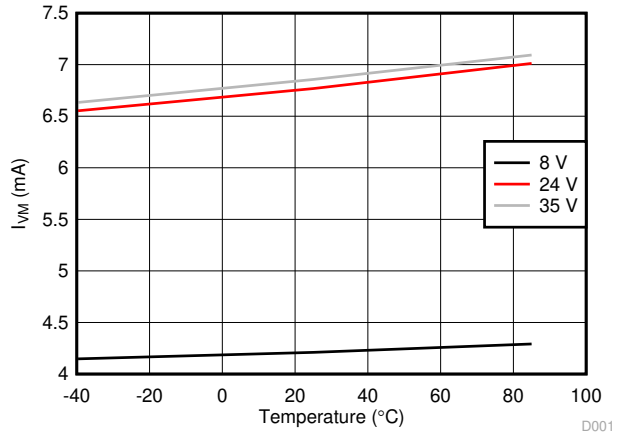


图 5-2. I_{VM} 与温度间的关系

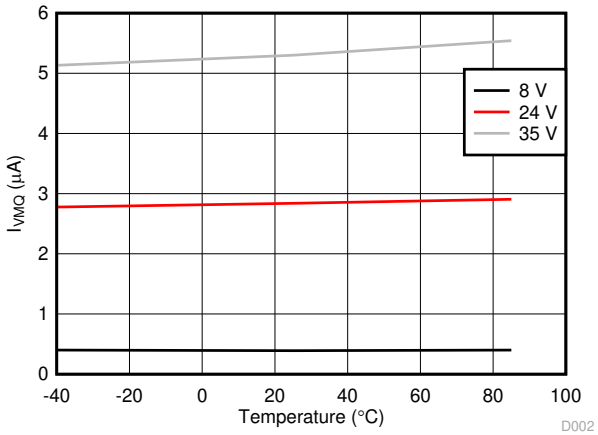


图 5-3. I_{VMQ} 与温度间的关系

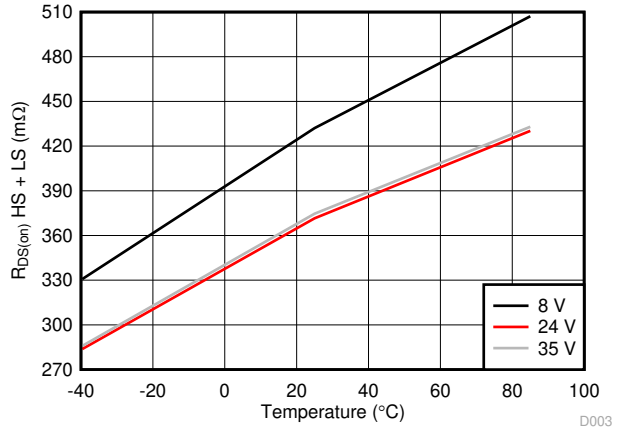


图 5-4. $R_{DS(ON)}$ HS + LS 与温度间的关系

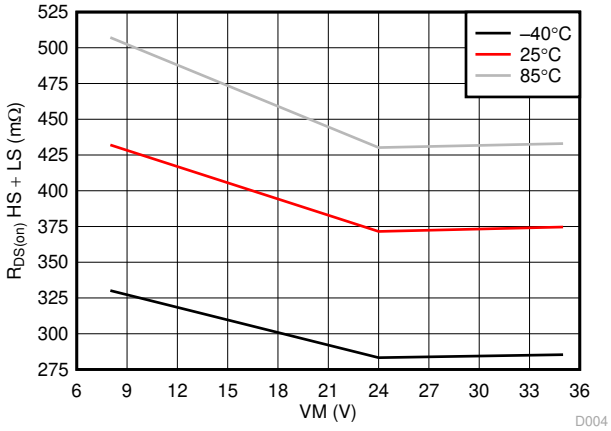


图 5-5. $R_{DS(ON)}$ HS + LS 与 VM 的关系

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

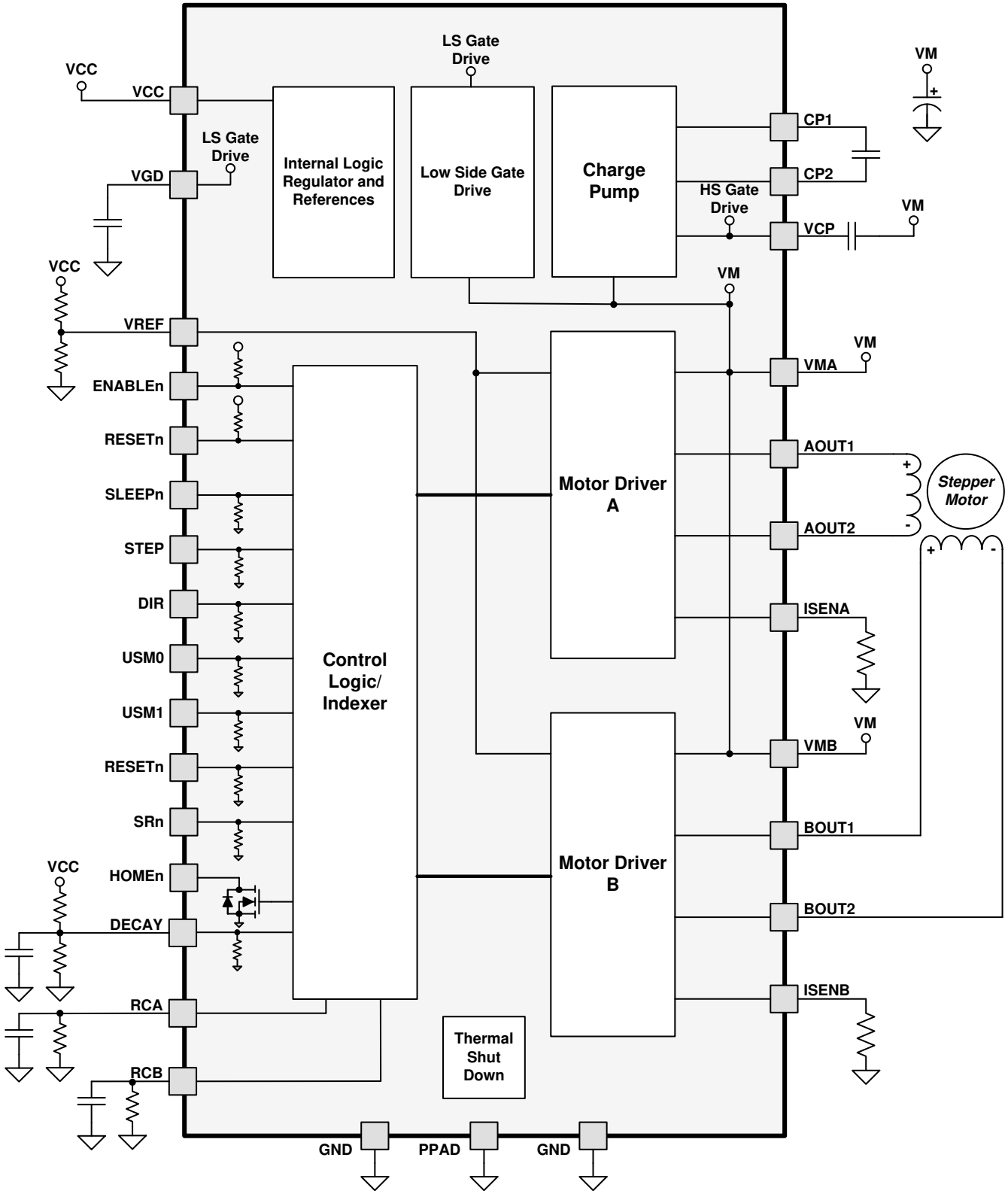
DRV8818 是一款用于双极步进电机的高度可配置集成电机驱动器。该器件集成了两个 H 桥、电流检测和调节电路以及一个微步进分度器。DRV8818 可使用 8V 至 35V 之间的电源电压供电，能够提供高达满量程 2.5A 的输出电流。

简单的 STEP/DIR 接口可实现与控制器的轻松连接。内部分度器可以执行高精度微步进，而无需控制器来管理电流调节环路。

电流调节高度可配置并具有三种衰减运行模式，可根据应用要求进行选择：快速衰减、慢速衰减和混合衰减。DRV8818 还提供可配置的混合衰减、消隐时间和关断时间，以适应各种电机。

该器件集成了低功耗休眠模式，可在系统空闲时最大限度降低功耗。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 PWM H 桥驱动器

DRV8818 包含两个带有电流控制 PWM 电路的 H 桥电机驱动器和一个微步进分度器。电机控制电路的方框图如下所示。

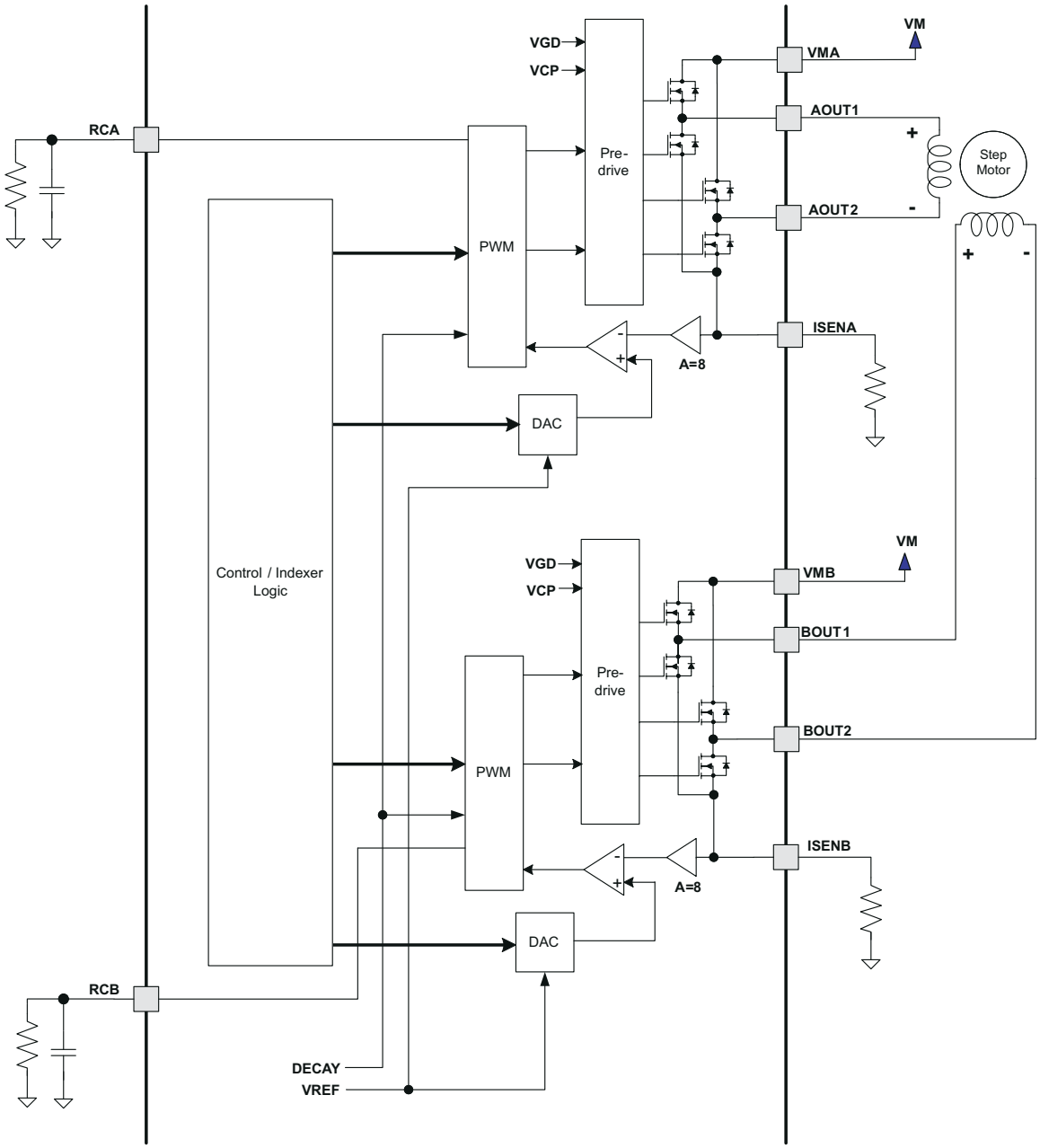


图 6-1. 电机控制电路

6.3.2 电流调节

PWM 斩波电流由比较器设置，比较器检测电阻两端的电压乘以 8 倍后与基准电压进行比较。基准电压从 VREF 引脚输入。满量程 (100%) 斩波电流的计算方法如下：

$$I_{CHOP}(A) = \left(\frac{V_{VREF}(V)}{8 \times R_{SENSE}(\Omega)}\right) \quad (1)$$

示例：

如果使用了 0.22Ω 检测电阻，且 VREFx 引脚为 3.3V，则满量程 (100%) 斩波电流为 3.3V/(8 × 0.22Ω)= 1.875A。

基准电压还可通过内部 DAC 进行调节，该 DAC 实现双极步进电机小数步进的扭矩控制，如 *节 6.3.4* 部分所述。

激活绕组后，流经绕组的电流会上升，直至达到上述斩波电流阈值，然后电流将在固定的关断时间内关断。关断时间由连接到 RCA（桥接 A）和 RCB（桥接 B）引脚的电阻器和电容器的值决定。关断时间的近似计算公式为：

$$t_{OFF}(\mu s) = R(k\Omega) \times C(nF) \quad (2)$$

为避免绕组首次激活时瞬态电流出现误跳变，将在导通 FET 后立即使用消隐期，在此期间会忽略电流感应比较器的状态。消隐时间由连接到 RCx 引脚的电容器值决定，其近似计算公式为：

$$t_{BLANK}(ns) = 1400(\Omega) \times C(nF) \quad (3)$$

6.3.3 衰减模式

在 PWM 电流斩波期间，将启用 H 桥以驱动电流流过电机绕组，直至达到 PWM 电流斩波阈值。图 6-2 的项目 1 展示了这种情况。所示的电流方向在下方步进表中表示正电流流动。

一旦达到斩波电流阈值后，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。

在快速衰减模式下，一旦达到 PWM 斩波电流电平，H 桥便会进行状态逆转，使绕组电流反向流动。如果启用同步整流（SRn 引脚逻辑为低），此时对侧的 FET 开启；当绕组电流接近零时，禁用该电桥，以防止出现反向流动的电流。如果 SRn 为高电平，则通过体二极管或通过外部肖特基二极管再循环电流。图 6-2 的项目 2 中展示了快速衰减模式。

在慢速衰减模式下，通过启用该电桥的两个低侧 FET 来实现绕组电流的再循环。图 6-2 的项目 3 展示了这种情况。

如果 SRN 为高电平，则仅通过体二极管或通过外部肖特基二极管再循环电流。在这种情况下，始终使用快速衰减。

Copyright © 2025 Texas Instruments Incorporated

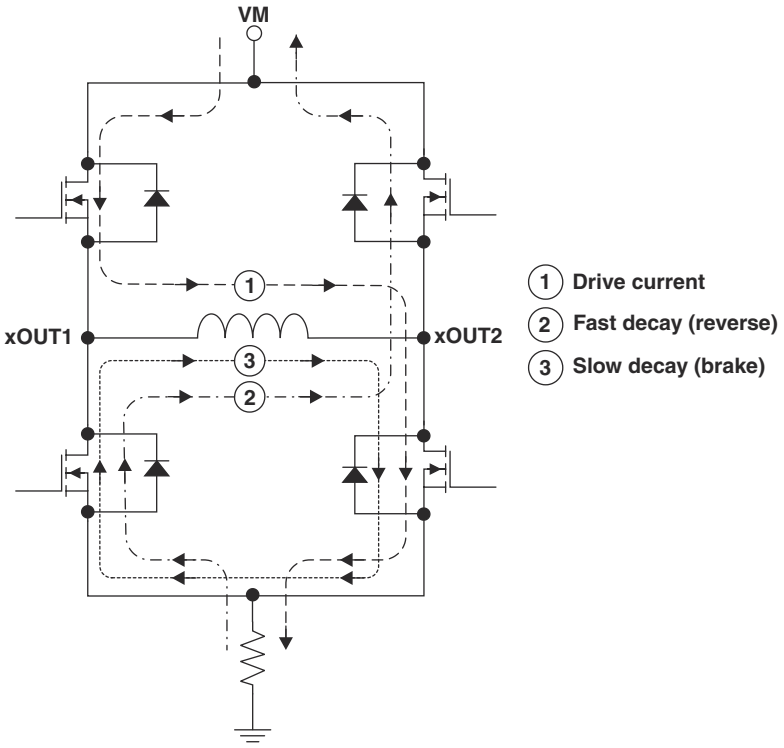


图 6-2. 衰减模式

DRV8818 还支持混合衰减模式。混合衰减模式开始时为快速衰减，但过一段时间会切换到慢速衰减模式，持续固定的关断时间。

快速和混合衰减模式仅在通过绕组的电流减小时才有效；如果电流在增加，则始终使用慢速衰减。

使用哪种衰减模式由 DECAY 引脚上的电压选择。如果电压大于 0.6 × V_{CC}，则始终使用慢速衰减模式。如果 DECAY 小于 0.21 × V_{CC}，则当通过绕组的电流减小时，该器件将以快速衰减模式运行。如果电压介于这些电平之间，则启用混合衰减模式。

在混合衰减模式下，DECAY 引脚上的电压设置切换到慢速衰减模式的周期点。该时间可通过以下公式近似计算：

$$t_{FD}(\mu s) = R(k\Omega) \times C(nF) \times \ln\left(\frac{0.6 \times V_{CC}(V)}{V_{DECAY}(V)}\right) \quad (4)$$

混合衰减模式仅在通过绕组的电流减小时使用，而在电流增大时使用慢速衰减。

消隐、固定关断时间和混合衰减模式的运行如 图 6-3 所示。

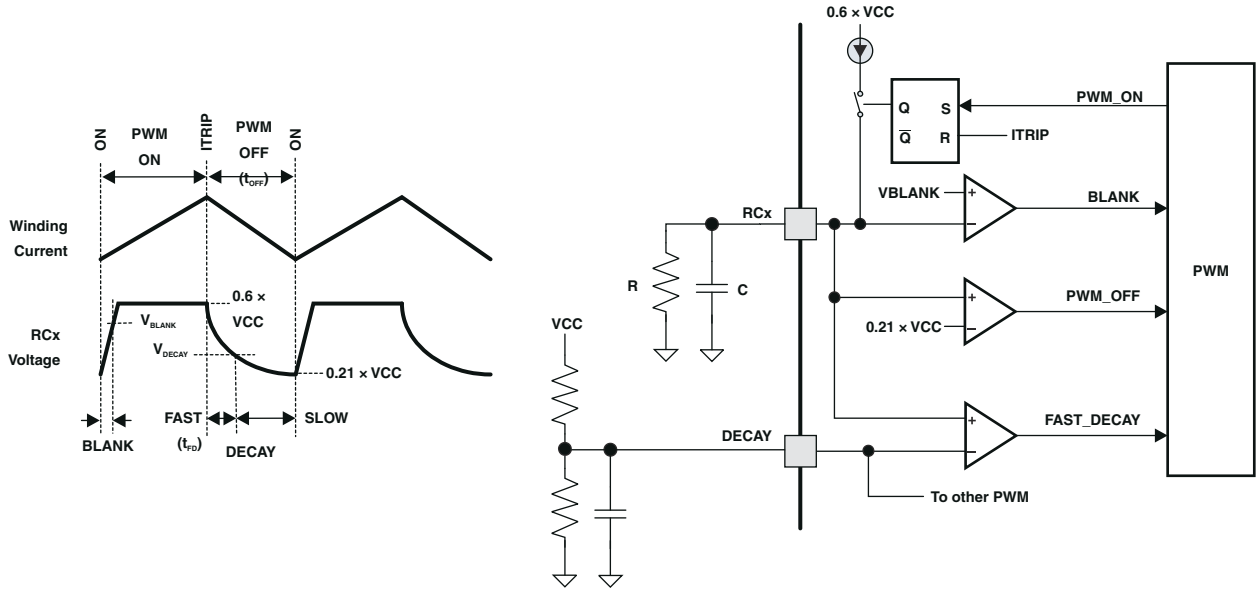


图 6-3. PWM

6.3.4 细分分度器

DRV8818 中的内置分度器逻辑支持多种不同的步进配置模式。USM1 和 USM0 引脚用于配置步进格式，如 表 6-1 所示：

表 6-1. 微步进选择位

USM1	USM0	步进模式
0	0	全步（两相励磁）
0	1	1/2 步（1-2 相励磁）
1	0	1/4 步(W1-2 相励磁)
1	1	1/8 步进

表 6-2 显示了 USM1 和 USM0 不同设置下的相对电流和步进方向。在 STEP 输入的每个上升沿，分度器移动到表格中的下一个状态。方向按照 DIR 引脚为高电平进行显示；如果 DIR 引脚为低电平，则顺序相反。正电流定义为 xOUT1 = 相对于 xOUT2 为正值。

请注意，初始状态为 45°。在上电或器件复位时进入该状态。在此状态下，HomeN 输出引脚被驱动为低电平。在所有其他状态下，HomeN 引脚被驱动为逻辑高电平。

Copyright © 2025 Texas Instruments Incorporated

表 6-2. 细分分度器

全步 USM = 00	1/2 步 USM = 01	1/4 步 USM = 10	1/8 步 USM = 11	AOUTx 电流 （满量程百分比）	BOUTx 电流 （满量程百分比）	步进角度 (°)
	1	1	1	100	0	0
			2	98	20	11.325
		2	3	92	38	22.5
			4	83	56	33.75
1	2	3	5	71	71	45（初始状态）
			6	56	83	56.25
		4	7	38	92	67.5
			8	20	98	78.75
	3	5	9	0	100	90
			10	-20	98	101.25
		6	11	-38	92	112.5
			12	-56	83	123.75
2	4	7	13	-71	71	135
			14	-83	56	146.25
		8	15	-92	38	157.5
			16	-98	20	168.75
	5	9	17	-100	0	180
			18	-98	-20	191.25
		10	19	-92	-38	202.5
			20	-83	-56	213.75
3	6	11	21	-71	-71	225
			22	-56	-83	236.25
		12	23	-38	-92	247.5
			24	-20	-98	258.75
	7	13	25	0	-100	270
			26	20	-98	281.25
		14	27	38	-92	292.5
			28	56	-83	303.75
4	8	15	29	71	-71	315
			30	83	-56	326.25
		16	31	92	-38	337.5
			32	98	-20	348.75

6.3.5 保护电路

6.3.5.1 过流保护 (OCP)

如果流经任何 FET 的电流超过预设的过流阈值，则 H 桥中的所有 FET 将被禁用大约 800μs，或者直到 ENABLEn 引脚变为无效高电平，然后恢复为低电平，或者电源被移除并重新施加。在两个方向上均检测到过流情况；即接地短路、电源短路或跨电机绕组短路都会导致过流关断。

请注意，过流保护不使用用于 PWM 电流控制的电流检测电路，并且与 Isense 电阻值或 VREF 电压无关。此外，如果发生过流事件，微步进分度器会复位至初始状态。

6.3.5.2 热关断 (TSD)

如果芯片温度超过安全限值，器件中的所有驱动器都会关断，并且分度器会复位至初始状态。裸片温度下降到安全水平后，将恢复运行。

6.3.5.3 欠压锁定 (UVLO)

每当 VM 或 VCC 引脚上的电压降至低于 VM 或 VCC 欠压锁定阈值电压时，器件中的所有电路都会被禁用，并且分度器将复位至初始状态。当 VM 和 VCC 电压均升至各自的 UVLO 阈值以上时，操作恢复。

6.4 器件功能模式

6.4.1 睡眠模式

当 SLEEPn 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，所有内部 MOSFET 都被禁用 (Hi-Z)，并且内部逻辑稳压器、电荷泵和内部时钟都被禁用。在 SLEEPn 引脚的下降沿之后，必须经过 t_{SLEEP} 时间，器件才能进入睡眠模式。如果 SLEEPn 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.4.2 禁用模式

ENABLEn 引脚用于控制器件的输出。当 ENABLEn 为低电平时，输出 H 桥将启用。当 ENABLEn 为高电平时，H 桥被禁用，输出处于高阻抗状态。

请注意，当 ENABLEn 为高电平时，输入引脚和控制逻辑，包括分度器（STEP 和 DIR 引脚）仍然有效。

表 6-3. 启用或禁用输出驱动器的条件

SLEEPn	ENABLEn	H 桥
0	X	禁用
1	1	禁用
1	0	启用

6.4.3 工作模式

当 VM 引脚上的电源电压超过欠压阈值 V_{UVLO}、SLEEPn 引脚处于逻辑高电平状态且 t_{WAKE} 消失之后，器件将进入活动工作模式。在此模式下，H 桥、电荷泵和内部逻辑将被激活，器件将准备好接收输入。

在以下情况下启用该模式：

- SLEEPn 引脚为逻辑高电平
- ENABLEn 引脚为逻辑低电平
- RESETn 引脚为逻辑高电平
- 对于 V_M，$V_M > V_{UVLO}$
- 对于 V_{CC}，$V_{CC} > V_{UVLO}$

必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.4.4 衰减模式

该 DRV8818 支持三种不同的衰减模式：慢速衰减、快速衰减和混合衰减。使用固定关断时间方案来调节流经电机绕组的电流。

这意味着电流会持续上升，直至达到电流斩波阈值 (I_{TRIP})，之后电流将进入设定的衰减模式并持续固定的时长。然后该周期在衰减周期结束后重复。

消隐时间 t_{BLANK} 定义了电流斩波的最小驱动时间。在 t_{BLANK} 期间 I_{TRIP} 被忽略，因此绕组电流可能会超过跳变电平。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保该信息的准确性和完整性。客户负责确定元件是否适合预期用途，以及验证和测试其设计实现以确认系统功能

7.1 应用信息

DRV8818 用于双极步进电机控制。微步进电机驱动器可精确调节线圈电流，并保持步进电机的平稳旋转。

7.2 典型应用

图 7-1 显示了 DRV8818 的常见系统应用。

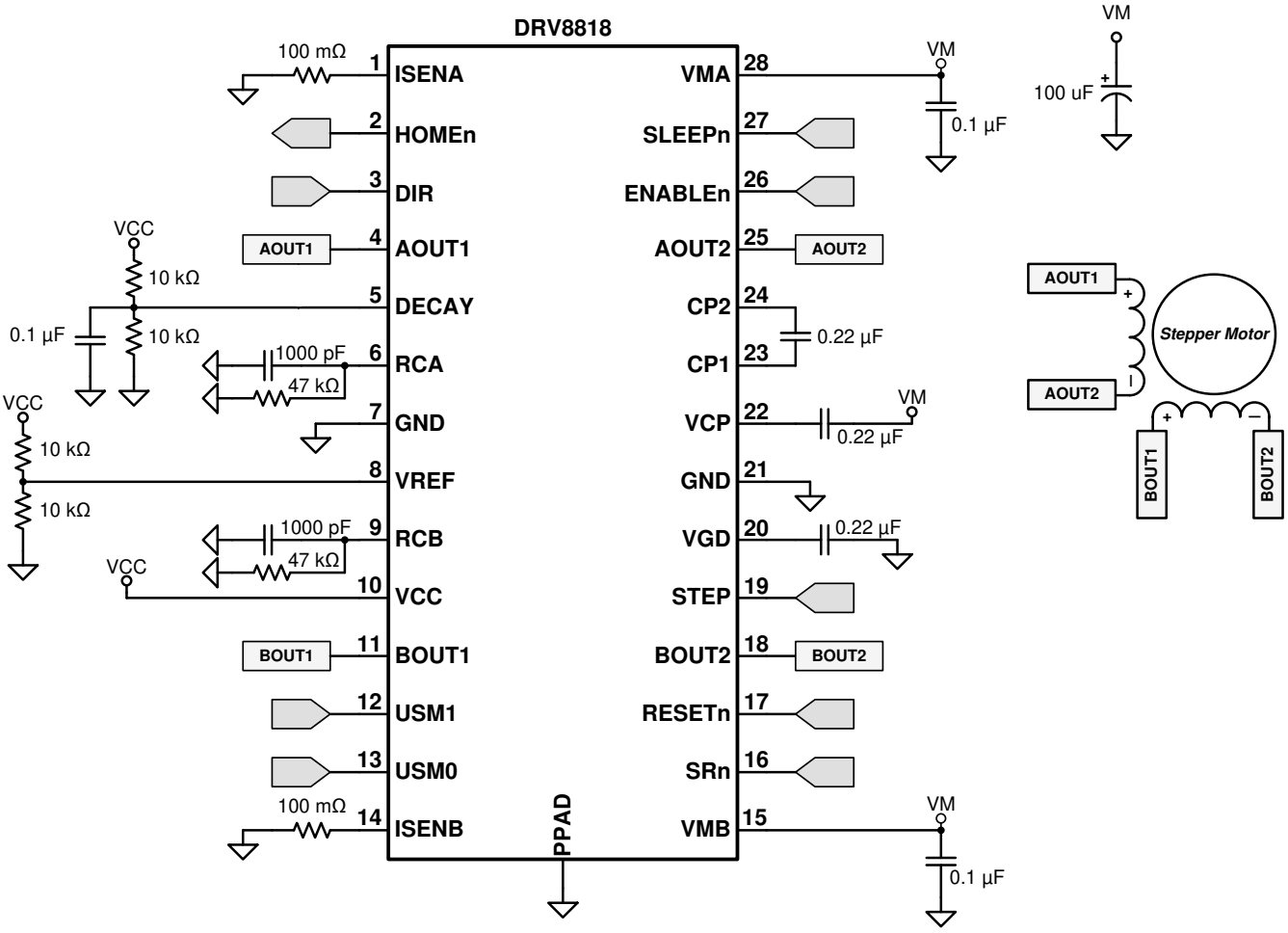


图 7-1. 典型应用原理图

7.2.1 设计要求

有关设计参数，请参阅 表 7-1。

表 7-1. 设计参数

设计参数	基准	示例值
电源电压	VM	24V
电机绕组电阻	R_L	4.0Ω
电机绕组电感	I_L	3.7mH
电机全步进角	θ_{step}	1.8°/步进
目标微步进级别	n_m	每步 8 微步进
目标电机转速	v	120 RPM
目标满量程电流	I_{FS}	1.25A

7.2.2 详细设计过程

7.2.2.1 步进电机转速

配置 DRV8818 时，第一步需要确定所需的电机转速和微步进级别。如果目标应用需要恒定转速，则必须将频率为 f_{step} 的方波施加到 STEP 引脚。

高目标电机启动速度会导致电机无法旋转。确保电机可以支持目标转速或实施加速曲线以使电机加速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，

$$f_{step}\left(\mu steps / second\right) = \frac{v\left(\frac{rotations}{minute}\right) \times 360\left(\frac{°}{rotation}\right) \times n_m\left(\frac{\mu steps}{step}\right)}{60\left(\frac{seconds}{minute}\right) \times \theta_{step}\left(\frac{°}{step}\right)} \tag{5}$$

$$f_{step}\left(\mu steps / second\right) = \frac{120\left(\frac{rotations}{minute}\right) \times 360\left(\frac{°}{rotation}\right) \times 8\left(\frac{\mu steps}{step}\right)}{60\left(\frac{seconds}{minute}\right) \times 1.8\left(\frac{°}{step}\right)} \tag{6}$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

对于 DRV8818，微步进级别由 USMx 引脚设置。更高的细分会带来更平滑的电机运动和更轻的可闻噪声，但会增加开关损耗，且需要更高的 f_{step} 才能实现相同的电机转速。

7.2.2.2 电流调节

在步进电机中，设定的满量程电流 (I_{FS}) 是通过任一绕组的最大电流。该值大小取决于 VREF 模拟电压和感测电阻值 (R_{SENSE})。在步进期间，I_{FS} 定义了最大电流步进的电流斩波阈值 (IITRIP)。DRV8818 的增益设置为 8V/V。

$$I_{FS}\left(A\right) = \frac{VREF(V)}{A_v \ x \ R_{SENSE}\left(\Omega\right)} = \frac{VREF(V)}{8 \ x \ R_{SENSE}\left(\Omega\right)} \tag{7}$$

要使用 0.1Ω 的 R_{SENSE} 实现 I_{FS} = 1.25A，请将 VREF 设置为 1.56V。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

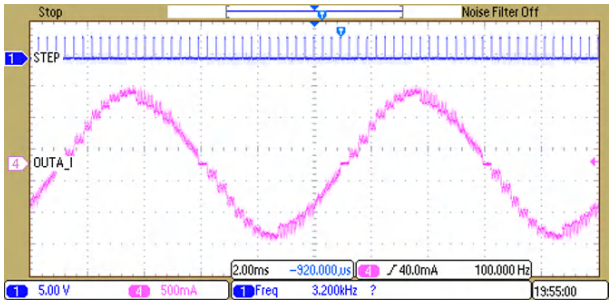


图 7-2. 混合衰减

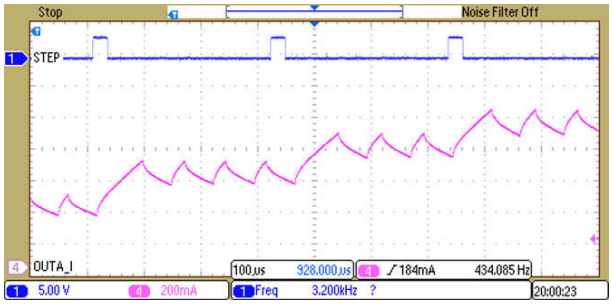


图 7-3. 上升步进时的慢速衰减

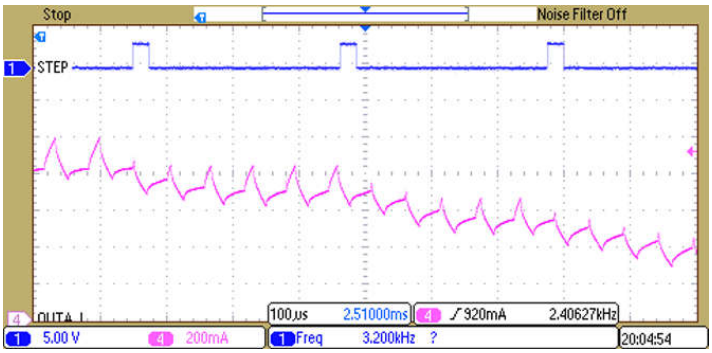


图 7-4. 下降步进时的混合衰减

7.3 电源相关建议

7.3.1 大容量电容

合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。电机驱动器附近的大容量电容器充当本地电荷库，用于消除电机电流变化。

经验丰富的工程师通常使用有关大容量电容的通用指导原则来选择电容值。一个指导原则是每瓦电机功率应使用至少 1 µF 到 4 µF 的电容。例如，按照这个指导原则，从 12V 电源消耗 10A 电流的电机具有 120W 的功率，因此应使用 120 µF 到 480 µF 的大容量电容。

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

为在电流转换期间（例如电机启动、负载扭矩变化或 PWM 运行）提供恒定的电机电源电压，需要较大的大容量电容。稳定供电所需电容的工作估算对于降低电路板电子器件的复杂性、成本和尺寸至关重要。我们可以按照通用指导原则，根据预期的负载电流变化和允许的电机电源电压变化确定合适的电容器大小。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} / \Delta V_{SUPPLY} \quad (8)$$

其中：

C_{BULK} 是负载电容

k 是此类应用中典型电容器 ESR 的比例因子；根据使用 DRV8718-Q1EVM 获得的实验室测量结果，k ≈ 3 在这些情况下是实际可行的。

ΔI_{MOTOR} 是电机电流的预期变化，即 $i_{max} - i_{min}$

T_{PWM} 是 PWM 周期，它是 PWM 频率的倒数

ΔV_{SUPPLY} 是允许的电机电源电压变化

图 7-5 绘制了多个数据点并应用了此通用指导原则，表明一致性相对良好。

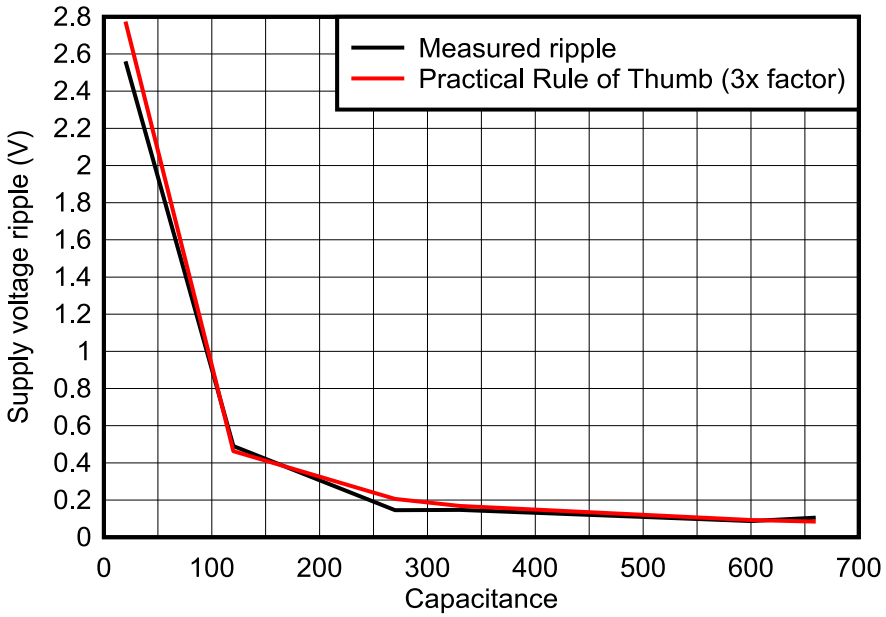


图 7-5. 测量结果和 3 倍通用指导值（考虑了电解电容器的实际非零 ESR 值）

有关更多信息,请参阅应用手册《适用于直流电机驱动应用的大容量电容器尺寸》。

7.4 布局

7.4.1 布局指南

使用推荐值为 0.1μF、额定电压为 VM 的低 ESR 陶瓷旁路电容将 VMA 和 VMB 引脚旁路至 GND。将该电容器尽可能靠近 VMA 和 VMB 引脚放置，并通过较宽的引线或通过接地平面与器件 GND 引脚连接。

使用适当的大容量电容器将 VMA 和 VMB 引脚旁路至 GND。该组件通常是电解电容器，最好放置在靠近 DRV8818 的位置。

必须在 CP1 和 CP2 引脚之间放置一个低 ESR 陶瓷电容器。TI 建议使用额定电压为 VM 的 0.22μF 电容器。将此组件尽可能靠近引脚放置。

必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容器。TI 建议使用额定电压为 16V 的 0.22μF 电容器。将此组件尽可能靠近引脚放置。

PowerPAD 集成电路封装必须牢固地连接至与系统 GND 连接的铜平面。为了获得最佳性能，请使用大面积覆铜以利于 DRV8818A 散热。有关电机驱动器的热管理、布线技术、电容器放置和接地优化的更多信息，请参阅应用手册 — 电机驱动器电路板布局的最佳实践。

7.4.1.1 散热

PowerPAD 集成电路封装通过外露焊盘去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

有关如何设计 PCB 的详细信息，请参阅 www.ti.com 上的 TI 应用手册 *《PowerPAD™ 热增强型封装》* 和 TI 应用简报 *《PowerPAD™ 速成》*。

一般来说，提供的覆铜区域面积越大，消耗的功率就越多。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

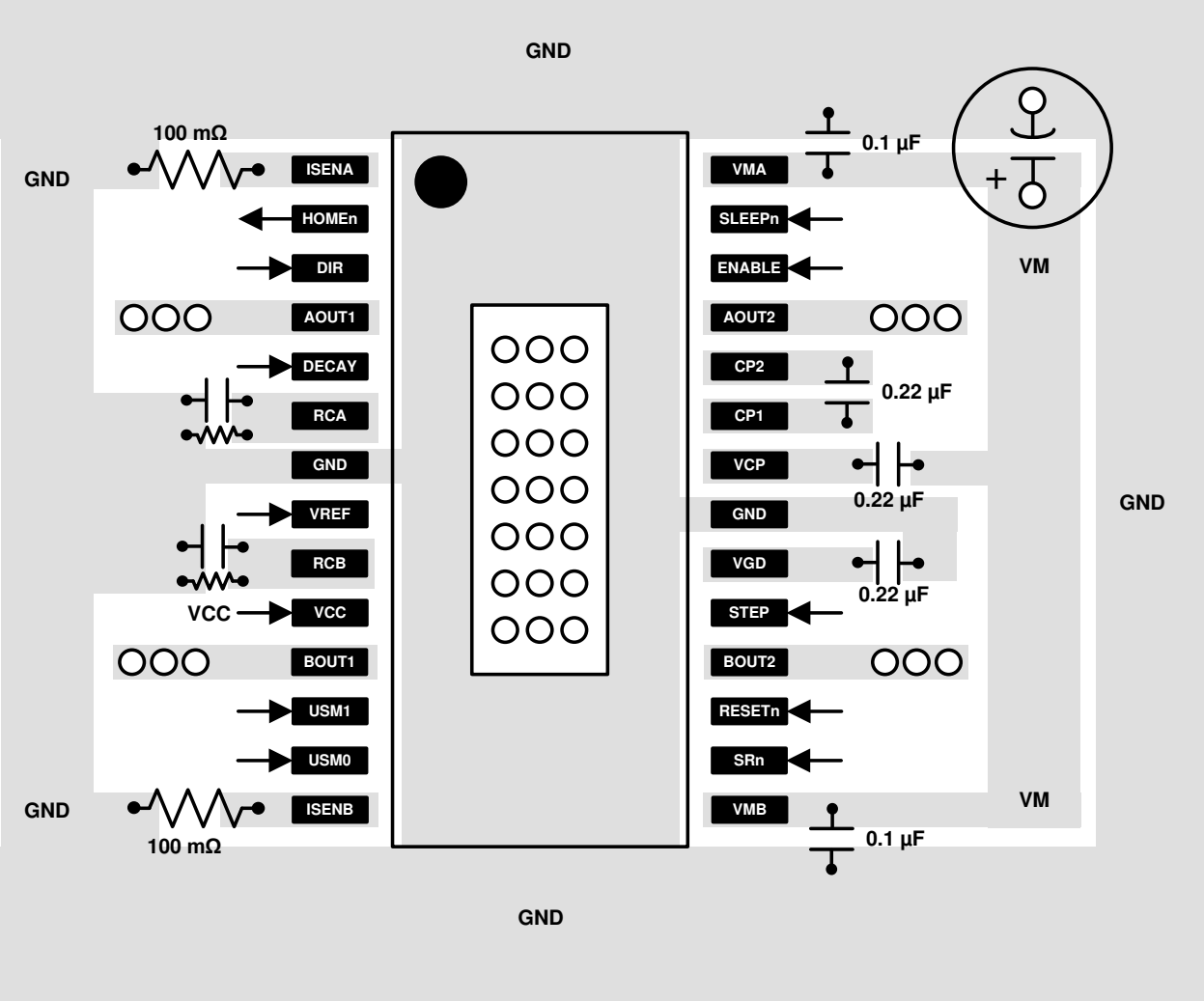


图 7-6. 原理图布局示例

7.4.3 散热注意事项

如前所述，DRV8818 具有热关断 (TSD) 功能。如果芯片温度超过约 150°C，该器件将被禁用，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

7.4.3.1 功率耗散

DRV8818 中的功率耗散主要由输出 FET 电阻或 $R_{DS(ON)}$ 中耗散的功率决定。运行步进电机时的平均功耗可以通过 以下公式大致估算：

$$P_{TOT} = 4 \times r_{DS(on)} \times (I_{OUT(RMS)})^2 \tag{9}$$

其中

- P_{TOT} 是总功率耗散。
- $R_{DS(ON)}$ 是每个 FET 的电阻。
- $I_{OUT(RMS)}$ 是施加到每个绕组的 RMS 输出电流。

$I_{OUT(RMS)}$ 约等于满量程输出电流设置值的 0.7 倍。因数 4 来自两个电机绕组，在任何时刻，每个绕组有两个 FET 导通绕组电流（一个高侧和一个低侧）。

DRV8818 中可耗散的最大功率取决于环境温度和散热。数据表中的热耗散额定值表可用于估算典型 PCB 结构的温升。

请注意，$R_{DS(ON)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

1. 德州仪器 (TI)，*PowerPAD™ 热增强型封装*应用手册
2. 德州仪器 (TI)，*PowerPAD™ 速成* 应用简报
3. 德州仪器 (TI)，*电流再循环和衰减模式*应用手册
4. 德州仪器 (TI)，*计算电机驱动器功率耗散*应用手册
5. 德州仪器 (TI)，*了解电机驱动器电流额定值*应用手册

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (February 2025) to Revision G (November 2025) **Page**

- 更新了文档标题 1
- 更新了*特性*、*应用*和*说明*部分，以使用现代术语表述并优化格式 1
- 为清晰起见，更新了时序图 7
- 将 t_{OFF} 公式中 R 的单位从 Ω 改为 kΩ 12
- 将 t_{FD} 公式中 R 的单位从 Ω 改为 kΩ 12

Changes from Revision E (January 2016) to Revision F (February 2025) **Page**

- 将 V_{REF} 最小电压从 0V 更改为 0.05V 5
- 将 I_{OFF} 重命名为 I_{LEAK}，更新了说明和限值 6
- 更改了*时序要求*启用时间和禁用时间说明。更新了保持时间、复位释放时间和复位时间限制。 7
- 在*器件功能模式*部分中添加了*睡眠模式*部分、*禁用模式*部分和*激活模式*部分 16
- 更新了大容量电容的说明 19

Changes from Revision D (January 2015) to Revision E (January 2016) **Page**

- 从 *特性* 中删除了 nFAULT 1
- 更改了 V_{REF} 输入电压的最小值 5
- 将电机驱动器时序移至*开关特性*表 7

Changes from Revision C (November 2013) to Revision D (January 2015) **Page**

- 添加了 *ESD 额定值*表、*特性说明*部分、*器件功能模式*、*应用和实现*部分、*电源建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和订购信息*部分。 5

Changes from Revision B (October 2012) to Revision C (November 2013) **Page**

- 更改了“特性”部分 1
- 更改了“电气特性”表中的逻辑电平输入测试条件 6
- 更改了*时序要求* 7

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8818PWP	Obsolete	Production	HTSSOP (PWP) | 28	-	-	Call TI	Call TI	-40 to 85	DRV8818
DRV8818PWPR	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818
DRV8818PWPR.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818
DRV8818PWPR.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818
DRV8818PWPRG4	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818
DRV8818PWPRG4.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818
DRV8818PWPRG4.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8818

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

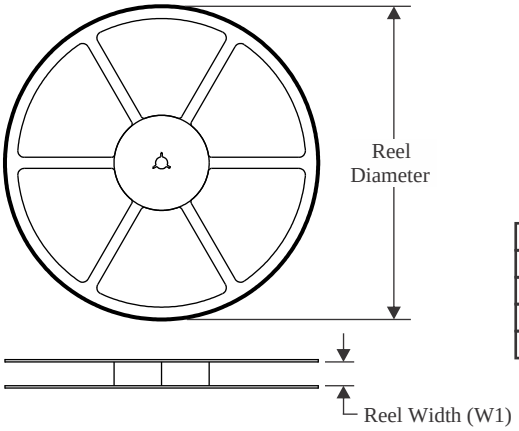
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

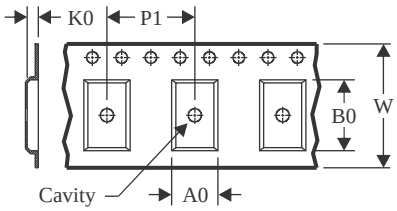
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

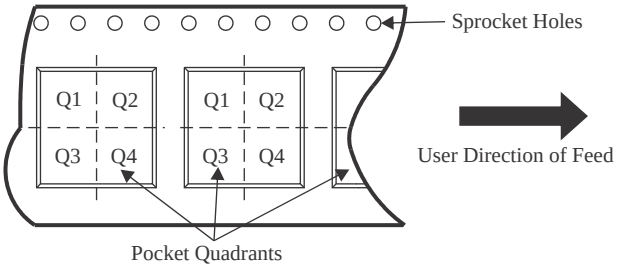


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

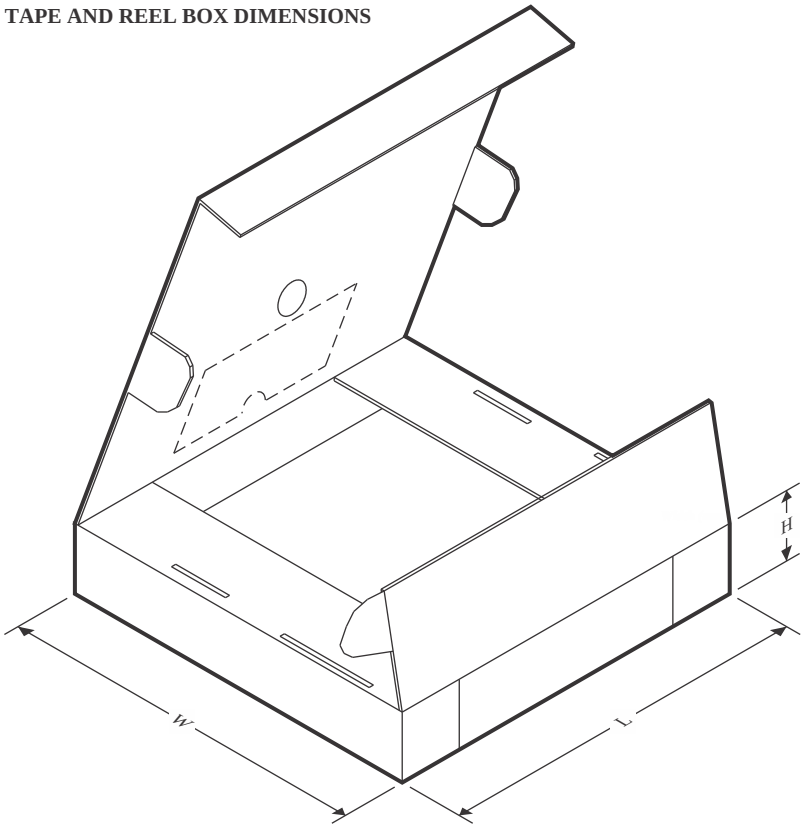
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8818PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8818PWPRG4	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8818PWPR	HTSSOP	PWP	28	2000	350.0	350.0	43.0
DRV8818PWPRG4	HTSSOP	PWP	28	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

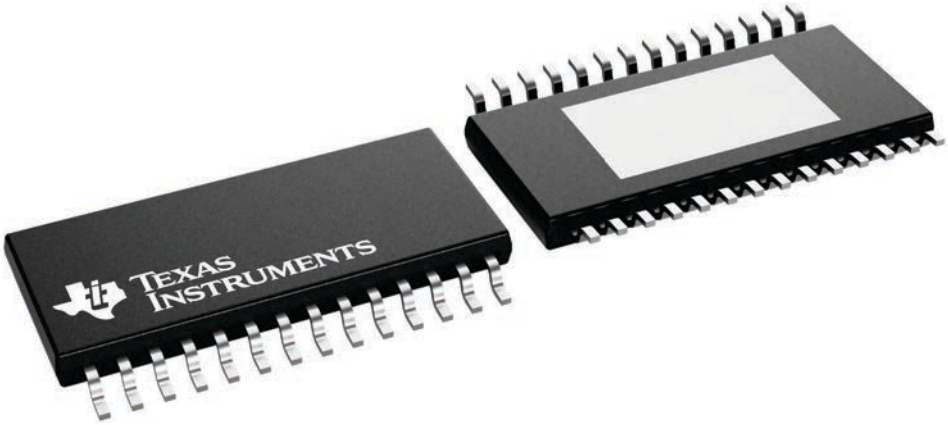
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

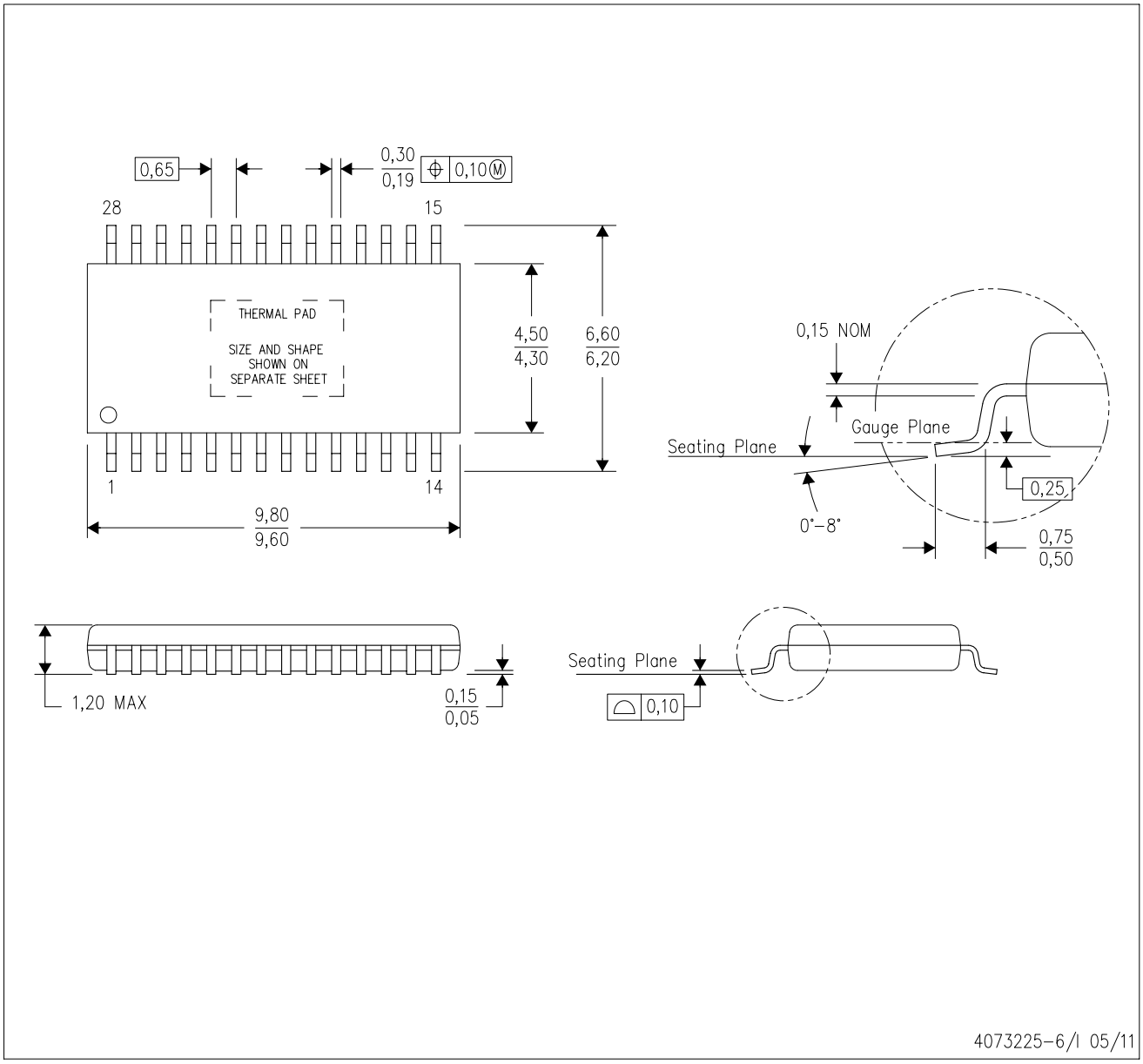
SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

PWP (R-PDSO-G28) PowerPAD™ PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.15 per side.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <http://www.ti.com>.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
E. Falls within JEDEC MO-153

PowerPAD is a trademark of Texas Instruments.

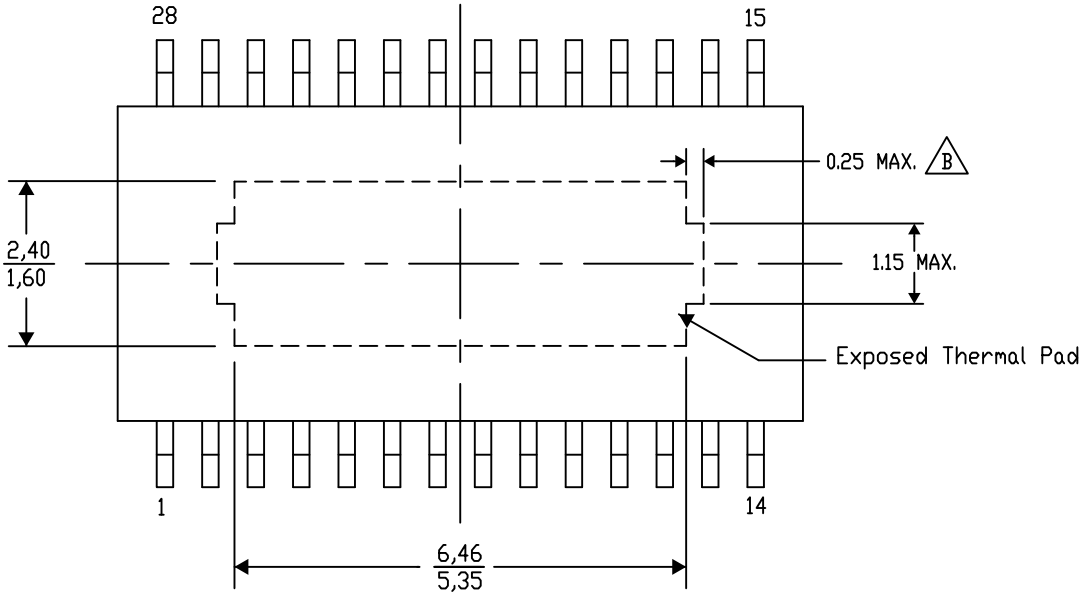
PWP (R-PDSO-G28) PowerPAD™ SMALL PLASTIC OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Top View

Exposed Thermal Pad Dimensions

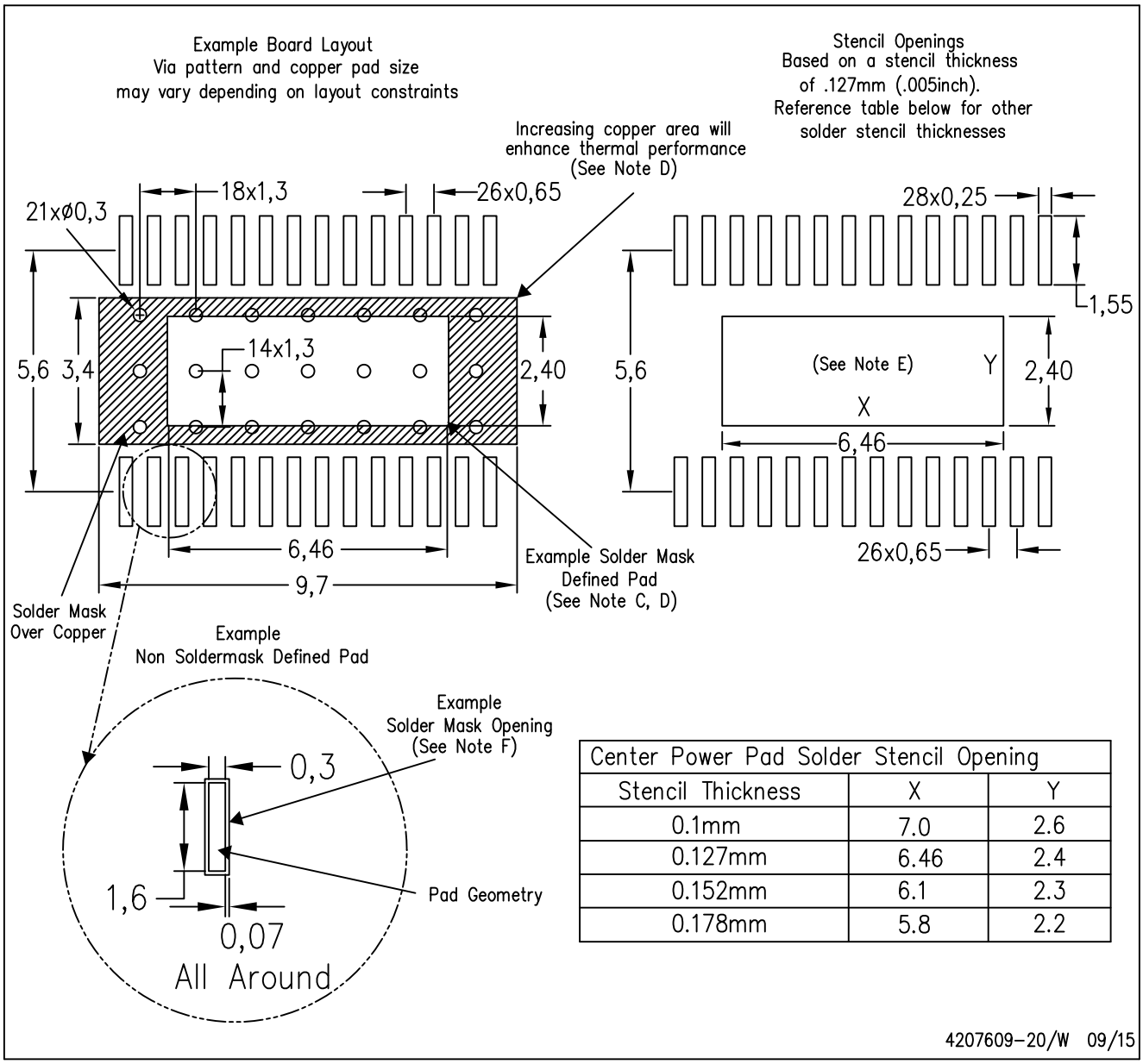
4206332-34/AO 01/16

NOTE: A. All linear dimensions are in millimeters

B. Exposed tie strap features may not be present.

PowerPAD is a trademark of Texas Instruments

PWP (R–PDSO–G28) PowerPAD™ PLASTIC SMALL OUTLINE

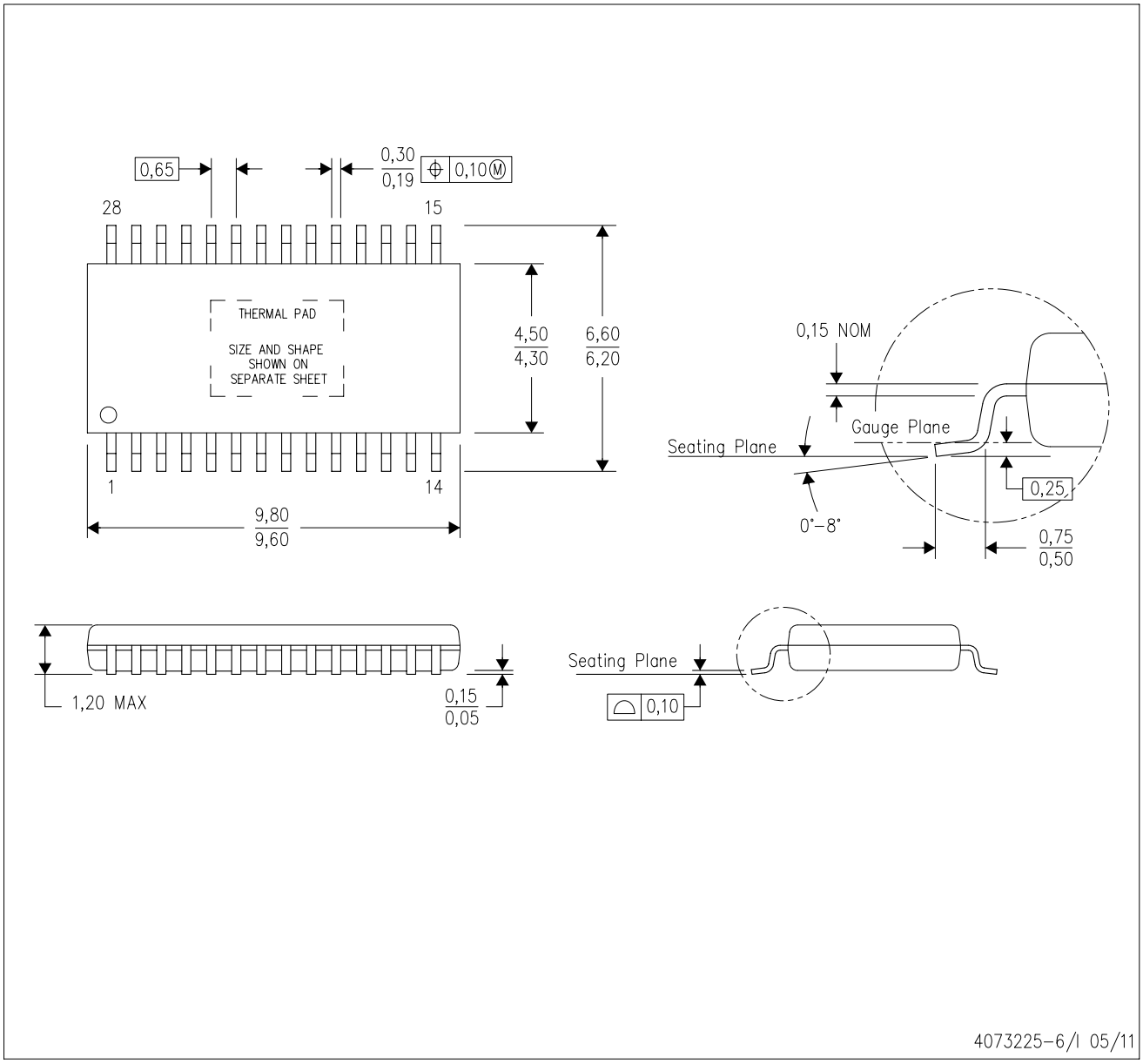


Center Power Pad Solder Stencil Opening		
Stencil Thickness	X	Y
0.1mm	7.0	2.6
0.127mm	6.46	2.4
0.152mm	6.1	2.3
0.178mm	5.8	2.2

4207609–20/W 09/15

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PWP (R-PDSO-G28) PowerPAD™ PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.15 per side.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <http://www.ti.com>.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
E. Falls within JEDEC MO-153

PowerPAD is a trademark of Texas Instruments.

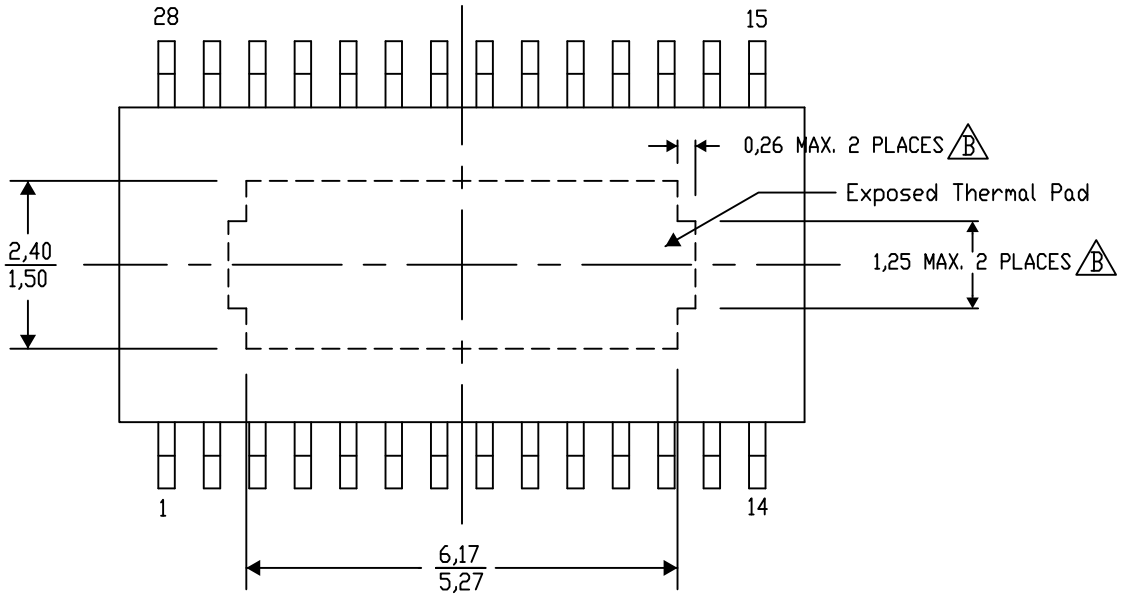
PWP (R-PDSO-G28) PowerPAD™ SMALL PLASTIC OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Top View

Exposed Thermal Pad Dimensions

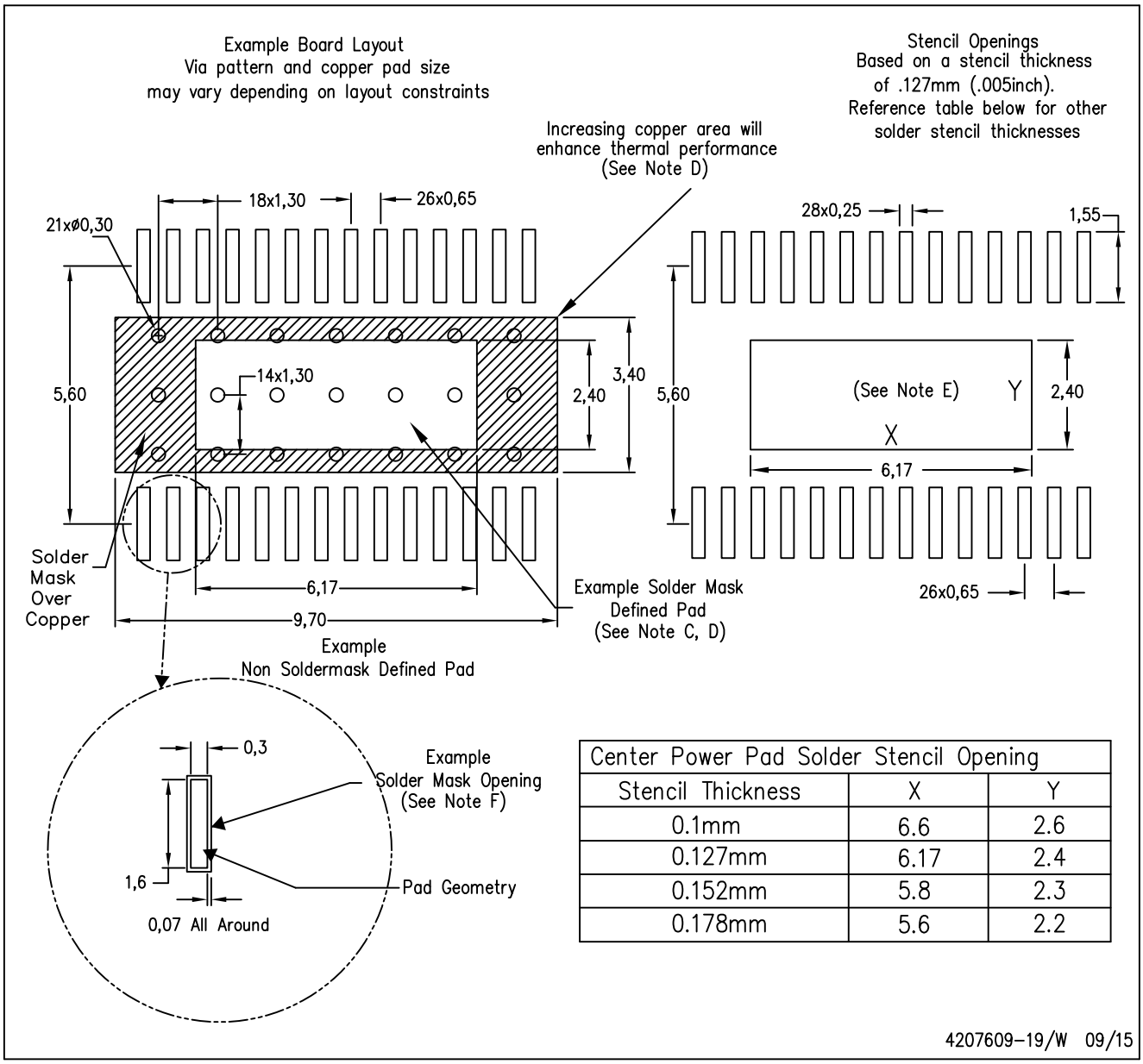
4206332-33/AO 01/16

NOTE: A. All linear dimensions are in millimeters

B. Exposed tie strap features may not be present.

PowerPAD is a trademark of Texas Instruments

PWP (R-PDSO-G28) PowerPAD™ PLASTIC SMALL OUTLINE



Center Power Pad Solder Stencil Opening		
Stencil Thickness	X	Y
0.1mm	6.6	2.6
0.127mm	6.17	2.4
0.152mm	5.8	2.3
0.178mm	5.6	2.2

4207609-19/W 09/15

NOTES:
- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
- D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets.
- E. For specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>. Publication IPC-7351 is recommended for alternate designs. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil
- F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月