DRV8848 双路 H 桥电机驱动器

1 特性

- 双 H 桥电机驱动器
  - 单通道/双通道有刷直流
  - 步进
- 4 至 18V 工作电源电压范围
- 低导通电阻：HS + LS = 900mΩ（25°C 时的典型值）
- PWM 控制接口
- **可采用 20μs 固定关断时间进行电流调节**
- 每个 H 桥均提供高输出电流
  - 最大驱动器电流为 2A（12V 且 T_A = 25°C）
  - 并行模式可用。支持 4A 最大驱动器电流（12V 且 T_A = 25°C）
- **低电流 3μA 睡眠模式**
- 热增强型表面贴装封装
- 保护特性
  - VM 欠压锁定 (UVLO)
  - 过流保护 (OCP)
  - 热关断 (TSD)
  - 故障条件指示引脚 (nFAULT)

2 应用

- 电器
- 通用有刷电机和步进电机
- 打印机

3 说明

DRV8848 提供了一款适用于家用电器及其他机电一体化应用的双 H 桥电机驱动器。该器件可用于驱动一个或两个直流电机、一个双极性步进电机或其它负载。通过一个简单的 PWM 接口即可轻松与控制器电路相连。

每个 H 桥的输出块包含被配置为全 H 桥的 N 沟道和 P 沟道功率 MOSFET，以驱动电机绕组。每个 H 桥都含有一个调节电路，可使用固定关断时间斩波方案调节绕组电流。DRV8848 能够从每个输出驱动高达 2A 的电流，或在并行模式下驱动高达 4A 的电流（在 12V 和 T_A = 25°C 的条件下，具有适当的散热）。

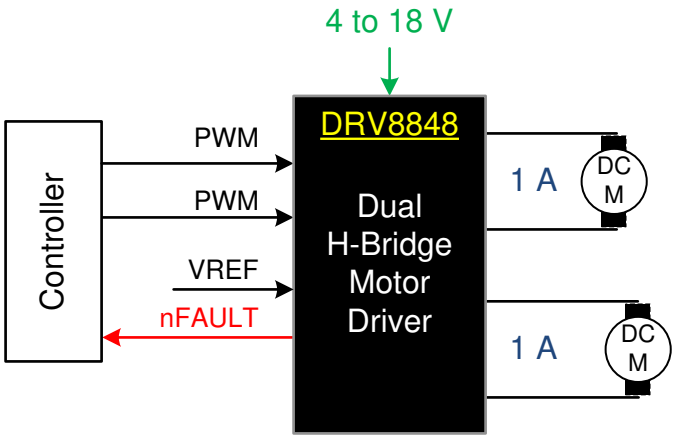
低功耗睡眠模式可将内部电路关断，实现超低的静态电流消耗。可使用一个专用的 nSLEEP 引脚来设定这个睡眠模式。

提供的内部保护特性包括：UVLO、OCP、短路保护和过热保护。故障状态通过一个 nFAULT 引脚指示。

器件信息 (1)

器件型号	封装	本体尺寸（标称值）
DRV8848	HTSSOP (16)	5.00mm × 6.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
引脚功能 3
外部组件 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 - 通信 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 时序要求 6
5.7 典型特性 7
6 详细说明 8
6.1 概述 8
6.2 功能方框图 9
6.3 特性说明 10
6.4 器件功能模式 15
7 应用和实施 16
7.1 应用信息 16
7.2 典型应用 16
7.3 电源相关建议 17
7.4 布局 18
8 器件和文档支持 19
8.1 第三方产品免责声明 19
8.2 接收文档更新通知 19
8.3 支持资源 19
8.4 静电放电警告 19
8.5 术语表 19
8.6 社区资源 19
8.7 商标 19
9 修订历史记录 19
10 机械、封装和可订购信息 19

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

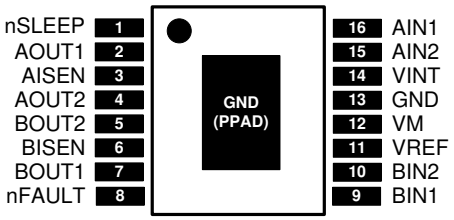


图 4-1. PWP 封装 16 引脚 HTSSOP 顶视图

引脚功能

引脚		类型	说明	
名称	编号			
AIN1	16	I	桥接 A 输入 1	控制 AOUT1；三电平输入
AIN2	15	I	桥接 A 输入 2	控制 AOUT2；三电平输入
AISEN	3	O	绕组 A 检测	连接到桥接 A 的电流检测电阻，或如果不需要电流调节，则连接到 GND
AOUT1	2	O	绕组 A 输出	
AOUT2	4			
BIN1	9	I	桥接 B 输出 1	控制 BOUT1；内部下拉电阻
BIN2	10	I	桥接 B 输出 2	控制 BOUT2；内部下拉电阻
BISEN	6	O	绕组 B 检测	连接到桥接 A 的电流检测电阻，或如果不需要电流调节，则连接到 GND
BOUT1	7	O	绕组 B 输出	
BOUT2	5			
GND	13	PWR	器件地	GND 引脚和器件 PowerPAD 集成电路封装都必须接地
	PPAD			
nFAULT	8	OD	故障指示引脚	故障状态下被拉至低逻辑低电平；开漏输出需要外部上拉电阻
nSLEEP	1	I	睡眠模式输入	逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式；内部下拉
VINT	14	—	内部稳压器	内部电源电压；使用 2.2 µF、6.3V 电容器旁路至 GND
VM	12	PWR	电源	连接到电机电源；通过一个额定电压为 VM 的 0.1 和 10 µF（最小值）陶瓷电容器旁路到 GND。
VREF	11	I	满量程电流基准输入	该引脚上的电压设置满量程斩波电流；如果不提供外部基准电压，则短接至 VINT

外部组件

元件	引脚 1	引脚 2	推荐
C_{VM}	VM	GND	额定电压为 VM 的 10µF（最小值）陶瓷电容器
C_{VM}	VM	GND	额定电压为 VM 的 0.1µF 陶瓷电容器
C_{VINT}	VINT	GND	6.3V、2.2µF 陶瓷电容器
R_{nFAULT}	VCC(1)	nFAULT	>1kΩ
R_{AISEN}	AISEN	GND	检测电阻，请参阅 *节 7.2* 以了解尺寸
R_{BISEN}	BISEN	GND	检测电阻，请参阅 *节 7.2* 以了解尺寸

(1) VCC 不是 DRV8848 上的引脚，但开漏输出 nFAULT 需要 VCC 电源电压上拉；nFAULT 可能会被上拉到 VINT

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且电压以 GND 为基准（除非另有说明）(1)

		最小值	最大值	单位
	电源电压 (VM)	-0.3	20	V
	电源电压斜坡速率 (VM)	0	2	V/µs
	内部稳压器电压 (VINT)	-0.3	3.6	V
	模拟输入引脚电压 (VREF)	-0.3	3.6	V
	控制引脚电压（AIN1、AIN2、BIN1、BIN2、nSLEEP、nFAULT）	-0.3	7	V
	连续相位节点引脚电压（AOUT1、AOUT2、BOUT1、BOUT2）	-0.3	V_{VM} + 0.6	V
	连续分流放大器输入引脚电压（AISEN、BISEN）(2)	-0.6	0.6	V
	峰值驱动电流（AOUT1、AOUT2、BOUT1、BOUT2、AISEN、BISEN）	受内部限制		A
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 在小于 25ns 的情况下可接受 ±1V 的瞬变。

5.2 ESD 等级 - 通信

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	最大值	单位
V_{VM}	电源电压范围(1)	4	18	V
V_{VREF}	基准 rms 电压范围(2)	1	3.3	V
f_{PWM}	施加的输入信号	0	250	kHz
I_{VINT}	VINT 外部负载电流		1	mA
Irms	每个 H 桥的电机 rms 电流(3)	0	1	A
T_A	工作环境温度	-40	85	°C

(1) 请注意，当 VM 电源电压低于 5V 时，$R_{DS(ON)}$ 会增加，最大输出电流会减小。
(2) 可在 VREF 介于 0 和 1V 之间的条件下运行，但精度会下降。
(3) 必须遵循功率耗散和热限值。

5.4 热性能信息

热指标(1)		DRV8848 PWP (HTSSOP) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	40.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	32.7	°C/W
$R_{\theta JB}$	结至电路板热阻	28.7	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		DRV8848 PWP (HTSSOP) 16 引脚	单位
Ψ_{JT}	结至顶部特征参数	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	11.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告，SPRA953。

5.5 电气特性

T_A = 25°C，在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源（VM、VINT）						
V_{VM}	VM 工作电压		4		18	V
I_{VM}	VM 工作电源电流	V_{VM} = 12V，不包括绕组电流，nSLEEP = 1	1.2	1.35	1.5	mA
I_{VMQ}	VM 睡眠模式电源电流	V_{VM} = 12V，nSLEEP = 0	0.5	1.2	3	μA
t_{SLEEP}	睡眠时间	nSLEEP = 0 以进入睡眠模式			1	ms
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换			1	ms
t_{ON}	加电时间	V_{VM} > V_{UVLO} 上升至输出切换			1	ms
V_{INT}	VINT 电压	V_{VM} > 4V，I_{OUT} = 0A 至 1mA	3.13	3.3	3.47	V
逻辑电平输入（BIN1、BIN2、NSLEEP）						
V_{IL}	输入逻辑低电平电压		0		0.7	V
V_{IH}	输入逻辑高电平电压		1.6		5.5	V
V_{HYS}	输入逻辑迟滞		100			mV
I_{IL}	输入逻辑低电平电流	V_I = 0V	-1		1	μA
I_{IH}	输入逻辑高电平电流	V_I = 5V	1		30	μA
R_{PD}	下拉电阻	BIN1、BIN2		200		kΩ
R_{PD}	下拉电阻	nSLEEP		500		kΩ
t_{DEG}	输入抗尖峰脉冲时间	AIN1 或 AIN2		400		ns
t_{DEG}	输入抗尖峰脉冲时间	BIN1 或 BIN2		200		ns
t_{PROP}	传播延迟	AIN1 或 AIN2 边沿到输出变化		800		ns
t_{PROP}	传播延迟	BIN1 或 BIN2 边沿到输出变化		400		ns
三电平输入（AIN1、AIN2）						
V_{IL}	三电平输入逻辑低电压		0		0.7	V
V_{IZ}	三电平输入高阻抗电压			1.1		V
V_{IH}	三电平输入逻辑高电压		1.6		5.5	V
V_{HYS}	三电平输入迟滞		100			mV
I_{IL}	三电平输入逻辑低电平电流	V_{IN} = 0V	-30		-1	μA
I_{IH}	三电平输入逻辑高电平电流	V_{IN} = 5V	1		30	μA
R_{PD}	三电平下拉电阻	至 GND		170		kΩ
R_{PU}	三电平上拉电阻	至 VINT		340		kΩ
控制输出 (NFAULT)						
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.5	V
I_{OH}	输出逻辑高电平漏电流	V_O = 3.3 V	-1		1	μA
电机驱动器输出（AOUT1、AOUT2、BOUT1、BOUT2）						

Copyright © 2025 Texas Instruments Incorporated

T_A = 25°C，在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$R_{DS(ON)}$	高侧 FET 导通电阻	V_{VM} = 12V、I_O = 0.5A、T_J = 25°C		550		mΩ
$R_{DS(ON)}$	高侧 FET 导通电阻	V_{VM} = 12 V、I_O = 0.5 A, T_J = 85°C(1)		660		mΩ
$R_{DS(ON)}$	低侧 FET 导通电阻	V_{VM} = 12V、I_O = 0.5A、T_J = 25°C		350		mΩ
$R_{DS(ON)}$	低侧 FET 导通电阻	V_{VM} = 12 V、I_O = 0.5 A, T_J = 85°C(1)		420		mΩ
I_{OFF}	关断状态漏电流	V_{VM} = 5V，T_J = 25°C	-1		1	μA
t_{RISE}	输出上升时间			60		ns
t_{FALL}	输出下降时间			60		ns
t_{DEAD}	输出死区时间	内部死区时间		200		ns
PWM 电流控制（VREF、AISEN、BISEN）						
I_{REF}	外部施加的 VREF 输入电流	V_{VREF} = 1 至 3.3V			1	μA
V_{TRIP}	xISEN 跳变电压	V_{VREF} = 3.3V 时的 100% 电流阶跃		500		mV
t_{BLANK}	电流检测消隐时间			1.8		μs
A_{ISENSE}	电流检测放大器增益	仅供参考		6.6		V/V
t_{OFF}	电流控制恒定关断时间			20		μs
保护电路						
V_{UVLO}	VM 欠压锁定	V_{VM} 下降；UVLO 报告			2.9	V
		V_{VM} 上升；UVLO 恢复			3	V
I_{OCP}	过流保护跳变电平		2			A
t_{DEG}	过流抗尖峰时间			2.8		μs
t_{OCP}	过流保护周期			1.6		ms
T_{TSD} (1)	热关断温度	内核温度 T_J	150	160	180	°C
T_{HYS} (1)	热关断迟滞	内核温度 T_J		50		°C

(1) 未在生产中进行测试；限值基于表征数据

5.6 时序要求

编号			最小值	最大值	单位
1	t_1	延时时间、xIN1 到 xOUT1 的时间	100	600	ns
2	t_2	延时时间、xIN2 到 xOUT1 的时间	100	600	ns
3	t_3	延时时间、xIN1 到 xOUT2 的时间	100	600	ns
4	t_4	延时时间、xIN2 到 xOUT2 的时间	100	600	ns
5	t_R	输出上升时间	50	150	ns
6	t_F	输出下降时间	50	150	ns

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

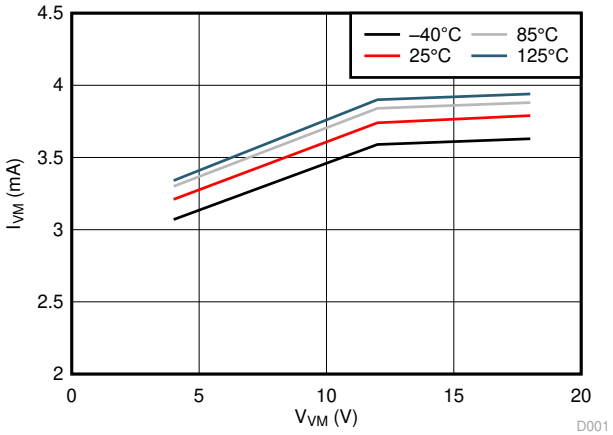


图 5-1. I_{VM} 与 V_{VM} 间的关系

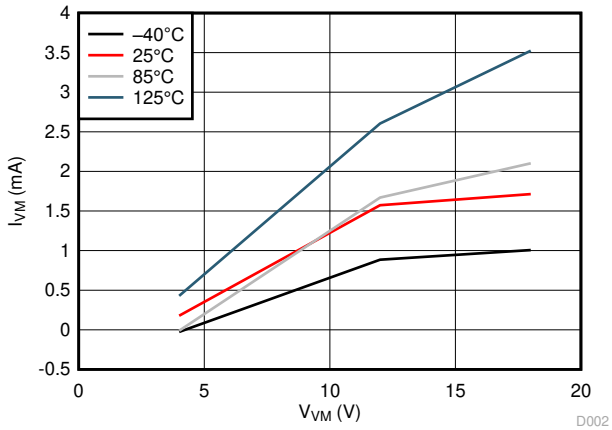


图 5-2. I_{VMQ} 与 V_{VM} 间的关系

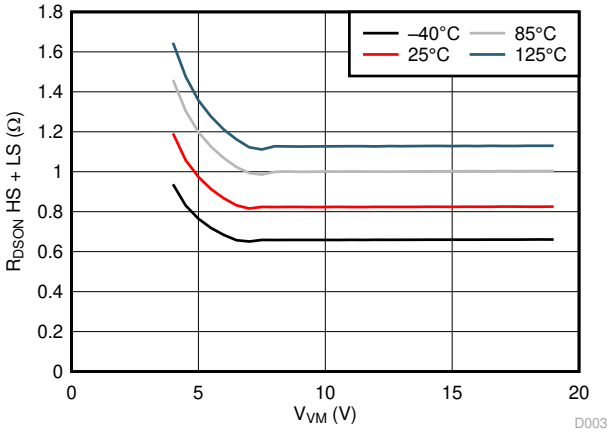


图 5-3. R_{DSON} 与 V_{VM} 间的关系

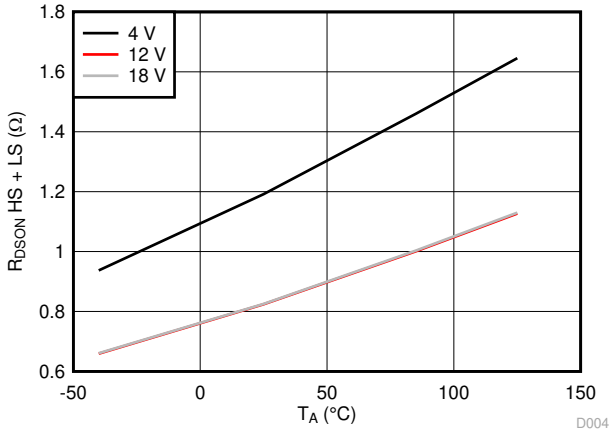


图 5-4. R_{DSON} 与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV8848 是一款用于两个直流电机或双极性步进电机的集成电机驱动器件。该器件集成了两个使用 NMOS 驱动器的 H 桥以及电流检测调节电路。DRV8848 可以通过 4 至 18V 范围的电源电压供电，并且能够提供 1A rms 的输出电流。

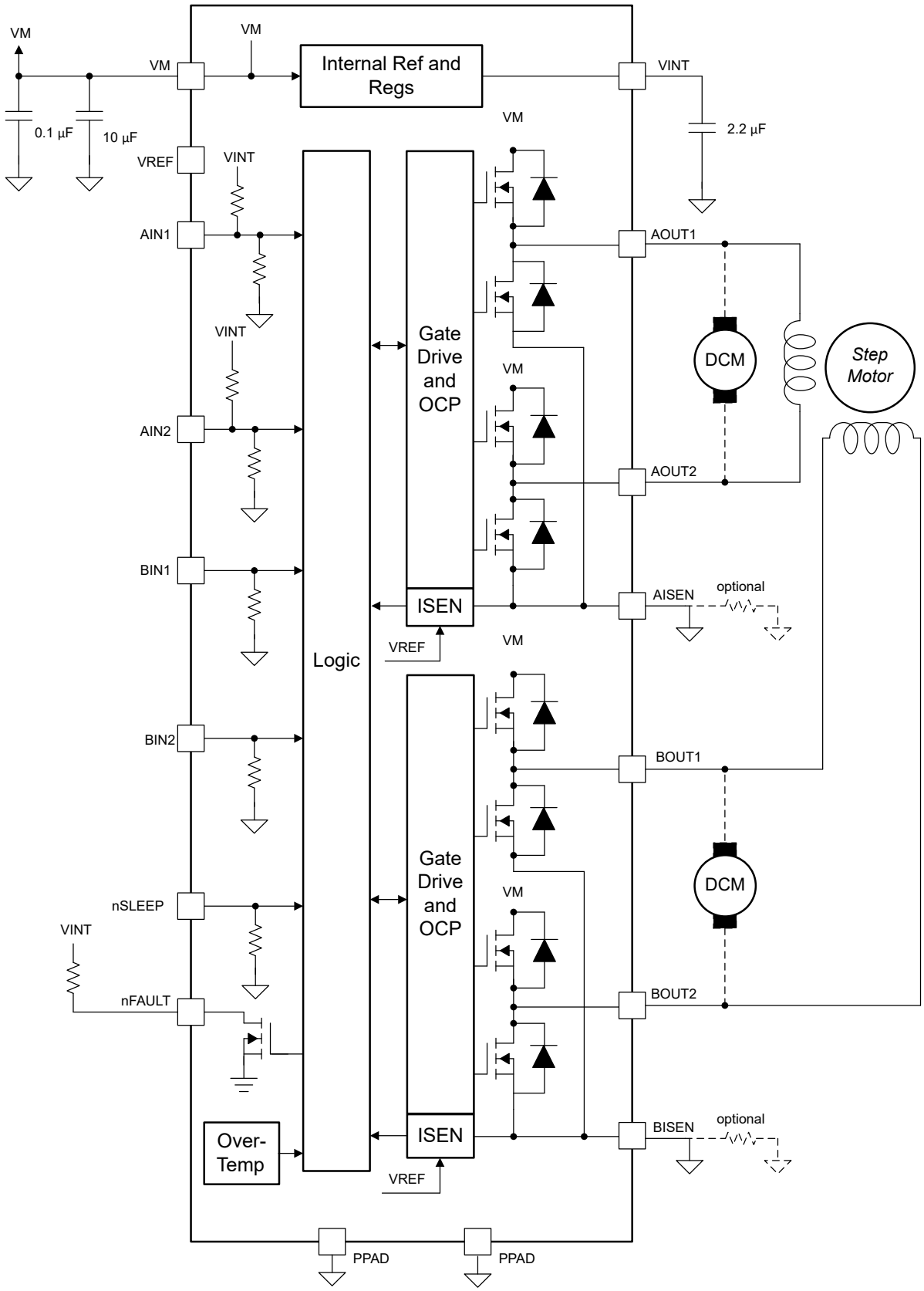
只需通过一个简单的接口，便可轻松连接到控制器电路。

电流调节使用固定关断时间 (t_{OFF}) PWM 方案。电流调节跳变点由检测电阻值和施加至 VREF 的电压控制。

系统包括一个低功耗睡眠模式，以便在不驱动电机时省电。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图


VM
VM
VM
Internal Ref and Regs
VINT
2.2 µF
0.1 µF
10 µF
VREF
VINT
AIN1
AOUT1
VINT
Gate Drive and OCP
DCM
Step Motor
VM
AIN2
AOUT2
BIN1
ISEN
AISEN
optional
VREF
Logic
VM
BIN2
BOUT1
Gate Drive and OCP
DCM
nSLEEP
VM
VINT
nFAULT
BOUT2
Over-Temp
ISEN
BISEN
optional
VREF
PPAD
PPAD

6.3 特性说明

6.3.1 PWM 电机驱动器

DRV8848 包含两个完全相同的 H 桥电机驱动器以及电流控制 PWM 电路。图 6-1 展示了该电路的方框图。

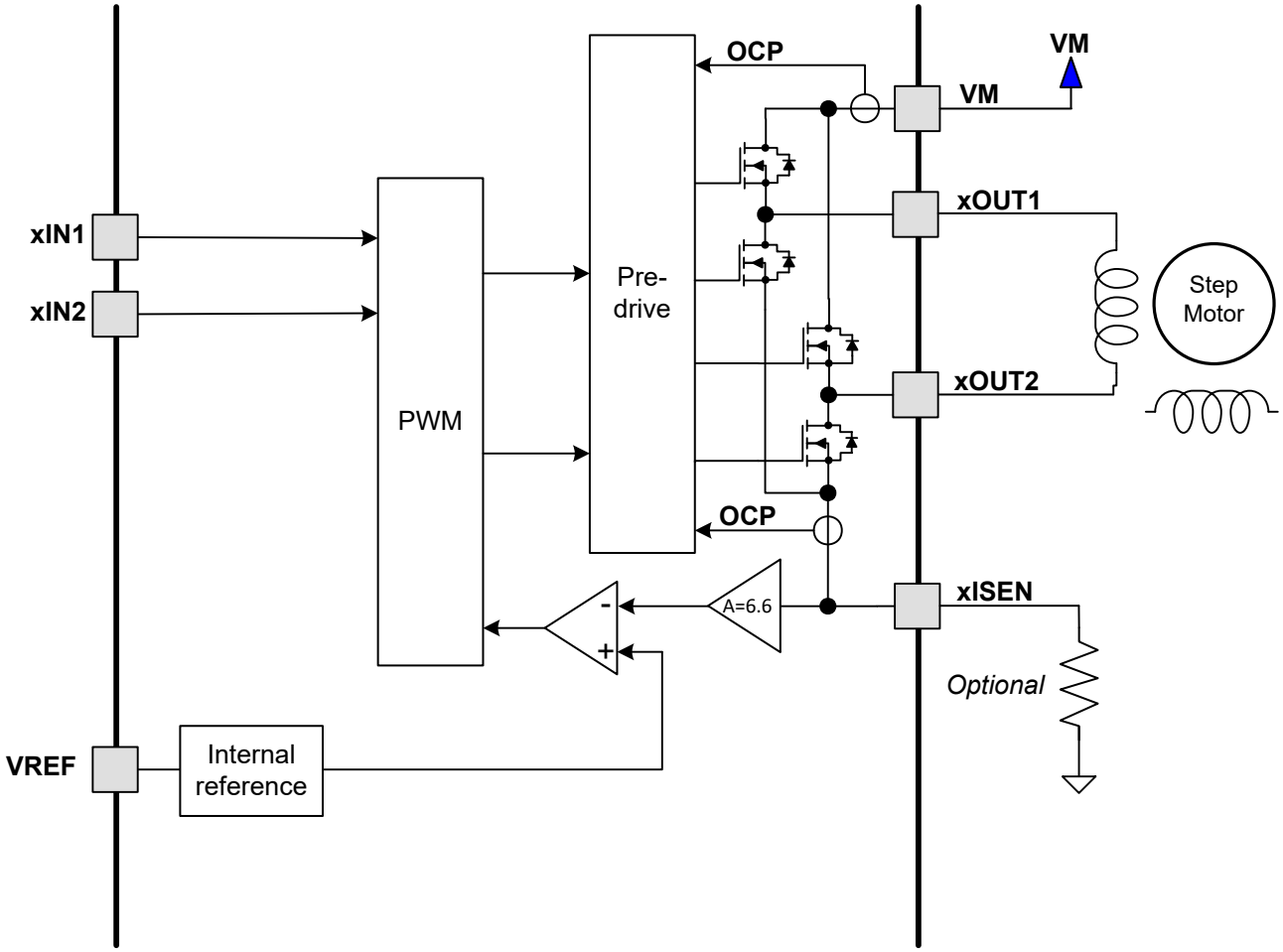


图 6-1. PWM 电机驱动器电路

6.3.2 电桥控制

表 6-1 展示了输入 xIN1 和 xIN2 的逻辑。

表 6-1. 电桥控制

xIN1	xIN2	xOUT1	xOUT2	功能（直流电机）
0	0	Z	Z	滑行（快速衰减）
0	1	L	H	反向
1	0	H	L	正向
1	1	L	L	制动（慢速衰减）

Copyright © 2025 Texas Instruments Incorporated

备注

引脚 AIN1 和 AIN2 为三电平，因此当这些引脚处于高阻态时，不会在内部被拉至逻辑低电平。当 AIN1 或 AIN2 设置为高阻态而不是并行模式时，输出驱动器保持之前的状态。

6.3.3 并行运行

可以将两个驱动器并联，为单个电机提供双倍电流。要进入并行模式，AIN1 和 AIN2 必须在上电期间或退出睡眠模式时（nSLEEP 从 0 切换至 1）保持高阻态。BIN1 和 BIN2 用于控制驱动器。如果需要电流控制，请将 AISEN 和 BISEN 连接到单个检测电阻。要退出并行模式，必须将 AIN1 和 AIN2 置位为高电平或低电平，并且器件必须上电或退出睡眠模式。图 6-2 显示了使用并行模式的器件的方框图。

Copyright © 2025 Texas Instruments Incorporated

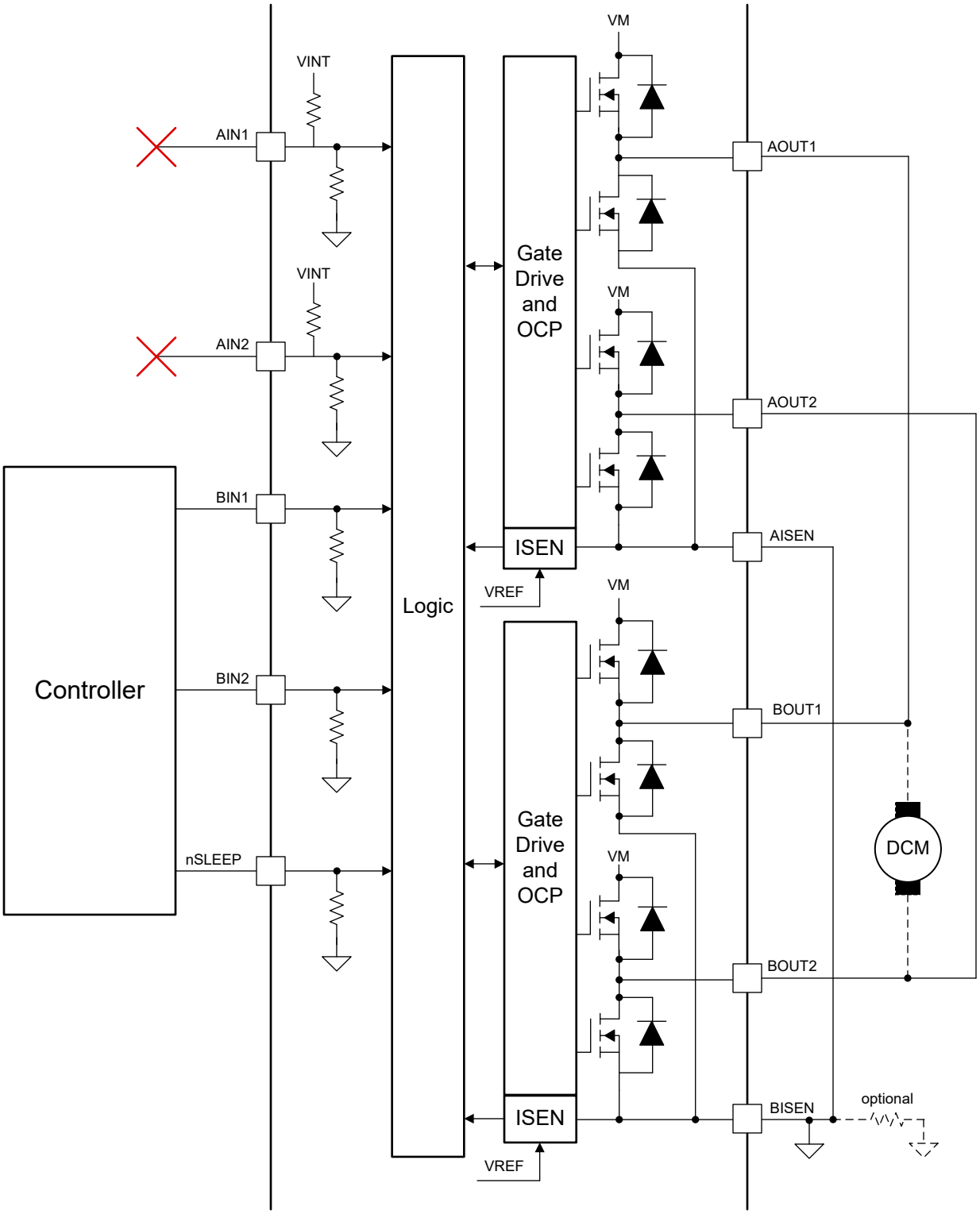


图 6-2. 并行模式运行

6.3.4 电流调节

流经电机绕组的电流由一个固定关断时间的 PWM 电流调节电路进行调节。对于直流有刷电机，电流调节可用于限制电机的失速电流（也是启动电流）。

Copyright © 2025 Texas Instruments Incorporated

电流调节的工作原理如下：

当 H 桥被启用时，通过绕组的电流以一定的速率上升，该速率取决于电源电压和绕组电感。如果电流达到电流斩波阈值，电桥会在启动下一个 PWM 周期之前禁用电流一段时间 t_{OFF}。请注意，接通电流后，xISEN 引脚上的电压将立即被忽略一段时间 (t_{BLANK})，然后再启用电流检测电路。该消隐时间还设置了 PWM 周期的最短导通时间。

PWM 斩波电流由比较器设置，比较器将连接到 xISEN 引脚的电流检测电阻两端的电压与基准电压进行比较。基准电压源自施加到 VREF 引脚的电压，电压为 V_{VREF} / 6.6。VREF 引脚可以在板上连接到 3.3V - VINT 引脚，也可以从外部将 VREF 引脚强制连接到所需的 VREF 电压。

绕组中的满量程斩波电流的计算方法如下所示：

$$I_{FS} = \frac{V_{VREF}}{6.6 \times R_{ISENSE}} \quad (1)$$

其中

- I_{FS} 是稳定电流。
- V_{VREF} 是 VREF 引脚上的电压。
- R_{ISENSE} 是检测电阻的电阻值。

示例：如果 V_{VREF} 为 3.3V 并且使用了 500mΩ 检测电阻，则满量程斩波电流为 3.3V / (6.6 × 500mΩ) = 1A。

请注意，如果不需要电流控制，可将 xISEN 引脚直接接地。在这种情况下，VREF 连接到 VINT。

6.3.5 电流再循环和衰减模式

在 PWM 电流斩波期间，将启用 H 桥以驱动电流流过电机绕组，直至达到 PWM 电流斩波阈值（请参阅 图 6-3 中的案例 1）。

达到斩波电流阈值后，驱动电流会中断，但由于电机的电感性质，电流必须继续流动一段时间。这称为再循环电流。为了处理此再循环电流，DRV8848 H 桥在混合衰减模式下运行。

混合衰减是慢速衰减模式和快速衰减模式的组合。在快速衰减模式下，反向驱动器将打开，以允许电流衰减（请参阅 图 6-3 中的案例 2）。如果绕组电流在快速衰减时接近零，电桥将被禁用，以防止出现反向流动的电流。在慢速衰减模式下，通过启用电桥中的两个低侧 FET 来实现绕组电流的再循环（请参阅 图 6-3 中的案例 3）。混合衰减从快速衰减开始，然后进入慢速衰减。在 DRV8848 中，混合衰减比率为快速衰减的 25%，慢速衰减的 75%（如 图 6-4 所示）。

Copyright © 2025 Texas Instruments Incorporated

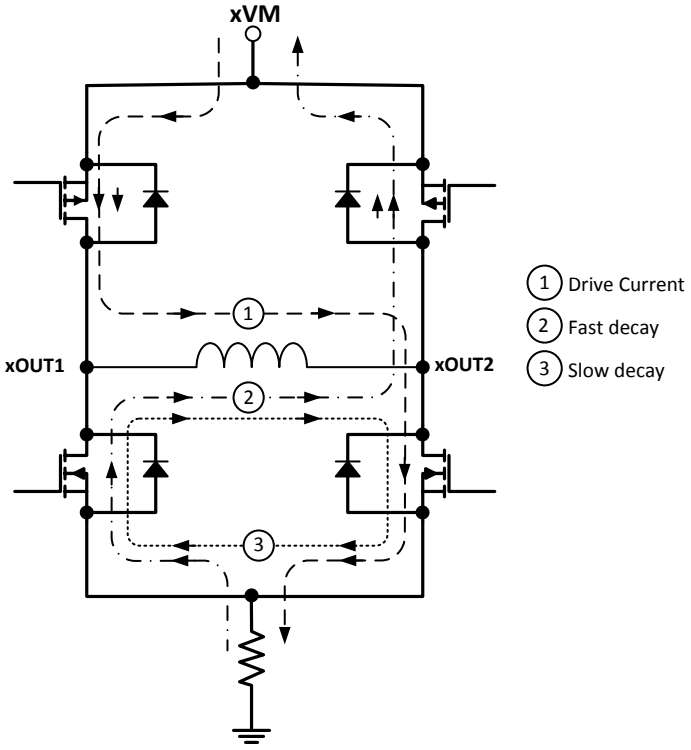


图 6-3. 衰减模式

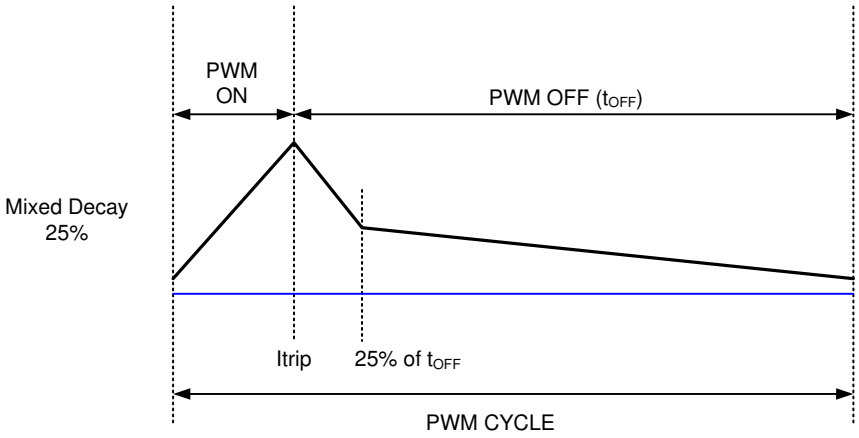


图 6-4. 混合衰减

6.3.6 保护电路

DRV8848 可完全防止欠压、过流和过热事件。

6.3.6.1 OCP

每个 FET 上的模拟电流限制电路都将通过限制栅极驱动器来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间 t_{OCP}，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚置位为低电平。在重试时间 t_{RETRY} 到来之前，该器件一直处于禁用状态。为每个 H 桥提供独立的 OCP。

在高侧和低侧器件上单独检测到过流情况；即接地短路、电源短路或跨电机绕组短路都会导致 OCP 事件。请注意，OCP 不使用用于 PWM 电流控制的电流检测电路，因此即使没有 xISEN 电阻，OCP 也能正常工作。

Copyright © 2025 Texas Instruments Incorporated

6.3.6.2 TSD

如果内核温度超过安全限值 T_{TSD}，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚置位为低电平。裸片温度下降到安全水平后，将自动恢复运行。恢复运行后，nFAULT 引脚将被释放。

6.3.6.3 UVLO

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，并且所有内部逻辑被复位。当 V_{VM} 上升到 UVLO 上升阈值以上时，将恢复运行。nFAULT 引脚在欠压条件下被置位为低电平，并在恢复运行后释放此引脚。

表 6-2. 故障处理

FAULT	错误报告	H 桥	内部电路	恢复
VM 欠压 (UVLO)	nFAULT 未锁存	禁用	关断	系统和故障在恢复时清除
过流 (OCP)	nFAULT 未锁存	禁用	工作	系统和故障在恢复时清除，并且电机在 t_{RETRY} 时间过后被驱动
热关断 (TSD)	nFAULT 未锁存	禁用	工作	系统和故障在恢复时清除

6.4 器件功能模式

DRV8848 处于活动状态，除非 nSLEEP 引脚被置为逻辑低电平。在睡眠模式下，VINT 稳压器被禁用，而 H 桥 FET 被禁用并处于高阻态。请注意，在 nSLEEP 引脚出现下降沿之后，器件必须经过 t_{SLEEP} 才能进入睡眠模式。如果 nSLEEP 被置为逻辑高电平，DRV8848 会自动退出睡眠模式。请注意，唤醒后必须经过 t_{WAKE}，输出状态更改才会改变。

当 V_{VM} 降至 VM UVLO 阈值 (V_{UVLO}) 以下时，输出驱动器、内部逻辑和 VINT 稳压器将复位。

表 6-3. 功能模式

模式	条件	H 桥	VINT
工作	4V < V_{VM} < 18V nSLEEP 引脚 = 1	工作	工作
睡眠	4V < V_{VM} < 18V nSLEEP 引脚 = 0	禁用	禁用
故障	满足任何故障条件	禁用	取决于故障

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

DRV8848 用于步进或有刷直流电机控制。

7.2 典型应用

用户可按照以下设计过程配置 DRV8848。

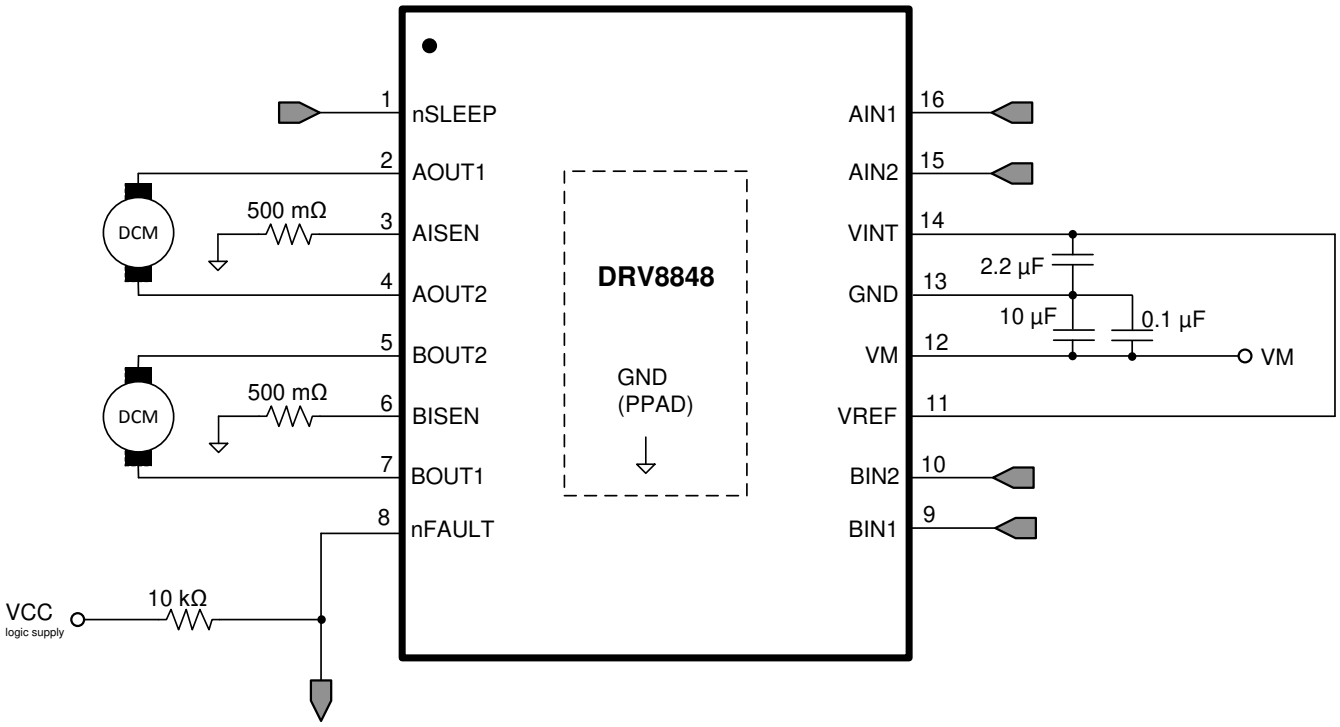


图 7-1. 典型应用原理图

7.2.1 设计要求

表 7-1 提供了系统设计的设计输入参数。

表 7-1. 设计参数

设计参数	基准	示例值
标称电源电压	V_{VM}	12V
电源电压范围		4 至 18V
电机绕组电阻	R_L	3Ω/相
电机绕组电感	L_L	330µH/相
目标斩波电流	I_{CHOP}	500mA
斩波电流基准电压	V_{VREF}	3.3V

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 电流调节

斩波电流 (I_{CHOP}) 是通过任一绕组驱动的最大电流。该值取决于检测电阻值 (R_{XISEN})。

$$I_{CHOP} = \frac{V_{VREF}}{6.6 \times R_{XISEN}} \quad (2)$$

I_{CHOP} 由比较器设置，该比较器将 R_{XISEN} 上的电压与基准电压进行比较。请注意，I_{CHOP} 电流必须遵循 方程式 3，以避免电机饱和。

$$I_{CHOP}\ (A) < \frac{V_{VM}\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega) + R_{XISEN}\ (\Omega)} \quad (3)$$

其中

- V_{VM} 是电机电源电压。
- R_L 是电机绕组电阻。

7.2.3 应用曲线

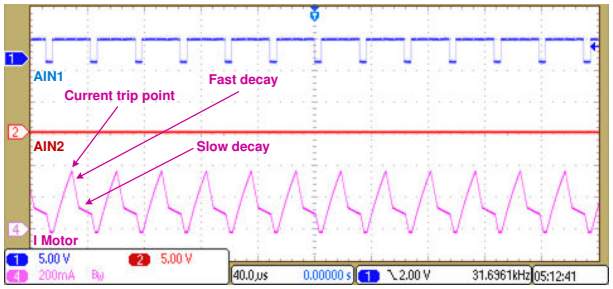


图 7-2. 电流调节

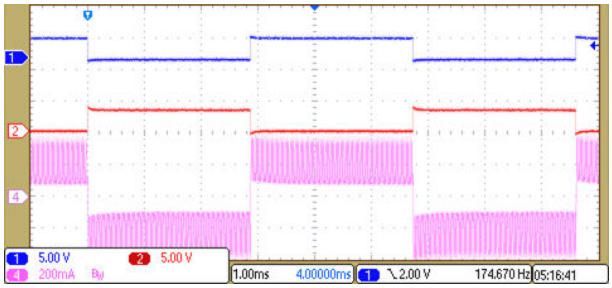


图 7-3. 步进模式运行

7.3 电源相关建议

DRV8848 设计为在 4 至 18V 的输入电源电压 (V_{VM}) 范围内运行。将额定电压为 VM 的 0.1µF 陶瓷电容器尽可能靠近 DRV8848 放置。此外，用户必须在 VM 上放置一个至少为 10µF 的大容量电容器。

7.3.1 确定大容量电容器的大小

确定大容量电容器的大小是电机驱动系统设计中的重要因素。大容量电容器大小的确定取决于多种因素，包括：

- 电源类型
- 可接受的电源电压纹波
- 电源接线中的寄生电感
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动电流
- 电机制动方法

电源和电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。调整大容量电容的大小以满足可接受的电压纹波电平。

数据表会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

Copyright © 2025 Texas Instruments Incorporated

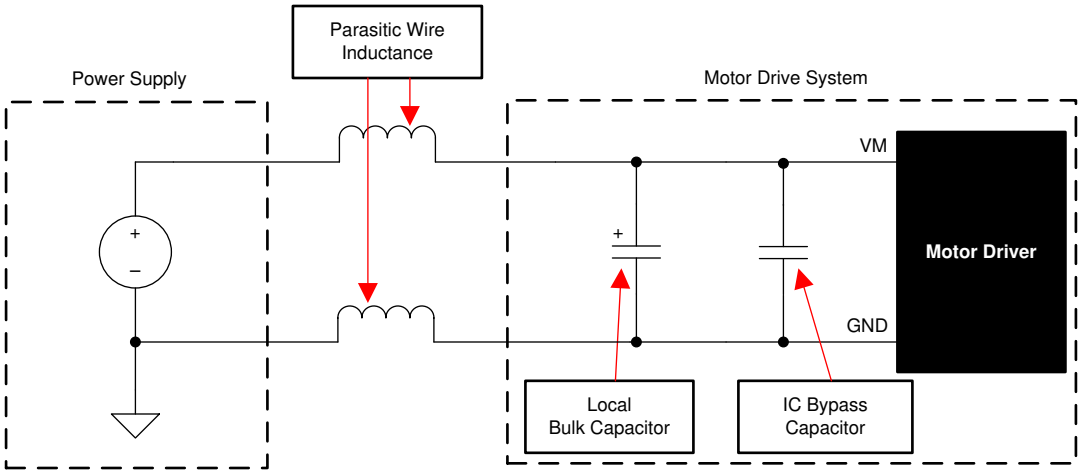


图 7-4. 带外部电源的电机驱动系统设置

7.4 布局

7.4.1 布局指南

使用一个推荐电容值为 10μF 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 终端旁路至 GND。将该电容器可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件的 GND 引脚连接。

使用额定电压为 6.3V 的陶瓷电容器将 VINT 旁路至接地。将此旁路电容器尽可能靠近引脚放置。

7.4.2 布局示例

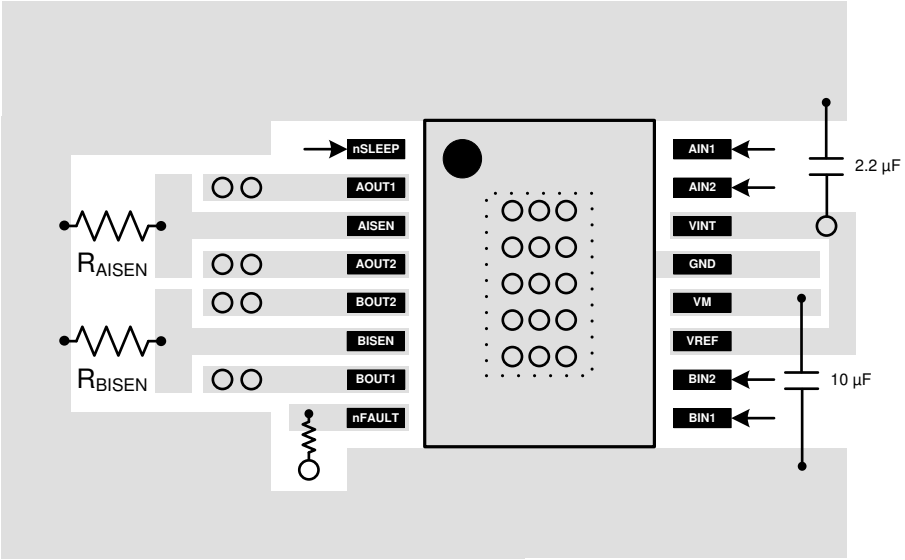


图 7-5. 布局建议

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

8.6 社区资源

8.7 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (November 2015) to Revision B (April 2024)	Page
• 更正了 t_F 和 t_R，以分别表示下降时间和上升时间	4

Changes from Revision * (October 2014) to Revision A (November 2015)	Page
• 图 6-1 的已纠正行	10
• 添加了 *节 8.6*	19

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8848PWP	Obsolete	Production	HTSSOP (PWP) | 16	-	-	Call TI	Call TI	-40 to 85	DRV8848
DRV8848PWPR	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-3-260C-168 HR	-40 to 85	DRV8848
DRV8848PWPR.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8848
DRV8848PWPR.B	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8848
DRV8848PWPRG4	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8848
DRV8848PWPRG4.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8848
DRV8848PWPRG4.B	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DRV8848

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

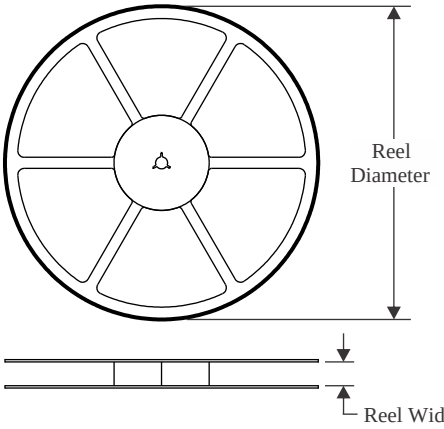
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

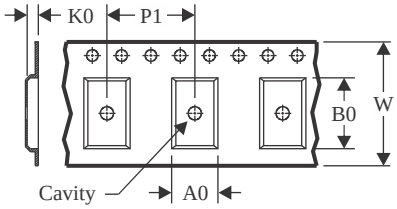
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

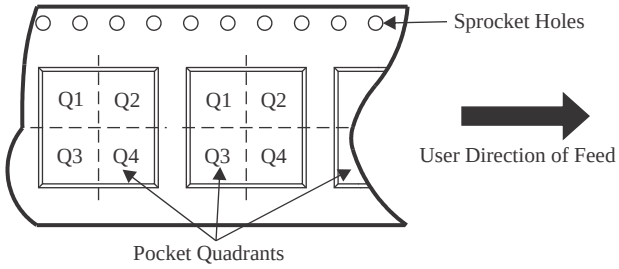


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

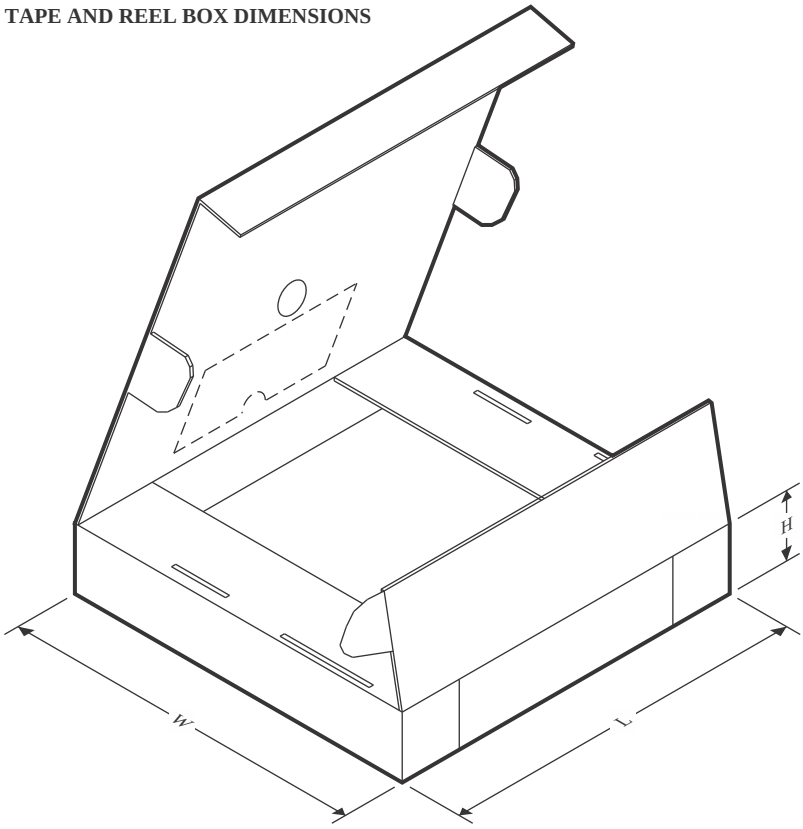
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8848PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8848PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8848PWPRG4	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

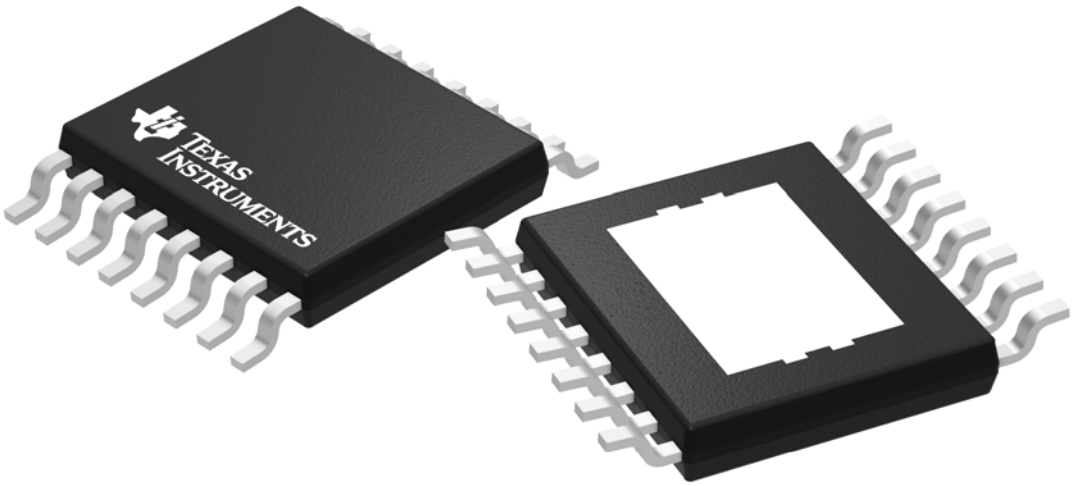


*All dimensions are nominal

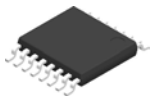
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8848PWPR	HTSSOP	PWP	16	2000	356.0	356.0	36.0
DRV8848PWPR	HTSSOP	PWP	16	2000	353.0	353.0	32.0
DRV8848PWPRG4	HTSSOP	PWP	16	2000	353.0	353.0	32.0

PWP 16 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

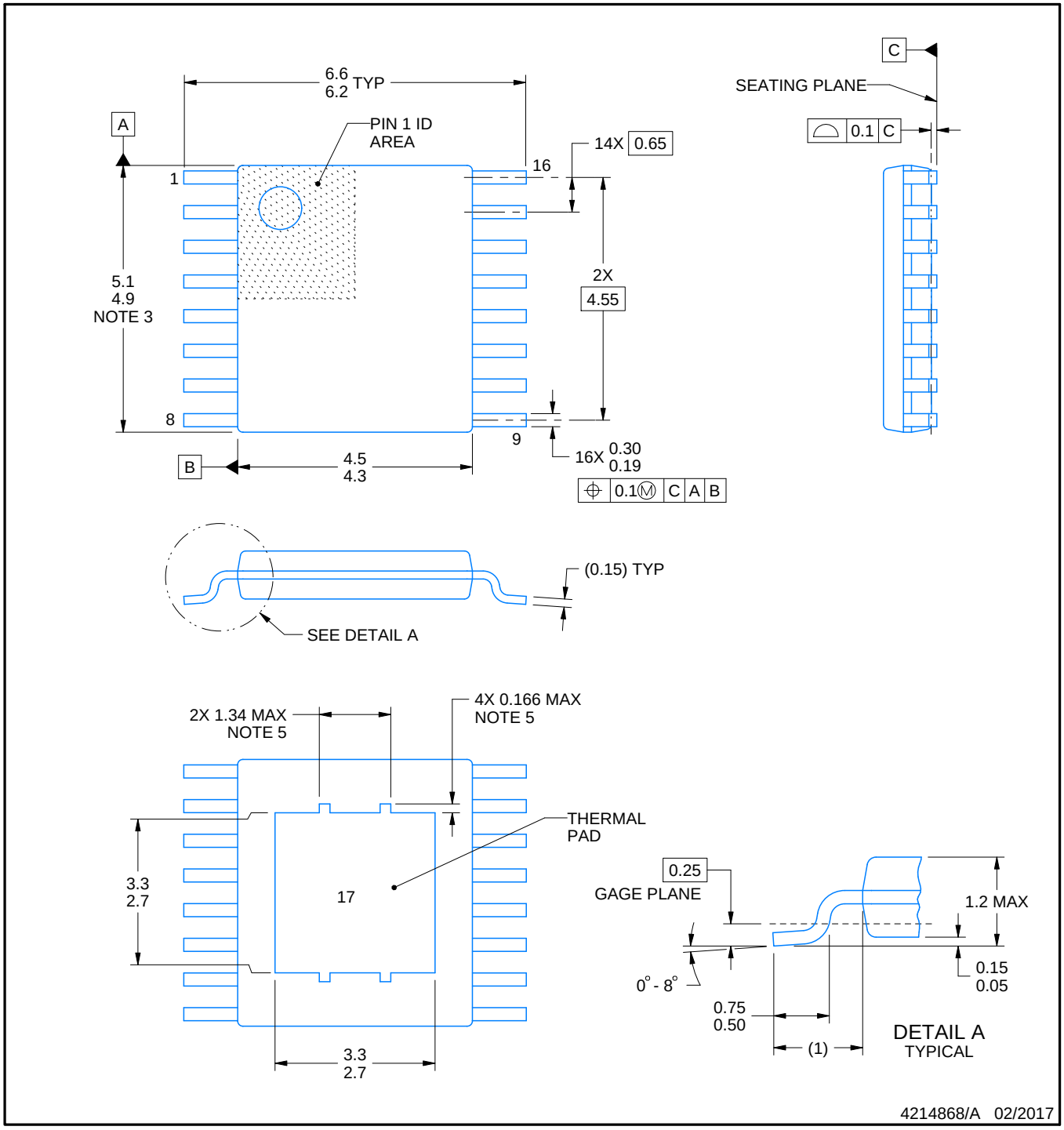


PACKAGE OUTLINE

PWP0016A

PowerPAD ™ HTSSOP - 1.2 mm max height

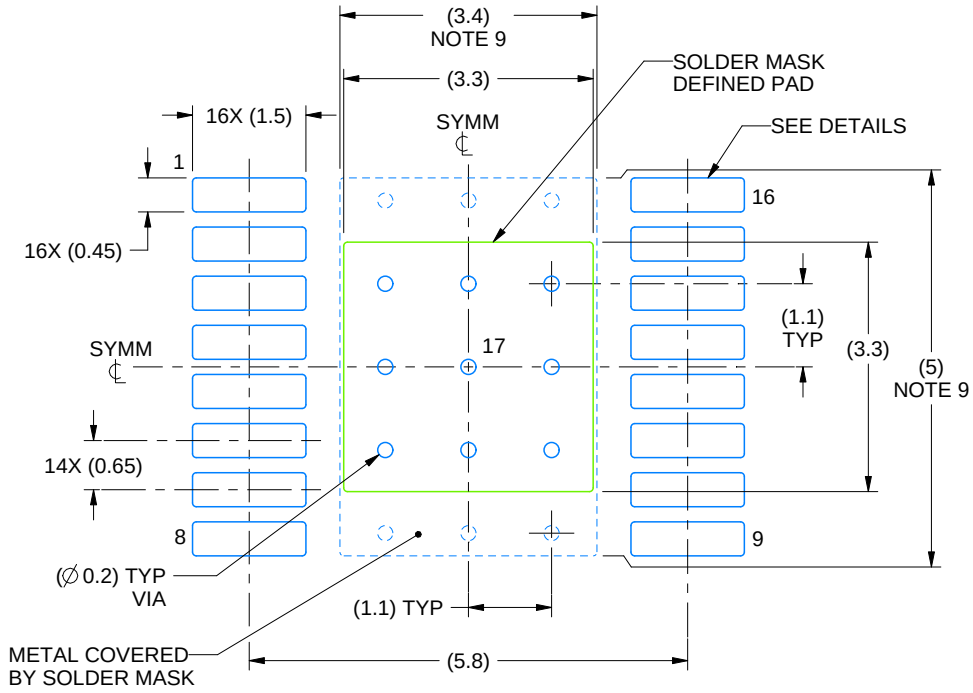
PLASTIC SMALL OUTLINE



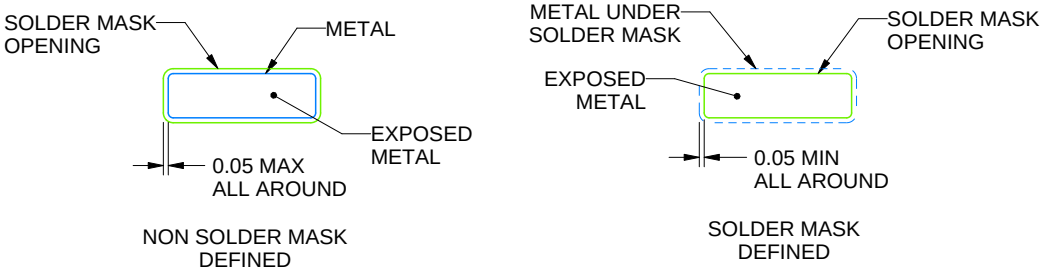
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

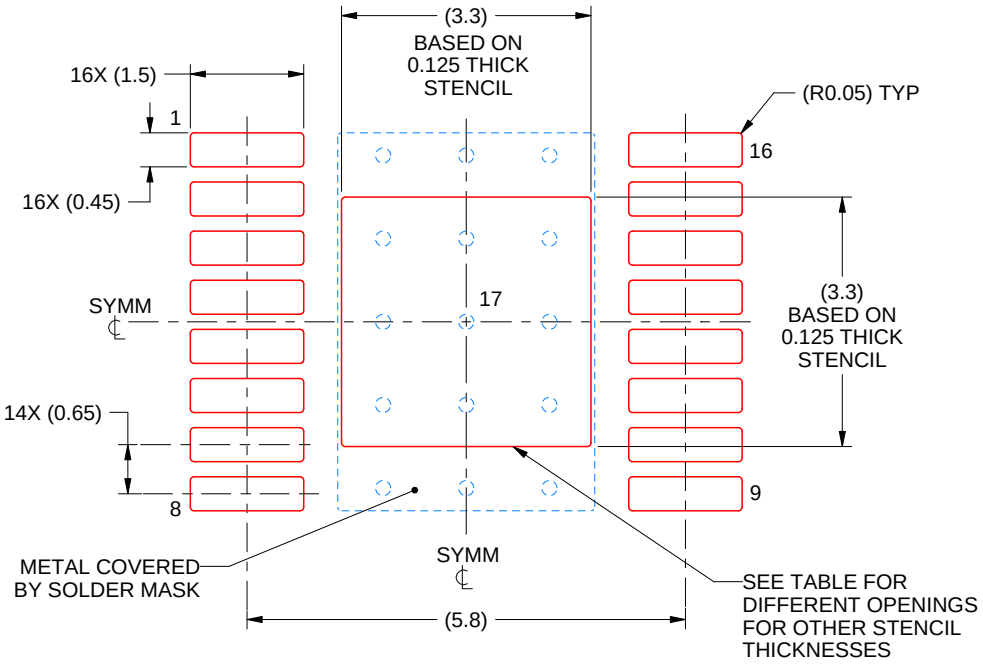


SOLDER MASK DETAILS
PADS 1-16

4214868/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.69 X 3.69
0.125	3.3 X 3.3 (SHOWN)
0.15	3.01 X 3.01
0.175	2.79 X 2.79

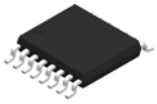
4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

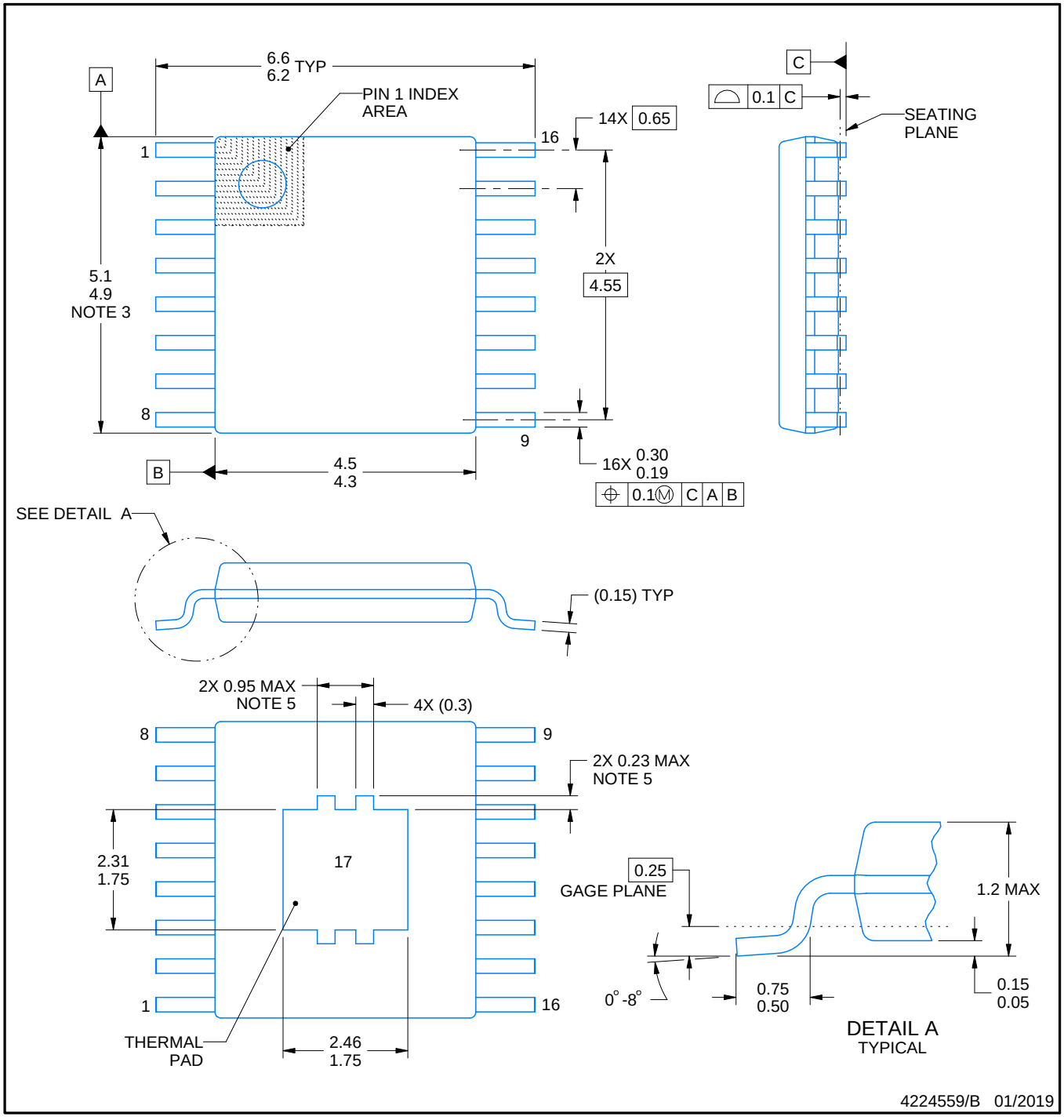
PACKAGE OUTLINE

PWP0016C



PowerPAD™ TSSOP - 1.2 mm max height

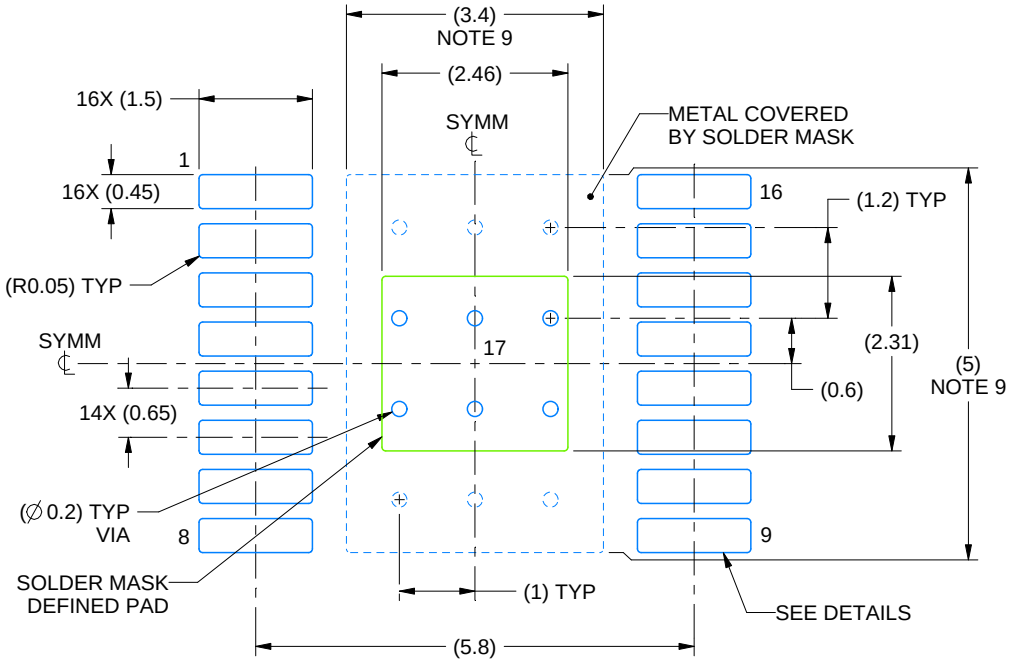
SMALL OUTLINE PACKAGE



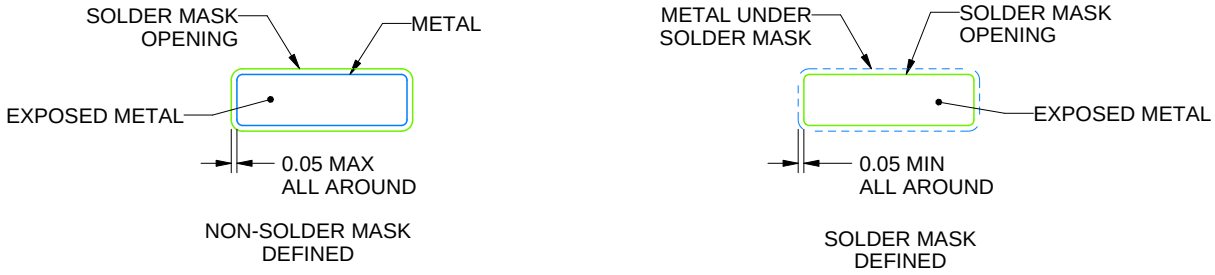
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

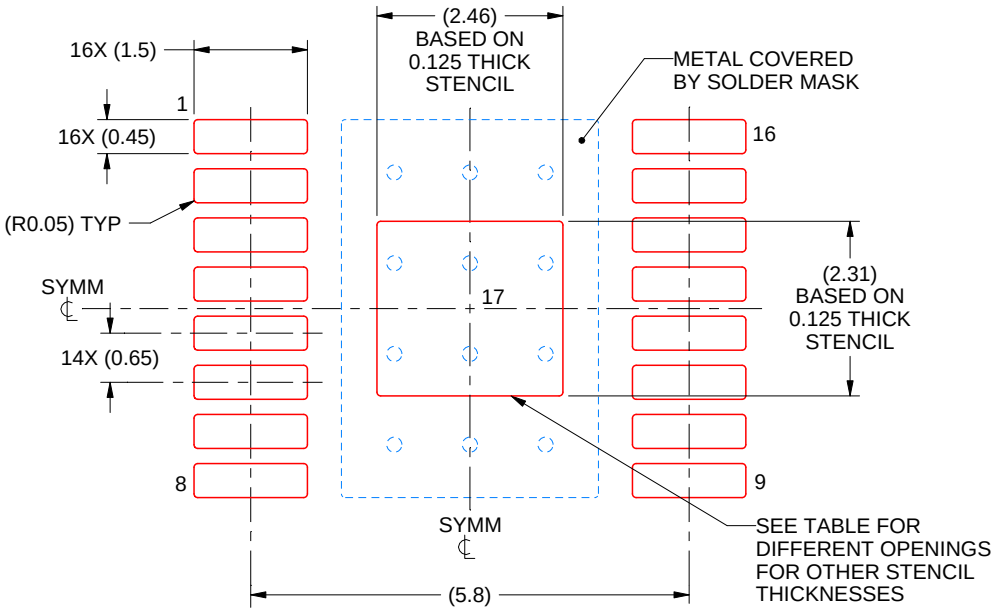


SOLDER MASK DETAILS

4224559/B 01/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 2.58
0.125	2.46 X 2.31 (SHOWN)
0.15	2.25 X 2.11
0.175	2.08 X 1.95

4224559/B 01/2019

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月