

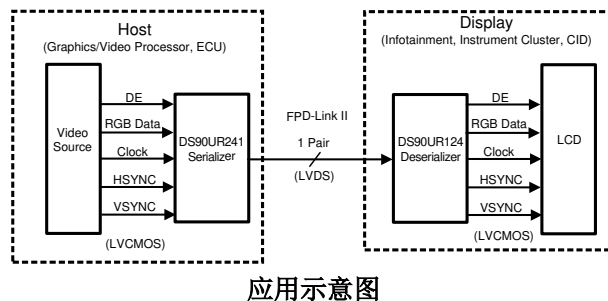
DS90URxxx-Q1 5MHz 至 43MHz 直流平衡 24 位 FPD-Link II 串行器和解串器芯片组

1 特性

- 支持 18 位色深的显示器
- 5MHz 至 43MHz 像素时钟
- 汽车级产品：符合 AEC-Q100 2 级要求
- 24:1 接口压缩
- 具有直流平衡功能的嵌入式时钟支持交流耦合数据传输
- 能够驱动长达 10 米的屏蔽双绞线
- 无需参考时钟 (解串器)
- 符合 ISO 10605 ESD 标准 - 大于 8kV HBM ESD 结构
- 支持热插拔
- EMI 降低 - 串行器接受展频输入；串行链路上的数据随机化和重排；解串器提供可调节 PTO (渐进接通) LVCMOS 输出
- @Speed BIST (内置自检) 用于验证 LVDS 传输路径
- 发送器和接收器独立断电控制
- 电源范围 $3.3V \pm 10\%$
- 发送器采用 48 引脚 TQFP 封装，接收器采用 64 引脚 TQFP 封装
- 温度范围：-40°C 至 105°C
- DS90C241/DS90C124 的向后兼容模式

2 应用

- 汽车中心信息显示
- 汽车仪表组显示
- 汽车抬头显示
- 基于远程摄像头的驾驶辅助系统



3 说明

DS90URxxx-Q1 芯片组将 24 位并行总线转换为具有嵌入式时钟信息的完全透明的数据/控制 FPD-Link II LVDS 串流。该芯片组旨在将图形数据驱动至要求 18 位色深的显示屏：RGB666 + HS、VS、DE + 三个额外的通用数据通道。该单一串流通过消除并行数据与时钟路径间的偏移问题，简化了印刷电路板 (PCB) 走线和电缆上的 24 位总线传输。该器件通过缩窄数据路径，进而减少了 PCB 层数、电缆宽度以及连接器尺寸和引脚数量，节省了系统成本。

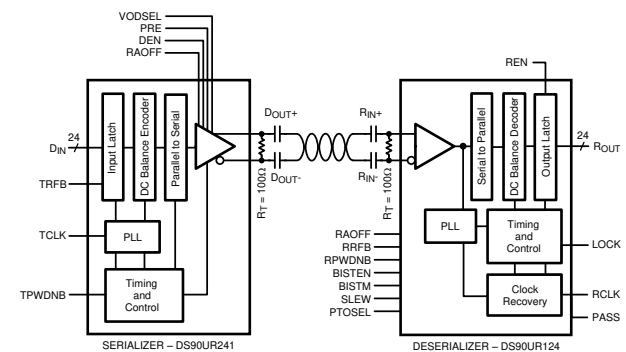
DS90URxxx-Q1 在高速 I/O 上整合了 FPD-Link II LVDS 信令。FPD-Link II LVDS 提供了一个低功耗、低噪声环境，便于通过串行传输路径可靠地传输数据。通过针对工作频率范围优化串行器输出边沿速率，进一步降低了 EMI。

此外，该器件具有预加重功能，可增强信号，在有损耗电缆上传输更远的距离。内部直流均衡编码和解码被用来支持交流耦合互连。使用 TI 的专有随机锁定，串行器的并行数据会随机分配给解串器，而无需 REFCLK。

器件信息

器件型号	封装 (1)	本体尺寸 (标称值) (2)
DS90UR124-Q1	TQFP (64)	10.00mm × 10.00mm
DS90UR241-Q1	TQFP (48)	7.00mm × 7.00mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	6 详细说明	19
2 应用	1	6.1 概述.....	19
3 说明	1	6.2 功能方框图.....	19
4 引脚配置和功能	3	6.3 特性说明.....	19
5 规格	8	6.4 器件功能模式.....	23
5.1 绝对最大额定值.....	8	7 器件和文档支持	33
5.2 ESD 等级.....	8	7.1 器件支持.....	33
5.3 建议运行条件.....	9	7.2 文档支持.....	33
5.4 热性能信息.....	9	7.3 接收文档更新通知.....	33
5.5 电气特性.....	9	7.4 支持资源.....	33
5.6 TCLK 的串行器输入时序要求.....	11	7.5 商标.....	33
5.7 串行器开关特性.....	11	7.6 静电放电警告.....	33
5.8 解串器开关特性.....	11	7.7 术语表.....	33
5.9 典型特性.....	18	8 修订历史记录	33

4 引脚配置和功能

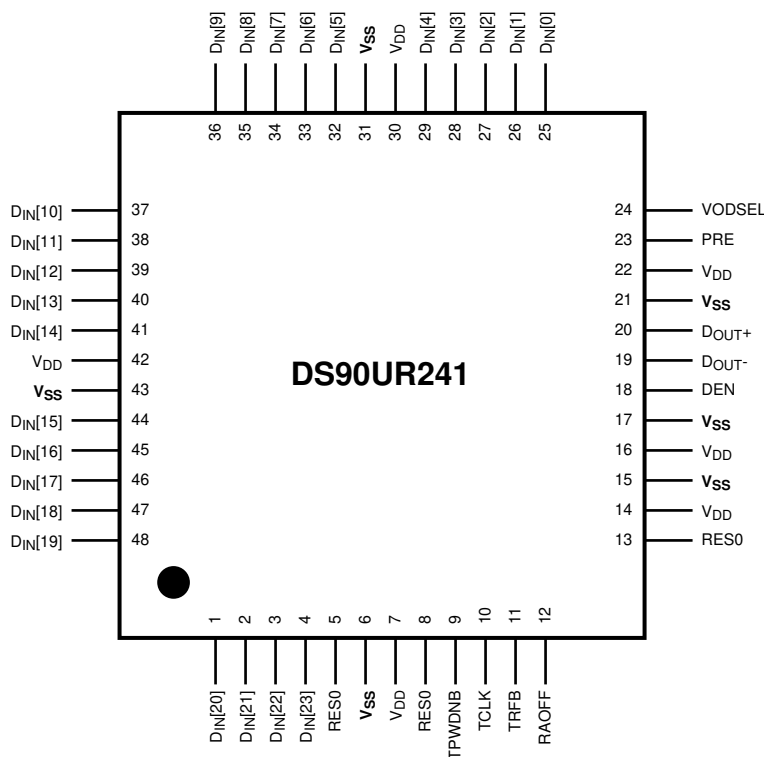


图 4-1. PFB 封装
48 引脚 TQFP
俯视图

表 4-1. 引脚功能：PFB 封装

引脚		I/O	说明
编号	名称		
LVCMOS 并行接口引脚			
4-1、 48-44 、 41-32 、 29-25	D _{IN} [23:0]	LVCMOS_I	发送器并行接口数据输入引脚。如果不使用，连接至低电平；请勿悬空。
10	TCLK	LVCMOS_I	发送器并行接口时钟输入引脚。通过 TRFB 配置引脚设置的选通边沿。
控制和配置引脚			
18	DEN	LVCMOS_I	发送器数据使能 DEN = H；LVDS 驱动器输出启用 (ON)。 DEN = L；LVDS 驱动器输出禁用 (OFF)，发送器 LVDS 驱动器 D _{OUT} (+/-) 输出处于三态，PLL 仍在运行并锁定到 TCLK。
23	PRE	LVCMOS_I	预加重电平选择 PRE = NC (无连接)；预加重禁用 (OFF)。 当输入通过外部电阻器 R _{PRE} 连接到 VSS 时，预加重有效。电阻器值决定了预加重电平。建议值 R _{PRE} ≥ 6kΩ；I _{max} = [48/R _{PRE}]，R _{PRE min} = 6kΩ
12	RAOFF	LVCMOS_I	随机发生器控制输入引脚 RAOFF = H，向后兼容模式配合 DS90C124 解串器使用。 RAOFF = L；额外随机化开启（默认），选择 2E7 LSFR 设置。 有关更多详细信息，请参阅表 6-1。

表 4-1. 引脚功能：PFB 封装（续）

引脚		I/O	说明
编号	名称		
5、8、13	RES0	LVC MOS_I	保留。该引脚 必须 连接到低电平。
9	TPWDNB	LVC MOS_I	发送器断电条 TPWDNB = H；发送器启用 (ON) TPWDNB = L；发送器处于断电模式（睡眠），LVDS 驱动器 D _{OUT} (+/-) 输出处于三态待机模式，PLL 关断以最大限度地降低功耗。
11	TRFB	LVC MOS_I	发送器时钟边沿选择引脚 TRFB = H；并行接口数据在上升时钟边沿选通。 TRFB = L；并行接口数据在下降时钟边沿选通
24	VODSEL	LVC MOS_I	VOD 电平选择 VODSEL = L；LVDS 驱动器输出为 $\pm 500\text{mV}$ ($R_L = 100\Omega$) VODSEL = H；LVDS 驱动器输出为 $\pm 900\text{mV}$ ($R_L = 100\Omega$) 在正常应用中，将该引脚设置为低电平。在需要较大 VOD 的长电缆应用中，将该引脚设置为高电平。
LVDS 串行接口引脚			
20	D _{OUT+}	LVDS_O	发送器 LVDS 真实 (+) 输出。 该输出旨在通过 100 Ω 负载加载到 D _{OUT+} 引脚。该互连必须通过 100nF 电容器交流耦合至该引脚。
19	D _{OUT-}	LVDS_O	发送器 LVDS 反相 (-) 输出 该输出旨在通过 100 Ω 负载加载到 D _{OUT-} 引脚。该互连必须通过 100nF 电容器交流耦合至该引脚。
电源/接地引脚			
22	VDD	VDD	模拟电压电源，LVDS 输出电源
16	VDD	VDD	模拟电压电源，VCO 电源
14	VDD	VDD	模拟电压电源，PLL 电源
30	VDD	VDD	数字电压电源，串行器电源
7	VDD	VDD	数字电压电源，串行器逻辑电源
42	VDD	VDD	数字电压电源，串行器输入电源
21	VSS	GND	模拟地，LVDS 输出接地
17	VSS	GND	模拟地，VCO 接地
15	VSS	GND	模拟地，PLL 接地
31	VSS	GND	数字地，串行器接地
6	VSS	GND	数字地，串行器逻辑接地
43	VSS	GND	数字地，串行器输入接地

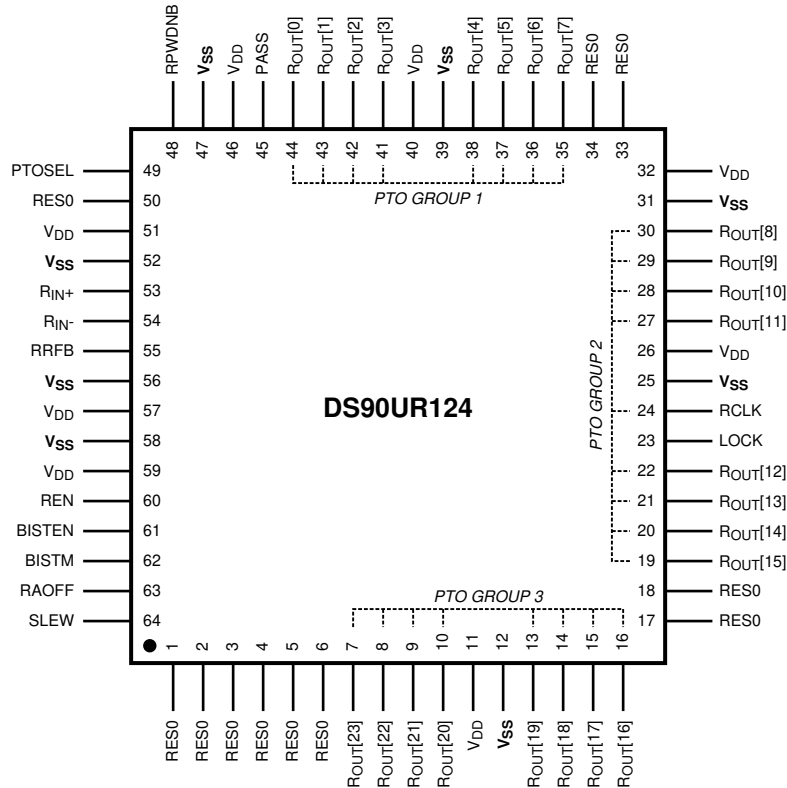


图 4-2. PAG 封装
64 引脚 TQFP
俯视图

表 4-2. 引脚功能 : PAG 封装

引脚		I/O	说明
编号	名称		
LVCMOS 并行接口引脚			
24	RCLK	LVCMOS_O	并行接口时钟输出引脚。通过 RRFB 配置引脚设置的选通边沿。
35-38 、 41-44	R _{OUT} [7:0]	LVCMOS_O	接收器并行接口数据输出 - 组 1
19-22 、 27-30	R _{OUT} [15:8]	LVCMOS_O	接收器并行接口数据输出 - 组 2
7-10、 13-16	R _{OUT} [23:16]	LVCMOS_O	接收器并行接口数据输出 - 组 3
控制和配置引脚			
23	LOCK	LVCMOS_O	LOCK 表示接收器 PLL 的状态 LOCK = H；接收器 PLL 锁定 LOCK = L；接收器 PLL 解锁，R _{OUT} [23:0] 和 RCLK 处于三态。
49	PTOSEL	LVCMOS_I	渐进接通运行选择 PTO = H；R _{OUT} [23:0] 分为三组（每组八个），每组相对于 RCLK 隔大约 ±1 UI 至 ±2 UI 开关。（图 5-15） PTO = L；PTO 展频模式，R _{OUT} [23:0] 输出展频 ±1 UI 至 ±2 UI，RCLK 展频 ±1 UI。（图 5-16）有关更多详细信息，请参阅“应用信息”一节。
63	RAOFF	LVCMOS_I	随机发生器控制输入引脚（有关更多详细信息，请参阅“表 2”。） RAOFF = H，向后兼容模式配合 DS90C241 串行器使用。 RAOFF = L；额外随机化开启（默认），选择 2E7 LSFR 设置。

表 4-2. 引脚功能：PAG 封装（续）

引脚		I/O	说明
编号	名称		
60	REN	LVC MOS_I	接收器数据使能 REN = H；R _{OUT} [23-0] 和 RCLK 启用 (ON)。 REN = L；R _{OUT} [23-0] 和 RCLK 禁用 (OFF)，接收器 R _{OUT} [23-0] 和 RCLK 输出处于三态，PLL 仍然运行并锁定到 TCLK。
50	RES0	LVC MOS_I	保留。该引脚 必须 连接到低电平。
1-6、 17、 18、 33、 34	RES0	NC	无连接。引脚未物理连接到裸片。建议引脚保持断开状态或连接至低电平。
48	RPW DNB	LVC MOS_I	接收器断电条 RPW DNB = H；接收器启用 (ON) RPW DNB = L；接收器处于断电模式（睡眠），R _{OUT} [23-0]、RCLK 和 LOCK 处于三态待机模式，PLL 关断以更大限度地降低功耗。
55	RRFB	LVC MOS_I	接收器时钟边沿选择引脚 RRFB = H；R _{OUT} LVC MOS 输出在上升时钟边沿选通。 RRFB = L；R _{OUT} LVC MOS 输出在下降时钟边沿选通。
64	SLEW	LVC MOS_I	LVC MOS 输出压摆率控制 SLEW = L；2mA 下低驱动输出（默认） SLEW = H；4mA 下高驱动输出
BIST 模式引脚 （有关更多详细信息，请参阅 节 应用和实施 。）			
61	BISTEN	LVC MOS_I	BIST 模式使能控制引脚 BISTEN = L；默认低电平，正常模式。 BISTEN = H；BIST 模式有效。当 BISTEN = H 且 DS90UR241 DIN[23:0] = 低电平或悬空时；器件相应地进入 BIST 模式。检查 PASS 输出引脚以确定测试状态。
62	BISTM	LVC MOS_I	BIST 模式选择。设置解串器 BIST 报告模式的控制引脚。 BISTM = L；默认低电平，所有 R _{OUT} 的状态及每个周期各自的位错误 BISTM = H；R _{OUT} [7:0] 上提供的累积位错误总数（二进制计数器高达 255）
45	通过	LVC MOS_O	@Speed BIST 测试运行的通过标志输出。 PASS = L；BIST 失败 PASS = H；LOCK = H 之后 BIST 可以启用，然后链路上实现 1x10 ⁻⁹ 的错误率。
LVDS 串行接口引脚			
53	R _{IN+}	LVDS_I	接收器 LVDS 真实 (+) 输入 - 该输入旨在通过 100 Ω 负载连接至 R _{IN+} 引脚。该互连必须通过 100nF 电容器交流耦合至该引脚。
54	R _{IN-}	LVDS_I	接收器 LVDS 反相 (-) 输入 - 该输入旨在通过 100 Ω 负载连接至 R _{IN-} 引脚。该互连必须通过 100nF 电容器交流耦合至该引脚。
电源/接地引脚			
51	VDD	VDD	模拟 LVDS 电压电源，电源
59	VDD	VDD	模拟电压电源，PLL 电源
57	VDD	VDD	模拟电压电源，PLL VCO 电源
32	VDD	VDD	数字电压电源，逻辑电源
46	VDD	VDD	数字电压电源，逻辑电源
40	VDD	VDD	数字电压电源，LVC MOS 输出电源
26	VDD	VDD	数字电压电源，LVC MOS 输出电源
11	VDD	VDD	数字电压电源，LVC MOS 输出电源
52	VSS	GND	模拟 LVDS 接地
58	VSS	GND	模拟地，PLL 接地
56	VSS	GND	模拟地，PLL VCO 接地

表 4-2. 引脚功能：PAG 封装（续）

引脚		I/O	说明
编号	名称		
31	VSS	GND	数字地，逻辑接地
47	VSS	GND	数字地，逻辑接地
39	VSS	GND	数字地，LVCMOS 输出接地
25	VSS	GND	数字地，LVCMOS 输出接地
12	VSS	GND	数字地，LVCMOS 输出接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

				最小值	最大值	单位
电源电压 (V _{DD})				-0.3	4	V
LVCMOS 输入电压				-0.3	V _{DD} +0.3	V
LVCMOS 输出电压				-0.3	V _{DD} +0.3	V
LVDS 接收器输入电压				-0.3	+3.9	V
LVDS 驱动器输出电压				-0.3	+3.9	V
LVDS 输出短路持续时间					10	ms
结温					150	°C
引线温度 (焊接时, 4 秒)					260	°C
最大封装功耗量 ⁽²⁾	封装 降额：	DS90UR241 – 48L TQFP	R _{θ JA}	45.8 (4L) ; 75.4 (2L)		°C/W
			R _{θ JC}	21.0		
		DS90UR124 – 64L TQFP	R _{θ JA}	42.8 (4L) ; 67.2 (2L)		
			R _{θ JC}	14.6		
贮存温度, T _{stg}				-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) $1/R_{\theta JA}$ °C/W (+25°C 以上)

5.2 ESD 等级

				值	单位
采用 PFB 封装的 DS90UR241-Q1					
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚		≥±8000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	边角引脚 (1、12、13、24、25、36、37 和 48)		±1000	
		其他引脚		±1000	
		(ISO10605) ⁽²⁾	接触放电 (20、19)		
		空气放电 (20、19)		±30000	
采用 PAG 封装的 DS90UR124-Q1					
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚		≥±8000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	边角引脚 (1、16、17、32、33、48、49 和 64)		±1000	
		其他引脚		±1000	
		(ISO10605) ⁽²⁾	接触放电 (R _{IN+} 、 R _{IN-})		
		空气放电 (R _{IN+} 、 R _{IN-})		±30000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

(2) $R_D = 2k\Omega$, $C_S = 330pF$

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压 (V_{DD})	3.0	3.3	3.6	V
自然通风工作温度范围 (T_A)	-40	25	105	°C
时钟速率	5		43	MHz
电源噪声			±100	mV _{P-P}

5.4 热性能信息

热指标 ⁽¹⁾		DS90UR124-Q1	DS90UR241-Q1	单位
		PAG [TQFP]	PFB [TQFP]	
		64 引脚	48 引脚	
$R_{\theta JA}$	结至环境热阻	58.1	64.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.0	14.1	
$R_{\theta JB}$	结至电路板热阻	30.4	30.2	
ψ_{JT}	结至顶部特征参数	0.3	0.4	
ψ_{JB}	结至电路板特征参数	30.0	29.8	

(1) 有关新旧热指标的更多信息，请参阅 IC 封装热指标 应用报告 [SPRA953](#)。

5.5 电气特性

在建议的工作电压和温度范围内测得（除非另外说明）

参数		测试条件	PIN/FREQ.		最小值	典型值	最大值	单位
LVCMOS 直流规格								
V _{IH}	高电平输入电压		Tx : D _{IN} [0:23]、TCLK、TPWDNB、DEN、TRFB、RAOFF、VODSEL、RES0。 Rx : RPWDNB、RRFB、REN、PTOSEL、BISTEN、BISTM、SLEW、RES0。	2		V _{DD}	V	
V _{IL}	低电平输入电压			GND		0.8	V	
V _{CL}	输入钳位电压	I _{CL} = -18mA			-0.8	-1.5	V	
I _{IN}	输入电流	V _{IN} = 0V 至 3.6V	Tx : D _{IN} [0:23]、TCLK、TPWDNB、DEN、TRFB、RAOFF、RES0。 Rx : RRFB、REN、PTOSEL、BISTEN、BISTM、SLEW、RES0。	-10	±2	10	μA	
			Rx : RPWDNB	-20	±5	20		
			V _{OH}	高电平输出电压	I _{OH} = -2mA , SLEW = L I _{OH} = -4mA , SLEW = H	Rx : R _{OUT} [0:23]、RCLK、LOCK、PASS。	2.3	3
V _{OL}	低电平输出电压	I _{OL} = 2mA , SLEW = L I _{OL} = 4mA , SLEW = H	GND	0.33	0.5		V	
I _{OS}	输出短路电流	V _{OUT} = 0V		-40	-70		-110	mA
I _{OZ}	三态输出电流	RPWDNB , REN = 0V , V _{OUT} = 0V 或 V _{DD}	Rx : R _{OUT} [0:23]、RCLK、LOCK、PASS。	-30	±0.4	30	μA	
LVDS 直流规范								

5.5 电气特性 (续)

在建议的工作电压和温度范围内测得 (除非另外说明)

参数		测试条件		PIN/FREQ.		最小值	典型值	最大值	单位		
V _{TH}	差分阈值高电压	V _{CM} = 1.8V		R _x : R _{IN+} 、 R _{IN-}		50			mV		
V _{TL}	差分阈值低电压					-50			mV		
I _{IN}	输入电流	V _{IN} = 2.4V , V _{DD} = 3.6V				±100	±250	μA			
		V _{IN} = 0V , V _{DD} = 3.6V				±100	±250				
V _{OD}	输出差分电压 (D _{OUT+}) - (D _{OUT-})	R _L = 100 Ω , 无预加重 图 5-10	VODSEL = L	T _x : D _{OUT+} 、 D _{OUT-}		380	500	630	mV		
			VODSEL = H			500	900	1100			
Δ V _{OD}	输出差分电压不平衡	R _L = 100 Ω , 无预加重	VODSEL = L			1			50	mV	
		VODSEL = H									
V _{OS}	失调电压	R _L = 100 Ω , 无预加重	VODSEL = L			1			1.25	1.50	V
			VODSEL = H								
Δ V _{OS}	失调电压不平衡	R _L = 100 Ω , 无预加重	VODSEL = L			3			50	mV	
			VODSEL = H								
I _{OS}	输出短路电流	D _{OUT} = 0V , D _{IN} = H , TPWDNB = 2.4V	VODSEL = L			-2	-5	-8	mA		
			VODSEL = H			-4.5	-7.9	-14			
I _{OZ}	三态输出电流	TPWDNB = 0V , D _{OUT} = 0V 或 V _{DD}		-15	±1	15	μA				
		TPWDNB = 2.4V , DEN = 0V D _{OUT} = 0V 或 V _{DD}		-15	±1	15					
		TPWDNB = 2.4V , DEN = 2.4V , D _{OUT} = 0V 或 V _{DD}		-15	±1	15					
		无锁定 (无 TCLK)									
SER/DES 电源电流 (DVDD*、PVDD* 和 AVDD* 引脚) *数字、PLL 和模拟 VDDS											
I _{DDT}	串行器 总电源电流 (包括负载电流)	R _L = 100Ω , PRE = OFF , RAOFF = H , VODSEL = L		F = 43MHz , 棋盘模式 图 5-1	60	85	mA				
		R _L = 100 Ω , PRE = 12k Ω , RAOFF = H , VODSEL = L			65	90					
		R _L = 100Ω , PRE = OFF , RAOFF = H , VODSEL = H		f = 43MHz , 随机模式	66	90					
I _{DDTZ}	串行器 电源电流断电	TPWDNB = 0V (所有其他 LVCMOS 输入 = 0V)				45	μA				
I _{DDR}	解串器 总电源电流 (包括负载电流)	C _L = 4pF , SLEW = H		f = 43MHz , 棋盘模式 LVCMOS 输出 图 5-2	85	105	mA				
		C _L = 4pF , SLEW = H		f = 43MHz , 随机模式 LVCMOS 输出	80	100					
I _{DDRZ}	解串器 电源电流断电	RPWDNB = 0V (所有其他 LVCMOS 输入 = 0V , R _{IN+} /R _{IN-} = 0V)				50	μA				

5.6 TCLK 的串行器输入时序要求

在建议的工作电压和温度范围内测得（除非另外说明）

			最小值	标称值	最大值	单位
t_{TCP}	发送时钟周期	图 5-5	23.25	T	200	ns
t_{TCH}	发送时钟高电平时间		0.3T	0.5T	0.7T	ns
t_{TCL}	发送时钟低电平时间		0.3T	0.5T	0.7T	ns
t_{CLKT}	TCLK 输入切换时间	图 5-4		2.5		ns
t_{JIT}	TCLK 输入抖动	$f = 43\text{MHz}$			± 100	ps
		$f = 33\text{MHz}$			± 130	

5.7 串行器开关特性

在建议的工作电压和温度范围内测得（除非另外说明）

参数	测试条件	最小值	典型值	最大值	单位
t_{LLHT}	LVDS 低电平到高电平切换时间		245	550	ps
t_{LHLT}	LVDS 高电平到低电平切换时间		264	550	ps
t_{DIS}	$D_{IN} (0:23)$ 建立到 TCLK	$R_L = 100\Omega$, $C_L = 10\text{pF}$ 至 GND	4		ns
t_{DIH}	$D_{IN} (0:23)$ 自 TCLK 保持	图 5-5	4		ns
t_{HZD}	$D_{OUT} \pm$ 高电平至三态延迟		10	15	ns
t_{LZD}	$D_{OUT} \pm$ 低电平至三态延迟	$R_L = 100\Omega$, $C_L = 10\text{pF}$ 至 GND	10	15	ns
t_{ZHD}	$D_{OUT} \pm$ 三态到高电平延迟	图 5-6	75	150	ns
t_{ZLD}	$D_{OUT} \pm$ 三态到低电平延迟		75	150	ns
t_{PLD}	串行器 PLL 锁定时间	$R_L = 100\Omega$		10	ms
t_{SD}	串行器延迟	$R_L = 100\Omega$, PRE = OFF, RAOFF = L, TRFB = H, 图 5-8	3.5T+2	3.5T+10	ns
		$R_L = 100\Omega$, PRE = OFF, RAOFF = L, TRFB = L, 图 5-8	3.5T+2	3.5T+10	
$TxOUT_E_O$	$TxOUT_Eye_Opening$ 。 $TxOUT_E_O$ 以 (tBIT/2) 为中心	5MHz - 43MHz, $R_L = 100\Omega$, $C_L = 10\text{pF}$ 至 GND, 随机模式 图 5-9	0.76	0.84	UI

5.8 解串器开关特性

在建议的工作电压和温度范围内测得（除非另外说明）

参数	测试条件	PIN/FREQ.	最小值	典型值	最大值	单位
t_{RCP}	接收器输出 时钟周期	$t_{RCP} = t_{TCP}$, PTOSEL = H	23.25	T	200	ns
t_{RDC}	RCLK 占空比	PTOSEL = H, SLEW = L	45%	50%	55%	
t_{CLH}	LVCMOS 低电平到高电平切换时间	$C_L = 4\text{pF}$ (集总负载), SLEW = H		1.5	2.5	ns
t_{CHL}	LVCMOS 高电平到低电平切换时间			1.5	2.5	ns
t_{CLH}	LVCMOS 低电平到高电平切换时间	$C_L = 4\text{pF}$ (集总负载), SLEW = L		2.0	3.5	ns
t_{CHL}	LVCMOS 高电平到低电平切换时间			2.0	3.5	ns

5.8 解串器开关特性（续）

在建议的工作电压和温度范围内测得（除非另外说明）

参数	测试条件	PIN/FREQ.	最小值	典型值	最大值	单位
t_{ROS} R_{OUT} (0:7) 建立数据至 RCLK (组 1)	PTOSEL = L , SLEW = H , 图 5-16	$R_{OUT}[0:7]$	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROH} R_{OUT} (0:7) 保持数据至 RCLK (组 1)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROS} R_{OUT} (8:15) 建立数据至 RCLK (组 2)	PTOSEL = L , SLEW = H , 图 5-16	$R_{OUT}[8:15]$, LOCK	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROH} R_{OUT} (8:15) 保持数据至 RCLK (组 2)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROS} R_{OUT} (16:23) 建立数据至 RCLK (组 3)		$R_{OUT}[16:23]$	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROH} R_{OUT} (16:23) 建立数据至 RCLK (组 3)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 3 \text{ UI}$		ns
t_{ROS} R_{OUT} (0:7) 建立数据至 RCLK (组 1)	PTOSEL = H , SLEW = H , 图 5-15	$R_{OUT}[0:7]$	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 2 \text{ UI}$		ns
t_{ROH} R_{OUT} (0:7) 保持数据至 RCLK (组 1)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) + 2 \text{ UI}$		ns
t_{ROS} R_{OUT} (8:15) 建立数据至 RCLK (组 2)		$R_{OUT}[8:15]$, LOCK	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 1 \text{ UI}$		ns
t_{ROH} R_{OUT} (8:15) 保持数据至 RCLK (组 2)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) + 1 \text{ UI}$		ns
t_{ROS} R_{OUT} (16:23) 建立数据至 RCLK (组 3)		$R_{OUT}[16:23]$	$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) + 1 \text{ UI}$		ns
t_{ROH} R_{OUT} (16:23) 建立数据至 RCLK (组 3)			$(0.35) \times t_{RCP}$	$(0.5 \times t_{RCP}) - 1 \text{ UI}$		ns
t_{HZR} 高电平至三态延迟	PTOSEL = H , 图 5-14	$R_{OUT}[0:23]$, RCLK , LOCK		3	10	ns
t_{LZR} 低电平至三态延迟				3	10	ns
t_{ZHR} 三态至高电平延迟				3	10	ns
t_{ZLR} 三态至低电平延迟				3	10	ns
t_{DD} 解串器延迟	PTOSEL = H , 图 5-12	RCLK		$[5+(5/56)]T + 3.7$	$[5+(5/56)]T + 8$	ns
t_{DSR} 自断电起的解串器 PLL 锁定时间	请参阅图 5-14	5MHz			128k*T	ms
		43MHz			128k*T	
$RxIN_TOL-L$ 接收器输入容差 (左)	请参阅图 5-17	5MHz – 43MHz			0.25	UI
$RxIN_TOL-R$ 接收器输入容差 (右)	请参阅图 5-17	5MHz – 43MHz			0.25	UI

Device Pin Name

Signal Pattern

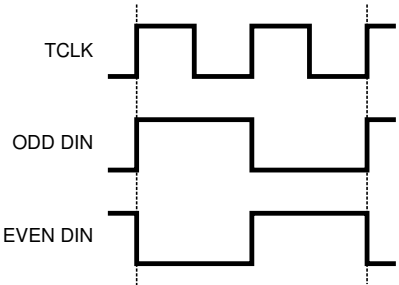


图 5-1. 串行器输入棋盘图形

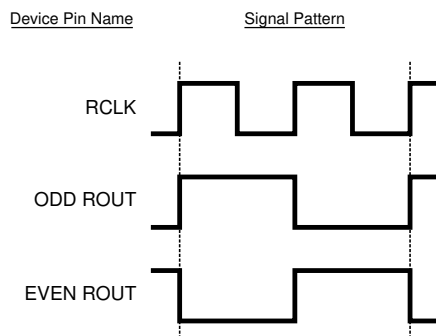


图 5-2. 解串器输出棋盘图形

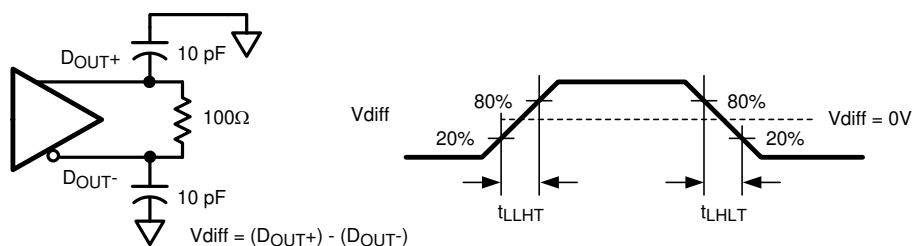


图 5-3. 串行器 LVDS 输出加载和切换时间

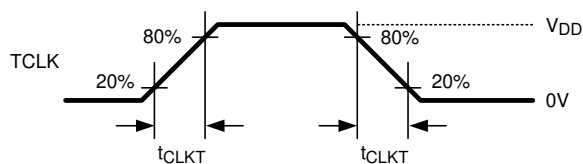


图 5-4. 串行器输入时钟切换时间

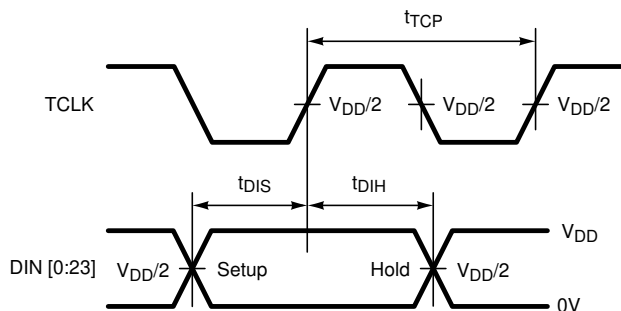


图 5-5. 串行器建立和保持时间

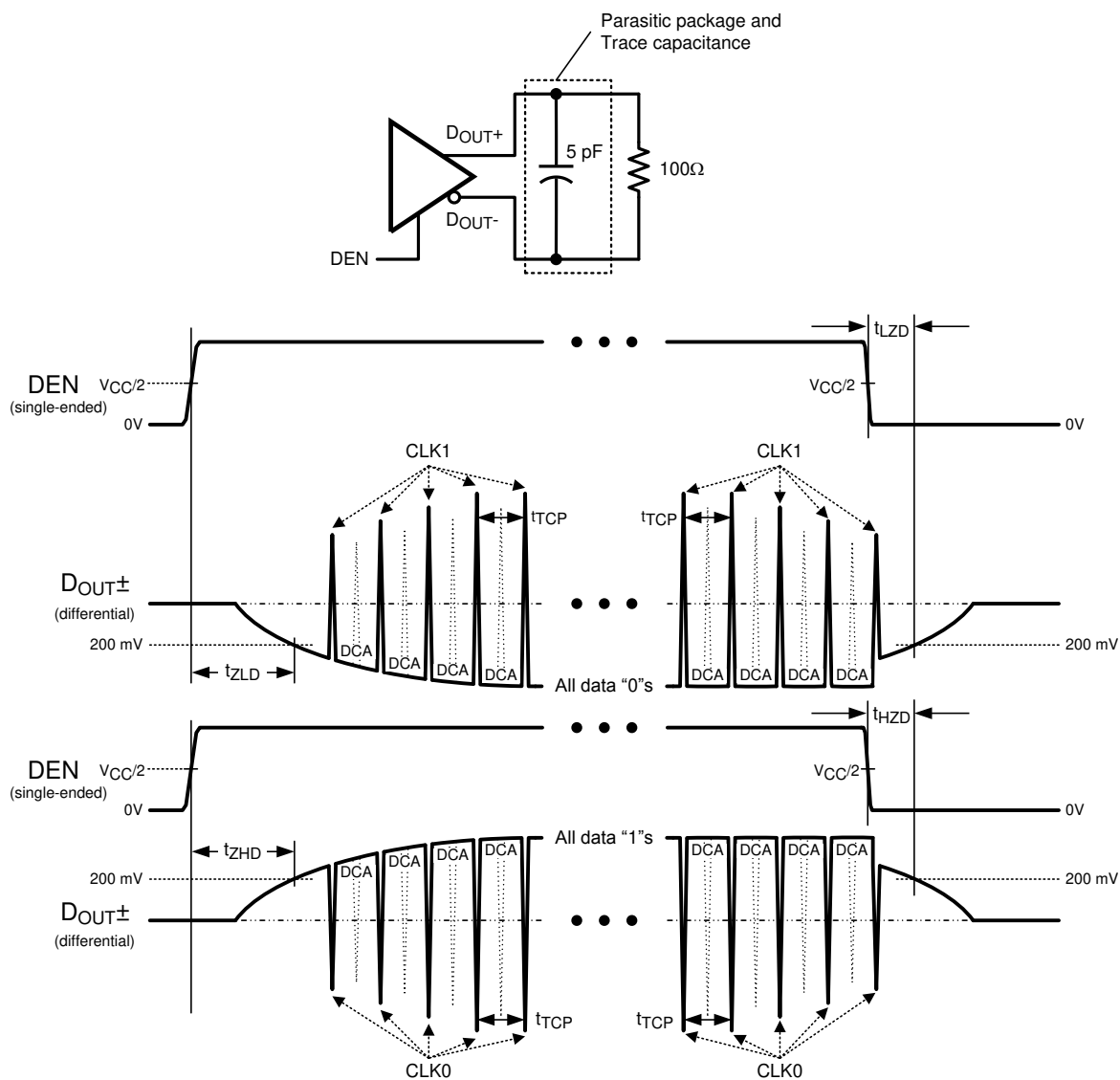


图 5-6. 串行器三态测试电路和延迟

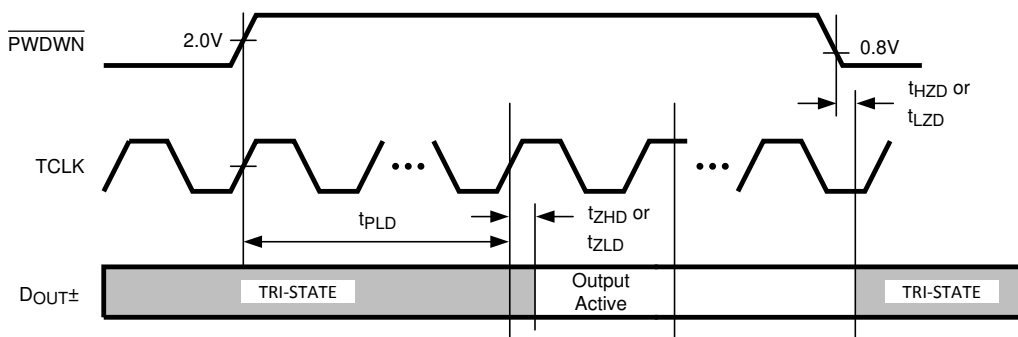


图 5-7. 串行器 PLL 锁定时间和 TPWDNB 三态延迟

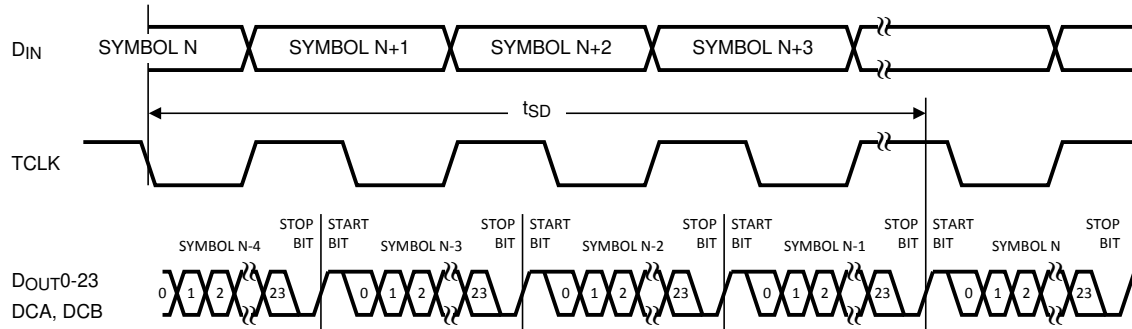


图 5-8. 串行器延迟

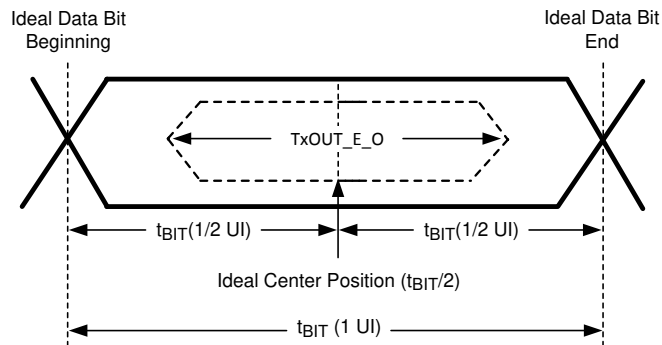
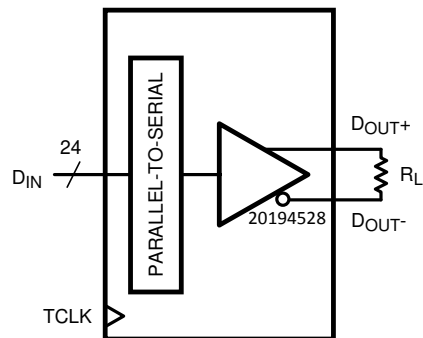


图 5-9. 发送器输出眼图张开度 (TxOUT_E_O)



$$VOD = (D_{OUT+}) - (D_{OUT-})$$

差分输出信号显示为 $(D_{OUT+}) - (D_{OUT-})$ ，器件处于数据传输模式。

图 5-10. 串行器 V_{OD} 图

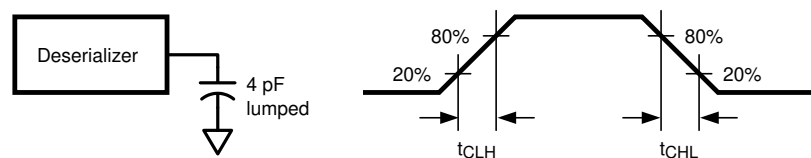


图 5-11. 解串器 LVCMOS 输出加载和切换时间

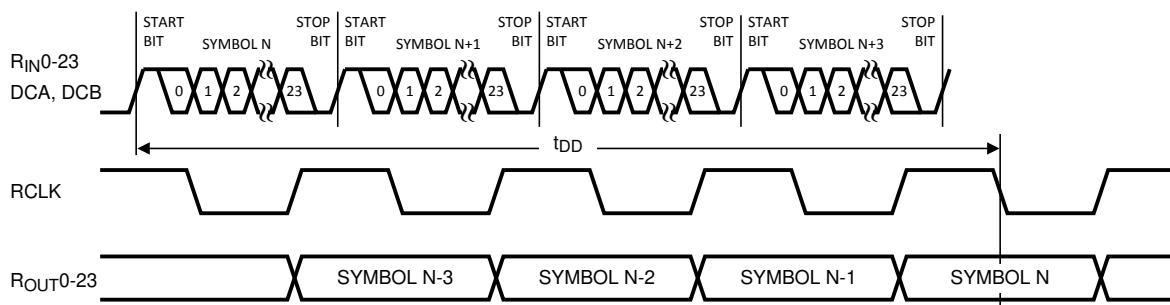
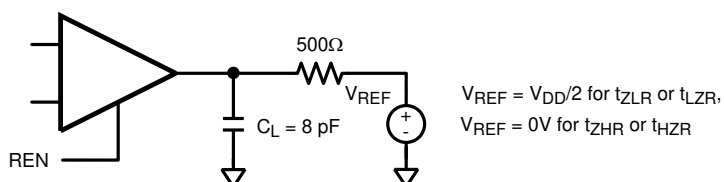


图 5-12. 解串器延迟



NOTE:

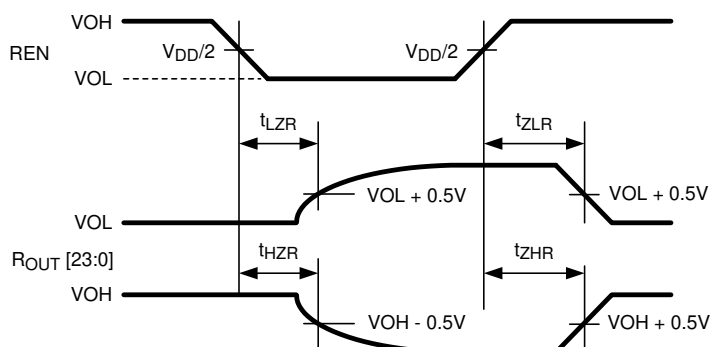
 C_L includes instrumentation and fixture capacitance within 6 cm of $R_{OUT} [23:0]$.

图 5-13. 解串器三态测试电路和时序

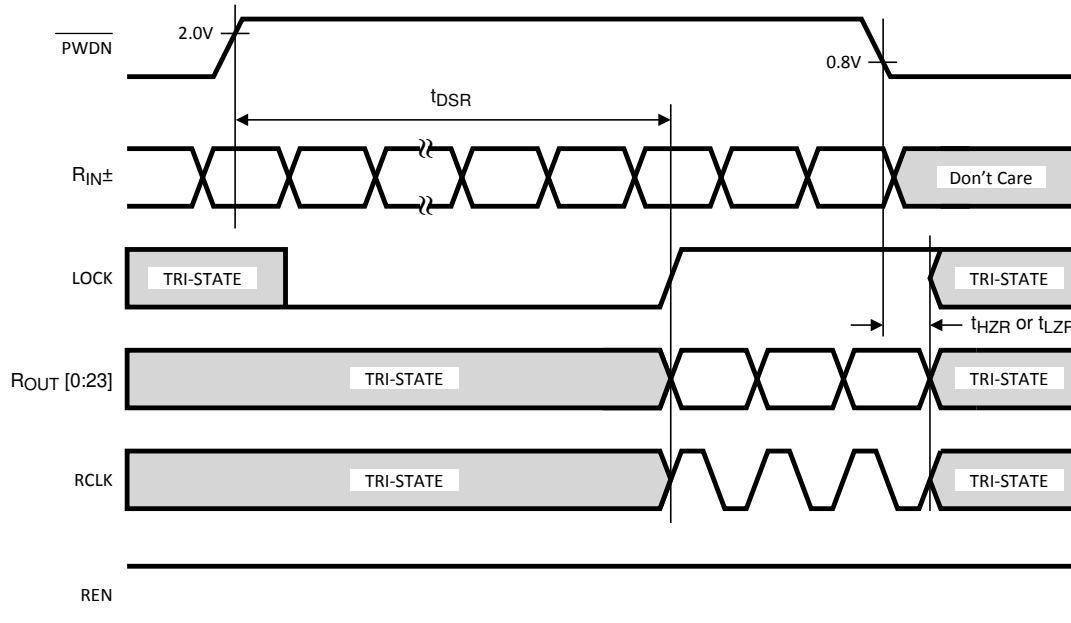


图 5-14. 解串器 PLL 锁定时间和 RPWDNB 三态延迟

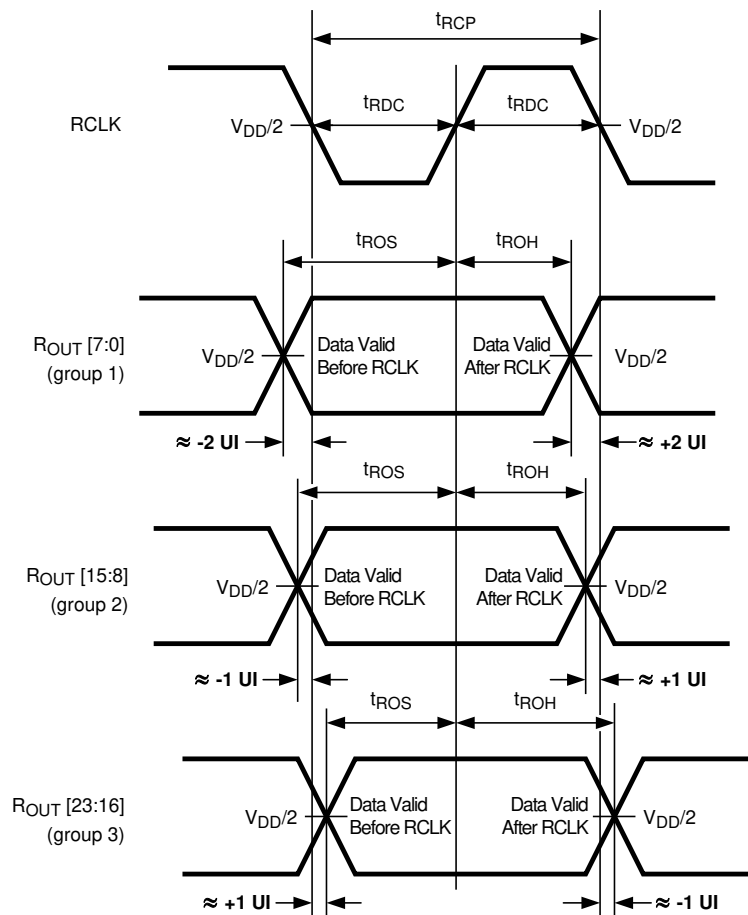
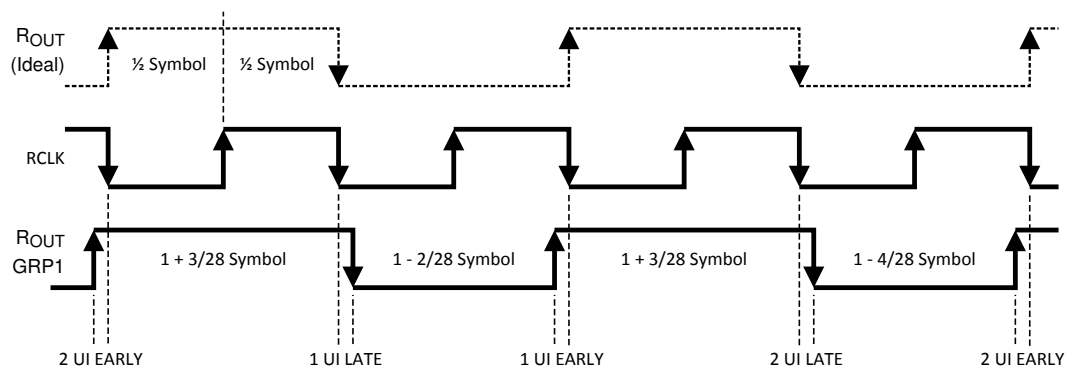


图 5-15. 解串器建立和保持时间以及 PTO , PTOSEL = H

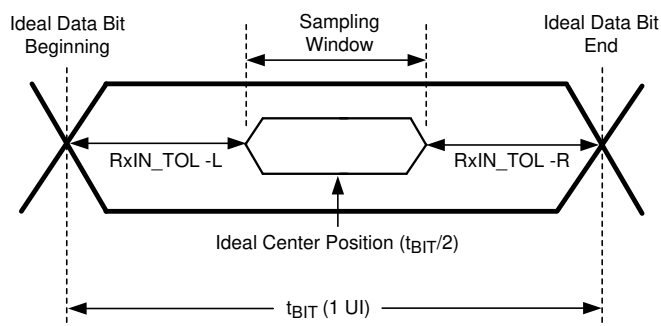


组 1 将按序列 (早期 2UI、后期 1UI、早期 1UI、后期 2UI) 在内部锁存。

组 2 将按序列 (后期 1UI、早期 1UI、后期 2UI、早期 2UI) 在内部锁存。

组 3 将按序列 (早期 1UI、后期 2UI、早期 2UI、后期 1UI) 在内部锁存。

图 5-16. 解串器建立和保持时间以及 PTO 展频, PTOSEL = L



RxIN_TOL_L 是图左侧相对于理想值的理想噪声容限。

RxIN_TOL_R 是图右侧相对于理想值的理想噪声容限。

图 5-17. 接收器输入容差 (RxIN_TOL) 和采样窗口

5.9 典型特性

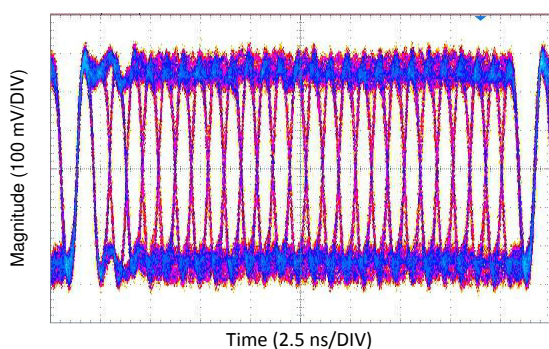


图 5-18. DS90UR241 DOUT± (使用 RIN± 终端处测量的 43MHz 下的 PCLK)

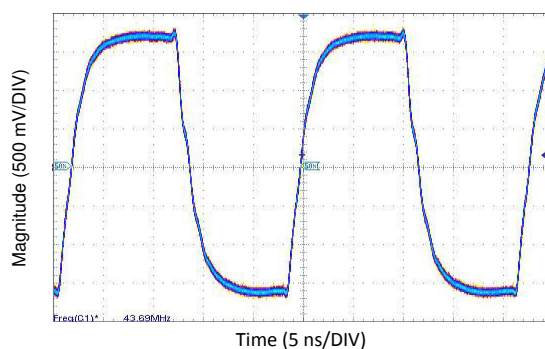


图 5-19. 43MHz 下的 DS90UR124 PCLK 输出

6 详细说明

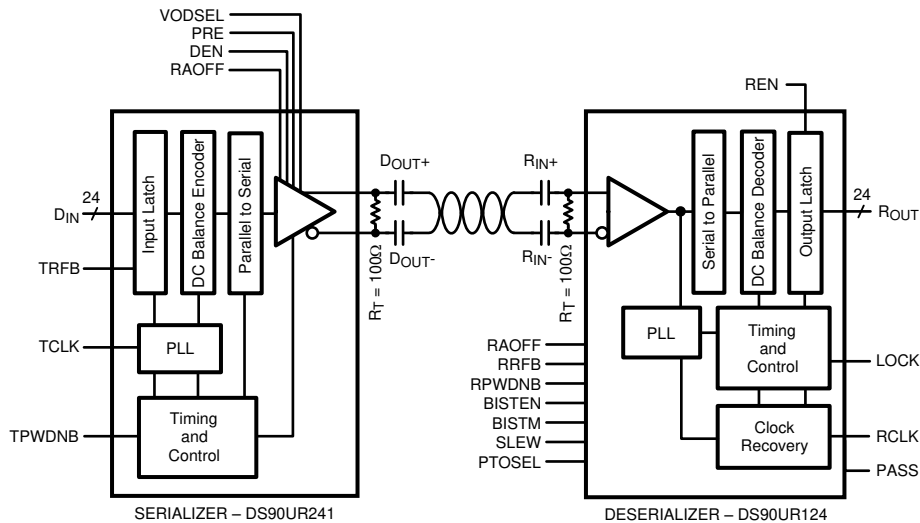
6.1 概述

DS90UR241 串行器和 DS90UR124 解串行器芯片组是一对易于使用的发送器和接收器，可通过单个串行 LVDS 链路发送 24 位并行 LVCMOS 数据（吞吐量为 120Mbps 至 1.03Gbps）。DS90UR241 将 24 位宽的并行 LVCMOS 数据转换为包含嵌入式时钟的单个高速 LVDS 串行数据流，并对数据进行扰乱/直流平衡以提高信号质量，从而支持交流耦合。DS90UR124 接收 LVDS 串行数据流并将其转换回 24 位宽的并行数据和恢复的时钟。24 位串行器/解串行器芯片组旨在以 5MHz 至 43MHz 的时钟速度通过屏蔽双绞线 (STP) 传输数据长达 10 米。

解串行器可以在不使用单独参考时钟源的情况下锁定到数据流，从而大大简化系统复杂性和总体成本。无论数据模式如何，解串行器都可同步到串行器，实现真正的自动“即插即锁”性能。它会锁定到传入的串流，而无需特殊的训练模式或同步字符。解串行器从传入的数据流中提取嵌入式时钟信息并验证数据完整性，恢复时钟和数据，然后对数据进行解串。解串行器监视传入的时钟信息、确定锁定状态并在发生锁定时将 LOCK 输出置为高电平。

此外，解串行器还支持可选的 @SPEED BIST（内置自检）模式、BIST 错误标志和 LOCK 状态报告引脚。宽并行输出上的信号质量通过 SLEW 控制和组压摆 (PTOSEL) 输入控制，有助于降低噪声和系统 EMI。每个器件有一个断电控制，以在各种应用中实现高效运行。

6.2 功能方框图



6.3 特性说明

6.3.1 初始化和锁定机制

在每个器件发送或接收数据之前，必须建立 DS90UR241 和 DS90UR124 的初始化。初始化是指将串行器和解串行器的 PLL 同步起来。串行器锁定到输入时钟源后，第二个也即最后一个初始化步骤是，解串行器同步到串行器。

第 1 步：当 V_{DD} 应用到串行器和/或解串行器时，各自的输出保持在三态，并且内部电路被片上加电电路禁用。当 V_{DD} 达到 V_{DD} OK 值（大约 2.2V）时，串行器中的 PLL 开始锁定到时钟输入。对于串行器，本地时钟为发送时钟 TCLK。PLL 锁定至 TCLK 时，串行器输出保持在三态。锁定到 TCLK 后，串行器块现在可以发送数据模式了。PLL 锁定至串行数据流中的嵌入式时钟信息时，解串行器输出保持在三态。此外，解串行器 LOCK 输出会保持低电平，直到 PLL 锁定到 $R_{in\pm}$ 引脚上的传入数据和同步模式。

第 2 步：解串行器 PLL 无需串行器发送特殊模式即可锁定到数据流。在初始化状态的这一步期间，生成进入解串行器的数据流的串行器自动发送随机（非重复）数据模式。解串行器在指定的时间量内锁定到嵌入式时钟。嵌入式时钟和数据恢复 (CDR) 电路锁定到传入的位流，从而恢复高速接收位时钟并对传入数据重新计时。CDR 电路需要一个编码的输入位流。为使解串行器锁定到来自串行器的随机数据流，它执行一系列操作来识别上升时钟边沿并验证数据完整性，然后锁定到它。由于此锁定过程独立于数据模式，因此随机锁定总持续时间可能会有所不同。当解串

器的 CDR 锁定到嵌入式时钟时, LOCK 引脚变为高电平, 并且输出中显示有效的 RCLK/数据。请注意, LOCK 信号与输出上显示的有效数据同步。解串器的 LOCK 引脚是确保接收器侧实现数据完整性的便捷方法。

6.3.2 数据传输

串行器锁定建立后, 输入 DIN0 - DIN23 用于向串行器输入数据。数据通过 TCLK 输入在时钟控制下进入串行器。用于选通数据的 TCLK 边沿可通过 TRFB 引脚选择。TRFB 高电平选择时钟数据的上升沿, 低电平则选择下降沿。串行器输出 (DOUT±) 旨在驱动点对点的连接。

CLK1、CLK0、DCA、DCB 是沿单个 LVDS 串行数据流发送的四个附加位 (图 7-9)。CLK1 位始终为高电平, CLK0 位始终为低电平。CLK1 和 CLK0 位用作串流中的嵌入式时钟位。DCB 用作直流平衡控制位, 不需要在发送端对数据进行任何预编码。直流平衡位用于将信号线上的短期和长期直流偏置降至最低。该位的工作方式是, 选择性地发送未修改或反转的数据。DCA 位用于验证嵌入式数据流中的数据完整性。DCA 和 DCB 编码方案均集成在串行器和解串器内并自动执行。

该芯片组支持 5MHz 至 43MHz 的时钟频率范围。每个时钟周期发送 24 个数据位以及 4 个额外的附加控制位。因此, 线速率最大为 1.20Gbps (最小 140Mbps)。链路在 86% (24/28) 时效率极高。二十五个 (24 个数据 + 1 个时钟) 加上关联的接地信号减少到只有 1 个 LVDS 对, 压缩比优于 25:1。

在串行数据流中, 数据/嵌入式时钟和控制位 (24+4 位) 以 28 倍 TCLK 频率的速度从串行器数据输出 (DOUT±) 传输出去。例如, 如果 TCLK 为 43MHz, 串行速率为 $43 \times 28 = 1.20$ 千兆位/秒。由于只有 24 位来自输入数据, 因此串行“有效载荷”速率是 TCLK 频率的 24 倍。例如, 如果 TCLK = 43MHz, 则有效载荷数据速率为 $43 \times 24 = 1.03$ Gbps。TCLK 由数据源提供并且必须在 5MHz 至 43MHz 标称值范围内。串行器输出 (DOUT±) 可以驱动点对点的连接, 如图 7-8 所示。当使能引脚 (DEN) 为高电平且 TPWDNB 为高电平时, 输出会传输数据。DEN 引脚可用于在驱动到低电平时将输出置于三态。

当解串器通道锁定到来自串行器的输入时, 它会将其 LOCK 引脚驱动到高电平并将有效数据和恢复的时钟同步提供到输出中。解串器锁定到嵌入式时钟, 使用该时钟生成多个内部数据选通, 然后将恢复的时钟驱动到 RCLK 引脚。恢复的时钟 (RCLK 输出引脚) 与 ROUT[23:0] 引脚上的数据同步。当 LOCK 为高电平时, ROUT[23:0] 上的数据有效。否则, ROUT[23:0] 无效。RCLK 边沿的极性由 RRFB 输入控制。ROUT[23:0]、LOCK 和 RCLK 输出均将使用 43MHz 时钟驱动最大 4pF 负载。REN 控制解串器上 ROUTn 和 RCLK 引脚的三态。

6.3.3 重新同步

如果解串器失去锁定, 将自动尝试重新建立锁定。例如, 如果连续一次没有检测到嵌入式时钟边沿, PLL 将失去锁定且 LOCK 引脚将被驱动到低电平。然后, 解串器进入工作模式, 在该模式下, 它尝试锁定至随机数据流。它查找并识别嵌入式时钟边沿, 然后继续执行锁定过程。

LOCK 信号的逻辑状态指示 ROUT 上的数据是否有效; 当该信号为高电平时, 数据有效。系统可以通过监测 LOCK 引脚来确定 ROUT 上的数据是否有效。

6.3.4 断电

断电状态是一种低功耗睡眠模式, 串行器和解串器可使用该模式在无数据传输时降低功耗。TPWDNB 和 RPWDNB 用于将每个器件设置为断电模式, 将电源电流减少到 μA 范围。当 TPWDNB 引脚被驱动到低电平时, 串行器进入断电状态。在断电模式下, PLL 停止并且输出进入三态, 从而禁止负载电流并减少电流供应。要退出断电模式, 必须将 TPWDNB 驱动到高电平。当串行器退出断电模式时, 其 PLL 必须锁定至 TCLK, 然后才能为初始化状态做好准备。然后, 系统必须留出初始化时间, 之后才能开始数据传输。当 RPWDNB 被驱动到低电平时, 解串器进入断电模式。在断电模式下, PLL 停止并且输出进入三态。要使解串器块退出断电状态, 系统会将 RPWDNB 驱动到高电平。

串行器和解串器都必须重新初始化并重新锁定, 然后才可以传输数据。当解串器锁定到嵌入式时钟时, 解串器将初始化并将 LOCK 置为高电平。

6.3.5 三态

当 DEN 或 TPWDNB 引脚驱动到低电平时，串行器进入三态。这将使两个驱动器输出引脚 (DOUT+ 和 DOUT-) 进入三态。当 DEN 驱动到高电平时，只要所有其他控制引脚保持静态 (TPWDNB、TRFB)，串行器就会恢复到之前的状态。

当 REN 或 RPWDNB 引脚驱动到低电平时，解串器进入三态。因此，接收器输出引脚 (ROUT0-ROUT23) 和 RCLK 将进入三态。LOCK 输出保持有效，以反映 PLL 的状态。解串器输入引脚在接收器断电 (RPWDNB 低电平) 和关闭 ($V_{DD} = 0V$) 期间处于高阻抗状态。

6.3.6 预加重

DS90UR241 有一个预加重功能，用来补偿长传输介质或有损耗传输介质。用户可选的预加重功能增强了电缆驱动，可在转换期间提供额外的输出电流以抵消电缆负载效应。传输距离受介质损耗特性和质量的限制。预加重在 LVDS 逻辑转换期间增加额外的电流，以减少电缆负载效应并增加驱动距离。此外，预加重有助于加快转换速度、增加眼图张开度并改善信号完整性。大多数情况下，DS90UR241 能够使用预加重功能将传输距离延长多达 10 米。

要启用预加重功能，“PRE”引脚需要一个连接到 V_{SS} 的外部电阻器 (R_{pre}) 来设置额外的电流电平。 R_{pre} 的值必须在 $6k\Omega$ 和 $100M\Omega$ 之间。不得使用小于 $6k\Omega$ 的值。“PRE”引脚上的较低输入电阻值会增加数据转换期间的动态电流幅值。额外的源电流基于以下公式： $PRE = (R_{PRE} \geq 6k\Omega)$ ； $I_{MAX} = [48 / R_{PRE}]$ 。例如，如果 $R_{pre} = 15k\Omega$ ，则预加重电流将增加额外的 3.2mA。

给定介质的预加重数值取决于应用的传输距离。通常，过多的预加重会导致接收器输入引脚上出现过冲或下冲。这会导致过多的噪声、串扰和更多的功率耗散。对于较短的电缆或距离，可能不需要预加重。建议测量信号质量，以确定每个应用的适当预加重数值。

6.3.7 交流耦合和终端

DS90UR241 和 DS90UR124 通过集成的直流平衡编码/解码方案支持交流耦合互连。要在交流耦合应用中使用串行器和解串器，请在 LVDS 信号路径中串联插入外部交流耦合电容器，如图 7-8 所示。解串器输入级专为交流耦合设计，提供内置的交流偏置网络，该网络将内部 V_{CM} 设置为 +1.8V。通过交流信号耦合，电容器为信号输入提供交流耦合路径。

对于高速 LVDS 传输，交流耦合电容器必须使用最小的可用封装。这有助于尽可能减少由于封装寄生效应引起的信号质量降低。接口最常用的电容器值是 $100nF$ ($0.1\mu F$)。建议使用 NPO 1 级或 X7R 2 级类型电容器。要达到出色的系统级 ESD 性能，必须至少使用 50WVDC。

要达到正常运行，还需要在 $DOUT_{\pm}$ 和 $RIN_{\pm}$ 两端连接一个终端电阻器。终端电阻器必须等于所驱动介质的差分阻抗，并且在 90Ω 至 132Ω 的范围内。 100Ω 是标准 100Ω 传输介质常用的典型值。此电阻器是控制反射所必需的，也组成了完整的电流环路。将电阻器放置在尽可能靠近串行器 $DOUT_{\pm}$ 输出和解串器 $RIN_{\pm}$ 输入的位置，以尽可能缩短引脚的桩线长度。要与传输线路上的差分阻抗匹配，在串行器 $DOUT_{\pm}$ 输出引脚和解串器 $RIN_{\pm}$ 输入引脚上为 LVDS I/O 端接 100Ω 电阻器。

6.3.7.1 接收器终端选项 1

在 $RIN_{\pm}$ 引脚两端放置一个 100Ω 终端电阻器 (请参阅图 7-8)。这样可在接收器输入端提供信号终端。可使用其他选项来提高噪声容限。

6.3.7.2 接收器终端选项 2

要提高 EMI 容差，可以使用两个 50Ω 电阻器来代替单个 100Ω 电阻器。将一个小电容器从 50Ω 电阻器的中心点连接到地面 (请参阅图 7-10)。这会提供一个高频率、低阻抗路径来抑制噪声。值并不重要，一般应用中可使用 $4.7nF$ 。

6.3.7.3 接收器终端选项 3

对于高噪声环境，可将一个额外的分压器网络连接到中心点。这样做的优点是提供一个直流低阻抗路径来抑制噪声。对上拉和下拉使用 100Ω - $2K\Omega$ 范围内的电阻器值。利用电阻器值的比率将中心点偏置到 1.8V。例如 (参阅

图 7-11) : $V_{DD}=3.3V$, $R_{pullup}=1K\Omega$, $R_{pulldown}=1.2K\Omega$; 或 $R_{pullup}=100\Omega$, $R_{pulldown}=120\Omega$ (最强)。值越小, 消耗的偏置电流越多, 但会增强噪声抑制。

6.3.8 信号质量增强器

DS90UR124 解串器支持两个信号质量增强器。SLEW 引脚用于在驱动重负载时增加 LVCMOS 输出的驱动强度。SLEW 支持高电流或低电流驱动的输出驱动强度。2mA 低电流驱动时默认设置为低电平, 4mA 高电流驱动时默认设置为高电平。

两种类型的渐进接通模式 (固定和 PTO 展频) 有助于减少 EMI: 同步开关噪声和系统接地反弹。PTOSEL 引脚在数据/时钟输出中引入组偏移, 以限制同时开关的输出数量。在固定 PTO 模式下, 解串器 ROUT[23:0] 输出分为三组 (每组八个), 每组分别根据组 1、组 2、组 3 的 RCLK 隔大约 2 或 1 UI 同相开关 (请参阅图 5-15)。在 PTO 展频模式下, ROUT[23:0] 也分为三组 (每组八个), 每组每 4 个周期与邻组异相分离 (请参阅图 5-16)。请注意, 在 PTO 展频工作模式下, RCLK 也会展频并按 1 UI 分离。

6.3.9 @SPEED-BIST 测试功能

为了协助供应商进行测试验证, DS90UR241 和 DS90UR124 配备了内置自检 (BIST) 功能, 可支持系统制造和现场诊断。BIST 模式旨在以全链路速度检查整个高速串行链路, 而无需使用昂贵的专业测试设备。该功能为系统主机提供了一种简单的方法来对串行器和解串器执行诊断测试。BIST 功能可通过 DS90UR124 上的 2 个控制引脚轻松配置。当 BIST 模式激活时, 串行器能够传输内部生成的 PRBS 数据模式。该模式遍历互连链路, 抵达解串器。DS90UR124 包含片上 PRBS 模式验证电路, 可检查数据模式是否存在位错误并在解串器的数据输出引脚上报告错误。

@SPEED-BIST 功能使用 DS90UR124 解串器上的 2 个信号引脚 (BISTEN 和 BISTM)。BISTEN 和 BISTM 引脚共同确定 BIST 模式的功能。BISTEN 信号 (高电平) 激活解串器上的测试功能。启用 BIST 模式后, DS90UR241 串行器上的所有数据输入通道 DIN[23:0] 必须设置为逻辑低电平或悬空, 这样解串器才能开始接受数据。在整个 BIST 工作期间, 还必须应用串行器的输入时钟信号 (TCLK)。BISTM 引脚选择 BIST 功能的错误报告状态模式。当 BIST 配置为错误状态模式 (BISTM = LOW) 时, 每个 ROUT[23:0] 输出都对应于逐个周期的位错误。ROUT[23:0] 数据输出引脚上的相应并行输入中指示位不匹配的结果。在 BIST 错误计数累加器模式 (BISTM = HIGH) 中, ROUT[7:0] 上的 8 位计数器用于表示检测到的错误数 (0 至最大 255)。解串器的 PASS 引脚会报告 BIST 测试成功完成。必须首先锁定解串器的 PLL 以确保 PASS 状态有效。PASS 状态引脚保持低电平, 然后在传输链路上达到 1×10^{-9} BER 后切换到高电平。

6.3.10 DS90C241 和 DS90C124 的向后兼容模式

RAOFF 引脚支持 DS90C241 和 DS90C124 器件的向后兼容模式。要连接到 DS90C241 串行器或 DS90C124 解串器, DS90UR241 或 DS90UR124 上的 RAOFF 引脚必须接至高电平以禁用额外的 LSFR 编码。要直接让 DS90UR241 至 DS90UR124 正常运行, RAOFF 引脚设置为低电平。请参阅表 6-1 和表 6-2 了解更多详细信息。

6.4 器件功能模式

表 6-1. DS90UR241 串行器真值表

TPWDNB (引脚 9)	DEN (引脚 18)	RAOFF (引脚 12)	TX PLL 状态 (内部)	LVDS 输出 (引脚 19 和 20)
L	X	X	X	高阻态
H	L	X	X	高阻态
H	H	X	未锁定	高阻态
H	H	L	已锁定	具有嵌入式时钟的串行化数据 (兼容 DS90UR124)
H	H	H	已锁定	具有嵌入式时钟的串行化数据 (兼容 DS90C124)

表 6-2. DS90UR124 解串器真值表

RPWDNB (引脚 48)	REN (引脚 60)	RAOFF (引脚 63)	Rx PLL 状态 (内部)	ROUTn 和 RCLK (请参阅“引脚图”)	LOCK (引脚 23)
L	X	X	X	高阻态	高阻态
H	L	X	X	高阻态	L = PLL 未锁定 ; H = PLL 锁定
H	H	X	未锁定	高阻态	L
H	H	L	已锁定	数据和 RCLK 有效 (兼容 DS90UR241)	H
H	H	H	已锁定	数据和 RCLK 有效 (兼容 DS90C241)	H

应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

1 应用信息

1.1 使用 DS90UR241 和 DS90UR124

DS90UR241/DS90UR124 串行器/解串器 (SERDES) 对通过高达 1.03Gbps 的串行 LVDS 链路发送 24 位并行 LVCMOS 数据。输入数据的串行化是使用串行器上的板载 PLL 实现的，后者将时钟嵌入到数据中。解串器从传入的数据流中提取时钟/控制信息，然后解串数据。解串器监视传入的时钟信息以确定锁定状态，并通过将 LOCK 输出置为高电平来指示锁定。

1.2 显示应用

DS90URxxx-Q1 芯片组旨在连接主机 (图形处理器) 和显示屏，支持 18 位色深 (RGB666) 以及高达 1280 × 480 的显示格式。在 RGB666 配置中，串行链路上支持 18 色位 (R[5:0]、G[5:0]、B[5:0])、像素时钟 (PCLK) 和 3 个控制位 (VS、HS 和 DE) 以及 3 个备用位，PCLK 速率在 5MHz 到 43MHz 之间。

1.3 典型应用连接

图 7-1 展示了 DS90UR241 串行器 (SER) 的典型应用。LVDS 输出使用 100Ω 终端和 100nF 耦合电容器连接到线路。旁路电容器放置在电源引脚附近。局部旁路必须至少使用三个 0.1μF 电容器。系统 GPO (通用输出) 控制 TPWDNB 引脚。在该应用中，TRFB 引脚连接至高电平，以便在 TCLK 的上升沿锁存数据。DEN 信号未使用，也连接至高电平。该应用与配套的解串器 (DS90UR124) 配合使用，因此 RAOFF 引脚连接至低电平，以扰乱数据并提高链路信号质量。在该应用中，链路很典型，因此 VODSEL 引脚连接至低电平以实现标准的 LVDS 摆幅。预加重输入使用一个接地电阻器来设置应用所需的预加重重量。

图 7-5 展示了 DS90UR124 解串器 (DES) 的典型应用。LVDS 输入使用 100Ω 终端和 100nF 耦合电容器连接到线路。旁路电容器放置在电源引脚附近。局部旁路必须至少使用四个 0.1μF 电容器。系统 GPO (通用输出) 控制 RPWDNB 引脚。在该应用中，RRFB 引脚连接至高电平，以便在 RCLK 的上升沿选通数据。REN 信号未使用，也连接至高电平。该应用与配套的串行器 (DS90UR241) 配合使用，因此 RAOFF 引脚连接至低电平，以解扰数据。输出 (LVCMOS) 信号质量由 SLEW 引脚设置，而 PTOSEL 引脚可通过在输出组之间引入少量延迟来减少同步输出开关。

2 典型应用

2.1 DS90UR241-Q1 典型应用连接

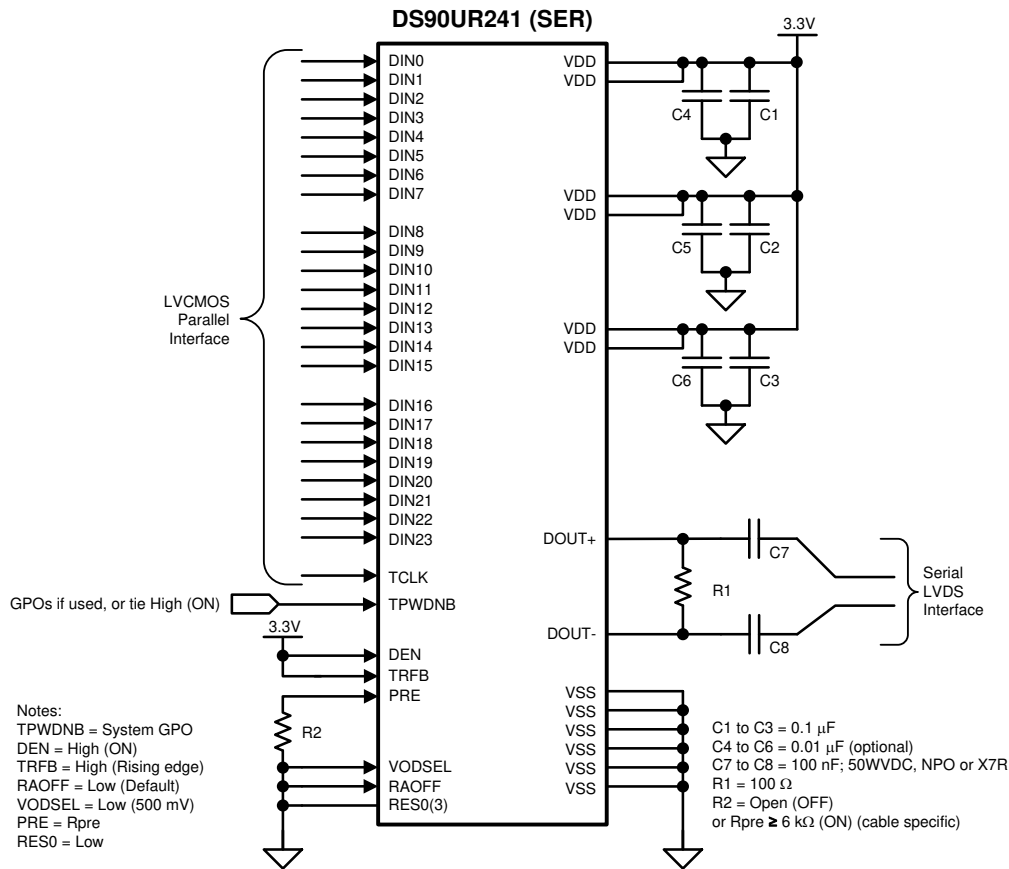


图 7-1. DS90UR241 连接图

2.1.1 设计要求

表 7-1. DS90UR241 设计参数

设计参数	示例值
VDD	3.3V
DOUT± 的交流耦合电容器	100nF
DOUT± 外部终端	100 Ω
PCLK 频率	33MHz

2.1.2 详细设计过程

图 7-1 展示了 33MHz 18 位颜色显示应用中 DS90UR241 串行器的典型应用。DOUT± 输出必须在高速串行线路上有一个外部串联 0.1μF 交流耦合电容器和 100Ω 并联终端。串行器没有内部终端。旁路电容器放置在电源引脚附近。局部器件旁路必须至少使用三个 0.1μF 电容器。由于电容器的数量和值取决于是否满足器件的电源噪声规范，因此可能需要额外的电容器。VDD_{DS} 上可能需要铁氧体磁珠来有效抑制噪声。图形源的接口为 3.3V LVC MOS 电平。PDB 信号上放置一个 RC 延迟，以延迟器件的启用，直至电源稳定。

2.1.2.1 电源注意事项

串行器和解串器的全 LVCMOS 设计使之天生成为低功耗器件。此外，LVDS 输出的恒流源性质使得 LVCMOS 设计的速度与 I_{DD} 关系曲线斜率最小化。

2.1.2.2 噪声容限

解串器噪声容限是解串器可以容许并仍能可靠恢复数据的输入抖动量（相位噪声）。各种环境和系统因素包括：

- 串行器： V_{DD} 噪声、TCLK 抖动（噪声带宽和带外噪声）
- 介质：ISI、 V_{CM} 噪声
- 解串器： V_{DD} 噪声

有关噪声容限的图形表示，请参阅图 5-17。

2.1.2.3 传输介质

串行器和解串器通过 PCB 走线或通过双绞线电缆用于点对点配置。在点对点配置中，需要在发送器和接收器对的两端连接传输介质。LVDS 的互连通常有 $100\ \Omega$ 差分阻抗。使用具有匹配的差分阻抗的电缆和连接器，以更大限度地减小阻抗不连续性。在涉及电缆的大多数应用中，传输距离取决于相关数据速率、可接受的误码率和传输介质。

传输介质接收端产生的信号质量可以通过监测串行数据流的差分眼图张开度来评估。接收器输入容差和差分阈值电压规格定义了可接受的数据眼图张开度。必须使用差分探头在 DS90UR124 输入的终端电阻器两端进行测量。

图 7-2 说明了眼图张开度以及与接收器输入容差和差分阈值电压规格的关系。

2.1.2.4

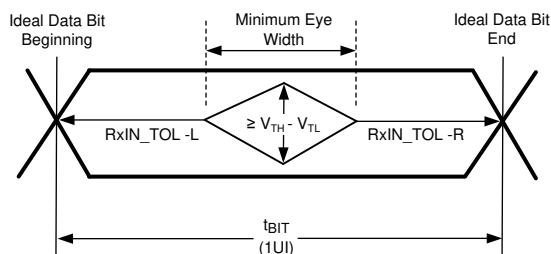


图 7-2. 接收器输入眼图张开度

2.1.2.5 热链路插入

串行器和解串器器件支持热插拔应用。自动接收器锁定至随机数据“插入即用”热插入功能，使得 DS90UR124 能够在热插入事件期间锁定至有效数据流。

2.1.3 应用曲线

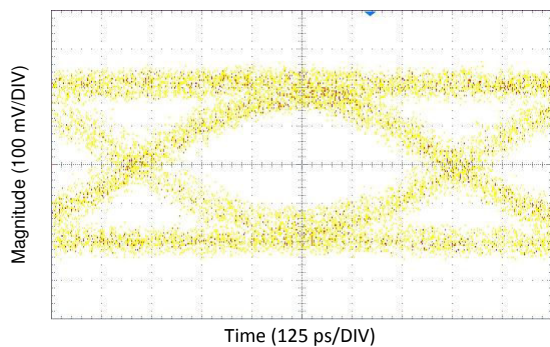


图 7-3. 在 $R_{in\pm}$ 终端处测量的 1.2Gbps 下的 DS90UR241 DOUT $\pm$; VODSEL=LOW

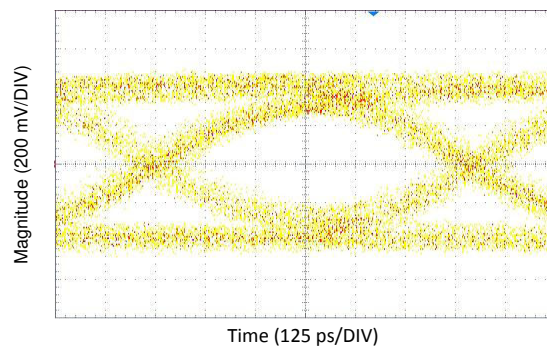


图 7-4. 在 $R_{in\pm}$ 终端处测量的 1.2Gbps 下的 DS90UR241 DOUT $\pm$; VODSEL=HIGH

2.2 DS90UR124 典型应用连接

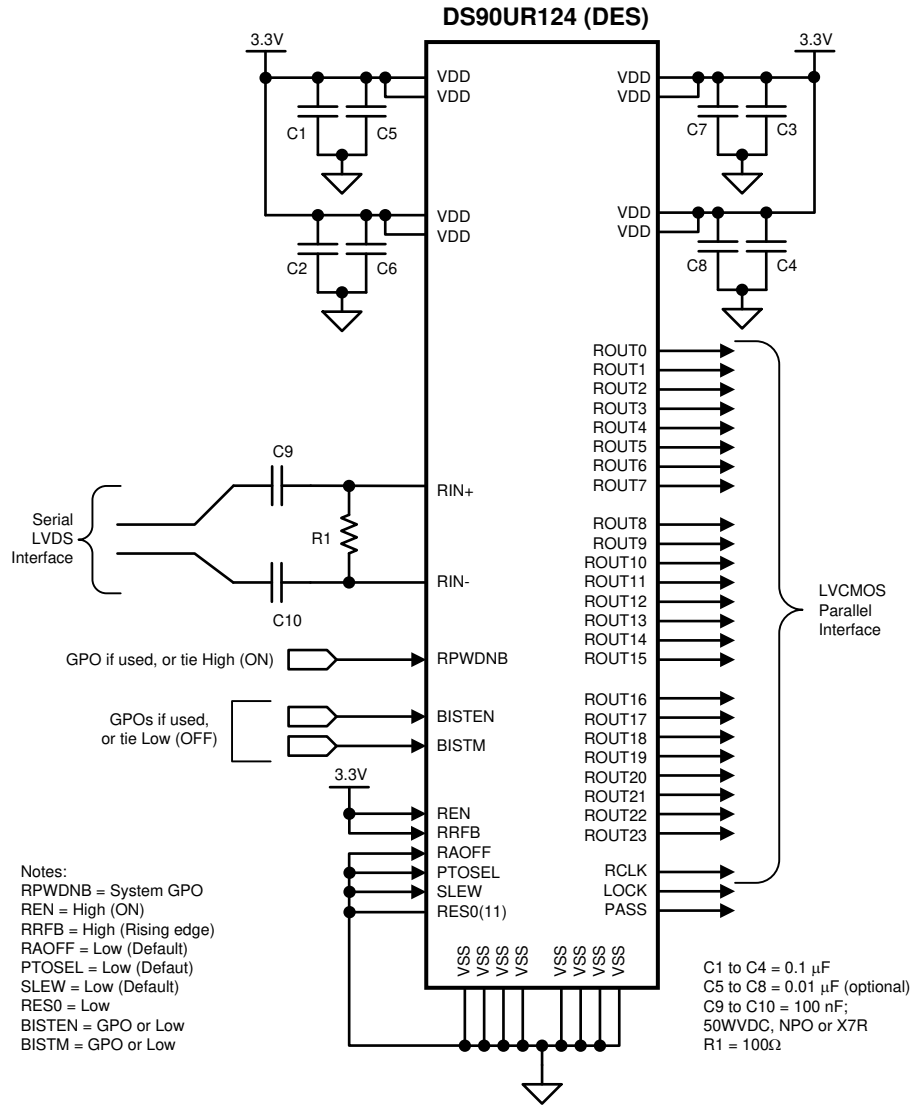


图 7-5. DS90UR124 连接图

2.2.1 设计要求

表 7-2. DS90UR124 设计参数

设计参数	示例值
VDD	3.3V
DS90UR124-Q1 RIN± 的交流耦合电容器	100nF
DS90UR124-Q1 RIN± 终端	100 Ω

2.2.2 详细设计过程

图 7-5 显示 33MHz 18 位颜色显示应用中 DS90UR124 解串器的典型应用。Rin± 输入必须在高速串行线路上有一个外部串联 0.1 μF 交流耦合电容器和 100 Ω 并联终端。解串器没有内部终端。旁路电容器放置在电源引脚附近。局部器件旁路必须至少使用四个 0.1μF 电容器。VDDs 上需要铁氧体磁珠来有效抑制噪声。由于电容器的数量和值取决于是否满足器件的电源噪声规范，因此需要额外的电容器。显示屏接口为 3.3V LVCMOS 电平。PDB 信号上放置一个 RC 延迟，以延迟器件的启用，直至电源稳定。

2.2.3 应用曲线

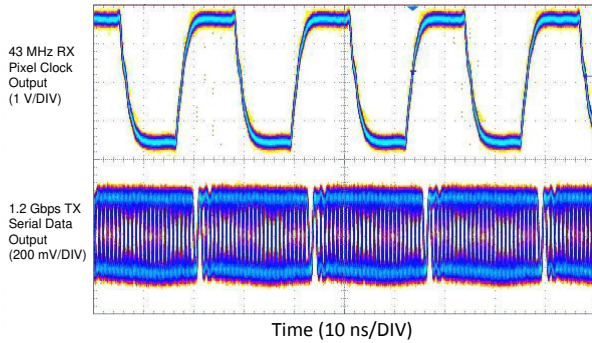


图 7-6. DS90UR241 串流和 DS90UR124 43MHz PCLK 输出

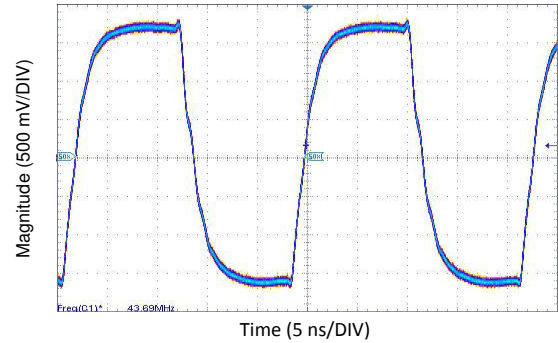


图 7-7. 43MHz 下的 DS90UR124 PCLK 输出 (经放大)

3 电源相关建议

该器件应在 3.3V 输入内核电压下运行。一些器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。PCB 上的平面通常是分离的。引脚说明表通常提供有关哪些电路块连接到哪些电源引脚对的指南。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

4 布局

4.1 布局指南

4.1.1 PCB 布局和电源系统注意事项

LVDS SERDES 器件的电路板布局布线 and 叠层设计必须向器件提供低噪声电力馈送。良好的布局实践会分离高频率或高电平输入和输出，以更大限度减少不需要的杂散噪声拾取、反馈和干扰。使用薄电介质 (2mil 到 4mil) 作为电源/接地夹层可以大大提高电源系统性能。这种布置为 PCB 电源系统提供平面电容，并且具有低电感寄生效应，经证明在高频下尤其有效，并对外部旁路电容器的容值和放置要求不那么高。外部旁路电容器应包括射频陶瓷和钽电解电容器两种类型。射频电容器可以使用 0.01 μ F 至 0.1 μ F 范围的容值。钽电容器可在 2.2 μ F 至 10 μ F 的范围内。钽电容器的额定电压必须至少是所用电源电压的 5 倍。

由于寄生效应较小，因此建议使用表面贴装电容器。当每个电源引脚使用多个电容器时，将容值较小的电容器靠近引脚放置。建议在电源输入点使用大容量电容器。这通常在 50 μ F 至 100 μ F 范围内，可缓和低频率开关噪声。TI 建议将电源和接地引脚直接连接到电源和接地平面，并将旁路电容器通过电容器两端的过孔连接到该平面。将电源或接地引脚连接到外部旁路电容器会增加路径的电感。

外部旁路建议使用封装尺寸小的 X7R 芯片电容器，如 0603。其封装尺寸小，减小了电容器的寄生电感。用户必须注意这些外部旁路电容器的共振频率，通常在 20MHz 至 30MHz 的范围内。为了提供有效的旁路，通常使用多个电容器以便在检测频率下使电源轨之间具有低阻抗。在高频下，从电源引脚和接地引脚到平面之间使用两个过孔，以降低高频下的阻抗。

一些器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。通常不需要在 PCB 上有单独的平面。引脚说明表通常提供有关哪些电路块连接到哪些电源引脚对的指南。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

至少使用一个具有电源和接地平面的 4 层电路板。将 LVCMOS 信号远离 LVDS 线路布置，以防止 LVCMOS 线路与 LVDS 线路耦合。通常建议将 100 Ω 的紧密耦合差分线路用于 LVDS 互连。紧密耦合的线路有助于确保耦合噪声以共模形式出现，从而被接收器拒绝。紧密耦合的线路辐射也较少。

需要 LVDS 互连终端。对于点对点应用，终端必须位于器件的两端。标称值为 $100\ \Omega$ ，以便与线路的差分阻抗匹配。将电阻器放置在尽可能靠近发送器 DOUT $\pm$ 输出和接收器 RIN $\pm$ 输入的位置，以更大地减少终端电阻器和器件之间产生的桩线。

4.1.2 LVDS 互连指南

有关完整详细信息，请参阅 AN-1108 (SNLA008) 和 AN-905 (SNLA035)。

- 使用 100 Ω 耦合差分对
- 在间距中使用 S/2S/3S 规则
 - S = 对之间的时间间隔
 - 2S = 对之间的时间间隔
 - 3S = LVCMOS 信号的间隔
- 尽可能减少过孔数量
- 在 500Mbps 线速以上运行时使用差分连接器
- 保持布线的平衡
- 尽可能减小对内的偏斜
- 尽可能靠近 TX 输出和 RX 输入端接

更多的一般指导信息可参见 *LVDS 用户手册* (SNLA187) - TI 网站上提供 PDF 格式的手册：www.ti.com/lvds

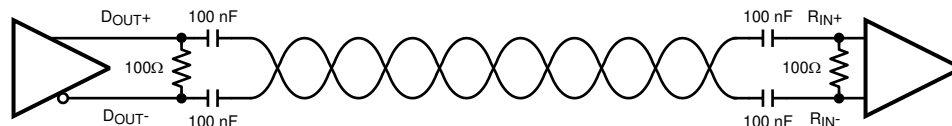
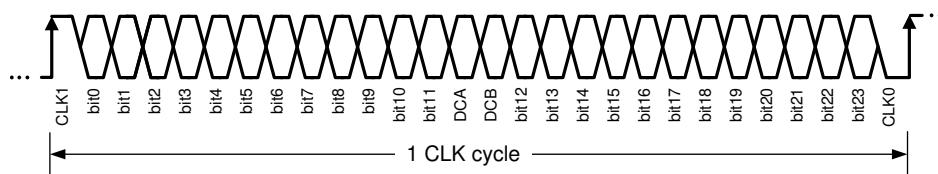


图 7-8. 交流耦合应用



*注意：[0-23] 位实际上不位于上面所示位置，因为 [0-23] 位是经过扰乱和直流平衡的

图 7-9. 单个串行 LVDS 位流*

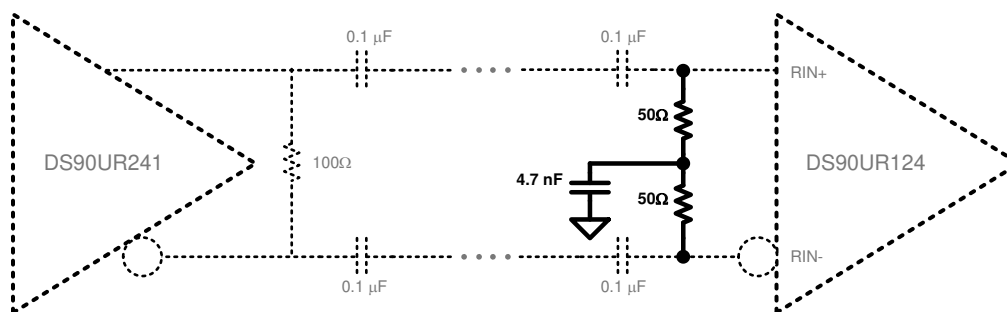


图 7-10. 接收器终端选项 2

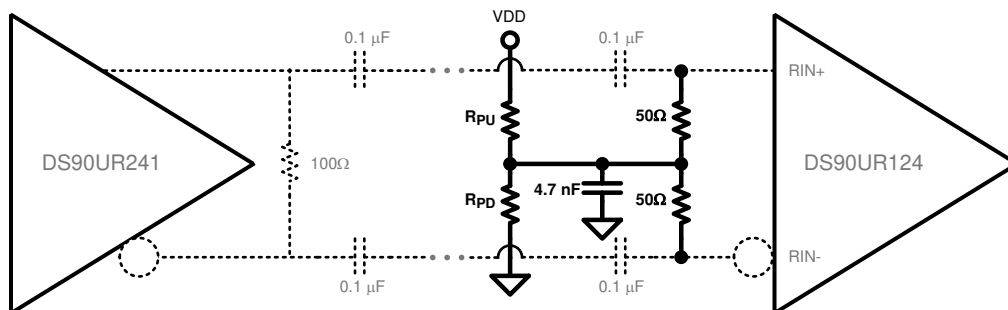


图 7-11. 接收器终端选项 3

4.2 布局示例

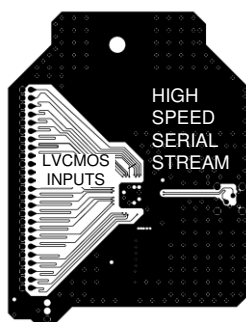


图 7-12. DS90UR241-Q1 示例 EMC 布局

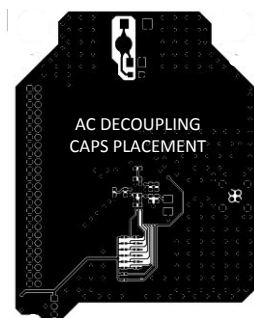


图 7-13. DS90UR241-Q1 EMC EVM 层 4

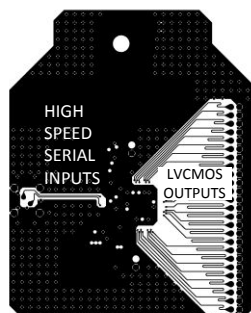


图 7-14. DS90UR124-Q1 示例 EMC 布局

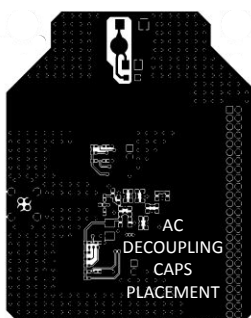


图 7-15. DS90UR124-Q1 EMC EVM 层 4

7 器件和文档支持

7.1 器件支持

7.2 文档支持

7.2.1 相关文档

请参阅以下相关文档：

- [LVDS 互连指南 AN-1108](#)，[SNLA008](#)
- [LVDS 互连指南 AN-905](#)，[SNLA035](#)

7.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

7.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision O (April 2015) to Revision P (August 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将所有引脚的 ESD CDM 额定值从 +/-12.5kV 更改成了 +/-1kV.....	8

Changes from Revision N (March 2013) to Revision O (April 2015)	Page
• 添加了 ESD 等级表 、 特性说明 部分、 器件功能模式 、 应用和实施 部分、 电源相关建议 部分、 布局 部分、 器件和文档支持 部分以及 机械 、 封装 和 可订购信息 部分.....	1

Changes from Revision M (March 2013) to Revision N (March 2013)	Page
• 将美国国家通用数据表的版面布局更改为 TI 格式.....	23

机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UR124IVS/NOPB	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVS/NOPB.A	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVSX/NOPB	Active	Production	TQFP (PAG) 64	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVSX/NOPB.A	Active	Production	TQFP (PAG) 64	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124QVS/NOPB	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVS/NOPB.A	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVS/NOPB.B	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
DS90UR124QVSX/NOPB	Active	Production	TQFP (PAG) 64	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVSX/NOPB.A	Active	Production	TQFP (PAG) 64	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR241IVS/NOPB	Active	Production	TQFP (PFB) 48	250 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1VS
DS90UR241IVS/NOPB.A	Active	Production	TQFP (PFB) 48	250 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1VS
DS90UR241IVSX/NOPB	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1VS
DS90UR241IVSX/NOPB.A	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1VS
DS90UR241IVSX/NOPB.B	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	-	Call TI	Call TI	-40 to 105	
DS90UR241QVS/NOPB	Active	Production	TQFP (PFB) 48	250 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVS/NOPB.A	Active	Production	TQFP (PFB) 48	250 JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVSX/NOPB	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UR241QVSX/NOPB.A	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVSX/NOPB.B	Active	Production	TQFP (PFB) 48	1000 LARGE T&R	-	Call TI	Call TI	-40 to 105	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DS90UR124, DS90UR124-Q1, DS90UR241, DS90UR241-Q1 :

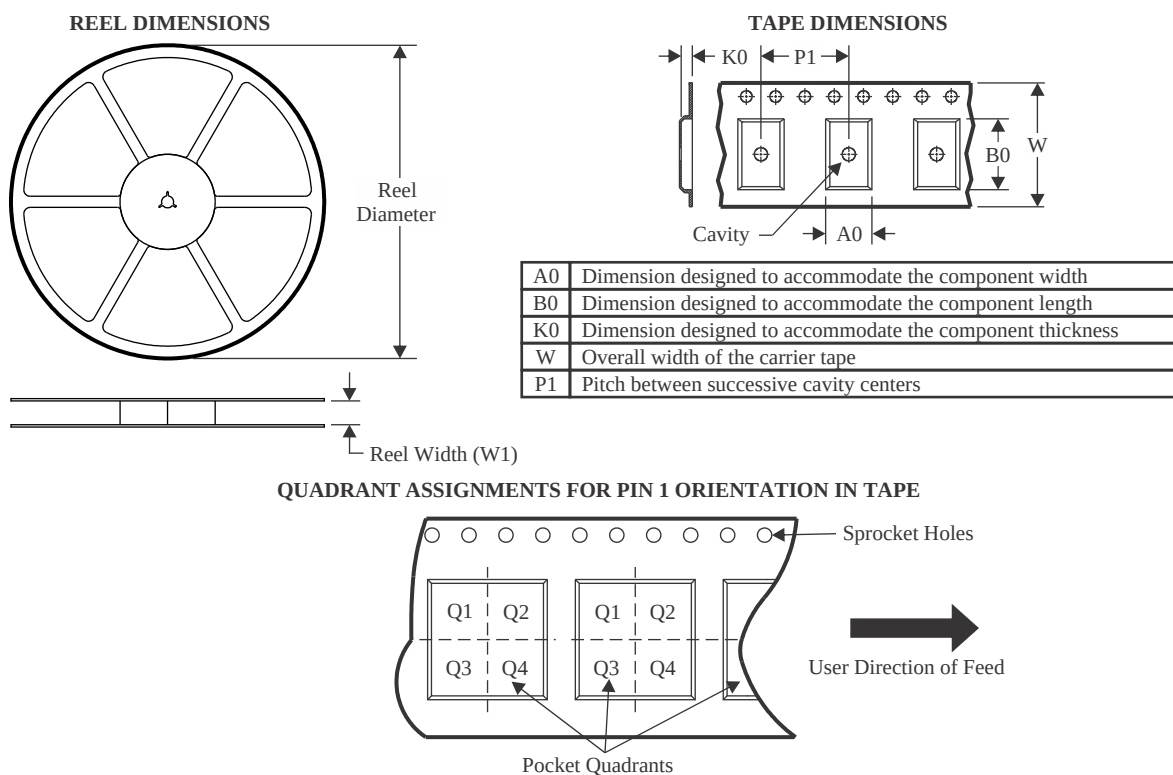
● Catalog : [DS90UR124](#), [DS90UR241](#)

● Automotive : [DS90UR124-Q1](#), [DS90UR241-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

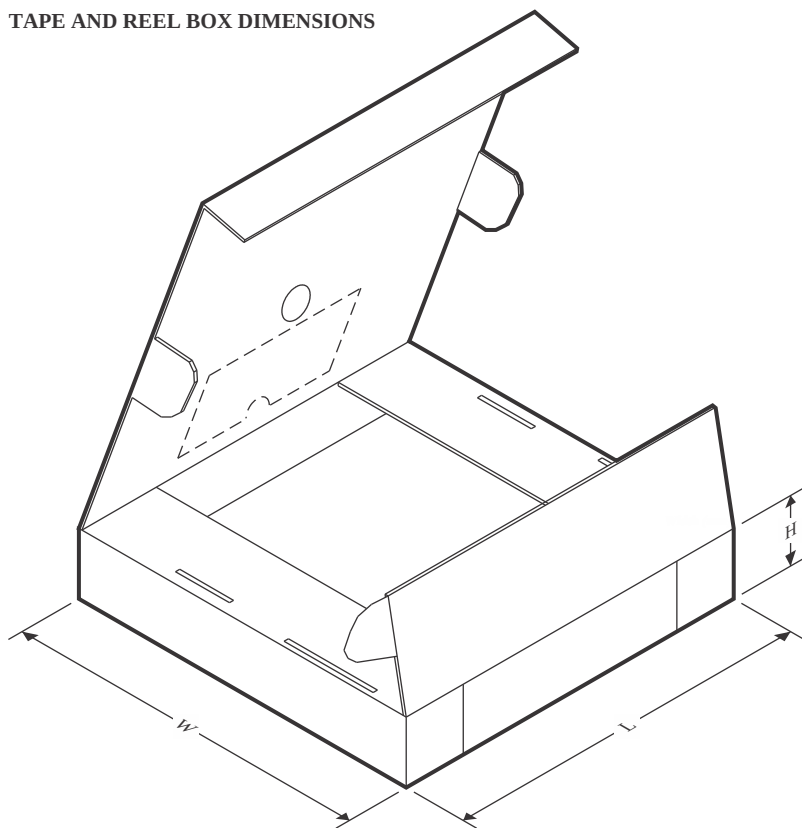
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90UR124IVSX/NOPB	TQFP	PAG	64	1000	330.0	24.4	13.0	13.0	1.45	16.0	24.0	Q2
DS90UR124QVSX/NOPB	TQFP	PAG	64	1000	330.0	24.4	13.0	13.0	1.45	16.0	24.0	Q2
DS90UR241IVSX/NOPB	TQFP	PFB	48	1000	330.0	16.4	9.8	9.8	2.0	12.0	16.0	Q2
DS90UR241QVSX/NOPB	TQFP	PFB	48	1000	330.0	16.4	9.8	9.8	2.0	12.0	16.0	Q2

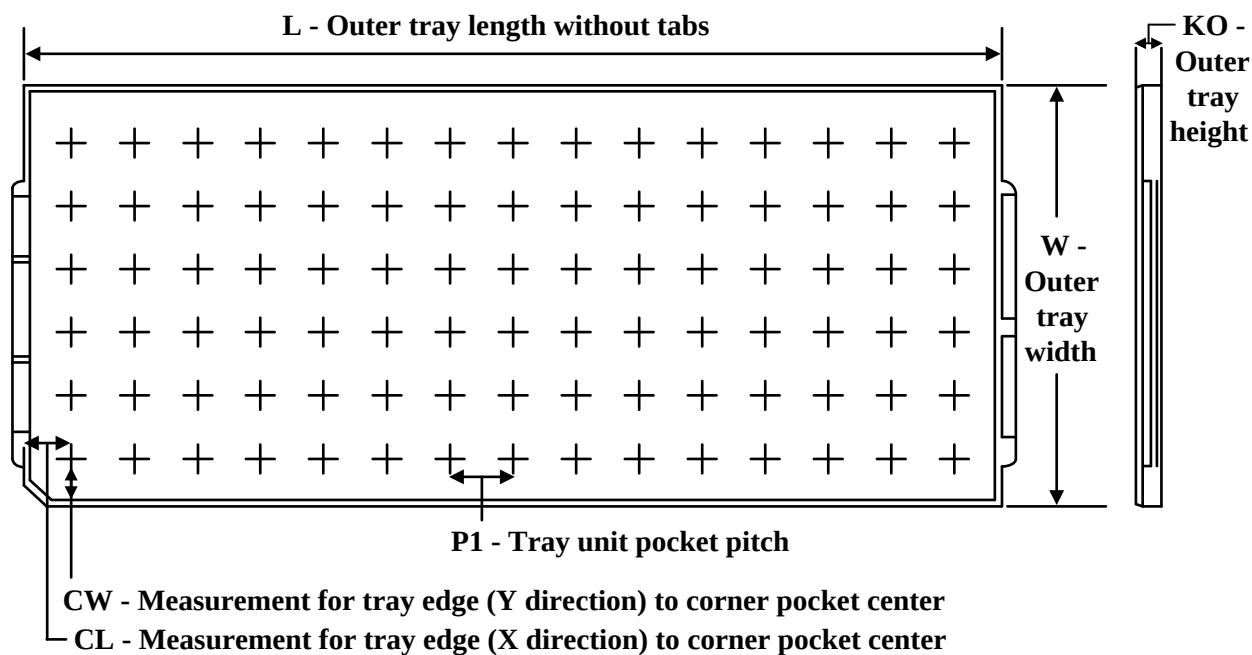
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90UR124IVSX/NOPB	TQFP	PAG	64	1000	356.0	356.0	45.0
DS90UR124QVSX/NOPB	TQFP	PAG	64	1000	356.0	356.0	45.0
DS90UR241IVSX/NOPB	TQFP	PFB	48	1000	356.0	356.0	36.0
DS90UR241QVSX/NOPB	TQFP	PFB	48	1000	356.0	356.0	36.0

TRAY



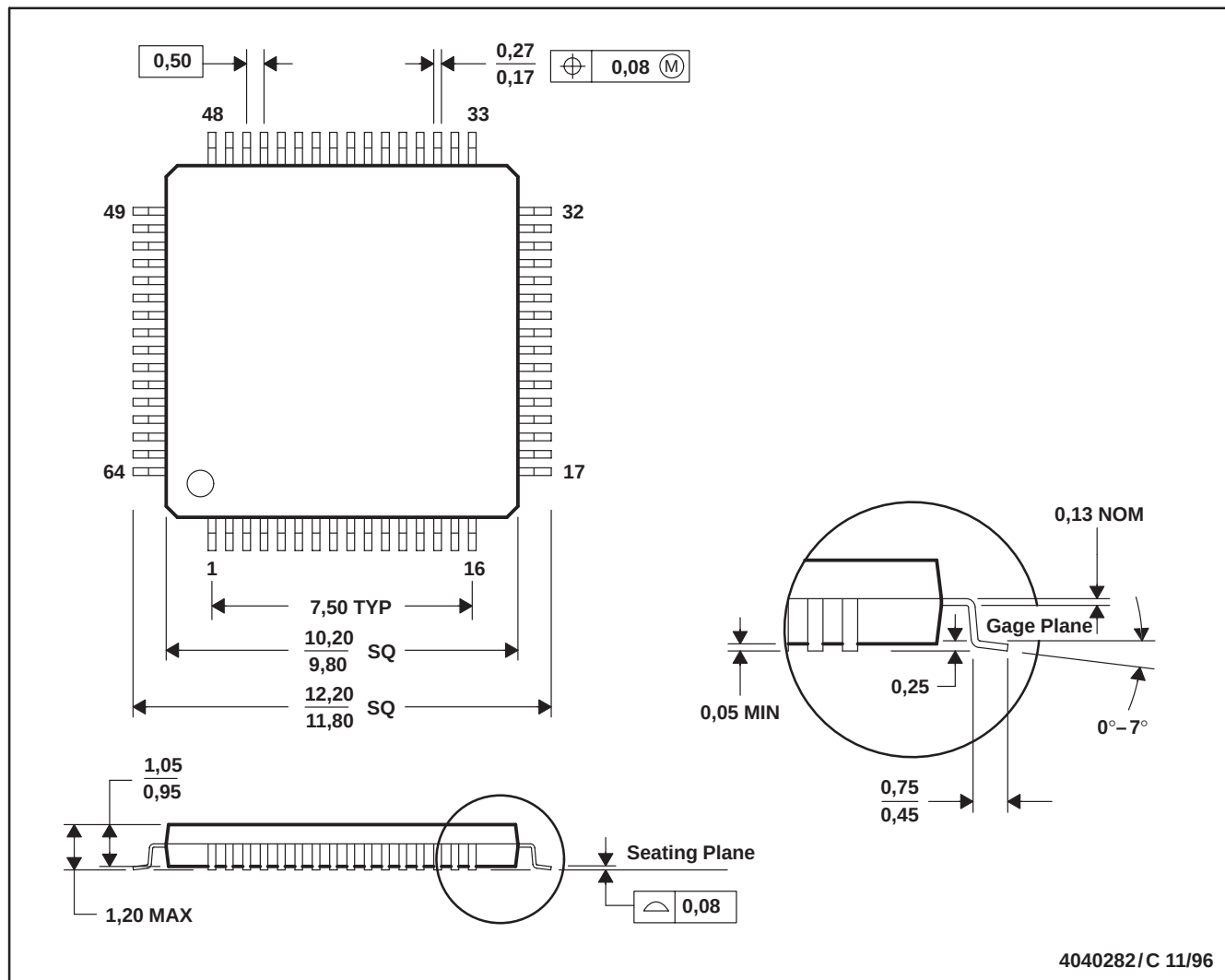
Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

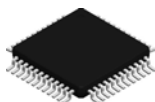
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
DS90UR124IVS/NOPB	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124IVS/NOPB.A	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124QVS/NOPB	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124QVS/NOPB.A	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR241IVS/NOPB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241IVS/NOPB.A	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241QVS/NOPB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241QVS/NOPB.A	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

PAG (S-PQFP-G64)

PLASTIC QUAD FLATPACK



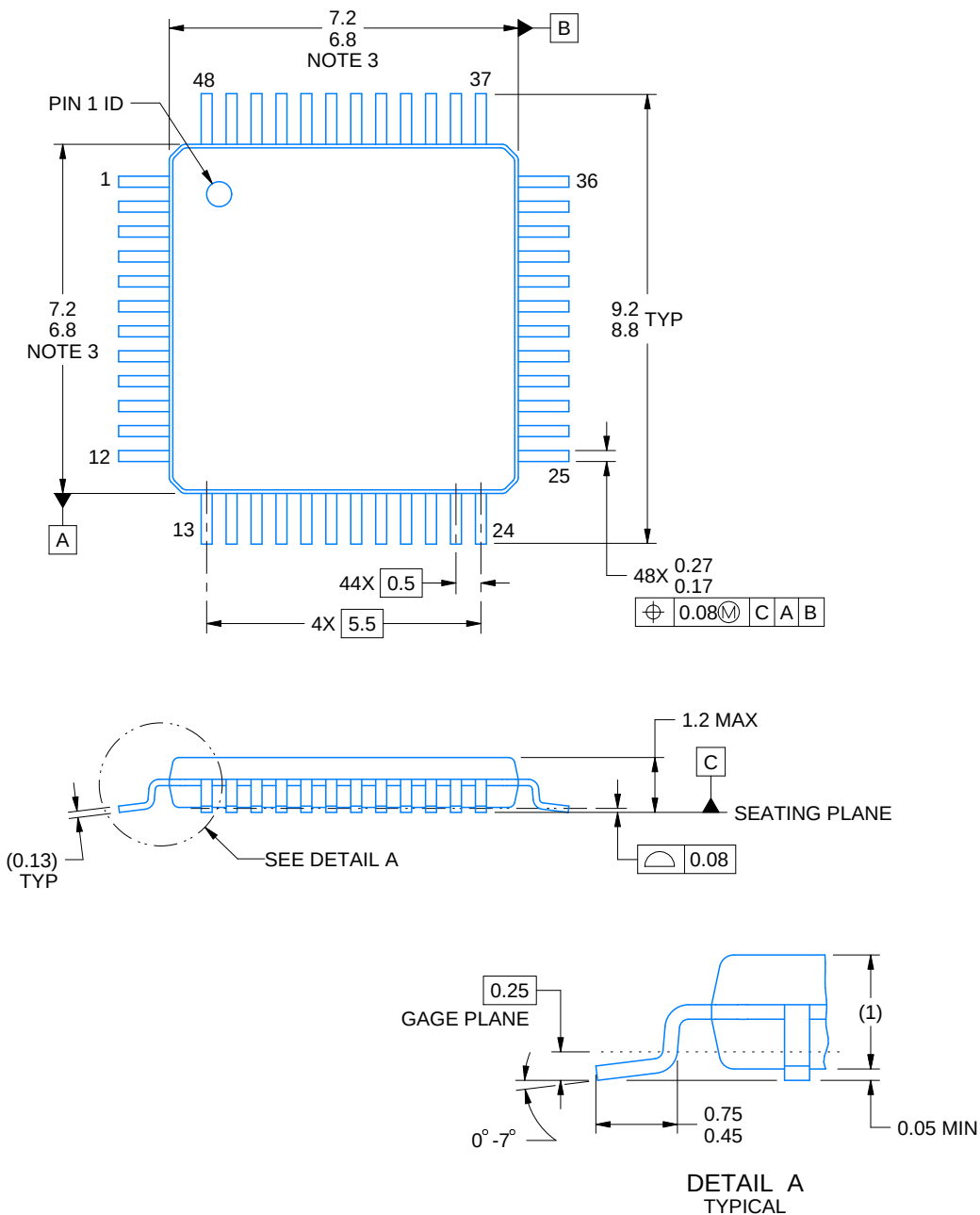
PFB0048A



PACKAGE OUTLINE

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK

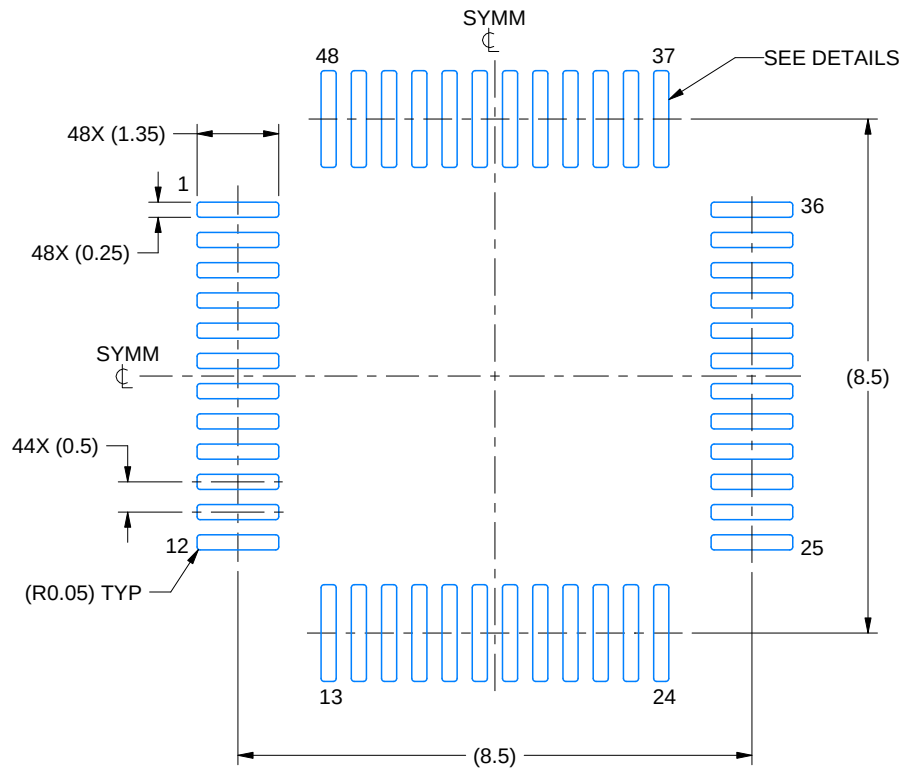


EXAMPLE BOARD LAYOUT

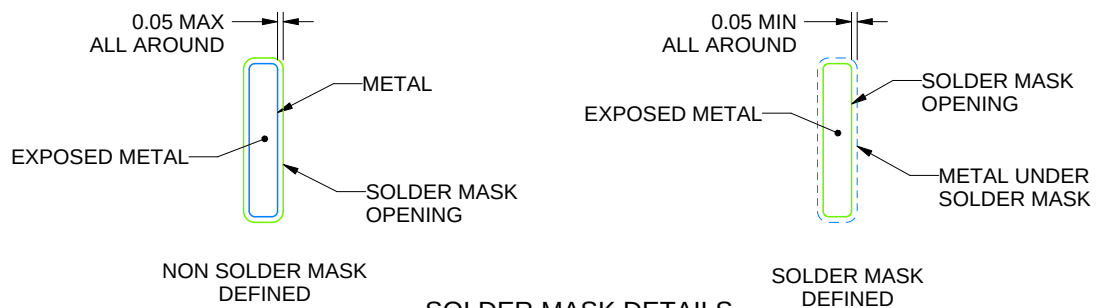
PFB0048A

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4215157/A 03/2024

NOTES: (continued)

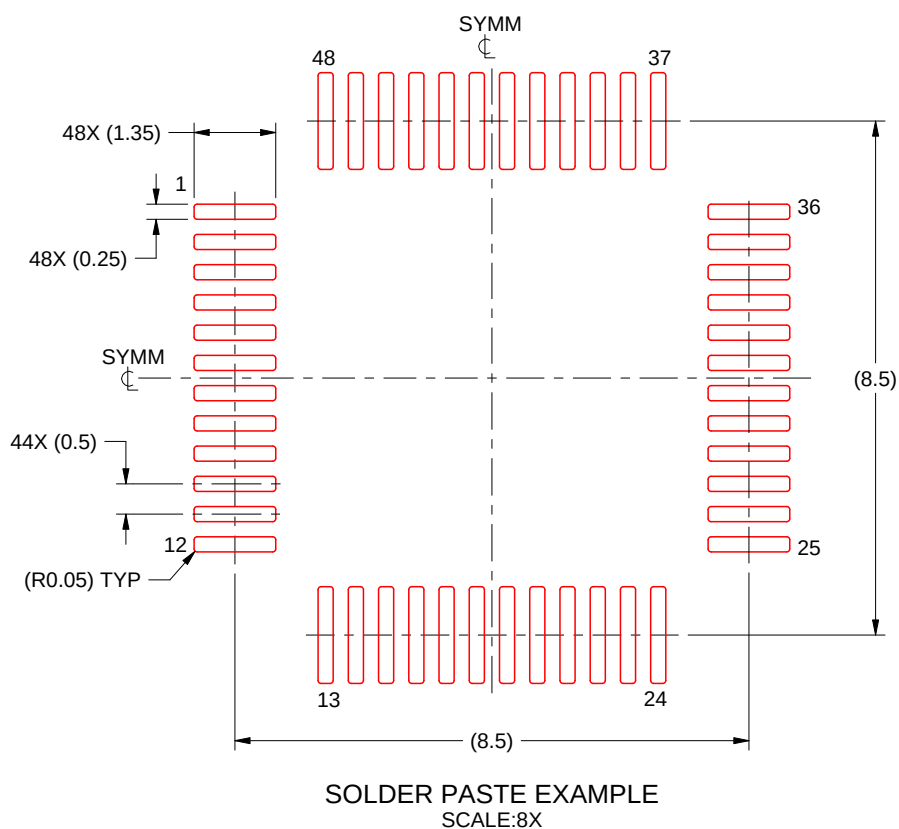
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PFB0048A

TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



4215157/A 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月