INA106 精密增益 = 10 差分放大器

1 特性

- 10 个差分放大器配置的增益
- 高共模抑制 (CMRR)：86 dB（最小值）
- 低增益误差：0.025%（最大值）
- 低增益漂移：4ppm/°C（典型值）
- 低非线性：0.001%（最大值）
- 带宽：0.5MHz（典型值）
- 低失调电压：200 µV（最大值）
- 低失调电压漂移：0.2 µV/°C（典型值）

2 应用

- 电芯化成和测试设备
- 传感器标签和数据记录器
- 伺服驱动器位置反馈
- 液位变送器
- 串式逆变器

3 说明

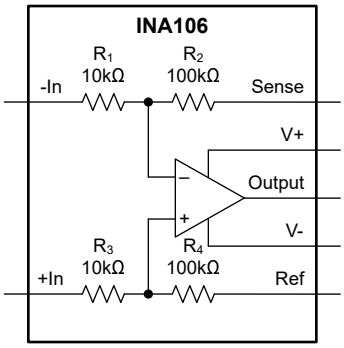
INA106 是一款增益 = 10 的单片差分放大器，由精密运算放大器 (op amp) 和片上金属薄膜电阻器组成。电阻器经过激光微调，可实现准确增益和高共模抑制。电阻器出色的跟踪性能 (TCR) 在全温度范围内保持增益精度和共模抑制。

差分放大器是许多常用电路的基础。INA106 提供此项精密电路功能，而无需使用昂贵的电阻器网络。INA106 采用 8 引脚塑料 DIP 和 SOIC 表面贴装封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
INA106	P（PDIP，8）	9.81mm × 9.43mm
	D（SOIC，8）	4.9mm × 6mm

(1) 有关所有可用封装，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



精密增益 = 10 差分放大器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 建议运行条件 4
5.3 热性能信息 4
5.4 电气特性 5
5.5 典型特性 7
6 详细说明 10
6.1 概述 10
6.2 功能方框图 10
6.3 特性说明 11
6.4 器件功能模式 11
7 应用和实施 12
7.1 应用信息 12
7.2 典型应用 13
7.3 其他应用 14
7.4 电源相关建议 15
7.5 布局 15
8 器件和文档支持 17
8.1 器件支持 17
8.2 接收文档更新通知 17
8.3 支持资源 17
8.4 商标 17
8.5 静电放电警告 18
8.6 术语表 18
9 修订历史记录 18
10 机械、封装和可订购信息 19

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

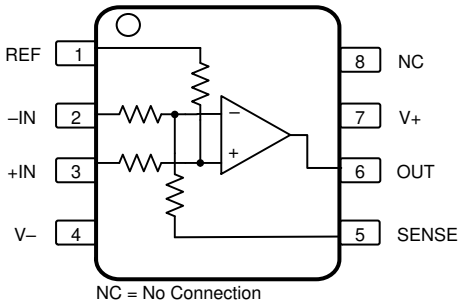


表 4-1. 引脚功能

名称	编号	类型	说明
+IN	3	输入	正向（同相）输入 10kΩ 电阻器连接到运算放大器的同相端子
-IN	2	输入	负向（反相）输入 10kΩ 电阻器连接到运算放大器的反相端子
OUT	6	输出	输出
REF	1	输入	基准输入 100kΩ 电阻器连接到运算放大器的同相端子
V+	7	–	正（最高）电源
V-	4	–	负（最低）电源
SENSE	5	输入	感测输入 100kΩ 电阻器连接到运算放大器的反相端子
NC	8	–	未进行内部电路连接（可以悬空）

Copyright © 2026 Texas Instruments Incorporated

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。有关更多信息，请参阅节 8.1.1。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	36	V
信号输入引脚	单电源、+In、 –In、感测 和 REF	0	V_S	V
输出短路(2)		持续		
温度	温度，T_A	-40	85	°C
	结温，T_J		150	
	贮存温度，T_{stg}	-65	125	

(1) 超出*绝对最大额定值* 范围的操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 对 V_S/2 短路。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源电压	单电源	10		36	V
	双电源	±5		±18	
额定温度		0		70	°C

5.3 热性能信息

热指标(1)		INA106		单位
		D (SOIC)	P (PDIP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	108.9	74.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45.9	52.3	°C/W
$R_{\theta JB}$	结至电路板热阻	56.6	38.3	°C/W
Ψ_{JT}	结至顶部特征参数	4.8	18.3	°C/W
Ψ_{JB}	结至电路板特征参数	55.7	37.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.4 电气特性

在 T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、G = 10 时，所有芯片原产地 (CSO)，除非另有说明。

参数		测试条件			最小值	典型值	最大值	单位
输入								
V_{OS}	失调电压	RTI(1)(2)				50	200	μV
	失调电压漂移	T_A = –40°C 至 +85°C，RTI(1)(2)				0.2		μV/℃
PSRR	电源抑制比	RTI(1)(2)，V_S = ±6V 至 ±18V				1	10	μV/V
	长期稳定性					10		μV/mo
Z_{IN-DM}	差分阻抗 (3)					10		kΩ
Z_{IN-CM}	共模阻抗(3)					110		kΩ
V_{CM}	工作共模输入电压(4)				-11		11	V
V_{DM}	工作差分模式输入电压 (4)				-1		1	V
CMRR	共模抑制比(5)	T_A = -40°C 至 +125°C			86	100		dB
噪声电压								
e_N	电压噪声	RTI(1)(6)	f_O = 10kHz	CSO：SHE		30		nV/√Hz
				CSO：RFB		20		
			f_B = 0.01Hz 至 10Hz	CSO：SHE		1		$μV_{PP}$
				CSO：RFB		1.7		
增益								
G	初始增益					10		V/V
GE	增益误差					±0.01	±0.025	%
	增益漂移					-4		ppm/°C
	增益非线性					0.0002	0.001	FSR 百分比
输出								
	输出电压	I_O = –5mA，20mA			10	12		V
	负载电容稳定性					1000		pF
I_{SC}	持续达 V_S/2	拉电流		CSO：SHE		40		mA
				CSO：RFB		70		
		灌电流		CSO：SHE		10		
				CSO：RFB		70		
Z_O	输出阻抗					0.01		Ω

Copyright © 2026 Texas Instruments Incorporated

5.4 电气特性（续）

在 T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、G = 10 时，所有芯片原产地 (CSO)，除非另有说明。

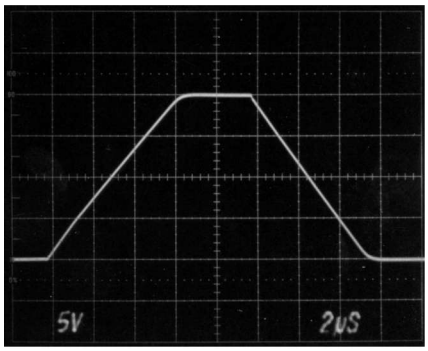
参数		测试条件	最小值	典型值	最大值	单位
频率响应						
BW	带宽，–3dB			0.5		MHz
FPBW	全功率带宽，–3dB	V_O = 20Vpp	300	400		kHz
SR	压摆率	CSO：SHE	2	3		V/μs
		CSO：RFB		20		
t_S	趋稳时间	0.1%，V_{STEP} = 10V		5		μs
		0.01%，V_{STEP} = 10V		10		μs
		0.01%、$V_{CM-STEP}$ = 10V、V_{DIFF} = 0V		5		μs
电源						
I_Q	静态电流	V_O = 0 V		±1.5	±2	mA

(1) 参考差分配置中的输入。
(2) 包括放大器输入偏置和偏移电流带来的影响。
(3) 25kΩ 电阻器比率匹配，但绝对值为 ±20%。
(4) 无保护功能时的最大输入电压比 ±15V 电源 (±25V) 高出 10V。将 I_{IN} 限制为 1mA。
(5) 零源阻抗。
(6) 包括放大器输入电流噪声和电阻器网络热噪声带来的影响。

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性

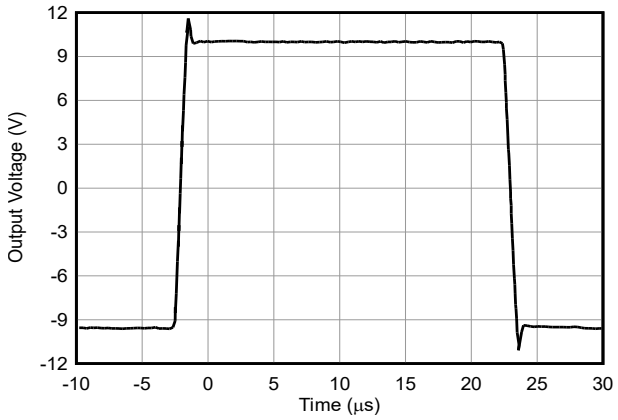
T_A = +25°C、V_S = ±15V 以及所有芯片原产地 (CSO)，除非另有说明。



2µs/div

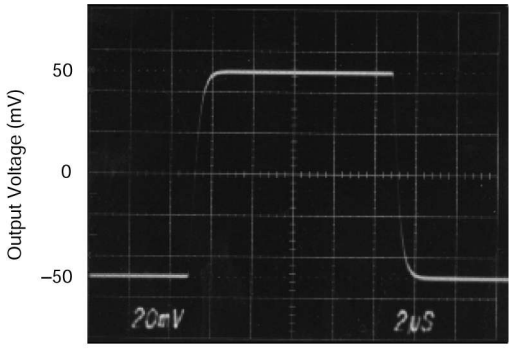
CSO：SHE

图 5-1. 阶跃响应



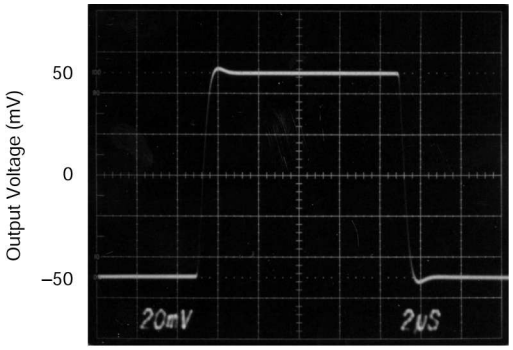
CSO：RFB

图 5-2. 阶跃响应



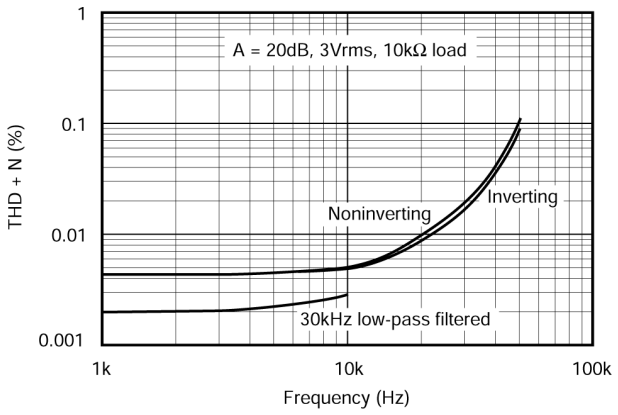
2µs/div

图 5-3. 微小信号响应（空载）



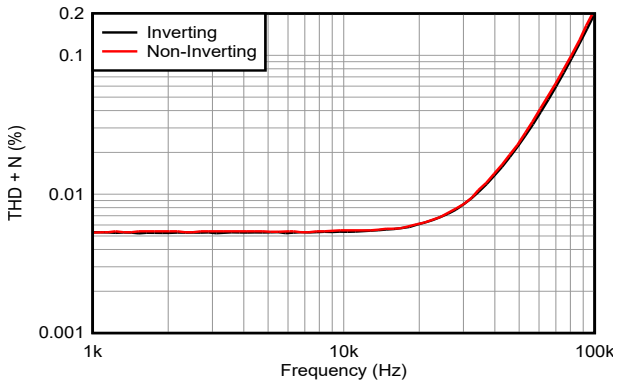
2µs/div

图 5-4. 微小信号响应 (R_{LOAD} = ∞, C_{LOAD} = 100pF)



CSO：SHE

图 5-5. 总谐波失真和噪声与频率间的关系



CSO：RFB

图 5-6. 总谐波失真和噪声与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性 (续)

T_A = +25°C、V_S = ±15V 以及所有芯片原产地 (CSO)，除非另有说明。

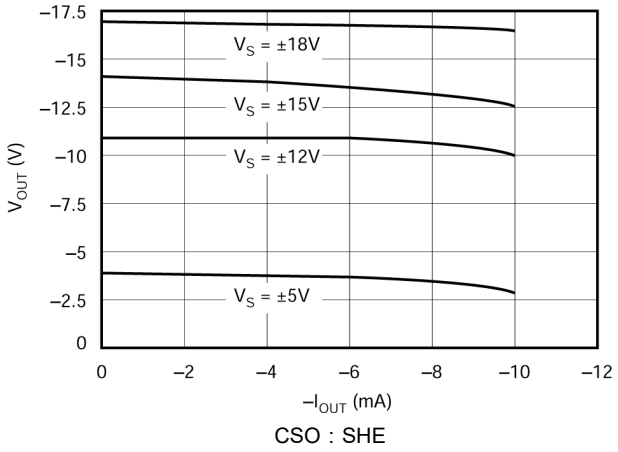


图 5-7. 最大 V_{OUT} 与 I_{OUT} 间的关系（负摆幅）

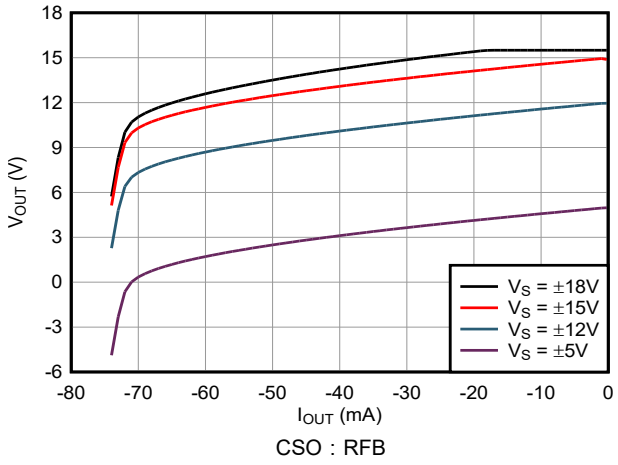


图 5-8. 最大 V_{OUT} 与 I_{OUT} 间的关系（负摆幅）

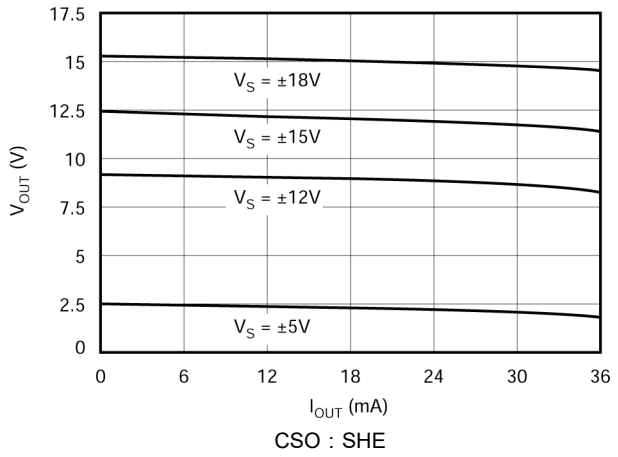


图 5-9. 最大 V_{OUT} 与 I_{OUT} 间的关系（正摆幅）

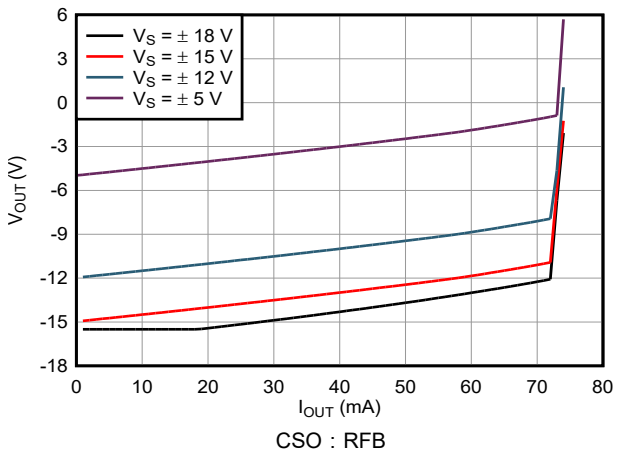


图 5-10. 最大 V_{OUT} 与 I_{OUT} 间的关系（正摆幅）

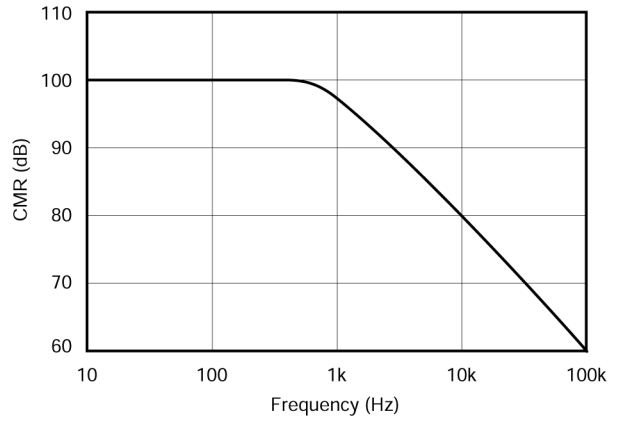


图 5-11. CMR 与频率间的关系

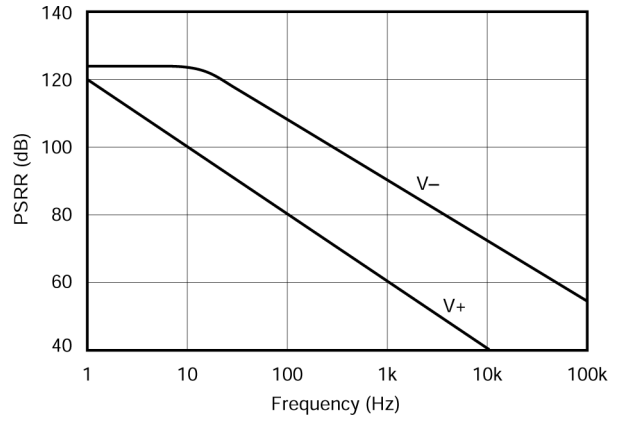


图 5-12. 电源抑制与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性 (续)

T_A = +25°C、V_S = ±15V 以及所有芯片原产地 (CSO)，除非另有说明。

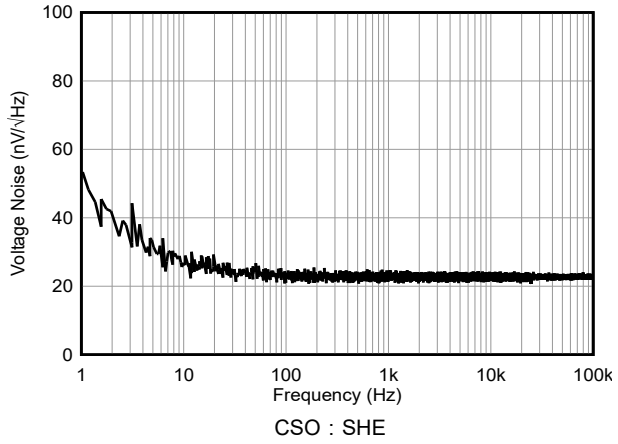


图 5-13. 电压噪声密度与频率间的关系

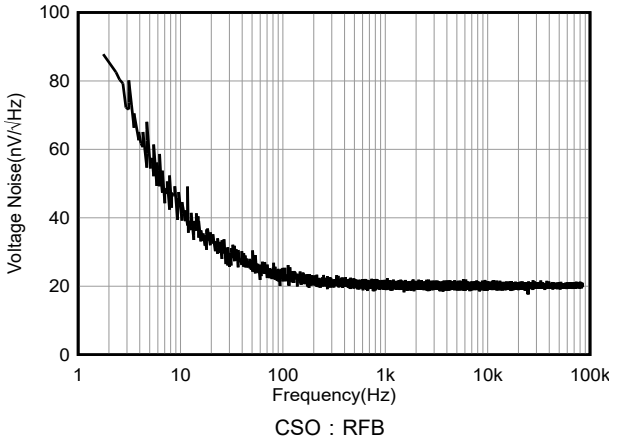


图 5-14. 电压噪声密度与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

INA106 由一个高精度运算放大器和四个经调整的片上电阻器组成。该器件可以配置成各种放大器，例如进行差分、同相和反相配置。与分立式电阻器相比，集成式匹配电阻器更具优势。

运算放大器电路的直流性能很大程度上取决于周围电阻器的精度。INA106 上的电阻器布局紧密匹配。每个器件的电阻器在片上匹配，并测试其匹配精度。为此，INA106 为增益漂移、共模抑制比率和增益误差等规格提供了高精度。

6.2 功能方框图

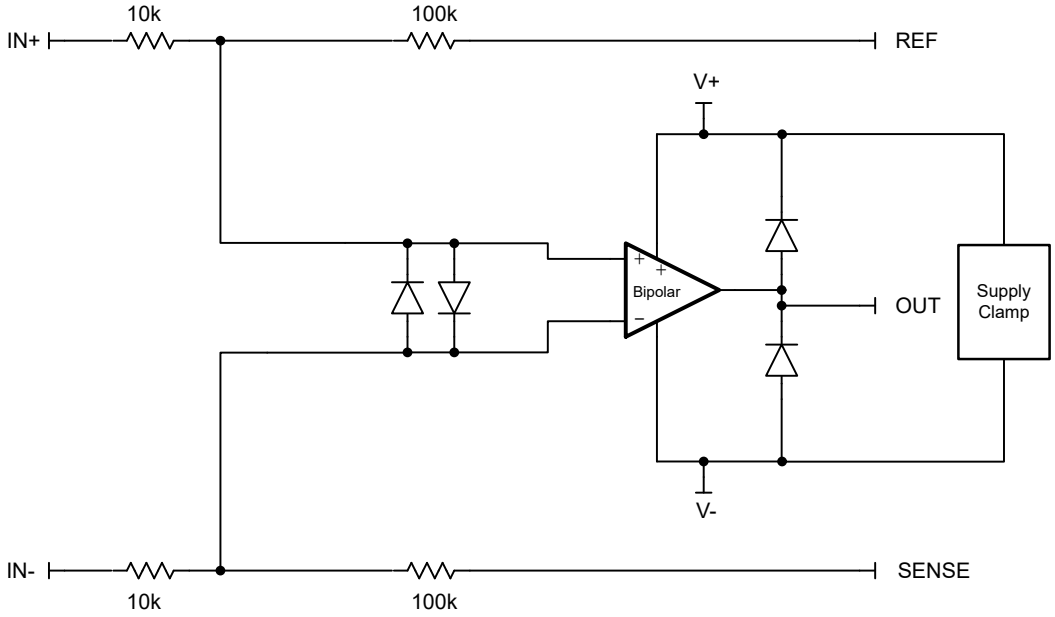


图 6-1. INA106 内部原理图：CSO: SHE

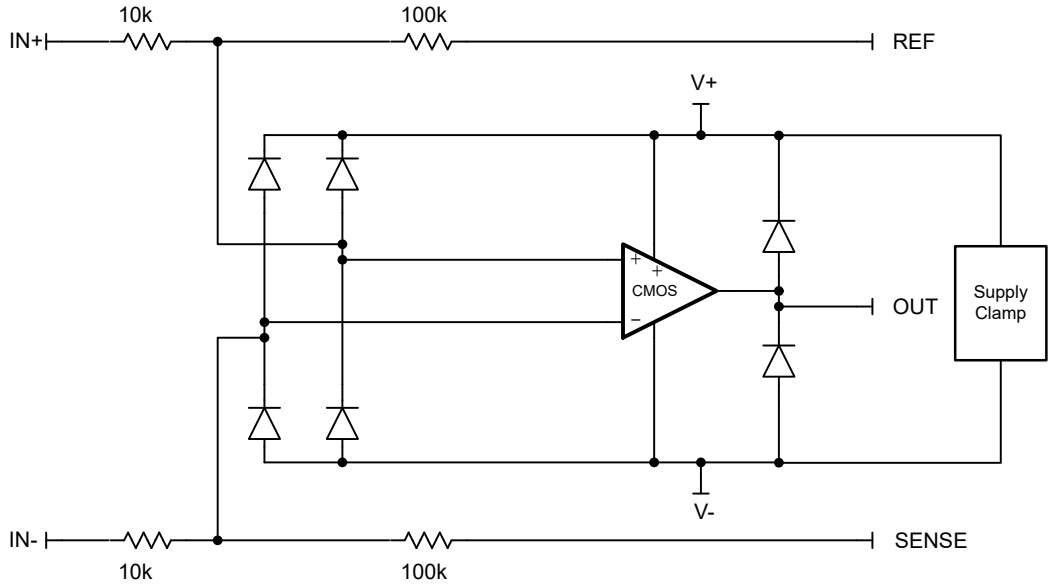


图 6-2. INA106 内部原理图：CSO: RFB

Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 增益误差和漂移

INA106 中的增益误差受到集成精密电阻器失配的限制。增益漂移受到集成电阻器温度系数轻微失配的限制。集成电阻器与低温系数电阻器精密匹配，与使用外部电阻器时差分放大器构建的分立式实现相比，可改善整体增益漂移。

6.4 器件功能模式

INA106 有一种功能模式。该器件的额定电源电压为 ±15V，可在 ±5V 至 ±18V 的电源电压范围内运行，并具有降额性能。请参阅*典型特性*

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

图 7-1 显示了 INA106 运行所需的基本连接。将电源旁路电容器连接到接近器件引脚的位置，具体如图所示。

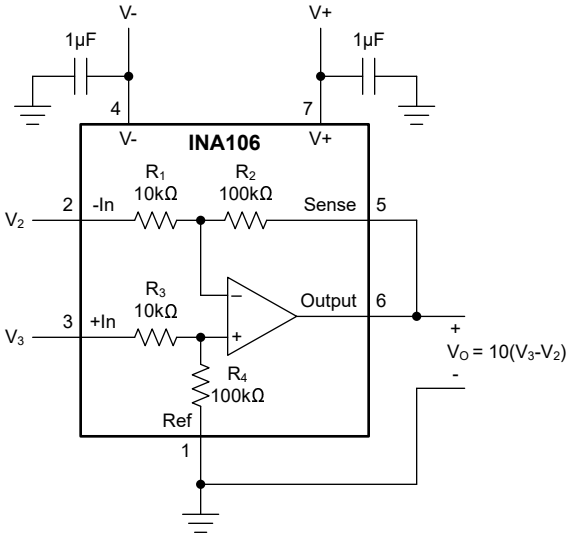


图 7-1. 基本电源和信号连接

差分输入信号连接至引脚 2 和 3，如图所示。连接到输入端的源阻抗必须相等，以提供良好的共模抑制。源阻抗中的 5Ω 失配会将典型器件的共模抑制降低到约 86dB。如果源端存在已知的源阻抗失配，则使用一个额外的电阻器与一个输入串联，以保持良好的共模抑制。

输出称为输出基准端子（引脚 1），该端子通常接地。将施加到基准端子的电压与输出信号相加。为保持良好的共模抑制，请确保施加到基准端子的信号源阻抗小于 10Ω。

图 7-2 显示了施加到引脚 1 用来修整 INA106 偏移电压的电压。修整电路已知的 100Ω 源阻抗由与引脚 3 串联的 10Ω 电阻器进行补偿，以保持良好的 CMR。

Copyright © 2026 Texas Instruments Incorporated

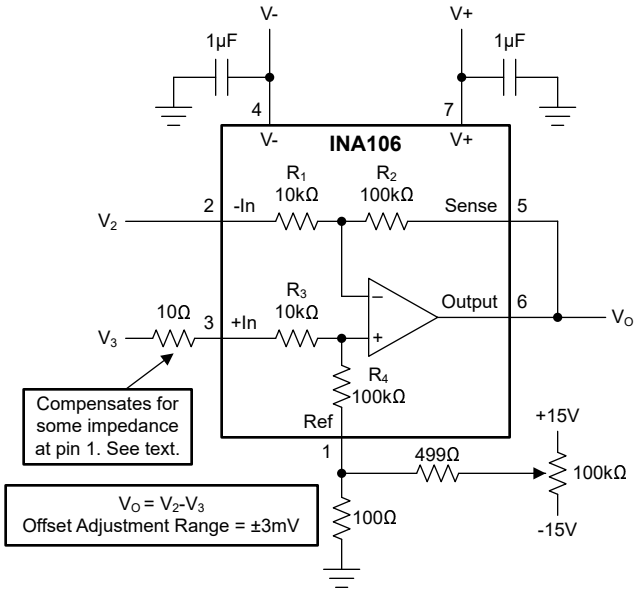


图 7-2. 偏移量调整

参考图 7-1，CMR 取决于内部 R_4/R_3 比率与 R_1/R_2 比率的匹配情况。106dB 的 CMR 需要 0.005% 的电阻器匹配。为了在温度范围内保持高 CMR，电阻器 TCR 跟踪必须优于 2ppm/°C。很难通过分立式元件可靠地达到此等精度，并且价格昂贵。

7.2 典型应用

INA106 可用于多种应用。图 7-3 显示了一个示例。

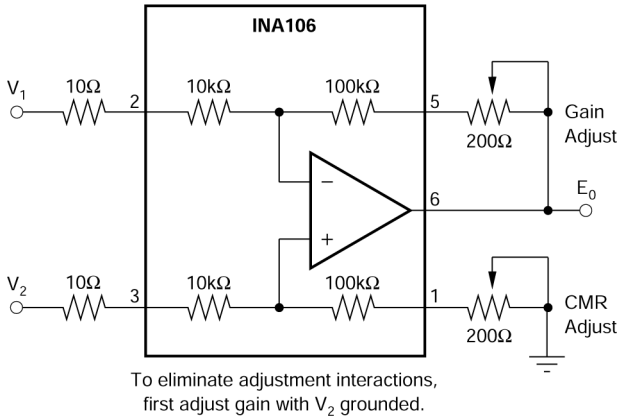
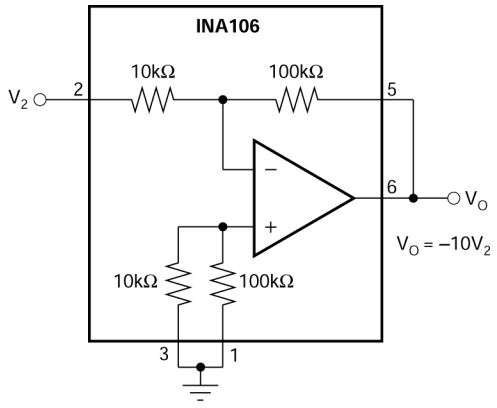


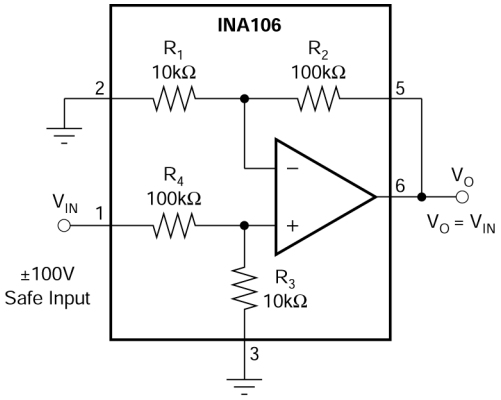
图 7-3. 具有增益和 CMR 调节功能的差分放大器

7.3 其他应用



Gain Error = 0.01% maximum
Nonlinearity = 0.001% maximum
Gain Drift = 2.ppm/°C

图 7-4. 精密 G = -10 反相放大器



This circuit follows an 11/1 divider with a gain of 11 for an overall gain of unity. With an 11/1 divider, the input signal can exceed 100V without damage.

图 7-5. 具有输入保护的电压跟随器

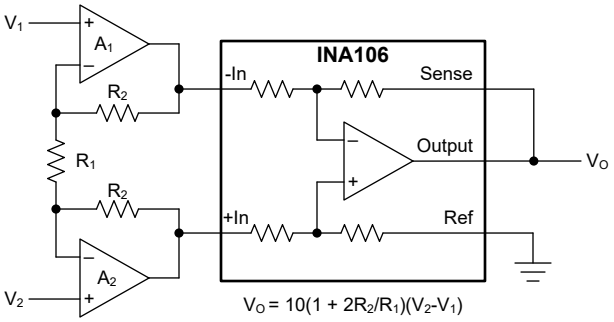


图 7-6. 精密仪表放大器

Copyright © 2026 Texas Instruments Incorporated

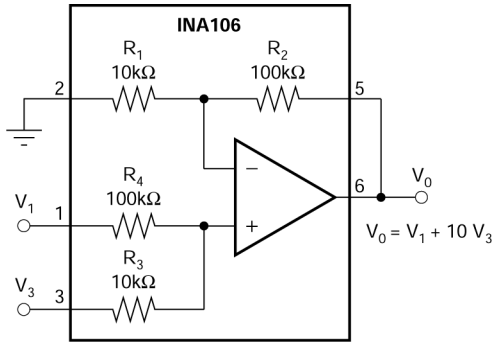


图 7-7. 精密加法放大器

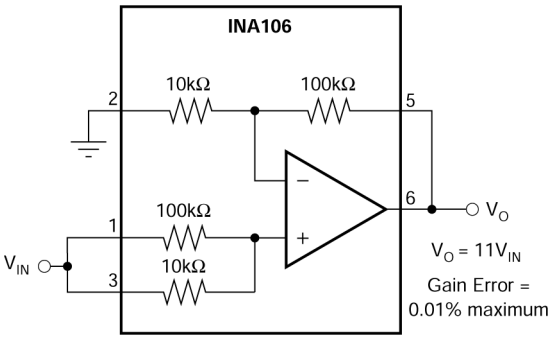


图 7-8. 精密 G = 11 缓冲器

7.4 电源相关建议

在 ±15V 的电源电压下指定 INA106 的标称性能。该器件可在 5V 至 18V 的电源下运行，且性能各异。在 *典型特性* 中可以参考在工作电压和基准电压范围内变化的参数。

TI 强烈建议在每个电源引脚和接地之间添加低 ESR 陶瓷旁路电容器 (C_{BYP})。对于单电源运行，只需一个 C_{BYP} 就足够了。将 C_{BYP} 尽可能靠近器件放置，以减少噪声或高阻抗电源产生的耦合误差。请确保电源走线在到达放大器电源端子之前经过 C_{BYP}。有关更多信息，请参阅布局指南。

7.5 布局

7.5.1 布局指南

建议使用良好的布局实践。为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 确保两条输入路径在源阻抗和电容方面匹配良好，以避免将共模信号转换为差分信号。
- 噪声通过总体电路和器件的电源引脚传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1 µ F 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果上述布线无法分离，则让敏感性布线与有噪声布线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽量靠近器件放置。
- 应使布线尽可能短。

Copyright © 2026 Texas Instruments Incorporated

7.5.2 布局示例

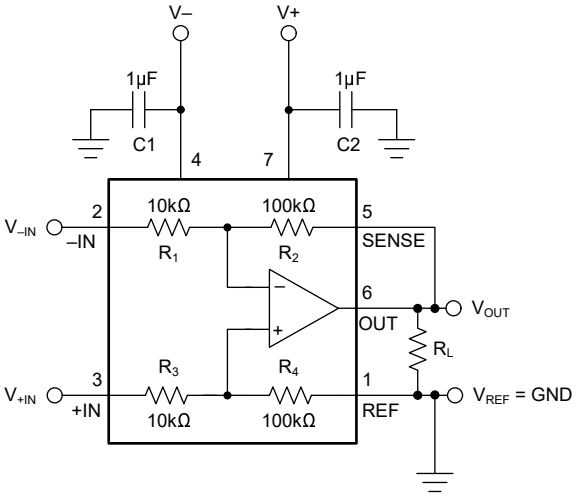


图 7-9. 示例原理图

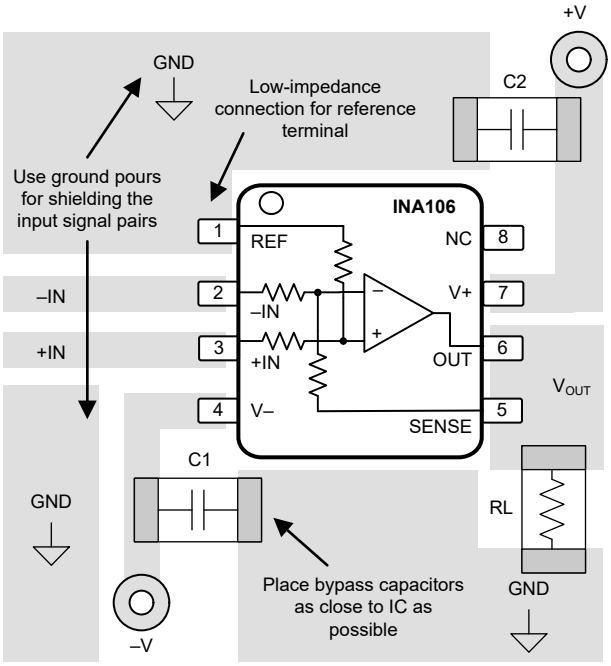


图 7-10. SOIC 和 PDIP 封装的相关 PCB 布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

器件型号	定义
INA106KP INA106U/2K5	芯片采用 CSO 制造：SHE 或 CSO：RFB。
INA106U	芯片采用 CSO 制造：SHE。

8.1.2 开发支持

关于此产品的开发支持，请参阅以下内容：

8.1.2.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

8.1.2.2 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (March 2025) to Revision C (December 2025)	Page
• 在*规格*中添加了器件流程信息的说明	4
• 向*电气特性* 中的典型测试条件添加了所有芯片原产地 (CSO) 条件	5
• 将*电气条件* 中 CSO: SHE 的电压噪声由 1.5μVpp 更改为 1μVpp	5
• 在*电气特性* 中为电压噪声添加了不同的制造过程规范	5
• 在*电气特性* 中添加了短路电流、灌电流和拉电流的不同制造过程规格	5
• 在*电气特性* 中添加了转换率的不同制造过程规格	5
• 向*典型特性* 中的典型测试条件添加了所有芯片原产地 (CSO) 条件	7
• 添加了“CSO：SHE”到*典型特性* 中的阶跃响应、总谐波失真和噪声与频率间的关系、最大 V_{OUT} 与 I_{OUT} 间的关系（负摆幅）以及最大 V_{OUT} 与 I_{OUT} 间的关系（正摆幅）曲线	7
• 添加了 CSO 的电压噪声密度与频率间的关系曲线：*典型特性* 中的 CSO:SHE	7
• 添加了 CSO 的阶跃响应、总谐波失真和噪声与频率间的关系、最大 V_{OUT} 与 I_{OUT} 间的关系（负摆幅）、最大 V_{OUT} 与 I_{OUT} 间的关系（正摆幅）以及电压噪声密度与频率间的关系曲线：*典型特性* 中的 CSO:RFB	7
• 在*功能方框图* 中更改并为每个制造过程添加了 INA106 内部原理图	10
• 向*器件命名规则*添加了器件型号流程信息表	17

Changes from Revision A (October 2003) to Revision B (March 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 添加了引脚配置和功能、规格、推荐的工作条件、热性能信息、详细说明、概述、功能方框图、特性说明、器件功能模式、应用和实现、电源建议、布局、布局指南、布局示例、器件和文档支持以及机械、封装和可订购信息部分	1
• 更改了*精密增益 = 10 差分放大器*图	1
• 在*绝对最大值* 表中添加了结温额定值	4
• 向*电气特性* 表添加了更多的测试条件	5
• 将*电气特性*中的参数名称：从*偏移电压与温度间的关系*修改为*偏移电压漂移*	5
• 将*电气特性*中的参数名称：从*偏移电压与电源间的关系*修改为*电源抑制比*	5
• 将*电气特性*中的参数名称：从*偏移电压与时间间的关系*修改为*长期稳定性*	5
• 将*电气特性*中的电压噪声规格从 $1\mu V_{PP}$ 更新为 $1.5\mu V_{PP}$	5
• 在灌入和拉出情景中，将*电气特性*中的输出电流参数从*电流限制*更改为*短路电流*	5
• 更新了*电气特性*中的全功率带宽以显示考虑闭环增益的带宽	5
• 将电源电压和温度范围从*电气特性*表移至*绝对最大额定值*表	5
• 更改了应用部分	12
• 更改了图 7-1	12
• 更改了图 7-2	12

Copyright © 2026 Texas Instruments Incorporated

• 更改了图 7-6.....14

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA106KP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	(IN106P, INA106KP)
INA106KP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	(IN106P, INA106KP)
INA106U	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-	INA 106U
INA106U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	INA 106U
INA106U/2K5.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 106U

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

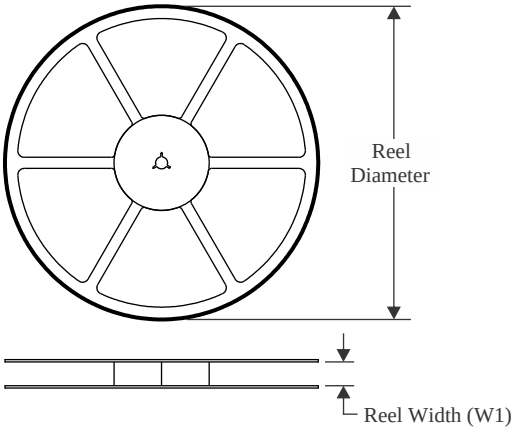
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

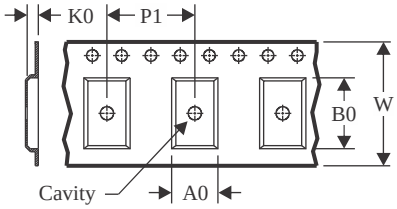
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

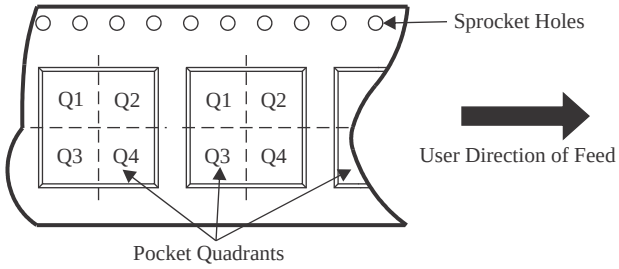


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

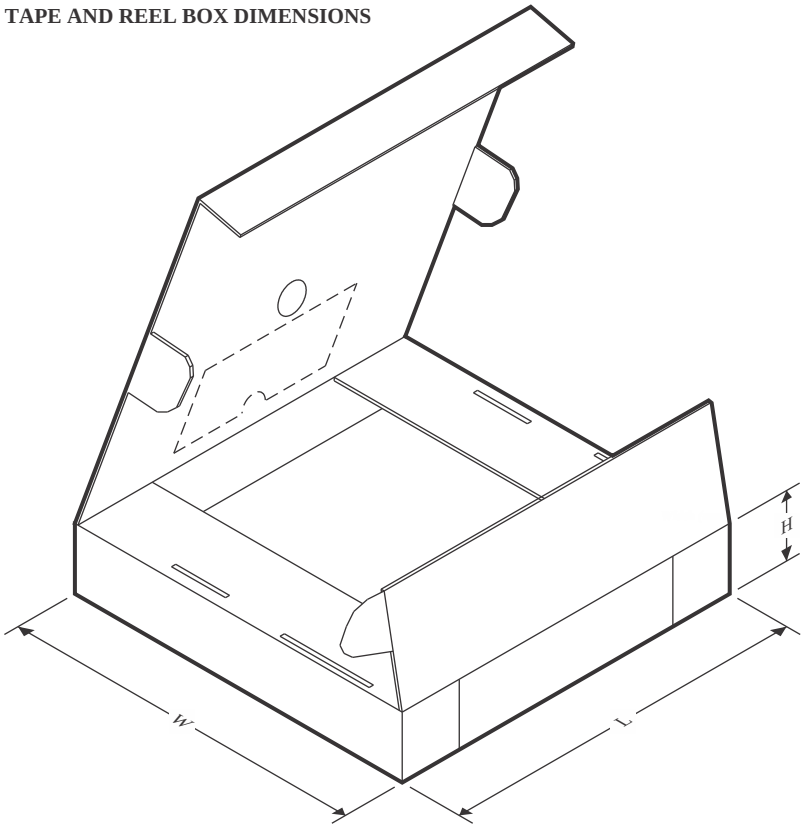
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA106U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

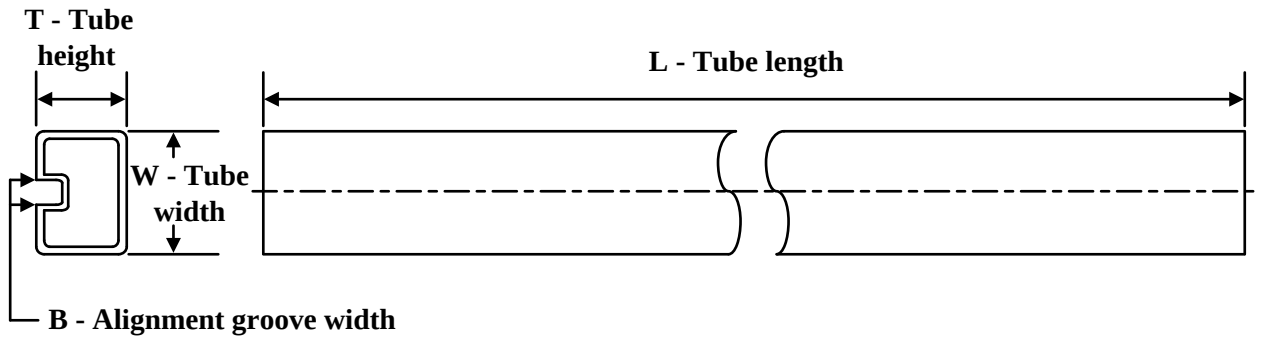
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

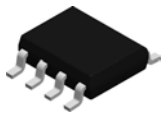
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA106U/2K5	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA106KP	P	PDIP	8	50	506	13.97	11230	4.32
INA106KP.A	P	PDIP	8	50	506	13.97	11230	4.32

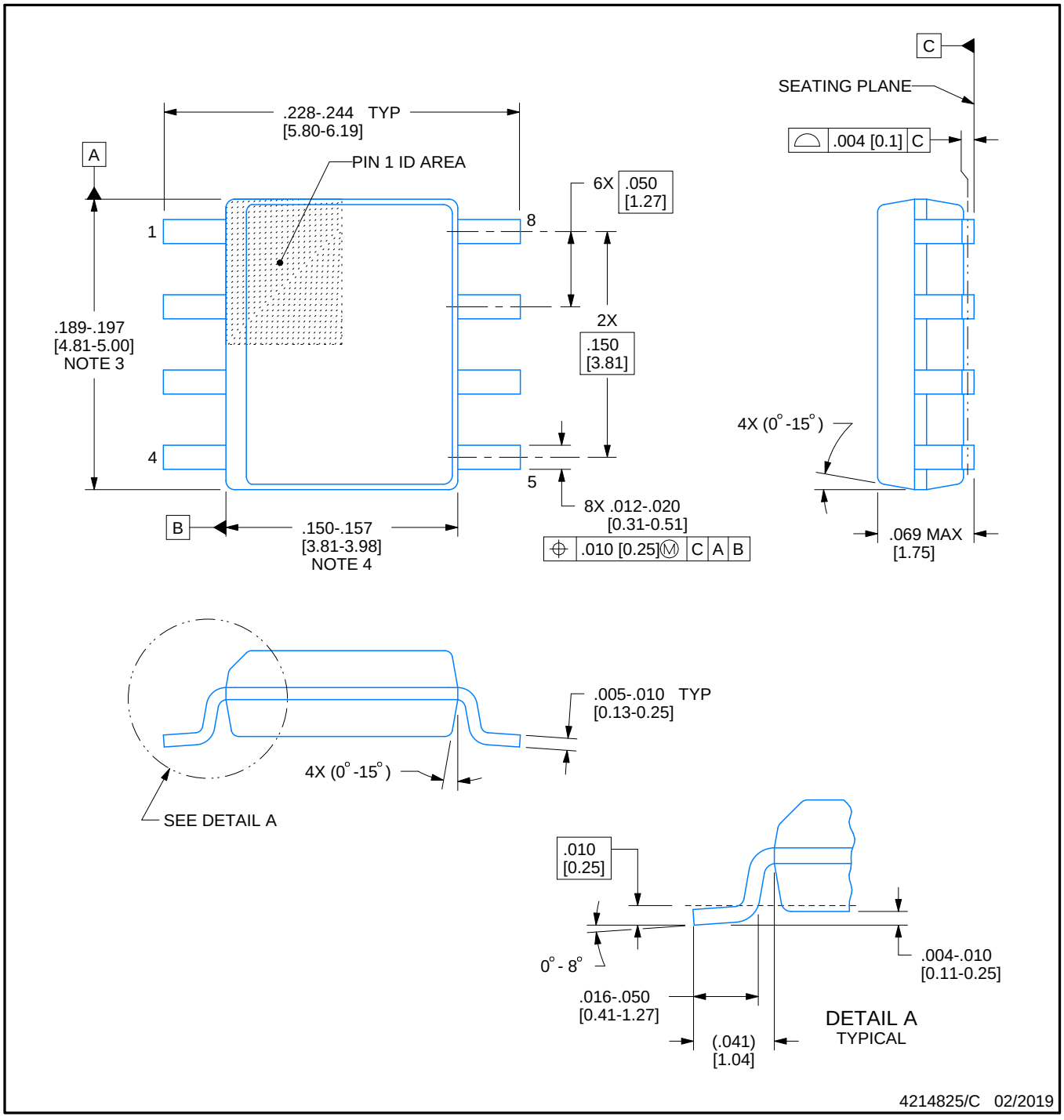


PACKAGE OUTLINE

D0008A

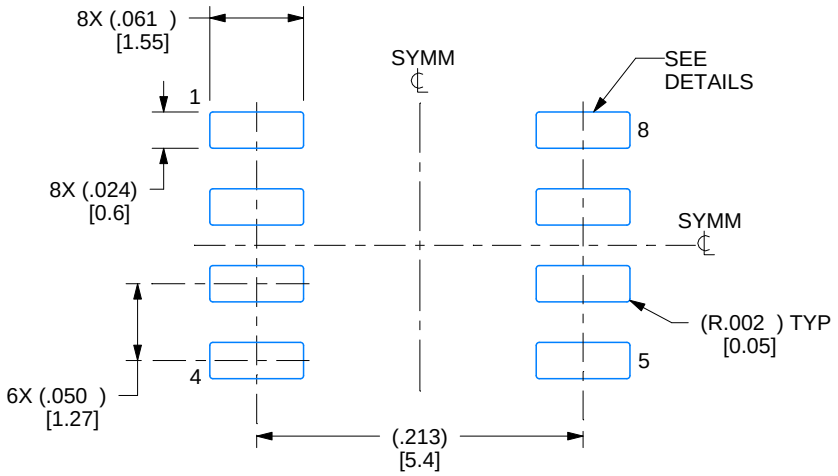
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

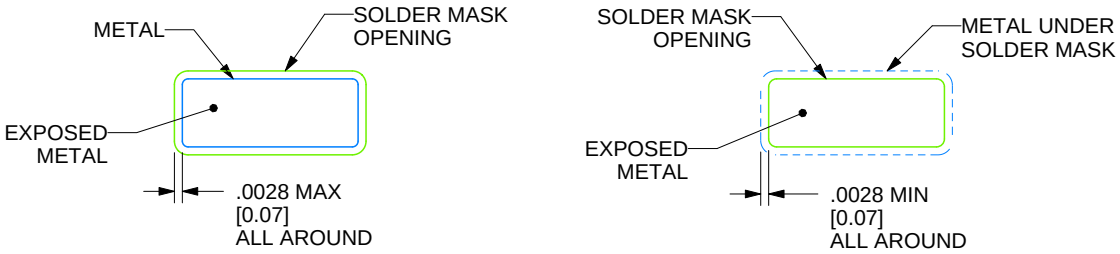


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

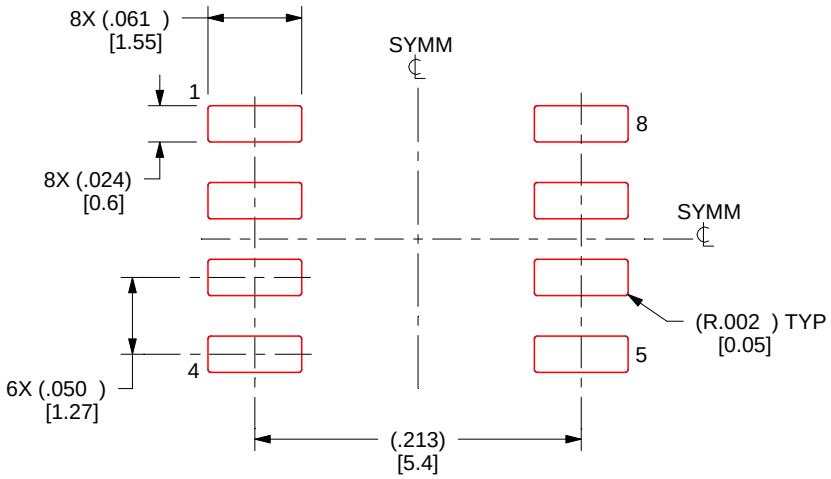
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



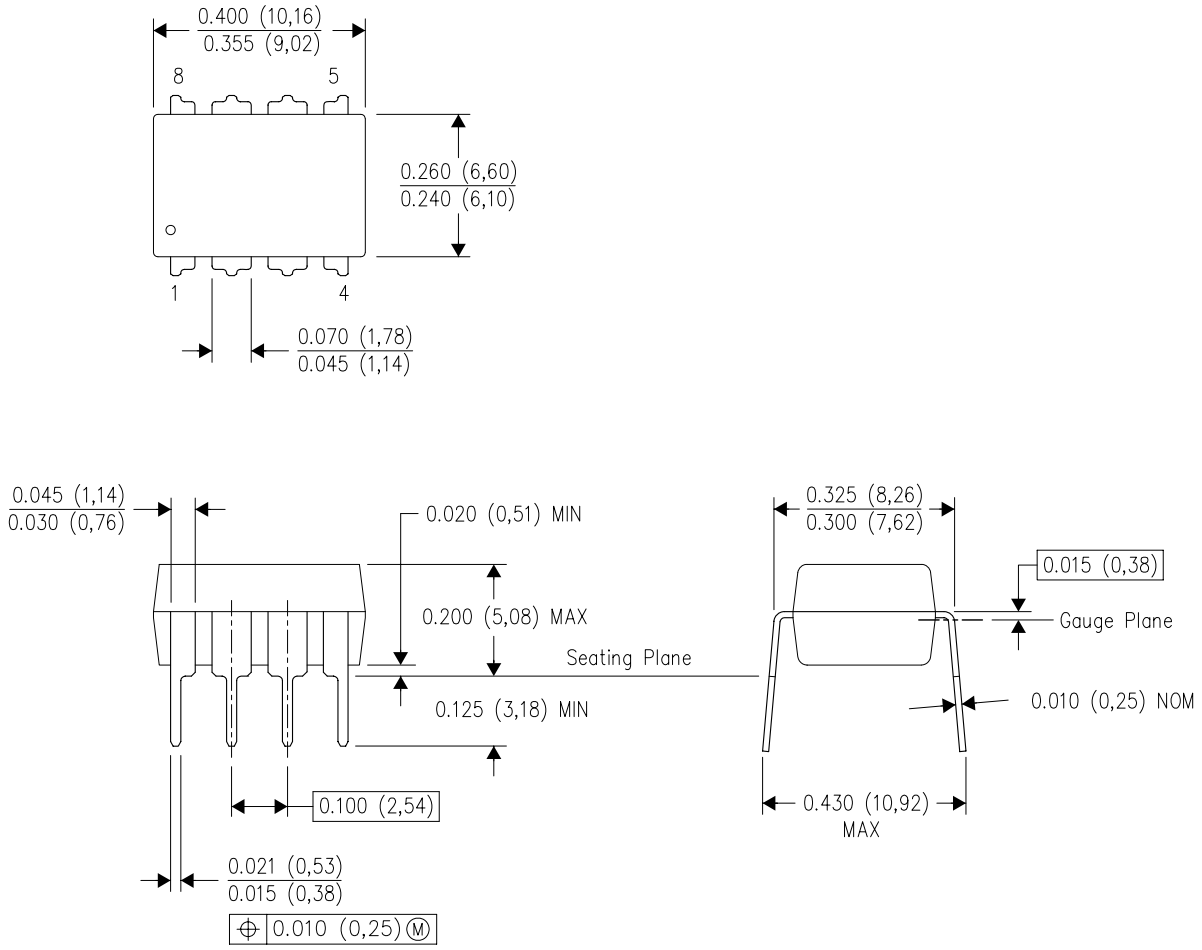
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月