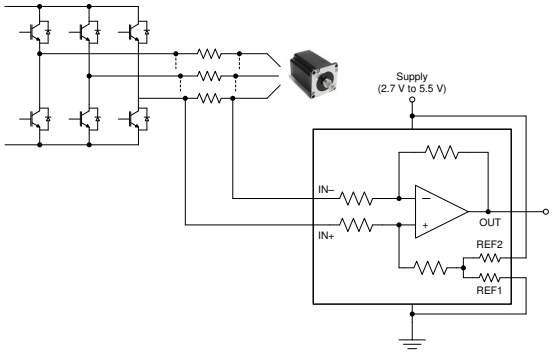
INA240 –4V 至 80V、具有增强型 PWM 抑制的双向、超精密电流检测放大器

1 特性

- 增强型 PWM 抑制
- 出色的共模抑制比 (CMRR)：
  - 132dB DC CMRR
  - 93dB AC CMRR（50kHz 时）
- 宽共模范围：-4V 至 80V
- 精度：
  - 增益：
    - 增益误差：0.20%（最大值）
    - 增益漂移：2.5ppm/°C（最大值）
  - 偏移：
    - 失调电压：±25 μV（最大值）
    - 温漂：250nV/°C（最大值）
- 可用的增益：
  - INA240A1：20V/V
  - INA240A2：50V/V
  - INA240A3：100V/V
  - INA240A4：200V/V
- 静态电流：2.4mA（最大值）

2 应用

- 电机控制
- 螺线管和阀门控制
- 电源管理
- 致动器控制
- 压力调节器
- 电信设备



典型应用

3 说明

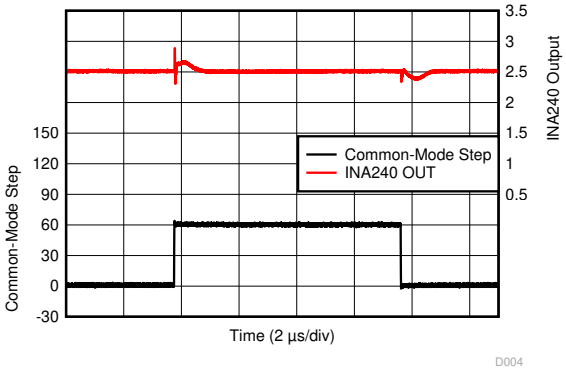
INA240 器件是一款电压输出、电流检测放大器，具有增强型 PWM 抑制功能，可在独立于电源电压的 –4V 至 80V 宽共模电压范围内检测分流器电阻上的压降。负共模电压允许器件的工作电压低于接地电压，从而适应典型螺线管应用的反激周期。增强型 PWM 抑制功能可为使用脉宽调制 (PWM) 信号的系统（例如，电机驱动和螺线管控制系统）中的较大共模瞬变 (ΔV/Δt) 提供高水平的抑制。凭借该功能，可精确测量电流，而不会使输出电压产生较大的瞬变及相应的恢复纹波。

该器件由 2.7V 至 5.5V 的单电源供电运行，消耗的最大电源电流为 2.4mA。共有四种固定增益可供选择：20V/V、50V/V、100V/V 以及 200V/V。零漂移架构的低偏移使得该器件能够在分流器上的最大压降低至 10mV（满量程）的情况下进行电流感应。所有版本均具有扩展额定工作温度范围（-40°C 至 +125°C），并且采用 8 引脚 TSSOP 和 8 引脚 SOIC 封装。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
INA240	TSSOP (8)	3.00mm × 4.40mm
	SOIC (8)	4.90mm × 3.91mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



增强型 PWM 抑制

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 器件比较 3
6 引脚配置和功能 3
7 规格 4
7.1 绝对最大额定值 4
7.2 ESD 额定值 4
7.3 建议运行条件 4
7.4 热性能信息 4
7.5 电气特性 5
7.6 典型特性 6
8 详细说明 10
8.1 概述 10
8.2 功能方框图 10
8.3 特性说明 10
8.4 器件功能模式 12
9 应用和实现 17
9.1 应用信息 17
9.2 典型应用 19
9.3 必做事项和禁止事项 22
10 电源相关建议 22
10.1 电源去耦 22
11 布局 23
11.1 布局指南 23
11.2 布局示例 23
12 器件和文档支持 25
12.1 文档支持 25
12.2 接收文档更新通知 25
12.3 支持资源 25
12.4 商标 25
12.5 Electrostatic Discharge Caution 25
12.6 术语表 25
13 机械、封装和可订购信息 25

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (October 2017) to Revision C (December 2021)	Page
• 将 D (SOIC) 封装尺寸从 4.00mm × 3.91mm 更改为 4.90mm × 3.91mm	1
• 向 NC 引脚说明中添加了文字*或保持未连接状态*	3

Changes from Revision A (October 2016) to Revision B (October 2017)	Page
• 向*器件信息*表添加了 D (SOIC) 封装	1
• 添加了*说明（续）*部分	1
• 向 8 引脚 TSSOP 封装添加了预发布标签	1
• 向*引脚配置和功能*部分中添加了 D (SOIC) 引脚排列图和表	3
• 更改了图 7-15 中的 y 轴值	6
• 添加了图 11-2	23

Changes from Revision * (July 2016) to Revision A (October 2016)	Page
• 将文档状态从“产品预发布”更改为“量产数据”	1

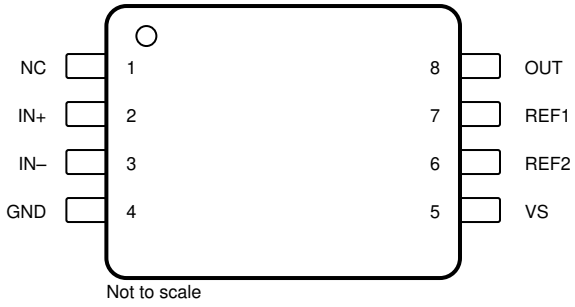
Copyright © 2022 Texas Instruments Incorporated

5 器件比较

表 5-1. 器件比较

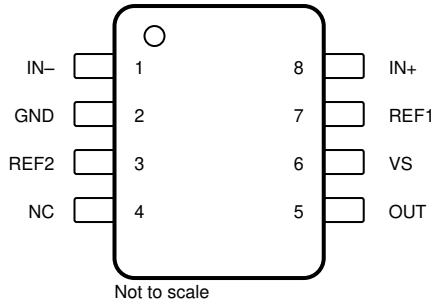
产品	增益 (V/V)
INA240A1	20
INA240A2	50
INA240A3	100
INA240A4	200

6 引脚配置和功能



NC = 没有与内部电路连接

图 6-1. INA240 PW 封装 8 引脚 TSSOP 顶视图



NC = 没有与内部电路连接

图 6-2. INA240 D 封装 8 引脚 SOIC 顶视图

表 6-1. 引脚功能

引脚			I/O	说明
名称	PW (TSSOP)	D (SOIC)		
GND	4	2	模拟	接地
IN –	3	1	模拟输入	连接到分流电阻的负载侧
IN+	2	8	模拟输入	连接到分流电阻器的电源侧
NC	1	4	—	保留。接地或保持悬空
OUT	8	5	模拟输出	输出电压
REF1	7	7	模拟输入	基准 1 电压。连接到 0V 至 VS；有关连接选项，请参阅*使用基准引脚调整输出中点*部分
REF2	6	3	模拟输入	基准 2 电压。连接到 0V 至 VS；有关连接选项，请参阅*使用基准引脚调整输出中点* 部分
VS	5	6	—	电源，2.7V 至 5.5V

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压			6	V
模拟输入，V_{IN+}，V_{IN-} (2)	差分 (V_{IN+})-(V_{IN-})	-80	80	V
	共模	-6	90	
REF1，REF2，NC 输入		GND – 0.3	V_S + 0.3	V
输出		GND – 0.3	V_S + 0.3	V
自然通风工作温度范围，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*下所列的值的应力可能会对器件造成永久损坏。这些仅仅是压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) V_{IN+} 和 V_{IN-} 分别为 IN+ 和 IN – 引脚上的电压。

7.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CM}	共模输入电压	–4		80	V
V_S	运行电源电压	2.7		5.5	V
T_A	自然通风工作温度	-40		125	°C

7.4 热性能信息

热指标(1)		INA240		单位
		PW (TSSOP)	D (SOIC)	
		8 个引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	149.1	113.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	33.2	51.9	°C/W
$R_{\theta JB}$	结至电路板热阻	78.4	57.8	°C/W
ψ_{JT}	结至顶部特征参数	1.5	10.2	°C/W
ψ_{JB}	结至电路板特征参数	76.4	56.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2022 Texas Instruments Incorporated

7.5 电气特性

在 T_A = 25°C，VS = 5V，V_{SENSE} = V_{IN+} – V_{IN-}，V_{CM} = 12V 且 V_{REF1} = V_{REF2} = V_S/2 时测得（除非另有说明）

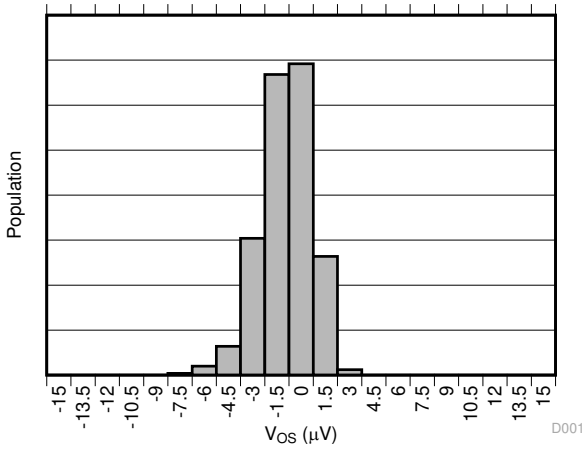
参数		测试条件	最小值	典型值	最大值	单位
输入						
V_{CM}	共模输入范围	V_{IN+} = –4V 至 80V，V_{SENSE} = 0mV T_A = –40°C 至 125°C	–4		80	V
CMRR	共模抑制比	V_{IN+} = –4V 至 80V，V_{SENSE} = 0mV T_A = –40°C 至 125°C	120	132		dB
		f = 50kHz		93		
V_{OS}	失调电压，以输入为基准	V_{SENSE} = 0mV		±5	±25	µV
dV_{OS}/dT	失调电压温漂	V_{SENSE} = 0V，T_A = –40°C 至 125°C		±50	±250	nV/°C
PSRR	电源抑制比	V_S = 2.7V 至 5.5V，V_{SENSE} = 0mV T_A = –40°C 至 125°C		±1	±10	µV/V
I_B	输入偏置电流	I_{B+}，I_{B-}，V_{SENSE} = 0mV		90		µA
	基准输入范围		0		V_S	V
输出						
G	增益	INA240A1		20		V/V
		INA240A2		50		
		INA240A3		100		
		INA240A4		200		
	增益误差	GND + 50mV ≤ V_{OUT} ≤ V_S – 200mV		±0.05%	±0.20%	
		T_A = –40°C 至 125°C		±0.5	±2.5	ppm/°C
	非线性误差	GND + 10mV ≤ V_{OUT} ≤ V_S – 200mV		±0.01%		
	基准分频器精度	V_{OUT} = | (V_{REF1} – V_{REF2}) |/2，V_{SENSE} = 0mV，T_A = –40°C 至 125°C 时		0.02%	0.1%	
RVRR	基准电压抑制比（以输入为基准）	INA240A1		20		µV/V
		INA240A3		5		
		INA240A2、INA240A4		2		
	最大容性负载	无持续振荡		1		nF
电压输出(2)						
	相对于 V_S 电源轨的摆幅	R_L = 10kΩ 至 GND T_A = –40°C 至 125°C		V_S – 0.05	V_S – 0.2	V
	到 GND 的摆幅	R_L = 10kΩ 至 GND，V_{SENSE} = 0mV V_{REF1} = V_{REF2} = 0V，T_A = –40°C 至 125°C		V_{GND} + 1	V_{GND} + 10	mV
频率响应						
BW	带宽	所有增益，-3dB 带宽		400		kHz
		所有增益，2% THD+N(1)		100		
	稳定时间 - 输出稳定到最终值的 0.5%	INA240A1		9.6		µs
		INA240A4		9.8		
SR	压摆率			2		V/µs
噪声（以输入为基准）						
	电压噪声密度			40		nV/√Hz
电源						
V_S	工作电压范围	T_A = –40°C 至 125°C	2.7		5.5	V
I_Q	静态电流	V_{SENSE} = 0mV		1.8	2.4	mA
		I_Q 与温度间的关系，T_A = –40°C 至 125°C			2.6	
温度范围						
	指定的范围		-40		125	°C

(1) 更多详细信息，请参阅*输入信号带宽*部分。
(2) 具体请参阅图 7-13。

Copyright © 2022 Texas Instruments Incorporated

7.6 典型特性

在 T_A = 25°C，V_S = 5V，V_{CM} = 12V 且 V_{REF} = V_S/2 时测得（除非另有说明）



所有增益

图 7-1. 输入失调电压产生分布图

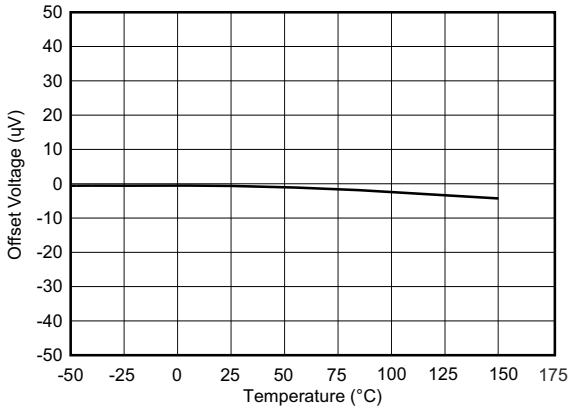
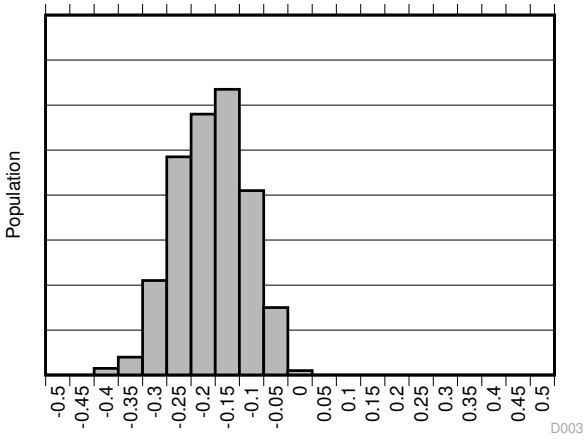


图 7-2. 失调电压与温度间的关系



所有增益

图 7-3. 共模抑制产生分布图

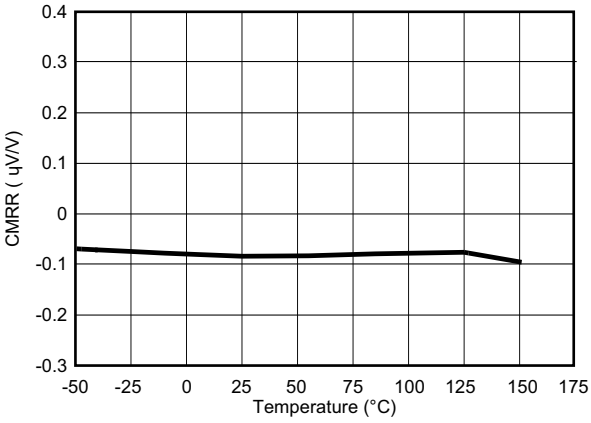
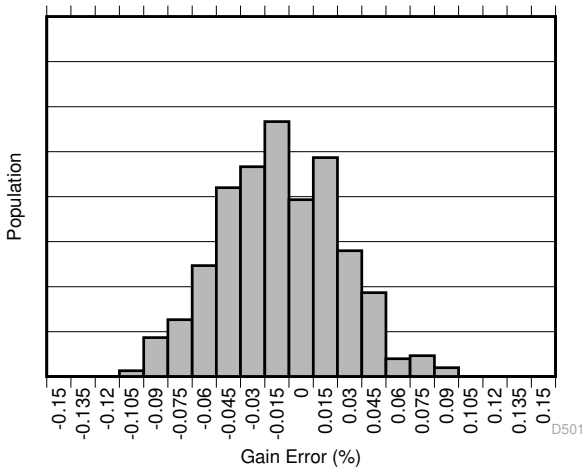
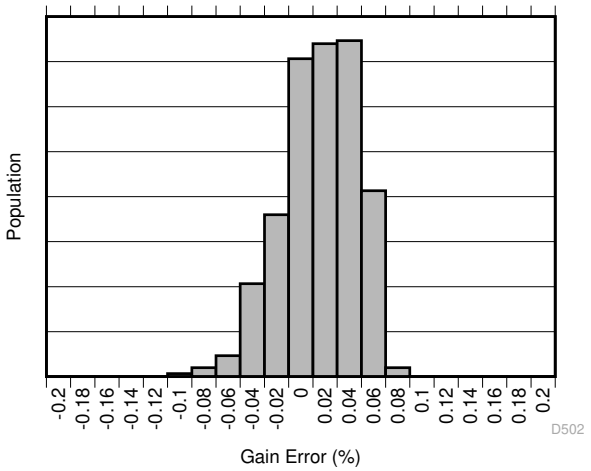


图 7-4. 共模抑制比与温度间的关系



INA240A1

图 7-5. 增益误差产生分布图



INA240A2

图 7-6. 增益误差产生分布图

Copyright © 2022 Texas Instruments Incorporated

7.6 典型特性 (continued)

在 T_A = 25°C，V_S = 5V，V_{CM} = 12V 且 V_{REF} = V_S/2 时测得（除非另有说明）

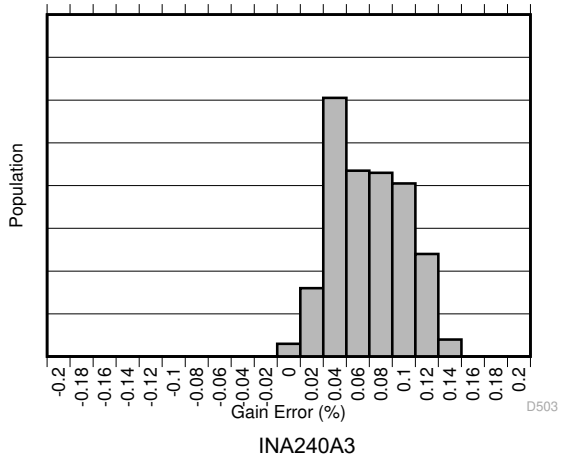


图 7-7. 增益误差产生分布图

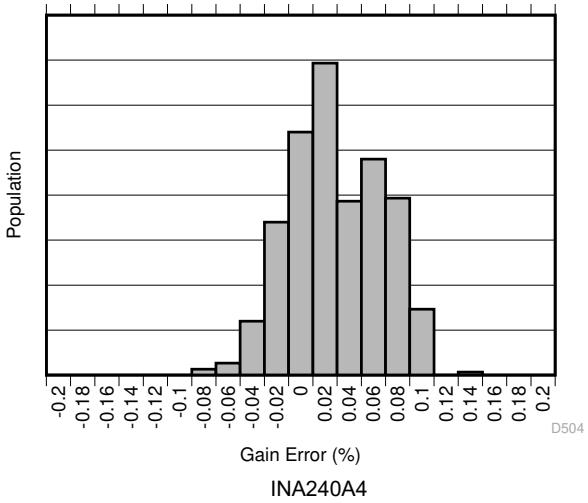


图 7-8. 增益误差产生分布图

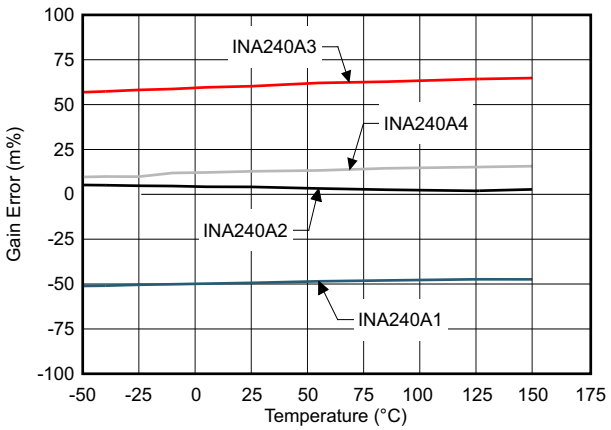
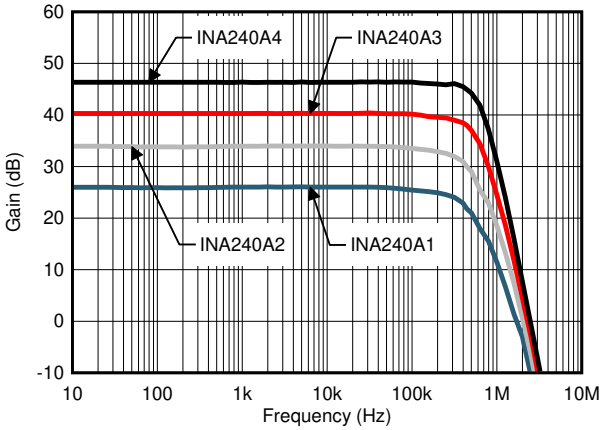


图 7-9. 增益误差与温度间的关系



V_{CM} = 0V　　V_{DIF} = 10mV_{PP} 正弦

图 7-10. 增益与频率的关系

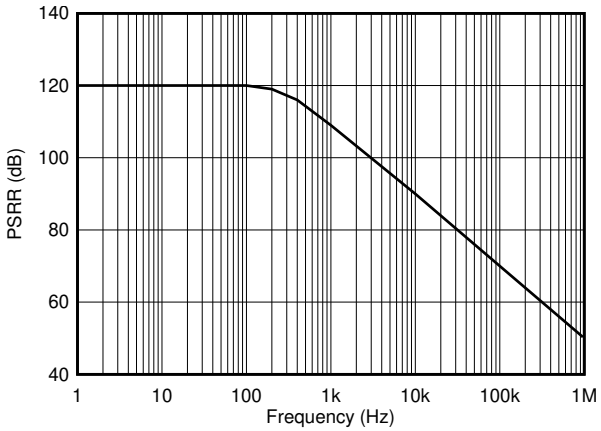


图 7-11. 电源抑制比与频率间的关系

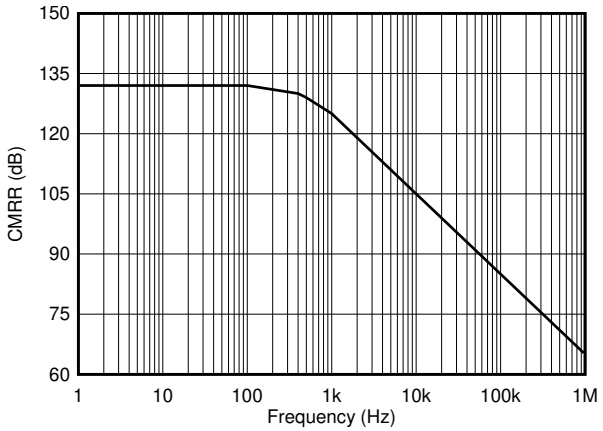


图 7-12. 共模抑制比与频率间的关系

7.6 典型特性 (continued)

在 T_A = 25°C，V_S = 5V，V_{CM} = 12V 且 V_{REF} = V_S/2 时测得（除非另有说明）

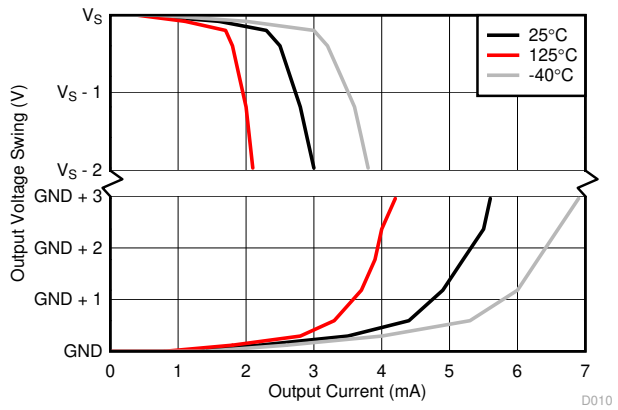
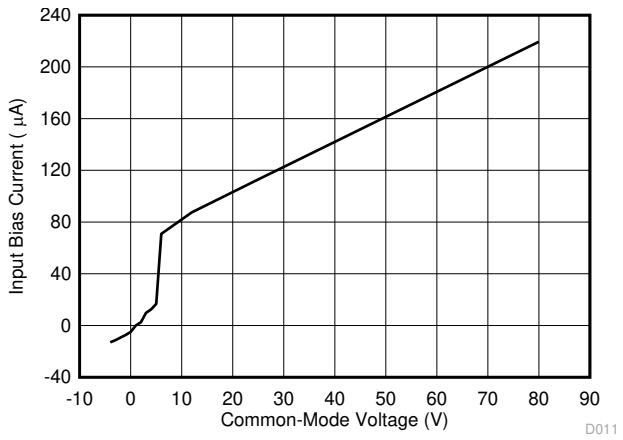
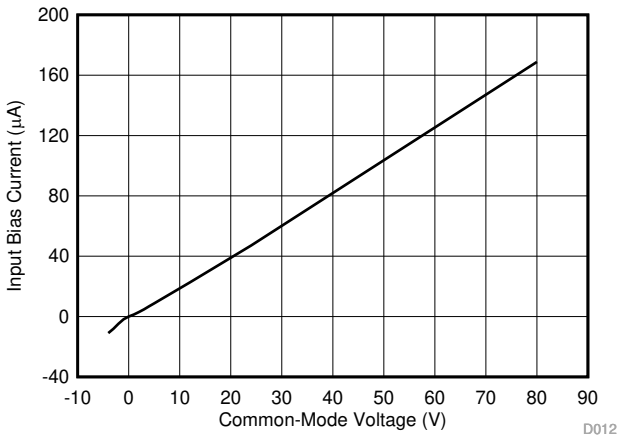


图 7-13. 输出电压摆幅与输出电流间的关系



V_S = 5V

图 7-14. 输入偏置电流与共模电压间的关系



V_S = 0V

图 7-15. 输入偏置电流与共模电压间的关系

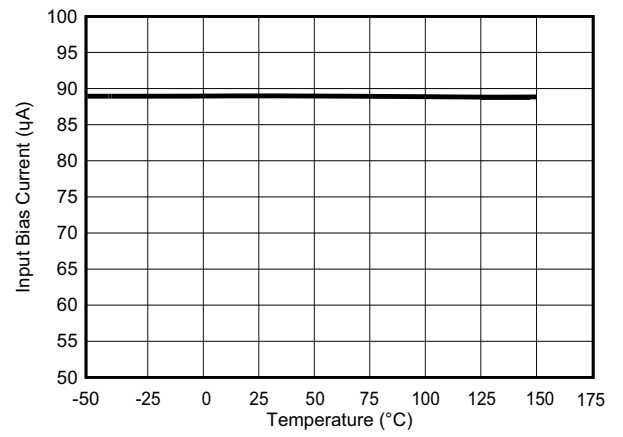


图 7-16. 输入偏置电流与温度间的关系

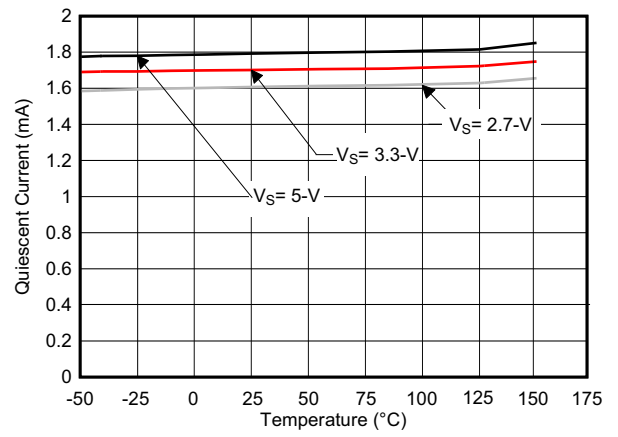


图 7-17. 静态电流与温度间的关系

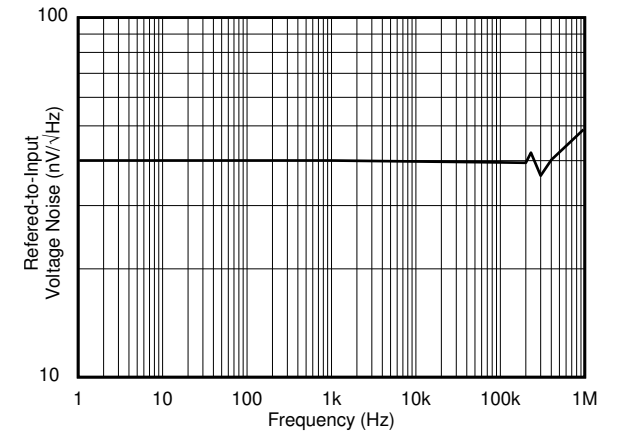
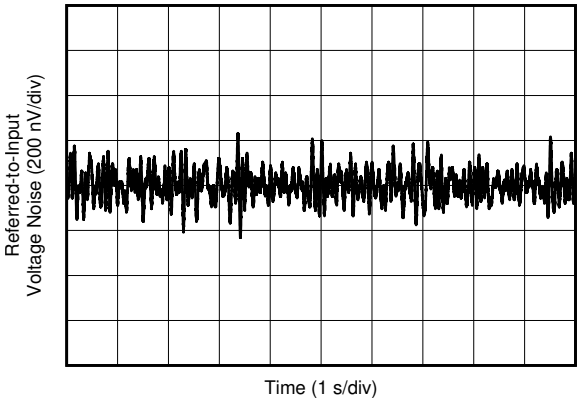


图 7-18. 输入基准电压噪声与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

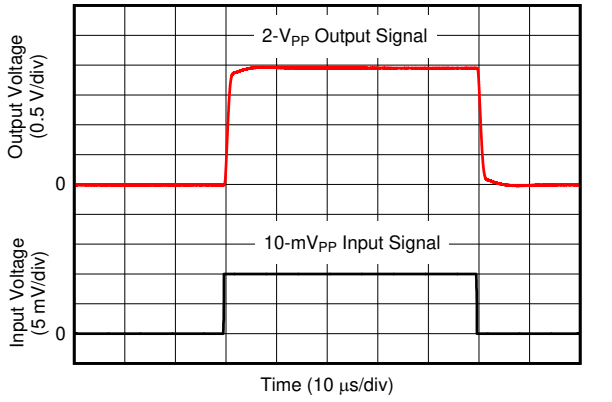
7.6 典型特性 (continued)

在 T_A = 25°C，V_S = 5V，V_{CM} = 12V 且 V_{REF} = V_S/2 时测得（除非另有说明）



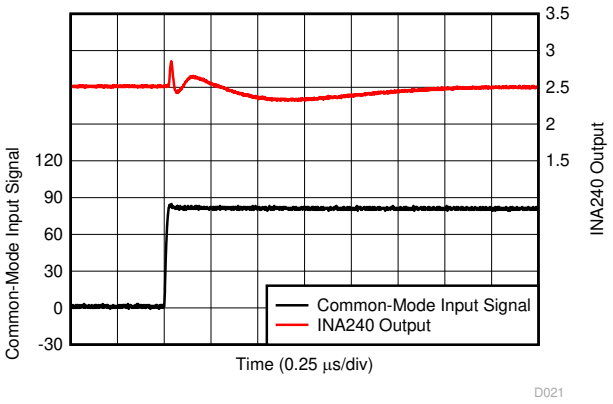
V_S = ±2.5V　　V_{CM} = 0V　　V_{DIF} = 0V
V_{REF1} = V_{REF2} = 0V　　以输入为基准

图 7-19. 0.1Hz 至 10Hz 电压噪声



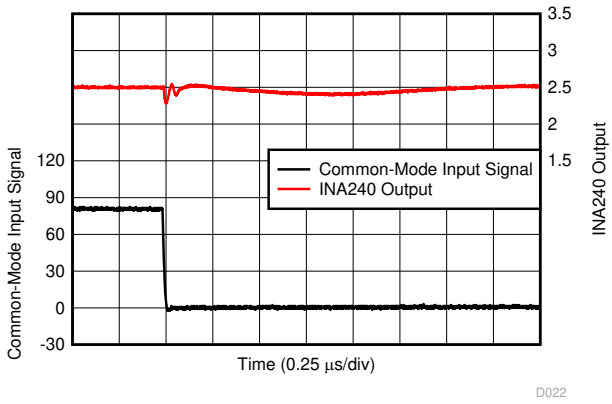
V_{REF1} = V_{REF2} = 0V　　10mV_{PP} 输入阶跃

图 7-20. 阶跃响应



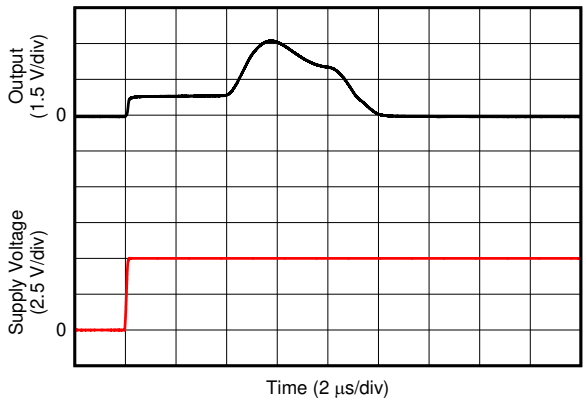
上升沿

图 7-21. 共模电压瞬态响应



下降沿

图 7-22. 共模电压瞬态响应



V_{REF1} = V_{REF2} = 0V

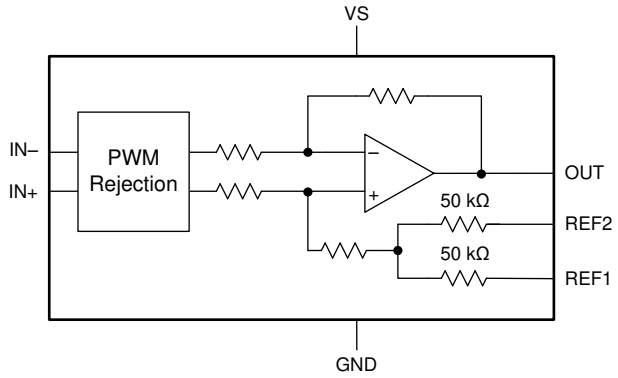
图 7-23. 启动响应

8 详细说明

8.1 概述

INA240INA240 是一款电流感测放大器，具有宽共模范围、高精度、零漂移拓扑、出色的共模抑制比 (CMRR)，并具有增强的脉冲宽度调制 (PWM) 抑制功能。增强型 PWM 抑制降低了共模瞬变对与 PWM 信号相关的输出信号的影响。多个增益版本可用于根据应用中预期的目标电流范围优化所需的满量程输出电压。

8.2 功能方框图



8.3 特性说明

8.3.1 放大器输入信号

INA240 旨在处理宽电压范围内的大共模瞬变。来自针对线性和 PWM 应用的电流测量应用的输入信号可以连接到放大器，提供高度准确的输出，并具有更小的共模瞬态伪影。

8.3.1.1 增强型 PWM 抑制操作

INA240 的增强型 PWM 抑制功能增加了对大共模 ΔV/Δt 瞬态的衰减。与 PWM 信号相关的大 ΔV/Δt 共模瞬变用于电机或螺线管驱动和开关电源等应用。传统上，通过增加放大器信号带宽来严格处理大的 ΔV/Δt 共模转换，这会增加芯片尺寸、复杂性并最终增加成本。INA240 采用高共模抑制技术设计，可在系统因这些大信号而受到干扰之前减少大的 ΔV/Δt 瞬变。与标准电路方法相比，高 AC CMRR 与信号带宽相结合，使 INA240 能够提供更小的输出瞬态和振铃。

8.3.1.2 输入信号带宽

INA240 输入信号代表被测电流，是在前文所述的大 ΔV/Δt 共模瞬变的最小干扰下精确测得的。对于通常与电机、螺线管和其他开关应用相关的 PWM 信号，被监控的电流的变化速度比更快的 PWM 频率要慢得多。

INA240 带宽由器件内部电流感测放大器的 –3dB 带宽定义；请参阅*电气特性*表。器件带宽可提供快速检测和处理过流事件所需的快速吞吐量和快速响应。如果没有更高的带宽，保护电路可能没有足够的响应时间，并且可能会损坏受监控的应用或电路。

Copyright © 2022 Texas Instruments Incorporated

图 8-1 显示了器件随频率变化的性能曲线。谐波失真会在放大器带宽的上限处增加，而检测过流事件的过程中没有出现不利的变化。但是，当测得的电流带宽开始接近 INA240 带宽时，必须考虑到最高频率处的失真增加。

对于需要失真敏感信号的应用，图 8-1 提供的信息表明放大器存在理想频率性能范围。整个放大器带宽始终可用于快速过流事件，同时低频信号以低失真水平放大。对于接近最大带宽的频率，输出信号精度会降低。个别要求决定了高频电流感测应用的可接受失真限值。需要在最终应用或电路中进行测试和评估，以确定验收标准并验证性能水平是否符合系统规范。

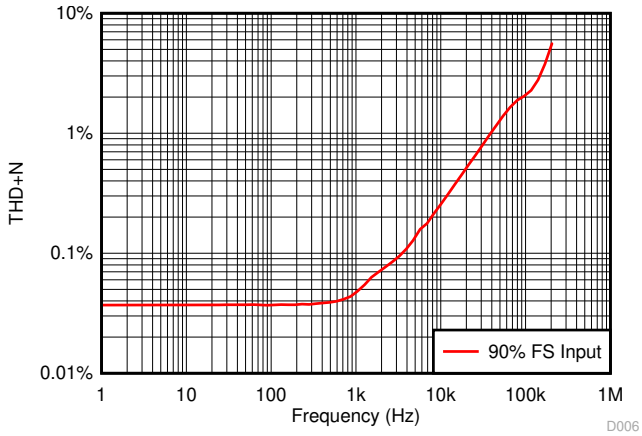


图 8-1. 性能随频率变化的情况

8.3.2 选择感测电阻 (R_{SENSE})

INA240 通过测量两端产生的差分电压来确定电流幅度。该电阻器被称为*电流感测*电阻器或*分流*电阻器。该器件设计灵活，允许测量该电流感测电阻器两端的宽输入信号范围。

电流感测电阻器的理想选择仅基于要测量的满量程电流，即器件之后的电路的满量程输入范围，以及所选的器件增益。最小电流感测电阻器是基于设计的决定，目的是最大化信号链电路的输入范围。未最大化到系统电路的整个输入范围的满量程输出信号限制了系统进行全动态范围系统控制的能力。

最终确定电流感测电阻值时要考虑的两个重要因素是：所需的电流测量精度和电阻上的最大功率耗散。较大的电阻器电压可提供更准确的测量，但会增加电阻器的功耗。增加的功耗会产生热量，考虑到温度系数，这会降低感测电阻器的精度。当输入信号变大时，电压信号测量的不确定性会降低，因为任何固定误差在测量信号中所占的百分比都会变小。提高测量精度的设计权衡增大了电流感测电阻值。增大的电阻值会导致系统中的功率耗散增加，这会进一步降低整个系统的精度。基于这些关系，测量精度与电阻值和分流选择所导致的功率耗散成反比。

通过增加分流电阻，电阻两端的差分电压增加。较大的输入差分电压需要较小的放大器增益来实现满量程放大器输出电压。需要较小的分流电阻器，但又需要较大的放大器增益设置。较大的增益设置通常会增加误差和噪声参数，这对精密设计而言没有吸引力。一直以来，高性能测量的设计目标迫使设计人员选择更大的电流感测电阻器和更低的增益放大器设置。INA240 提供 100V/V 和 200V/V 增益选项，可提供高增益设置并在偏移值低于 25µV 的情况下保持高性能水平。这些器件允许使用较低的分流电阻值来实现较低的功率耗散，同时仍能满足高系统性能规范。

表 8-1 显示了使用 INA240 的两个不同增益版本获得的不同结果的示例。从表格中的数据可以看出，较高增益的器件允许使用较小的分流电阻器并降低元件中的功率耗散。*计算总体误差*部分提供了在使用 INA240 进行设计时除了增益和电流分流值之外还必须考虑的误差计算信息。

表 8-1. R_{SENSE} 选择和功率耗散(1)

参数		等式	结果	
			INA240A1	INA240A4
增益		—	20V/V	200V/V
V_{DIFF}	理想最大差分输入电压	$V_{DIFF} = V_{OUT}$/增益	150mV	15mV
R_{SENSE}	电流感测电阻值	$R_{SENSE} = V_{DIFF}/I_{MAX}$	15mΩ	1.5mΩ

Copyright © 2022 Texas Instruments Incorporated

表 8-1. R_{SENSE} 选择和功率耗散(1) (continued)

参数		等式	结果	
			INA240A1	INA240A4
P_{RSENSE}	电流感测电阻器功率耗散	$R_{SENSE} \times I_{MAX}^2$	1.5W	0.15W

(1) 满量程电流 = 10A，满量程输出电压 = 3V。

8.4 器件功能模式

8.4.1 使用基准引脚调整输出中点

图 8-2 显示了针对基准分频器精度的测试电路。INA240 输出可配置为允许单向或双向操作。

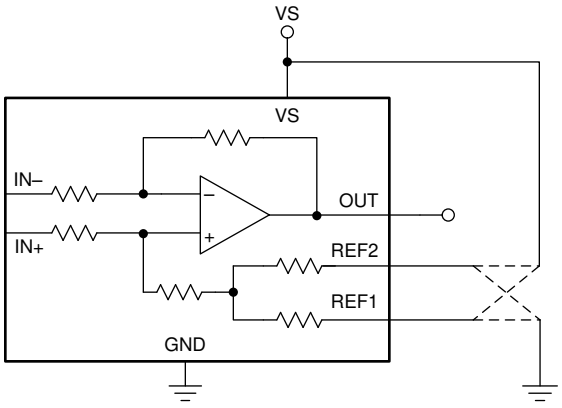


图 8-2. 针对基准分频器精度的测试电路

备注

请勿将 REF1 引脚或 REF2 引脚连接到任何低于 GND 或高于 V_S 的电压源。

通过向基准电压输入 REF1 和 REF2 施加一个或多个电压来设置输出电压。基准输入连接到内部增益网络。两个基准引脚之间没有操作差异。

8.4.2 单向电流测量的基准引脚连接

单向操作允许通过电阻分流器在一个方向上测量电流。对于单向操作，将器件基准引脚连接在一起，然后连接到负轨（参阅 *以接地为基准的输出* 部分）或正轨（参阅 *以 VS 为基准的输出* 部分）。所需的差分输入极性取决于输出电压设置。放大器输出与基准轨的偏离与通过外部分流电阻器的电流成比例。如果放大器基准引脚连接到正轨，则输入极性必须为负才能将放大器输出向下移动（朝向地）。如果放大器基准引脚接地，则输入极性必须为正才能使放大器输出向上移动（朝向电源）。

以下各部分描述了如何为单向操作情况配置输出。

8.4.2.1 以接地为基准的输出

在具有接地参考式输出的单向模式下使用 INA240 时，两个基准输入端均接地；当输入端存在 0V 差分时，此配置将输出接地（如图 8-3 所示）。

Copyright © 2022 Texas Instruments Incorporated

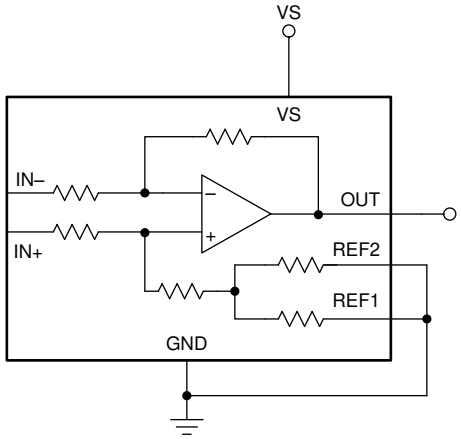


图 8-3. 以接地为基准的输出

8.4.2.2 以 VS 为基准的输出

通过将两个基准引脚连接到正电源来配置具有 VS 基准输出的单向模式。将此配置用于需要上电并稳定放大器输出信号和其他控制电路的电路，然后再向负载供电（如图 8-4 所示）。

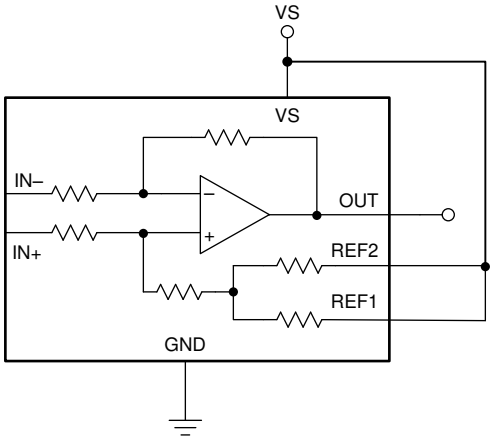


图 8-4. 以 VS 为基准的输出

8.4.3 双向电流测量的基准引脚连接

双向操作允许 INA240 在两个方向上测量通过电阻式分流器的电流。对于这种操作情况，输出电压可以设置为基准输入限值范围内的任何值。一种常见的配置是将基准输入设置为在两个方向上相等范围的半量程。但是，当双向电流不对称时，基准输入可以设置为非半量程电压。

Copyright © 2022 Texas Instruments Incorporated

8.4.3.1 将输出设置为外部基准电压

将两个引脚连接在一起，然后连接到基准电压会导致以下结果：在输入引脚短路或 0V 差分输入的情况下，输出电压等于基准电压；此配置如图 8-5 所示。当 IN+ 引脚相对于 IN- 引脚为负时，输出电压降低到低于基准电压，而当 IN+ 引脚相对于 IN- 引脚为正时，输出电压增加。这种技术是将输出偏置到精确电压的准确方法。

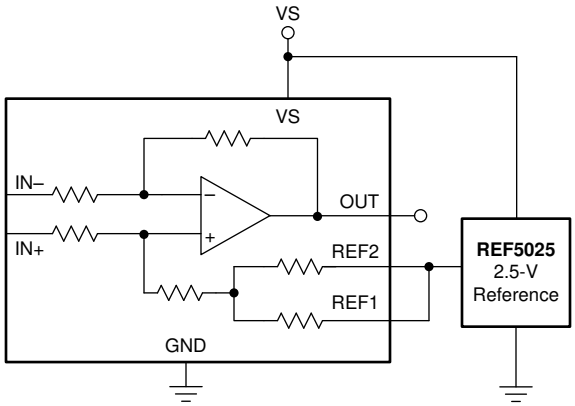


图 8-5. 外部基准输出

8.4.3.2 将输出设为 1/2Vs 电压

通过将一个基准引脚连接到 VS，另一个连接到 GND 引脚，当没有差分输入时，输出设置为电源的一半，如图 8-6 所示。这种方法会使电源电压产生比例式偏移，在这种情况下，输出电压保持在 VS/2（对于在输入端施加的 0V）。

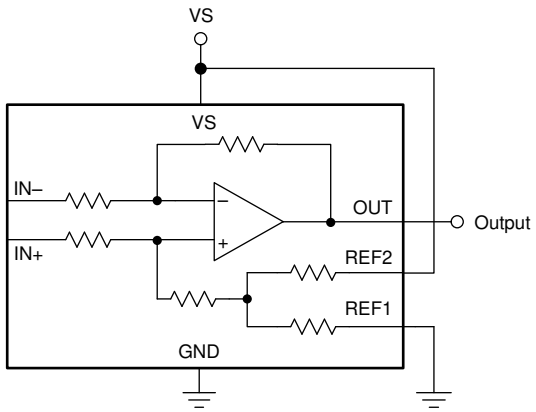


图 8-6. 1/2Vs 电压输出

8.4.3.3 将输出设置为中外部基准

在这种情况下，将一个 REF 引脚连接到地，并将另一个 REF 引脚连接到基准，从而将外部基准除以 2，如图 8-7 所示。

Copyright © 2022 Texas Instruments Incorporated

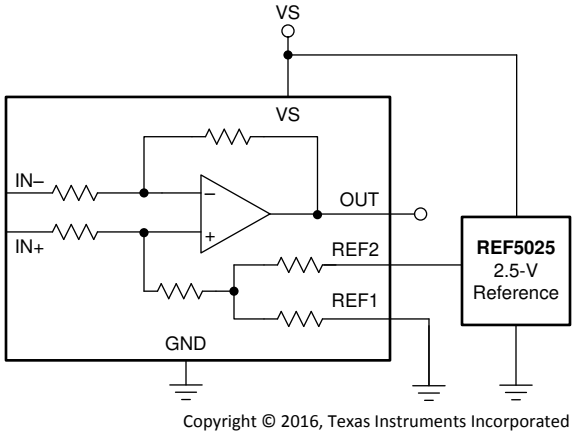


图 8-7. 中外部基准输出

8.4.3.4 使用电阻分压器设置输出

INA240 REF1 和 REF2 引脚允许调整输出电压的中点，以便系统电路连接到模数转换器 (ADC) 或其他放大器。REF 引脚设计为直接连接到电源、接地端或低阻抗基准电压。REF 引脚可以连接在一起并使用电阻分压器进行偏置，以实现自定义输出电压。如果在此配置中使用放大器，如图 8-8 所示，则将输出用作相对于电阻分压器电压的差分信号。不建议在此配置中将放大器输出用作单端信号，因为内部阻抗偏移会对器件性能规格产生不利影响。

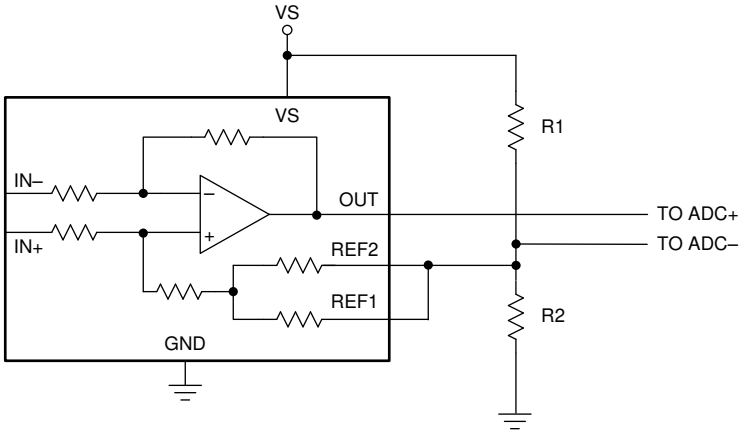


图 8-8. 使用电阻分压器设置基准

8.4.4 计算总体误差

INA240 电气规格（参阅*电气特性*表）包括典型的单个误差项（例如增益误差、失调电压误差和非线性误差）。*电气特性*表中未指定总体误差，包括所有这些单独的误差分量。为了准确计算器件的预期误差，首先必须知道器件的工作条件。一些电流分流监视器在产品数据表中指定了总体误差。然而，这个总体误差项只在一个运行条件的特定设定下才是准确的。此时指定总体误差的价值有限，因为与这些特定工作条件的任何偏差都不会再产生相同的总体误差值。本节讨论了各个误差源以及如何根据特定条件下这些误差的组合计算器件总体误差值。

表 8-2 和表 8-3 中提供了两个示例，详细说明了不同的工作条件如何影响总体误差计算。还显示了典型值和最大值计算方式，以便为用户提供有关器件之间误差方差大小的更多信息。

8.4.4.1 误差源

对器件总体误差影响最大的典型误差源是增益误差、非线性、共模抑制比和输入失调电压误差。对于 INA240，总体误差值中还包括一个额外的误差源（称为*基准电压抑制比*）。

8.4.4.2 基准电压抑制比误差

基准电压抑制比是指向 INA240 施加偏离器件电源电压中点的基准电压所引起的误差量。

8.4.4.2.1 总体误差示例 1

表 8-2. 总体误差计算：示例 1(1)

项	符号	等式	典型值
初始输入失调电压	V_{OS}	—	5µV
添加了共模电压引入的输入失调电压	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	0µV
添加了基准电压引入的输入失调电压	V_{OS_REF}	$RVRR \times \lvert V_S/2 - V_{REF}\rvert$	0µV
总输入偏移电压	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	5µV
来自输入失调电压的误差	$Error_V_{OS}$	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.05%
增益误差	Error_Gain	—	0.05%
非线性误差	Error_Lin	—	0.01%
总体误差	—	$\sqrt{(Error_V_{OS})^2 + (Error_Gain)^2 + (Error_Lin)^2}$	0.07%

(1) 表 8-2 的数据是在 INA240A4，V_S = 5V，V_{CM} = 12V，V_{REF1} = V_{REF2} = V_S/2 且 V_{SENSE} = 10mV 时获取的。

8.4.4.2.2 总体误差示例 2

表 8-3. 总体误差计算：示例 2(1)

项	符号	等式	典型值
初始输入失调电压	V_{OS}	—	5µV
添加了共模电压引入的输入失调电压	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	12.1µV
添加了基准电压引入的输入失调电压	V_{OS_REF}	$RVRR \times \lvert V_S/2 - V_{REF}\rvert$	5µV
总输入偏移电压	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	14µV
来自输入失调电压的误差	$Error_V_{OS}$	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.14%
增益误差	Error_Gain	—	0.05%
非线性误差	Error_Lin	—	0.01%
总体误差	—	$\sqrt{(Error_V_{OS})^2 + (Error_Gain)^2 + (Error_Lin)^2}$	0.15%

(1) 表 8-3 的数据是在 INA240A4，V_S = 5V，V_{CM} = 60V，V_{REF1} = V_{REF2} = 0V，V_{SENSE} = 10mV 时获取的。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

INA240 可测量电流流过电流感测电阻器时产生的电压。该器件提供基准引脚，用于将操作配置为单向或双向输出摆幅。当使用 INA240 进行内联电机电流感测时，该器件通常配置为双向操作。

9.1.1 输入滤波

备注

使用 INA240 进行精确测量时不需要输入滤波器，因此不建议在此位置使用滤波器。如果在放大器的输入端使用滤波器元件，请遵循本节中的指导原则，以最大限度地减少对性能的影响。

严格遵循用户设计要求，可能需要对电流信号进行外部滤波。可考虑用于滤波器的初始位置位于电流放大器的输出端。尽管将滤波器放置在输出端可以满足滤波要求，但该位置会改变连接到输出电压引脚的任何电路测得的低输出阻抗。另一个放置滤波器的位置是电流放大器输入引脚。此位置也能满足过滤要求，但是必须仔细选择元件以最大限度地降低对器件性能的影响。图 9-1 显示了一个放置在输入引脚上的滤波器。

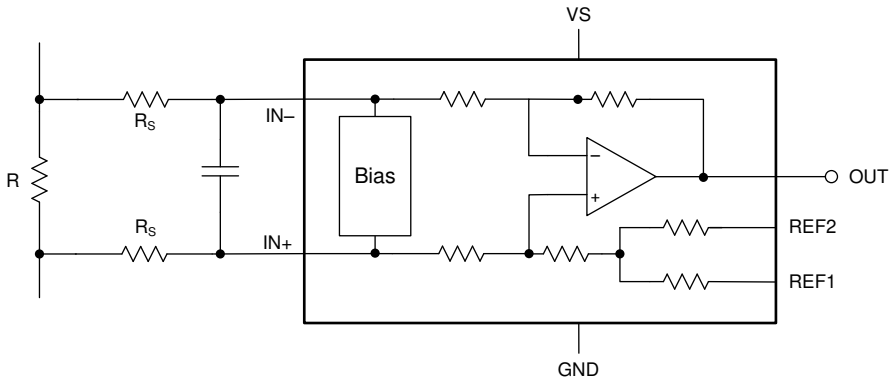


图 9-1. 在输入引脚上的滤波器

外部串联电阻会带来额外的测量误差，因此请将这些串联电阻的值保持在 10Ω 或更小，以减少精度损失。当在输入引脚之间施加差分电压时，图 9-1 中所示的内部偏置网络会产生不匹配的输入偏置电流（参阅图 9-2）。如果在电路中添加额外的外部串联滤波电阻器，则会使滤波电阻器两端的电压降失配。该电压是分流电阻器电压中的差分误差电压。除了绝对电阻值之外，由电阻容差引起的失配也会显著影响误差，因为该值是根据实际测得的电阻计算得出的。

Copyright © 2022 Texas Instruments Incorporated

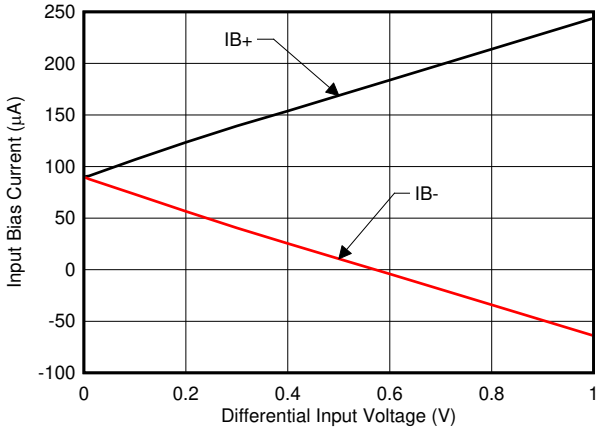


图 9-2. 输入偏置电流与差分输入电压间的关系

额外的外部滤波器电阻器预期的测量误差可以使用方程式 1 计算得出，其中增益误差因子使用方程式 2 计算得出。

$$\text{Gain Error (\%)} = 100 - (100 \times \text{Gain Error Factor}) \quad (1)$$

可以计算方程式 1 中所示的增益误差因子，以确定由附加外部串联电阻引起的增益误差。方程式 1 用于计算由添加的外部滤波器电阻产生的衰减和不平衡导致的分流电压偏差。表 9-1 提供了几个电阻值的增益误差因数和增益误差。

$$\text{Gain Error Factor} = \frac{3000}{R_S + 3000} \quad (2)$$

其中：

- R_S 是外部滤波器电阻值

表 9-1. 外部输入电阻的增益误差因数和增益误差

外部电阻 (Ω)	增益误差因子	增益误差 (%)
5	0.998	0.17
10	0.997	0.33
100	0.968	3.23

Copyright © 2022 Texas Instruments Incorporated

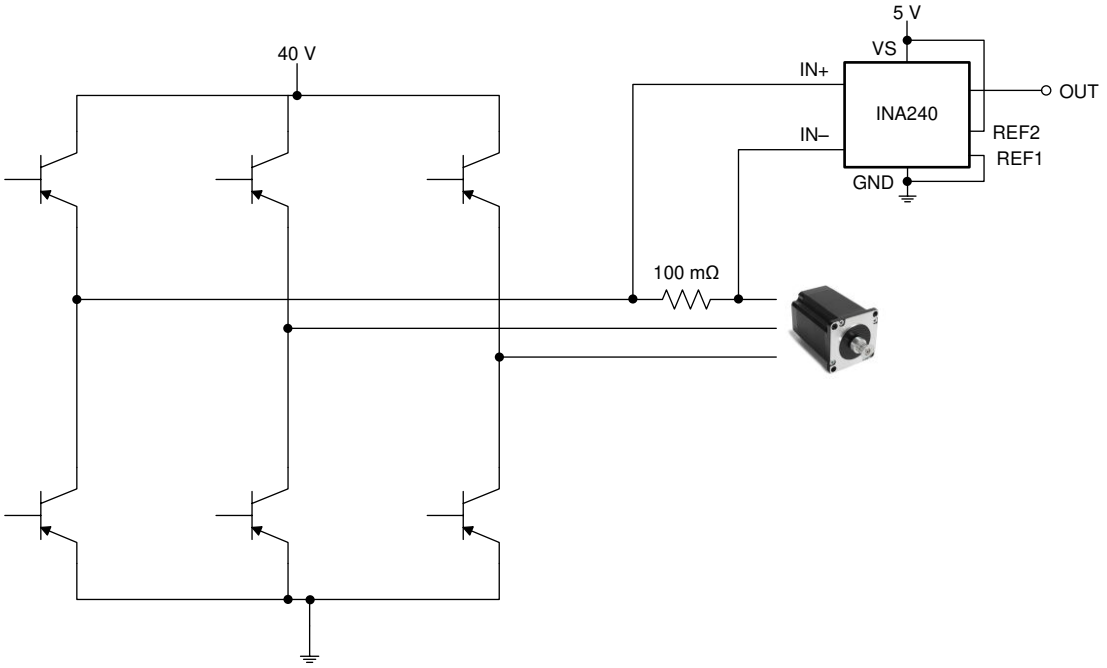
9.2 典型应用

INA240 为多种应用带来优势，包括：

- 高共模范围和出色的 CMRR 可实现直接内联感应
- 超低失调和漂移消除了校准的必要性
- 宽电源电压范围支持与大多数微处理器的直接接口

提供了两个特定的应用，并包括更详细的信息。

9.2.1 内联电机电流感测应用



Copyright © 2016, Texas Instruments Incorporated

图 9-3. 内联电机应用电路

9.2.1.1 设计要求

内联电流感测在电机控制中具有诸多优势，包括减少扭矩纹波和实时电机运行状态监测。但是，内联电流测量的满量程 PWM 电压要求对准确测量电流提出了挑战。50kHz 至 100kHz 范围内的开关频率会产生更高的 ΔV/Δt 信号转换，必须解决此问题才能获得准确的内联电流测量值。

INA240 具有卓越的共模抑制能力、高精度和高共模规格，可为各种共模电压提供出色性能。

9.2.1.2 详细设计过程

对于此应用，INA240 可测量 36V、4000RPM 电机驱动电路中的电流。

为了展示该器件的性能，本设计选择了增益为 20V/V 的 INA240A1，并由 5V 电源供电。

使用*使用基准引脚调整输出中点*部分中的信息，通过将 REF1 连接到地并将 REF2 连接到电源来分离电源，从而将基准点设置为中量程。这种配置允许进行双极电流测量。或者，基准引脚可以连接在一起并由外部精密基准驱动。

调整电流感测电阻器的大小，使 INA240 的输出不饱和。选择 100mΩ 的值，将模拟输入保持在器件限值范围内。

9.2.1.3 应用曲线

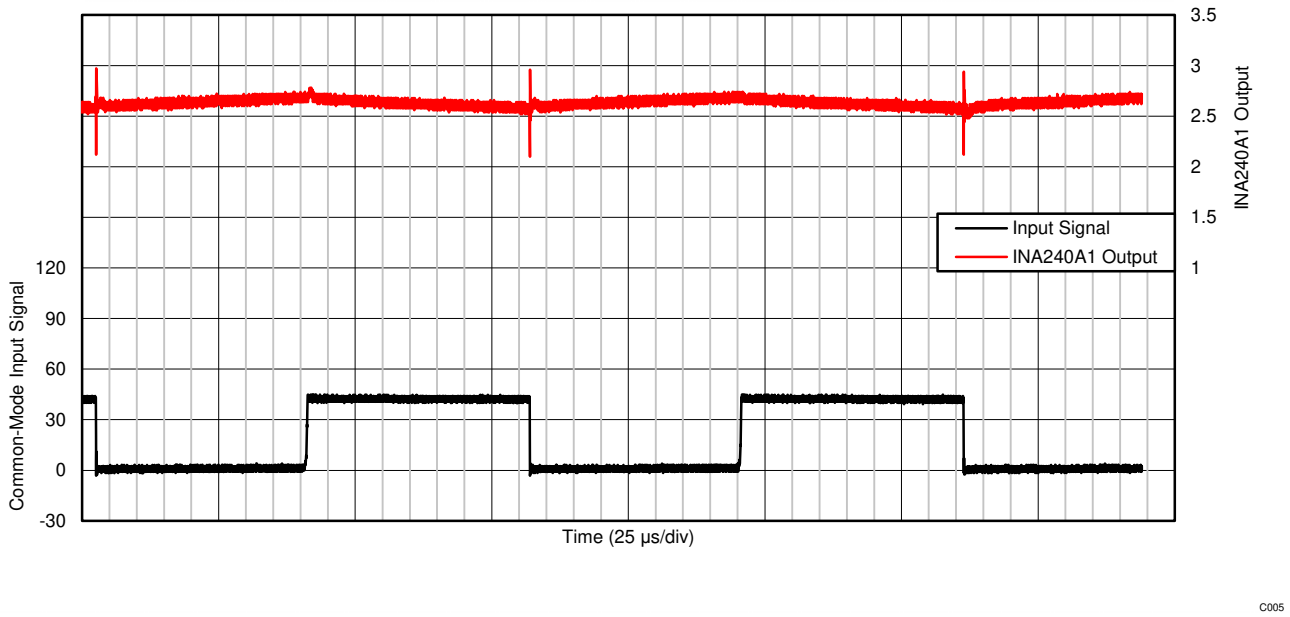
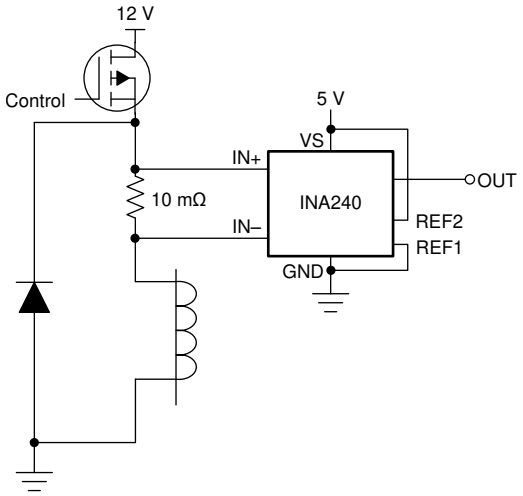


图 9-4. 内联电机电流感测输入和输出信号

Copyright © 2022 Texas Instruments Incorporated

9.2.2 螺线管驱动电流感测应用



Copyright © 2016, Texas Instruments Incorporated

图 9-5. 螺线管驱动应用电路

9.2.2.1 设计要求

螺线管驱动电流感测中存在与电机内联电流感测相似的挑战。在某些拓扑结构中，电流感测放大器暴露在接地和电源之间的满量程 PWM 电压下。INA240 非常适合此类应用。

9.2.2.2 详细设计过程

对于此应用，INA240 可测量 24V、500mA 水表阀门驱动器电路中的电流。

为了展示该器件的性能，本设计选择了增益为 200V/V 的 INA240A4，并由 5V 电源供电。

使用 *使用基准引脚调整输出中点* 部分中的信息，通过将 REF1 连接到地和 REF2 连接到电源来分离电源，将基准点设置为中量程。或者，基准引脚可以连接在一起并由外部精密基准驱动。

选择 10mΩ 的值，将模拟输入保持在器件限值范围内。

9.2.2.3 应用曲线

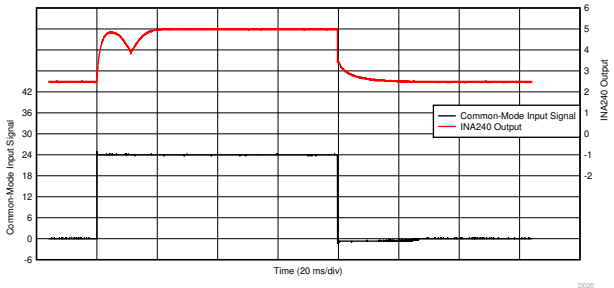


图 9-6. 螺线管驱动电流感测输入和输出信号

9.3 必做事项和禁止事项

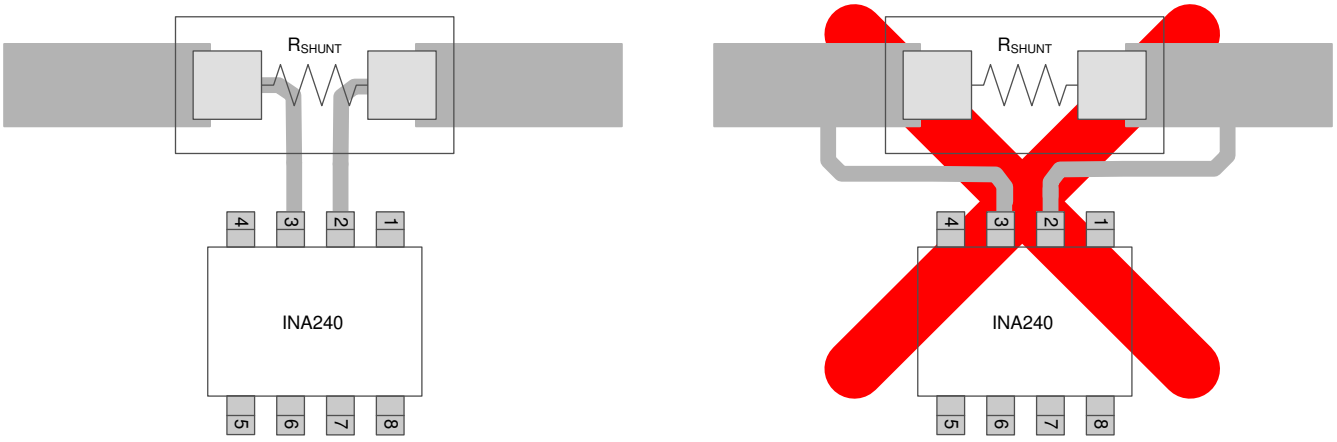
9.3.1 高精度应用

对于高精度应用，通过以下方式验证放大器的准确性和稳定性：

- 提供连接到 REF1 和 REF2 的精密基准
- 优化感测电阻器电源和感测路径的布局（参阅*布局*部分）
- 在电源引脚上提供足够的旁路电容（参阅*电源去耦*部分）

9.3.2 电流感测电阻器的开尔文连接

若要提供准确的电流测量，请验证电流感测电阻器和放大器之间的布线是否使用开尔文连接法。在器件布局期间，使用图 9-7 和*连接电流感测电阻器*部分中提供的信息。



Copyright © 2016, Texas Instruments Incorporated

图 9-7. 分流器至 INA240 的连接

10 电源相关建议

INA240 系列可以在连接的电源电压 (V_S) 之外进行精确测量，因为输入端（IN+ 和 IN–）可在 –4V 和 80V 之间的任何位置运行，与 V_S 无关。例如，V_S 电源为 5V，被测分流器的共模电压可高达 80V。

尽管输入的共模电压可以超出电源电压，但 INA240 系列的输出电压范围受限于电源电压。

10.1 电源去耦

电源旁路电容器的位置应尽可能靠近电源引脚和接地引脚。TI 建议使用 0.1 µF 的旁路电容值。可以添加额外的去耦电容以补偿噪声或高阻抗电源。

Copyright © 2022 Texas Instruments Incorporated

11 布局

11.1 布局指南

11.1.1 连接电流感测电阻器

电流感测电阻器布线不良通常会导致在放大器的输入引脚之间存在额外的电阻。任何额外的高载流阻抗都可能导致严重的测量误差，因为电流电阻器的欧姆值非常低。使用开尔文或 **4** 线制连接法连接到器件输入引脚。这种连接技术可确保在输入引脚之间仅检测电流感测电阻器阻抗。

11.2 布局示例

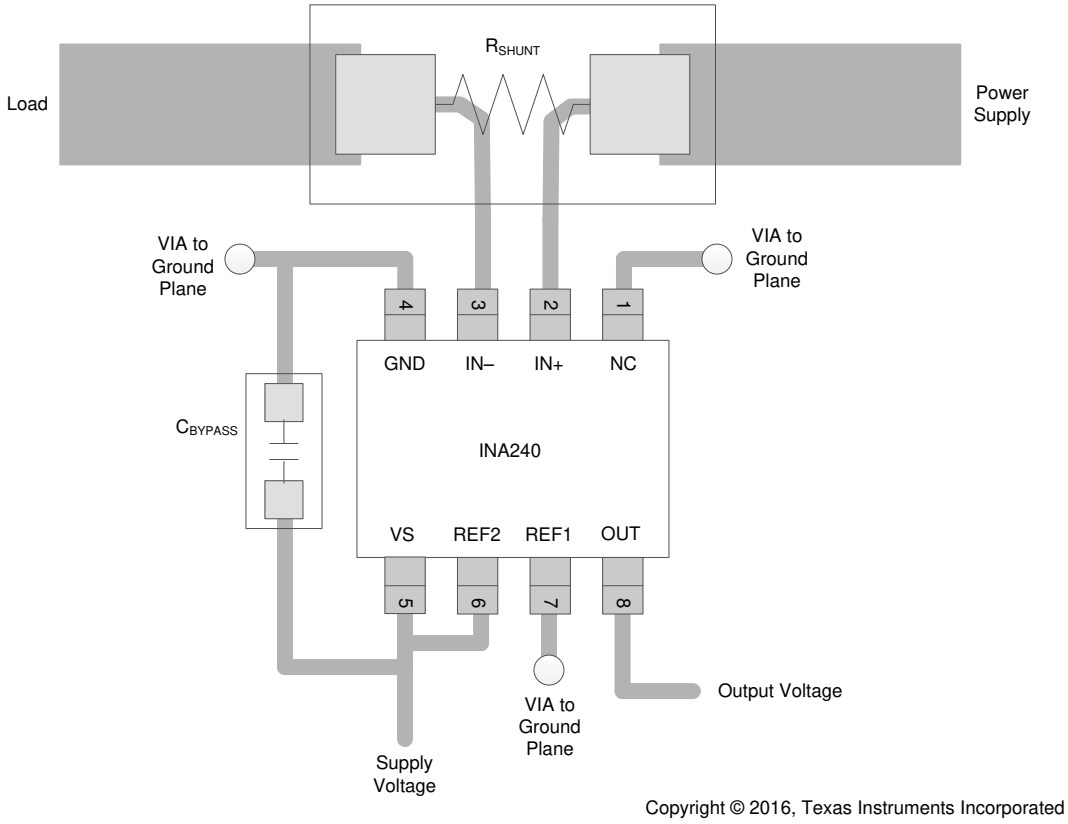


图 11-1. 建议的 TSSOP 封装布局

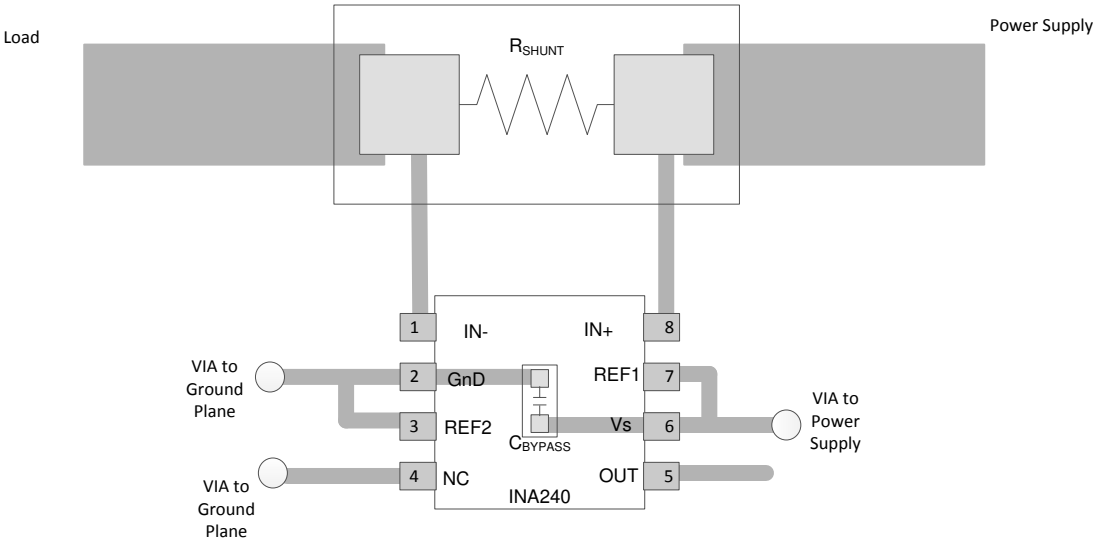


图 11-2. 建议的 SOIC 封装布局

Copyright © 2022 Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*INA240EVM 用户指南*
- 德州仪器 (TI)，*电机控制应用报告*
- 德州仪器 (TI)，*具有基于采样电阻的内嵌式电机相电流感测功能的 48V 三相逆变器参考设计*

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA240A1D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A2DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	I240A2
INA240A2PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A3D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA240A4D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I240A4
INA240A4DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	I240A4
INA240A4PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF INA240 :

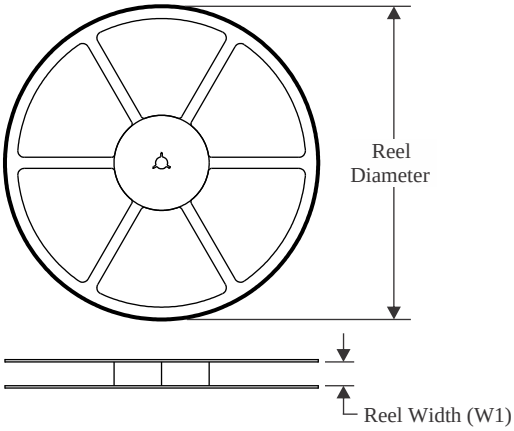
- Automotive : INA240-Q1

NOTE: Qualified Version Definitions:

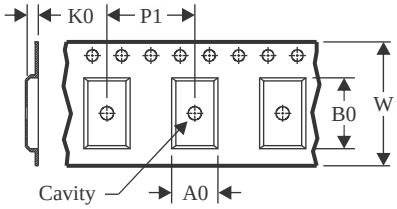
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

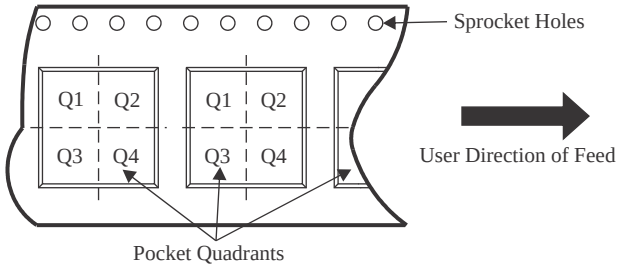


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

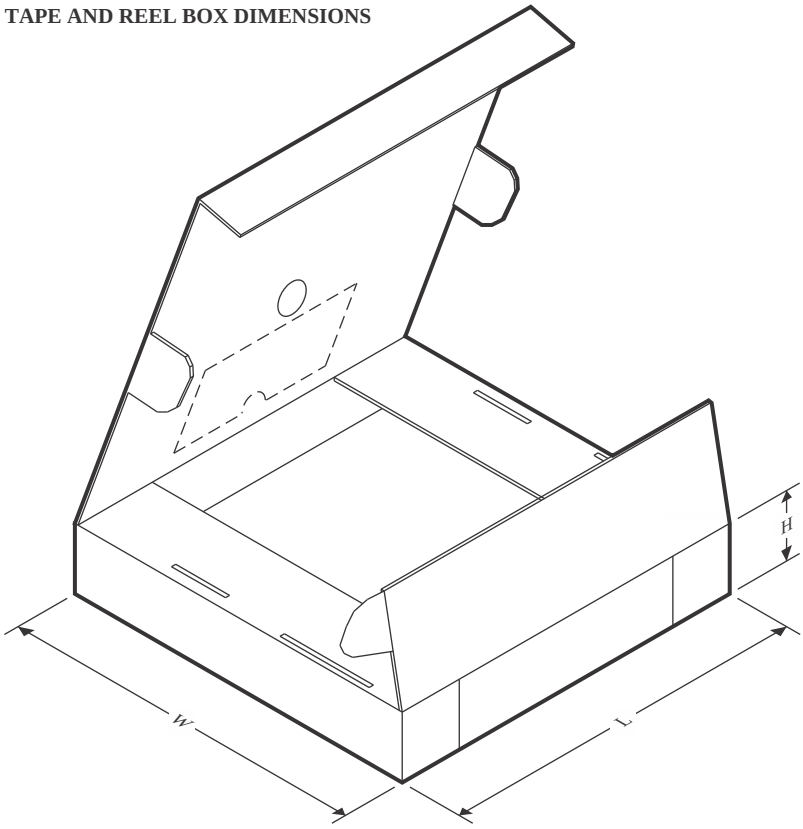
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA240A1DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A1DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A1PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A1PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A2DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A2PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A2PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A3DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A3DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A3PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A3PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A4DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A4PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A4PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

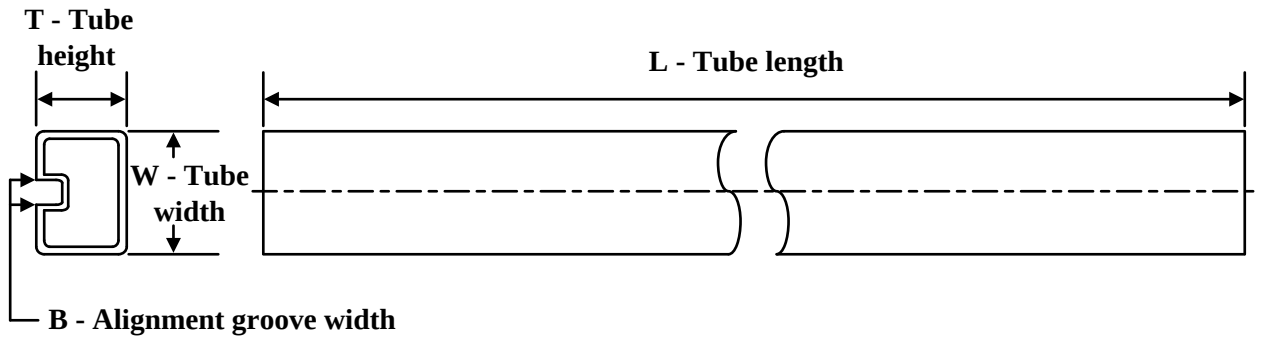
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

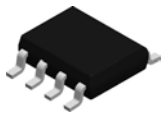
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA240A1DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A1DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A1PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A1PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A2DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A2DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A2PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A2PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A3DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A3DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A3PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A3PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A4DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A4PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A4PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA240A1D	D	SOIC	8	75	507	8	3940	4.32
INA240A1D.A	D	SOIC	8	75	507	8	3940	4.32
INA240A3D	D	SOIC	8	75	507	8	3940	4.32
INA240A3D.A	D	SOIC	8	75	507	8	3940	4.32

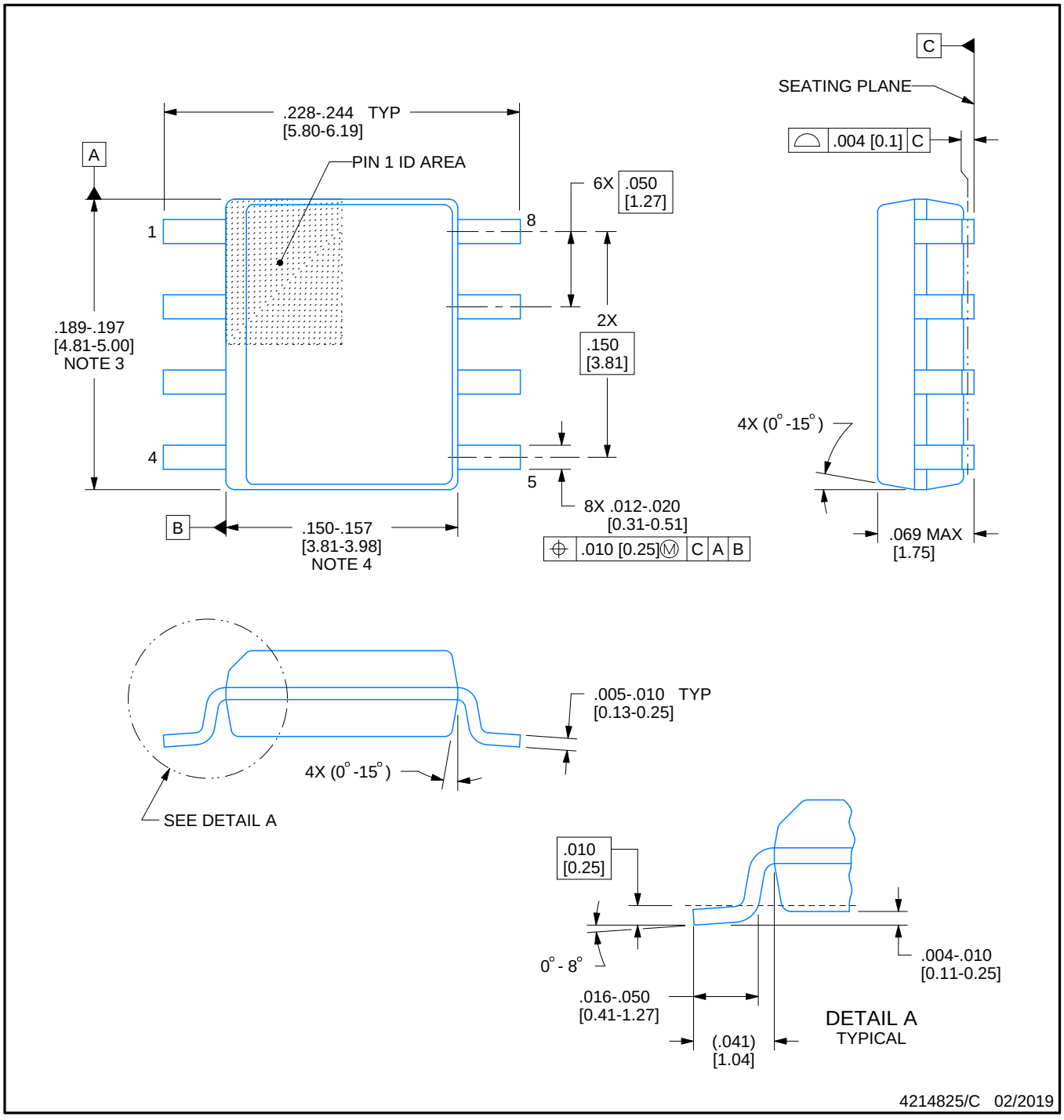


PACKAGE OUTLINE

D0008A

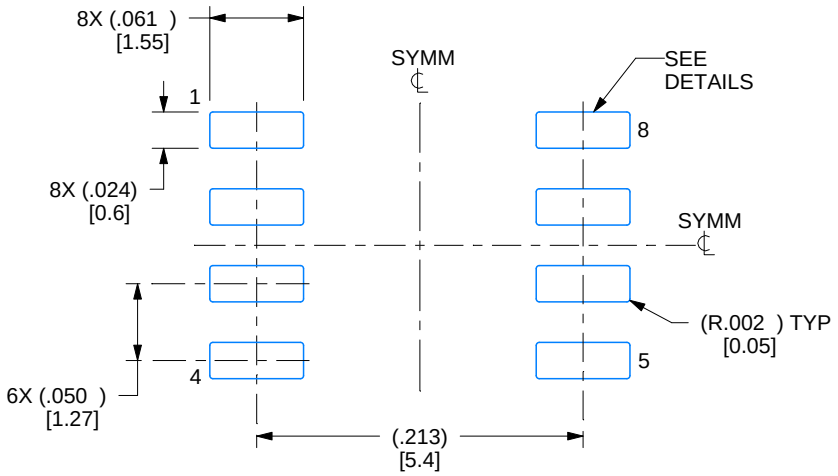
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

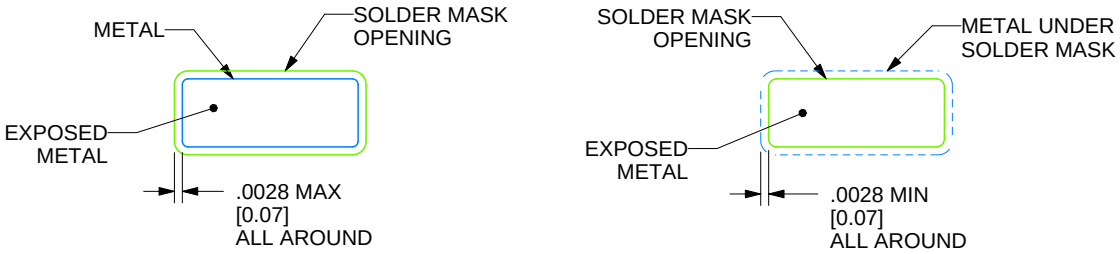


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

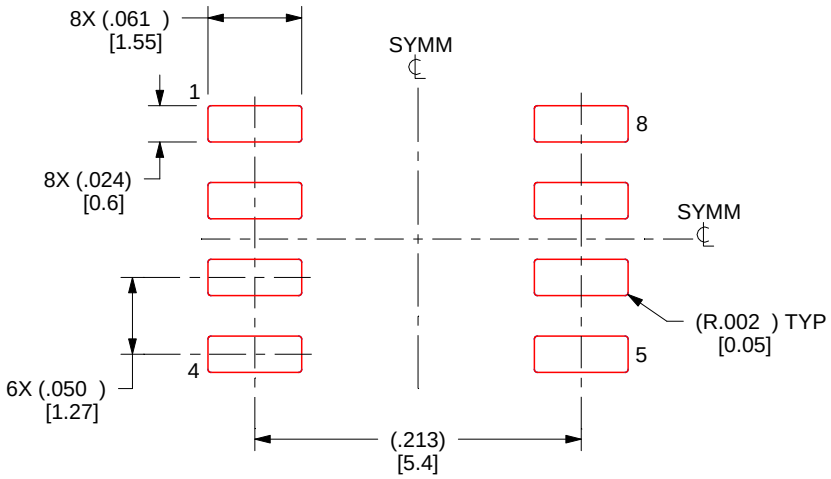
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

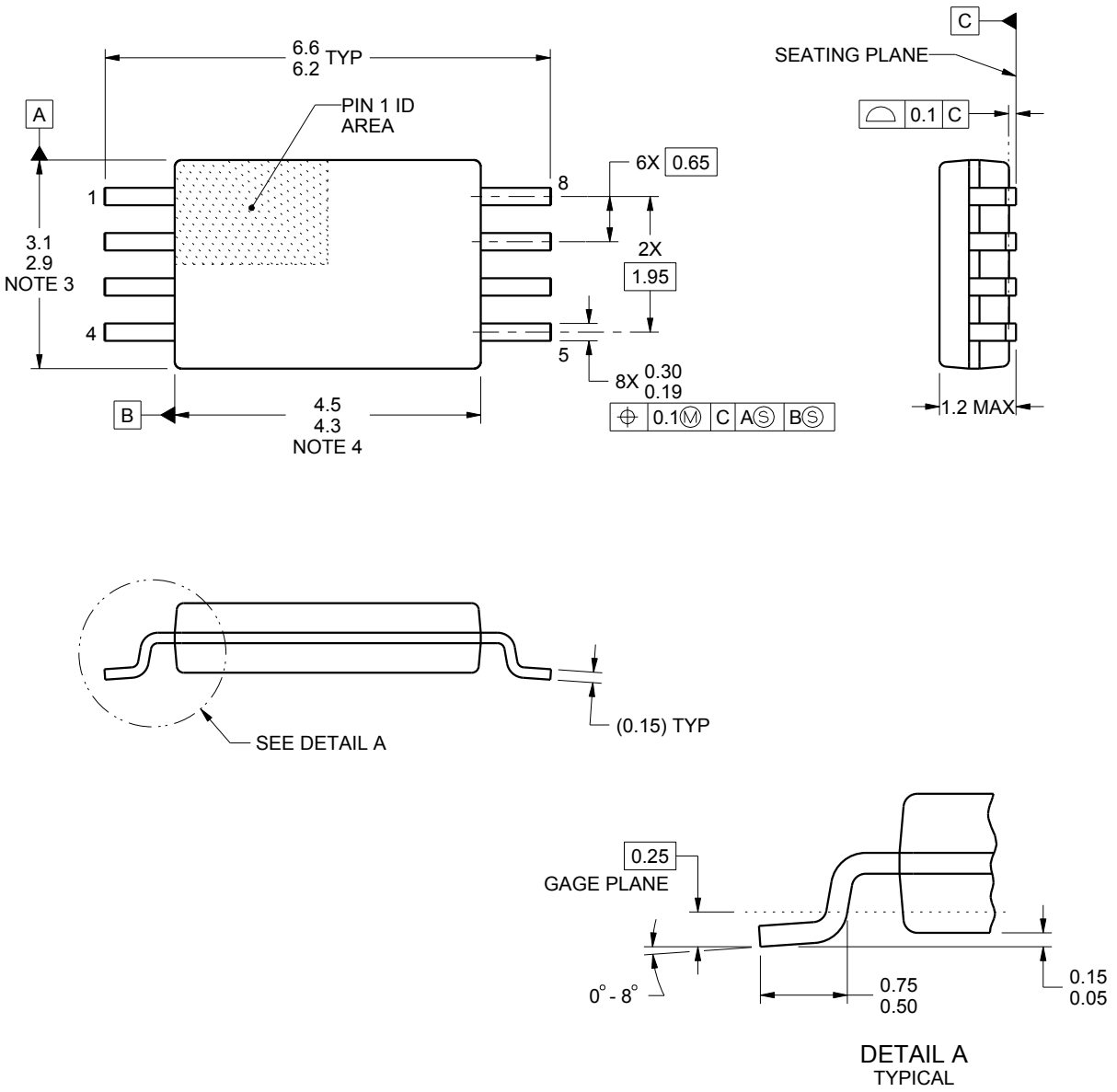
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

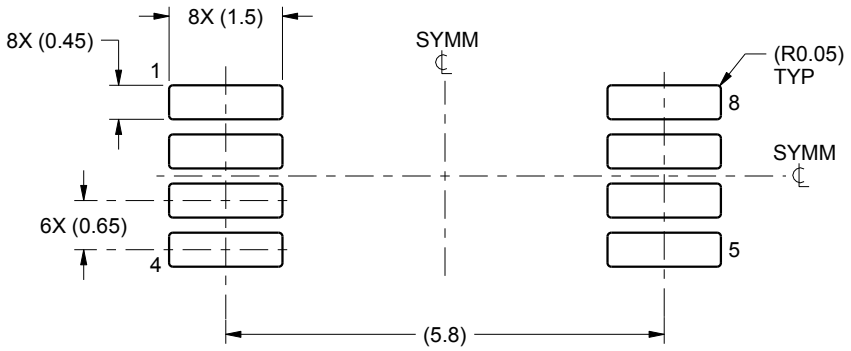
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

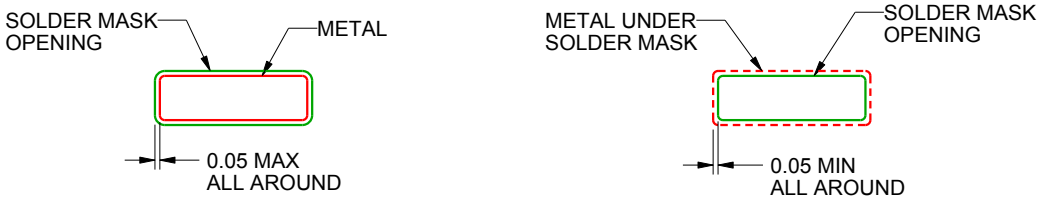


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

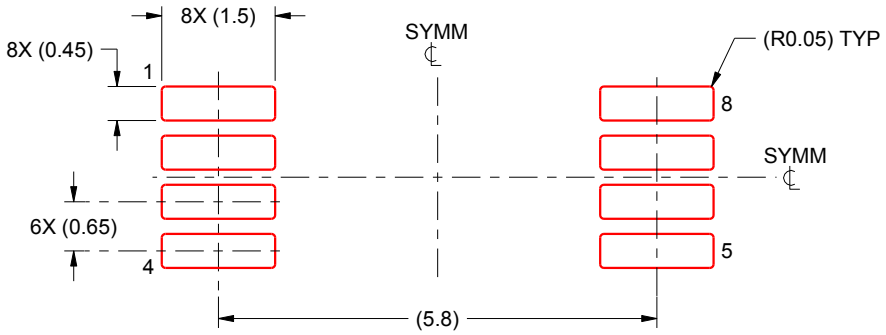


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月