ISO672x-Q1 EMC 性能优异的通用增强型和基础型双通道汽车类数字隔离器

1 特性

- 功能安全型
  - 可提供用于功能安全系统设计的文档：ISO6720-Q1、ISO6721-Q1
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围
- 满足 VDA320 隔离要求
- 50Mbps 数据速率
- 稳健可靠的隔离栅：
  - 在 1060V_{RMS} 工作电压下具有长工作寿命
  - 隔离等级高达 5000V_{RMS}
  - CMTI 典型值为 ±150kV/μs
- 宽电源电压范围：1.71V 到 1.89V 和 2.25V 到 5.5V
- 1.71V 至 5.5V 电平转换
- 默认输出*高电平* (ISO672x-Q1) 和*低电平* (ISO672xF-Q1) 选项
- 1Mbps 时每通道电流典型值为 1.8mA
- 低传播延迟：11ns（典型值）
- 优异的电磁兼容性 (EMC)
  - 系统级 ESD、EFT 和浪涌抗扰性
  - 在整个隔离栅具有 ±8kV IEC 61000-4-2 接触放电保护
  - 低辐射
- 窄 SOIC (D-8) 和宽 SOIC (DWV-8) 封装
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 62368-1、IEC 61010-1、IEC 60601-1
  - GB 4943.1

2 应用

- 混合动力、电动和动力总成系统 (EV/HEV)
  - 电池管理系统 (BMS)
  - 车载充电器
  - 牵引逆变器
  - 直流/直流转换器
  - 逆变器和电机控制
- 电源
- 电网、电表
- 电器

器件信息

器件型号	封装(1)	封装尺寸(2)	封装尺寸（标称值）
ISO6720B-Q1、ISO6720FB-Q1	D（SOIC，8）	4.90mm × 6.00mm	4.90mm × 3.91mm
ISO6721B-Q1、ISO6721FB-Q1			
ISO6721RB-Q1、ISO6721RFB-Q1			
ISO6720-Q1、ISO6720F-Q1	DWV (SOIC, 8)	5.85mm × 11.50mm	5.85mm × 7.50mm
ISO6721-Q1、ISO6721F-Q1			

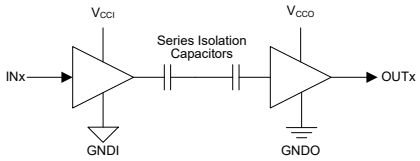
(1) 有关更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

3 说明

ISO672x-Q1 器件是高性能双通道数字隔离器，可提供符合 UL 1577 的 5000V_{RMS}（DWV 封装）和 3000V_{RMS}（D 封装）隔离额定值，专为具有此类需求的成本敏感型应用设计。这些器件还通过了 VDE、TUV、CSA 和 CQC 认证。

在隔离 CMOS 或 LVCMOS 数字 I/O 的同时，ISO672x-Q1 器件可提供高电磁抗扰度和低辐射，同时具备低功耗特性。每条隔离通道的逻辑输入和输出缓冲器均由 TI 的双电容二氧化硅 (SiO_2) 绝缘栅相隔离。ISO6720-Q1 器件具有 2 条同向隔离通道。ISO6721-Q1 器件具有 2 条反向隔离通道。如果输入功率或信号出现损失，不带后缀 F 的器件默认输出*高电平*，带后缀 F 的器件默认输出*低电平*。更多详细信息，请参见器件功能模式部分。



V_{CCI} = 输入电源，V_{CCO} = 输出电源
GNDI = 输入接地，GNDO = 输出接地

简化版原理图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 2
4 引脚配置和功能 ... 4
5 规格 ... 5
5.1 绝对最大额定值 ... 5
5.2 ESD 等级 ... 5
5.3 建议运行条件 ... 6
5.4 热性能信息 ... 7
5.5 功率等级 ... 7
5.6 绝缘规格 ... 8
5.7 安全相关认证 ... 10
5.8 安全限值 ... 11
5.9 电气特性 - 5V 电源 ... 13
5.10 电源电流特性 - 5V 电源 ... 13
5.11 电气特性 - 3.3V 电源 ... 15
5.12 电源电流特性 - 3.3V 电源 ... 15
5.13 电气特性 - 2.5V 电源 ... 17
5.14 电源电流特性 - 2.5V 电源 ... 17
5.15 电气特征 - 1.8V 电源 ... 19
5.16 电源电流特征 - 1.8V 电源 ... 19
5.17 开关特性 - 5V 电源 ... 21
5.18 开关特性 - 3.3V 电源 ... 21
5.19 开关特性 - 2.5V 电源 ... 22
5.20 开关特征 - 1.8V 电源 ... 22
5.21 绝缘特性曲线 ... 23
5.22 典型特性 ... 24
6 参数测量信息 ... 26
7 详细说明 ... 27
7.1 概述 ... 27
7.2 功能方框图 ... 27
7.3 特性说明 ... 28
7.4 器件功能模式 ... 29
8 应用和实施 ... 30
8.1 应用信息 ... 30
8.2 典型应用 ... 31
8.3 电源相关建议 ... 36
8.4 布局 ... 36
9 器件和文档支持 ... 38
9.1 器件支持 ... 38
9.2 文档支持 ... 38
9.3 接收文档更新通知 ... 38
9.4 支持资源 ... 38
9.5 商标 ... 38
9.6 静电放电警告 ... 38
9.7 术语表 ... 38
10 修订历史记录 ... 39
11 机械、封装和可订购信息 ... 40
11.1 封装选项附录 ... 47
11.2 卷带包装信息 ... 48

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

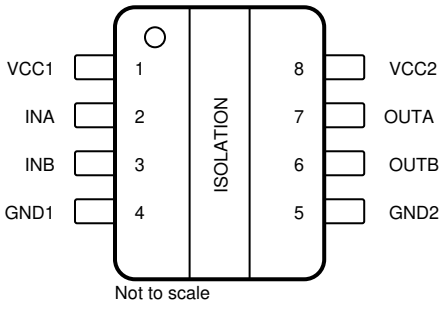


图 4-1. ISO6720-Q1 D 和 DWV 封装，8 引脚 SOIC（顶视图）

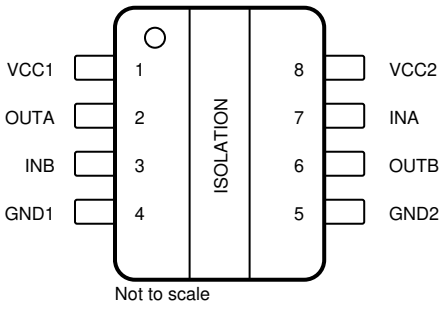


图 4-2. ISO6721-Q1 D 和 DWV 封装，8 引脚 SOIC（顶视图）

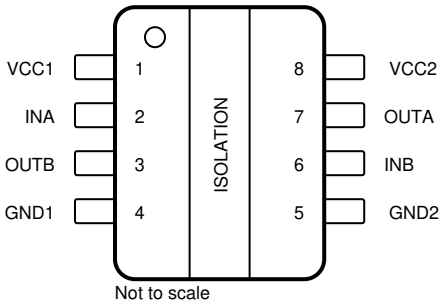


图 4-3. ISO6721RB-Q1 D 封装，8 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚				类型[1]	说明
名称	D 和 DWV 封装		D 封装		
	ISO6720-Q1	ISO6721-Q1	ISO6721RB-Q1		
GND1	4	4	4	—	V_{CC1} 的接地连接
GND2	5	5	5	—	V_{CC2} 的接地连接
INA	2	7	2	I	输入，通道 A
INB	3	3	6	I	输入，通道 B
OUTA	7	2	7	O	输出，通道 A
OUTB	6	6	3	O	输出，通道 B
V_{CC1}	1	1	1	—	电源，V_{CC1}
V_{CC2}	8	8	8	—	电源，V_{CC2}

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

		最小值	最大值	单位
电源电压 (2)	V_{CC1} 至 GND1	-0.5	6	V
	V_{CC2} 至 GND2	-0.5	6	
输入/输出电压	INx 至 GNDx	-0.5	V_{CCX} + 0.5 (3)	V
	OUTx 至 GNDx	-0.5	V_{CCX} + 0.5 (3)	
输出电流	Io	-15	15	mA
温度	工作结温，T_J		150	°C
	存储温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值
(3) 最大电压不得超过 6V。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±6000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	
		接触放电符合 IEC 61000-4-2 标准；隔离栅耐受测试(3) (4)	±8000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。
(3) 在隔离栅上施加 IEC ESD 冲击并将两侧的所有引脚都连在一起来构成一个双端子器件。
(4) 在空气或油中进行测试，旨在确定器件的固有接触放电能力。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

			最小值	标称值	最大值	单位
V_{CC1} (1)	电源电压，1 侧	V_{CC} = 1.8V (3)	1.71		1.89	V
V_{CC1} (1)	电源电压，1 侧	V_{CC} = 2.5V 至 5V (3)	2.25		5.5	V
V_{CC2} (1)	电源电压，2 侧	V_{CC} = 1.8V (3)	1.71		1.89	V
V_{CC2} (1)	电源电压，2 侧	V_{CC} = 2.5V 至 5V (3)	2.25		5.5	V
V_{CC} (UVLO+)	电源电压上升时的 UVLO 阈值			1.53	1.71	V
V_{CC} (UVLO-)	电源电压下降时的 UVLO 阈值		1.1	1.41		V
Vhys (UVLO)	电源电压 UVLO 迟滞		0.08	0.13		V
V_{IH}	高电平输入电压		0.7 × V_{CCI} (2)		V_{CCI}	V
V_{IL}	低电平输入电压		0		0.3 × V_{CCI}	V
I_{OH}	高电平输出电流	V_{CCO} (2) = 5V	-4			mA
		V_{CCO} = 3.3V	-2			mA
		V_{CCO} = 2.5V	-1			mA
		V_{CCO} = 1.8V	-1			mA
I_{OL}	低电平输出电流	V_{CCO} = 5V			4	mA
		V_{CCO} = 3.3V			2	mA
		V_{CCO} = 2.5V			1	mA
		V_{CCO} = 1.8V			1	mA
DR	数据速率		0		50	Mbps
T_A	环境温度		-40	25	125	°C

(1) V_{CC1} 和 V_{CC2} 可彼此独立设置
(2) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(3) 1.89V < V_{CC1}，V_{CC2} < 2.25V 和 1.05V < V_{CC1}，V_{CC2} < 1.71V 时，通道输出为不确定状态

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标 (1)		ISO672x	ISO672xB	ISO6721RB	单位
		DWV (SOIC)	D (SOIC)	D (SOIC)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	84.3	104.6	98.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	36.3	48.9	33.8	°C/W
$R_{\theta JB}$	结至电路板热阻	47.0	52.9	47	°C/W
ψ_{JT}	结至顶部特征参数	7.4	7.9	2.3	°C/W
ψ_{JB}	结至电路板特征参数	45.1	52.1	46.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
ISO6720						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			72	mW
P_{D1}	最大功耗（1 侧）				20	mW
P_{D2}	最大功耗（2 侧）				52	mW
ISO6721						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			73	mW
P_{D1}	最大功耗（1 侧）				37	mW
P_{D2}	最大功耗（2 侧）				37	mW
ISO6721RB						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			86	mW
P_{D1}	最大功耗（1 侧）				43	mW
P_{D2}	最大功耗（2 侧）				43	mW

Copyright © 2026 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	值	值	单位
			8-DWV	8-D	
IEC 60664-1					
CLR	外部间隙(1)	1 侧到 2 侧的空间距离	>8.5	>4	mm
CPG	外部爬电距离(1)	1 侧到 2 侧的封装表面距离	>8.5	>4	mm
DTI	绝缘穿透距离	最小内部间隙	>17	>17	μm
CTI	相对漏电起痕指数	IEC 60112；UL 746A	>600	>400	V
	材料组	符合 IEC 60664-1	I	II	
	过压类别	额定市电电压 ≤ 150V_{RMS}	I - IV	I-IV	
		额定市电电压 ≤ 300V_{RMS}	I - IV	I-III	
		额定市电电压 ≤ 600V_{RMS}	I - IV	不适用	
		额定市电电压 ≤ 1000V_{RMS}	I-III	不适用	
DIN EN IEC 60747-17 (VDE 0884-17)(2)					
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1500	637	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试。请参阅 图 8-9	1060	450	V_{RMS}
		直流电压	1500	637	V_{DC}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{IOTM}，t = 1s（100% 生产测试）	7071	4242	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中进行测试，符合 IEC 62368-1 的 1.2/50μs 波形	7692	5000	V_{PK}
V_{IOSM}	最大浪涌隔离电压 (4)	V_{IOSM} ≥ 1.3 x V_{IMP}；在油中测试（鉴定测试），1.2/50μs 波形，符合 IEC 62368-1	10000	6500	V_{PK}
q_{pd}	视在电荷(5)	方法 a：在 I/O 安全测试子组 2/3 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.2 x V_{IORM}，t_m = 10s	≤5	≤5	pC
		方法 a：环境测试子组 1 后，V_{ini} = V_{IOTM}，t_{ini} = 60s； **DWV：** $V_{pd(m)}$ = 1.6 × V_{IORM}，t_m = 10s **D：** $V_{pd(m)}$ = 1.2 × V_{IORM}，t_m = 10s	≤5	≤5	
		常规测试（100% 生产测试）， 方法 b1：V_{ini} = 1.2 × V_{IOTM}，t_{ini} = 1s； **DWV：** $V_{pd(m)}$ = 1.875 × V_{IORM}，t_m = 1s **D：** $V_{pd(m)}$ = 1.5 × V_{IORM}，t_m = 1s；或 方法 b2：$V_{pd(m)}$ = V_{ini}，t_m = t_{ini}	≤5	≤5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.4 × sin (2 π ft)，f = 1MHz	≅0.5	≅0.5	pF
R_{IO}	隔离电阻，输入至输出(6)	V_{IO} = 500V，T_A = 25°C	>10^{12}	>10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	>10^{11}	>10^{11}	
		V_{IO} = 500V，T_S = 150°C	>10^9	>10^9	
	污染等级		2	2	
	气候类别		40/125/21	40/125/21	
UL 1577					

Copyright © 2026 Texas Instruments Incorporated

参数		测试条件	值	值	单位
			8-DWV	8-D	
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	5000	3000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘 (ISO672x)* 和*基本电气绝缘 (ISO672xB)*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2026 Texas Instruments Incorporated

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1、IEC 61010-1 和 IEC 60601-1 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书： 增强型：40040142 基础型：40047657	主合同编号：220991	文件编号：E181974	证书编号： CQC18001199096 (DWV-8) CQC21001305151 (D-8)	客户端 ID 编号：77311

Copyright © 2026 Texas Instruments Incorporated

5.8 安全限值

安全限值(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
D-8 封装 - ISO672xB						
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 104.6°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C 参阅 图 5-1			217.2	mA
		$R_{\theta JA}$ = 104.6°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C 参阅 图 5-1			332	mA
		$R_{\theta JA}$ = 104.6°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C 参阅 图 5-1			434.5	mA
		$R_{\theta JA}$ = 104.6°C/W，V_I = 1.89V，T_J = 150°C，T_A = 25°C 参阅 图 5-1			628.9	mA
P_S	安全输入、输出或总功率(1)	$R_{\theta JA}$ = 104.6°C/W，T_J = 150°C，T_A = 25°C 参阅 图 5-2			1195	mW
T_S	最高安全温度(1)				150	°C
D-8 封装 - ISO6721RB						
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 98.5°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C 参阅 图 5-3			230.7	mA
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 98.5°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C 参阅 图 5-3			352.5	mA
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 98.5°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C 参阅 图 5-3			461.5	mA
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 98.5°C/W，V_I = 1.89V，T_J = 150°C，T_A = 25°C 参阅 图 5-3			671.4	mA
P_S	安全输入、输出或总功率(1)	$R_{\theta JA}$ = 98.5°C/W，T_J = 150°C，T_A = 25°C 参阅 图 5-4			1269	mW
T_S	最高安全温度(1)				150	°C

Copyright © 2026 Texas Instruments Incorporated

安全限值(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DWV-8 封装						
I_S	安全输入、输出或电源电流(1)	$R_{\theta JA}$ = 84.3°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C 参阅 图 5-5			270	mA
I_S		$R_{\theta JA}$ = 84.3.6°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C 参阅 图 5-5			412	mA
I_S		$R_{\theta JA}$ = 84.3°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C 参阅 图 5-5			539	mA
I_S		$R_{\theta JA}$ = 84.3°C/W，V_I = 1.89V，T_J = 150°C，T_A = 25°C 参阅 图 5-5			790	mA
P_S	安全输入、输出或总功率(1)	$R_{\theta JA}$ = 84.3°C/W，T_J = 150°C，T_A = 25°C 参阅 图 5-5			1483	mW
T_S	最高安全温度(1)				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件所耗功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为允许的最大结温。
$P_S = I_S \times V_I$，其中，V_I 为最大输入电压。

Copyright © 2026 Texas Instruments Incorporated

5.9 电气特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -4mA；请参阅 图 6-1	V_{CCO} – 0.4			V
V_{OL}	低电平输出电压	I_{OL} = 4mA；请参阅图 6-1			0.4	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 × V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 × V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	μA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			μA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V	100	150		kV/μs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 5V；参阅 图 6-3		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

5.10 电源电流特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6720							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6720)，V_I = 0V（带后缀 F 的 ISO6720）		I_{CC1}		1.1	1.7	mA
			I_{CC2}		1.3	2.1	
	V_I = 0V (ISO6720)，V_I = V_{CC1}（带后缀 F 的 ISO6720）		I_{CC1}		3.2	4.6	
			I_{CC2}		1.4	2.3	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.5	2.3	
		10Mbps	I_{CC1}		2.2	3.2	
			I_{CC2}		2.7	3.6	
		50Mbps	I_{CC1}		2.5	3.6	
			I_{CC2}		7.9	9.5	
ISO6721							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721)；V_I = 0V（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)；V_I = V_{CCI}（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		2.3	3.5	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.9	2.9	
		10Mbps	I_{CC1}、I_{CC2}		2.5	3.6	
		50Mbps	I_{CC1}、I_{CC2}		5.2	6.7	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 5V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6721RB							
电源电流 - 直流信号	V_I = V_{CCI} (1) (ISO6721R)；V_I = 0V（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)；V_I = V_{CCI}（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		3.2	4.7	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.1	
		10Mbps	I_{CC1}、I_{CC2}		3.3	4.7	
		50Mbps	I_{CC1}、I_{CC2}		6.0	7.7	

(1) V_{CCI} = 输入侧 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.11 电气特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -2mA；请参阅图 6-1	V_{CCO} – 0.2			V
V_{OL}	低电平输出电压	I_{OL} = 2mA；请参阅图 6-1			0.2	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 × V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 × V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	μA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			μA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V	100	150		kV/μs
C_i	输入电容(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 3.3V；参阅 图 6-3		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

5.12 电源电流特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6720							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6720)，V_I = 0V（带后缀 F 的 ISO6720）		I_{CC1}		1.1	1.6	mA
			I_{CC2}		1.3	2	
	V_I = 0V (ISO6720)，V_I = V_{CC1}（带后缀 F 的 ISO6720）		I_{CC1}		3.2	4.5	
			I_{CC2}		1.4	2.2	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.4	2.2	
		10Mbps	I_{CC1}		2.2	3.1	
			I_{CC2}		2.3	3.2	
		50Mbps	I_{CC1}		2.4	3.4	
			I_{CC2}		6	7.3	
ISO6721							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721)；V_I = 0V（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)； V_I = V_{CCI}（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		2.3	3.5	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.8	2.8	
		10Mbps	I_{CC1}、I_{CC2}		2.3	3.3	
		50Mbps	I_{CC1}、I_{CC2}		4.2	5.5	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 3.3V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6721RB							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721R)；V_I = 0V（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)；V_I = V_{CCI}（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		3.2	4.7	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.0	
		10Mbps	I_{CC1}、I_{CC2}		3.1	4.5	
		50Mbps	I_{CC1}、I_{CC2}		5.0	6.7	

(1) V_{CCI} = 输入侧 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.13 电气特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -1mA；请参阅图 6-1	V_{CCO} – 0.1			V
V_{OL}	低电平输出电压	I_{OL} = 1mA；请参阅图 6-1			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 × V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 × V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	μA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			μA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V	100	150		kV/μs
C_i	输入电容(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 2.5V；参阅 图 6-3		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

5.14 电源电流特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6720							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6720)，V_I = 0V（带后缀 F 的 ISO6720）		I_{CC1}		1.1	1.6	mA
			I_{CC2}		1.3	2	
	V_I = 0V (ISO6720)，V_I = V_{CC1}（带后缀 F 的 ISO6720）		I_{CC1}		3.1	4.5	
			I_{CC2}		1.4	2.2	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.4	2.2	
		10Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		2	2.9	
		50Mbps	I_{CC1}		2.3	3.3	
			I_{CC2}		4.8	6	
ISO6721							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721)；V_I = 0V（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)；V_I = V_{CCI}（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		2.3	3.5	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.8	2.8	
		10Mbps	I_{CC1}、I_{CC2}		2.1	3.2	
		50Mbps	I_{CC1}、I_{CC2}		3.6	4.9	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 2.5V ± 10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6721RB							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721R)；V_I = 0V（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)；V_I = V_{CCI}（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		3.2	4.7	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.0	
		10Mbps	I_{CC1}、I_{CC2}		3.0	4.4	
		50Mbps	I_{CC1}、I_{CC2}		4.4	6	

(1) V_{CCI} = 输入侧 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.15 电气特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ± 5%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -1mA；请参阅图 6-1	V_{CCO} – 0.1			V
V_{OL}	低电平输出电压	I_{OL} = 1mA；请参阅图 6-1			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 × V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 × V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V	100	150		kV/µs
C_i	输入电容(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 1.8V；参阅 图 6-3		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

5.16 电源电流特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ± 5%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6720							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6720)，V_I = 0V（带后缀 F 的 ISO6720）		I_{CC1}		0.8	1.5	mA
			I_{CC2}		1.2	2.1	
	V_I = 0V (ISO6720)，V_I = V_{CC1}（带后缀 F 的 ISO6720）		I_{CC1}		2.8	4.3	
			I_{CC2}		1.3	2.2	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		1.8	2.9	
			I_{CC2}		1.3	2.2	
		10Mbps	I_{CC1}		1.8	2.9	
			I_{CC2}		1.8	2.7	
		50Mbps	I_{CC1}		2	3.1	
			I_{CC2}		3.8	4.9	
ISO6721							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721)；V_I = 0V（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		1.1	2	mA
	V_I = 0V (ISO6721)；V_I = V_{CCI}（带后缀 F 的 ISO6721）		I_{CC1}、I_{CC2}		2.1	3.4	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.6	2.7	
		10Mbps	I_{CC1}、I_{CC2}		1.9	3	
		50Mbps	I_{CC1}、I_{CC2}		3	4.2	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 1.8V ± 5%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6721RB							
电源电流 - 直流信号	V_I = V_{CCI} (1)(ISO6721R)；V_I = 0V（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		1.8	3.1	mA
	V_I = 0V (ISO6721R)；V_I = V_{CCI}（带后缀 F 的 ISO6721R）		I_{CC1}、I_{CC2}		2.9	4.5	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.4	3.8	
		10Mbps	I_{CC1}、I_{CC2}		2.6	4.1	
		50Mbps	I_{CC1}、I_{CC2}		3.7	5.3	

(1) V_{CCI} = 输入侧 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.17 开关特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅图 6-1		11	18	ns
$t_{P(dft)}$	传播延迟漂移			8		ps/℃
t_{UI}	最小脉宽	请参阅 图 6-1	20			ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$	请参阅 图 6-1		0.2	7	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(p-p)}$	器件间偏斜时间 (3)				6	ns
t_r	输出信号上升时间	请参阅图 6-1		2.6	4.5	ns
t_f	输出信号下降时间			2.6	4.5	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.2V 之时开始测量。请参阅 图 6-2		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.18 开关特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅图 6-1		11	18	ns
$t_{P(dft)}$	传播延迟漂移			9.2		ps/℃
t_{UI}	最小脉宽	请参阅 图 6-1	20			ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$	请参阅 图 6-1		0.5	7	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(p-p)}$	器件间偏斜时间 (3)				6	ns
t_r	输出信号上升时间	请参阅图 6-1		1.6	3.2	ns
t_f	输出信号下降时间			1.6	3.2	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.2V 之时开始测量。请参阅 图 6-2		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2026 Texas Instruments Incorporated

5.19 开关特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ± 10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅图 6-1		12	20.5	ns
$t_{P(dft)}$	传播延迟漂移			14.3		ps/℃
t_{UI}	最小脉宽	请参阅 图 6-1	20			ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$	请参阅 图 6-1		0.6	7.1	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(p-p)}$	器件间偏斜时间(3)				6.1	ns
t_r	输出信号上升时间	请参阅图 6-1		2	4	ns
t_f	输出信号下降时间			2	4	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.2V 之时开始测量。请参阅 图 6-2		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.20 开关特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ± 5%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅图 6-1		15	24	ns
$t_{P(dft)}$	传播延迟漂移			15.2		ps/℃
t_{UI}	最小脉宽	请参阅 图 6-1	20			ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$	请参阅 图 6-1		0.7	8.2	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(p-p)}$	器件间偏斜时间(3)				8.8	ns
t_r	输出信号上升时间	请参阅图 6-1		2.7	5.3	ns
t_f	输出信号下降时间			2.7	5.3	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.2V 之时开始测量。请参阅 图 6-2		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2026 Texas Instruments Incorporated

5.21 绝缘特性曲线

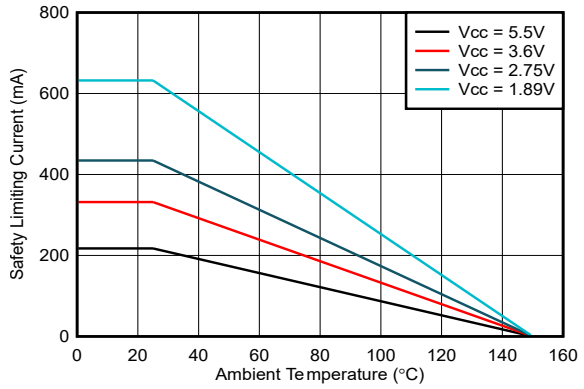


图 5-1. D-8 封装安全限制电流的热降额曲线 - ISO672x

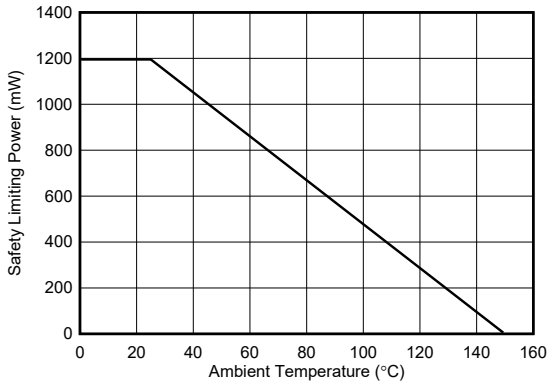


图 5-2. D-8 封装安全限制功率的热降额曲线 - ISO672x

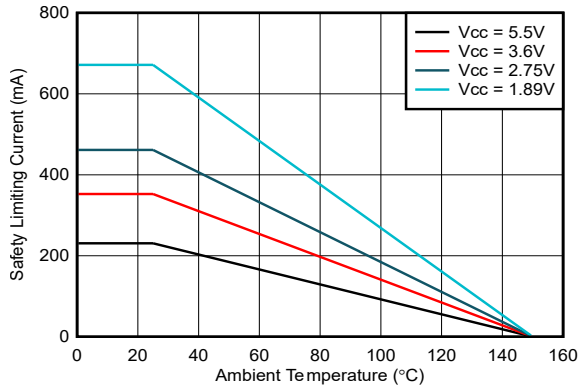


图 5-3. D-8 封装安全限制电流的热降额曲线 - ISO6721R

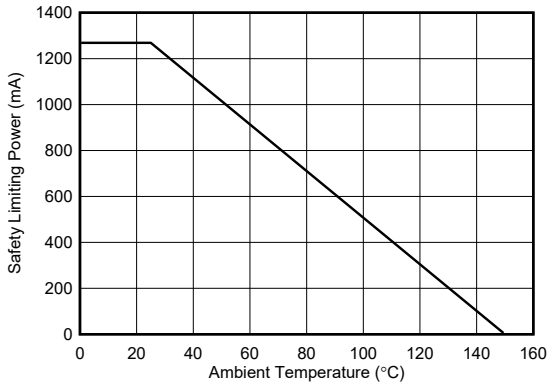


图 5-4. D-8 封装安全限制功率的热降额曲线 - ISO6721R

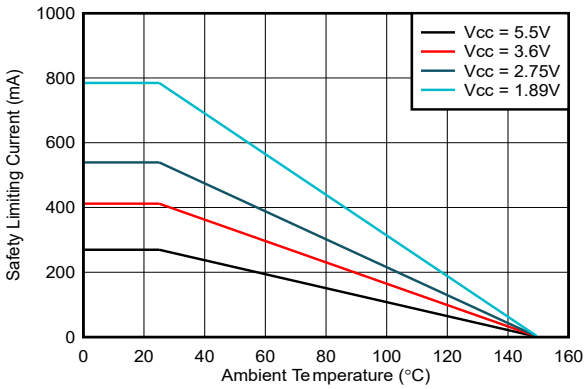


图 5-5. DWV-8 封装安全限制电流的热降额曲线 - ISO672x

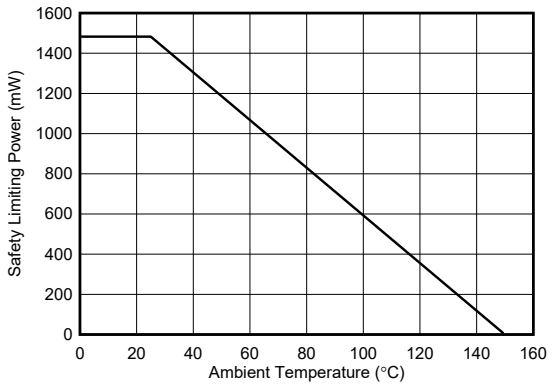


图 5-6. DWV-8 封装安全限制功率的热降额曲线 - ISO672x

5.22 典型特性

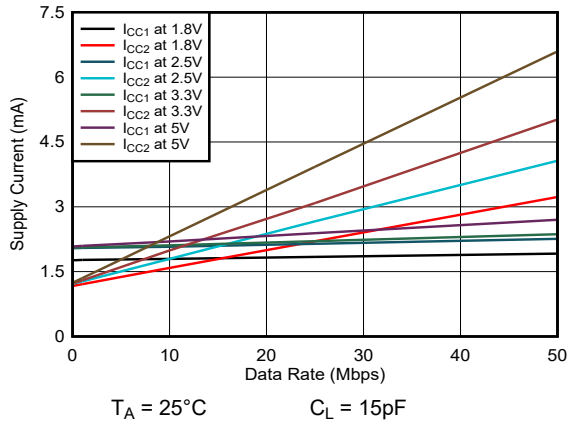


图 5-7. ISO6720 电源电流与数据速率间的关系（15pF 负载）

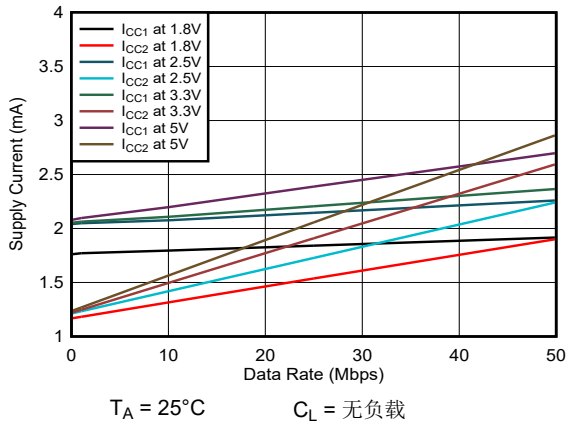


图 5-8. ISO6720 电源电流与数据速率间的关系（无负载）

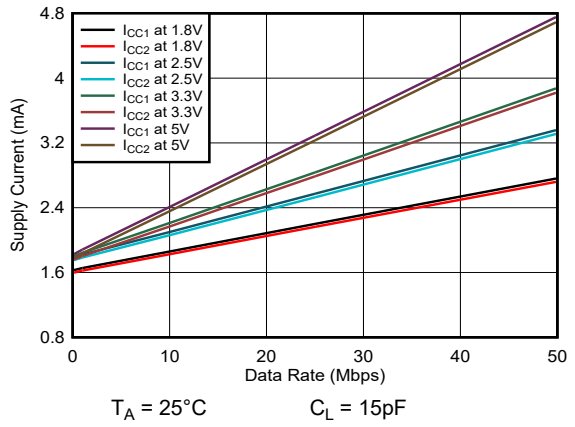


图 5-9. ISO6721 电源电流与数据速率间的关系（15pF 负载）

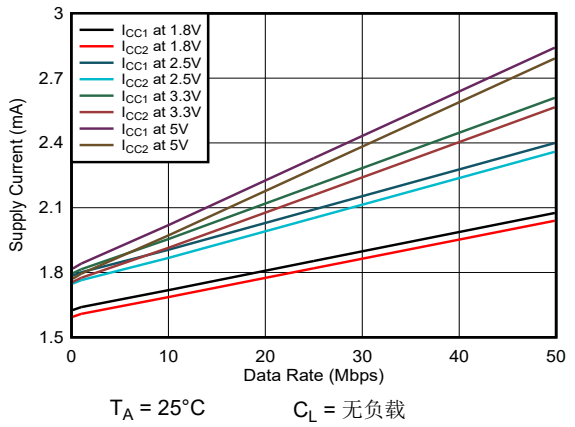


图 5-10. ISO6721 电源电流与数据速率间的关系（无负载）

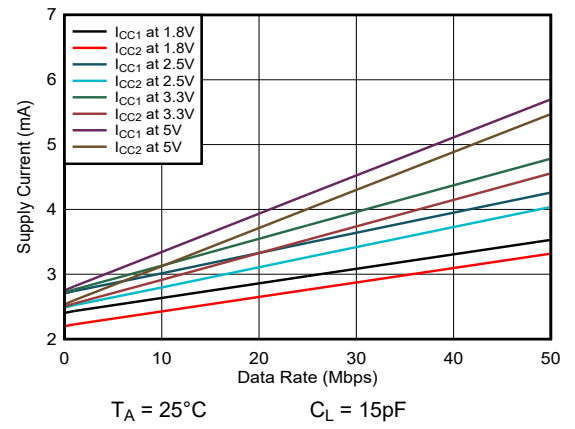


图 5-11. ISO6721RB 电源电流与数据速率间的关系（15pF 负载）

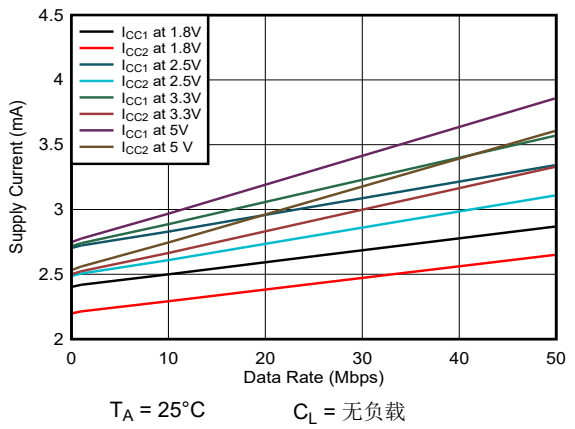


图 5-12. ISO6721RB 电源电流与数据速率间的关系（无负载）

Copyright © 2026 Texas Instruments Incorporated

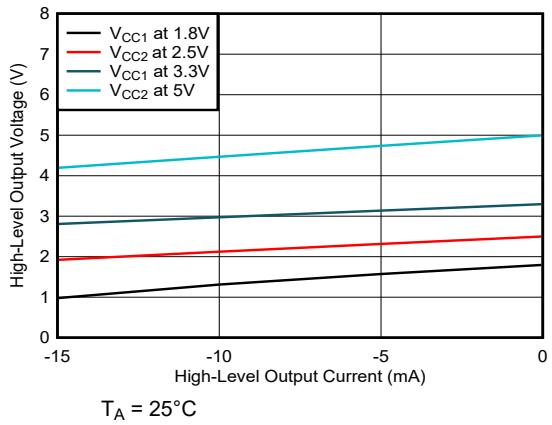


图 5-13. 高电平输出电压与高电平输出电流间的关系

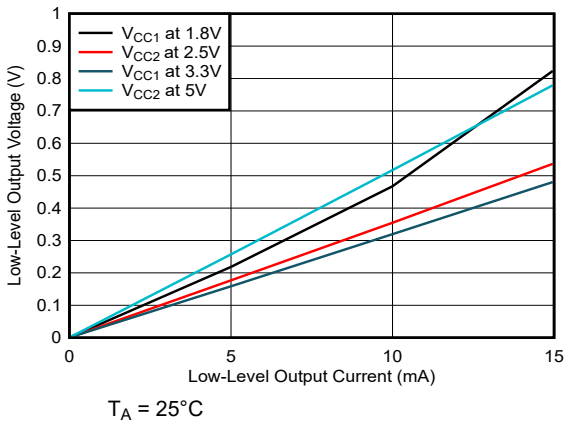


图 5-14. 低电平输出电压与低电平输出电流间的关系

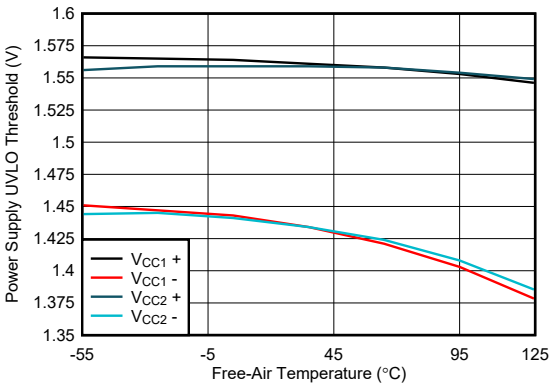


图 5-15. 电源欠压阈值与自然通风条件下的温度间的关系

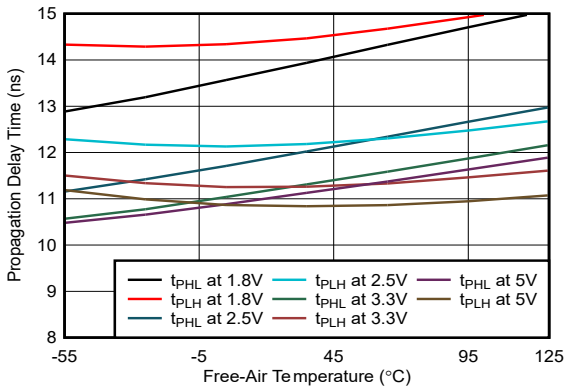
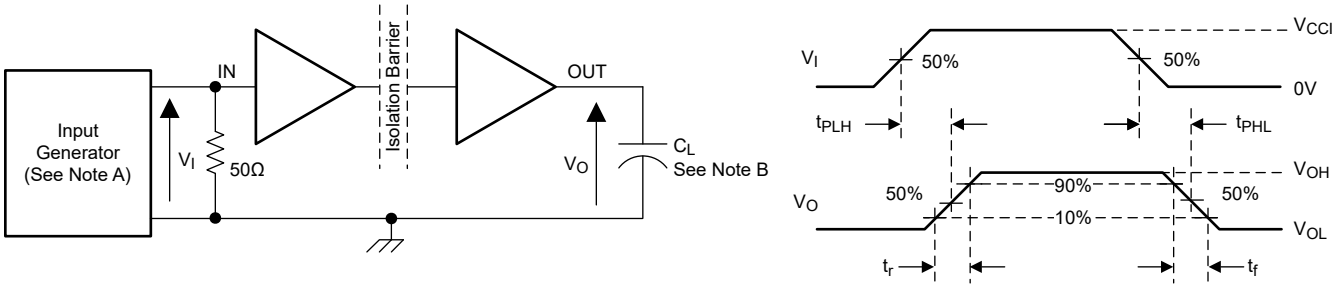


图 5-16. 传播延迟时间与自然通风条件下的温度间的关系

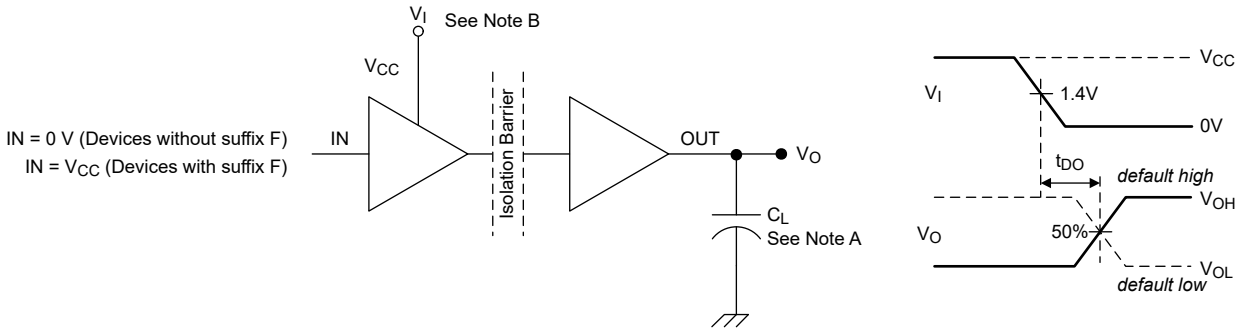
6 参数测量信息



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50kHz，50% 占空比，t_r ≤ 3ns，t_f ≤ 3ns，Z_O = 50 Ω。输入端需要 50 Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50 Ω 电阻器。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

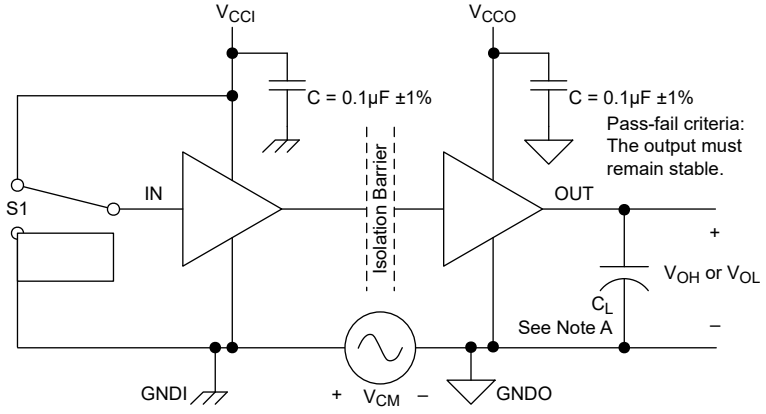
图 6-1. 开关特性测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

B. 电源电压斜升速率 = 10mV/ns

图 6-2. 默认输出延时时间测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-3. 共模瞬态抗扰度测试电路

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

ISO672x-Q1 系列器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。这些器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

7.2 功能方框图

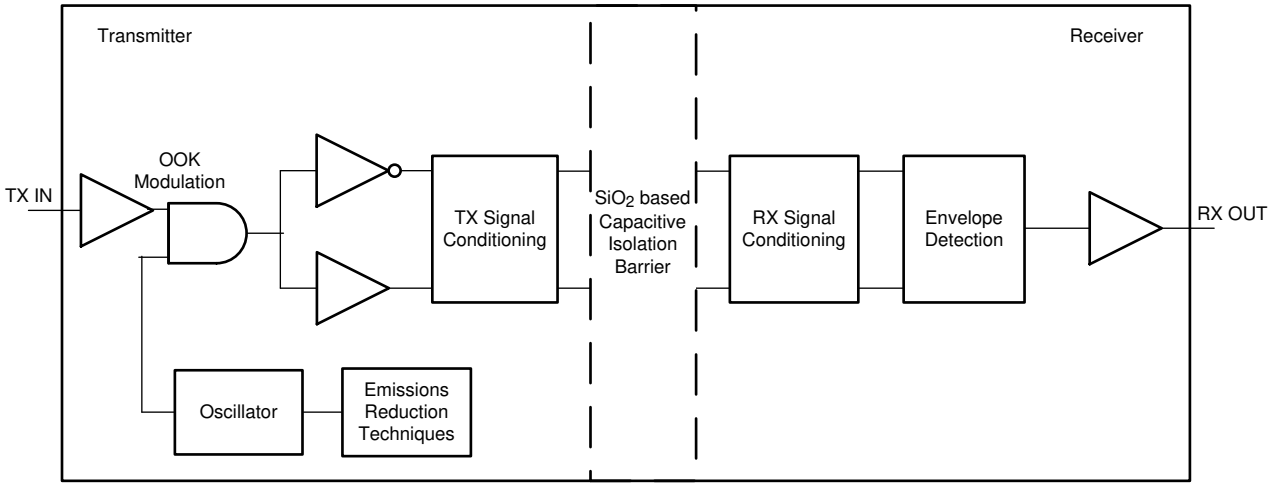


图 7-1. 数字电容隔离器的概念框图

图 7-2 展示了 OOK 方案工作原理的概念细节。

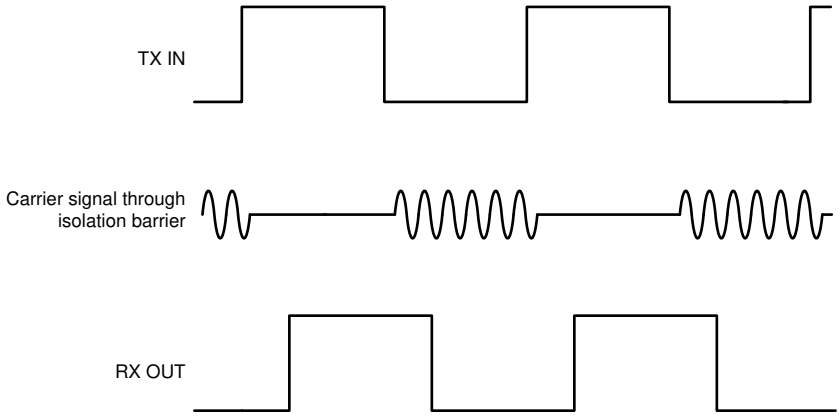


图 7-2. 基于开关键控 (OOK) 的调制方案

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

ISO672x-Q1 系列器件提供两种通道配置和默认输出状态选项，可实现各种应用用途。表 7-1 列出了 ISO672x-Q1 器件的器件特性。

表 7-1. 器件特性

器件型号	最大数据速率	通道方向	默认输出状态	封装	隔离额定值(1)
ISO6720B-Q1	50Mbps	2 个正向，0 个反向	高	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6720FB-Q1	50Mbps	2 个正向，0 个反向	低	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6721B-Q1	50Mbps	1 个正向，1 个反向	高	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6721FB-Q1	50Mbps	1 个正向，1 个反向	低	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6721RB-Q1	50Mbps	1 个正向，1 个反向	高	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6721RFB-Q1	50Mbps	1 个正向，1 个反向	低	D-8	$3000V_{RMS}/4242V_{PK}$
ISO6720-Q1	50Mbps	2 个正向，0 个反向	高	DWV-8	$5000V_{RMS}/7071V_{PK}$
ISO6720F-Q1	50Mbps	2 个正向，0 个反向	低	DWV-8	$5000V_{RMS}/7071V_{PK}$
ISO6721-Q1	50Mbps	1 个正向，1 个反向	高	DWV-8	$5000V_{RMS}/7071V_{PK}$
ISO6721F-Q1	50Mbps	1 个正向，1 个反向	低	DWV-8	$5000V_{RMS}/7071V_{PK}$

(1) 有关详细的隔离额定值，请参阅*安全相关认证*。

7.3.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 25 等国际标准对这些电磁干扰进行了规定。尽管系统级性能和可靠性在很大程度上取决于应用电路板设计和布局，但 ISO672x-Q1 系列器件包含很多芯片级设计改进，可增强整体系统稳健性。其中的一些改进包括：

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护单元。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能，能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大，可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离，从而避免触发寄生 SCR。
- 通过提供纯差分内部运行，减少隔离栅上的共模电流。

Copyright © 2026 Texas Instruments Incorporated

7.4 器件功能模式

表 7-2 列出了 ISO672x-Q1 器件的功能模式。

表 7-2. 功能表

V_{CCI} (1)	V_{CCO}	输入 (INx)(2)	输出 (OUTx)	注释
PU	PU	H	H	正常运行：通道输出假定输入的逻辑状态。
		L	L	
		开路	默认值	默认模式：INx 断开时，相应通道输出进入默认逻辑状态。ISO672x-Q1 默认为*高电平*，而带后缀 F 的 ISO672x-Q1 则默认为*低电平*。
PD	PU	X	默认值	默认模式：V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。 ISO672x-Q1 默认为*高电平*，而带后缀 F 的 ISO672x-Q1 则默认为*低电平*。 V_{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。 V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	不确定	V_{CCO} 未上电时，通道输出不确定(3)。 V_{CCO} 从未上电转换为上电时，通道输出假定输入的逻辑状态。

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}；PU = 上电 (V_{CC} ≥ 1.71V)；PD = 断电 (V_{CC} ≤ 1.05V)；X = 不相关；H = 高电平；L = 低电平

(2) 强驱动输入信号可采用内部保护二极管为浮动 V_{CC} 提供微弱的电能，导致输出不确定。

(3) 1.89V < V_{CCI}，V_{CCO} < 2.25V 和 1.05V < V_{CCI}，V_{CCO} < 1.71V 时，输出为不确定状态。

7.4.1 器件 I/O 原理图

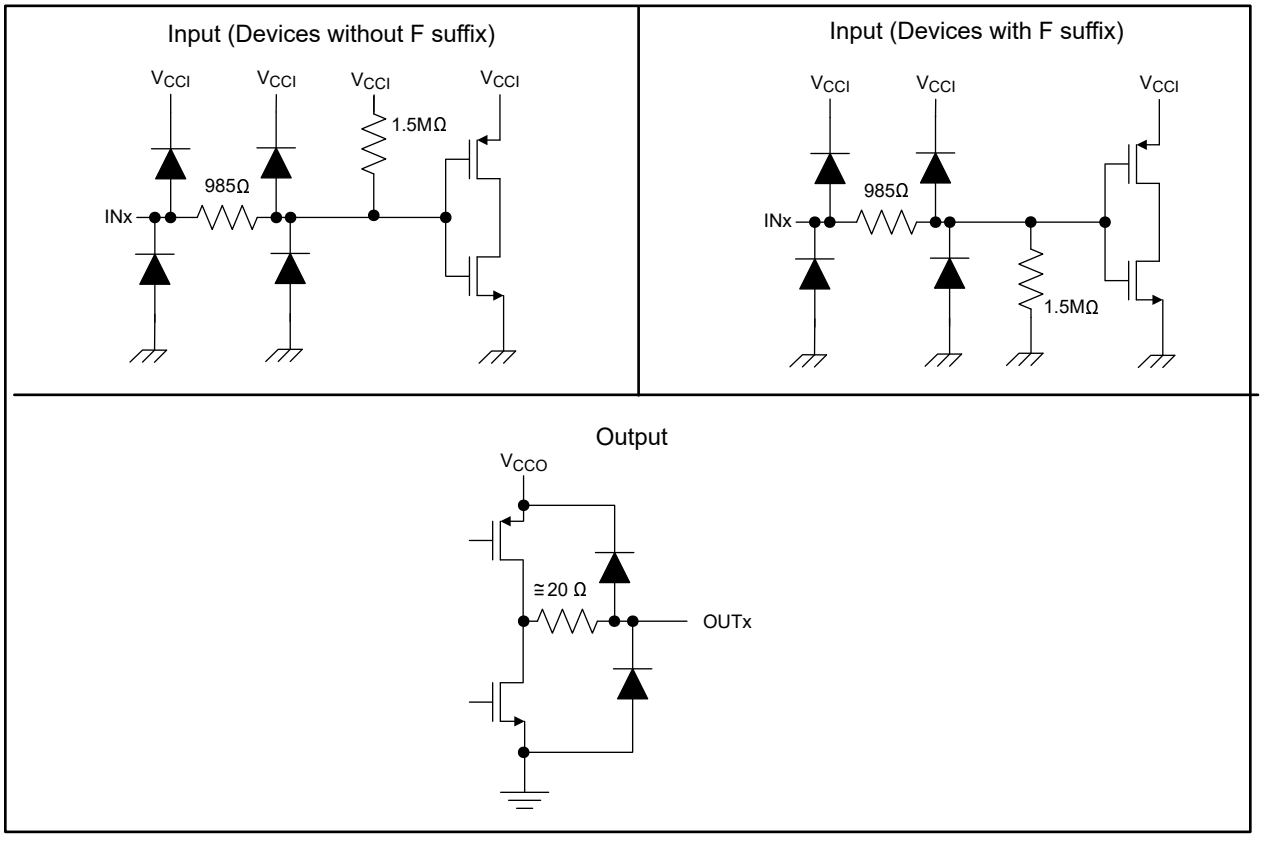


图 7-3. 器件 I/O 原理图

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

ISO672x-Q1 器件为高性能双通道数字隔离器。这些器件采用单端 CMOS 逻辑开关技术。V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 1.71V 至 5.5V。隔离栅将两侧分开，因此，在推荐工作条件下，可使用任何电压单独为每一侧供电。例如，可为 ISO672x-Q1 V_{CC1} 提供 3.3V 电压（在 1.71V 至 1.89V 和 2.25V 至 5V 范围内），而为 V_{CC2} 提供 5V 电压（也在 1.71V 至 1.89V 和 2.25V 至 5V 范围内）。除实现隔离之外，数字隔离器还可用作逻辑电平转换器。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都位于数据控制器（即 MCU 或 FPGA）和数据转换器或数据线收发器之间。

Copyright © 2026 Texas Instruments Incorporated

8.2 典型应用

对于汽车应用，ISO672x-Q1 器件还可与德州仪器 (TI) 的 Piccolo™ 微控制器、CAN 收发器、变压器驱动器和稳压器配合使用，以便创建隔离式 CAN 接口。

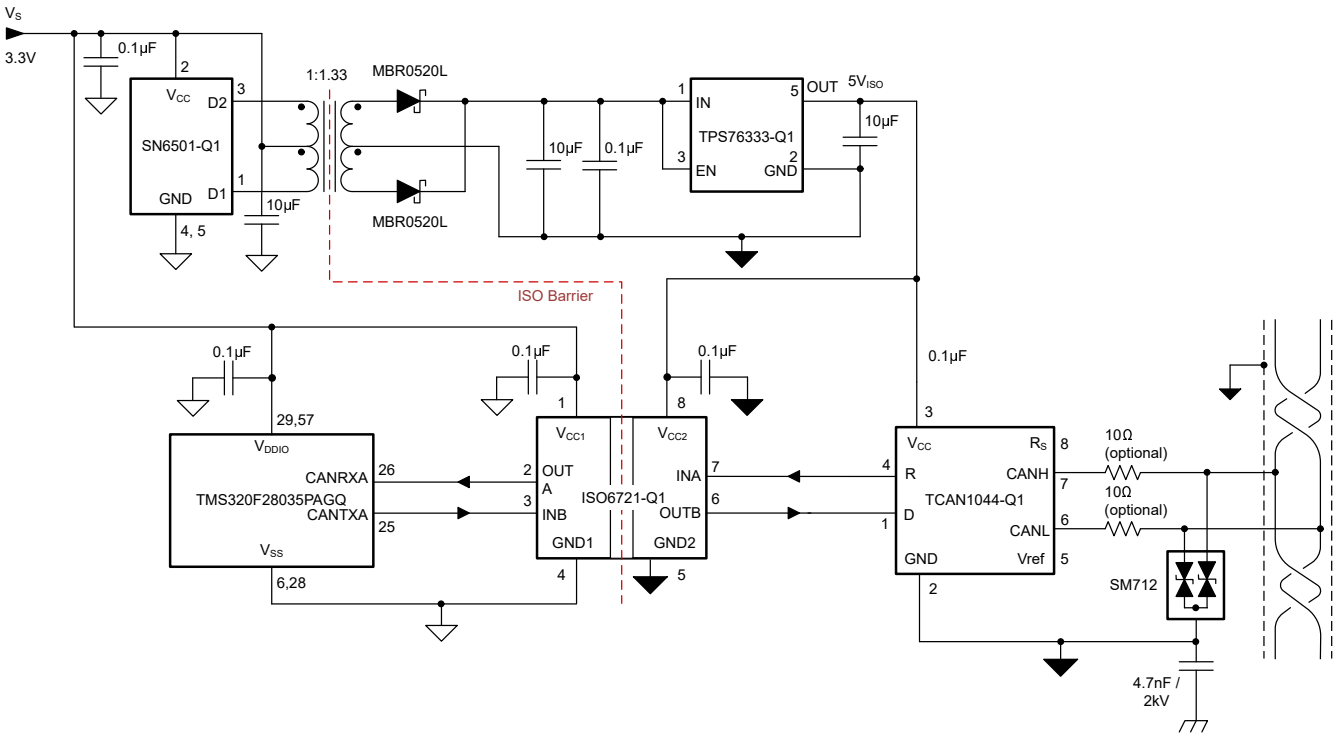


图 8-1. 典型隔离式 CAN 应用电路

Copyright © 2026 Texas Instruments Incorporated

8.2.1 设计要求

若要使用这些器件进行设计，请使用 表 8-1 中所列参数。

表 8-1. 设计参数

参数	值
电源电压：V_{CC1} 和 V_{CC2}	1.71V 到 1.89V 和 2.25V 到 5.5V
V_{CC1} 和 GND1 之间的去耦电容器	0.1µF
V_{CC2} 和 GND2 之间的去耦电容器	0.1µF

8.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO672x-Q1 器件仅需两个外部旁路电容器即可工作。

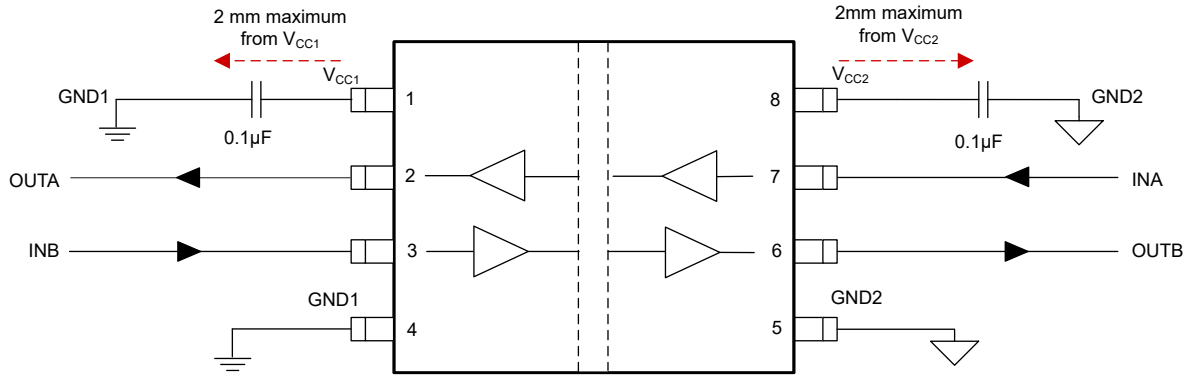


图 8-2. 典型 ISO672x-Q1 电路组装

Copyright © 2026 Texas Instruments Incorporated

8.2.3 应用曲线

下面展示了 ISO672x-Q1 系列器件在最大数据速率 50Mbps 下的低抖动和大张开度的典型眼图。

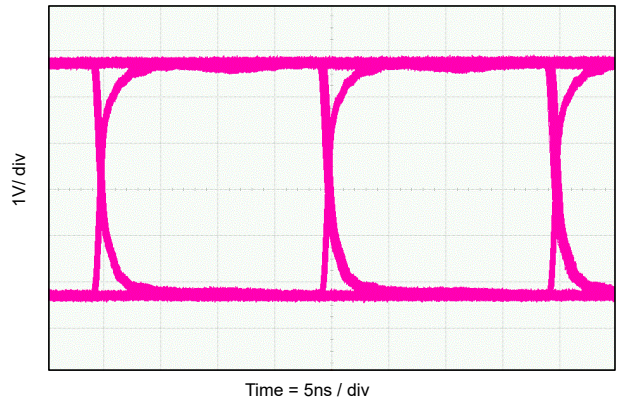


图 8-3. 眼图：50Mbps PRBS 2^{16} – 1，5V，25°C

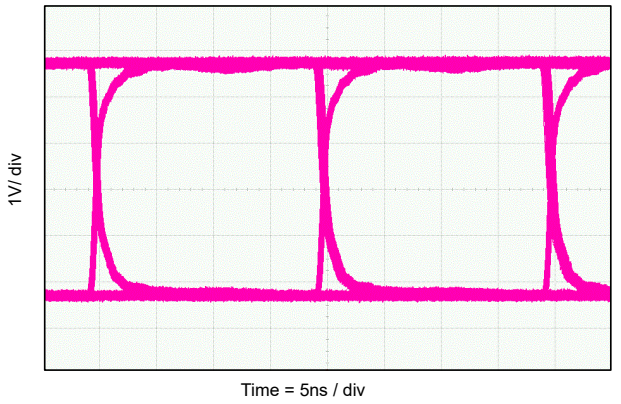


图 8-4. 眼图：50Mbps PRBS 2^{16} – 1，3.3V，25°C

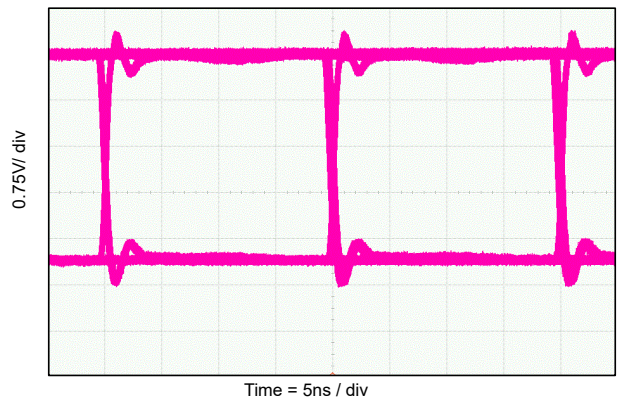


图 8-5. 眼图：50Mbps PRBS 2^{16} – 1，2.5V，25°C

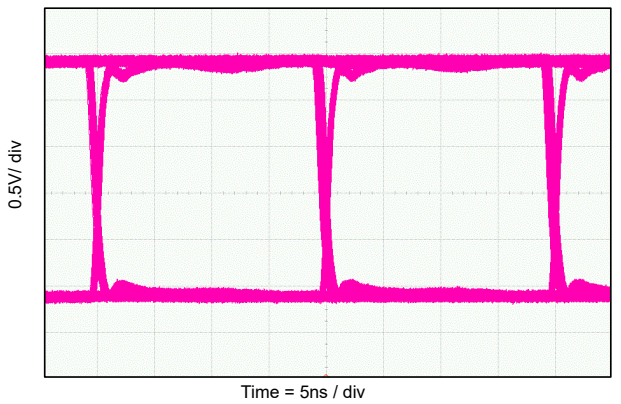


图 8-6. 眼图：50Mbps PRBS 2^{16} – 1，1.8V，25°C

Copyright © 2026 Texas Instruments Incorporated

8.2.3.1 *绝缘寿命*

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 8-7。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于基础型绝缘，VDE 标准要求使用故障率小于 1000ppm 的 TDDB 预测线。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。

尽管最短预期绝缘寿命为 20 年，但在规定的工作隔离电压下，VDE 基础型认证和增强型认证均要求工作电压具有额外 20% 的安全裕度。对于基础型认证，器件寿命要求 20% 的安全裕度，这意味着在工作电压高于规定值 20% 的情况下，要求的最短绝缘寿命为 24 年。对于增强型绝缘，器件寿命要求 50% 的安全裕度，这意味着在工作电压高于规定值 20% 的情况下，要求的最短绝缘寿命为 30 年

图 8-8 和 图 8-9 展示了隔离栅在完整寿命期间承受高压应力的固有能力。根据 TDDB 数据，绝缘固有能力为 、$1060V_{RMS}$ 且采用 8-DWV 封装时，以及 $450V_{RMS}$ 且采用 8D 封装时寿命长于 100 年。其他因素，比如封装尺寸、污染等级、材料组等，均可能会进一步限制元件的工作电压。

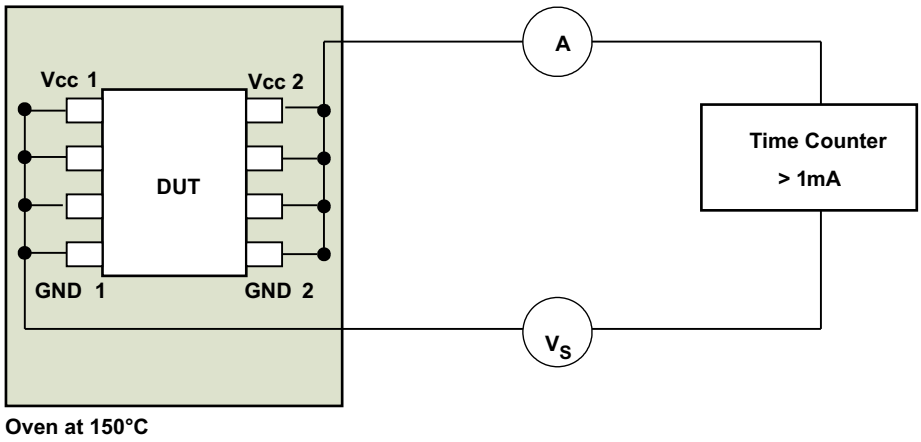


图 8-7. 绝缘寿命测量的测试设置

Copyright © 2026 Texas Instruments Incorporated

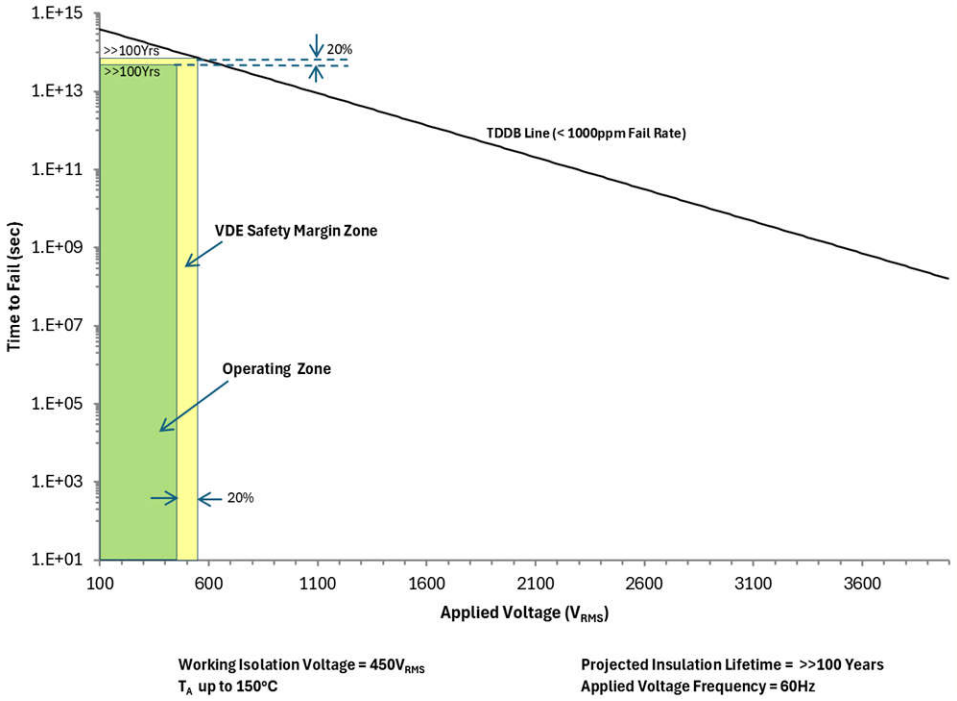


图 8-8. 8D 封装时绝缘寿命预测数据

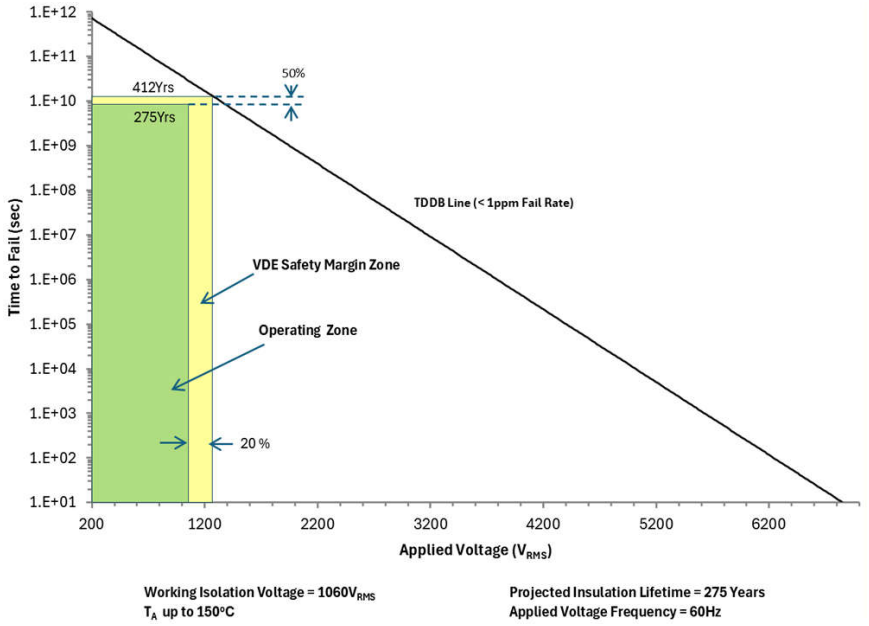


图 8-9. 8-DWV 封装时绝缘寿命预测数据

8.3 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将 0.1 μF 旁路电容器放置在输入和输出电源引脚（V_{CC1} 和 V_{CC2}）处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可借助变压器驱动器为次级侧生成隔离式电源。在汽车应用中，请使用 SN6501-Q1 或 SN6505B-Q1。对于这类应用，有关详细的电源设计和变压器选择建议，请参阅 *SN6501-Q1 隔离式电源用变压器驱动器* 或 *SN6505B-Q1 汽车类隔离式电源用低噪声 1A 420kHz 变压器驱动器*。。

8.4 布局

8.4.1 布局指南

至少需要两层才能实现成本优化和低 EMI PCB 设计。为进一步改善 EMI，可使用四层板（请参阅 节 8.4.2）。四层板的层堆叠必须符合以下顺序（从上到下）：高速信号层、接地层、电源层和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层会额外产生大约 100pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅*数字隔离器设计指南*。

8.4.1.1 PCB 材料

对于运行速度低于 150Mbps（或上升和下降时间大于 1ns）且布线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 布局示例

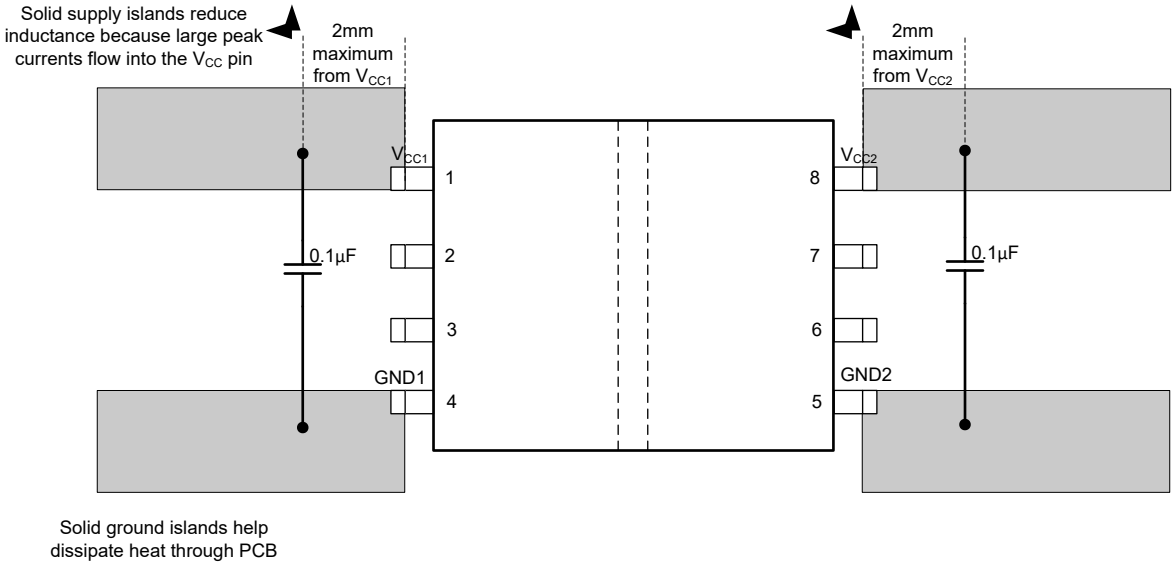


图 8-10. 布局示例

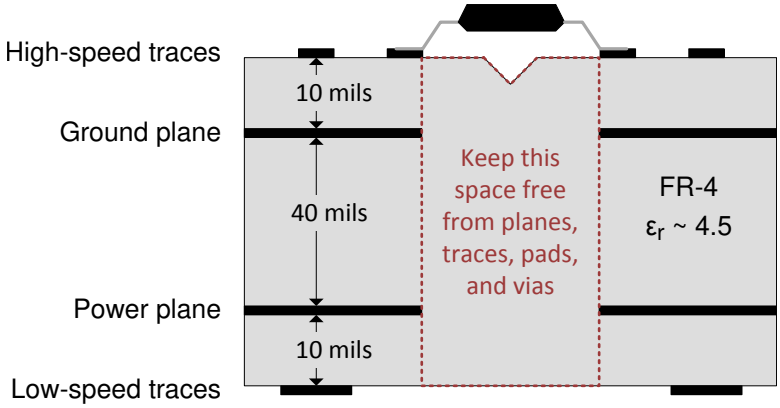


图 8-11. 四层电路板布局布线示例

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

有关开发支持的信息，请参阅：

- 隔离式 CAN 灵活数据 (FD) 速率中继器参考设计
- 采用双同步采样 ADC 的隔离式 16 通道交流模拟输入模块参考设计
- 具有隔离式 AFE 的多相分流计量参考设计
- 电源隔离型超紧凑模拟输出模块参考设计

9.2 文档支持

9.2.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*数字隔离器设计指南*
- 德州仪器 (TI)，*如何通过隔离改善工业系统的 ESD、EFT 和浪涌抗扰性* 应用手册
- 德州仪器 (TI)，*隔离相关术语*
- 德州仪器 (TI)，*实现高电压信号隔离的质量和可靠性*
- 德州仪器 (TI)，*SN6501-Q1 隔离式电源用变压器驱动器* 数据表
- 德州仪器 (TI)，SN65HVD231Q *3.3V CAN 收发器* 数据表
- 德州仪器 (TI)，*TPS763xx-Q1 低功耗 150mA 低压降线性稳压器* 数据表
- 德州仪器 (TI)，*TMS320F2803x Piccolo™ 微控制器*数据表。

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Piccolo™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

10 修订历史记录

Changes from Revision H (May 2022) to Revision I (August 2026) **Page**

- 更新了*特性* 和整个文档中的认证信息 1
- 更新了整个文档中的表格、图和交叉参考的编号格式 2
- 根据 IEC 60747-17 添加了最大脉冲电压 (V_{IMP}) 参数。对于 8-DWV 封装，V_{IMP} 值为 7692V_{PK}；对于 8-D 封装，为 5000V_{PK}。 8
- 将 V_{IOSM} 的值从“6250 V_{PK}”更改为“10000V_{PK}”（适合 8-DWV 封装），以及从“5000 V_{PK}”更改为“6500V_{PK}”（适合 8-D 封装），以符合 IEC 60747-17 的要求 8
- 更新了*绝缘寿命* 部分中的*绝缘寿命预测数据* 图 34

Changes from Revision G (January 2022) to Revision H (May 2022) **Page**

- 将 CMTI 典型值更新为 150kV/us，并将最小值更新为 100kV/us 5

Changes from Revision F (November 2021) to Revision G (January 2022) **Page**

- 添加了缺失的 DWV 绝缘规格。 5

Changes from Revision E (July 2021) to Revision F (November 2021) **Page**

- 向数据表添加了 ISO6721RBD 2

Changes from Revision D (April 2021) to Revision E (July 2021) **Page**

- 更新了“安全相关认证”表 5
- 更新了所有“开关特性”表中的测试条件 5
- 更新了“*绝缘寿命预测数据*”图 34
- 更新了“*电源相关建议*”文档参考 36

Changes from Revision C (March 2021) to Revision D (April 2021) **Page**

- 将器件状态更新为“量产数据” 2

Changes from Revision B (January 2021) to Revision C (March 2021) **Page**

- 添加了“*器件支持*”部分 38

Changes from Revision A (December 2020) to Revision B (January 2021) **Page**

- 将器件状态更改为“量产数据” 1
- 添加了*接收文档更新通知* 部分 38

Copyright © 2026 Texas Instruments Incorporated

- 更改了*静电放电警告*声明 38

Changes from Revision * (July 2020) to Revision A (December 2020)	Page
• Pre-RTM 更新	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

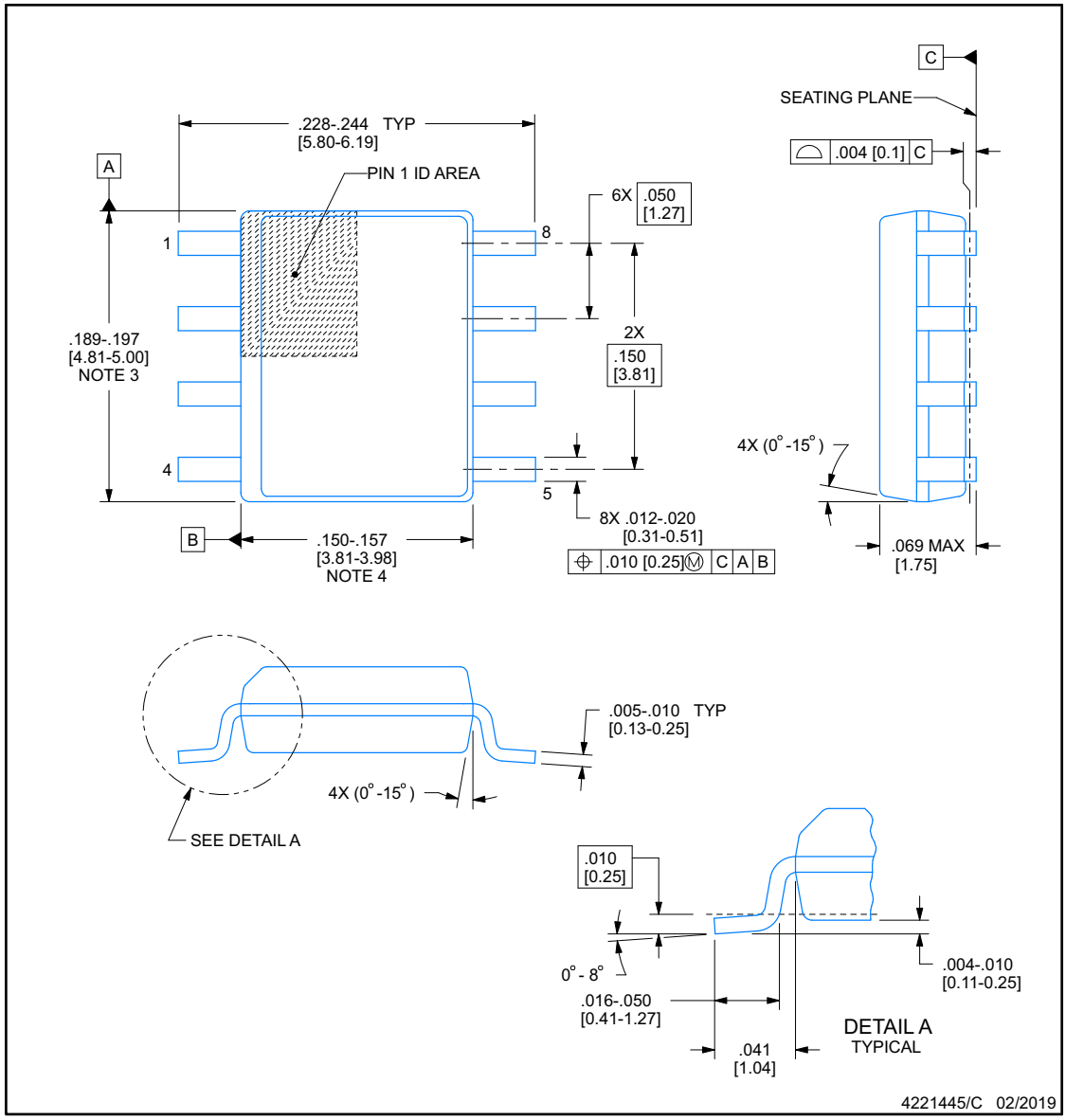


PACKAGE OUTLINE

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

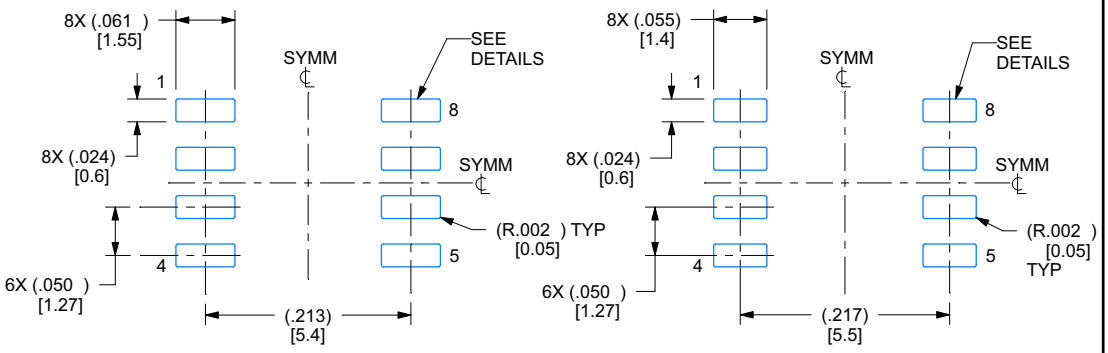
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

D0008B

SOIC - 1.75 mm max height

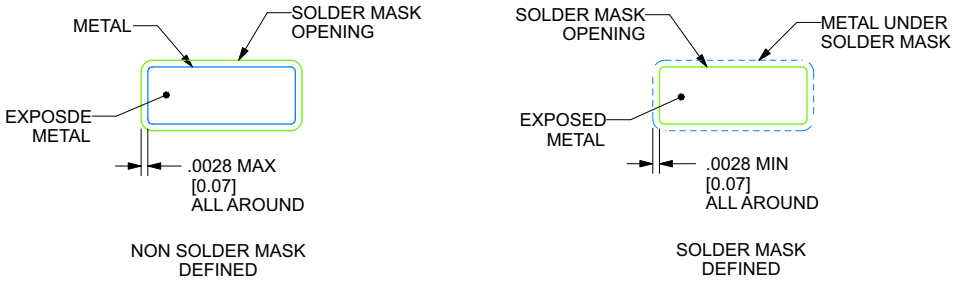
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

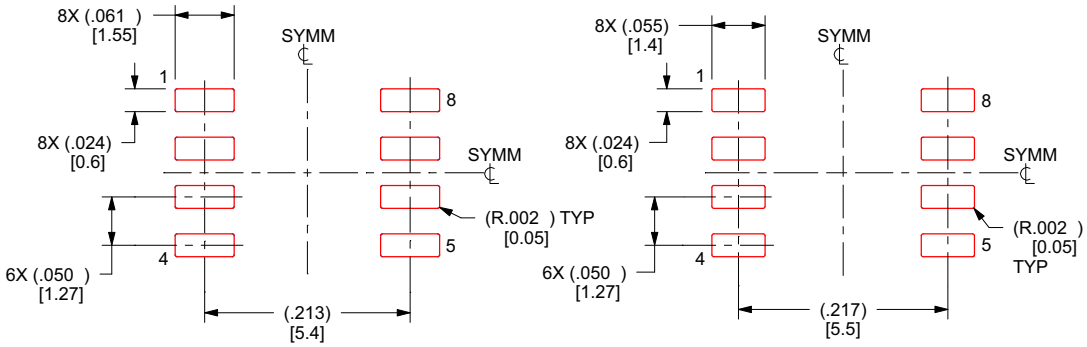
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

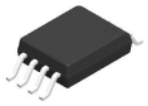
4221445/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

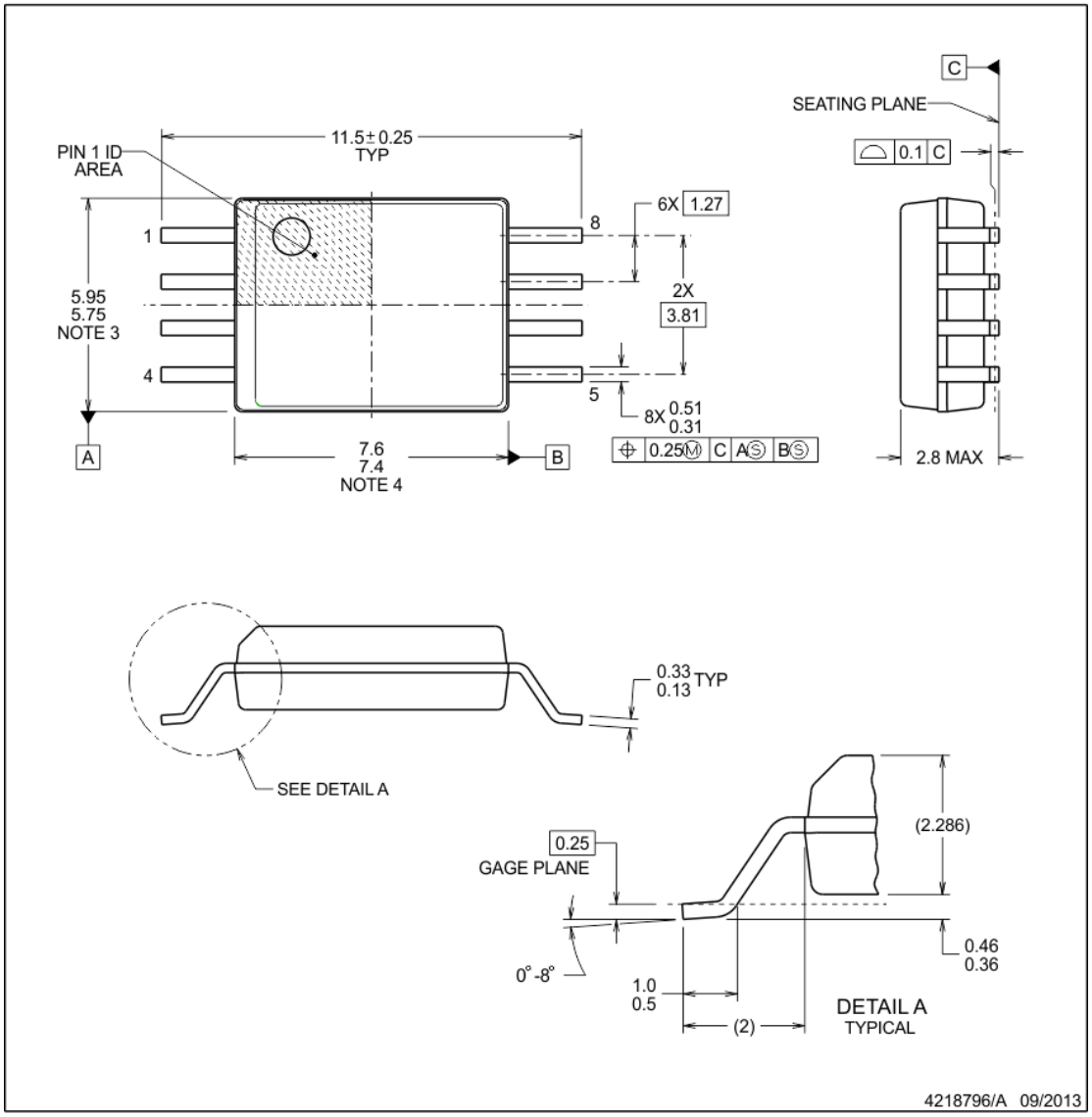
PACKAGE OUTLINE



DWV0008A

SOIC - 2.8 mm max height

SOIC



NOTES:

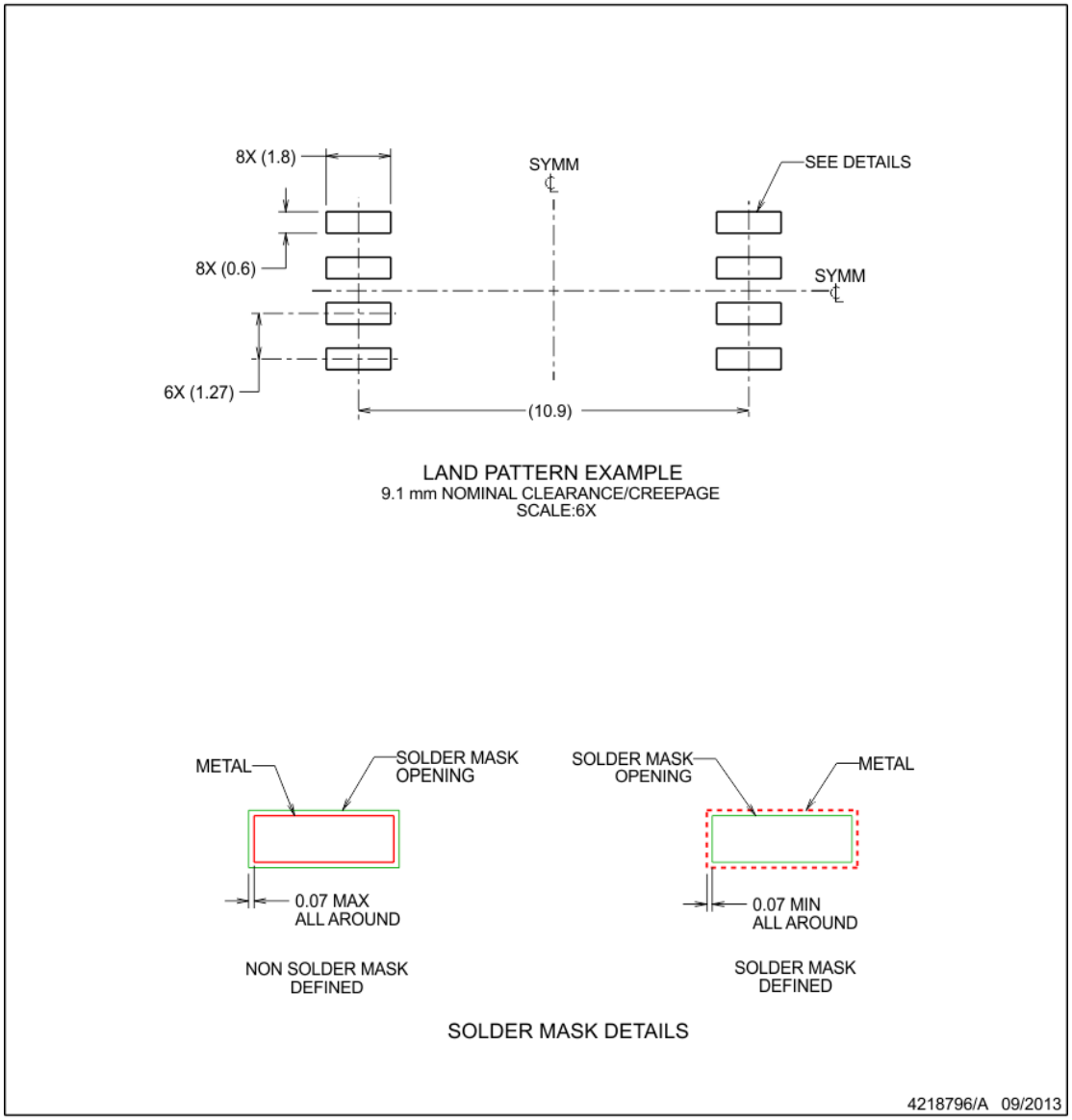
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DWV0008A — SOIC - 2.8 mm max height

SOIC



NOTES: (continued)

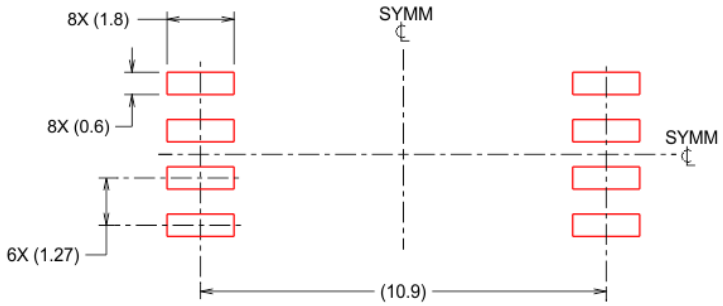
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DWV0008A — SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

11.1 封装选项附录

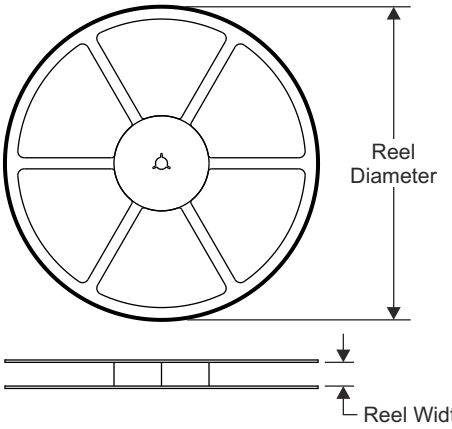
封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划(2)	铅/焊球镀层(6)	MSL 峰值温度(3)	工作温度 (°C)	器件标识(4) (5)
ISO6720QDWVRQ1	ACTIVE	SOIC	DWV	8	1000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6720
ISO6720FQDWVRQ1	ACTIVE	SOIC	DWV	8	1000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6720F
ISO6721QDWVRQ1	ACTIVE	SOIC	DWV	8	1000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6721
ISO6721FQDWVRQ1	ACTIVE	SOIC	DWV	8	1000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6721F
ISO6720BQDRQ1	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6720B
ISO6720FBQDRQ1	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6720FB
ISO6721BQDRQ1	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6721B
ISO6721FBQDRQ1	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	6721FB
ISO6721RBQDRQ1	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	21RB
ISO6721RFBQDRQ	ACTIVE	SOIC	D	8	3000	绿色环保（RoHS，无锑/溴）	NIPDAU	Level-2-260C-1 YEAR	-40 至 125	21RFB

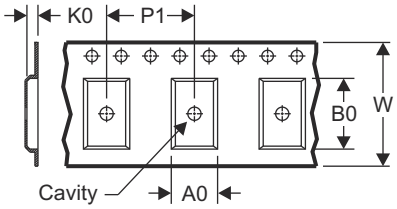
Copyright © 2026 Texas Instruments Incorporated

11.2 卷带包装信息

REEL DIMENSIONS

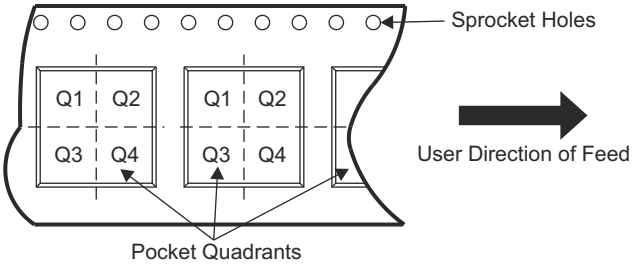


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

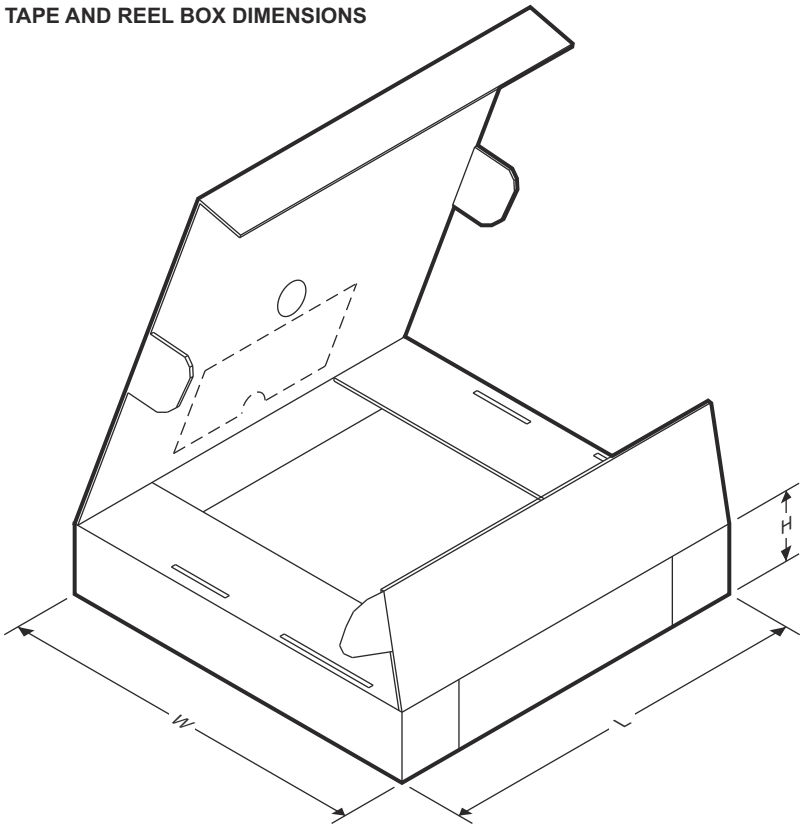
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
ISO6720QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6721QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
ISO6720QDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6721QDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720BQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6720FBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721BQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721FBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721RBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721RFBQDRQ	SOIC	D	8	3000	367.0	367.0	35.0

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6720BQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720B
ISO6720BQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720B
ISO6720FBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720FB
ISO6720FBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720FB
ISO6720FQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720F
ISO6720FQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720F
ISO6720QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720
ISO6720QDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720
ISO6721BQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721B
ISO6721BQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721B
ISO6721FBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721FB
ISO6721FBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721FB
ISO6721FQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721F
ISO6721FQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721F
ISO6721QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721
ISO6721QDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721
ISO6721RBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RB
ISO6721RBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RB
ISO6721RFBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RFB
ISO6721RFBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RFB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6720-Q1, ISO6721-Q1, ISO6721R-Q1 :

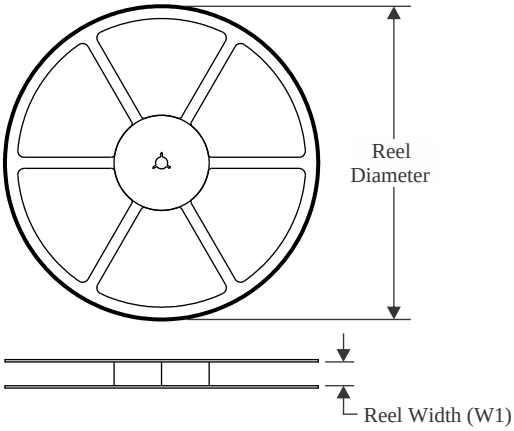
- Catalog : ISO6720, ISO6721, ISO6721R

NOTE: Qualified Version Definitions:

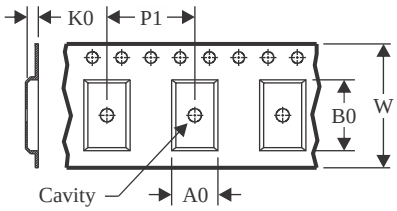
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

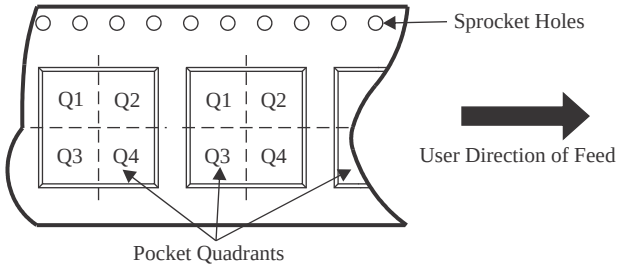


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

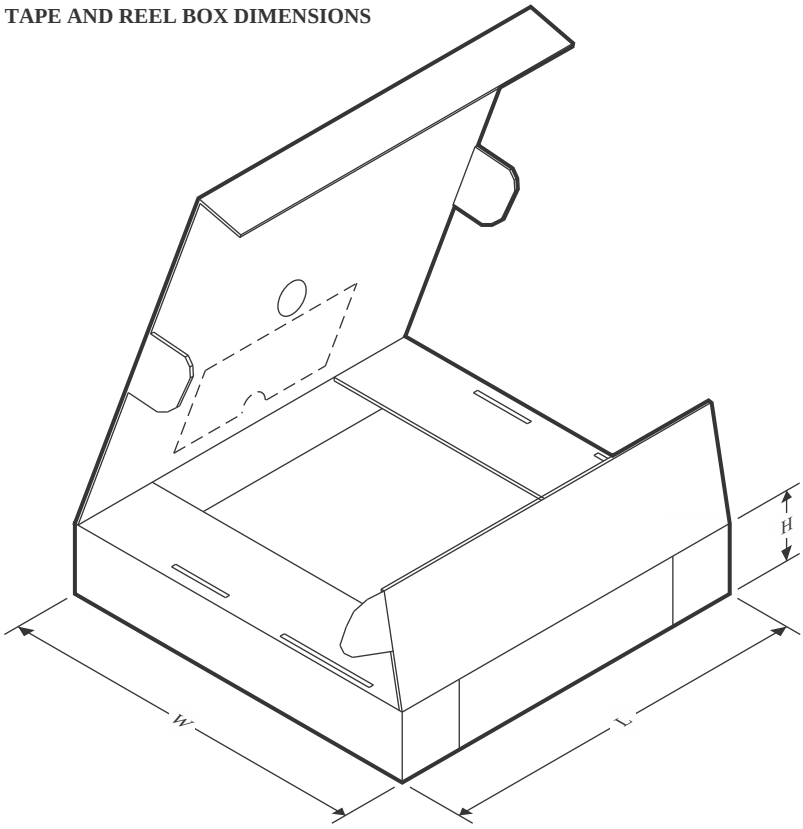


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6720QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

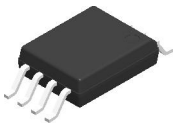
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6720BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720BQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6720FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720FBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6720QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721BQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721FBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721RBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721RBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721RFBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0

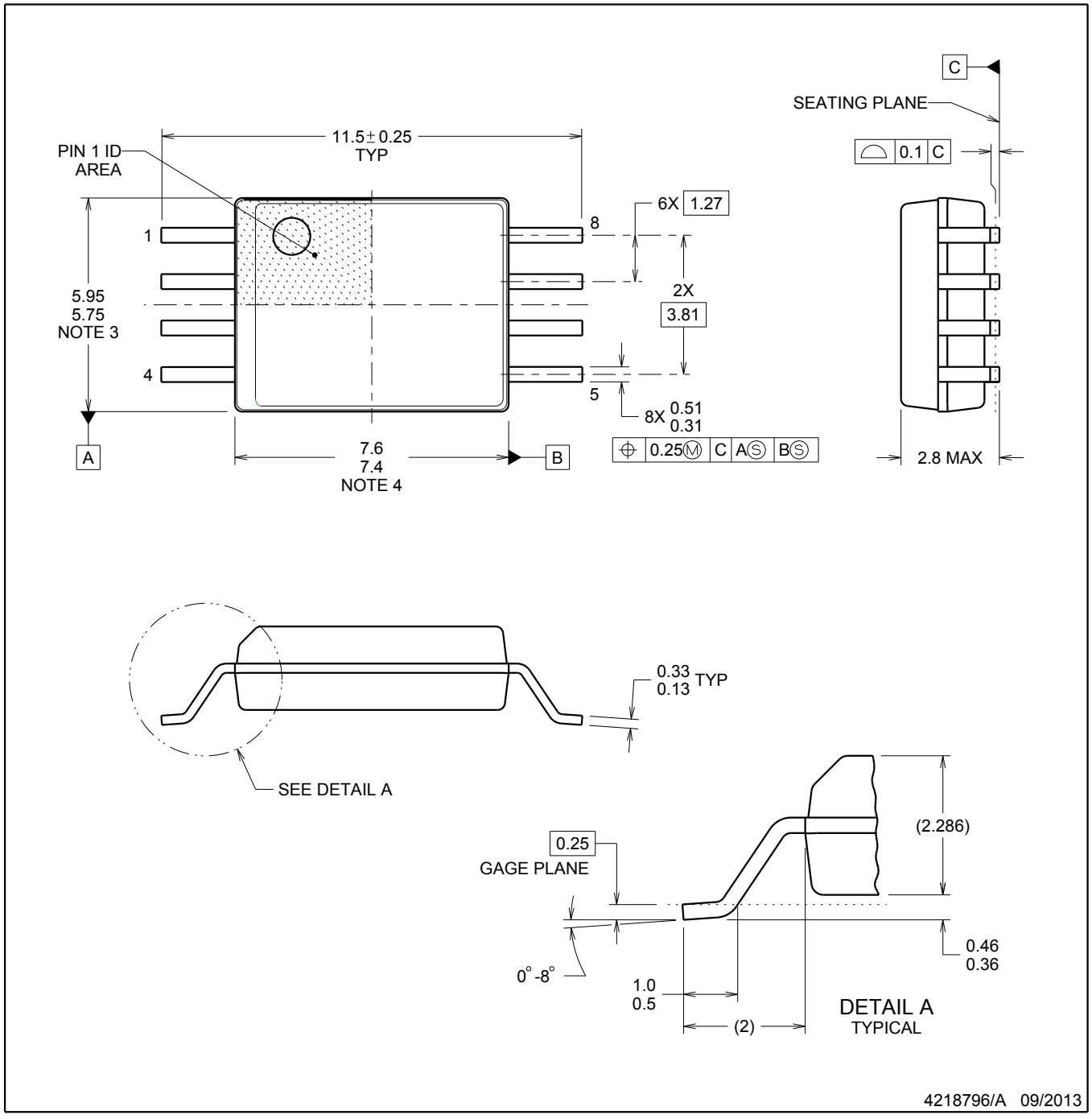
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6721RFBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0



DWV0008A

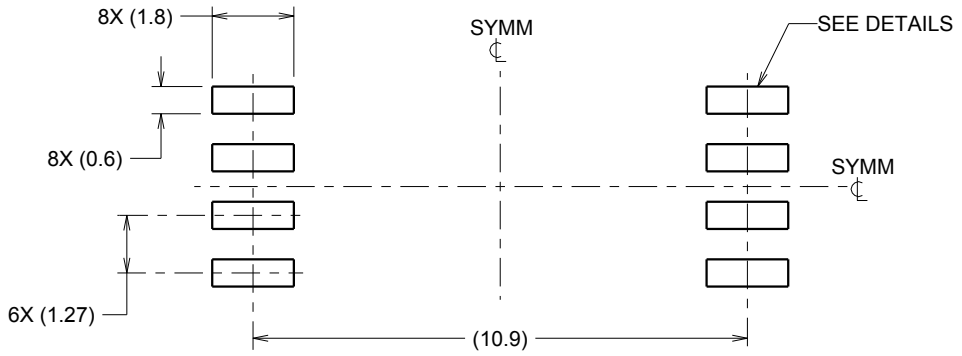
SOIC - 2.8 mm max height

SOIC

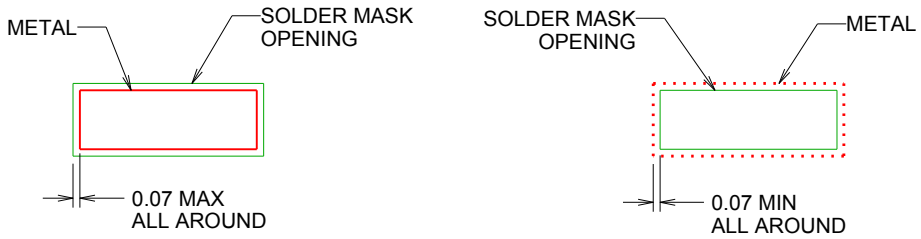


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

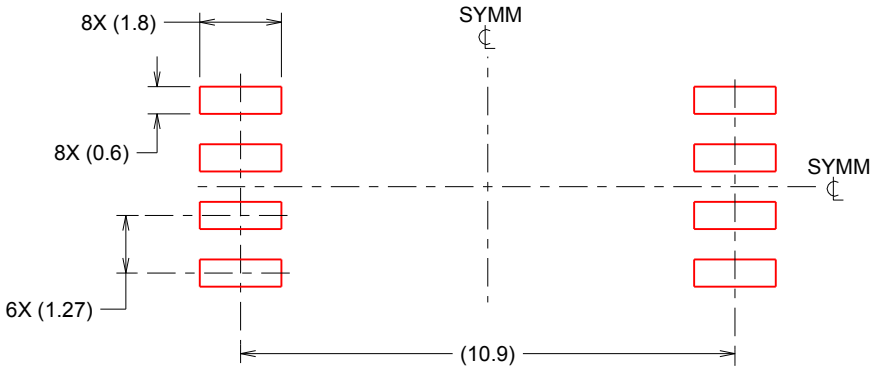
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC

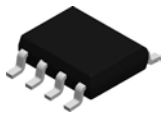


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

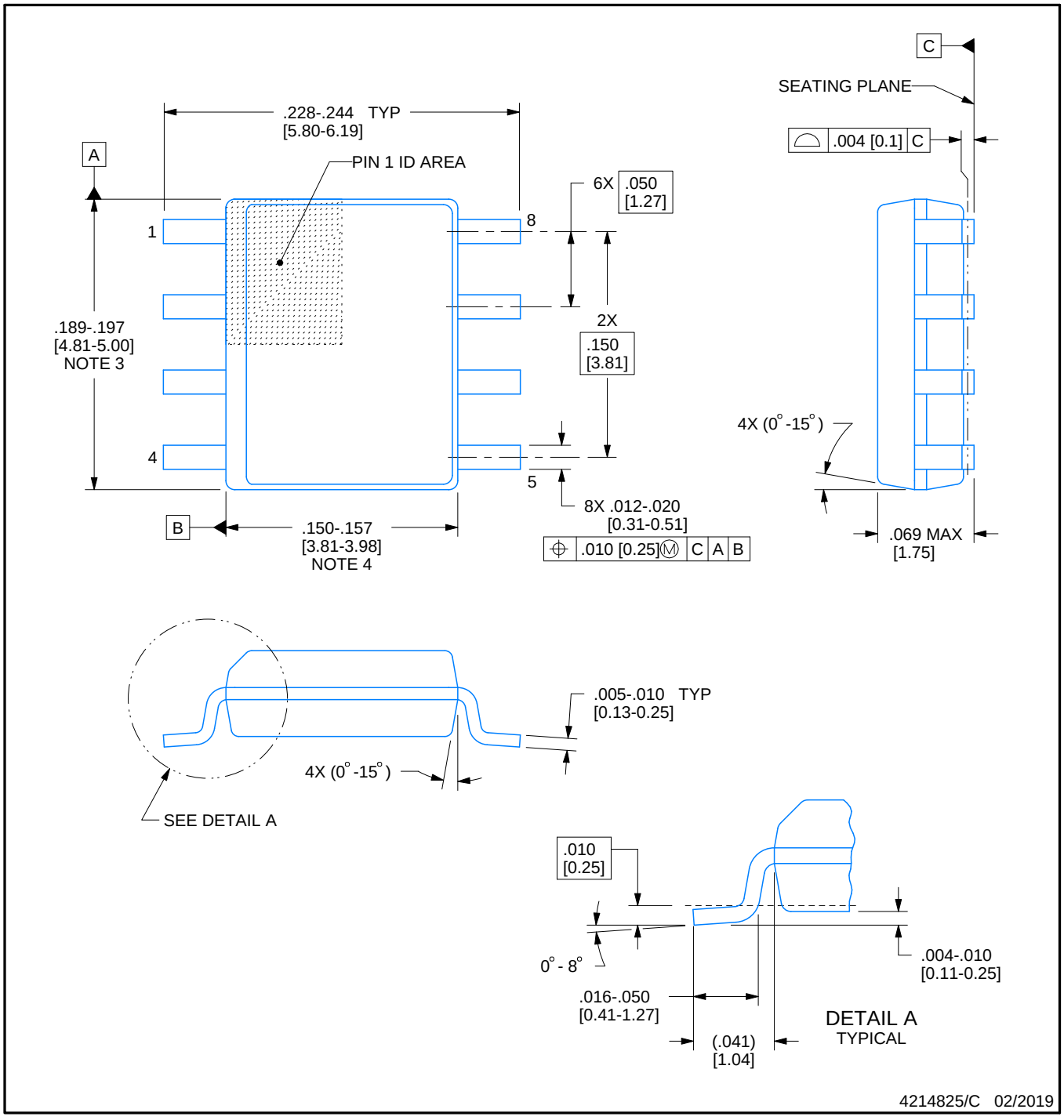


PACKAGE OUTLINE

D0008A

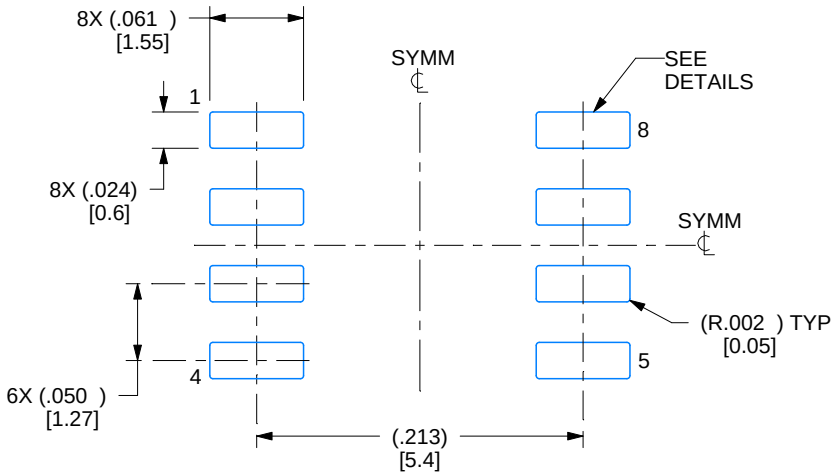
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

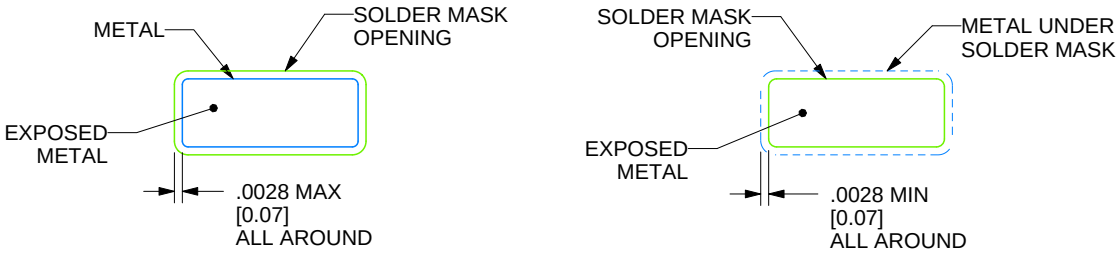


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

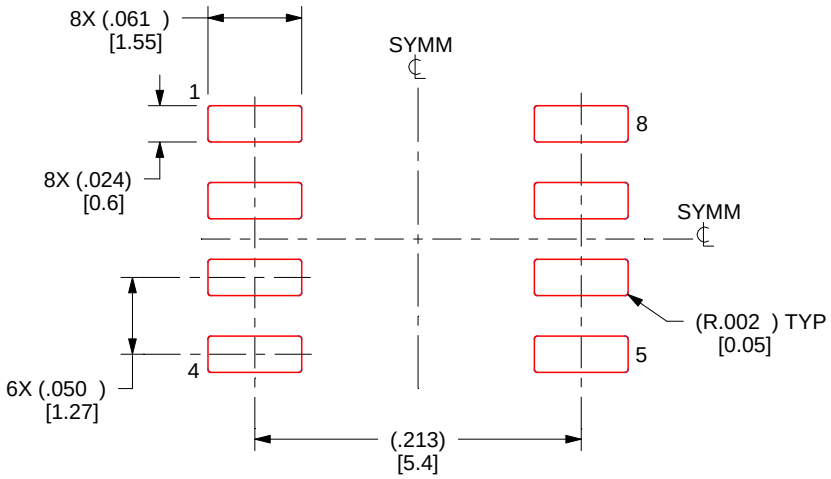
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月