ISO722x-Q1 双通道数字隔离器

1 特性

- 1Mbps 和 25Mbps 信号传输速率选项
  - 低通道输出偏斜；最大值为 1ns
  - 低脉宽失真度 (PWD)；最大值为 1ns
  - 低抖动内容；速率为 25Mbps 时的典型值为 1ns
- 50kV/μs 典型瞬态抗扰度
- 由 2.8V（C 级）、3.3V 或 5V 电源供电
- 4kV ESD 保护
- 工作温度范围 –40°C 至 +125°C
- 额定电压下的使用寿命典型值为 28 年（请参阅隔离寿命预测）
- 安全相关认证
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 61010-1、IEC 62368-1 认证

2 应用

- 工厂自动化
  - Modbus
  - Profibus™
  - DeviceNet™ 数据总线
- 计算机外设接口
- 伺服器控制接口
- 数据采集

3 说明

ISO7220x-Q1 和 ISO7221x-Q1 系列器件是双通道数字隔离器。为了方便 PCB 布局，ISO7220x-Q1 中的通道方向相同，ISO7221x-Q1 中的通道方向相反。这些器件具有逻辑输入和输出缓冲器，该缓冲器由 TI 的二氧化硅 (SiO_2) 隔离栅进行隔离，提供符合 VDE 标准、高达 $4000V_{PK}$ 的电隔离。当与隔离电源配合使用时，这些器件可阻止高电压和隔离接地，并可防止数据总线或其他电路上的噪声电流进入本地接地或对敏感电路造成干扰或损坏。

对二进制输入信号进行调理并转换为平衡的信号，然后由隔离层进行差分。跨越该隔离层，差分比较器可接收逻辑转换信息，然后相应地设置或重置触发器和输出电路。电路将跨越隔离层发送定期更新脉冲，以验证直流输出电平是否正常。如果每 4μs 没有收到此直流刷新脉冲，则输入被视为未通电或未被主动驱动，失效防护电路会将输出驱动至逻辑高电平状态。

生成的时间常数提供快速运行，其信号传输速率范围为 0Mbps（直流）到 25Mbps（线路上的信号传输速率是每秒进行的电压转换次数，以单位 bps 来表示）。A 选项和 C 选项器件具有 TTL 输入阈值，并且在输入上具有噪声滤波器，可防止将瞬态脉冲传递到器件的输出。M 选项器件具有 CMOS $V_{CC}/2$ 输入阈值，没有输入噪声滤波器和额外的传播延迟。

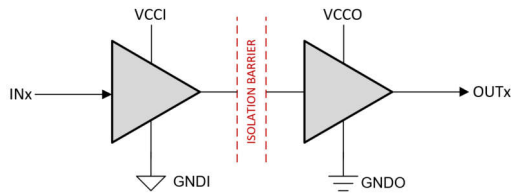
ISO7220x-Q1 和 ISO7221x-Q1 系列器件需要两个电源电压（2.8V（C 级）、3.3V、5V 或任意组合）。通过 2.8V 或 3.3V 电源供电时，所有输入均可耐受 5V 电压，所有输出均为 4mA CMOS。

ISO7220x-Q1 和 ISO7221x-Q1 系列器件在 –40°C 至 +125°C 的环境温度范围内运行。

封装信息

器件型号	封装(1)	本体尺寸（标称值）	封装尺寸(2)
ISO7220x-Q1	D（SOIC，8）	4.90mm × 3.91mm	4.9mm × 6mm
ISO7221x-Q1			

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



V_{CCI} 和 GNDI 分别是输入通道的电源和接地连接引脚。
V_{CCO} 和 GNDO 分别是输出通道的电源和接地连接引脚。

简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 建议运行条件.... 4
5.3 安全相关认证.... 4
5.4 热性能信息.... 4
5.5 安全限值.... 5
5.6 绝缘规格.... 6
5.7 电气特性.... 7
5.8 电气特性.... 8
5.9 电气特性.... 9
5.10 电气特性.... 10
5.11 开关特性.... 10
5.12 开关特性.... 12
5.13 开关特性.... 12
5.14 开关特性.... 13
5.15 典型特性.... 13
6 参数测量信息.... 15
7 详细说明.... 17
7.1 概述.... 17
7.2 功能方框图.... 17
7.3 特性说明.... 18
7.4 器件功能模式.... 18
8 应用和实施.... 19
8.1 应用信息.... 19
8.2 典型应用.... 19
8.3 电源相关建议.... 21
8.4 布局.... 21
9 器件和文档支持.... 22
9.1 器件支持.... 22
9.2 文档支持.... 22
9.3 接收文档更新通知.... 22
9.4 支持资源.... 22
9.5 商标.... 22
9.6 静电放电警告.... 22
9.7 术语表.... 22
10 修订历史记录.... 22
11 机械、封装和可订购信息.... 24

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

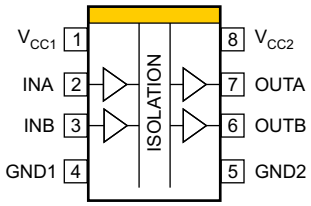


图 4-1. ISO7220x-Q1 D 封装 8 引脚 SOIC 顶视图

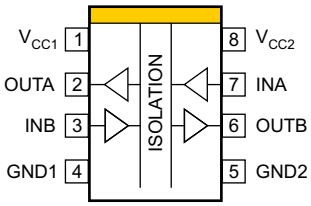


图 4-2. ISO7221x-Q1 D 封装 8 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚			类型[(1)]	说明
名称	ISO7220x-Q1	ISO7221x-Q1		
INA	2	7	I	输入，通道 A
INB	3	3	I	输入，通道 B
GND1	4	4	—	V_{CC1} 的接地连接
GND2	5	5	—	V_{CC2} 的接地连接
OUTA	7	2	O	输出，通道 A
OUTB	6	6	O	输出，通道 B
V_{CC1}	1	1	—	电源，V_{CC1}
V_{CC2}	8	8	—	电源，V_{CC2}

(1) I = 输入；O = 输出

5 规格

5.1 绝对最大额定值

参数		值
V_{CC}	电源电压[1]，V_{CC1}，V_{CC2}	-0.5V 至 6V
V_I	IN、OUT 处的电压	–0.5V 至 V_{CC} + 0.5 V[2]
I_O	输出电流	±15mA
T_J	最大结温	150°C
T_{stg}	贮存温度	-65°C 至 150°C

(1) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值。
(2) 最大电压不得超过 6V。

5.2 建议运行条件

			最小值	典型值	最大值	单位
V_{CC}	电源电压[1]	V_{CC1}、V_{CC2}	3		5.5	V
I_{OH}	高电平输出电流				4	mA
I_{OL}	低电平输出电流		-4			mA
t_{ui}	输入脉冲宽度	ISO722xA-Q1	1			μs
		ISO722xC-Q1	40			ns
$1/t_{ui}$	信令速率	ISO722xA-Q1	0		1000	kbps
		ISO722xC-Q1	0		25	Mbps
V_{IH}	高电平输入电压		2		V_{CC}	V
V_{IL}	低电平输入电压		0		0.8	V
T_A	环境温度		-40		125	°C
T_J	运行虚拟结温		-40		150	°C
H	符合 IEC 61000-4-8 和 IEC 61000-4-9 认证要求的外部磁场强度抗扰度				1000	A/m

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3.3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3V 至 3.6V。

5.3 安全相关认证

VDE	CSA	UL
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1 进行了认证	根据 UL 1577 组件认证计划进行了认证
基本证书：40047657	主合同编号：220991	文件编号：E181974

5.4 热性能信息

热指标[1]			ISO7220x-Q1 ISO7221x-Q1 D (SOIC) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	低 K 热阻[1]	212	°C/W
		高 K 热阻	122	
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		69.1	°C/W
$R_{\theta JB}$	结至电路板热阻		47.7	°C/W
ψ_{JT}	结至顶部特征参数		15.2	°C/W
ψ_{JB}	结至电路板特征参数		47.2	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标[1]		ISO7220x-Q1 ISO7221x-Q1 D (SOIC) 8 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	°C/W

(1) 根据 EIA/JESD51-3 的低 K 或高 K 热指标定义进行了引线式表面贴装封装测试。

5.5 安全限值

安全限值[1]旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 212°C/W，V_I = 5.5V，T_J = 170°C，T_A = 25°C，请参阅热性能信息			124	mA
		$R_{\theta JA}$ = 212°C/W，V_I = 3.6V，T_J = 170°C，T_A = 25°C，请参阅热性能信息			190	
T_S	安全温度				150	°C

(1) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

5.6 绝缘规格

参数		测试条件	值	单位
通用				
CLR	外部间隙[1]	端子间的最短空间距离	4	mm
CPG	外部爬电距离[1]	端子间的最短封装表面距离	4	mm
DTI	绝缘穿透距离	最小内部间隙	0.008	mm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	⩾400	V
	材料组		II	
	过压类别	额定市电电压 ⩽ 150V_{RMS}	I-IV	
		额定市电电压 ⩽ 300V_{RMS}	I-III	
		额定市电电压 ⩽ 400V_{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17)[2]				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	560	V_{PK}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试）， V_{TEST} = 1.2 x V_{IOTM}，t = 1s（100% 生产测试）	4000	V_{PK}
q_{pd}	视在电荷[3]	方法 a：I/O 安全测试子组 2/3 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.2 × V_{IORM}，t_m = 10s	⩽5	pC
		方法 a：环境测试子组 1 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.3 × V_{IORM}，t_m = 10s	⩽5	
		方法 b：常规测试时（100% 生产测试）； V_{ini} = 1.2 × V_{IOTM}，t_{ini} = 1s； $V_{pd(m)}$ = 1.5 × V_{IORM}，t_m = 1s（方法 b1）或 $V_{pd(m)}$ = V_{ini}，t_m = t_{ini}（方法 b2）	⩽5	
C_{IO}	势垒电容，输入至输出[4]	V_{IO} = 0.4 x sin(2πft)，f = 1MHz	1	pF
R_{IO}	隔离电阻，输入至输出[4]	V_{IO} = 500V，T_A = 25°C	>10^{12}	Ω
		V_{IO} = 500V，100°C ⩽ T_A ⩽ 125°C	>10^{11}	
		V_{IO} = 500V，T_S = 150°C	>10^{9}	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 2500V_{RMS}，t = 60s（鉴定测试）， V_{TEST} = 1.2 × V_{ISO} = 3000V_{RMS}，t = 1s（100% 生产测试）	2500	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口和/或肋等技术用于帮助提高这些规格。
(2) 此耦合器仅适用于最大工作额定值范围内的*基本电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 视在电荷是局部放电 (pd) 引起的电气放电。
(4) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性

V_{CC1} = 3.3V，V_{CC2} = 5V[(1)]，在推荐的运行条件下测得（除非另有说明）

参数				测试条件	最小值	典型值	最大值	单位
I_{CC1}	电源电流，V_{CC1}	ISO7220x-Q1	静态	V_I = V_{CC} 或 0V，空载		0.6	1	mA
		ISO7221x-Q1				4.3	9.5	
		ISO7220A-Q1	1Mbps			1	2	
		ISO7221A-Q1				5	11	
		ISO7221C-Q1	25Mbps			6	12	
I_{CC2}	电源电流，V_{CC2}	ISO7220x-Q1	静态	V_I = V_{CC} 或 0V，空载		16	31	mA
		ISO7221x-Q1				8.5	17	
		ISO7220A-Q1	1Mbps			18	32	
		ISO7221A-Q1				10	18	
		ISO7221C-Q1	25Mbps			12	22	
V_{OH}	高电平输出电压		ISO7220x-Q1	I_{OH} = -4mA	V_{CC} – 0.8			V
			ISO7221x-Q1（3.3V 侧）		V_{CC} – 0.4			
				I_{OH}=-20 μA	V_{CC} – 0.1			
V_{OL}	低电平输出电压			IOL = 4mA			0.4	V
				IOL = 20 μA		0	0.1	
$V_{I(HYS)}$	输入阈值电压迟滞					150		mV
I_{IH}	高电平输入电流			IN 为 0V 或者 V_{CC}			10	μA
I_{IL}	低电平输入电流			IN 为 0V 或者 V_{CC}	-10			μA
C_I	接地输入电容			IN 为 VCC，VI = 0.4 sin (2 π ft)，f=2MHz		1		pF
CMTI	共模瞬态抗扰度			V_I = V_{CC} 或 0V，请参阅图 6-3	15	40		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3.3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3V 至 3.6V。

5.8 电气特性

V_{CC1} = V_{CC2} = 3.3V[(1)]，在推荐的运行条件下测得（除非另有说明）

参数				测试条件	最小值	典型值	最大值	单位
I_{CC1}	电源电流，V_{CC1}	ISO7220x-Q1	静态	V_I = V_{CC} 或 0V，空载		0.6	1	mA
		ISO7221x-Q1				4.3	9.5	
		ISO7220A-Q1	1Mbps			1	2	
		ISO7221A-Q1				5	11	
		ISO7221C-Q1	25Mbps			6	12	
I_{CC2}	电源电流，V_{CC2}	ISO7220x-Q1	静态	V_I = V_{CC} 或 0V，空载		8	18	mA
		ISO7221x-Q1				4.3	9.5	
		ISO7220A-Q1	1Mbps			9	19	
		ISO7221A-Q1				5	11	
		ISO7221C-Q1	25Mbps			6	12	
V_{OH}	高电平输出电压			I_{OH} = -4mA	V_{CC} – 0.4	3		V
				I_{OH}=-20 μA	V_{CC} – 0.1	3.3		
V_{OL}	低电平输出电压			I_{OL} = 4mA		0.2	0.4	V
				I_{OL} = 20 μA		0	0.1	
$V_{I(HYS)}$	输入电压迟滞					150		mV
I_{IH}	高电平输入电流			IN 为 0V 或者 V_{CC}			10	μA
I_{IL}	低电平输入电流			IN 为 0V 或者 V_{CC}	-10			μA
C_I	接地输入电容			IN 为 VCC，VI = 0.4 sin (2 π ft)，f=2MHz		1		pF
CMTI	共模瞬态抗扰度			V_I = V_{CC} 或 0V，请参阅图 6-3	15	40		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3.3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3V 至 3.6V。

Copyright © 2025 Texas Instruments Incorporated

5.9 电气特性

V_{CC1} = 5V，V_{CC2} = 3.3V[(1)]，在推荐的运行条件下测得（除非另有说明）

参数				测试条件	最小值	典型值	最大值	单位
I_{CC1}	电源电流，V_{CC1}	ISO7220x-Q1	静态	$V_I = V_{CC}$ 或 0V，空载		1	2	mA
		ISO7221x-Q1				8.5	17	
		ISO7220A-Q1	1Mbps	$V_I = V_{CC}$ 或 0V，空载		2	3	
		ISO7221A-Q1				10	18	
		ISO7221C-Q1	25Mbps	$V_I = V_{CC}$ 或 0V，空载		12	22	
I_{CC2}	电源电流，V_{CC2}	ISO7220x-Q1	静态	$V_I = V_{CC}$ 或 0V，空载		8	18	mA
		ISO7221x-Q1				4.3	9.5	
		ISO7220A-Q1	1Mbps	$V_I = V_{CC}$ 或 0V，空载		9	19	
		ISO7221A-Q1				5	11	
		ISO7221C-Q1	25Mbps	$V_I = V_{CC}$ 或 0V，空载		6	12	
V_{OH}	高电平输出电压		ISO7220x-Q1	I_{OH} = -4mA	V_{CC} – 0.4			V
			ISO7221x-Q1（5V 侧）		V_{CC} – 0.8			
				I_{OH}=-20 μA	V_{CC} – 0.1			
V_{OL}	低电平输出电压			I_{OL} = 4mA			0.4	V
				I_{OL} = 20 μA			0.1	
$V_{I(HYS)}$	输入电压迟滞					150		mV
I_{IH}	高电平输入电流			IN 从 0V 到 V_{CC}			10	μA
I_{IL}	低电平输入电流			IN 从 0V 到 V_{CC}	-10			μA
C_I	接地输入电容			IN 为 VCC，VI = 0.4 sin (2 π ft)，f=2MHz		1		pF
CMTI	共模瞬态抗扰度			$V_I = V_{CC}$ 或 0V，请参阅图 6-3	15	40		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3.3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3V 至 3.6V。

5.10 电气特性

5V 时的 V_{CC1} 和 V_{CC2} [(1)]，在建议运行条件下测得（除非另有说明）

参数				测试条件	最小值	典型值	最大值	单位
I_{CC1}	电源电流，V_{CC1}	ISO7220x-Q1	静态	$V_I = V_{CC}$ 或 0V，空载		1	2	mA
		ISO7221x-Q1				8.5	17	
		ISO7220A-Q1	1Mbps			2	3	
		ISO7221A-Q1				10	18	
		ISO7221C-Q1	25Mbps			12	22	
I_{CC2}	电源电流，V_{CC2}	ISO7220x-Q1	静态	$V_I = V_{CC}$ 或 0V，空载		16	31	mA
		ISO7221x-Q1				8.5	17	
		ISO7220A-Q1	1Mbps			17	32	
		ISO7221A-Q1				10	18	
		ISO7221C-Q1	25Mbps			12	22	
V_{OH}	高电平输出电压			I_{OH} = -4mA	V_{CC} – 0.8	4.6		V
				I_{OH}=-20 μA	V_{CC} – 0.1	5		
V_{OL}	低电平输出电压			I_{OL} = 4mA		0.2	0.4	V
				I_{OL} = 20 μA		0	0.1	
$V_{I(HYS)}$	输入电压迟滞					150		mV
I_{IH}	高电平输入电流			IN 从 0V 到 V_{CC}			10	μA
I_{IL}	低电平输入电流			IN 从 0V 到 V_{CC}	-10			μA
C_I	接地输入电容			IN 为 VCC，VI = 0.4 sin (2πft)，f=2MHz		1		pF
CMTI	共模瞬态抗扰度			$V_I = V_{CC}$ 或 0V，请参阅图 6-3	25	50		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3.3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3V 至 3.6V。

5.11 开关特性

V_{CC1} = 3.3 V ± 10%，V_{CC2} = 5 V ± 10%，在建议运行条件下测得，除非另有说明

参数			测试条件	最小值	典型值	最大值	单位
t_{pLH}、t_{pHL}	传播延迟	ISO722xA-Q1	请参阅图 6-1	268	395	605	ns
PWD	脉宽失真 $\lvert t_{pHL} - t_{pLH}\rvert$ [(1)]				1	22	ns
t_{pLH}、t_{pHL}	传播延迟	ISO722xC-Q1	请参阅图 6-1	21	36	48	ns
PWD	脉宽失真 $\lvert t_{pHL} - t_{pLH}\rvert$ [(1)]				1	3	ns
$t_{sk(pp)}$	器件间偏移[(2)]	ISO722xA-Q1				190	ns
		ISO722xC-Q1				10	
$t_{sk(o)}$	通道间输出偏移[(3)]	ISO7220A-Q1			3	15	ns
t_r	输出信号上升时间		请参阅图 6-1		2.3		ns
t_f	输出信号下降时间		请参阅图 6-1		2.3		ns

Copyright © 2025 Texas Instruments Incorporated

V_{CC1} = 3.3 V ± 10%，V_{CC2} = 5 V ± 10%，在建议运行条件下测得，除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
t_{fs}	输入功率损耗的失效防护输出延迟时间	请参阅图 6-2		3		μs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

5.12 开关特性

V_{CC1} = 5 V ± 10%，V_{CC2} = 3.3 V ± 10%，在建议运行条件下测得，除非另有说明

参数			测试条件	最小值	典型值	最大值	单位
t_{pLH}、t_{pHL}	传播延迟	ISO722xA-Q1	请参阅图 6-1	253	410	585	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	18	ns
t_{pLH}、t_{pHL}	传播延迟	ISO722xC-Q1	请参阅图 6-1	21	36	48	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	2	ns
$t_{sk(pp)}$	器件间偏移(2)	ISO722xA-Q1				180	ns
		ISO722xC-Q1				10	
$t_{sk(o)}$	通道间输出偏移(3)	ISO7220A-Q1			3	15	ns
t_r	输出信号上升时间		请参阅图 6-1		2.3		ns
t_f	输出信号下降时间		请参阅图 6-1		2.3		
t_{fs}	输入功率损耗的失效防护输出延迟时间		请参阅图 6-2		3		µs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

5.13 开关特性

V_{CC1} = V_{CC2} = 3.3V ± 10%（在建议运行条件下测得，除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
t_{pLH}、t_{pHL}	传播延迟	ISO722xA-Q1	请参阅图 6-1	267	400	610	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	22	ns
t_{pLH}、t_{pHL}	传播延迟	ISO722xC-Q1	请参阅图 6-1	23	40	52	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	3	ns
$t_{sk(pp)}$	器件间偏移(2)	ISO722xA-Q1				190	ns
		ISO722xC-Q1				10	
$t_{sk(o)}$	通道间输出偏移(3)	ISO7220A-Q1			3	15	ns
t_r	输出信号上升时间		请参阅图 6-1		2.3		ns
t_f	输出信号下降时间		请参阅图 6-1		2.3		ns
t_{fs}	输入功率损耗的失效防护输出延迟时间		请参阅图 6-2		3		µs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

Copyright © 2025 Texas Instruments Incorporated

5.14 开关特性

V_{CC1} = V_{CC2} = 5V ± 10%（在建议运行条件下测得，除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
t_{pLH}、t_{pHL}	传播延迟	ISO722xA-Q1	请参阅图 6-1	252	405	600	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	18	ns
t_{pLH}、t_{pHL}	传播延迟	ISO722xC-Q1	请参阅图 6-1	21	32	42	ns
PWD	脉宽失真 $\|t_{pHL} - t_{pLH}\|$(1)				1	2	ns
$t_{sk(pp)}$	器件间偏移(2)	ISO722xA-Q1				180	ns
		ISO722xC-Q1				10	
$t_{sk(o)}$	通道间输出偏移(3)	ISO7220A-Q1			3	15	ns
t_r	输出信号上升时间		请参阅图 6-1		2.3		ns
t_f	输出信号下降时间		请参阅图 6-1		2.3		ns
t_{fs}	输入功率损耗的失效防护输出延迟时间		请参阅图 6-2		3		μs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

5.15 典型特性

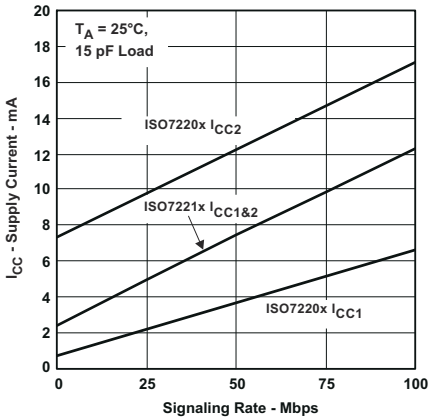


图 5-1. 3.3V RMS 电源电流与信令速率间的关系 (Mbps)

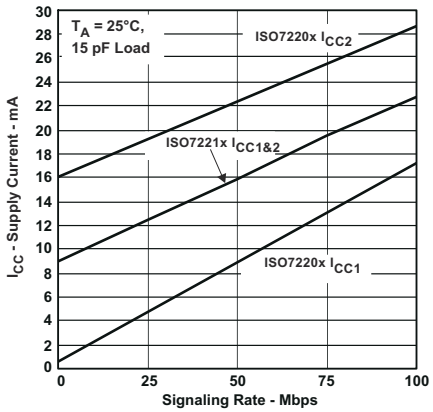


图 5-2. 5V RMS 电源电流与信令速率间的关系 (Mbps)

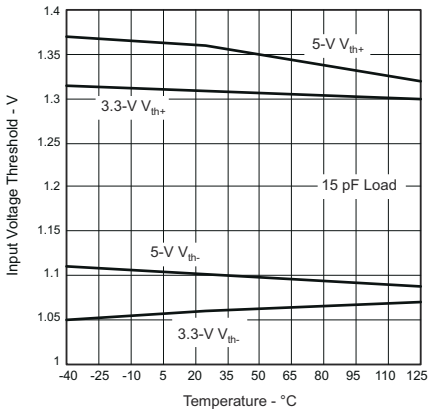


图 **5-3. ISO722xA-Q1** 和 **ISO722xC-Q1** 输入电压低至高电平开关阈值与自然通风条件下的温度间的关系

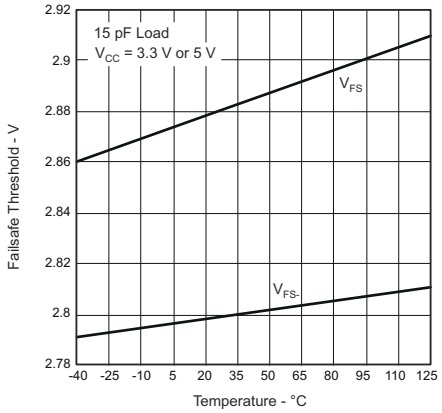


图 **5-4. V_{CC}** 失效保护阈值与自然通风条件下的温度间的关系

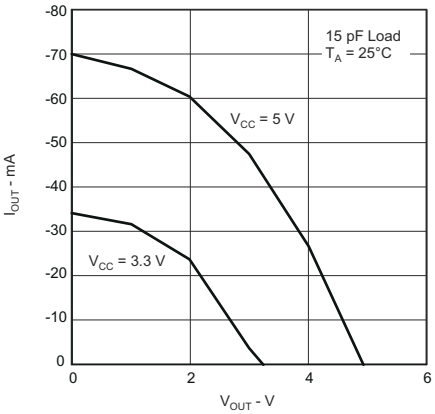


图 **5-5.** 高电平输出电流与高电平输出电压间的关系

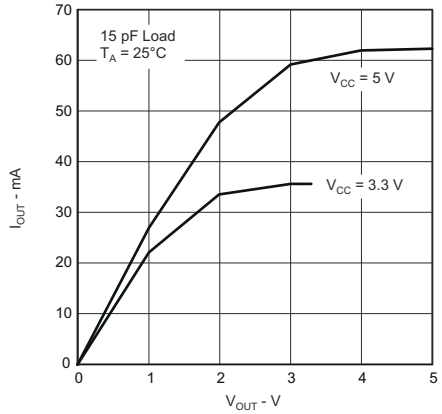
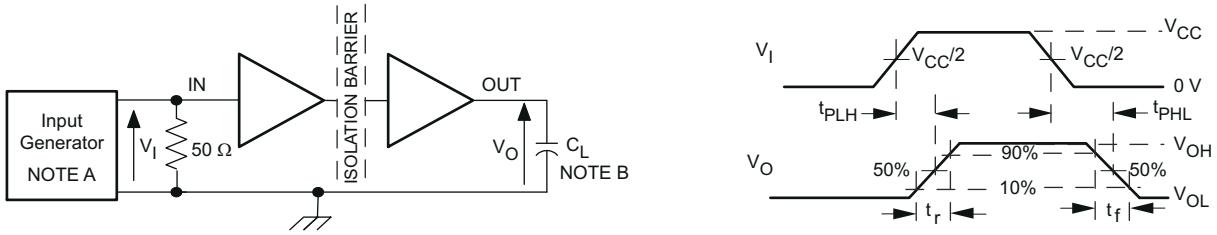


图 **5-6.** 低电平输出电流与低电平输出电压间的关系

Copyright © 2025 Texas Instruments Incorporated

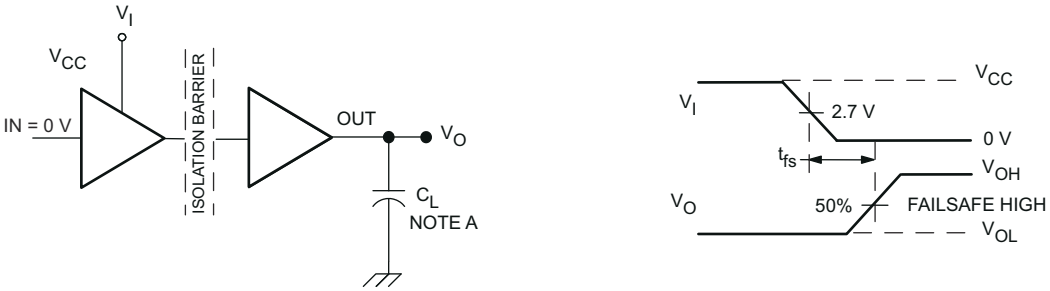
6 参数测量信息



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50kHz，50% 占空比，t_r ≤ 3ns，t_f ≤ 3ns，Z_O = 50 Ω。

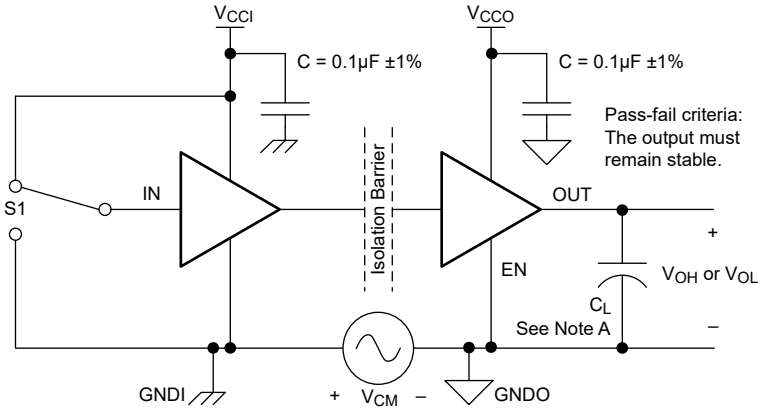
B. C_L = 15 pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



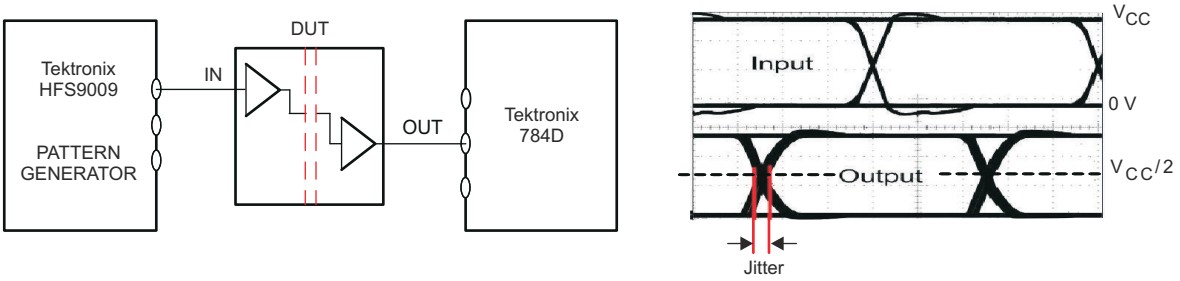
A. C_L = 15 pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-2. 失效防护延迟时间测试电路和电压波形



A. C_L = 15 pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-3. 共模瞬态抗扰度测试电路



PRBS 位图形运行长度为 2^{16} - 1。转换时间为 800ps。

图 6-4. 峰值间眼图抖动测试电路和电压波形

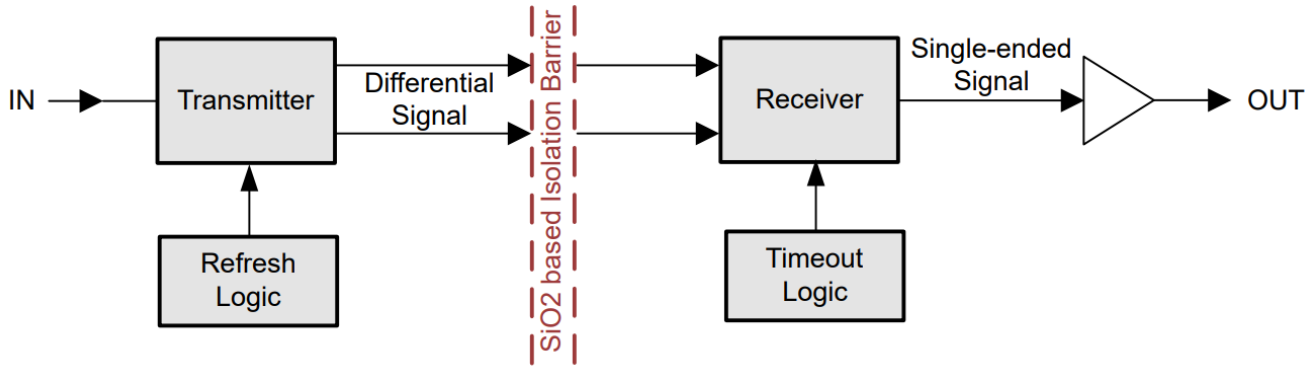
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

ISO722xx-Q1 系列器件通过基于二氧化硅的隔离栅传输数字数据。器件的数字输入信号 (IN) 由发送器采样，并且发送器在每个数据沿都会跨隔离栅发送相应的差分信号。当输入信号为静态时，刷新逻辑会定期从发送器发送必要的差分信号。在隔离栅的另一侧，接收器将差分信号转换为单端信号，该信号通过缓冲器在 OUT 引脚上输出。如果接收器没有接收到数据或刷新信号，超时逻辑会检测输入端的信号或功率损失并将输出驱动至默认电平。

7.2 功能方框图



7.3 特性说明

表 7-1 汇总了器件特性。

表 7-1. 器件特性

器件型号	最大信令速率	输入阈值	通道方向
ISO7220A-Q1	1Mbps	≅ 1.5V (TTL) (兼容 CMOS)	2/0
ISO7221A-Q1	1Mbps	≅ 1.5V (TTL) (兼容 CMOS)	1/1
ISO7221C-Q1	25Mbps	≅ 1.5V (TTL) (兼容 CMOS)	

7.4 器件功能模式

表 7-2 中列出了 ISO7220x-Q1 和 ISO7221x-Q1 系列器件的功能模式。

表 7-2. ISO7220x-Q1 或 ISO7221x-Q1 功能表

输入侧 V_{CC} (1)	输出侧 V_{CC}	输入 (IN)	输出 (OUT)
PU	PU	H	H
		L	L
		开路	H
PD	PU	X	H
X	PD	X	不确定

(1) PU = 上电 (V_{CC} ≥ 3.0V) ; PD = 断电 (V_{CC} ≤ 2.5V) ; X = 不相关 ; H = 高电平 ; L = 低电平

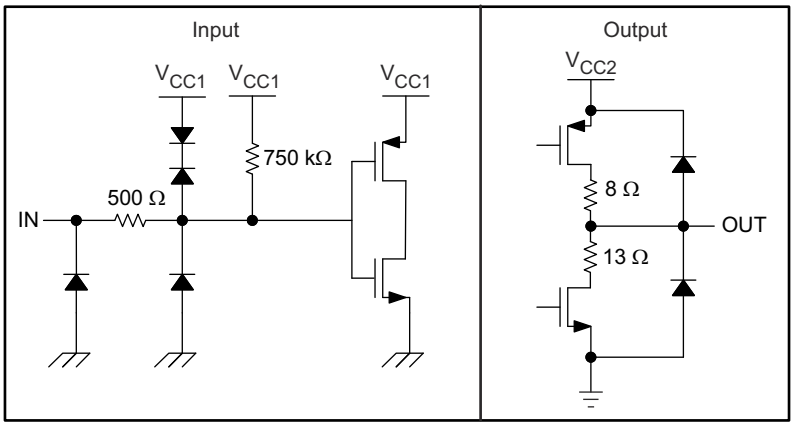


图 7-1. 器件 I/O 原理图

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ISO7220x 和 ISO7221x 系列器件采用单端 TTL 或 CMOS 逻辑开关技术。V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 3V（C 级为 2.8V）至 5.5V。使用数字隔离器进行设计时，由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都放在数据控制器（即 μC 或 UART）和数据转换器或数据线收发器之间。

8.2 典型应用

ISO7221x-Q1 系列器件可与德州仪器 (TI) 的混合信号微控制器、数模转换器、变压器驱动器和稳压器配合使用，以创建隔离式 4mA 至 20mA 电流环路。

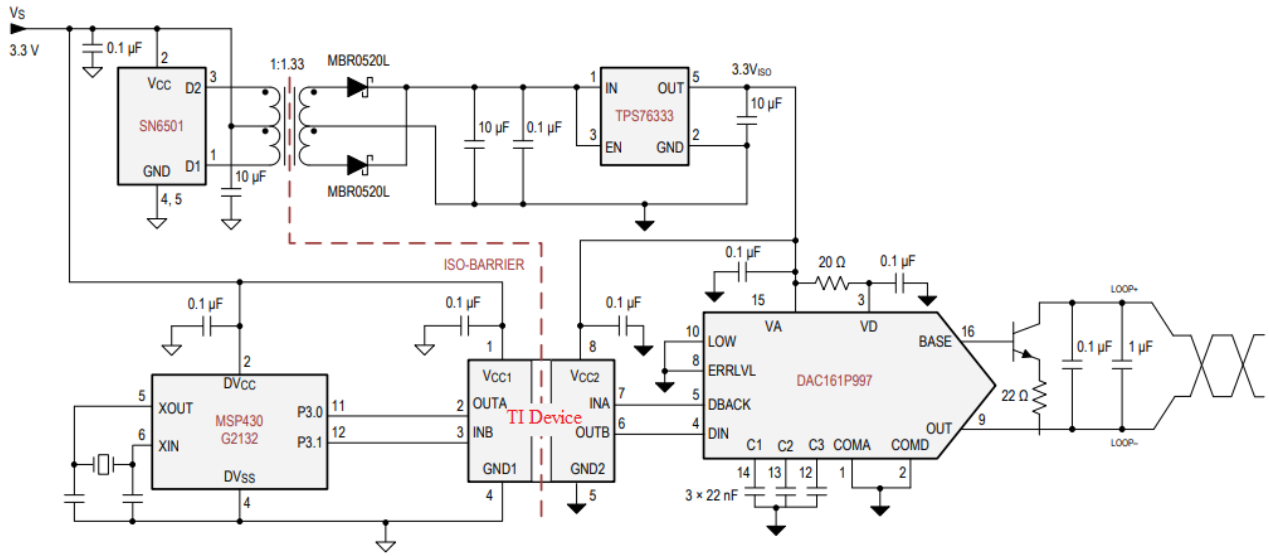


图 8-1. 隔离式 4mA 至 20mA 电流环路

8.2.1 设计要求

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO7220x-Q1 和 ISO7221x-Q1 器件仅需两个外部旁路电容器即可工作。

8.2.2 详细设计过程

图 8-2 和 图 8-3 显示了典型 ISO7220x-Q1 和 ISO7221x-Q1 电路的连接。唯一的外部元件是两个旁路电容器。

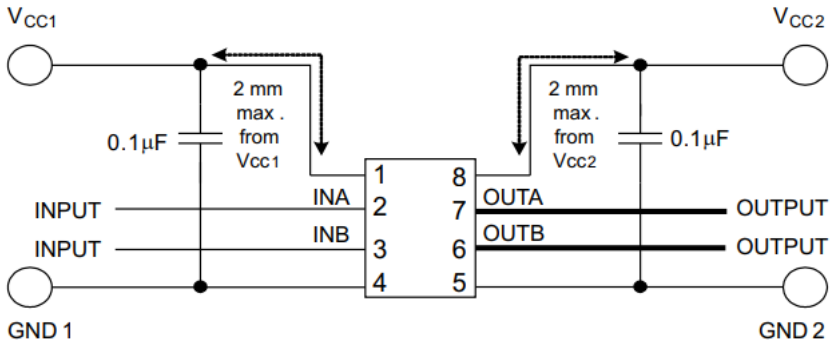


图 8-2. 典型 ISO7220x-Q1 电路连接

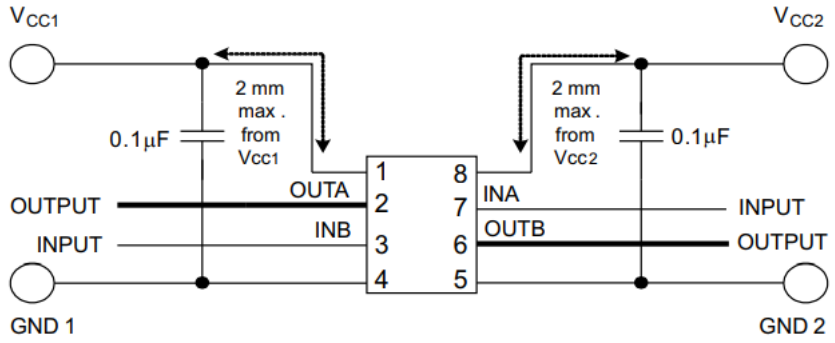


图 8-3. 典型 ISO7221x-Q1 电路连接

8.2.3 绝缘寿命

在最大工作电压下，ISO72x 和 ISO72xM 系列器件的隔离栅使用寿命超过 28 年。

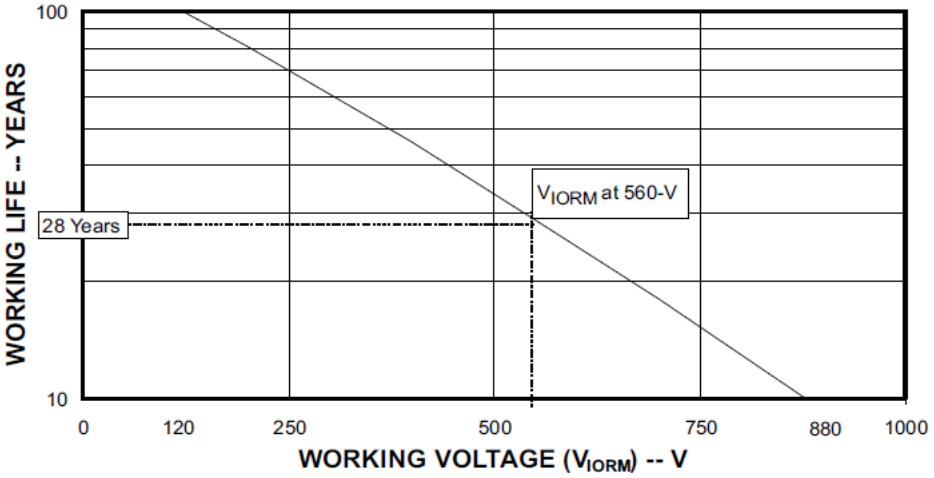


图 8-4. 绝缘寿命预测

Copyright © 2025 Texas Instruments Incorporated

8.3 电源相关建议

为帮助确保在所有数据速率和电源电压条件下都能可靠运行，建议将 0.1μF 旁路电容器放置在输入和输出电源引脚（V_{CC1} 和 V_{CC2}）处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可以借助德州仪器 (TI) 的 SN6501 器件等变压器驱动器为次级侧生成隔离式电源。对于此类应用，*适用于隔离式电源的 SN6501 变压器驱动器* 中提供了详细电源设计以及变压器选择建议。

8.4 布局

8.4.1 布局指南

至少需要四层才能实现低 EMI PCB 设计（请参阅 图 8-5）。层堆叠必须符合以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约 100pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。向堆栈添加第二个平面系统可使堆栈保持机械稳定并防止其翘曲。每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅*数字隔离器设计指南*。

8.4.1.1 PCB 材料

对于运行速度低于 150 Mbps（或上升和下降时间大于 1 ns）且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

8.4.2 布局示例

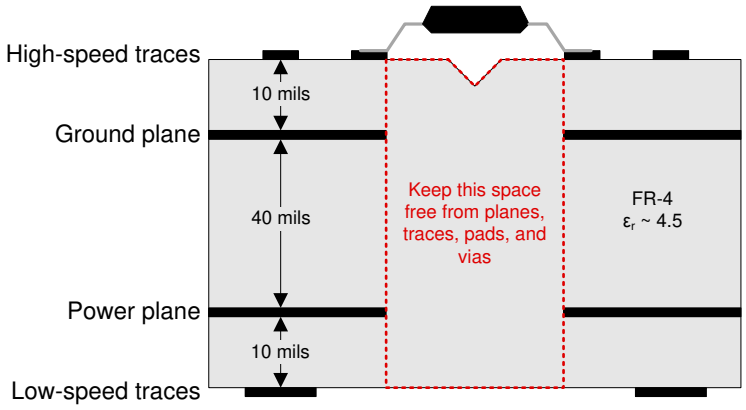


图 8-5. 建议的层堆叠

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

有关开发支持的信息，请参阅：

- 采用 DALI DMX512 和电力线通信的交流电源 LED 照明参考设计
- 工业伺服驱动器和交流逆变器驱动器参考设计
- 低成本单相/双相隔离式电量测量参考设计
- 抗干扰电容式触摸 HMI 参考设计
- 2 类 PoE PSE、6kV 雷电浪涌参考设计

9.2 文档支持

9.2.1 相关文档

欲查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*数字隔离器设计指南*
- 德州仪器 (TI)，*隔离相关术语*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Profibus™ is a trademark of Profibus.
DeviceNet™ is a trademark of Open DeviceNet Vendors Association.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (February 2025) to Revision G (October 2025) **Page**

- 更正了*绝缘规格* 表中的拼写错误和其他错误。 4

Copyright © 2025 Texas Instruments Incorporated

• 将*安全相关认证* 部分第二行中全部 3 处“计划认证”更改为“已认证” 4

Changes from Revision E (November 2024) to Revision F (February 2025) **Page**

• 更新了整个文档中的表格、图和交叉参考的编号格式 1

Changes from Revision D (April 2020) to Revision E (November 2024) **Page**

• 更新了整个文档中的内容，以便更好地与器件的商用版本保持一致 1
• 通篇将引用内容从电容隔离更新为隔离栅 1
• 通篇将“VDE V 0884-11”更新为“DIN VDE 0884-17” 1
• 更新了整个文档中的表格、图和交叉参考的编号格式 1
• 更新了热特性、安全限值和热降额曲线以提供更准确的系统级热计算 4
• 更新了电气和开关特性以匹配器件性能 7
• 添加了*“详细说明”*、*“概述”*、*“功能说明”*、*“功能方框图”*和*“器件功能模式”*部分 17
• 添加了*“典型应用”*、*“电源建议”*和*“布局”*部分 19

Changes from Revision C (May 2012) to Revision D (April 2020) **Page**

• 将标准名称从“IEC 60747-5-2（VDE 0884，修订版 2）、IEC 61010-1”更改为“DIN VDE V 0884-11:2017-01、DIN EN 61010-1”并添加了“IEC 62368-1”（在“特性”中） 1
• 通篇进行了编辑性和修饰性更改 1
• 删除了**建议运行条件**表中“输入脉冲宽度”和“信令速率”规格的典型值 (TYP) 4
• 在**建议运行条件** 表中添加了“环境温度”规格 4
• 将 ISO722xA 的“传播延迟”最大值限制 (MAX) 从：480ns 更改为 605ns（位于**开关特性**中，条件为 V_{CC1} = 3.3 V ± 10%，V_{CC2} = 5 V ± 10%） 10
• 将 ISO722xA 的“脉宽失真”最大值限制 (MAX) 从：18ns 更改为：22ns（位于**开关特性**中，条件为 V_{CC1} = 3.3 V ± 10%，V_{CC2} = 5 V ± 10%） 10
• 将**开关特性**（V_{CC1} = 3.3 V ± 10%、V_{CC2} = 5 V ± 10%）中的“通道间输出偏移”规格内的“ISO722xA”更改为“ISO7220A”，并删除了“ISO722xC”行 10
• 将 ISO722xA 的“传播延迟”最大值限制 (MAX) 从：480ns 更改为 585ns（位于**开关特性**中，条件为 V_{CC1} = 5 V ± 10%，V_{CC2} = 3.3 V ± 10%） 12
• 将**开关特性**（V_{CC1} = 5 V ± 10%、V_{CC2} = 3.3 V ± 10%）中的“通道间输出偏移”规格内的“ISO722xA”更改为“ISO7220A”，并删除了“ISO722xC”行 12
• 将 ISO722xA 的“脉宽失真”最大值限制 (MAX) 从：14ns 更改为 18ns（位于**开关特性**中，条件为 V_{CC1} = 5 V ± 10%，V_{CC2} = 3.3 V ± 10%） 12
• 将 ISO722xA 的“传播延迟”最大值限制 (MAX) 从：485ns 更改为：610ns（位于**开关特性**中，条件为 V_{CC1} = V_{CC2} = 3.3V ± 10%） 12
• 将**开关特性** (V_{CC1} = V_{CC2} = 3.3V±10%) 中的“通道间输出偏移”规格内的“ISO722xA”更改为“ISO7220A”，并删除了“ISO722xC”行 12
• 将 ISO722xA 的“脉宽失真”最大值限制 (MAX) 从：18ns 更改为：22ns（位于**开关特性**中，条件为 V_{CC1} = V_{CC2} = 3.3V ± 10%） 12
• 将**开关特性** (V_{CC1} = V_{CC2} = 5V±10%) 中的“通道间输出偏移”规格内的“ISO722xA”更改为“ISO7220A”，并删除了“ISO722xC”行 13
• 将 ISO722xA 的“脉宽失真”最大值限制 (MAX) 从：14ns 更改为 18ns（位于**开关特性**中，条件为 V_{CC1} = V_{CC2} = 5V ± 10%） 13
• 将 ISO722xA 的“传播延迟”最大值限制 (MAX) 从：480ns 更改为 600ns（位于**开关特性**中，条件为 V_{CC1} = V_{CC2} = 5V ± 10%） 13

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

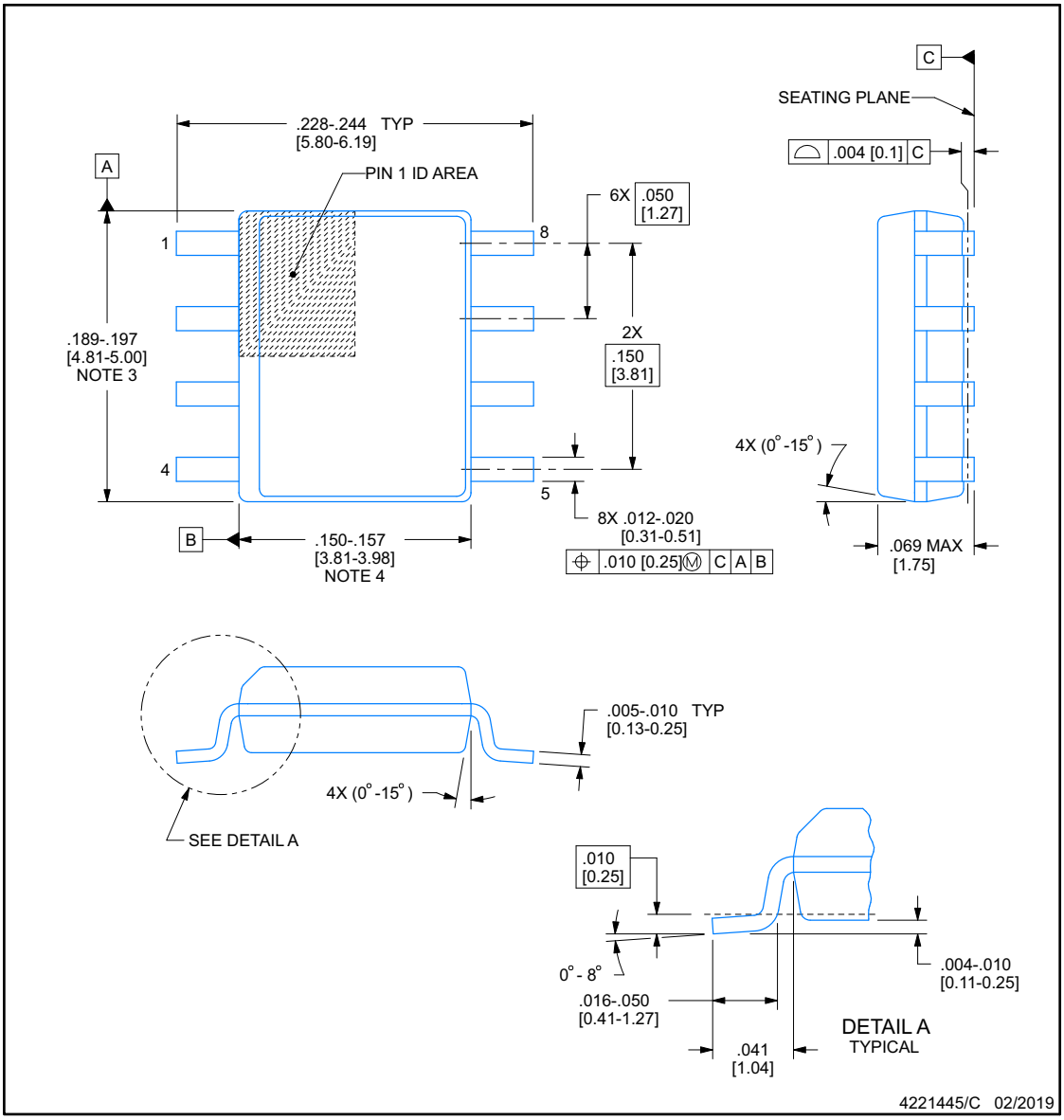
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

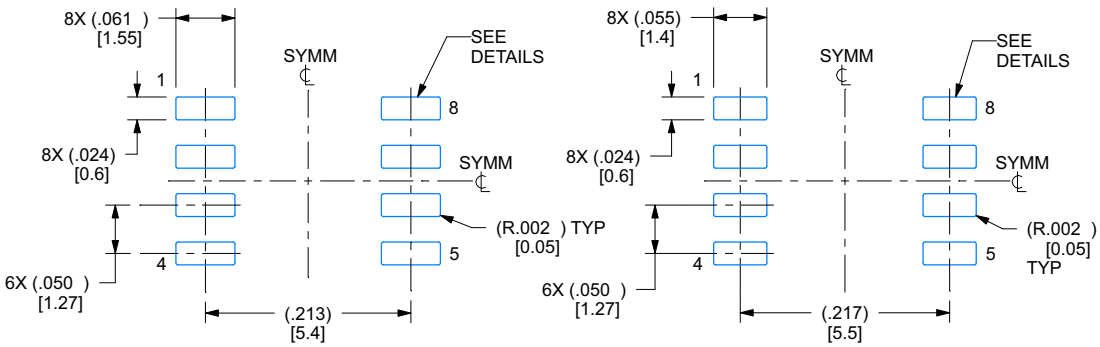
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

D0008B

SOIC - 1.75 mm max height

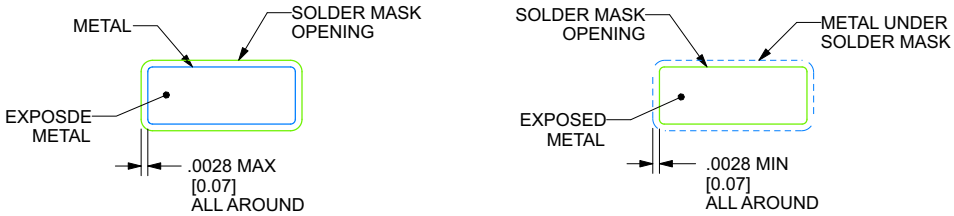
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

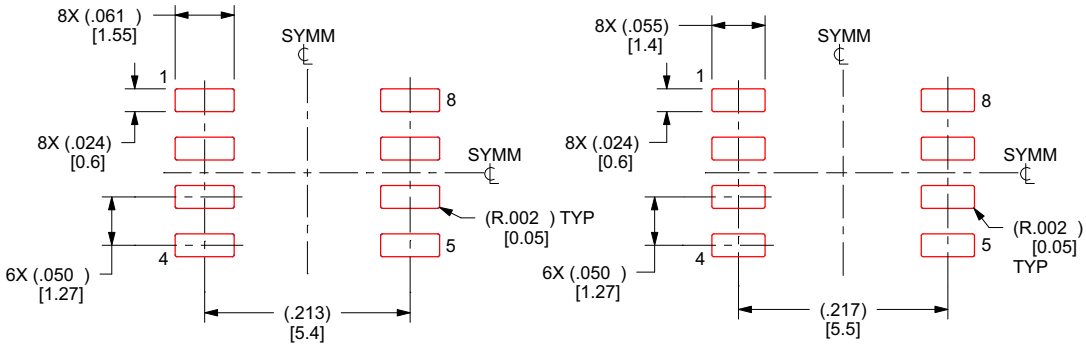
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008B **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

4221445/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7220AQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU | NIPDAU	Level-3-260C-168 HR	-40 to 125	7220AQ
ISO7220AQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU	Level-3-260C-168 HR	-40 to 125	7220AQ
ISO7220AQDRQ1.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISO7221AQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU | NIPDAU	Level-3-260C-168 HR	-40 to 125	7221AQ
ISO7221AQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU	Level-3-260C-168 HR	-40 to 125	7221AQ
ISO7221AQDRQ1.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISO7221CQDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU | NIPDAU	Level-3-260C-168 HR	-40 to 125	7221CQ
ISO7221CQDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	FULL NIPDAU	Level-3-260C-168 HR	-40 to 125	7221CQ
ISO7221CQDRQ1.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO7220A-Q1, ISO7221A-Q1, ISO7221C-Q1 :

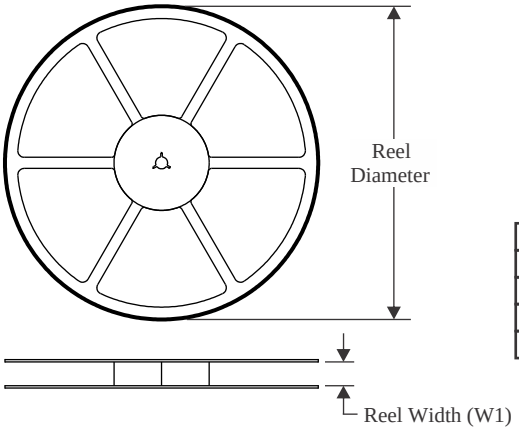
- Catalog : ISO7220A, ISO7221A, ISO7221C

NOTE: Qualified Version Definitions:

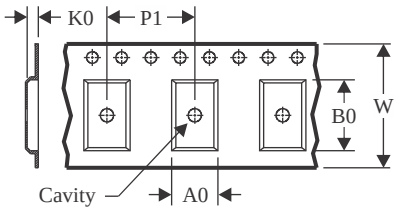
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

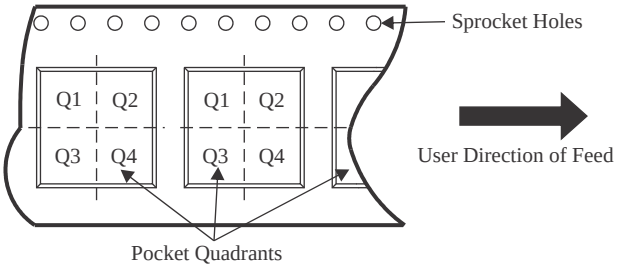


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

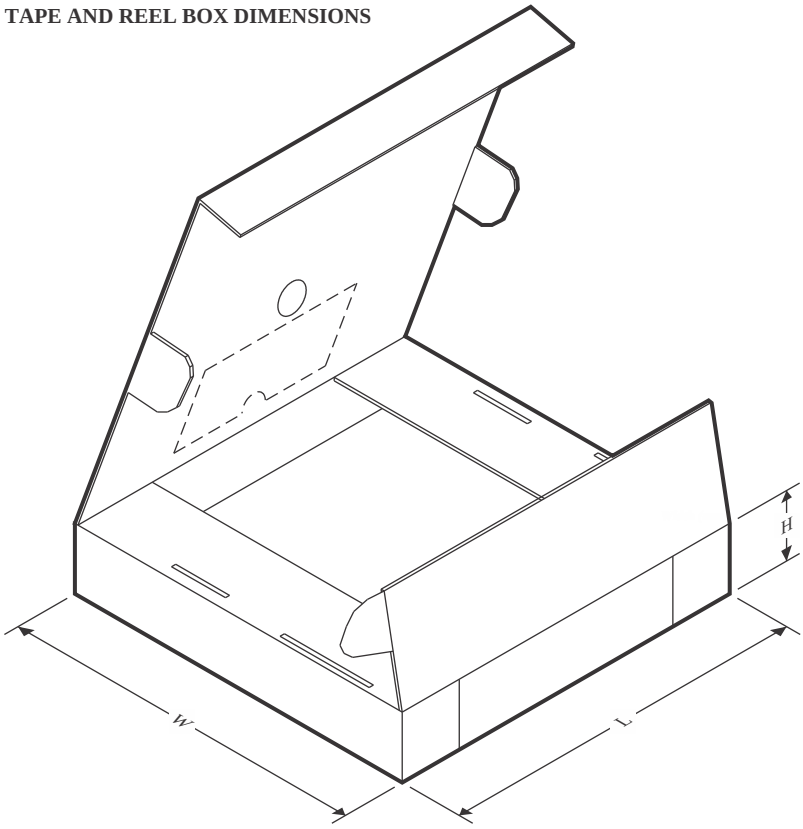
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

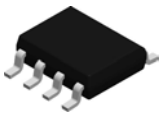
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7220AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221CQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7220AQDRQ1	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221AQDRQ1	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221CQDRQ1	SOIC	D	8	2500	350.0	350.0	43.0

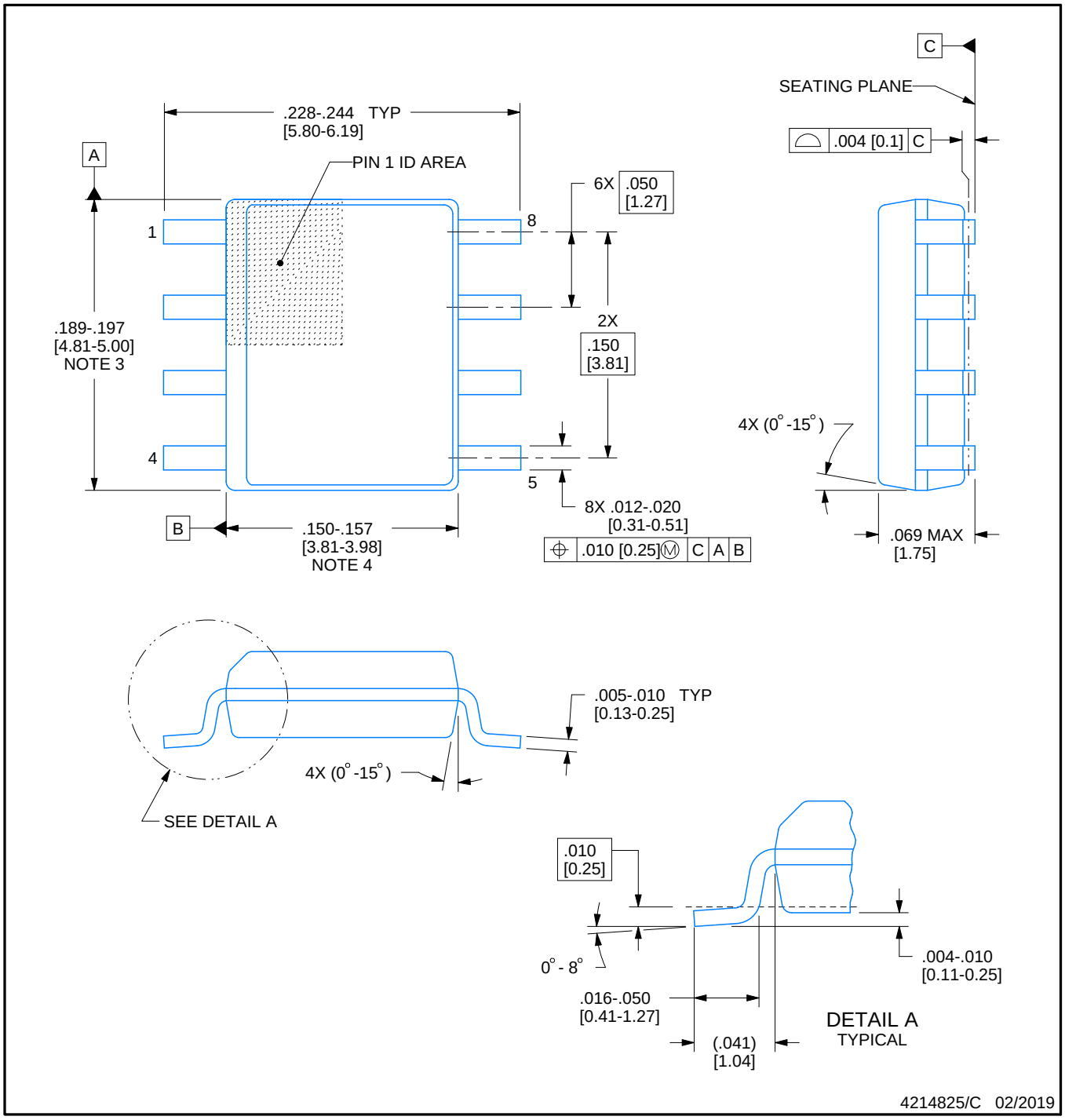


PACKAGE OUTLINE

D0008A

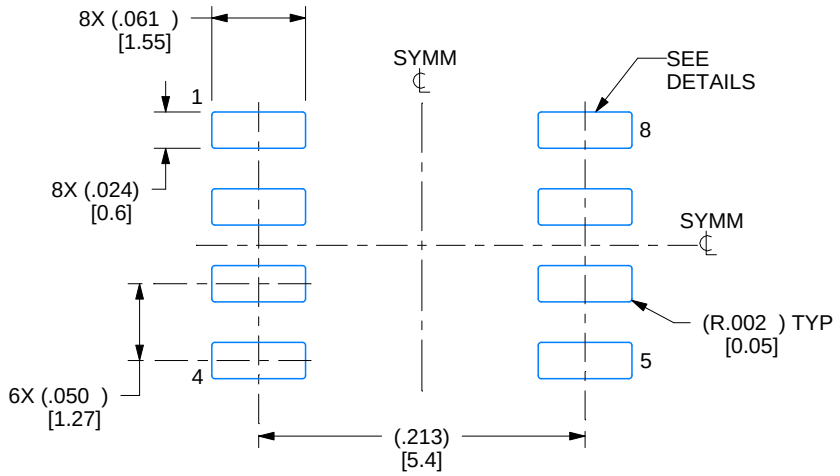
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

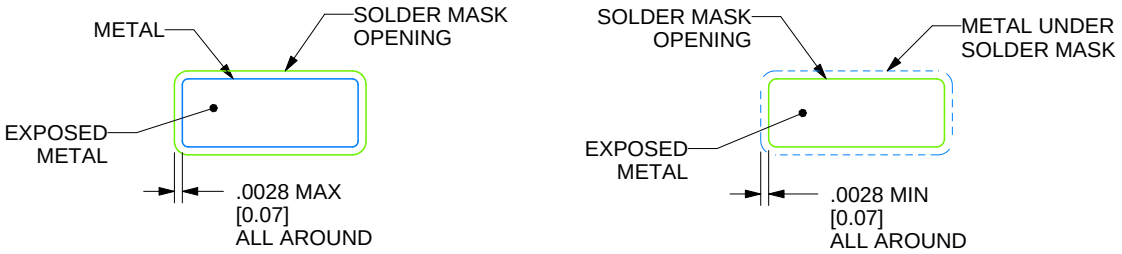


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

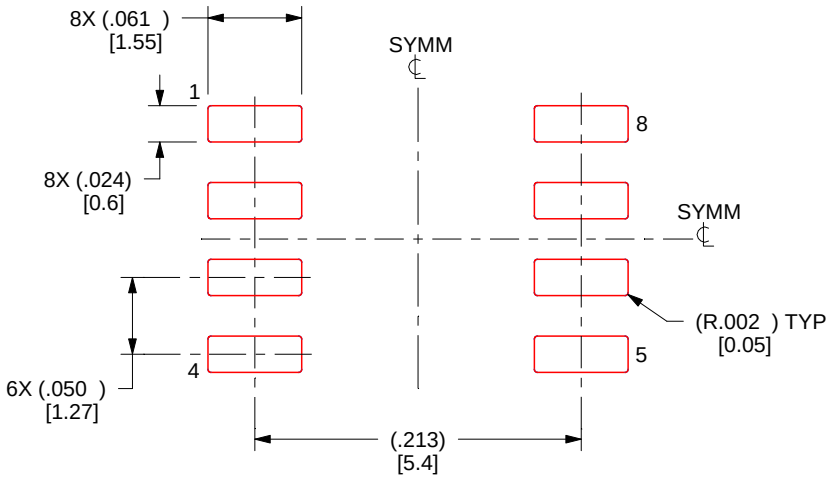


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月