ISO724xC-Q1 高速四通道数字隔离器

1 特性

- 25Mbps 信令速率选项
  - 低通道间输出偏斜；最大值为 1ns
  - 低脉宽失真 (PWD)；最大值为 2ns
  - 低抖动内容；速率为 25Mbps 时的典型值为 1ns
- 可选默认输出 (ISO7240CF)
- 额定工作电压下的使用寿命 > 25 年（请参阅绝缘特性曲线）
- 4kV ESD 保护
- 由 3.3V 或 5V 电源供电
- -40°C 至 +125°C 工作温度范围
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 61010-1、IEC 62368-1 认证

2 应用

- 工厂自动化
  - Modbus
  - Profibus™
  - DeviceNet™ 数据总线
- 计算机外设接口
- 伺服器控制接口
- 数据采集

3 说明

ISO7240CF-Q1、ISO7241C-Q1 和 ISO7242C-Q1 器件是四通道数字隔离器，具有多个通道配置和输出使能功能。这些器件具有通过德州仪器 (TI) 的二氧化硅 (SiO_2) 隔离栅隔离的逻辑输入和逻辑输出缓冲器。与隔离电源配合使用时，这些器件有助于阻止高电压、隔离接地，并防止噪声电流进入本地接地和干扰或损坏敏感电路。

ISO7240C-Q1 系列器件的所有四个通道均为相同方向。ISO7241C-Q1 系列器件的三个通道为相同方向，一个通道为相反方向。ISO7242C-Q1 系列器件在每个方向有两个通道。

带有后缀 C（C 选项）的器件具有 TTL 输入阈值，并且在输入端具有噪声滤波器，可防止将瞬态脉冲传递到器件的输出。带有 M 后缀（M 选项）的器件具有 CMOS $V_{CC}/2$ 输入阈值，没有输入噪声滤波器或额外的传播延迟。

ISO7240CF 器件在引脚 7 上具有输入禁用功能，并可通过 CTRL 引脚（引脚 10）选择高电平或低电平失效防护输出功能。当在 CTRL 引脚上施加逻辑高电平信号或该引脚未连接时，失效防护输出为逻辑高电平。如果向 CTRL 引脚施加逻辑低电平信号，则失效防护输出变为逻辑低电平输出状态。ISO7240CF 器件的输入禁用功能可防止数据跨越隔离栅传递到输出端。当输入被禁用或 V_{CC1} 断电时，输出由 CTRL 引脚设置。

这些器件可由任一侧的 3.3V 或 5V 电源（任意组合）供电。无论使用的电源电压电平如何，信号输入引脚均可耐受 5V 电压。

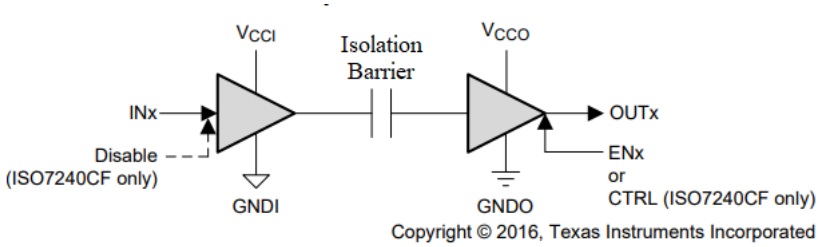
这些器件可在 -40°C 至 +125°C 的环境温度下运行。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

封装信息

器件型号	封装 (1)	本体尺寸（标称值）	封装尺寸(2)
ISO7240CF-Q1	DW（SOIC，16）	10.30mm × 7.50mm	10.30mm × 10.30mm
ISO7241C-Q1			
ISO7242C-Q1			

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



V_{CCI} 和 GNDI 分别是输入通道的电源和接地连接引脚。
V_{CCO} 和 GNDO 分别是输出通道的电源和接地连接引脚。

简化版原理图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热特性 5
5.5 功率等级 6
5.6 安全相关认证 6
5.7 安全限值 6
5.8 绝缘规格 6
5.9 电气特性：V_{CC1} 和 V_{CC2} 为 5V 运行 7
5.10 电气特性：V_{CC1} 和 V_{CC2} 为 3.3V 运行 8
5.11 电气特性：V_{CC1} 为 3.3V，V_{CC2} 为 5V 运行 9
5.12 电气特性：V_{CC1} 为 5V，V_{CC2} 为 3.3V 运行 10
5.13 开关特性：V_{CC1} 和 V_{CC2} 为 3.3V 运行 11
5.14 开关特性：V_{CC1} 和 V_{CC2} 为 5V 运行 11
5.15 开关特性：V_{CC1} 为 3.3V 且 V_{CC2} 为 5V 运行 12
5.16 开关特性：V_{CC1} 为 5V，V_{CC2} 为 3.3V 运行 12
5.17 绝缘特性曲线 13
5.18 典型特性 14
6 参数测量信息 16
7 详细说明 19
7.1 概述 19
7.2 功能方框图 19
7.3 特性说明 20
7.4 器件功能模式 20
8 应用和实施 21
8.1 应用信息 21
8.2 典型应用 21
8.3 电源相关建议 25
8.4 布局 25
9 器件和文档支持 27
9.1 文档支持 27
9.2 接收文档更新通知 27
9.3 支持资源 27
9.4 商标 27
9.5 静电放电警告 27
9.6 术语表 27
10 修订历史记录 27
11 机械、封装和可订购信息 28

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

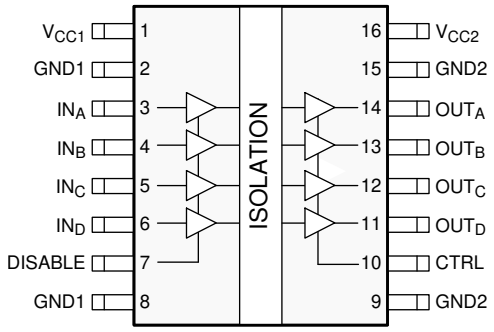


图 4-1. ISO7240CF-Q1 DW 封装 16 引脚 SOIC 顶视图

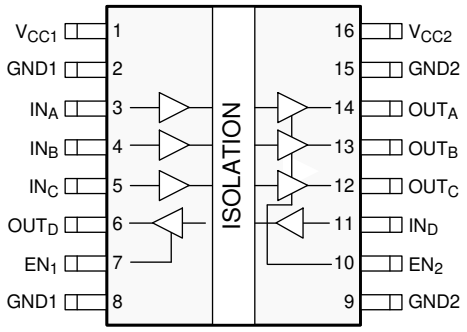


图 4-2. ISO7241C-Q1 DW 封装 16 引脚 SOIC 顶视图

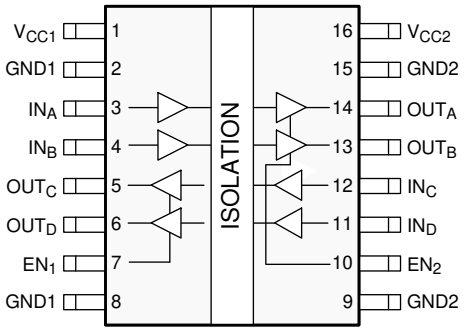


图 4-3. ISO7242C-Q1 DW 封装 16 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚				类型[1]	说明
名称	ISO7240CF-Q1	ISO7241C-Q1	ISO7242C-Q1		
CTRL	10	—	—	I	失效防护输出控制。当 DISABLE 为高电平或 V_{CC1} 断电时，输出状态由 CTRL 引脚确定。当 CTRL 为高电平或开路时，输出为高电平；当 CTRL 为低电平时，输出为低电平。
DISABLE	7	—	—	I	输入禁用。当 DISABLE 为高电平时，禁用所有输入引脚；当 DISABLE 为低电平或开路时，启用所有输入引脚。
EN	—	—	—	I	输出使能。当 EN 为高电平或开路时，启用所有输出引脚，当 EN 为低电平时，禁用所有输出引脚。
EN_1	—	7	7	I	输出使能 1。EN_1 为高电平或开路时，启用 1 侧的输出引脚；当 EN_1 为低电平时，禁用 1 侧的输出引脚。
EN_2	—	10	10	I	输出使能 2。EN_2 为高电平或开路时，启用 2 侧的输出引脚；当 EN_2 为低电平时，禁用 2 侧的输出引脚。
GND1	2、8	2、8	2、8	—	V_{CC1} 的接地连接
GND2	9、15	9、15	9、15	—	V_{CC2} 的接地连接
IN_A	3	3	3	I	输入，通道 A
IN_B	4	4	4	I	输入，通道 B
IN_C	5	5	12	I	输入，通道 C
IN_D	6	11	11	I	输入，通道 D
NC	—	—	—	—	无连接引脚悬空且无内部连接
OUT_A	14	14	14	O	输出，通道 A
OUT_B	13	13	13	O	输出，通道 B
OUT_C	12	12	5	O	输出，通道 C
OUT_D	11	6	6	O	输出，通道 D
V_{CC1}	1	1	1	—	电源，V_{CC1}
V_{CC2}	16	16	16	—	电源，V_{CC2}

(1) I = 输入；O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

				值	单位
V_{CC}	电源电压(2)，V_{CC1}，V_{CC2}			-0.5 至 6	V
V_I	IN、OUT、EN、DISABLE、CTRL 处的电压			-0.5 至 6	V
ESD	静电放电	人体放电模型	所有引脚	±4	kV
		场感应带电器件模型		±1	
T_J	最大结温			150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	典型值	最大值	单位
V_{CC}	电源电压(2)，V_{CC1}，V_{CC2}	3.15		5.5	V
I_{OH}	高电平输出电流			4	mA
I_{OL}	低电平输出电流	-4			mA
t_{ui}	输入脉冲宽度	40			ns
$1/t_{ui}$	信令速率	0	30(1)	25	Mbps
V_{IH}	高电平输入电压（IN，DISABLE，CTRL，EN）	2		V_{CC}	V
V_{IL}	低电平输入电压（IN，DISABLE，CTRL，EN）	0		0.8	V
T_A	自然通风条件下的工作温度	-40		125	°C
H	符合 IEC 61000-4-8 和 IEC 61000-4-9 认证要求的外部磁场强度抗扰度			1000	A/m

(1) 室温下的典型值和经过良好调节的电源。
(2) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3.15V 至 3.6V。

5.4 热特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
θ_{JA}	结到空气	低 K 热阻(1)		168		°C/W
		高 K 热阻		68.6		
θ_{JB}	结至电路板热阻			33.5		°C/W
θ_{JC}	结至外壳热阻			33.9		°C/W

(1) 根据 EIA/JESD51-3 的低 K 或高 K 热指标定义进行了引线式表面贴装封装测试。

Copyright © 2025 Texas Instruments Incorporated

5.5 功率等级

V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25Mbps 50% 占空比方波

参数		测试条件	最小值 典型值 最大值	单位
P_D	器件功率耗散，ISO724xC		220	mW

5.6 安全相关认证

VDE	CSA	UL
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1 进行了认证	根据 UL 1577 组件认证计划进行了认证
基本证书：40047657	主合同编号：220991	文件编号：E181974

5.7 安全限值

安全限值(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值 典型值 最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 212°C/W，V_I = 5.5V，T_J = 170°C，T_A = 25°C，请参阅热特性	124	mA
		$R_{\theta JA}$ = 212°C/W，V_I = 3.6V，T_J = 170°C，T_A = 25°C，请参阅热特性	190	
T_S	安全温度		150	°C

(1) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

5.8 绝缘规格

参数		测试条件	值	单位
通用				
CLR	外部间隙(1)	端子间的最短空间距离	4	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	4	mm
DTI	绝缘穿透距离	最小内部间隙	0.008	mm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	≥400	V
	材料组		II	
	过压类别	额定市电电压 ≤ 150V_{RMS}	I-IV	
		额定市电电压 ≤ 300V_{RMS}	I-III	
		额定市电电压 ≤ 400V_{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	560	V_{PK}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试）； V_{TEST} = 1.2 × V_{IOTM}，t = 1s（100% 生产测试）	4000	V_{PK}
q_{pd}	视在电荷(3)	方法 a：I/O 安全测试子组 2/3 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.2 × V_{IORM}，t_m = 10s	≤5	pC
		方法 a：环境测试子组 1 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.3 × V_{IORM}，t_m = 10s	≤5	
		方法 b：常规测试（100% 生产测试）； V_{ini} = 1.2 × V_{IOTM}，t_{ini} = 1s； $V_{pd(m)}$ = 1.5 × V_{IORM}，t_m = 1s（方法 b1）或 $V_{pd(m)}$ = V_{ini}，t_m = t_{ini}（方法 b2）	≤5	
C_{IO}	势垒电容，输入至输出(4)	V_{IO} = 0.4 sin (2πft)，f = 1MHz	1	pF

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	值	单位
R_{IO}	隔离电阻，输入至输出(4)	V_{IO} = 500V，T_A = 25°C	$>10^{12}$	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	$>10^{11}$	
		V_{IO} = 500V，T_S = 150°C	$>10^{9}$	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 2500V_{RMS}，t = 60s（鉴定测试），V_{TEST} = 1.2 × V_{ISO} = 3000V_{RMS}，t = 1s（100% 生产测试）	2500	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口和/或肋等技术用于帮助提高这些规格。
(2) 此耦合器仅适用于最大工作额定值范围内的*基本电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 视在电荷是局部放电 (pd) 引起的电气放电。
(4) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件

5.9 电气特性：V_{CC1} 和 V_{CC2} 为 5V 运行

，在建议运行条件下（除非另有说明）(1)

参数			测试条件	最小值	典型值	最大值	单位
电源电流							
I_{CC1}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V		1	3	mA
		25Mbps			7	10.5	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		6.5	11	mA
		25Mbps			12	18	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		10	16	mA
		25Mbps			15	24	
I_{CC2}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V		15	22	mA
		25Mbps			17	25	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		13	20	mA
		25Mbps			18	28	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		10	16	mA
		25Mbps			15	24	
电气特性							
I_{OFF}	睡眠模式输出电流		“EN 为 0V，单通道”		0		μA
V_{OH}	高电平输出电压		I_{OH} = -4mA	V_{CC} – 0.8			V
			I_{OH}=-20 μA	V_{CC} – 0.1			
V_{OL}	低电平输出电压		I_{OL} = 4mA			0.4	V
			I_{OL} = 20 μA			0.1	
$V_{I(HYS)}$	输入电压迟滞				150		mV
I_{IH}	高电平输入电流		IN 从 0V 到 V_{CC}			10	μA
I_{IL}	低电平输入电流			-10			
C_I	接地输入电容		IN 接 VCC，VI = 0.4 sin (2πft)，f=2MHz		2		pF
CMTI	共模瞬态抗扰度		V_I = V_{CC} 或 0V；图 6-5	25	50		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3.15V 至 3.6V。

Copyright © 2025 Texas Instruments Incorporated

5.10 电气特性：V_{CC1} 和 V_{CC2} 为 3.3V 运行

在建议运行条件下 (除非另有说明) (1)

参数			测试条件	最小值	典型值	最大值	单位
电源电流							
I_{CC1}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V		0.5	1.2	mA
		25Mbps			3	5	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		4	7	mA
		25Mbps			6.5	11	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		6	10	
		25Mbps			9	14	
I_{CC2}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V		9.5	15	mA
		25Mbps			10.5	17	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		8	13	mA
		25Mbps			11.5	18	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V		6	10	
		25Mbps			9	14	
电气特性							
I_{OFF}	睡眠模式输出电流		EN 为 0V，单通道		0		μA
V_{OH}	高电平输出电压		I_{OH} = -4mA	V_{CC} – 0.4			V
			I_{OH}=-20 μA	V_{CC} – 0.1			
V_{OL}	低电平输出电压		I_{OL} = 4mA			0.4	V
			I_{OL} = 20 μA			0.1	
$V_{I(HYS)}$	输入电压迟滞				150		mV
I_{IH}	高电平输入电流		IN 从 0V 或 V_{CC}			10	μA
I_{IL}	低电平输入电流			-10			
C_I	接地输入电容		IN 接 VCC，VI = 0.4 sin (2πft)，f=2MHz		2		pF
CMTI	共模瞬态抗扰度		V_I = V_{CC} 或 0V；图 6-5	25	50		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3.15V 至 3.6V。

Copyright © 2025 Texas Instruments Incorporated

5.11 电气特性：V_{CC1} 为 3.3V，V_{CC2} 为 5V 运行

在建议运行条件下（除非另有说明）(1)

参数			测试条件		最小值	典型值	最大值	单位
电源电流								
I_{CC1}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V			0.5	1.2	mA
		25Mbps				3	5	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			4	7	mA
		25Mbps				6.5	11	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			6	10	mA
		25Mbps				9	14	
I_{CC2}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V			15	22	mA
		25Mbps				17	25	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			13	20	mA
		25Mbps				18	28	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			10	16	mA
		25Mbps				15	24	
电气特性								
I_{OFF}	睡眠模式输出电流		“EN 为 0V，单通道”			0		μA
V_{OH}	高电平输出电压		I_{OH} = -4mA	ISO7240	V_{CC} – 0.4			V
				ISO724x（5V 侧）	V_{CC} – 0.8			
			I_{OH}=-20 μA		V_{CC} – 0.1			
V_{OL}	低电平输出电压		I_{OL} = 4mA				0.4	V
			I_{OL} = 20 μA				0.1	
$V_{I(HYS)}$	输入电压迟滞					150		mV
I_{IH}	高电平输入电流		IN 从 0V 到 V_{CC}				10	μA
I_{IL}	低电平输入电流				-10			
C_I	接地输入电容		IN 接 VCC，VI = 0.4 sin (2πft)，f=2MHz			2		pF
CMTI	共模瞬态抗扰度		V_I = V_{CC} 或 0V；图 6-5		25	50		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3.15V 至 3.6V。

Copyright © 2025 Texas Instruments Incorporated

5.12 电气特性：V_{CC1} 为 5V，V_{CC2} 为 3.3V 运行

在建议运行条件下（除非另有说明）(1)

参数			测试条件		最小值	典型值	最大值	单位
电源电流								
I_{CC1}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V			1	3	mA
		25Mbps				7	10.5	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			6.5	11	mA
		25Mbps				12	18	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			10	16	mA
		25Mbps				15	24	
I_{CC2}	ISO7240CF	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_2 接 3V			9.5	15	mA
		25Mbps				10.5	17	
	ISO7241C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			8	13	mA
		25Mbps				11.5	18	
	ISO7242C	静态	V_I = V_{CC} 或 0V，所有通道，无负载，EN_1 接 3V，EN_2 接 3V			6	10	mA
		25Mbps				9	14	
电气特性								
I_{OFF}	睡眠模式输出电流		“EN 为 0V，单通道”			0		μA
V_{OH}	高电平输出电压		I_{OH} = -4mA	ISO7240	V_{CC} – 0.4			V
				ISO724x（5V 侧）	V_{CC} – 0.8			
			I_{OH}=-20 μA		V_{CC} – 0.1			
V_{OL}	低电平输出电压		I_{OL} = 4mA				0.4	V
			I_{OL} = 20 μA				0.1	
$V_{I(HYS)}$	输入电压迟滞					150		mV
I_{IH}	高电平输入电流		IN 从 0V 到 V_{CC}				10	μA
I_{IL}	低电平输入电流				-10			
C_I	接地输入电容		IN 接 VCC，VI = 0.4 sin (2πft)，f=2MHz			2		pF
CMTI	共模瞬态抗扰度		V_I = V_{CC} 或 0V；图 6-5		25	50		kV/μs

(1) 对于 5V 工作电压，V_{CC1} 或 V_{CC2} 额定电压范围为 4.5V 至 5.5V。
对于 3V 工作电压，V_{CC1} 或 V_{CC2} 的额定范围为 3.15V 至 3.6V。

Copyright © 2025 Texas Instruments Incorporated

5.13 开关特性：V_{CC1} 和 V_{CC2} 为 3.3V 运行

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟	请参阅 图 6-1	25		56	ns
PWD	脉宽失真 $\lvert t_{PHL} - t_{PLH} \rvert$(1)				4	
$t_{sk(pp)}$	器件间偏移(2)				10	ns
$t_{sk(o)}$	通道间输出偏移(3)	ISO7240C、ISO7241C			3.5	ns
		ISO7242C			4	
t_r	输出信号上升时间	请参阅 图 6-1		2		ns
t_f	输出信号下降时间			2		ns
t_{PHZ}	传播延迟，高电平至高阻抗输出	请参阅 图 6-2		15	25	ns
t_{PZH}	传播延迟，高阻抗至高电平输出			15	25	
t_{PLZ}	传播延迟，低电平至高阻抗输出			15	25	
t_{PZL}	传播延迟，高阻抗至低电平输出			15	25	
t_{fs}	输入功率损耗的失效防护输出延迟时间	请参阅 图 6-3		18		µs
t_{wake}	从输入禁用唤醒的时间	请参阅 图 6-4		15		µs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

5.14 开关特性：V_{CC1} 和 V_{CC2} 为 5V 运行

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟	请参阅 图 6-1	18		45	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$				5	
$t_{sk(pp)}$	器件间偏移(2)				8	ns
$t_{sk(o)}$	通道间输出偏移(3)	ISO7240C、ISO7241C			3	ns
		ISO7242C			4	
t_r	输出信号上升时间	请参阅 图 6-1		2.4		ns
t_f	输出信号下降时间			2.3		
t_{PHZ}	传播延迟，高电平至高阻抗输出	请参阅 图 6-2		15	25	ns
t_{PZH}	传播延迟，高阻抗至高电平输出			15	25	
t_{PLZ}	传播延迟，低电平至高阻抗输出			15	25	
t_{PZL}	传播延迟，高阻抗至低电平输出			15	25	
t_{fs}	输入功率损耗的失效防护输出延迟时间	请参阅 图 6-3		12		µs
t_{wake}	从输入禁用唤醒的时间	请参阅 图 6-4		15		µs

(1) 也称为脉冲偏移。
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

Copyright © 2025 Texas Instruments Incorporated

5.15 开关特性：V_{CC1} 为 3.3V 且 V_{CC2} 为 5V 运行

在建议运行条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟	请参阅 图 6-1		20		51	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$	请参阅 图 6-1	ISO7240C、ISO7241C			3	ns
			ISO7242C			4	
$t_{sk(pp)}$	器件间偏移(2)					10	ns
$t_{sk(o)}$	通道间输出偏移(3)	ISO7240C、ISO7241C				3	ns
		ISO7242C				4	
t_r	输出信号上升时间	请参阅 图 6-1			2.4		ns
t_f	输出信号下降时间				2.3		
t_{PHZ}	传播延迟，高电平至高阻抗输出	请参阅 图 6-2			15	25	ns
t_{PZH}	传播延迟，高阻抗至高电平输出				15	25	
t_{PLZ}	传播延迟，低电平至高阻抗输出				15	25	
t_{PZL}	传播延迟，高阻抗至低电平输出				15	25	
t_{fs}	输入功率损耗的失效防护输出延迟时间	请参阅 图 6-3			12		μs
t_{wake}	从输入禁用唤醒的时间	请参阅 图 6-4			15		μs

(1) 也称为脉冲偏斜
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。
(3) $t_{sk(o)}$ 是以下单个器件的指定输出之间的偏移：所有驱动输入均连在一起且在驱动相同的指定负载时输出在相同方向上开关。

5.16 开关特性：V_{CC1} 为 5V，V_{CC2} 为 3.3V 运行

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟	请参阅 图 6-1	20		50	ns
PWD(1)	请参阅 图 6-1	ISO7240C、ISO7241C			3	
		ISO7242C			4	
PWD	请参阅 图 6-1				3	ns
$t_{sk(pp)}$	器件间偏移(2)				10	ns
t_r	输出信号上升时间	请参阅 图 6-1		2.4		ns
t_f	输出信号下降时间			2.3		
t_{PHZ}	传播延迟，高电平至高阻抗输出	请参阅 图 6-2		15	25	ns
t_{PZH}	传播延迟，高阻抗至高电平输出			15	25	
t_{PLZ}	传播延迟，低电平至高阻抗输出			15	25	
t_{PZL}	传播延迟，高阻抗至低电平输出			15	25	
t_{fs}	输入功率损耗的失效防护输出延迟时间	请参阅 图 6-3		18		μs
t_{wake}	从输入禁用唤醒的时间	请参阅 图 6-4		15		μs

(1) 也称为脉冲偏斜
(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟时间的差大小。

Copyright © 2025 Texas Instruments Incorporated

5.17 绝缘特性曲线

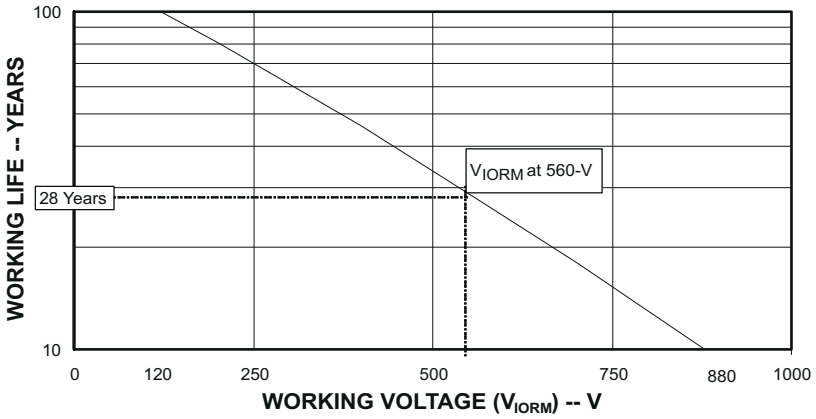


图 5-1. 时间依赖性电介质击穿测试结果

5.18 典型特性

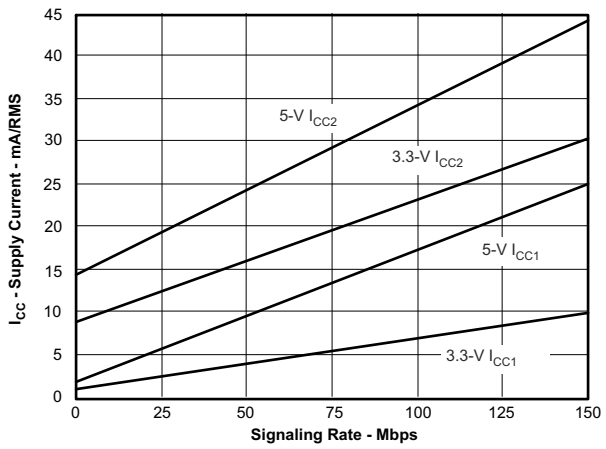


图 5-2. ISO7240C RMS 电源电流与信令速率间的关系

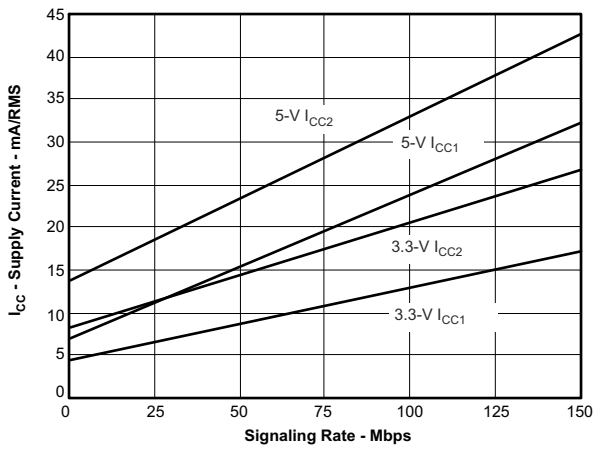


图 5-3. ISO7241C RMS 电源电流与信令速率间的关系

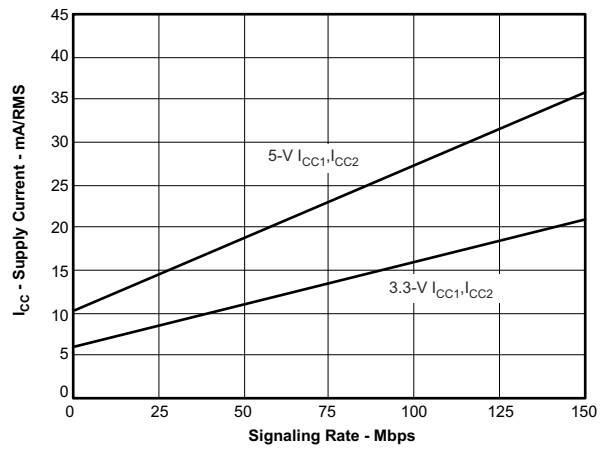


图 5-4. ISO7242C RMS 电源电流与信令速率间的关系

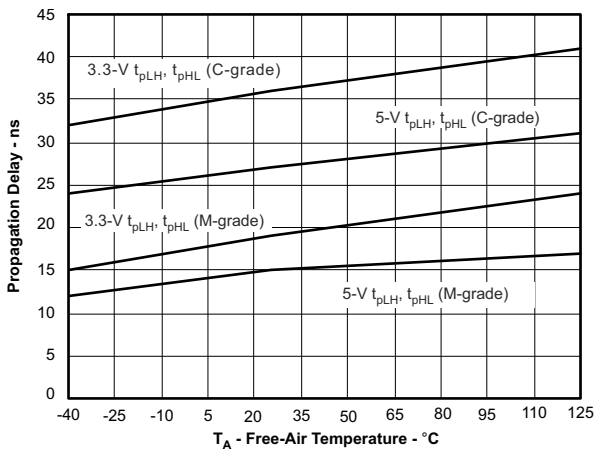


图 5-5. 传播延迟与自然通风条件下的温度间的关系

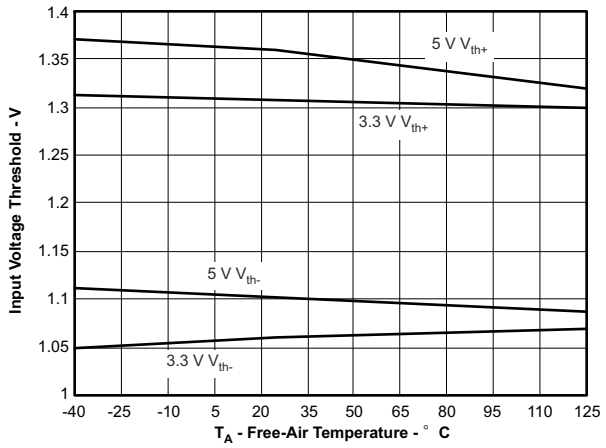


图 5-6. 输入电压阈值与自然通风条件下的温度间的关系

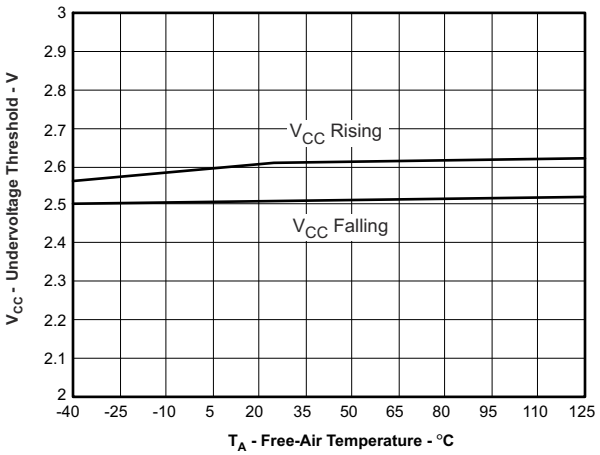


图 5-7. V_{CC1} 失效保护阈值与自然通风条件下的温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.18 典型特性（续）

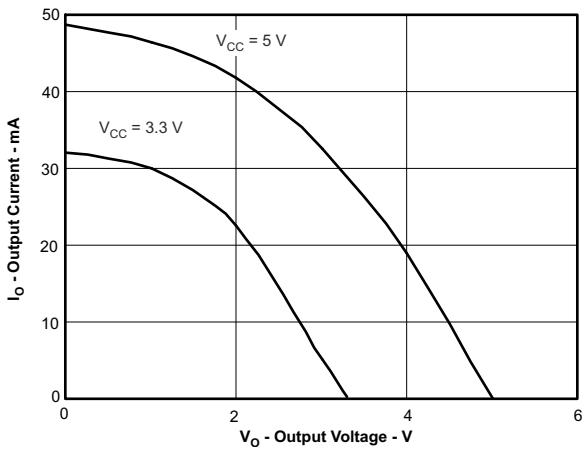


图 5-8. 高电平输出电流与高电平输出电压间的关系

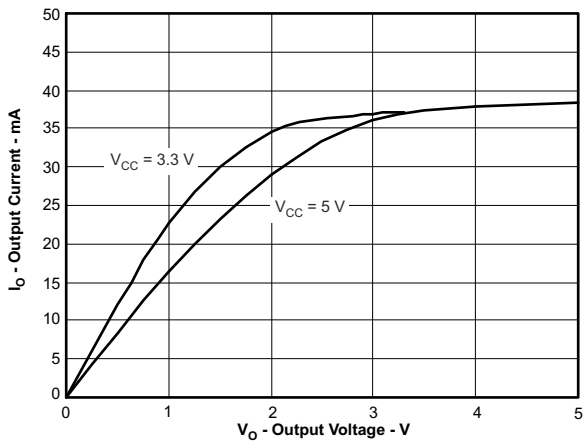
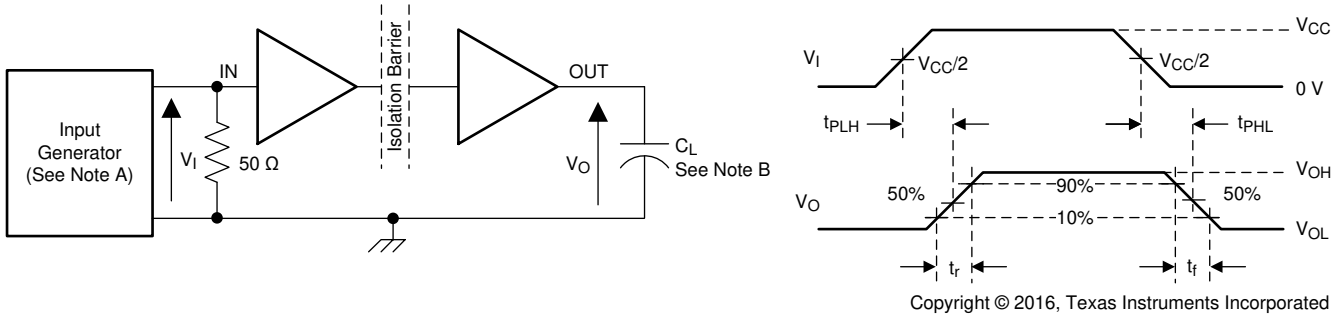


图 5-9. 低电平输出电流与低电平输出电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

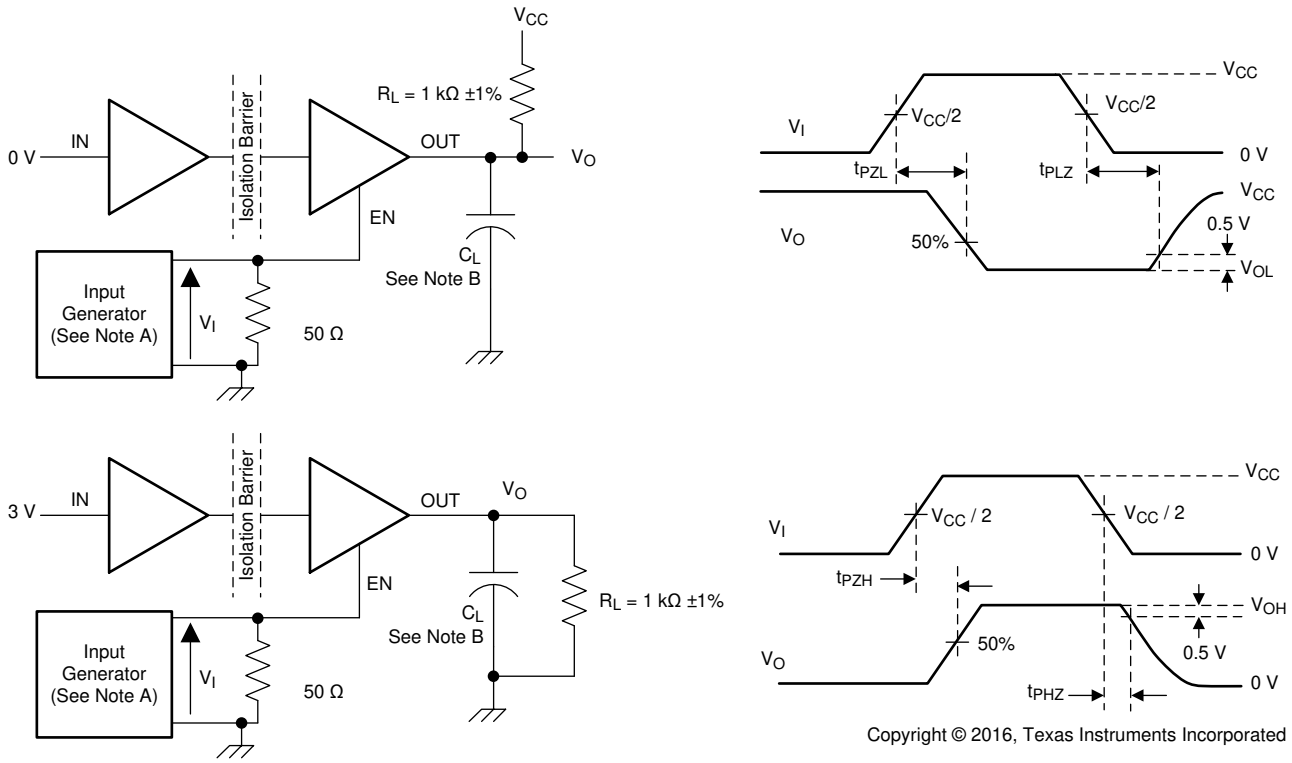


Copyright © 2016, Texas Instruments Incorporated

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



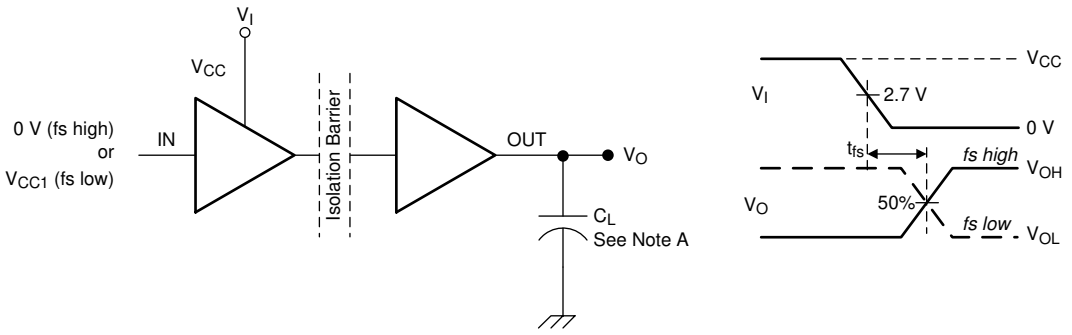
Copyright © 2016, Texas Instruments Incorporated

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

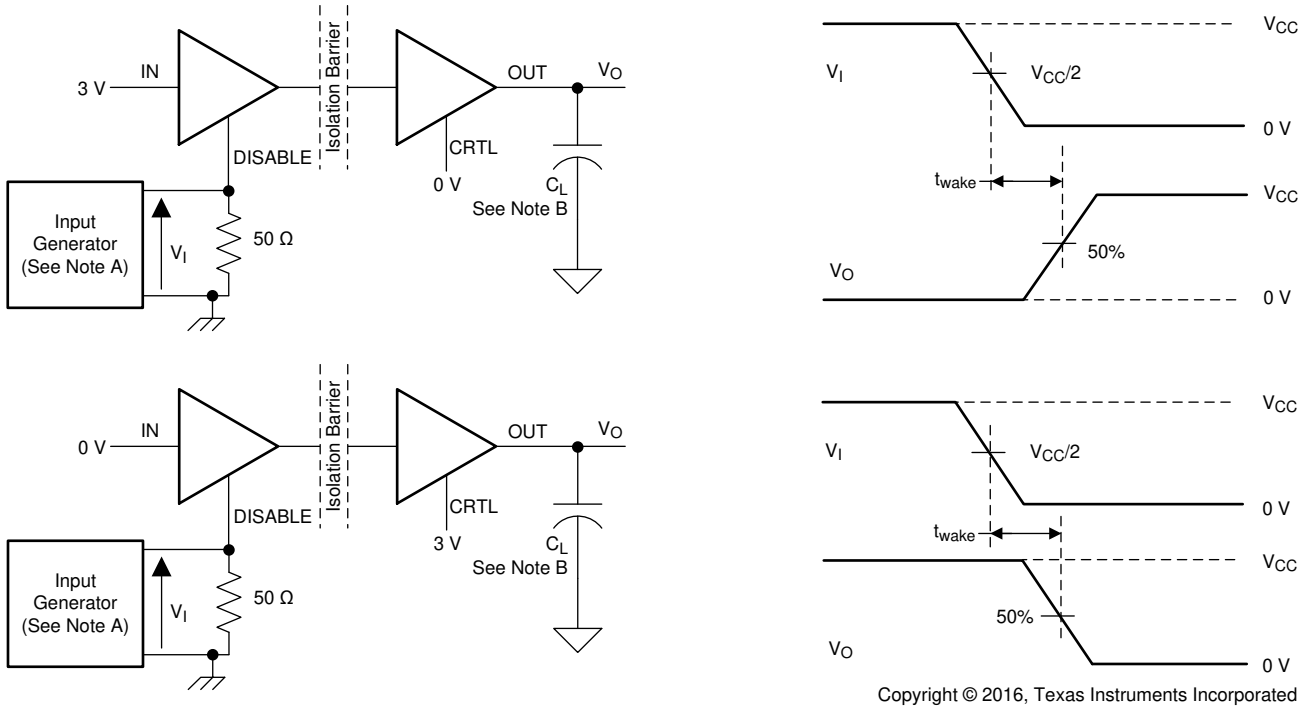
图 6-2. 启用或禁用传播延迟时间测试电路和波形

Copyright © 2025 Texas Instruments Incorporated



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-3. 失效防护延迟时间测试电路和电压波形



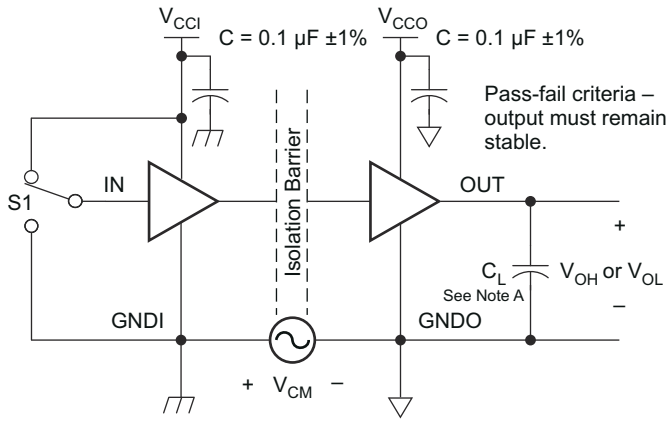
Copyright © 2016, Texas Instruments Incorporated

本数据表使用产生最长时间的测试。

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

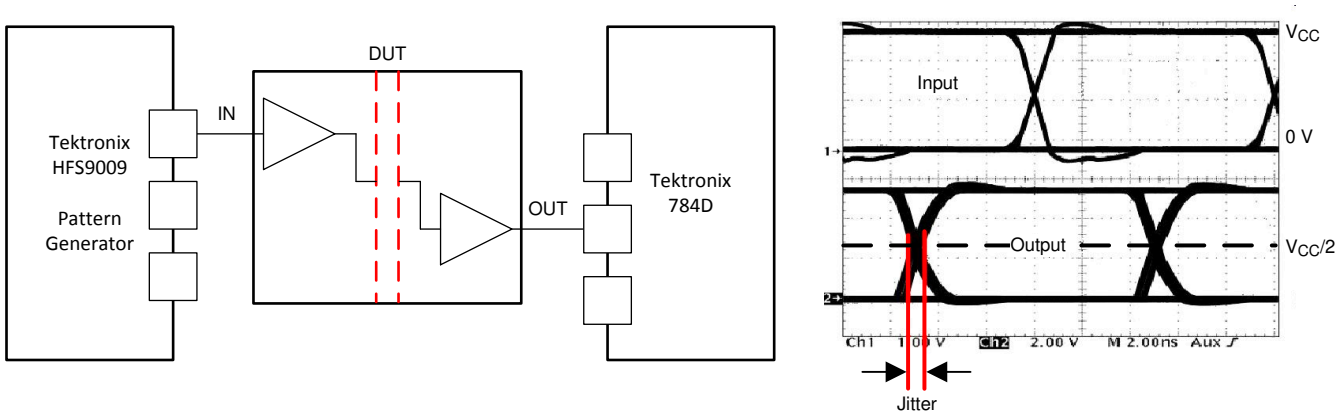
图 6-4. 从输入禁用唤醒的时间测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。

图 6-5. 共模瞬态抗扰度测试电路和电压波形



Copyright © 2016, Texas Instruments Incorporated

PRBS 位图形运行长度为 2^{16} - 1。转换时间为 800ps。NRZ 数据输入不超过五个连续的 1 或 0。

图 6-6. 峰值间眼图抖动测试电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

ISO724x-Q1 系列器件通过基于二氧化硅的隔离栅传输数字数据。器件的数字输入信号 (IN) 由发送器采样，并且发送器在每个数据沿都会跨隔离栅发送相应的差分信号。当输入信号为静态时，刷新逻辑会定期从发送器发送必要的差分信号。在隔离栅的另一侧，接收器将差分信号转换为单端信号，该信号通过缓冲器在 OUT 引脚上输出。如果接收器没有接收到数据或刷新信号，超时逻辑会检测输入端的信号或功率损失并将输出驱动至默认电平。

7.2 功能方框图

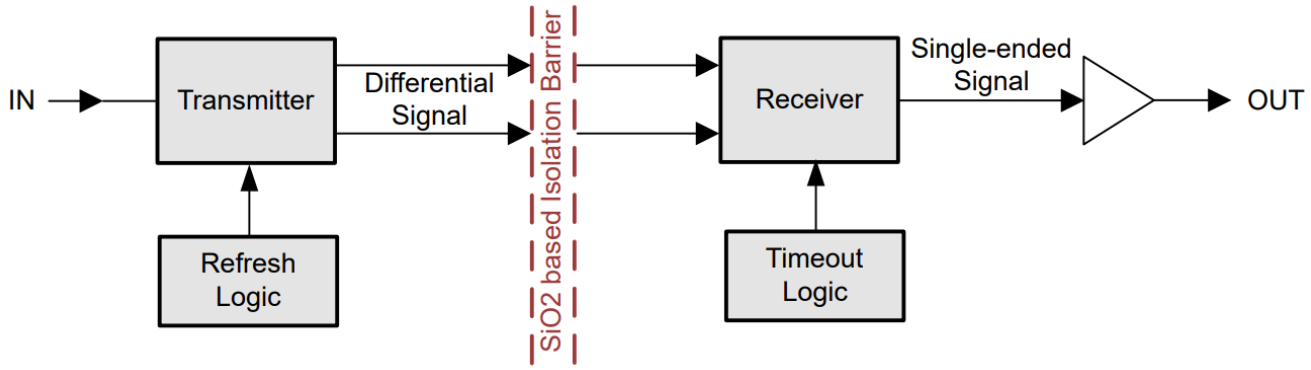


图 7-1. 数字隔离器的概念框图

7.3 特性说明

ISO724x-Q1 系列器件提供多通道配置和默认输出状态选项，可实现各种应用用途。表 7-1 列出了这些器件的特性。

表 7-1. 器件特性

产品(1)	信令速率	输入阈值	通道配置
ISO7240CF	25Mbps	≅1.5V (TTL)	4/0
ISO7241C	25Mbps	≅1.5V (TTL)	3/1
ISO7242C	25Mbps	≅1.5V (TTL)	2/2

(1) 若要获得最新的封装和订购信息，请参阅 *节 11* 部分，或者访问德州仪器 (TI) 网站 www.ti.com.cn。

7.4 器件功能模式

ISO724x-Q1 功能模式列表。

表 7-2. 器件功能表 ISO724x-Q1

输入 V_{CC}	输出 V_{CC}	输入 (IN)	输出使能 (EN)	输出 (OUT)
PU	PU	H	H 或开路	H
		L	H 或开路	L
		X	L	Z
		开路	H 或开路	H
PD	PU	X	H 或开路	H
PD	PU	X	L	Z
X	PD	X	X	不确定

7.4.1 器件 I/O 原理图

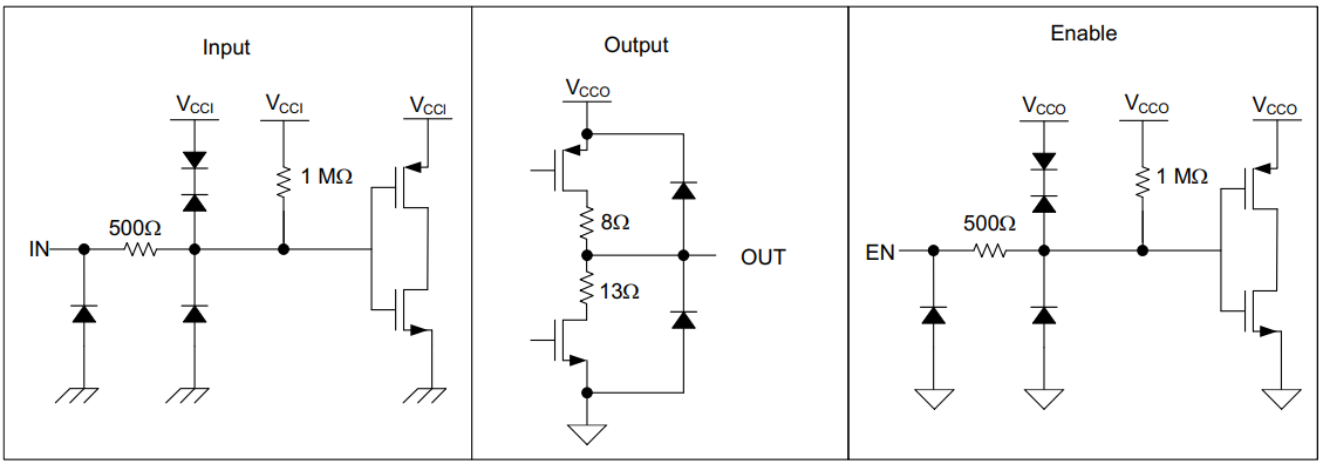


图 7-2. 器件 I/O 原理图

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ISO724x-Q1 系列器件采用单端 TTL 或 CMOS 逻辑开关技术。V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 3.15V 至 5.5V。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都放在数据控制器（即 µC 或 UART）和数据转换器或数据线收发器之间。

8.2 典型应用

8.2.1 用于过程控制的隔离式数据采集系统

ISO724x-Q1 系列器件可与德州仪器 (TI) 的精密模数转换器和混合信号微控制器配合使用，以创建先进的隔离式数据采集系统，如 图 8-1 所示。

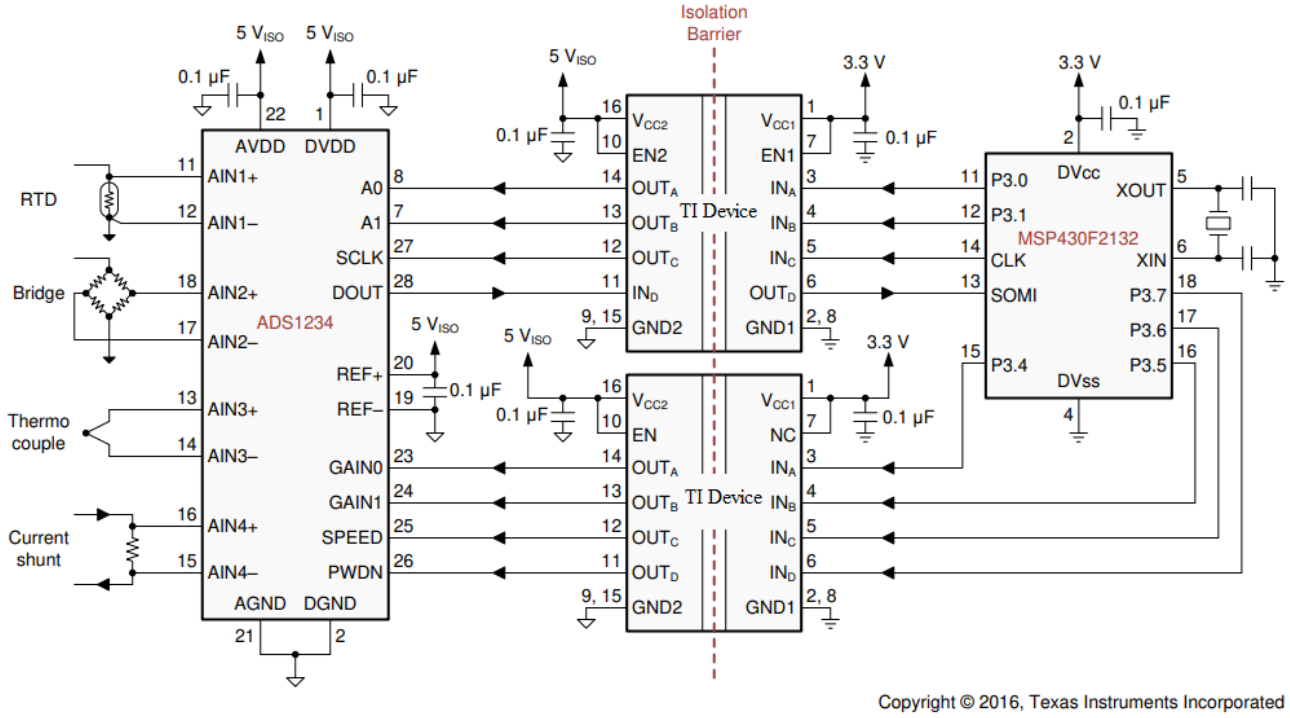


图 8-1. 用于过程控制的隔离式数据采集系统

8.2.1.1 设计要求

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO724x-Q1 系列器件仅需两个外部旁路电容器即可工作。

8.2.1.2 详细设计过程

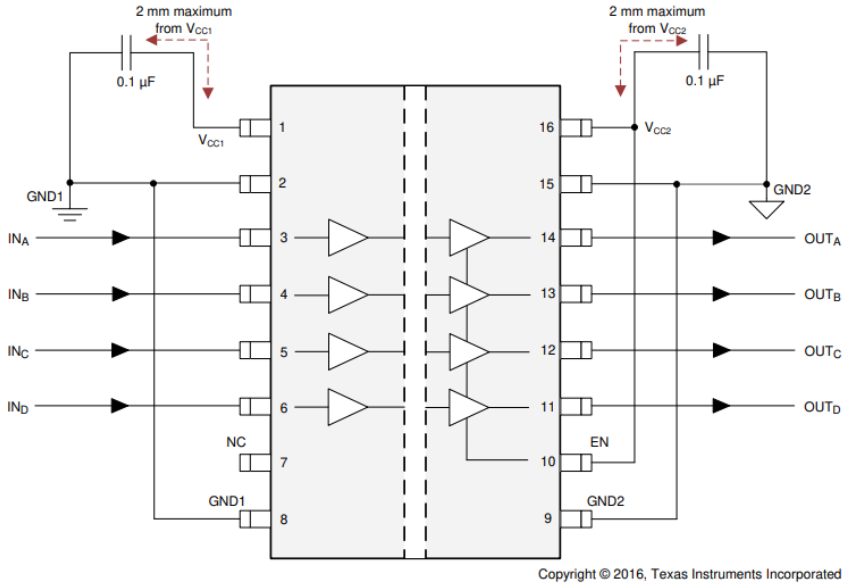


图 8-2. ISO7240x-Q1 典型电路组装

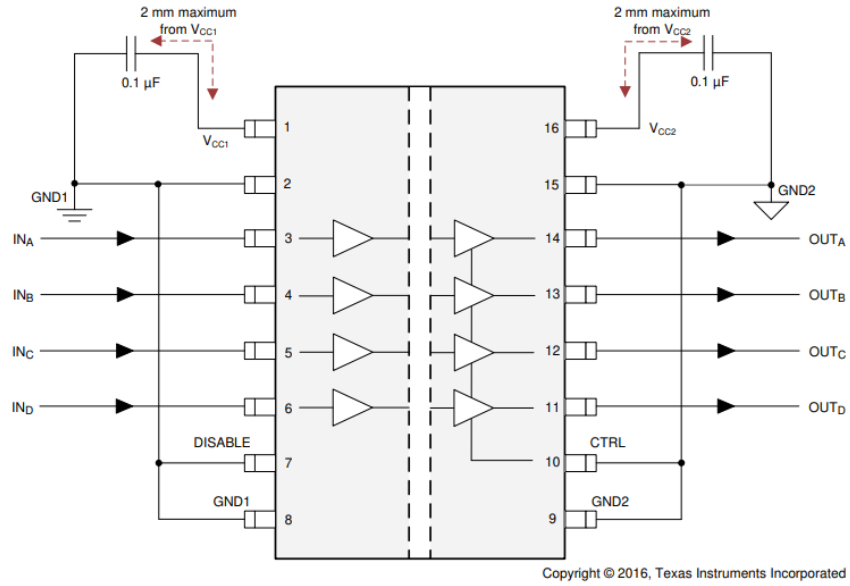


图 8-3. ISO7240CF-Q1 典型电路组装

Copyright © 2025 Texas Instruments Incorporated

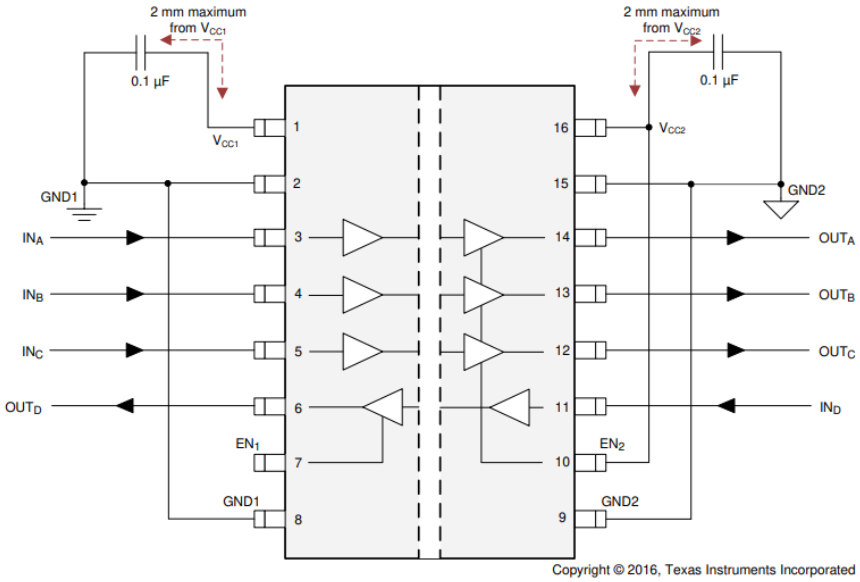


图 8-4. ISO7241x-Q1 典型电路组装

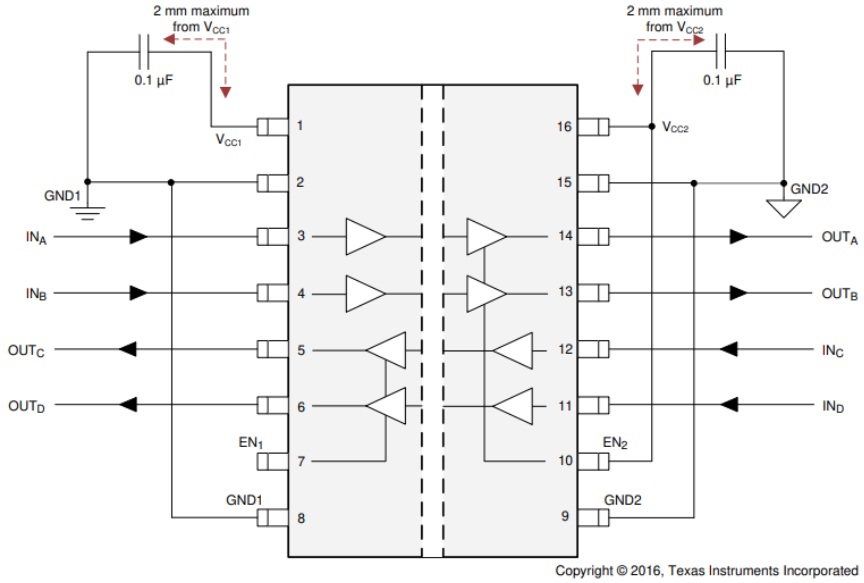


图 8-5. ISO7242x-Q1 典型电路组装

8.2.2 用于具有 16 个输入的模拟输入模块的隔离式 SPI

可以使用德州仪器 (TI) 的 ISO7241x-Q1 系列器件和几个其他元件来为具有 16 路输入的输入模块创建隔离式 SPI。

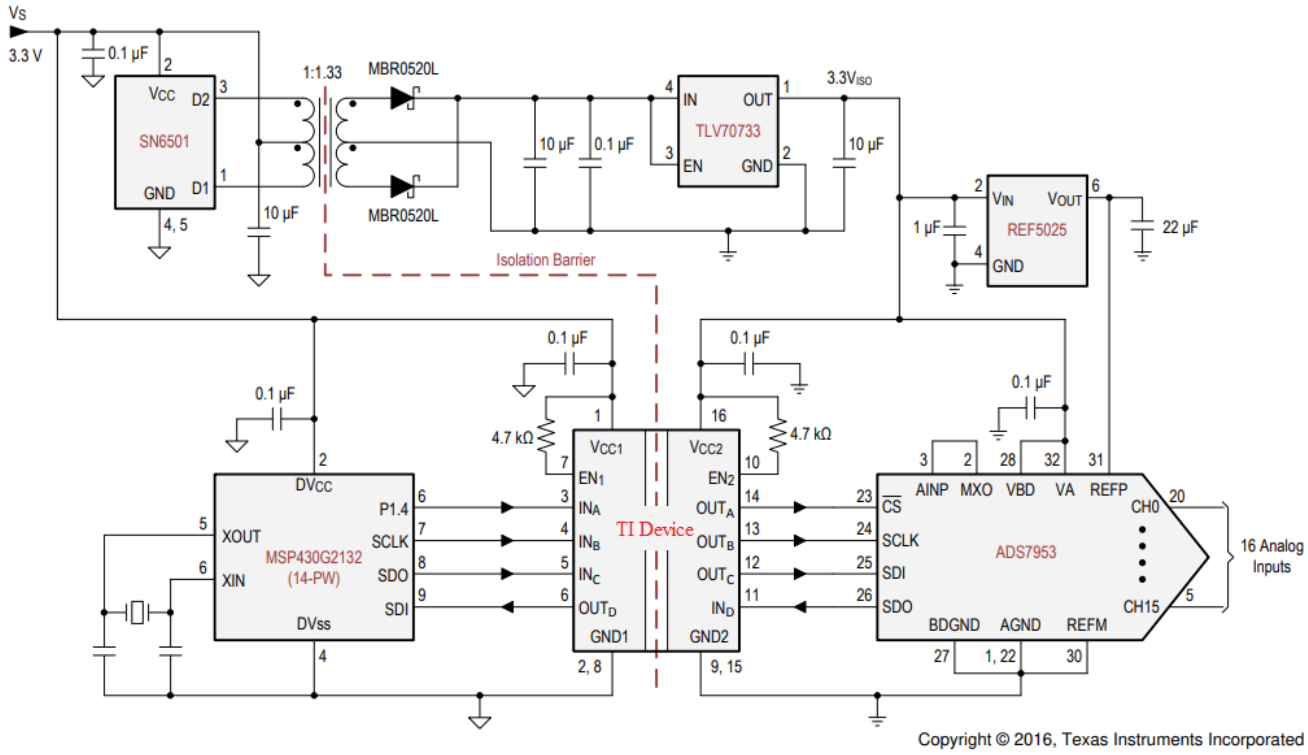


图 8-6. 用于具有 16 个输入的模拟输入模块的隔离式 SPI

8.2.2.1 设计要求

请参阅 *节 8.2.1* 中的 *设计要求*。

8.2.2.2 详细设计过程

请参阅 *节 8.2.1* 中的 *详细设计过程*。

8.2.3 隔离式 RS-232 接口

图 8-7 显示了典型的隔离式 RS-232 接口实现。

Copyright © 2025 Texas Instruments Incorporated

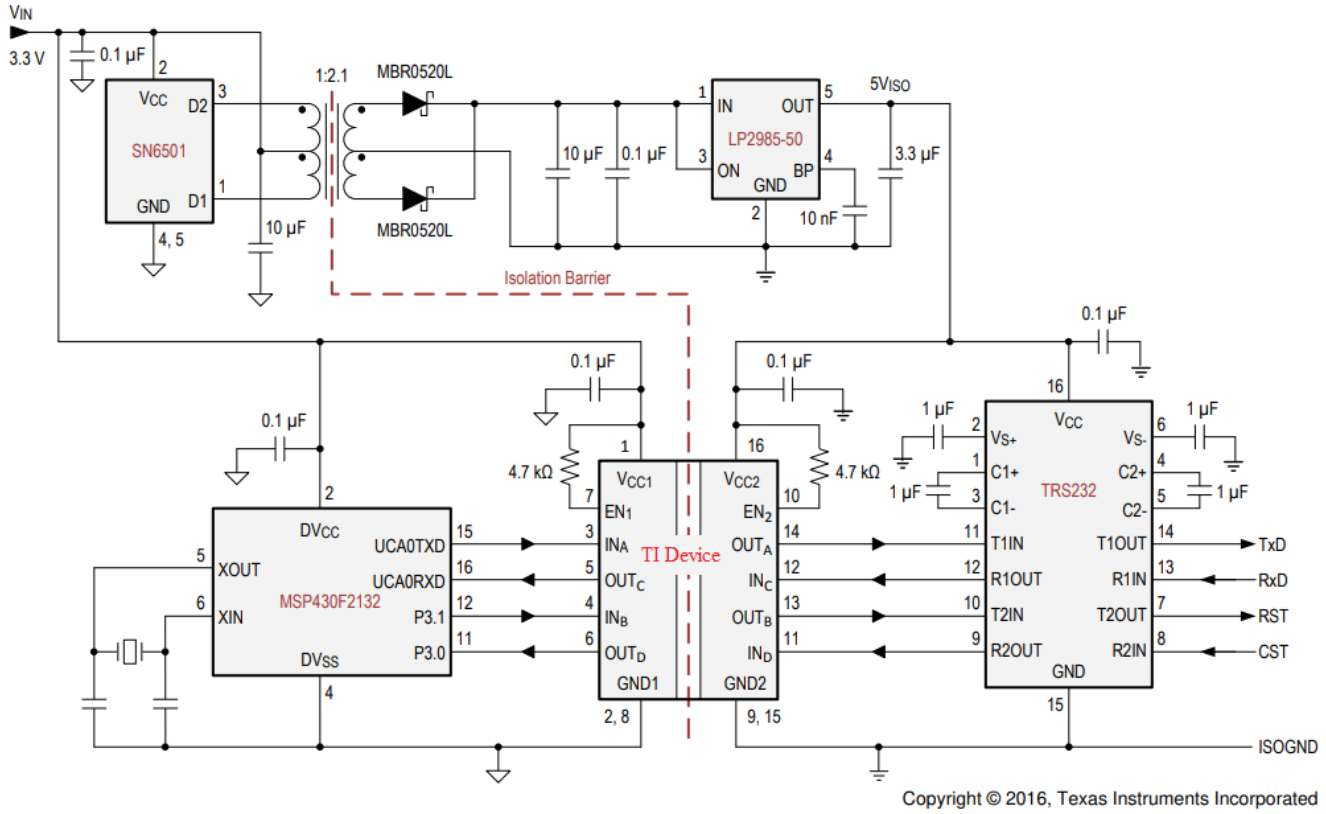


图 8-7. 隔离式 RS-232 接口

8.2.3.1 设计要求

请参阅 *节 8.2.1* 中的 *设计要求*。

8.2.3.2 详细设计过程

请参阅 *节 8.2.1* 中的 *详细设计过程*。

8.3 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将 0.1µF 旁路电容器放置在输入和输出电源引脚（VCC1 和 VCC2）处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可以借助德州仪器 (TI) 的 SN6501 器件等变压器驱动器为次级侧生成隔离式电源。对于此类应用，*适用于隔离式电源的 SN6501 变压器驱动器* 中提供了详细电源设计以及变压器选择建议。

8.4 布局

8.4.1 布局指南

至少需要四层才能实现低 EMI PCB 设计（请参阅图 8-8）。层堆叠必须符合以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约 100pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅*数字隔离器设计指南*。

8.4.1.1 PCB 材料

对于运行速度低于 150 Mbps（或上升和下降时间大于 1 ns）且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

8.4.2 布局示例

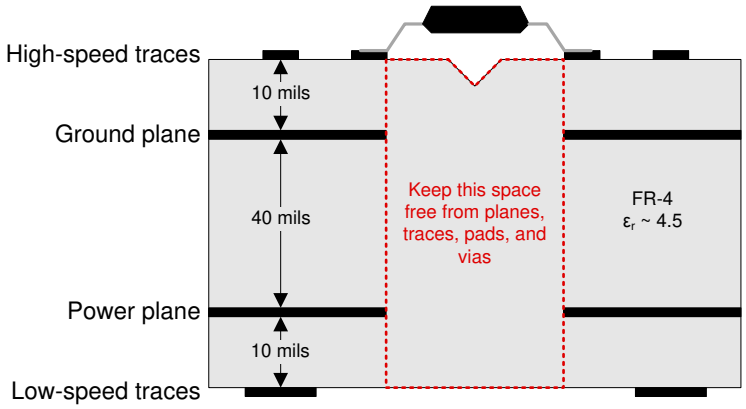


图 8-8. 建议的层堆叠

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

欲查看相关文件，请参阅以下内容：

- *数字隔离器设计指南*
- *隔离相关术语*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

Profibus™ is a trademark of Profibus.
DeviceNet™ is a trademark of Open DeviceNet Vendors Association.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (February 2025) to Revision D (October 2025)	Page
• 更正了*绝缘规格* 表中的拼写错误和其他错误。	5
• 将*安全相关认证* 部分第二行中全部 3 处“计划认证”更改为“已认证”	5
• 将以下部分中的“计划证书”更改为“基本证书：40047657”（VDE 列）、“主合同编号：220991”（CSA 列中）和以及“文件编号：E181974”（UL 列）：*安全相关认证* 部分	5
• 更改了典型 ISO724x 应用电路，*用于过程控制的隔离式数据采集系统*	21

Changes from Revision B (November 2024) to Revision C (February 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1

Copyright © 2025 Texas Instruments Incorporated

- 将 IEC 60664-1 额定值表 - 污染等级 I-III 的测试条件从：额定市电电压 ≤ 150VRMS，更改为：额定市电电压 ≤ 300VRMS。为 I-II 规格添加了一行 6

Changes from Revision A (September 2011) to Revision B (November 2024) **Page**

- 通篇将引用内容从电容隔离更新为隔离栅 1
- 通篇将“VDE V 0884-11”更新为“DIN VDE 0884-17” 1
- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 更新了热特性、安全限值和热降额曲线以提供更准确的系统级热计算 5
- 更新了电气和开关特性以匹配器件性能 7
- 添加了*“详细说明”*、*“概述”*、*“功能说明”*、*“功能方框图”*和*“器件功能模式”*部分 19
- 添加了*“典型应用”*、*“电源建议”*和*“布局”*部分 21

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7240CFQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7240CFQ
ISO7240CFQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7240CFQ
ISO7241CQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7241CQ
ISO7241CQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7241CQ
ISO7242CQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7242CQ
ISO7242CQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO7242CQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO7240CF-Q1, ISO7241C-Q1, ISO7242C-Q1 :

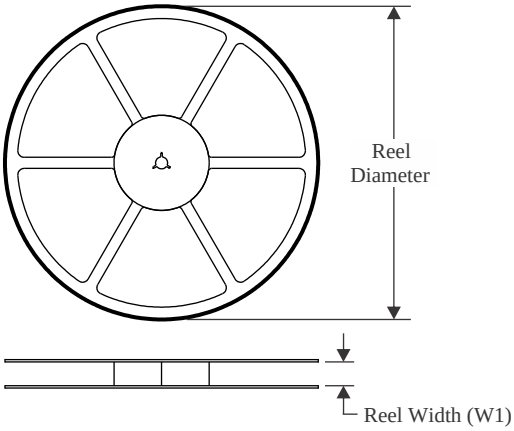
- Catalog : ISO7240CF, ISO7241C, ISO7242C

NOTE: Qualified Version Definitions:

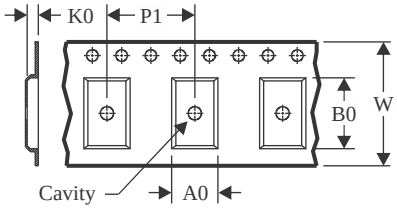
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

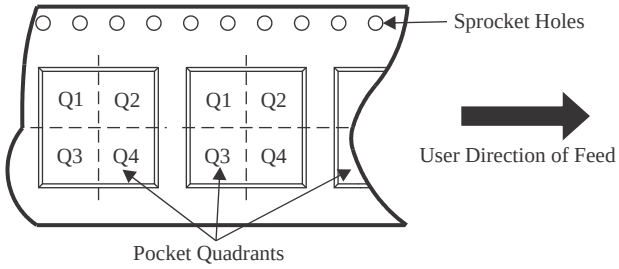


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

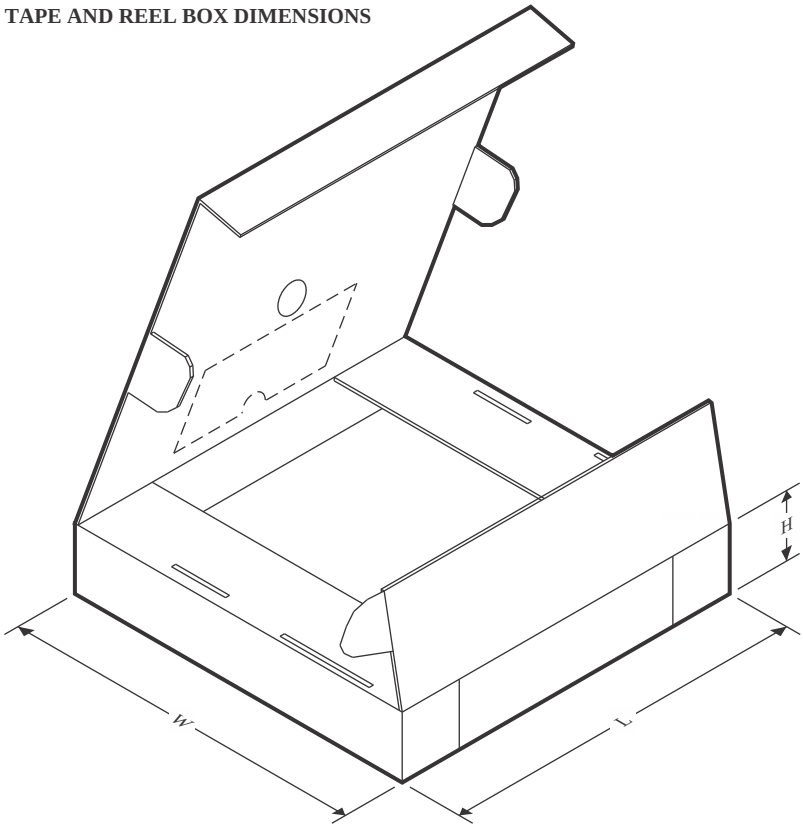
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7240CFQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7240CFQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7241CQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7242CQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7240CFQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7240CFQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO7241CQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7242CQDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

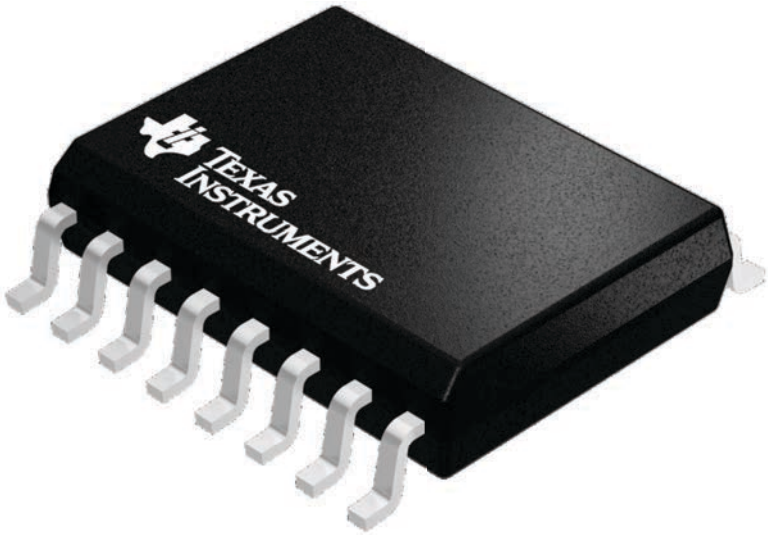
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

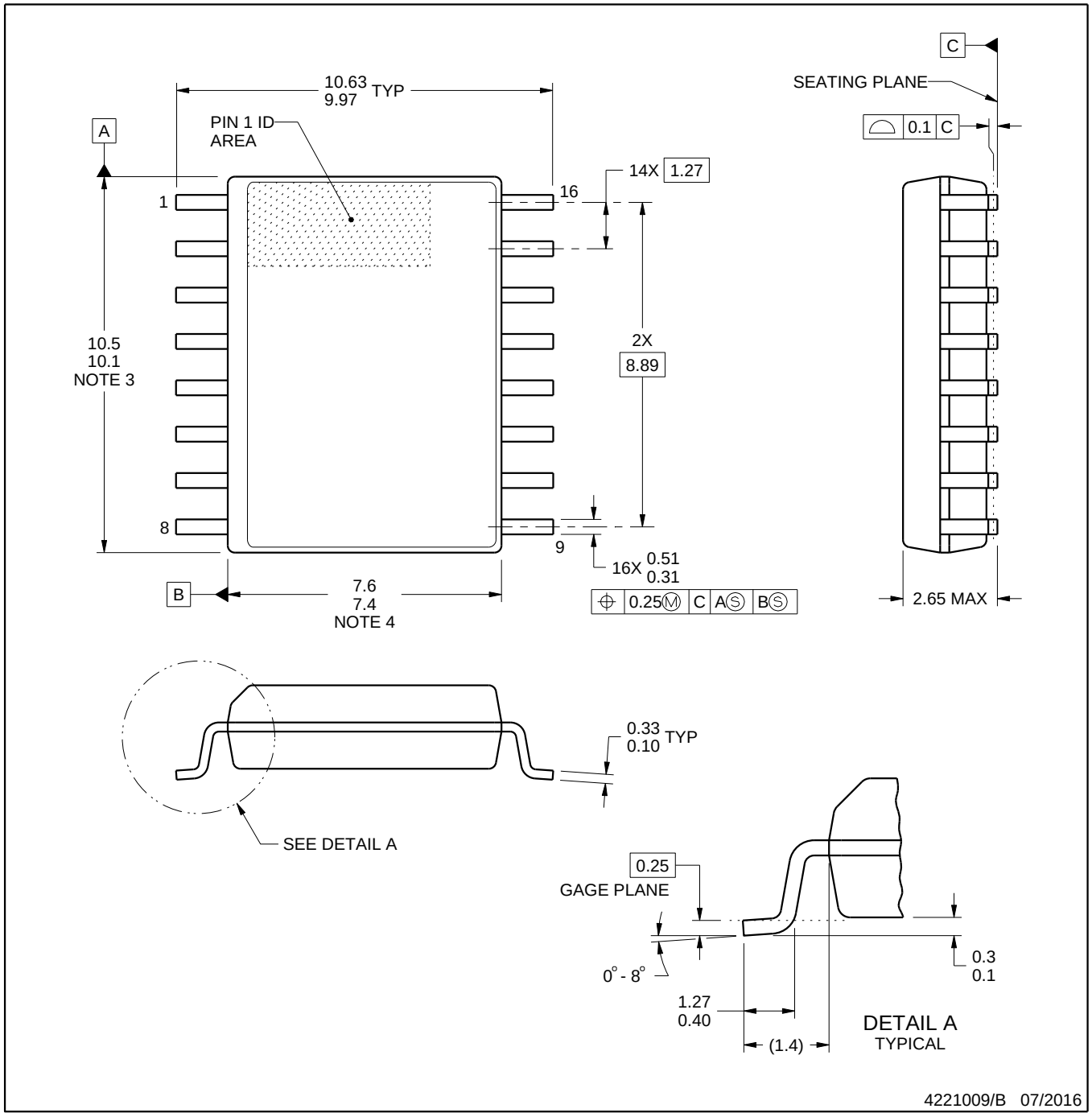
SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



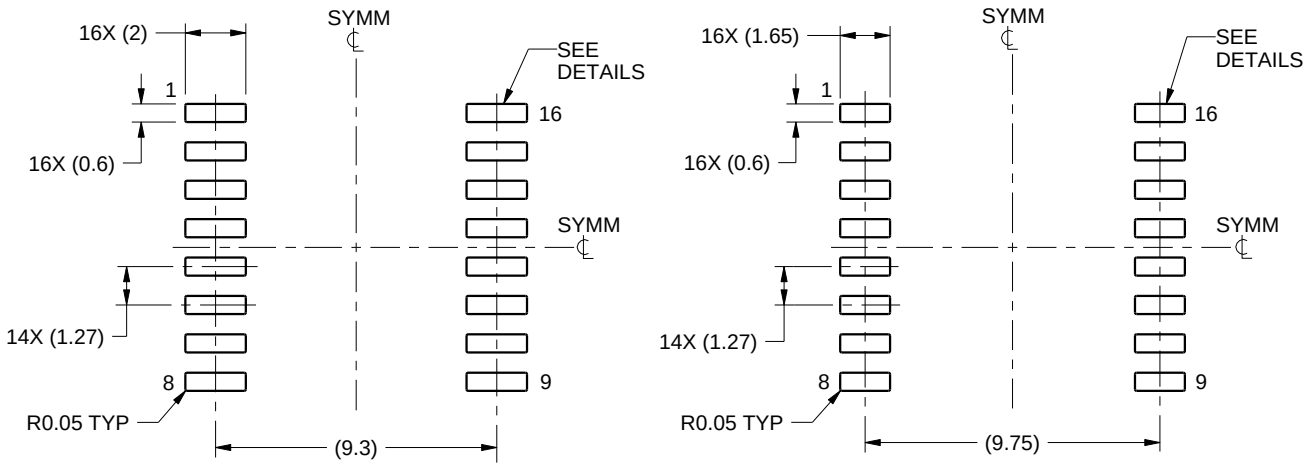
4224780/A

SOIC



NOTES:

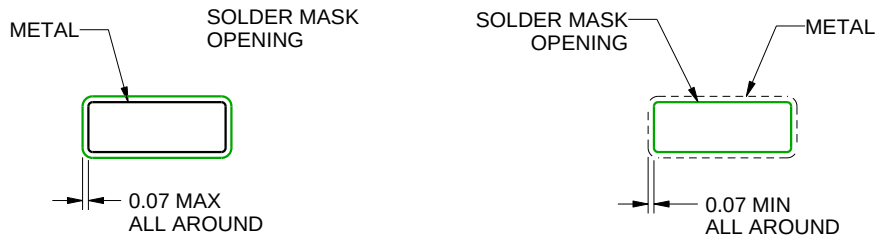
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

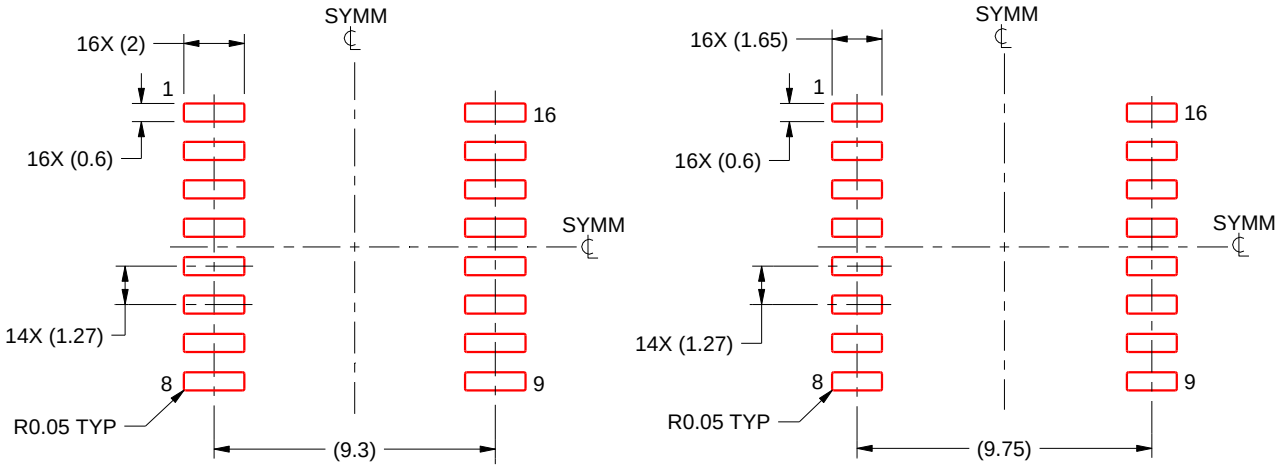
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月