LM317L 100mA 可调节浮动电压稳压器

1 特性

- 输出电压范围 (V_O)：
  - 可调节电压：1.25V 至 37V
- 输出电流：高达 100mA
- 无需输出电容器即可实现稳定性
- 精度：
  - 每次输入电压变化时，输入调节通常为 0.007%
  - 输出调节通常为 0.5%
- 纹波抑制通常为：
  - 120Hz 时为 71.5dB
- 封装选项：
  - SOIC
  - SOT-89
  - TO-92（仅旧芯片）
  - TSSOP（仅旧芯片）
- 有关更高的输出电流要求，请参阅 LM317M (500mA) 和 LM317 (1.5A)

2 应用

- 太阳能
- HVAC 系统
- 光纤网络终端装置 (ONT)
- 交流逆变器和变频驱动器
- 储能系统
- 模拟输入模块

3 说明

LM317L 是一款可调节 3 端子正电压稳压器，能够在 1.25V 至 37V 输出电压范围内提供高达 100mA 的电流。该器件极易使用，并且仅需要 2 个外部电阻器即可设置输出电压。

LM317L 采用拓扑设计，仅测量输入到输出差分电压。因此，只要不超过最大输入到输出差分电压，就会调节几百伏特的电源电压。

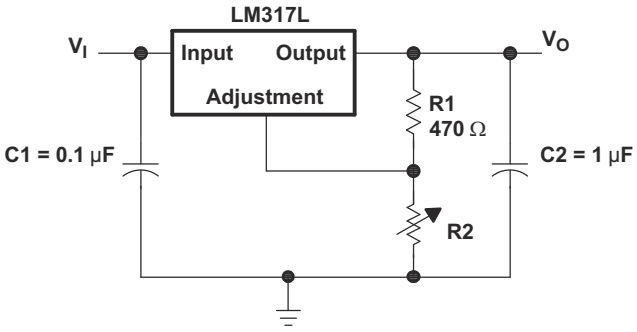
不需要使用电容器，除非 LM317L 的位置远离输入滤波电容器，此时需要使用输入旁路。可以添加可选输出电容器来改善瞬态响应。

对于 LM317LC 和 LM317LI 系列，该新芯片的结温范围均为 –40°C 至 +125°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
LM317L	D（SOIC，8）	4.9mm × 6mm
	LP（TO-92，3）	4.8mm × 3.68mm
	PK（SOT-89，3）	4.5mm × 4.095mm
	PW（TSSOP，8）	3mm × 6.4mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

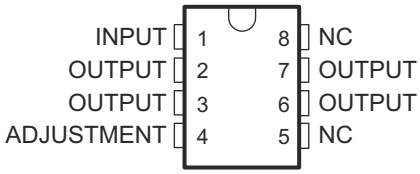
内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息（SOIC 和 SOT-89）.....5
5.5 热性能信息（TO-92 和 TSSOP）.....5
5.6 电气特性.....5
5.7 典型特性.....7
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....10
6.4 器件功能模式.....10
7 应用和实施.....11
7.1 应用信息.....11
7.2 典型应用.....11
7.3 系统示例.....13
7.4 电源相关建议.....17
7.5 布局.....17
7.6 估算结温.....18
8 器件和文档支持.....19
8.1 器件支持.....19
8.2 接收文档更新通知.....19
8.3 支持资源.....19
8.4 商标.....19
8.5 静电放电警告.....19
8.6 术语表.....19
9 修订历史记录.....20
10 机械、封装和可订购信息.....21

Copyright © 2026 Texas Instruments Incorporated

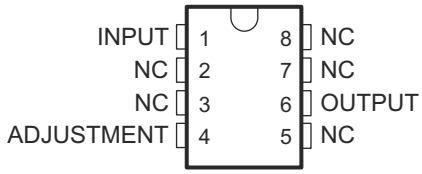
4 引脚配置和功能

D PACKAGE
(TOP VIEW)



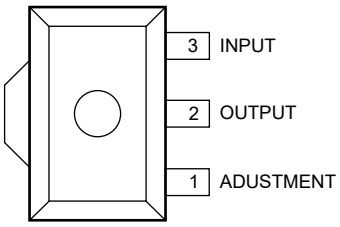
NC – No internal connection
OUTPUT terminals are all internally connected.

PW PACKAGE
(TOP VIEW)



NC – No internal connection

PK PACKAGE
(TOP VIEW)



LP PACKAGE
(TOP VIEW)

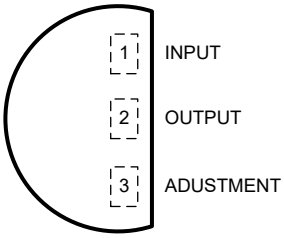


表 4-1. 引脚功能

名称	D	PW	LP	PK	类型(1)	说明
调节	4	4	3	1	I	输出反馈电压
输入	1	1	1	3	I	输入电源电压
NC	5、8	2、3、5、7、8	—	—	—	无连接。建议将引脚接地以提高热性能，但这不是必需的。
输出	2、3、6、7	6	2	2	O	经稳压调节的输出电压

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

			最小值	最大值	单位
$V_I - V_O$	输入到输出差分电压	旧芯片 (CSO:SHE)		35	V
		旧芯片 (CSO:TID)		40	
		新芯片 (CSO:RFB)		45	
T_J	工作结温			150	°C
T_{stg}	贮存温度	旧芯片 (CSO:SHE)	-65	150	°C
		旧芯片 (CSO:TID)	-55	150	
		新芯片 (CSO:RFB)	-65	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) CSO 表示芯片的制造位置。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	旧芯片 (CSO:SHE)	±3000	V
			旧芯片 (CSO:TID)	±2000	
			新芯片 (CSO:RFB)	±3000	
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	旧芯片（CSO:SHE 和 CSO: TID）	±2000	
			新芯片 (CSO:RFB)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

				最小值	标称值	最大值	单位
V_o	输出电压		旧芯片 (CSO:SHE)	1.25		32	V
			旧芯片 (CSO:TID)	1.25		37	
			新芯片 (CSO:RFB)	1.25		37	
$V_I - V_o$	输入到输出差分电压		旧芯片 (CSO:SHE)	2.5		32	V
			旧芯片 (CSO:TID)	2.5		37	
			新芯片 (CSO:RFB)	2.5		37	
I_O	输出电流			2.5		100	mA
T_J	工作结温	LM317LC	旧芯片 (CSO:SHE)	0		125	°C
			旧芯片 (CSO:TID)	-40		125	
			新芯片 (CSO:RFB)	-40		125	
		LM317LI		-40		125	

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息（SOIC 和 SOT-89）

热指标(1) (2)		LM317L						单位
		SOIC（D，8 引脚）			SOT-89（PK，3 引脚）			
		旧芯片 (CSO:SHE)	旧芯片 (CSO:TID)	新芯片 (CSO:RFB)	旧芯片 (CSO:SHE)	旧芯片 (CSO:TID)	新芯片 (CSO:RFB)	
$R_{\theta JA}$	结至环境热阻	97.1	96.5	98.18	51.5	44	43.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	–	48.6	48.44	–	86.9	124.2	°C/W
$R_{\theta JB}$	结至电路板热阻	–	34.8	31.90	–	8.5	4.8	°C/W
Ψ_{JT}	结至顶部特征参数	–	5.9	6.38	–	4.5	5.9	°C/W
Ψ_{JB}	结至电路板特征参数	–	34.2	31.59	–	8.5	4.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	–	6.9	3.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。
(2) 旧芯片器件报告的热性能指标有限；包含面向新芯片 (CSO:RFB) 的其他指标。

5.5 热性能信息（TO-92 和 TSSOP）

热指标(1) (2)		TO-92 (LP)		TSSOP (PW)	单位
		3 引脚		8 引脚	
		旧芯片 (CSO: SHE)	旧芯片 (CSO: TID)	旧芯片 (CSO: SHE)	
$R_{\theta JA}$	结至环境热阻	139.5	156.7	149.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	–	80.6	–	°C/W
$R_{\theta JB}$	结至电路板热阻	–	–	–	°C/W
Ψ_{JT}	结至顶部特征参数	–	24.7	–	°C/W
Ψ_{JB}	结至电路板特征参数	–	135.8	–	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。
(2) 旧芯片器件报告的热性能指标有限；针对 SOIC 和 SOT-89 封装的新芯片 (CSO:RFB) 加入了其他指标。

5.6 电气特性

在建议的工作虚拟结温范围内。除非另有说明，否则这些规格适用于以下测试条件：V_I – V_O = 5V 且 I_O = 40mA。所有特性都是在输入端使用 0.1 µF 电容器并在输出端使用 1 µF 电容器时测量的。

参数	测试条件			最小值	典型值	最大值	单位
线路调整	V_I – V_O = 5V 至 35V	T_J = 25°C	旧芯片（CSO:SHE 和 CSO:TID）		0.01	0.02	%/V
		I_O = 2.5mA 至 100mA			0.02	0.05	
		T_J = 25°C	新芯片 (CSO:RFB)		0.007	0.021	
		I_O = 2.5mA 至 100mA			0.006	0.0275	
纹波抑制	V_O = 10V，f = 120Hz				55		dB
	V_O = 10V，在调节端与接地端之间使用 10 µF 电容器，f = 120Hz		旧芯片（CSO:SHE 和 CSO:TID）	66	80		
			新芯片 (CSO:RFB)	64	71.5		

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性（续）

在建议的工作虚拟结温范围内。除非另有说明，否则这些规格适用于以下测试条件：V_I – V_O = 5V 且 I_O = 40mA。所有特性都是在输入端使用 0.1 µF 电容器并在输出端使用 1 µF 电容器时测量的。

参数	测试条件			最小值	典型值	最大值	单位
输出电压调节	V_I – V_O = 5V 至 35V，T_J = 25°C，I_O = 2.5mA 至 100mA	$V_O \leqslant$ 5 V	旧芯片（CSO:SHE 和 CSO:TID）		25		mV
		$V_O \geqslant$ 5 V			5		mV/V
	V_I - V_O= 5V 至 35V，I_O = 2.5mA 至 100mA	$V_O \leqslant$ 5 V			50		mV
		$V_O \geqslant$ 5 V			10		mV/V
	V_I – V_O = 5V 至 35V，T_J = 25°C，I_O = 2.5mA 至 100mA	$V_O \leqslant$ 5 V	新芯片 (CSO:RFB)		25		mV
		$V_O \geqslant$ 5 V			5		mV/V
	V_I - V_O = 5V 至 35V，I_O = 2.5mA 至 100mA	$V_O \leqslant$ 5 V			25		mV
		$V_O \geqslant$ 5 V			5		mV/V
输出电压随温度的变化	T_J = 0°C 至 125°C		旧芯片（CSO:SHE 和 CSO:TID）		10		mV/V
	T_J = -40°C 至 125°C		新芯片 (CSO:RFB)		10		
输出电压长期漂移	1000 小时后，T_J = 125°C 且 V_I – V_O = 35V				3	10	mV/V
输出噪声电压	f = 10Hz 至 10kHz，T_J = 25°C				10		µV/V
维持稳压所需的最小输出电流	V_I – V_O = 35V		旧芯片 (CSO:SHE)		1.5	2.5	mA
			旧芯片 (CSO:TID)		3.5	5	
			新芯片 (CSO:RFB)		1.28	1.72	
峰值输出电流	V_I – $V_O \leqslant$ 35V		旧芯片 (CSO:SHE)	100	200		mA
	3V $\leqslant V_I$ – $V_O \leqslant$ 13V		旧芯片 (CSO:TID)	100	200		
	V_I – V_O = 35V			25	50	150	
	V_I – $V_O \leqslant$ 35V		新芯片 (CSO:RFB)	160	290		
调节电流			旧芯片（CSO:SHE 和 CSO:TID）		50	100	µA
			新芯片 (CSO:RFB)		44	57	
调节电流变化	V_I – V_O = 2.5V 至 35V，I_O = 2.5mA 至 100mA		旧芯片（CSO:SHE 和 CSO:TID）		0.2	5	µA
	V_I – V_O = 2.8V 至 35V，I_O = 2.5mA 至 100mA		新芯片 (CSO:RFB)		0.8	2.5	µA
基准电压（输出端至调节端）	V_I – V_O = 5.0V 至 35V，I_O = 2.5mA 至 100mA，P $\leqslant$ r 额定耗散		旧芯片（CSO:SHE 和 CSO:TID）	1.2	1.25	1.3	V
			新芯片 (CSO:RFB)	1.22	1.256	1.292	

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

除非另有说明，否则在建议工作虚拟结温范围内的规格 V_I – V_O = 5V，I_O = 40mA，P ≤ 额定耗散。

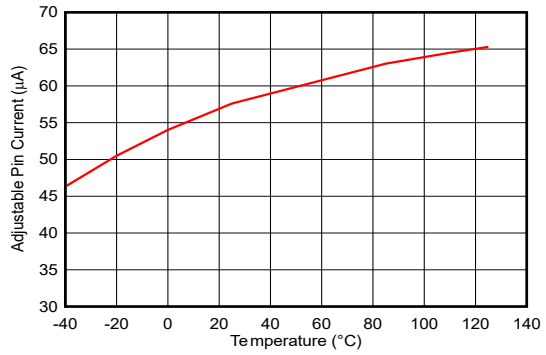


图 5-1. 温度范围内调节电流的变化（旧芯片，CSO: SHE）

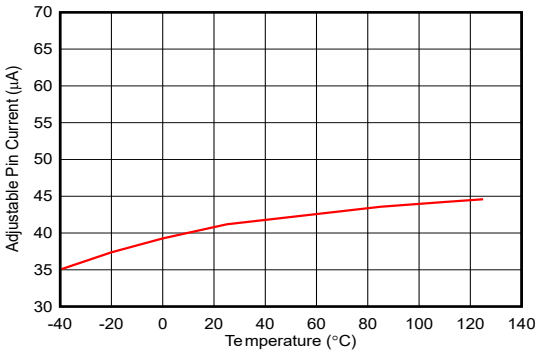


图 5-2. 温度范围内调节电流的变化（旧芯片，CSO: TID）

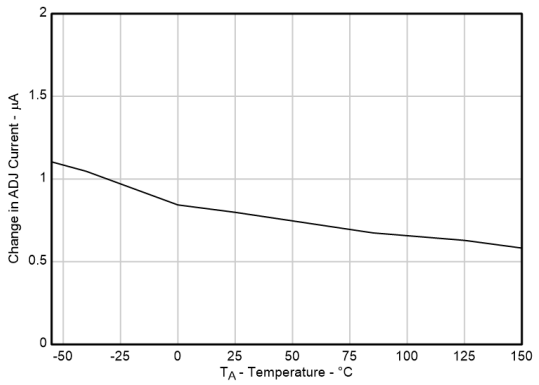
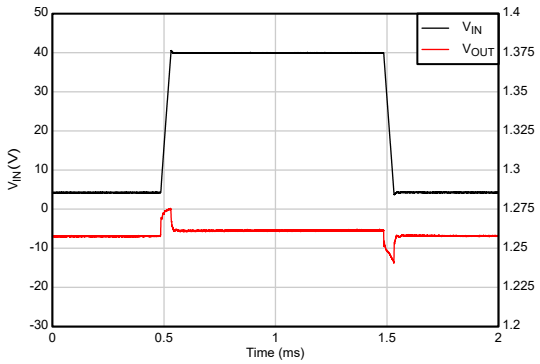
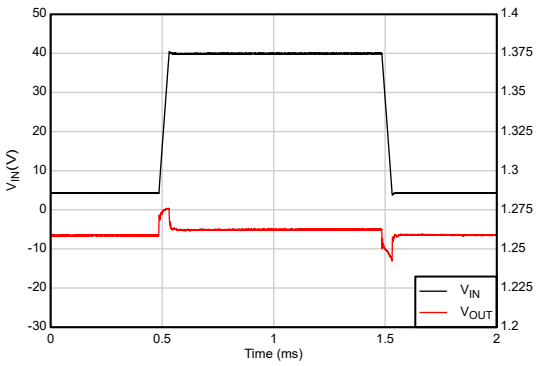


图 5-3. 温度范围内调节电流的变化（新芯片，CSO: RFB)



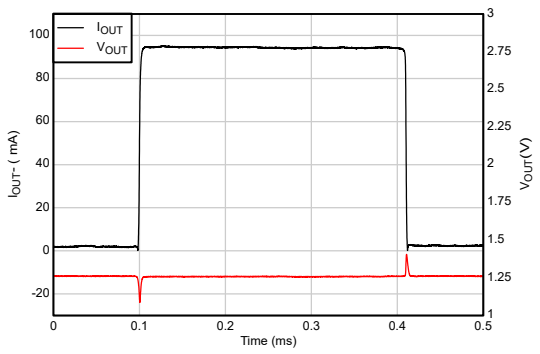
I_O = 2.5mA，C_{OUT} = 0µF，C_{IN} = 1µF

图 5-4. 线路瞬态（新芯片，CSO: RFB)



I_O = 100mA，C_{OUT} = 0µF，C_{IN} = 1µF

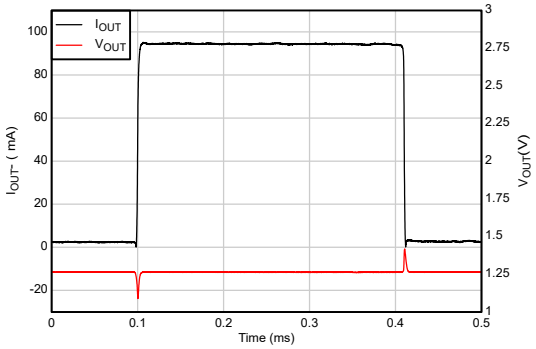
图 5-5. 线路瞬态（新芯片，CSO: RFB)



V_I - V_O = 3V，C_{OUT} = 0µF，C_{IN} = 1µF

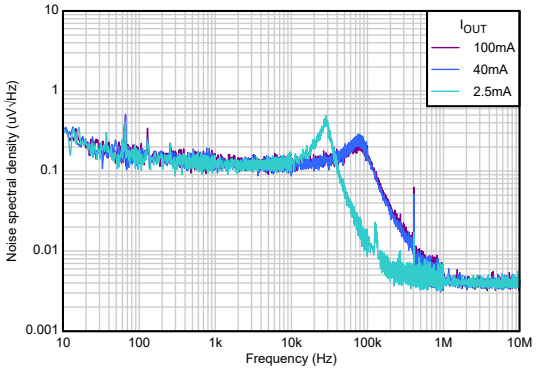
图 5-6. 负载瞬态（新芯片，CSO: RFB)

5.7 典型特性（续）



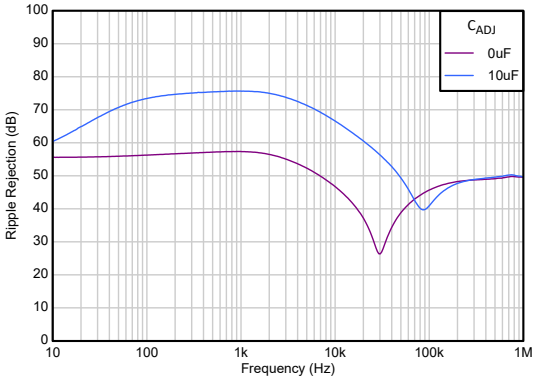
V_I - V_O = 40V，C_{OUT} = 0μF，C_{IN} = 1μF

图 5-7. 负载瞬态（新芯片，CSO: RFB)



C_{OUT} = 1μF，C_{IN} = 0.1μF

图 5-8. 输出噪声（新芯片，CSO：RFB)



C_{OUT} = 1μF，C_{IN} = 0.1μF

图 5-9. 纹波抑制（新芯片，CSO：RFB)

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

LM317L 是一款电压容差高达 37V 的 100mA 线性稳压器（CSO: TID 和 CSO: RFB）。该器件具有相对于输出而非接地的反馈电压。这种未接地的设计使 LM317L 具有出色的线路和负载调节功能。此设计还允许将该器件用作使用单个电阻器的电流源或电流沉。可以使用两个电阻器获取推荐输出范围内的任何输出电压。该器件的偏置电流流向输出端；该电流必须由负载或反馈电阻器使用。请参阅 *电气特性* 中维持稳压所需的最小输入电压。

功耗是导通晶体管电压和电流的乘积，计算方法如方程式 1 所示。

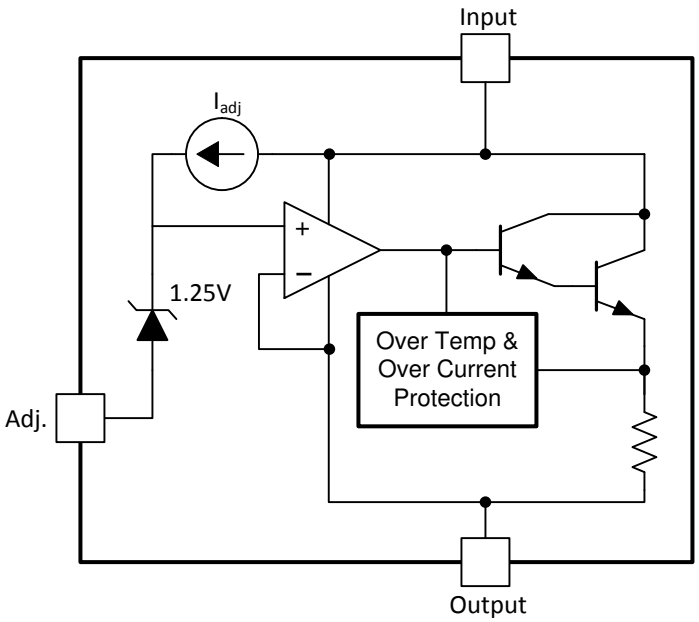
$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (1)$$

应用散热器必须能够吸收方程式 1 中计算的功率。

LM317L 稳压器提供电流限制和热过载保护功能。即使调节功能断开，所有过载保护电路也能保持完全正常运行。通常不需要使用电容器，除非器件的位置远离输入滤波电容器，此时需要使用输入旁路。可以添加可选输出电容器来改善瞬态响应。可绕过调节来实现极高的纹波抑制，这很难通过标准三端稳压器实现。

除了替代固定稳压器之外，LM317L 稳压器还适用于多种其他应用。由于该稳压器是浮动的并且仅观察输入到输出差分电压，因此，只要不超过最大输入到输出差分电压，就可以调节几百伏特的电源电压。该器件的主要应用是可编程的输出稳压器，但通过在调节端和输出端之间连接固定电阻器，该器件也可用作精密电流调节器。可通过将调节端钳位至接地，并将输出编程为 1.25V（此时大多数负载消耗很少电流），使电源具有电子关断功能。

6.2 功能方框图



6.3 特性说明

6.3.1 NPN 达林顿输出驱动

NPN 达林顿输出拓扑可提供自然低输出阻抗，并且输出电容器是可选的。为支持最大电流和最低温度，建议使用 2.5V 余量 (V_I – V_O)，请参阅 *建议运行条件*。

6.3.2 过载块

过流和过热关断功能可防止器件在过热条件下运行时不会过载或损坏。

6.3.3 可编程反馈

在调节引脚上具有 1.25V 失调电压输入的运算放大器可轻松提供输出电压或电流（而非同时提供）编程。对于电流调节应用，请使用电阻值为 $1.25V/I_{OUT}$ 且额定功率大于 $(1.25V)^2/R$ 的单个电阻器。对于电压调节应用，通过两个电阻器设置输出电压。有关原理图和电阻器公式，请参阅*典型应用* 部分。

6.4 器件功能模式

6.4.1 正常运行

器件输出引脚提供使输出引脚电压比调节端子电压高 1.25V 所需的电流，从而实现输出调节。

6.4.2 低输入电压下的运行

该器件需要高达 2.5V 余量 (V_I – V_O) 才能在稳压下运行，详情请参阅 *建议运行条件*。余量较小时，器件电压会下降。在这种情况下，输出电压为输入电压减去压降电压。

6.4.3 轻负载下的运行

器件将偏置电流传输至 OUTPUT 引脚。负载或反馈必须消耗此最小电流才能进行调节，否则输出可能过高。请参阅 *电气特性* 中维持稳压所需的最小输入电压。

6.4.4 自保护模式下的运行

发生过载时，器件会关断达林顿 NPN 输出级或降低输出电流，以防止器件损坏。过流消除后，器件会自动重新启动。在过载情况被清除之前，可以降低 LM317L 的输出，否则该器件可能在进入和退出热关断之间反复循环，这会影响该器件的长期可靠性。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

两个输出电阻器是调节 V_{OUT} 所需的唯一组件。

7.2 典型应用

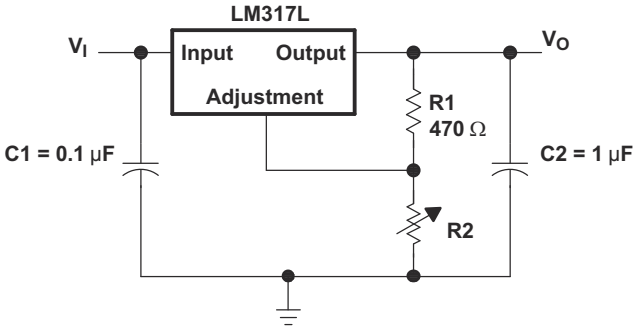


图 7-1. 典型应用原理图

7.2.1 设计要求

1. 如果稳压器远离滤波电容器，则使用输入旁路电容器。
2. 对于该设计示例，请使用表 7-1 中列出的参数。
3. 使用输出电容器可改善瞬态响应，但这是可选的。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	(输出电压 + 2.5V) 至 37V
输出电压	$V_{REF} \times (1 + R_2/R_1) + I_{ADJ} \times R_2$

7.2.2 详细设计过程

7.2.2.1 输入电容器

输入电容器不是必需的，但建议使用，尤其是当稳压器不靠近电源滤波电容器时。0.1µF 陶瓷电容器或 1µF 钽电容器为大多数应用提供足够旁路，尤其是在使用调节电容器和输出电容器时。

7.2.2.2 输出电容器

输出电容器可改善瞬态响应，但不是实现稳定性所必需的。

7.2.2.3 反馈电阻器

反馈电阻器使用方程式 2 设置输出电压。

$$V_{REF} \times (1 + R_2 / R_1) + I_{ADJ} \times R_2 \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.2.4 调节端子电容器

可选调节引脚电容器 (C_{ADJ}) 可通过防止纹波放大来改善纹波抑制。使用此电容器且 V_{OUT} > 6V 时，建议从调节端到输出端之间使用保护二极管。

7.2.2.5 设计选项和参数

常见线性稳压器设计涉及以下参数：

- 输入电压范围
- 输入电容器范围
- 输出电压
- 输出电流额定值
- 输出电容器范围
- 输入短路保护
- 稳定性
- 纹波抑制

7.2.2.6 输出电压

V_O 的计算公式如方程式 3 所示。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_2}{R_1}\right) + (I_{ADJ} \times R_2) \quad (3)$$

由于 I_{ADJ} 通常为 44μA，因此该参数在大多数应用中可以忽略不计。

7.2.2.7 输入短路保护

如果输入端在故障条件下发生接地短路，保护二极管可提供措施，防止外部电容器通过器件中的低阻抗路径放电。通过分别为 C_3 和 C_2 提供低阻抗放电路径，从输入端到输出端之间以及从 ADJ 到输出端之间使用保护二极管可防止电容器放电到稳压器的输出端。

7.2.2.8 纹波抑制

C_{ADJ} 用于改善纹波抑制。此电容器可防止在将输出电压调高时发生纹波放大。如果使用 C_{ADJ}，则加入保护二极管以防止 ADJ 在 VOUT 快速崩溃时反向偏置。有关更多详细信息，请参阅*调节端子电容器*。

7.2.3 应用曲线

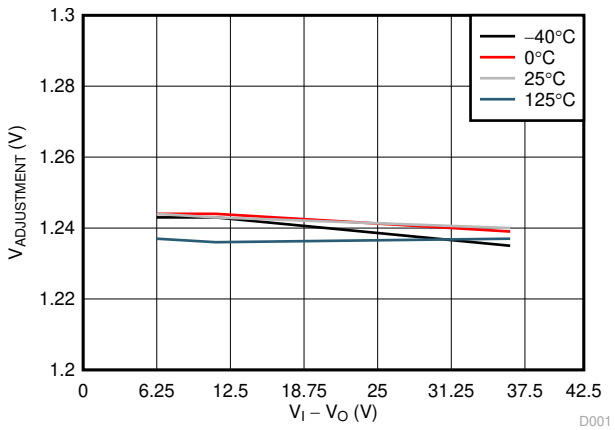


图 7-2. 温度范围内相对于输出的调节电压（旧芯片，CSO:SHE）

Copyright © 2026 Texas Instruments Incorporated

7.3 系统示例

7.3.1 改进了纹波抑制功能的稳压器电路

C2 有助于稳定调节引脚上的电压，这有助于抑制噪声。二极管 D1 用于在输出接地短路的情况下对 C2 进行放电。

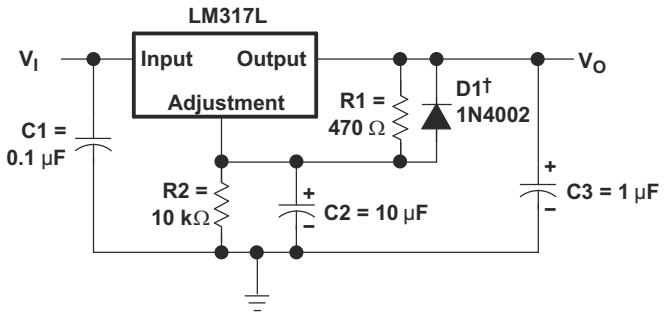


图 7-3. 改进了纹波抑制功能的稳压器电路

7.3.2 0V 至 30V 稳压器电路

在 0V 至 30V 稳压器电路应用中，输出电压由方程式 4 确定。

$$V_{OUT} = V_{REF}\left(1 + \frac{R_2 + R_3}{R_1}\right) - 10\,V \tag{4}$$

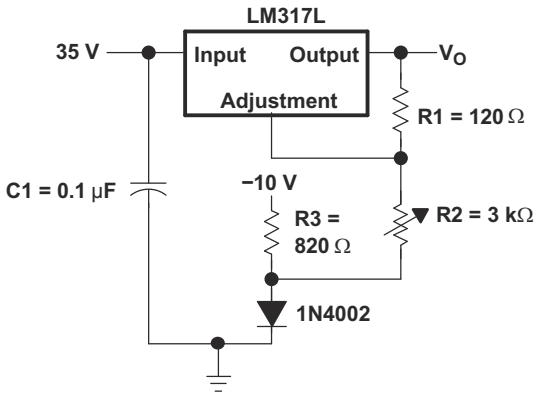


图 7-4. 0V 至 30V 稳压器电路

备注

此应用电路仅使用旧芯片进行了测试（CSO: SHE 和 CSO: TID）；TI 的客户需要负责验证并测试其设计是否能够实现，以确保系统功能。

7.3.3 精密限流电路

此应用将输出电流限制为图 7-5 中所示的 I_{LIMIT}。

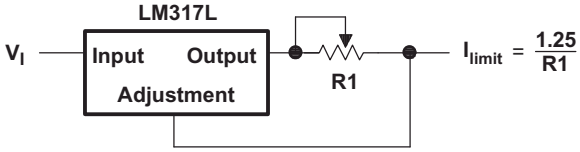


图 7-5. 精密限流电路

Copyright © 2026 Texas Instruments Incorporated

7.3.4 跟踪前置稳压器电路

跟踪前置稳压器电路应用在电路中的第二个 LM317L 两端保持恒定电压。

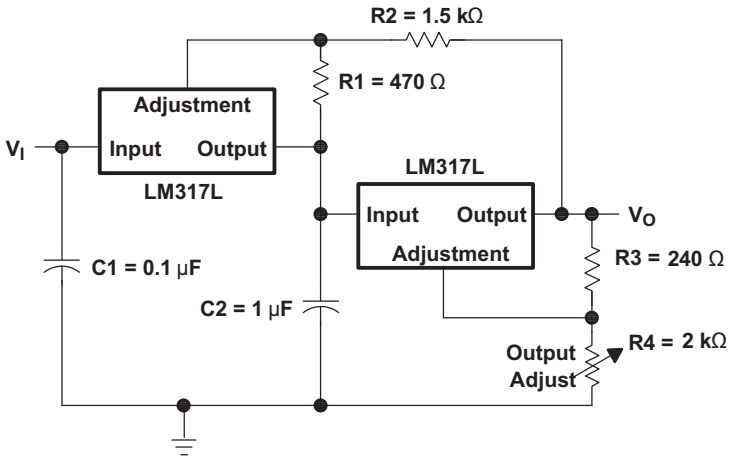


图 7-6. 跟踪前置稳压器电路

7.3.5 缓慢导通 15V 稳压器电路

电容器 C1 与 PNP 晶体管结合使用，可帮助电路缓慢开始提供电压。开始时，电容器未充电。因此，输出电压从 1.9V 开始，如方程式 5 所确定。随着电容器电压上升，V_{OUT} 以相同速率上升。当输出电压达到 R1 和 R2 确定的值时，PNP 关断。

$$V_{C1} + V_{BE} + 1.25V = 0V + 0.65V + 1.25V = 1.9V \quad (5)$$

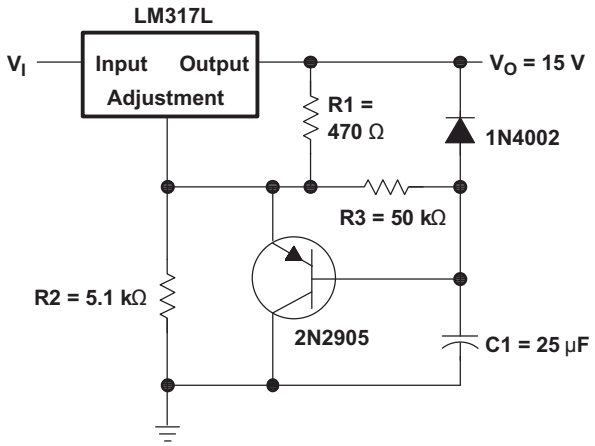


图 7-7. 缓慢导通 15V 稳压器电路

备注

此应用电路仅使用旧芯片进行了测试（CSO: SHE 和 CSO: TID）；TI 的客户需要负责验证并测试其设计是否能够实现，以确保系统功能。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 50mA 恒流电池充电器电路

可使用电流限制运行模式以方程式 6 确定的固定电流对电池进行涓流充电。V_I 必须大于 V_{BAT} + 3.75V。

$$I_{CHG} = 1.25V \div 24\,\Omega \quad (6)$$

$$(1.25V\ [V_{REF}] + 2.5V\ [headroom]) \quad (7)$$

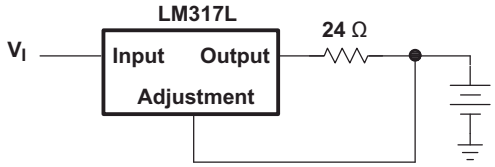


图 7-8. 50mA 恒流电池充电器电路

7.3.7 限流 6V 充电器

随着充电电流的增加，底部电阻器上的电压会增加，直到 NPN 开始从调节引脚灌入电流。调节引脚上的电压下降，输出电压随之降低，直到 NPN 停止导通。

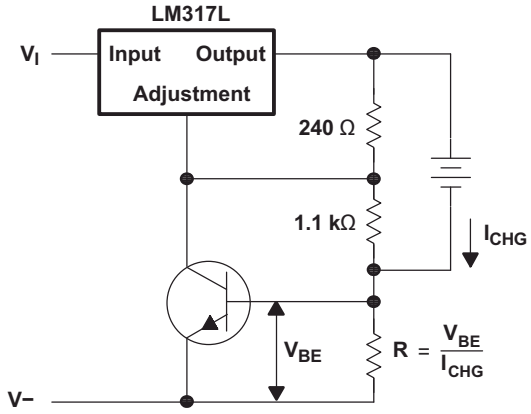


图 7-9. 限流 6V 充电器

备注

此应用电路仅使用旧芯片进行了测试（CSO: SHE 和 CSO: TID）；TI 的客户需要负责验证并测试其设计是否能够实现，以确保系统功能。

Copyright © 2026 Texas Instruments Incorporated

7.3.8 大电流可调节稳压器

此应用允许 V_{OUT} 上的电流高于 LM317L 可提供的电流，同时仍将输出电压保持在 LM317L 的调节引脚电阻分压器所确定的电平。

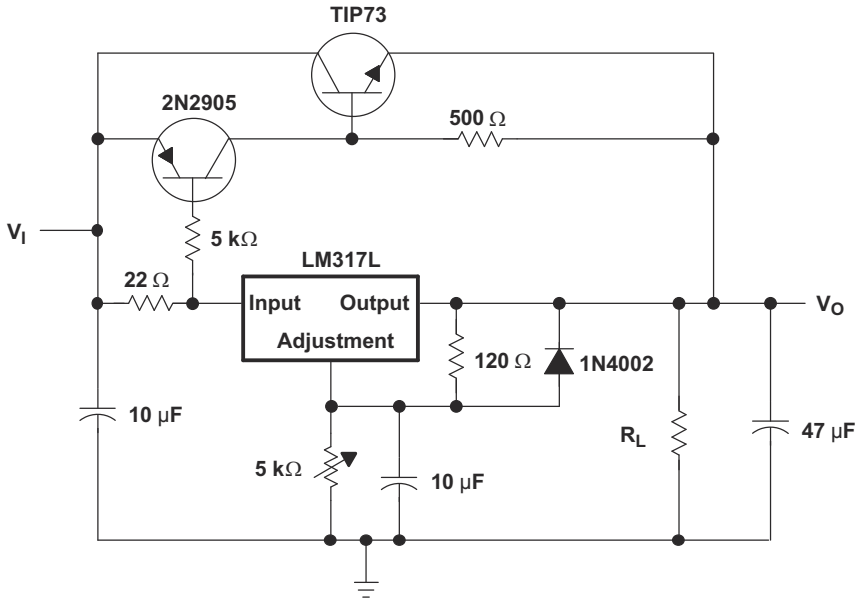


图 7-10. 大电流可调节稳压器

备注

此应用电路仅使用旧芯片进行了测试（CSO: SHE 和 CSO: TID）；TI 的客户需要负责验证并测试其设计是否能够实现，以确保系统功能。

Copyright © 2026 Texas Instruments Incorporated

7.4 电源相关建议

LM317L 设计为由电压范围在 2.5V 至 37V 且高于输出电压的输入电源供电 (CSO: TID 和 CSO: RFB；请参阅 *建议运行条件*)。如果器件距离输入滤波电容器 6 英寸以上，则需要使用任何类型的输入旁路电容器 (0.1µF 或更高值) 来确保稳定性。

7.5 布局

7.5.1 布局指南

- 使用旁路电容器将输入引脚旁路至接地。
  - 仅当稳压器距离输入滤波电容器超过 6 英寸时，才需要这样做。不过，良好的模拟设计做法是在 IN 和 GND 之间连接一个电容器 (C_{IN})；C_{IN} 抵消了被重新激活的输入源并且提升了瞬态响应、噪声抑制、以及 PSRR。
  - 将 C_{IN} 放置在尽可能靠近器件 V_{IN} 和系统 GND 引脚的位置。请务必注意，尽量减小旁路电容器连接、输入引脚及系统 GND 引脚。
- 在输出引脚与接地引脚之间连接一个输出电容器。
  - 不需要输出电容器 (C_{OUT}) 即可实现稳定性。但是，添加 C_{OUT} 可改善瞬态响应。
  - 将 C_{OUT} 放置在尽可能靠近器件 V_{OUT} 和系统 GND 引脚的位置。请务必注意，尽量减小旁路电容器连接、输出引脚及系统 GND 引脚。
- 对于额定满负载运行，请使用宽布线长度来尽量消除 IR 压降和散热。

7.5.2 布局示例

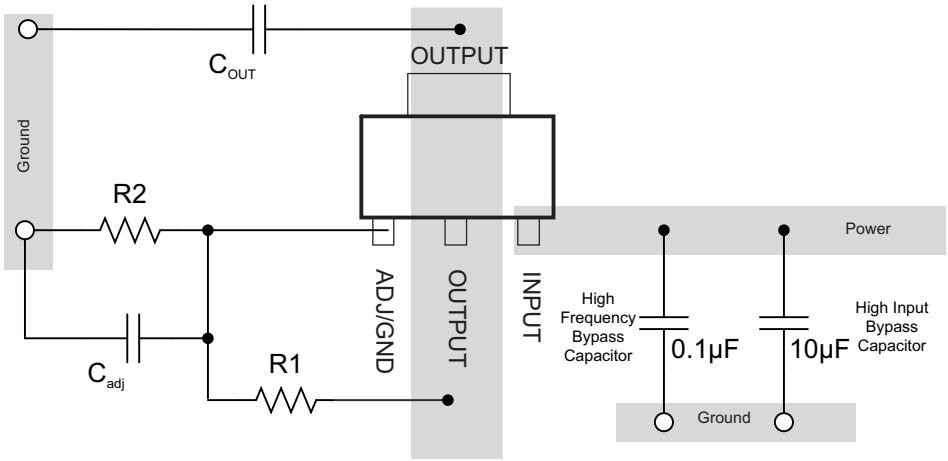


图 7-11. 布局图，SOT-89

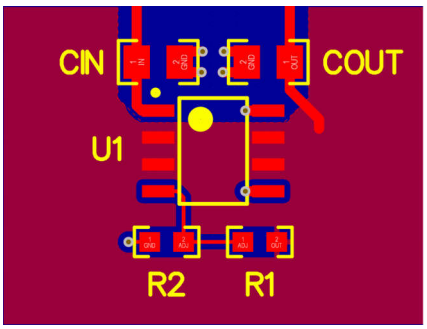


图 7-12. 布局图，NC 引脚接地的 SOIC

Copyright © 2026 Texas Instruments Incorporated

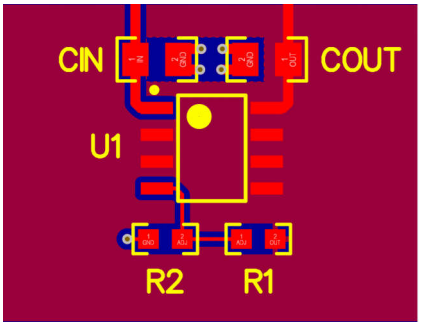


图 7-13. 布局图，NC 引脚连接到输出的 SOIC

7.6 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息* 表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \Psi_{JT} \times P_D \tag{8}$$

$$T_J = T_T + \psi_{JT} \times P_D \tag{9}$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \Psi_{JB} \times P_D \tag{10}$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

器件命名规则

产品 (1)	VERSION	V_{OUT}
LM317L**x y(y) (z) (G4)**	旧芯片 **CSO：SHE**	**x** 是工作温度范围标识符（C = 0°C 至 125°C，I = -40°C 至 125°C）。 **y(y)** 是封装标识符（D = SOIC、PK = SOT-89、PW = TSSOP、LP= TO-92）。 **(z)** 是封装数量标识符（R = 大卷装，无标识符 = SOIC 和 TSSOP 采用管装、TO-92 采用散装包装、SOT-89 采用大卷装）。若存在 **(G4)**，则表示 NiPdAu 铅涂层。
	旧芯片 **CSO：TID**	**x** 是工作温度范围标识符（C 和 I = -40°C 至 125°C）。 **y(y)** 是封装标识符（D = SOIC、PK = SOT-89）。 **(z)** 是封装数量标识符（R = 大卷装，无标识符 = SOIC 采用管装、SOT-89 采用大卷装）。若存在 **(G4)**，则表示 NiPdAu 铅涂层。
	新芯片 **CSO：RFB**	**x** 是工作温度范围标识符（C 和 I = -40°C 至 125°C）。 **y(y)** 是封装标识符（D = SOIC、PK = SOT-89）。 **(z)** 是封装数量标识符（R = 大卷装，无标识符 = SOIC 采用管装、SOT-89 采用大卷装）。若存在 **(G4)**，则表示 NiPdAu 铅涂层。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。

备注

器件可以随附旧芯片（CSO: SHE 或 CSO：TID）或新芯片（CSO：RFB）。CSO 或芯片原产地表示芯片的制造基地。CSO 可在所接收材料的封装标签上找到。整个数据表对新芯片和旧芯片的器件性能进行了说明。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (December 2024) to Revision G (August 2026) **Page**

- 通篇更新了旧芯片和新芯片信息 1
- 删除了*特性*部分中旧芯片的输出电压范围 1
- 在*特性*部分中，将每次输入电压变化的输入调节从 0.01% 更改为了 0.007%，以反映新芯片 (CSO: RFB) 规格 1
- 在*特性*部分中，将 120Hz 时的典型纹波抑制规格从 80dB 更改为了 71.5dB，以反映新芯片 (CSO: RFB) 规格 1
- 从*特性*部分中删除了 100kHz 下的纹波抑制规格 1
- 向*特性*部分添加了器件封装选项 1
- 更新了*应用*部分 1
- 更新了*说明*部分，以反映新芯片 (CSO: RFB) 规格 1
- 在*说明*部分中，将最大输出电压从 32V 更改为了 37V，以反映新芯片 (CSO: RFB) 规格 1
- 向“绝对最大额定值”添加了新芯片 (CSO: RFB) 规格 4
- 向“ESD 等级”添加了新芯片 (CSO: RFB) 规格 4
- 向“建议运行条件”添加了新芯片 (CSO: RFB) 规格 4
- 向“热性能信息”添加了新芯片 (CSO: RFB) 规格 5
- 为清晰起见，将“热性能信息”更新为了两个单独表格 5
- 向“电气特性”添加了新芯片 (CSO: RFB) 规格 5
- 更新了旧芯片*典型特性*图的标题（CSO: SHE 和 CSO: TID） 7
- 添加了新芯片的*典型特性*图 (CSO: RFB) 7
- 更新了*概述*部分，以反映新芯片 (CSO: RFB) 规格 9
- 删除了*概述*部分中提及的特定输出电压范围和偏置电流,改为添加了对*电气特性*表的引用，可以在其中找到相关规格 9
- 更新了 *NPN 达林顿输出驱动*，添加了指向*建议运行条件*的链接 10
- 更新了*在低输入电压下运行*，并添加了指向*建议运行条件*的链接 10
- 更新了*轻负载下的运行*，并添加了指向*电气特性*的链接 10
- 为清晰起见，更新了*自保护模式下的运行* 10
- 将*设计要求*中的最大输入范围示例值从 32V 更新为了 37V，以反映新芯片 (CSO: RFB) 规格 11
- 更新了*调节终端电容器*部分，以提及 C_{ADJ} 12
- 将*输出电压*部分中的调节电流从 50µA 更新为了 44µA，以反映新芯片 (CSO: RFB) 规格 12
- 在*详细设计过程*中，将*输入短路保护*的位置移至*纹波抑制*之前 12
- 更新了*纹波抑制*，并添加了指向*调节终端电容器*部分的链接 12
- 更新了*应用曲线*，以指定旧芯片性能 12
- 向 *0V 至 30V 稳压器电路*添加了注释 13
- 向*缓慢导通 15V 稳压器电路*添加了注释 14
- 向*限流 6V 充电器*添加了注释 15
- 向*高电流可调节稳压器*添加了注释 16
- 在*电源相关建议*部分，将最大输入电压从 32V 更新为了 37V，以反映新芯片 (CSO: RFB) 规格 17
- 在*电源相关建议*部分，添加了指向*建议运行条件*表的链接 17
- 更新了*布局指南*，以提供有关电容器放置方式的更详细指导 17
- 向*布局示例*部分添加了 SOIC 布局 17
- 为清晰起见，更新了*器件命名规则*，并根据 CSO 进行了区分 19

Changes from Revision E (October 2014) to Revision F (December 2024) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1

Copyright © 2026 Texas Instruments Incorporated

- 通篇添加了标识旧芯片和新芯片信息的术语 1
- 更新了 *引脚功能* 表以包含正确的引脚信息 3
- 添加了 *器件支持* 部分 19

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM317LCD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCD.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCLP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCPK	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPK.A	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPK.B	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPKG3	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPW	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPW.A	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWE4	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM317LIDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LILP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LIPK	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPK.A	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPK.B	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPKG3	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPW	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPW.A	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPWR	NRND	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPWR.A	NRND	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

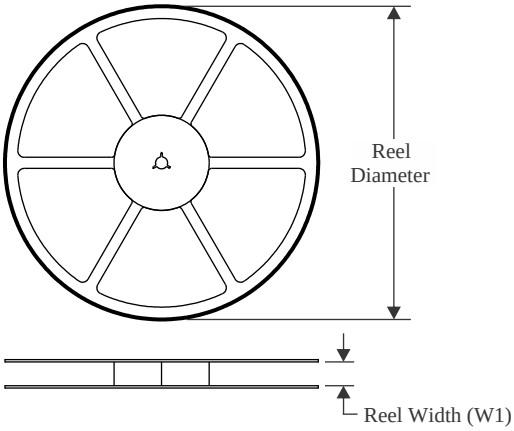
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

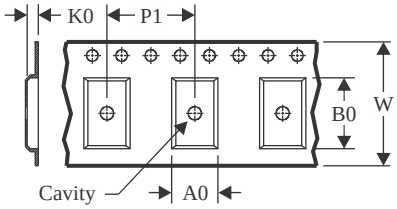
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

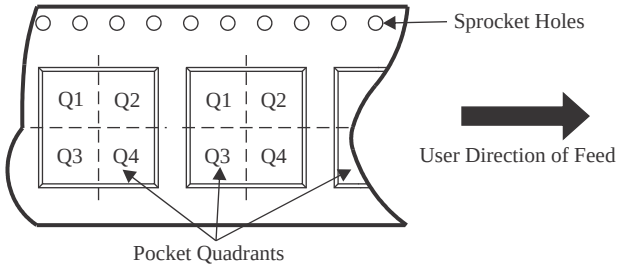


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

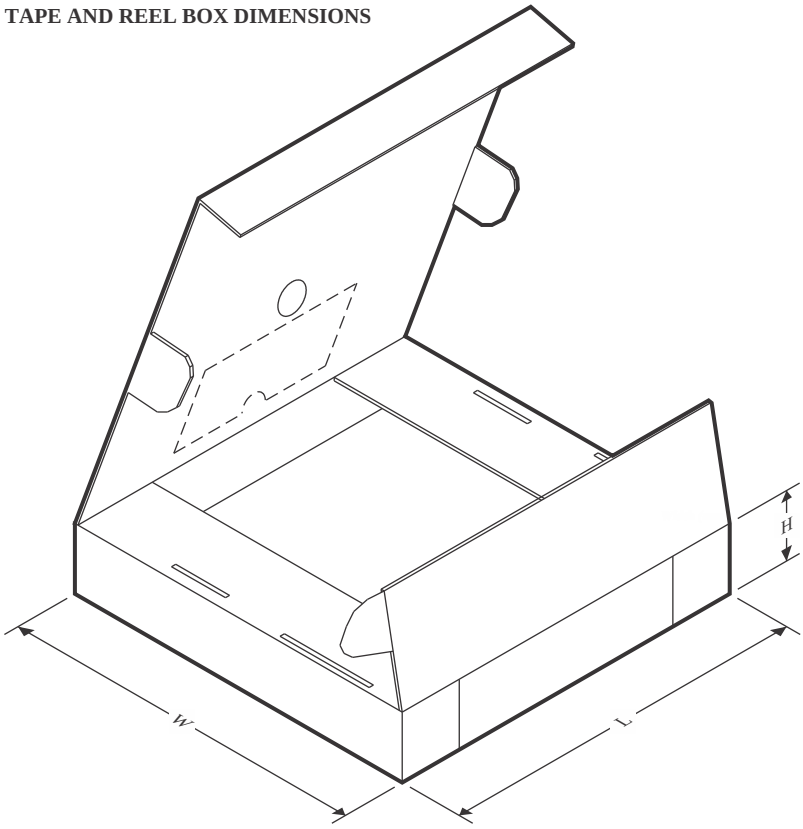
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM317LCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LCPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM317LIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

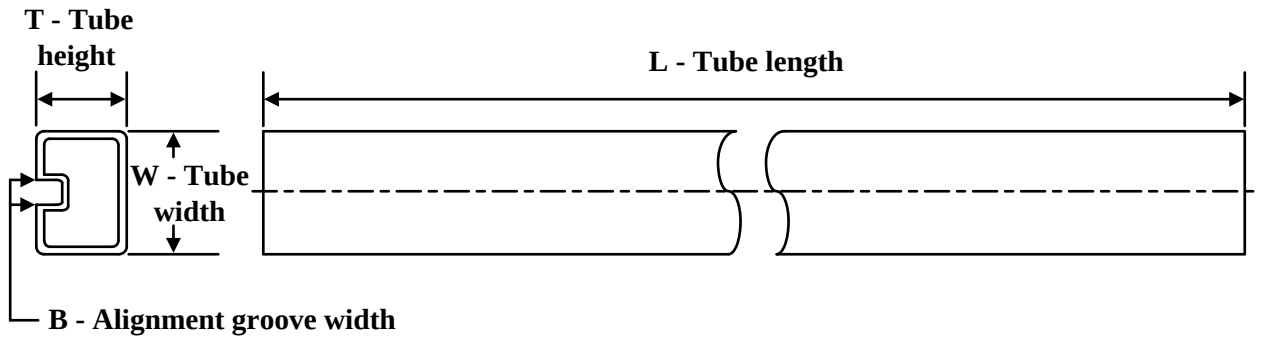
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM317LCDR	SOIC	D	8	2500	340.5	338.1	20.6
LM317LCDRG4	SOIC	D	8	2500	340.5	338.1	20.6
LM317LCPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LCPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
LM317LIDR	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LIPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

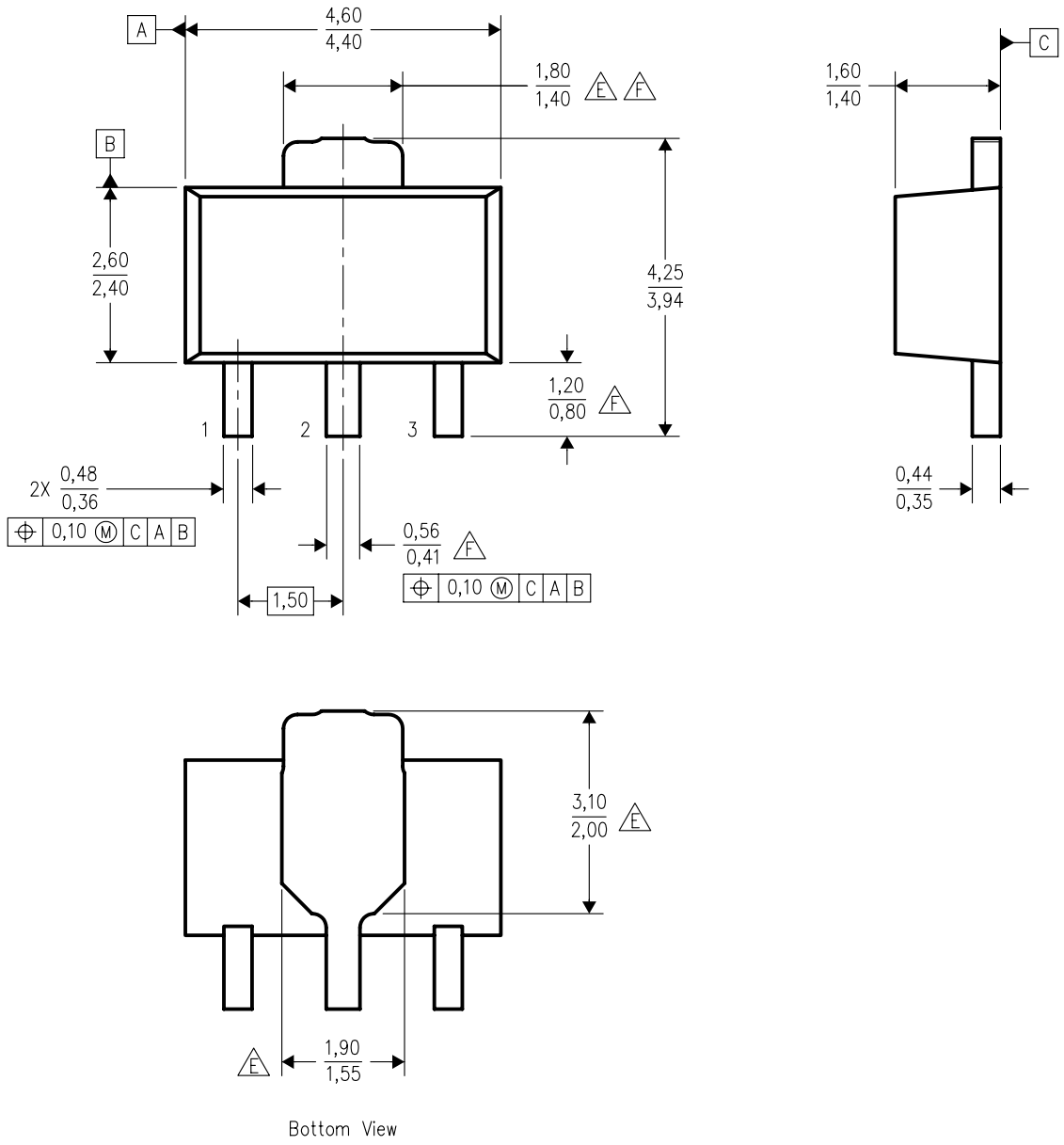
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM317LCD	D	SOIC	8	75	507	8	3940	4.32
LM317LCD.A	D	SOIC	8	75	507	8	3940	4.32
LM317LCPW	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LCPW.A	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LCPWE4	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LID	D	SOIC	8	75	507	8	3940	4.32
LM317LID.A	D	SOIC	8	75	507	8	3940	4.32
LM317LIPW	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LIPW.A	PW	TSSOP	8	150	530	10.2	3600	3.5

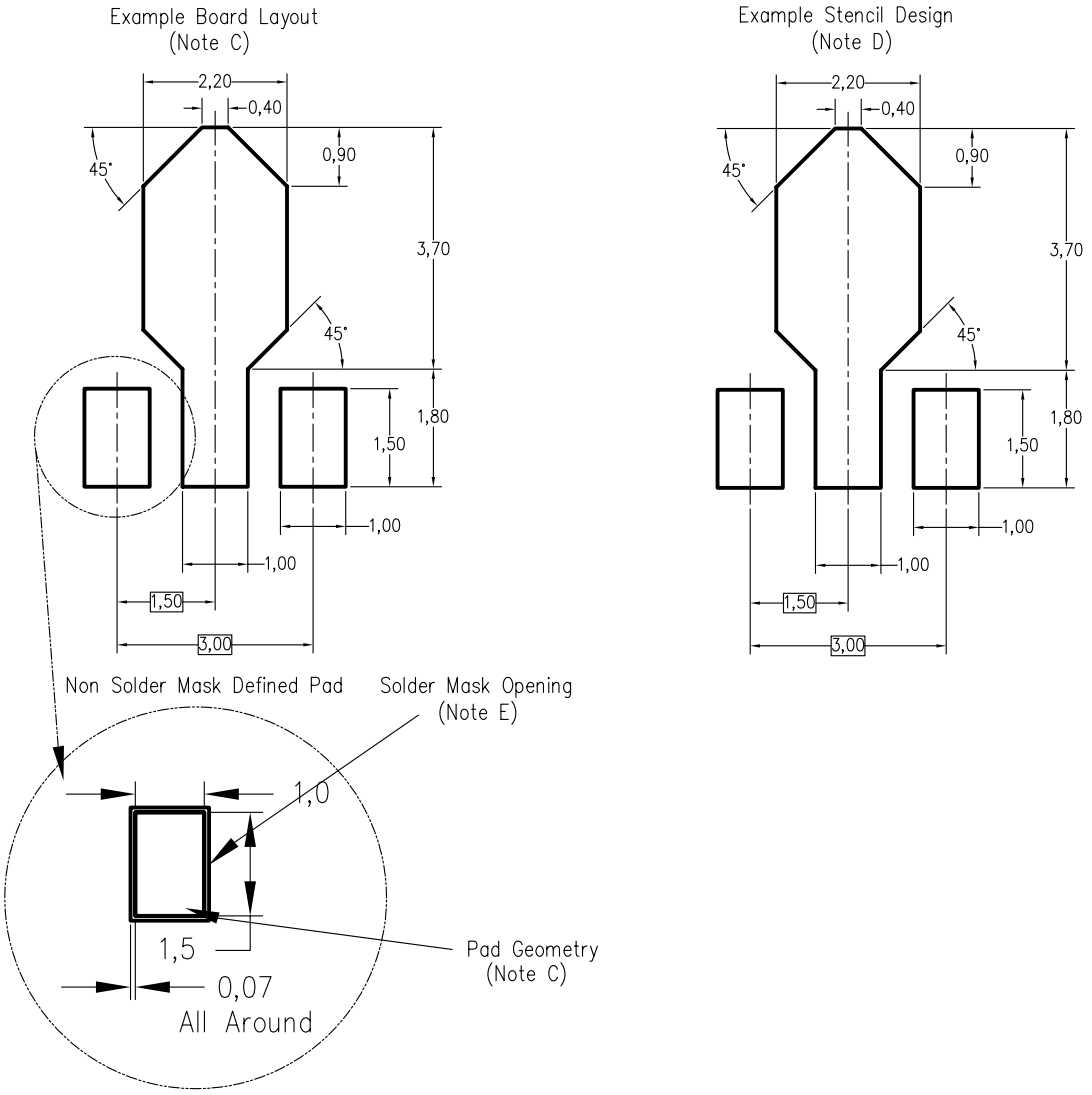
PK (R–PSSO–F3) PLASTIC SINGLE–IN–LINE PACKAGE



4040234/D 02/2006

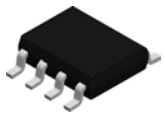
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. The center lead is in electrical contact with the tab.
D. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion not to exceed 0.15 per side.
E. Thermal pad contour optional within these dimensions.
F. Falls within JEDEC TO–243 variation AA, except minimum lead length, pin 2 minimum lead width, minimum tab width.

PK (R–PDSO–G3)



4208221/A 09/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

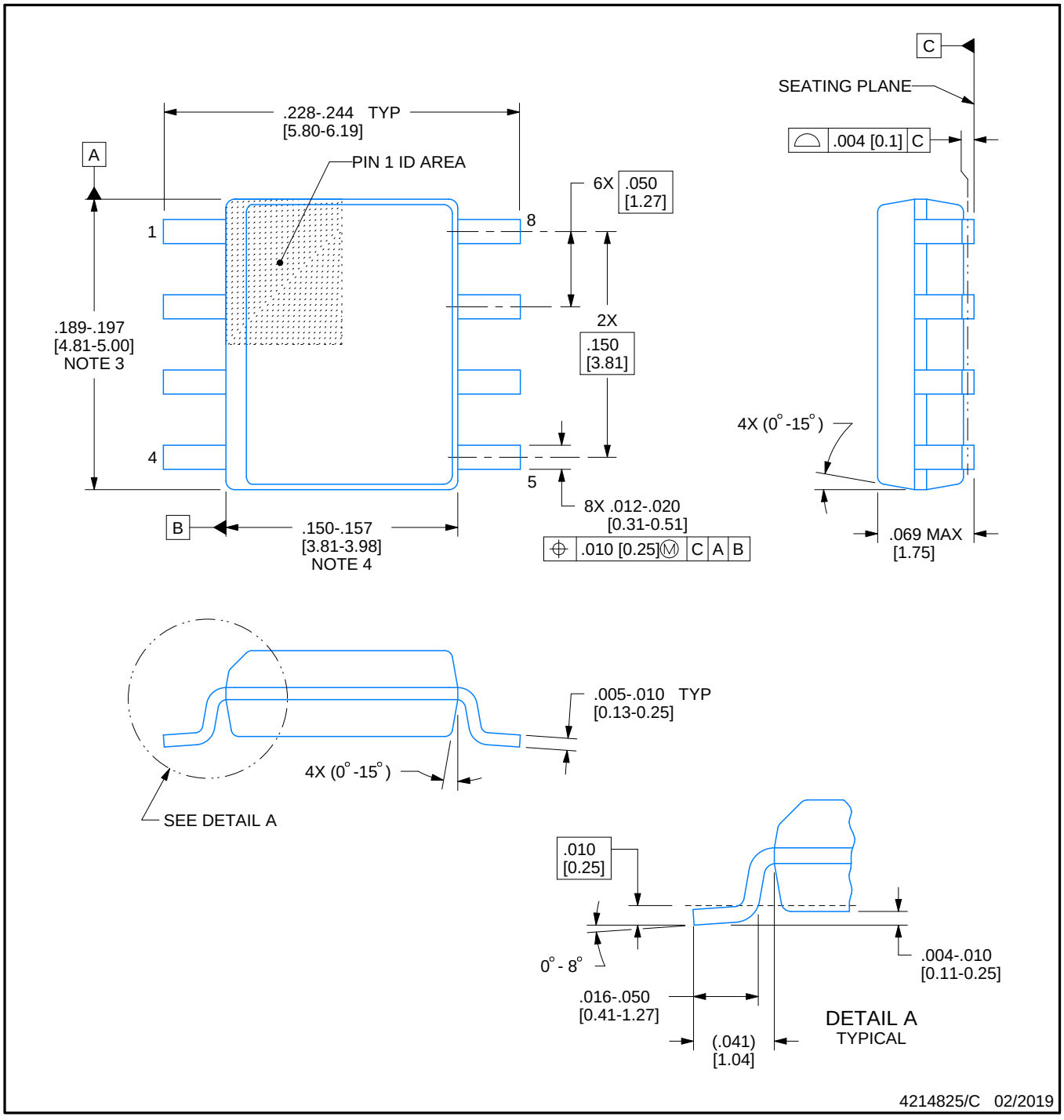


PACKAGE OUTLINE

D0008A

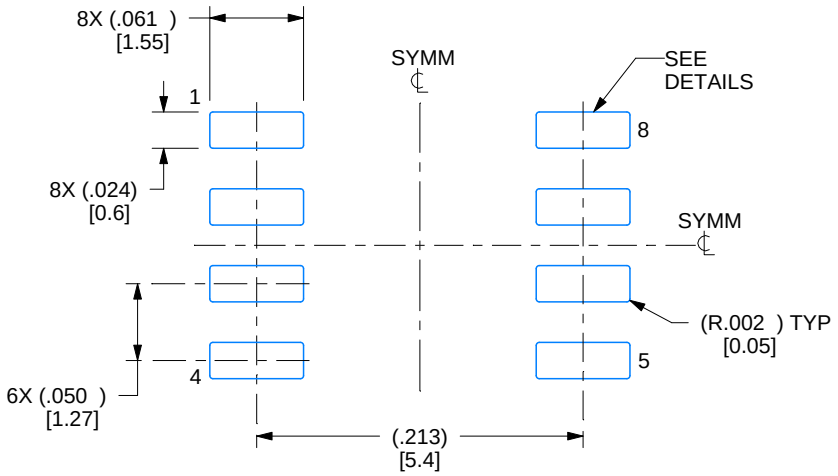
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

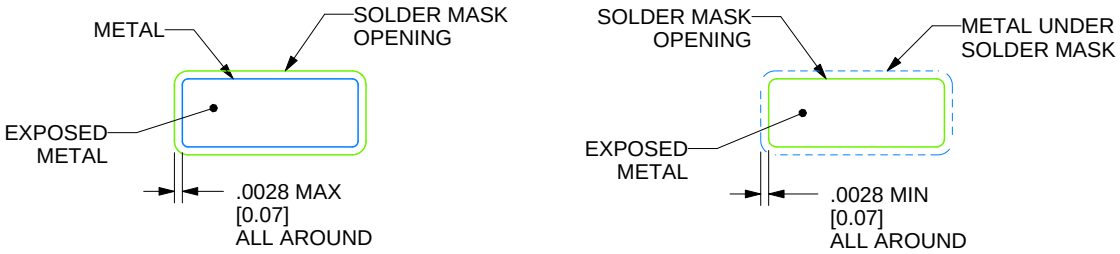


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

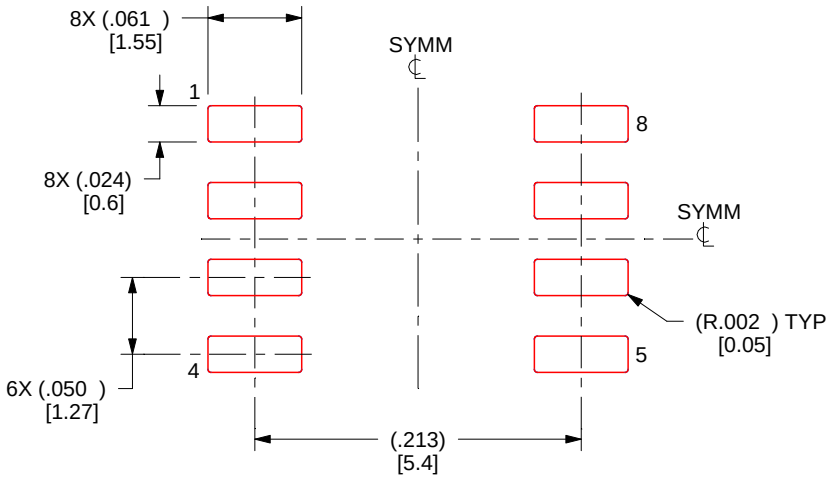
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

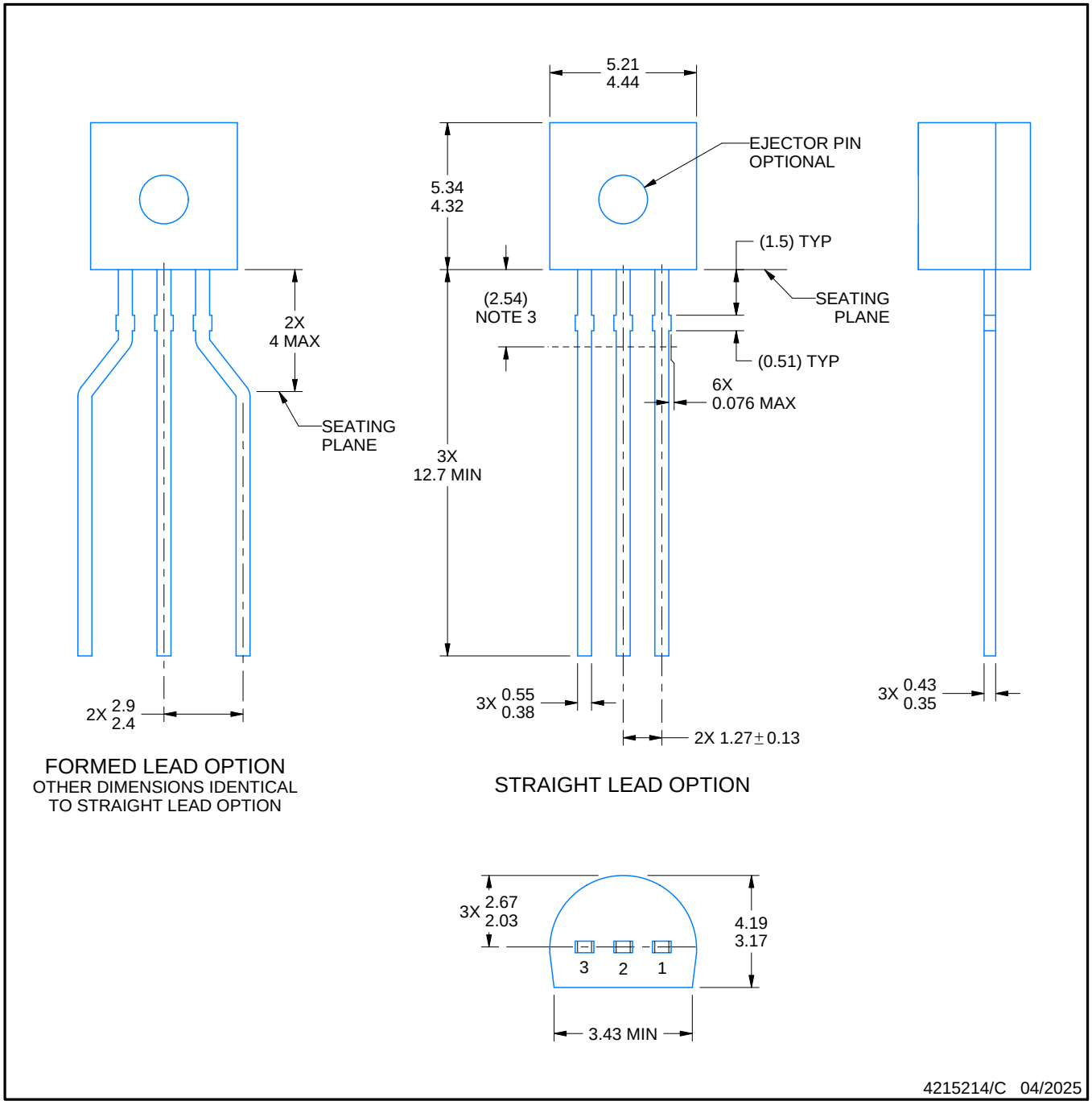
LP0003A



PACKAGE OUTLINE

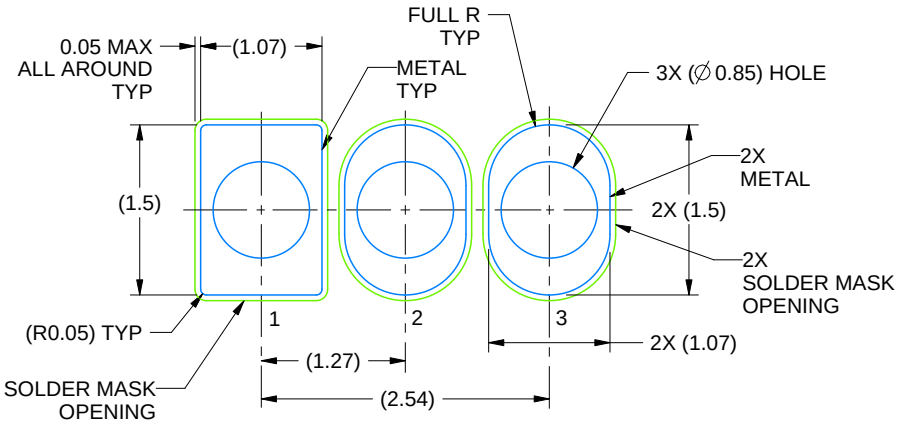
TO-92 - 5.34 mm max height

TO-92

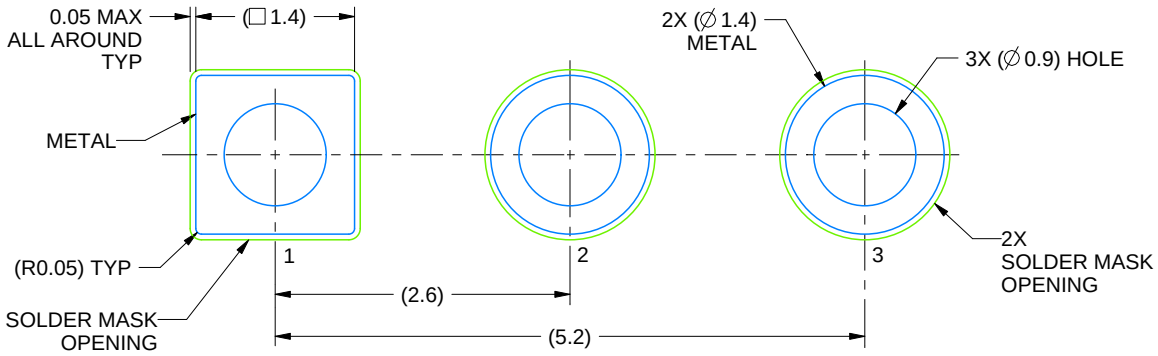


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



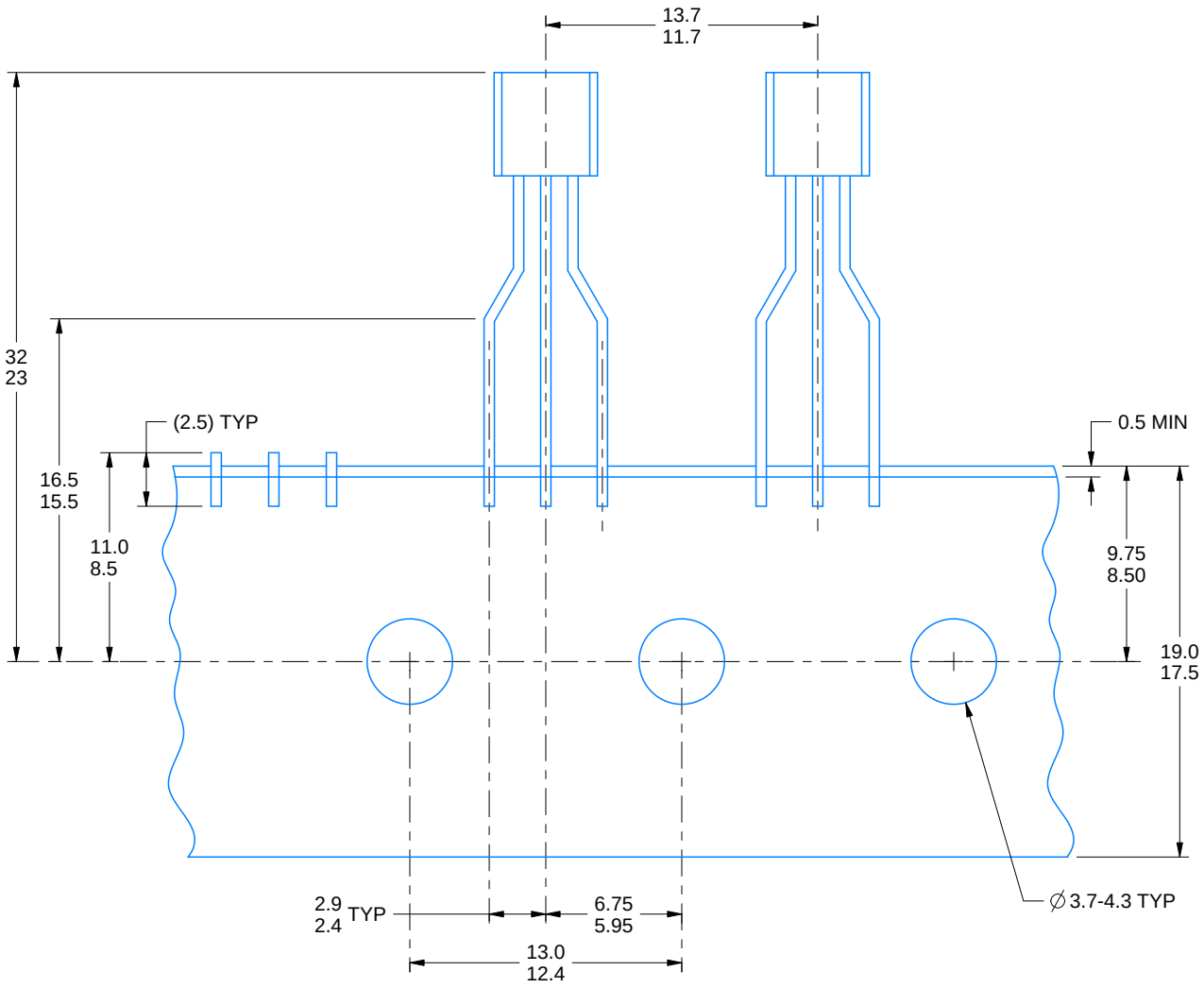
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

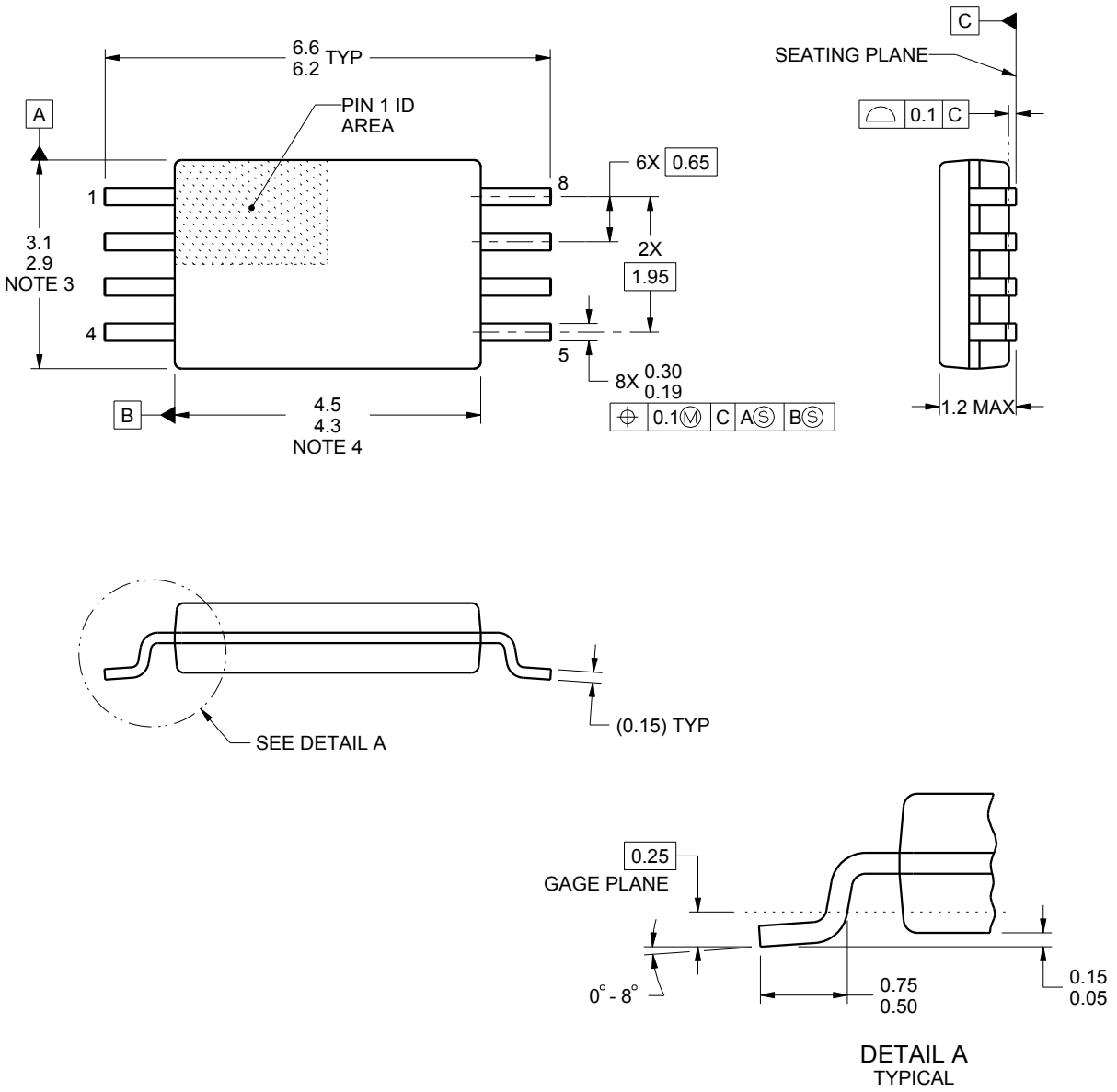
4215214/C 04/2025

PACKAGE OUTLINE

PW0008A

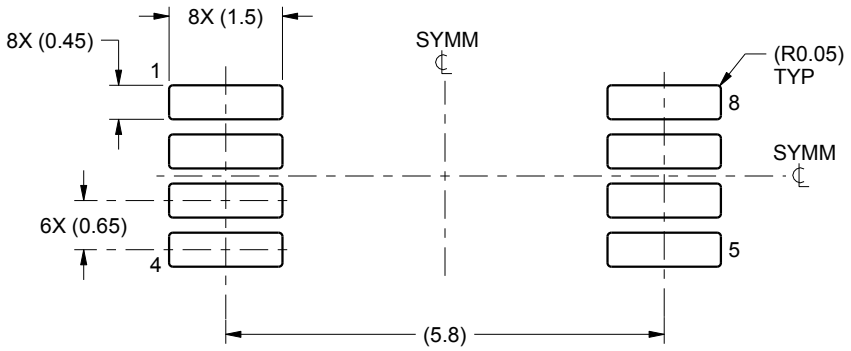
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

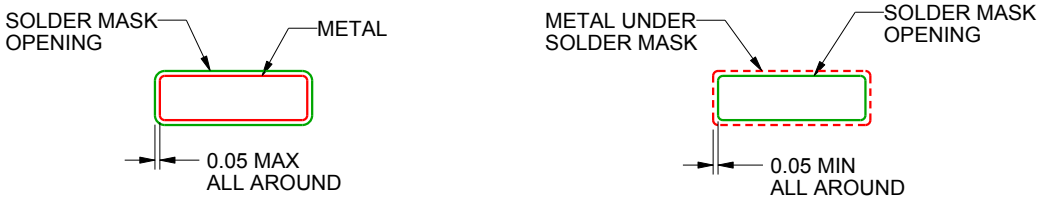


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

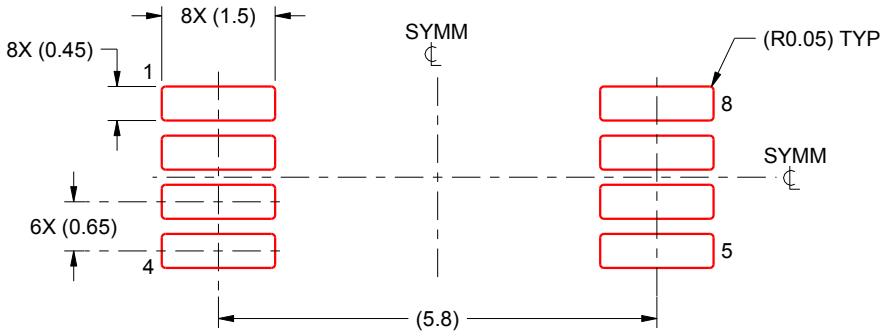


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月