LM7321x 单通道和 LM7322x 双通道轨到轨输入和输出 ±15V、高输出电流和无限容性负载运算放大器

1 特性

- （V_S = ±15，T_A = 25°C，典型值，除非另有说明。）
- 宽电源电压范围：2.7V 至 32V
- 输出电流：±125mA
- 增益带宽积：24MHz
- 压摆率：35V/μs
- 无限容性负载容差
- 输入共模电压：超过电源轨 0.1V
- 输入电压噪声：12nV/ $\sqrt{Hz}$
- 输入电流噪声：1pA/ $\sqrt{Hz}$
- 每通道电源电流 1.35mA
- 失真 THD+噪声：-113dB
- 温度范围：-40°C 至 125°C
- LM732xx 系列是通过 AEC-Q100 1 级认证的汽车级产品

2 应用

- 驱动 MOSFET 和功率晶体管
- 电容接近传感器
- 驱动模拟光耦合器
- 高侧感测
- 接地以下电流检测
- 光电二极管偏置
- 驱动 PLL 中的变容二极管
- 宽电压范围电源
- 汽车
- 国际通用电源

3 说明

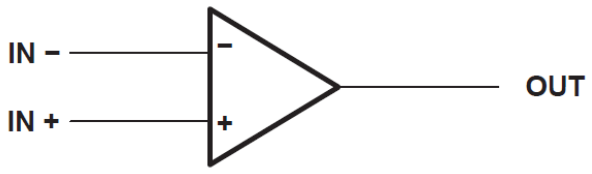
LM732xx 器件是具有宽工作电压范围和高输出电流的轨到轨输入和输出放大器。LM732xx 系列效率出色：压摆率 35V/μs，单位增益带宽 24MHz，每路运放仅耗用 1.35mA 电源电流。LM732xx 器件各项性能均做完整参数标定，工作电压范围为 2.7V、±5V 和 ±15V。

LM732xx 器件设计用于驱动无限电容负载而不发生振荡。较大的轨到轨输入共模电压范围以及此宽电压范围内的 90dB 共模抑制能力，让这些器件可实现高侧和低侧感应。多数器件参数对电源电压不敏感，使得这些器件更易于在电源电压存在波动的场景中使用，例如汽车电气系统和电池供电设备。

封装信息

器件型号	封装(1)	封装尺寸(2)
LM7321	D（SOIC，8）	4.90mm × 3.90mm
	DBV（SOT-23，5）	2.90mm × 1.60mm
LM7322	DGK（VSSOP，8）	3.00mm × 3.00mm
	D（SOIC，8）	4.90mm × 3.90mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



符号（每个放大器）

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 典型特性.....7
6 详细说明.....17
6.1 概述.....17
6.2 功能方框图.....17
6.3 特性说明.....17
6.4 器件功能模式.....19
7 应用和实施.....22
7.1 典型应用.....22
7.2 布局.....22
8 电源相关建议.....24
9 器件和文档支持.....25
9.1 接收文档更新通知.....25
9.2 支持资源.....25
9.3 商标.....25
9.4 静电放电警告.....25
9.5 术语表.....25
10 修订历史记录.....25
11 机械、封装和可订购信息.....26

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

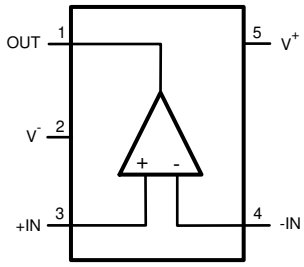


图 4-1. DBV 封装 5 引脚 SOT-23 顶视图

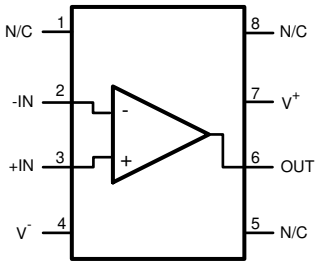


图 4-2. D 封装 8 引脚 SOIC 顶视图

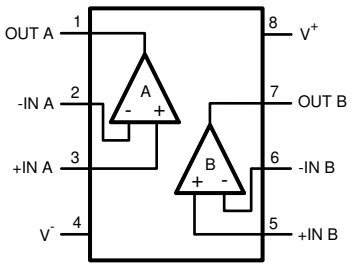


图 4-3. DGK 封装 8 引脚 VSSOP 或 SOIC 顶视图

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	SOT-23 编号	SOIC 编号	VSSOP、SOIC 编号		
OUT	1	6	—	O	输出
OUT A	—	—	1	O	放大器 A 的输出
OUT B	—	—	7	O	放大器 B 的输出
V+	5	7	8	P	正电源
V –	2	4	4	P	负电源
+IN	3	3	—	I	非反相输入
– IN	4	2	—	I	反相输入
+IN A	—	—	3	I	放大器 A 的非反相输入
– IN A	—	—	2	I	放大器 A 的反相输入
+IN B	—	—	5	I	放大器 B 的非反相输入
– IN B	—	—	6	I	放大器 B 的反相输入
N/C	—	1、5、8	—	—	无连接

(1) I = 输入；O = 输出；P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	33	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) +0.5	V
	差分电压(4)		±10	V
	电流(3)		±10	mA
输出短路(2)		持续		
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。延长的短路电流，特别是在较高的电源电压下，会导致过热并最终导致毁坏。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(4) 输入引脚通过背对背二极管进行连接，以实现输入保护。如果差分输入电压可能超过 0.5V，则将输入电流限制在 10mA 或更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电(3)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	
		机器放电模型	200	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。
(3) 人体放电模型，适用标准：MIL-STD-883，方法 3015.7。机器模型，适用标准：JESD22-A115-A（JEDEC 的 ESD MM 标准）电场诱导充电器件模型，适用标准 JESD22-C101-C（JEDEC 的 ESD FICDM 标准）。

5.3 建议运行条件

	最小值	最大值	单位
电源电压 (V_S = V^+ - V^-)	2.7	32	V
温度范围(1)	-40	125	°C

(1) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} – T_A)/ R_{\theta JA}$。所有数字均适用于直接焊接至 PCB 的封装。

5.4 热性能信息

热指标(2)		LM732x			单位
		D (SOIC)	DBV (SOT)	DGK (VSSOP)	
		8 引脚	5 引脚	8 引脚	
$R_{\theta JA}$ (1)	结至环境热阻	133.5	185.4	169.6	°C/W

(1) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} – T_A)/ R_{\theta JA}$。所有数字均适用于直接焊接至 PCB 的封装。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V），T_A = 25°C，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
V_{OS}	输入失调电压	V_{CM} = V–		-5	±0.35	+5	mV
			T_A = -40°C 至 +125°C	-6		+6	
TC V_{OS}	输入失调电压温漂	V_{CM} = V–			±2.5		µV/°C
I_B	输入偏置电流			-2	0.4		µA
			T_A = -40°C 至 +125°C	-2.5			
					0.4	1	
			T_A = -40°C 至 +125°C			1.5	
I_{OS}	输入失调电流				7	200	nA
			T_A = -40°C 至 +125°C			300	
CMRR	共模抑制比	V_S = 32V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C	109	125		dB
		V_S = 5V，V– < V_{CM} < (V+) – 2V（主输入对）(1)	T_A = -40°C 至 125°C	93	111		
		V_S = 2.7V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C		114		
		V_S = 2.7 – 32V，(V+) – 1V < V_{CM} < V+（辅助输入对）	T_A = -40°C 至 125°C		77		
		(V+) – 2V < V_{CM} < (V+) – 1V	T_A = -40°C 至 125°C	请参阅偏移电压与共模电压间的关系，新裸片			
PSRR	电源抑制比	V_{CM} = V–，V_S = 5V 至 32V	T_A = -40°C 至 125°C	78	104		dB
		V_{CM} = V–，V_S = 2.7V 至 32V	T_A = -40°C 至 125°C	74			
V_{CM}	共模输入电压范围			(V–) – 0.1		(V+) + 0.1	V
A_{VOL}	开环电压增益	V_S = 32V，V_{CM} = V_S/2，(V–) + 1V < V_O < (V+) – 1V		75	87		dB
			T_A = -40°C 至 125°C	70	87		
		V_S = 5V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		74	80		
			T_A = -40°C 至 125°C	70	80		
		V_S = 2.7V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		65	80		
			T_A = -40°C 至 125°C	62	80		
V_{OUT}	输出电压摆幅高位	V_{ID} = 100mV			50	150	距离任一电源轨 mV
			T_A = -40°C 至 +125°C			160	
		R_L = 2kΩ V_{ID} = 100mV			50	250	
			T_A = -40°C 至 +125°C			280	
	输出电压摆幅低位	V_{ID} = -100mV			50	120	
			T_A = -40°C 至 +125°C			150	
		R_L = 2kΩ V_{ID} = -100mV			50	120	
			T_A = -40°C 至 +125°C			150	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V），T_A = 25°C，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
I_{OUT}	输出电流	V_S = 32V		±40	±125		mA
		V_S = 5V(1)		±35	±85		
			T_A = -40°C 至 +125°C	±20			
		V_S = 2.7V(1)		±30	±60		
			T_A = -40°C 至 +125°C	±20			
I_S	电源电流（每通道）				1.35	1.93	mA
			T_A = -40°C 至 +125°C			2.23	
SR	压摆率	A_V = +1，V_I = 10V 阶跃			35		V/μs
f_u	单位增益频率	R_L = 2kΩ，C_L = 20pF			11		MHz
GBW	增益带宽	f = 50kHz			24		MHz
e_n	输入参考电压噪声密度	f = 2kHz			11.9		nV/√Hz
i_n	输入参考电流噪声密度	f = 2kHz			0.5		pA/√Hz
THD+N	总谐波失真 + 噪声	V^+ = 1.9V，V^- = −0.8V f = 1kHz，R_L = 100kΩ，A_V = +2 V_{OUT} = 210mV_{PP}			-113		dB
CT Rej.	串扰抑制	f = 100kHz，驱动器 R_L = 10kΩ			60		dB

(1) 仅由特性确定。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

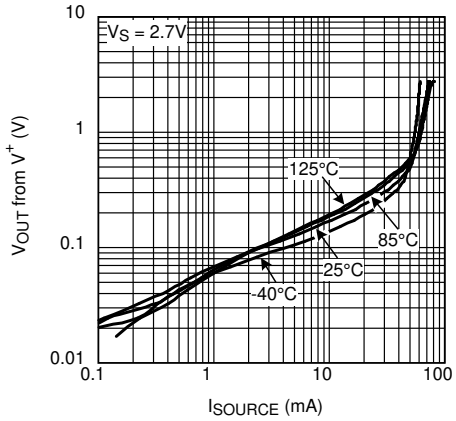


图 5-1. 输出摆幅与拉电流间的关系，旧裸片

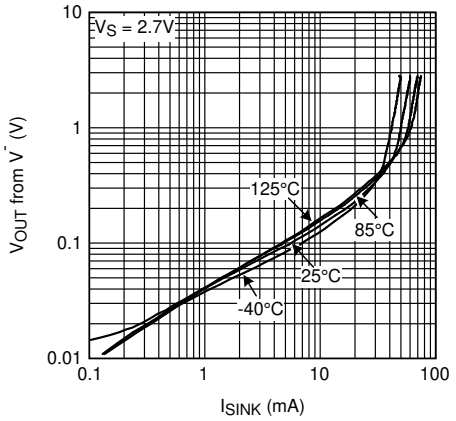


图 5-2. 输出摆幅与灌电流间的关系，旧裸片

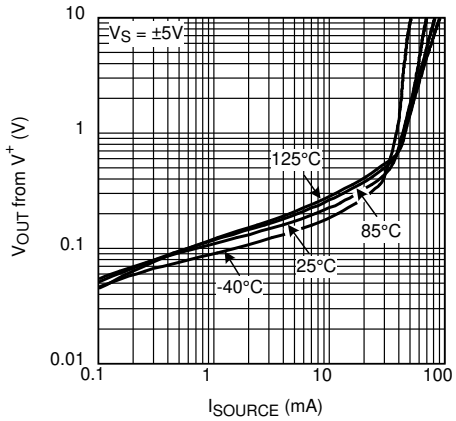


图 5-3. 输出摆幅与拉电流间的关系，旧裸片

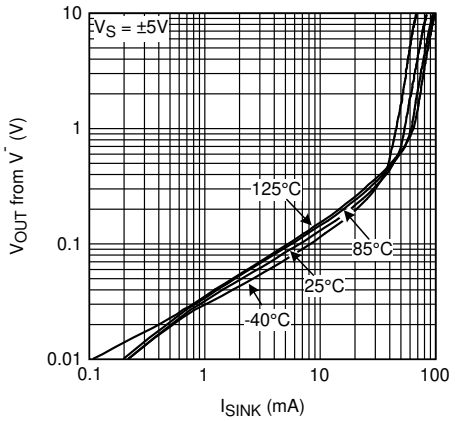


图 5-4. 输出摆幅与灌电流间的关系，旧裸片

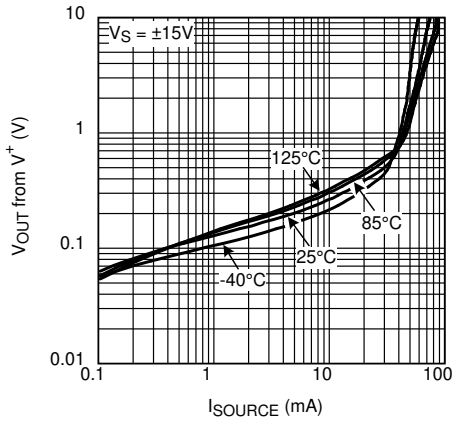


图 5-5. 输出摆幅与拉电流间的关系，旧裸片

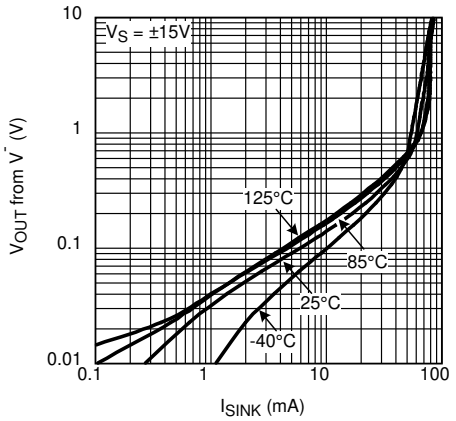


图 5-6. 输出摆幅与灌电流间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

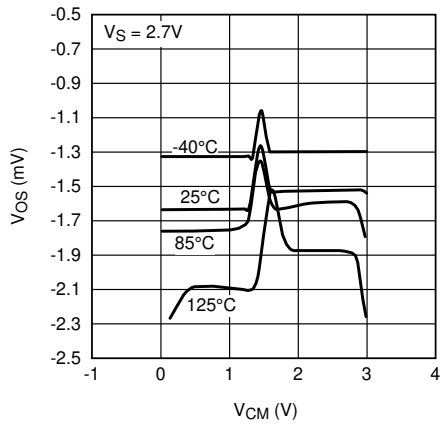


图 5-7. V_{OS} 与 V_{CM} 间的关系（单元 1），旧裸片

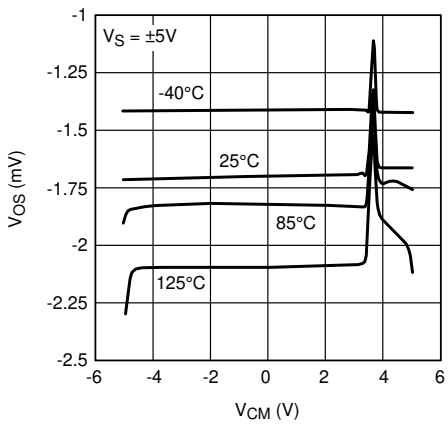


图 5-8. V_{OS} 与 V_{CM} 间的关系（单元 1），旧裸片

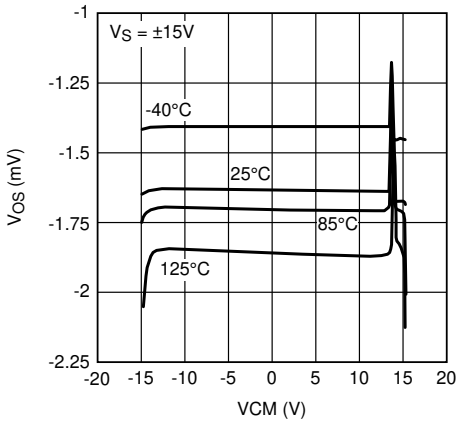


图 5-9. V_{OS} 与 V_{CM} 间的关系（单元 1），旧裸片

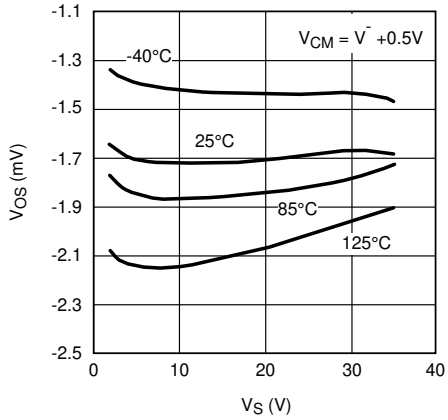


图 5-10. V_{OS} 与 Vs 间的关系（单元 1），旧裸片

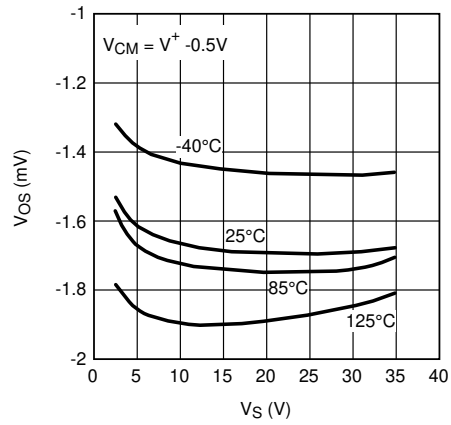


图 5-11. V_{OS} 与 Vs 间的关系（单元 1），旧裸片

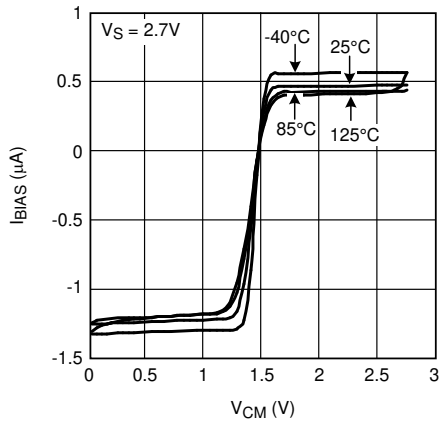


图 5-12. I_{BIAS} 与 V_{CM} 间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

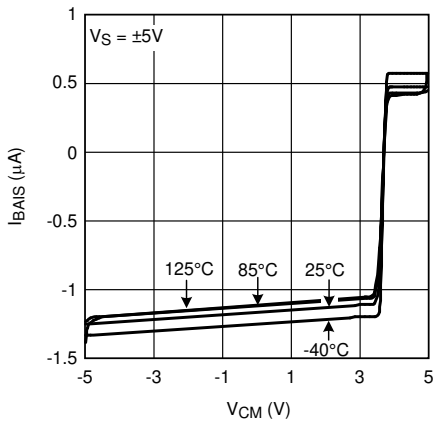


图 5-13. I_{BIAS} 与 V_{CM} 间的关系，旧裸片

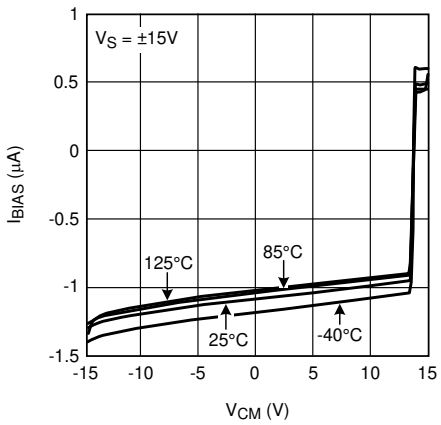


图 5-14. I_{BIAS} 与 V_{CM} 间的关系，旧裸片

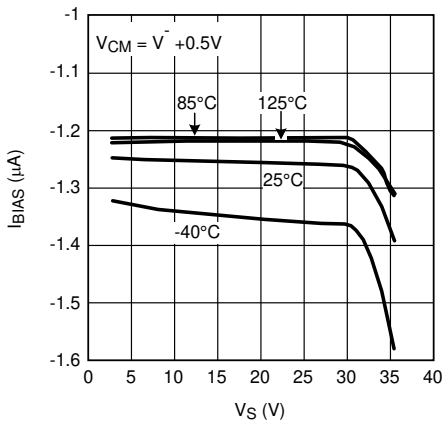


图 5-15. I_{BIAS} 与 Vs 间的关系，旧裸片

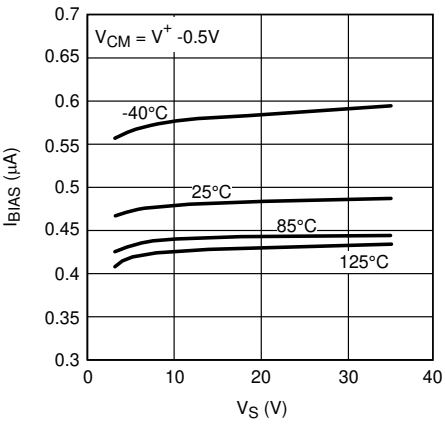


图 5-16. I_{BIAS} 与 Vs 间的关系，旧裸片

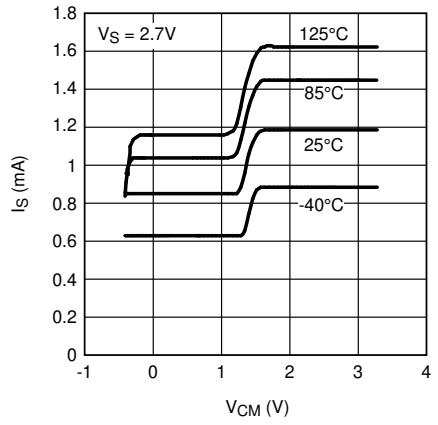


图 5-17. I_S 与 V_{CM} 间的关系 (LM7321)，旧裸片

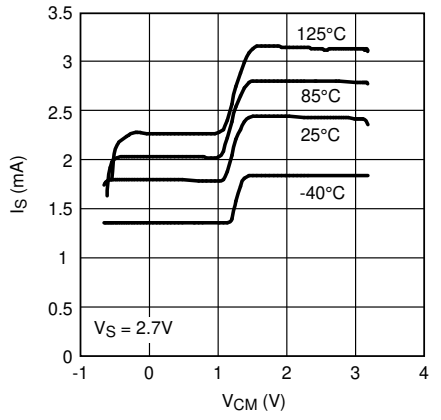


图 5-18. I_S 与 V_{CM} 间的关系 (LM7322)，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

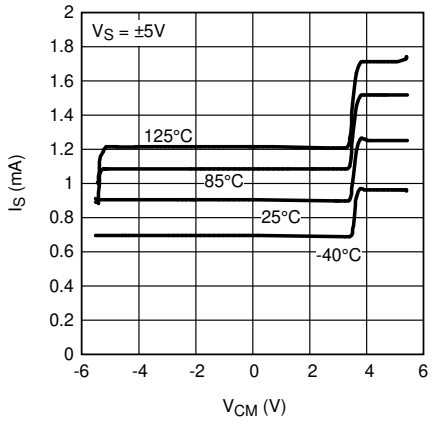


图 5-19. I_S 与 V_{CM} 间的关系 (LM7321)，旧裸片

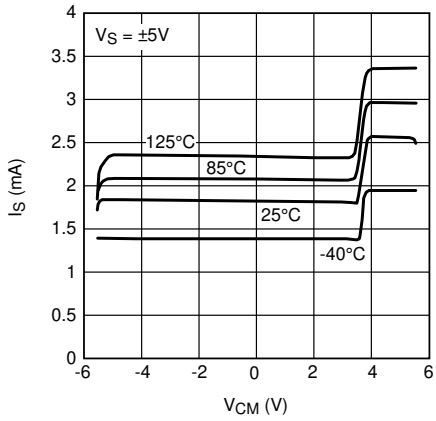


图 5-20. I_S 与 V_{CM} 间的关系 (LM7322)，旧裸片

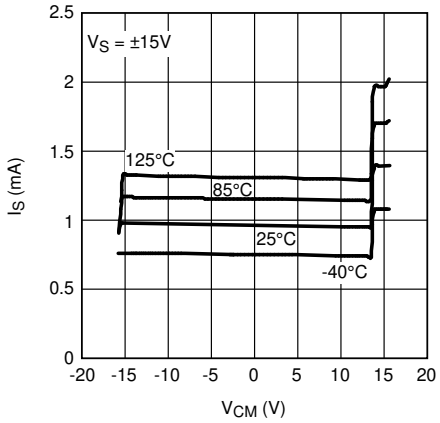


图 5-21. I_S 与 V_{CM} 间的关系 (LM7321)，旧裸片

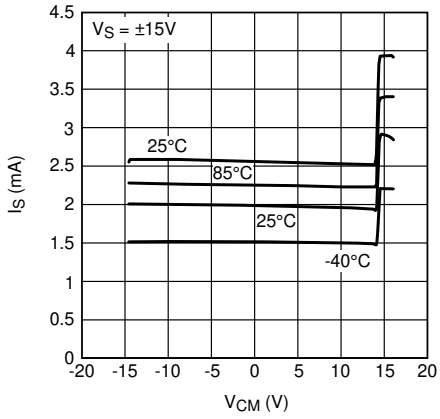


图 5-22. I_S 与 V_{CM} 间的关系 (LM7322)，旧裸片

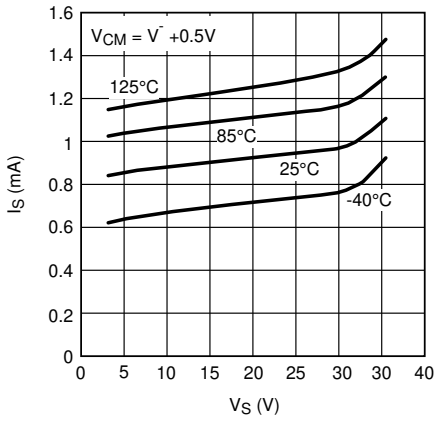


图 5-23. I_S 与 Vs 间的关系 (LM7321)，旧裸片

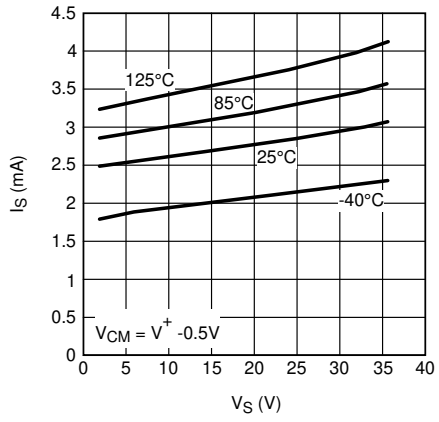


图 5-24. I_S 与 Vs 间的关系 (LM7322)，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

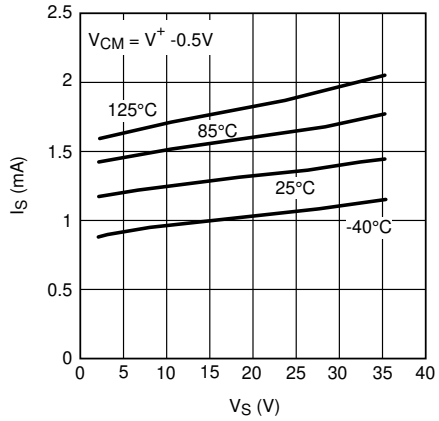


图 5-25. I_S 与 Vs 间的关系 (LM7321)，旧裸片

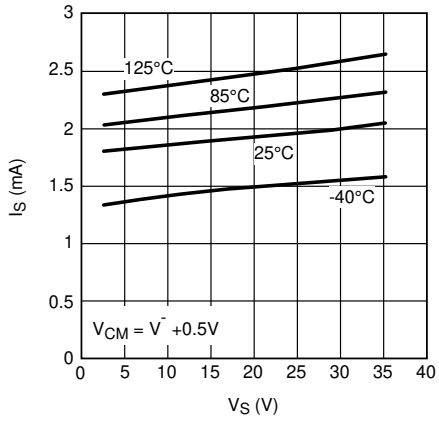


图 5-26. I_S 与 Vs 间的关系 (LM7322)，旧裸片

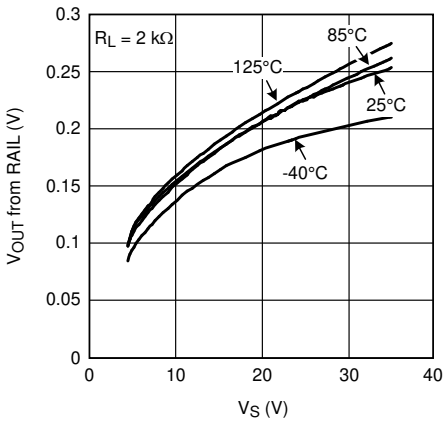


图 5-27. 正向输出摆幅与电源电压间的关系，旧裸片

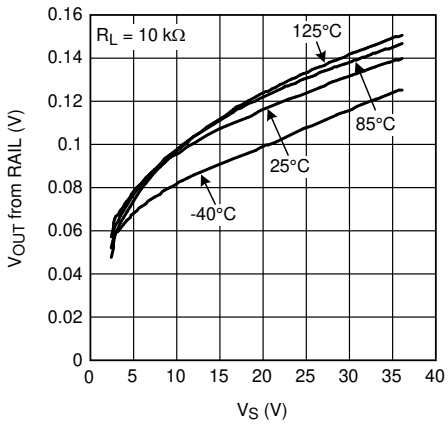


图 5-28. 正向输出摆幅与电源电压间的关系，旧裸片

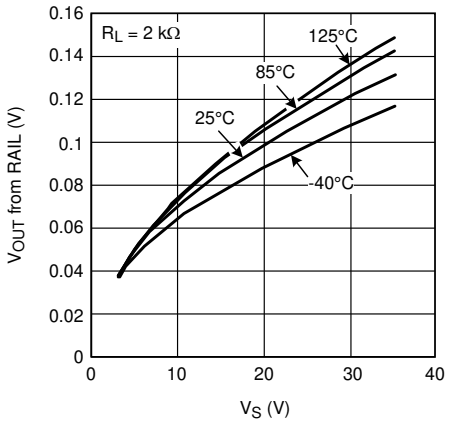


图 5-29. 负向输出摆幅与电源电压间的关系，旧裸片

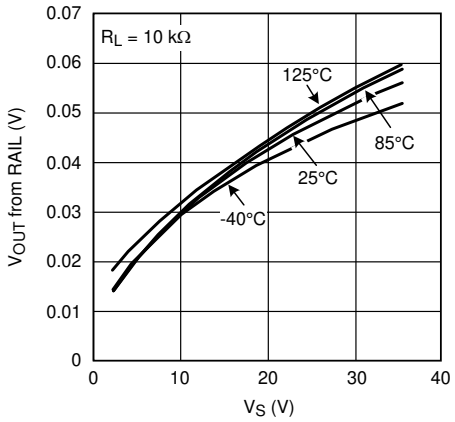


图 5-30. 负向输出摆幅与电源电压间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

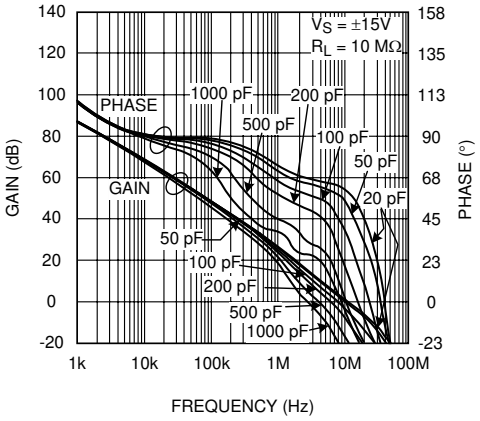


图 5-31. 不同容性负载下的开环频率响应，旧裸片

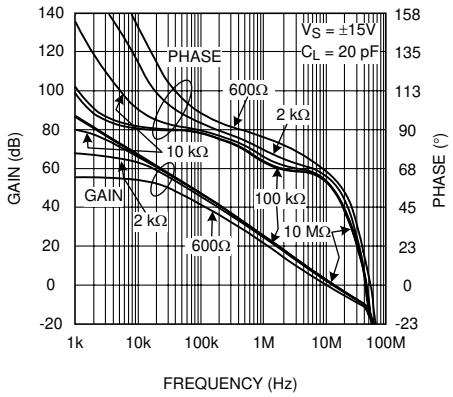


图 5-32. 不同电阻负载下的开环频率响应，旧裸片

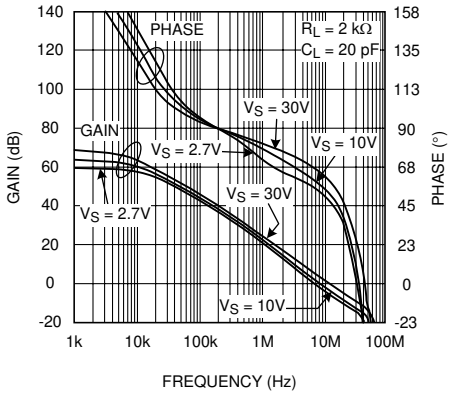


图 5-33. 不同电源电压下的开环频率响应，旧裸片

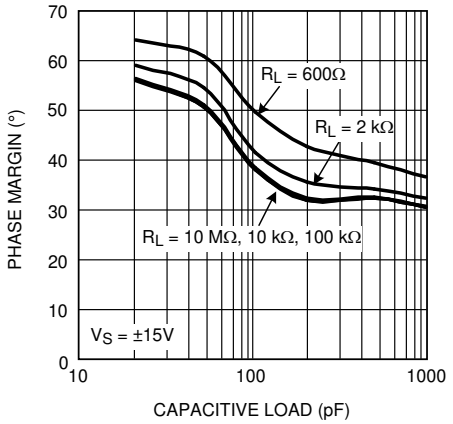


图 5-34. 相位裕度与容性负载间的关系，旧裸片

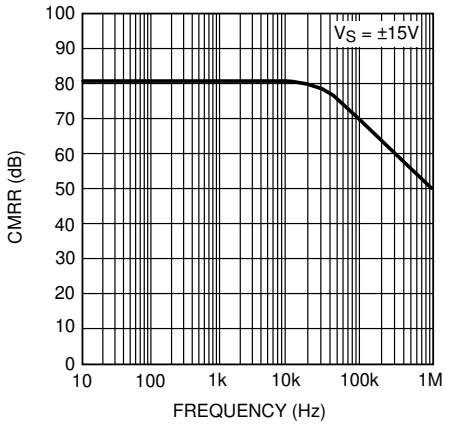


图 5-35. CMRR 与频率间的关系（旧裸片）

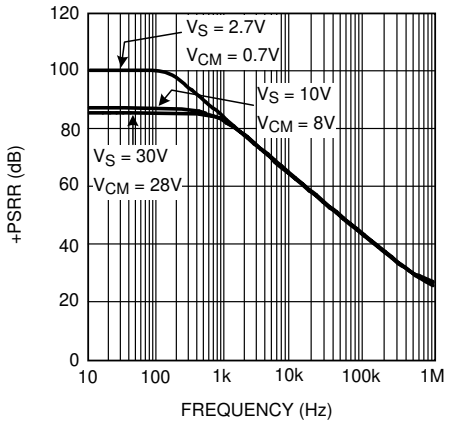


图 5-36. +PSRR 与频率间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

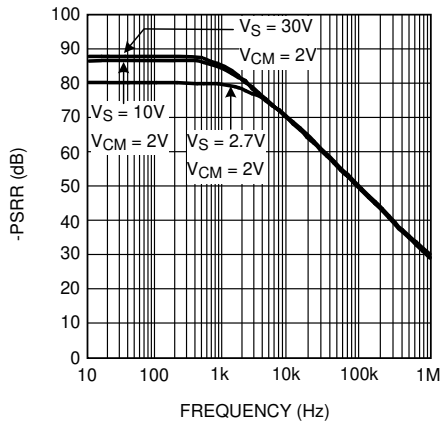


图 5-37. -PSRR 与频率间的关系，旧裸片

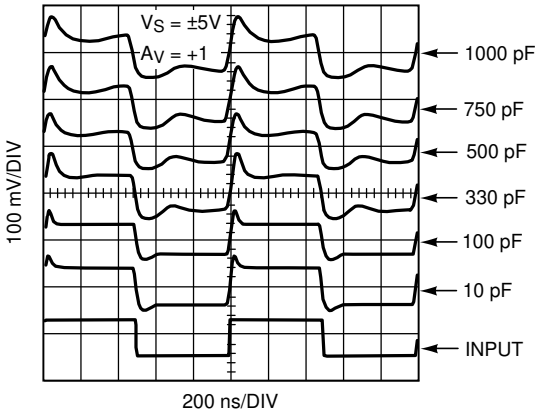


图 5-38. 小信号跃升响应（旧裸片）

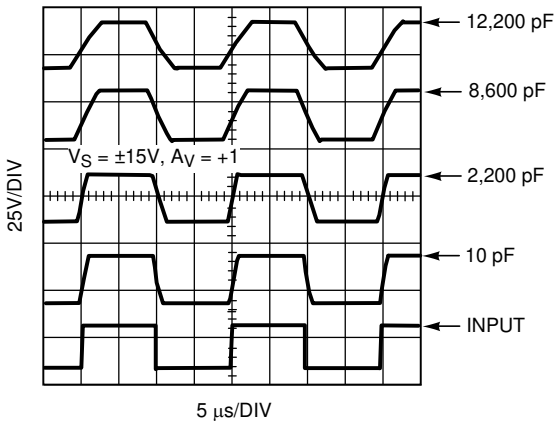


图 5-39. 大信号跃升响应（旧裸片）

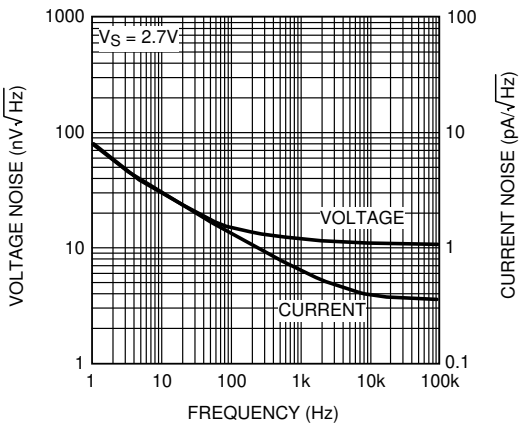


图 5-40. 输入参考噪声密度与频率间的关系，旧裸片

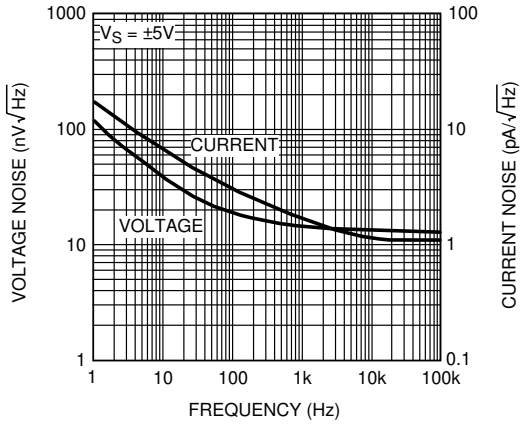


图 5-41. 输入参考噪声密度与频率间的关系，旧裸片

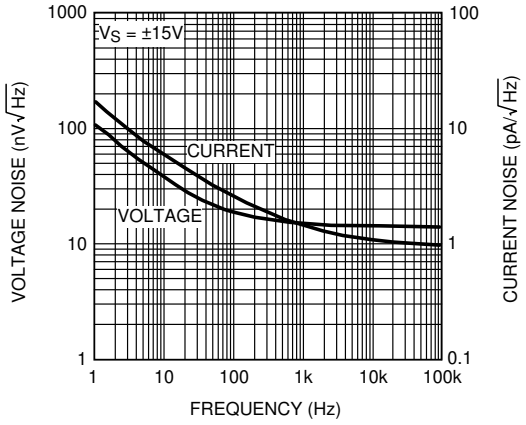


图 5-42. 输入参考噪声密度与频率间的关系，旧裸片

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

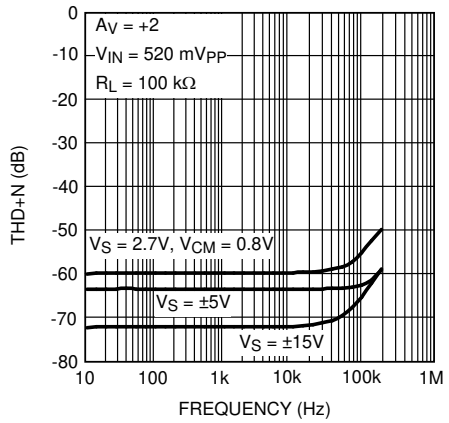


图 5-43. THD+N 与频率间的关系，旧裸片

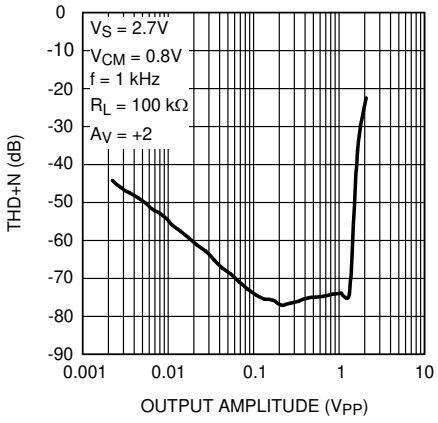


图 5-44. THD+N 与输出振幅间的关系，旧裸片

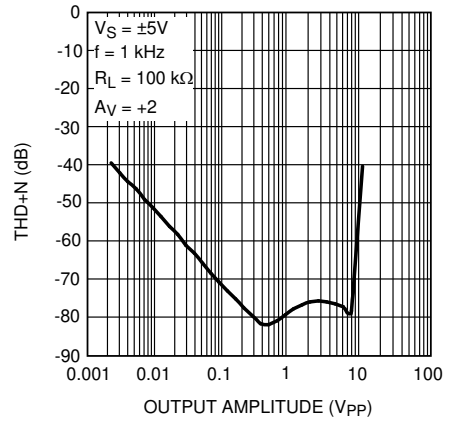


图 5-45. THD+N 与输出振幅间的关系，旧裸片

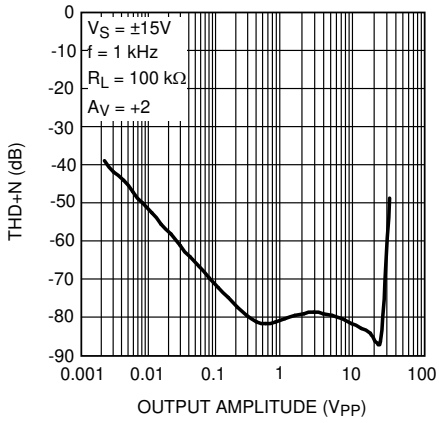


图 5-46. THD+N 与输出振幅间的关系，旧裸片

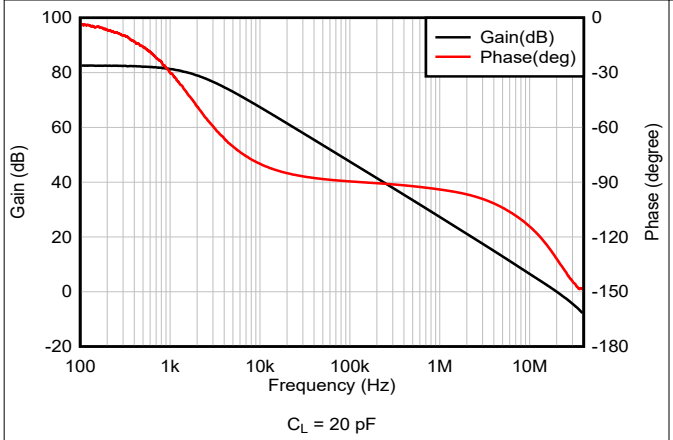


图 5-47. 开环增益和相位与频率间的关系（新裸片）

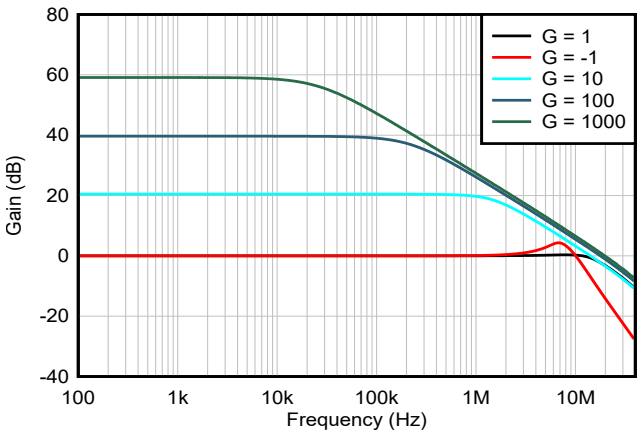


图 5-48. 闭环增益与频率间的关系（新裸片）

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

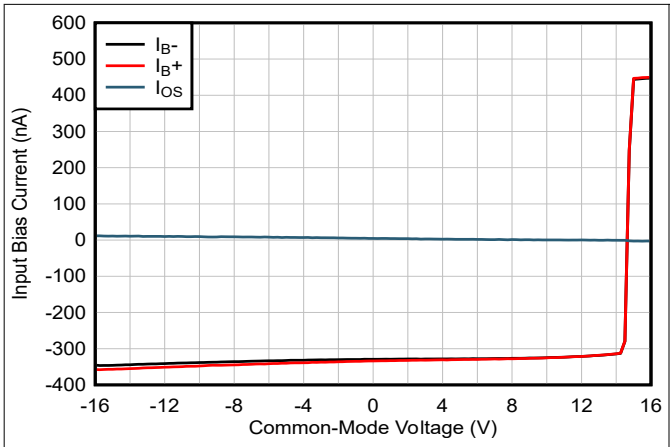


图 5-49. 输入偏置电流和失调电流与共模电压间的关系（旧裸片）

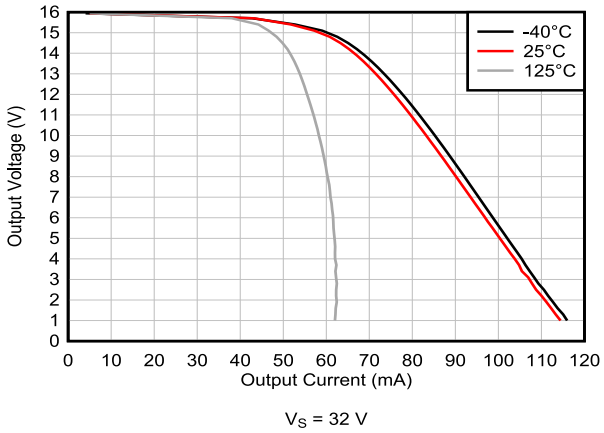


图 5-50. 输出电压摆幅与输出电流（拉电流）间的关系（新裸片）

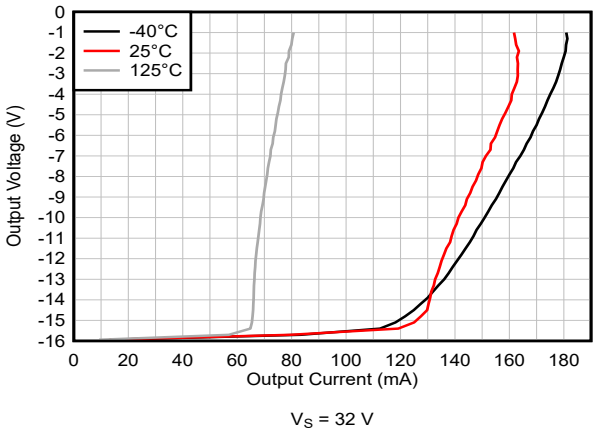


图 5-51. 输出电压摆幅与输出电流（灌电流）间的关系（新裸片）

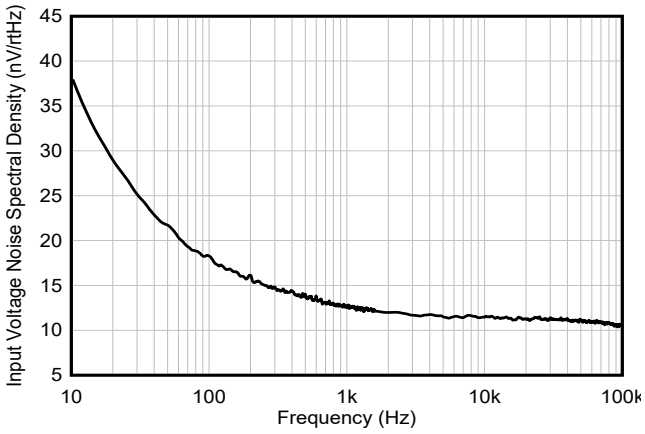


图 5-52. 输入电压噪声频谱密度与频率间的关系（新裸片）

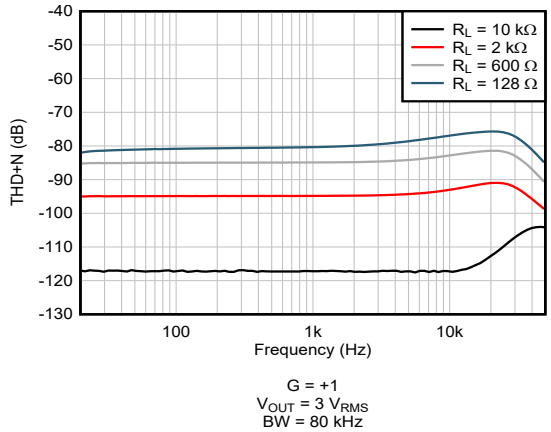


图 5-53. THD+N 比与频率间的关系（新裸片）

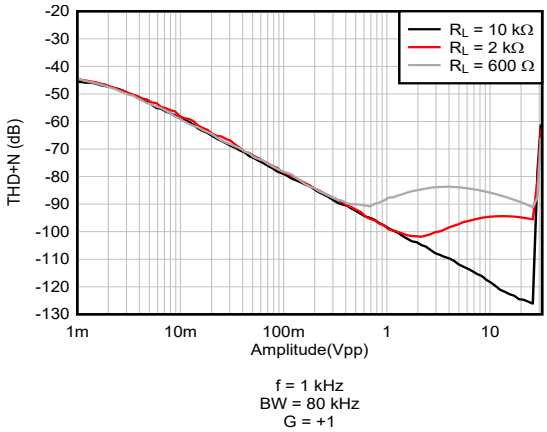


图 5-54. THD+N 与输出振幅间的关系（新裸片）

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

旧裸片：除非另有说明: T_A = 25°C。新裸片：T_A = 25°C，Vs = ±16V，V_{CM} = Vs / 2，R_L = 10kΩ 时（除非另有说明）

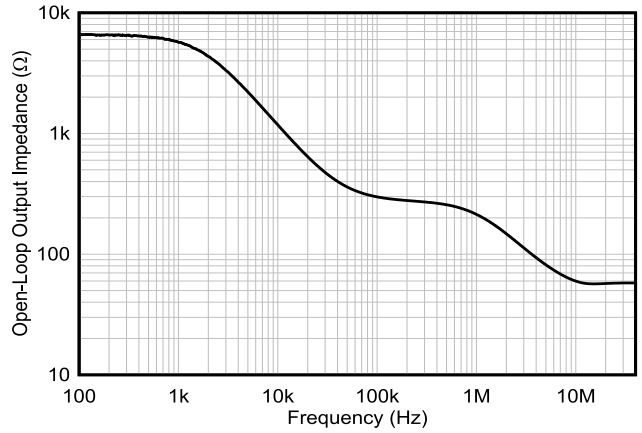


图 5-55. 开环输出阻抗与频率间的关系（新裸片）

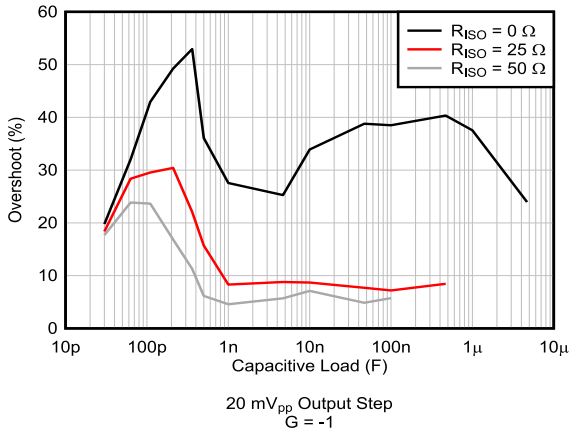


图 5-56. 小信号过冲与电容负载间的关系（新裸片）

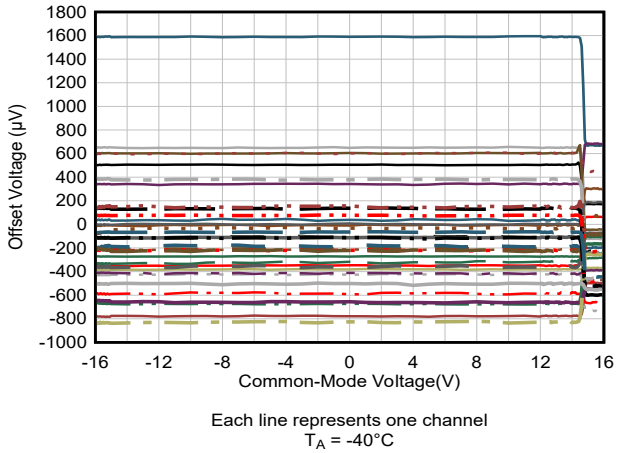


图 5-57. 偏移电压与共模电压间的关系，新裸片

Copyright © 2026 Texas Instruments Incorporated

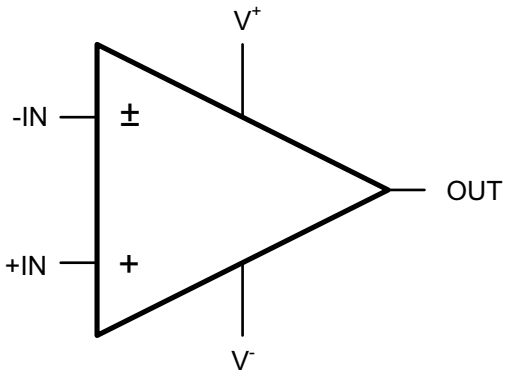
6 详细说明

6.1 概述

LM732xx 器件是具有宽工作电压范围和高输出电流的轨到轨输入和输出放大器。LM732xx 系列效率出色：压摆率 35V/μs，增益带宽 24MHz，每路运放仅耗用 1.35mA 电源电流。LM732xx 器件各项性能均做完整参数标定，工作电压范围为 2.7V 到 32V。

LM732xx 器件设计用于驱动无限电容负载而不发生振荡。较大的轨到轨输入共模电压范围以及此宽电压范围内的 90dB 共模抑制能力，让这些器件可实现高侧和低侧感应。多数器件参数对电源电压不敏感，这使得这些器件更易于在电源电压存在波动的场景中使用，例如汽车电气系统和电池供电设备。

6.2 功能方框图



6.3 特性说明

6.3.1 输出短路电流与消耗问题

LM732xx 输出级旨在提供最大输出电流能力。尽管在所有工作电压下都能容忍输出对地或对任一电源的瞬时短路，但持续时间较长的短路情况可能导致结温升至超过器件的绝对最大额定值，尤其是在较高电源电压条件下。电源电压低于 6V 时，器件可长时间承受输出短路工况。

当运算放大器连接负载时，器件的功率耗散包括由流入器件的电源电流引起的静态功耗，以及由负载电流引起的功率耗散。负载部分的功耗本身可包括一个平均值（由直流负载电流引起）和一个交流分量。如果存在输出电压偏移，或者输出交流平均电流非零，或者运算放大器工作在单电源应用中且输出维持在线性工作范围内的某点，则会有直流负载电流流过。

因此，

$$P_{TOTAL} = P_Q + P_{DC} + P_{AC} \quad (1)$$

运算放大器静态功率耗散的计算公式为：

$$P_Q = I_S \times V_S \quad (2)$$

其中

- I_S：电源电流
- V_S：总电源电压 ($V^+ - V^-$)

直流负载功率的计算公式为：

$$P_{DC} = I_O \times (V_r - V_o) \quad (3)$$

其中

- V_O：平均输出电压
- V_r：对于拉电流为 V^+，对于灌电流为 V^-

交流负载功率的计算方式为 P_{AC} = 参见表 6-1。

表 6-1 显示了运算放大器在标准正弦波、三角波和方波波形下耗散的负载功耗的最大交流分量：

表 6-1. 标准波形下输出级功率耗散的归一化交流功率

P_{AC} (W.Ω/V²)		
正弦	三角波	方形
50.7×10^{-3}	46.9×10^{-3}	62.5×10^{-3}

表格条目已归一化至 V_S^2/R_L。要计算功率耗散的交流负载电流分量，只需将输出波形对应的表格条目乘以因子 V_S^2/R_L 即可。例如，在 ±12V 电源、600Ω 负载以及三角波形条件下，输出级的功率耗散计算如下：

$$P_{AC} = \left(46.9 \times 10^{-3}\right) \times \left(\frac{576}{600}\right) = 45.0\text{mW} \quad (4)$$

特定温度下允许的最大功率耗散是允许最大芯片结温 ($T_{J(MAX)}$)、环境温度 T_A 和结至环境的封装热阻 θ_{JA} 的函数。

$$P_{D(MAX)} = \frac{T_{J(MAX)} - T_A}{\theta_{JA}} \quad (5)$$

对于 LM732xx 系列，允许的最高结温为 150°C，达到该温度时不允许功率耗散。25°C 温度下的功率能力可通过以下公式计算得出：

对于 VSSOP 封装（双通道）：

$$P_{D(Max)} = \frac{150°C - 25°C}{169.6°C} = 0.737W \quad (6)$$

对于 SOIC 封装（单通道）：

$$P_{D(Max)} = \frac{150°C - 25°C}{133.5°C} = 0.936W \quad (7)$$

同样，125°C 温度下的功率能力通过以下公式计算得出：

对于 VSSOP 封装（双通道）：

$$P_{D(Max)} = \frac{150°C - 125°C}{169.6°C} = 0.147W \quad (8)$$

Copyright © 2026 Texas Instruments Incorporated

对于 SOIC 封装（单通道）：

$$P_{D(Max)} = \frac{150°C - 125°C}{124°C} = 0.202W \quad (9)$$

在需要大功率运行且无法降低环境温度时，通入气流是降低热阻、提高功率能力的有效方式。

6.4 器件功能模式

6.4.1 驱动容性负载

LM732xx 系列专门设计用于驱动无限电容负载而不发生振荡，如图 6-1 中所示。

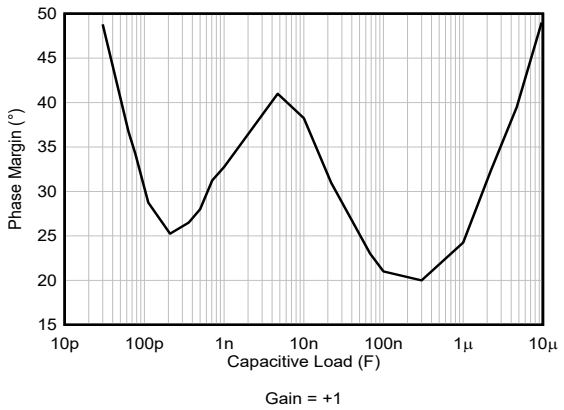


图 6-1. 相位裕度与容性负载间的关系

此外，该器件的输出电流处理能力使其即使在驱动大电容负载时也能保持良好的压摆特性。这些特性的结合可切实应用于诸如 TFT 平板缓冲器、模数转换器输入放大器等场景。

然而，与大多数运算放大器一样，在运算放大器和容性负载之间添加一个串联隔离电阻器可以改善趋稳时间和过冲性能。为了保持可接受的相位裕度，无限容性负载驱动 (UCLD) 器件会在较大的容性负载下降低增益带宽积。在没有很大容性负载的情况下，LM732x 的额定增益带宽积为 24MHz，但在传统放大器开始变得不稳定时，该值将开始减小。这种折衷可扩展输出驱动能力。LM732x 采用宽增益带宽积设计，可确保为很多具有更高容性负载的通用应用留出余量。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过载事件的关联性会有所帮助。与典型电路应用相关的等效内部 ESD 电路 展示了 LM732x 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。这种 ESD 保护还包含背对背输入二极管，旨在保护输入晶体管免受大差分信号的影响。该保护电路在电路正常工作时处于未运行状态。

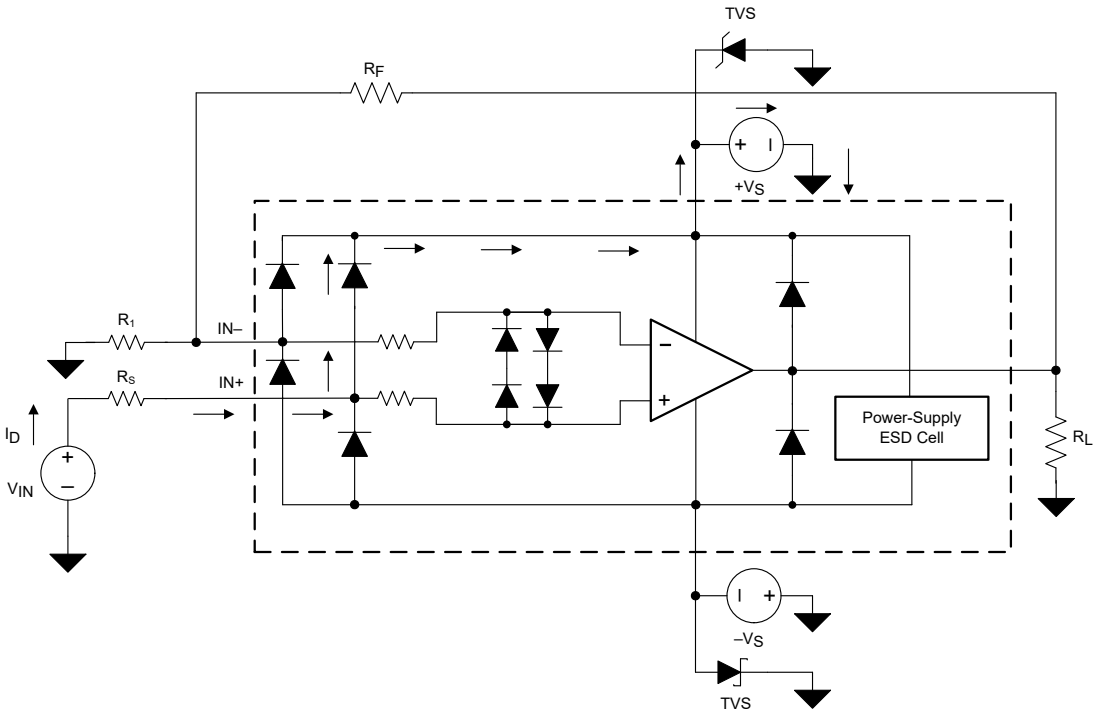


图 6-2. 与典型电路应用相关的等效内部 ESD 电路

Copyright © 2026 Texas Instruments Incorporated

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 LM732x 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如与典型电路应用相关的等效内部 ESD 电路 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。若将该器件接为比较器电路，差分信号幅值过大时，内部背对背输入二极管将会导通。如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

与典型电路应用相关的等效内部 ESD 电路 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管；请参阅与典型电路应用相关的等效内部 ESD 电路。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

LM732x 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅与典型电路应用相关的等效内部 ESD 电路。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 LM732x 的低噪声性能。与典型电路应用相关的等效内部 ESD 电路 展示了实现限流反馈电阻器的示例配置。

6.4.3 新旧芯片比较

截至本数据表修订版 F 发布时，德州仪器 (TI) 已将 LM732x 的裸片制造转移到了一座现代制造厂。本文档中将两个不同的芯片称为“旧”（前一个制造基地）和“新”芯片。芯片原点可以与发货信息中的“芯片源来源”(CSO) 参数分开。旧芯片 CSO 为“GF6”，而新芯片 CSO 为“RFB”。本数据表中保留了旧裸片信息，用于进行比较，但所有新制造工艺都转移到了新裸片上。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 典型应用

图 7-1 展示了一个典型的应用，其中 LM732xx 用作 TFT LCD 平板中 V_{COM} 信号的缓冲放大器：

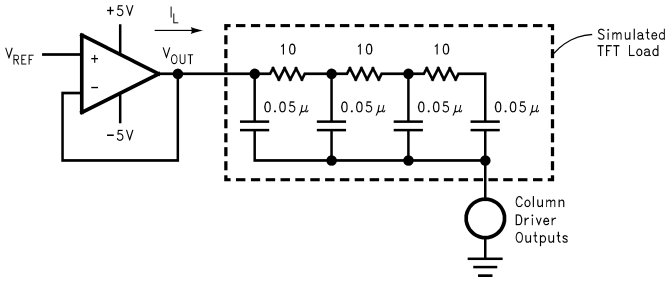


图 7-1. V_{COM} 驱动器应用原理图

7.2 布局

7.2.1 布局指南

务必尽可能地减少由电源引脚和接地引脚之间的旁路电容器连接所形成的环路面积。建议在设备下方设置接地平面；任何接地旁通元件都必须在接地平面附近有一个通孔。旁路电容器位置越靠近相应的电源引脚越好。在旁路电容器和相应电源引脚之间使用较粗的迹线，可降低电源电感并提供更稳定的电源。

反馈组件必须放置到尽可能靠近器件的位置，以最大程度地降低杂散寄生效应。

Copyright © 2026 Texas Instruments Incorporated

7.2.2 布局示例

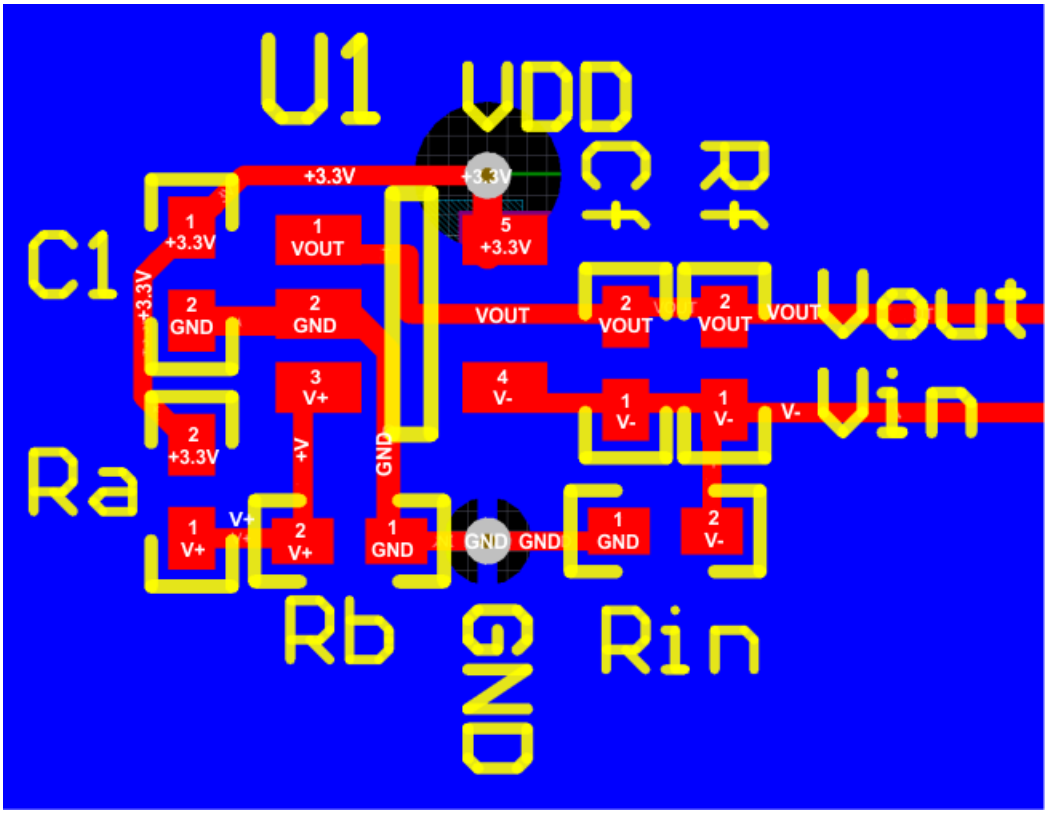


图 7-2. LM732xx 布局示例

8 电源相关建议

在大多数应用中，必须使用电源去耦合。与大多数相对高速或高输出电流的运算放大器一样，最佳结果是通过对每条电源线使用两个电容器进行去耦来实现的：一个放置在非常靠近电源引脚位置的小值陶瓷电容器（约 0.01 µF），再加上一个大值钽或铝电容器（大于 4.7 µF）。如有必要，这个大电容器可以被多个器件共用。小陶瓷电容器在高频下维持低电源阻抗，而大电容器则充当电荷“*桶*”，用于应对运算放大器输出端的快速负载电流尖峰。这些电容器的组合将提供电源去耦功能，并有助于在任何负载下确保运算放大器不发生振荡。

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (September 2015) to Revision F (March 2022)	Page
• 根据新裸片规格更新了*特性* 部分	1
• 根据新裸片规格更新了*说明* 部分	1
• 根据新裸片规格更新了*绝对最大额定值* 部分	4
• 将供电电压最小值从 2.5V 更新为 2.7V	4
• 将结至环境热阻分别从 165°C/W、325°C/W 和 235°C/W 更新为 133.5°C/W、185.4°C/W 和 169.6°C/W	4
• 已将输入失调电压典型值从 ±0.7mV 更新为 ±0.35mV	5
• 将输入偏移电压漂移典型值从 ±2 µ V/°C 更新为 ±2.5 µ V/°C	5
• 将输入偏置电流典型值从 −1.2 µ A 更新为 0.4 µ A，从 0.45 µ A 更新为 0.4 µ A	5
• 将输入偏移电流从 20nA 更新为 7nA	5
• 将 R_L= 2kΩ V_{ID}= 100mV 时的输出电压摆幅高位典型值从 100mV 更新为 50mV	5
• 将 V_{ID}=−100mV 时的输出电压摆幅低位典型值从 20mV 更新为 50mV	5
• 将 R_L= 2kΩ V_{ID}=−100mV 时的输出电压摆幅低位典型值从 40mV 更新为 50mV	5
• 将电源电流典型值从 0.95mA 更新为 1.35mA，将 T_A= – 40°C 至 +125°C 的最大值从 1.9mA 更新为 2.23mA，将最大值从 1.3mA 更新为 1.93mA	5
• 将转换率从 8.5V/ µ s 更新为了 35V/ µ s	5
• 将单位增益频率从 7.5MHz 更新为 11MHz	5
• 将单位增益带宽从 16MHz 更新为 24MHz	5
• 将总计谐波失真 + 噪声从 −77dB 更新为 −113dB	5
• 将 CMRR 测试条件、典型值和最小值从 70dB 更新为 109dB	5
• 将 CMVR 参数从 20mV 更新为 50mV	5

Copyright © 2026 Texas Instruments Incorporated

- 添加了 V_{CM} 参数 5
- 将 A_{VOL} 测试条件和典型值从 65dB 更新为 75dB 5
- 将 A_{VOL} 测试条件和典型值从 62dB 更新为 70dB 5
- 将 A_{VOL} 测试条件和典型值从 59dB 更新为 65dB 5
- 将 A_{VOL} 测试条件和典型值从 55dB 更新为 62dB 5
- 将 I_{OUT} 测试条件和最小值从 30mA 更新为 ±40mA 5
- 将 I_{OUT} 测试条件和最小值从 20mA 更新为 ±35mA 5
- 将 I_{OUT} 测试条件和最小值从 40mA 更新为 ±20mA 5
- 将 I_{OUT} 测试条件和最小值从 30mA 更新为 ±20mA 5
- 将 I_{OUT} 测试条件和典型值从 48mA 更新为 ±85mA 5
- 将 I_{OUT} 测试条件和典型值从 65mA 更新为 ±60mA 5
- 删除了*±5-V 电气特性* 部分 5
- 删除了*±15-V 电气特性* 部分 5
- 根据新裸片规格更新了*典型特性* 部分 7
- 移除了*估算输出电压摆幅* 部分 17
- 更新了“*输出短路电流与消耗问题*” 17
- 添加了*电过应力* 部分 20
- 添加了*新旧裸片比较* 一节 21

Changes from Revision D (March 2013) to Revision E (September 2015) **Page**

- 添加了*引脚配置和功能* 部分、*ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1

Changes from Revision C (May 2008) to Revision D (March 2013) **Page**

- 将美国国家半导体 (National Semiconductor) 数据表的布局更改为 TI 格式 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM7321MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 1MA
LM7321MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM732 1MA
LM7321MAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM732 1MA
LM7321MF/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AU4A
LM7321MFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AU4A
LM7321MFX/NOPB.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AU4A
LM7321QMF/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AR8A
LM7321QMFE/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AR8A
LM7321QMFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7321QMFX/NOPB.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7321QMFX/NOPB.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7322MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 2MA
LM7322MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM732 2MA
LM7322MAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM732 2MA
LM7322MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AZ4A
LM7322MM/NOPB.B	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AZ4A
LM7322MME/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AZ4A
LM7322QMA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 2QMA
LM7322QMAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA
LM7322QMAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA
LM7322QMAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM7321, LM7321-Q1, LM7322, LM7322-Q1 :

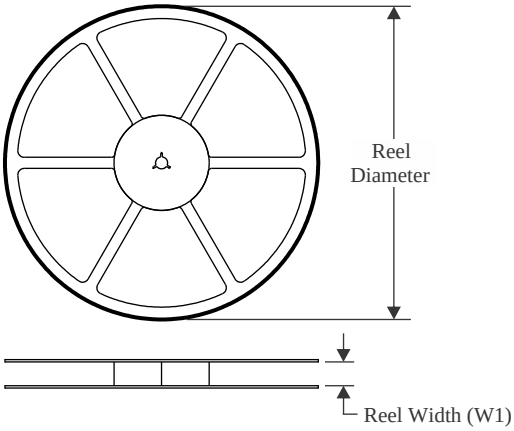
- Catalog : LM7321, LM7322
- Automotive : LM7321-Q1, LM7322-Q1

NOTE: Qualified Version Definitions:

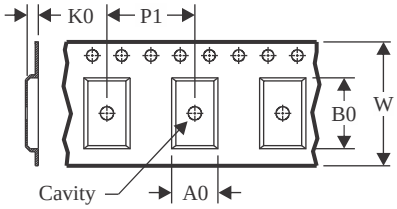
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

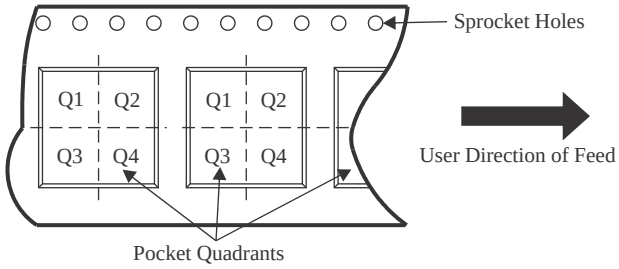


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

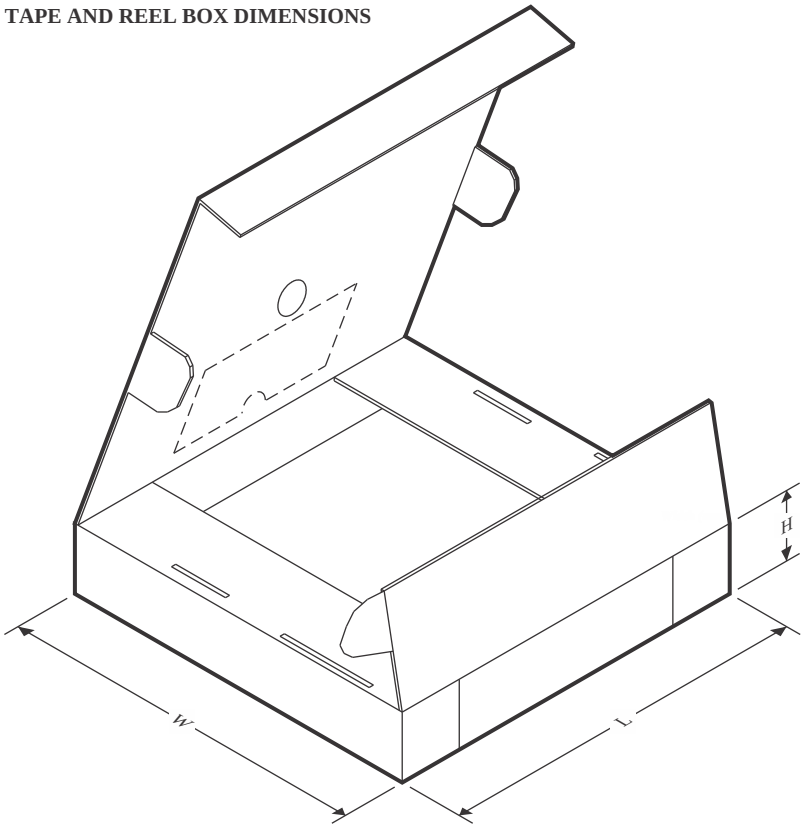
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM7321MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7321MFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7322MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7322MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7322MM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LM7322MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM7322QMAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

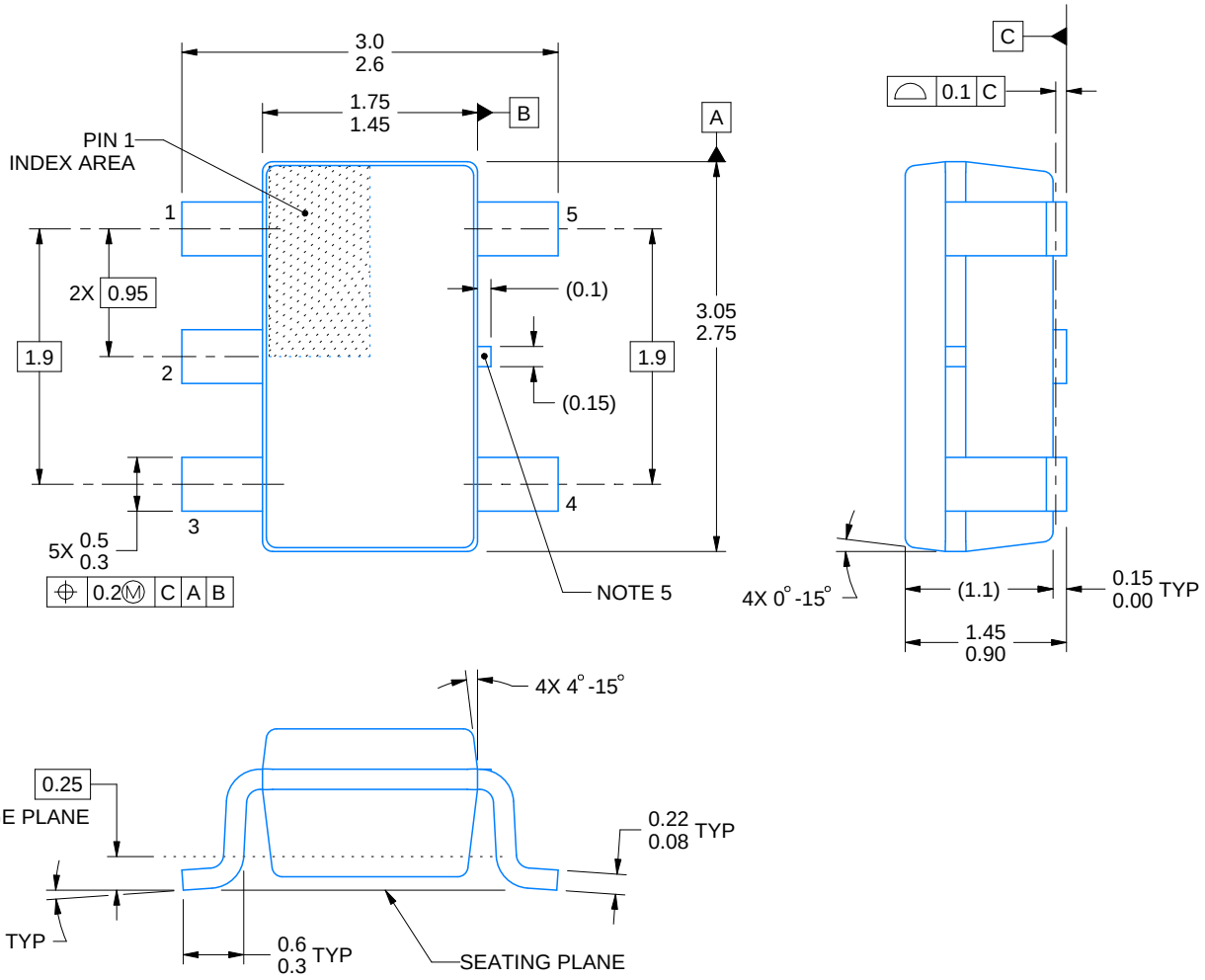
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM7321MAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LM7321MFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LM7322MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM7322MAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LM7322MM/NOPB	VSSOP	DGK	8	1000	366.0	364.0	50.0
LM7322MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LM7322QMAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

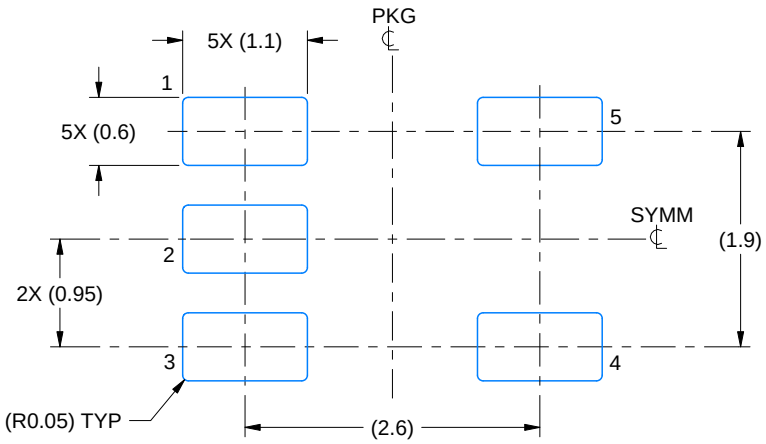
SMALL OUTLINE TRANSISTOR



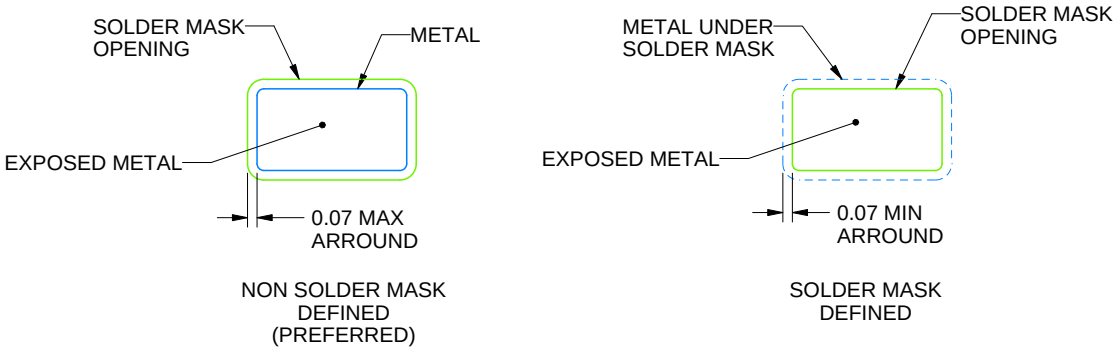
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

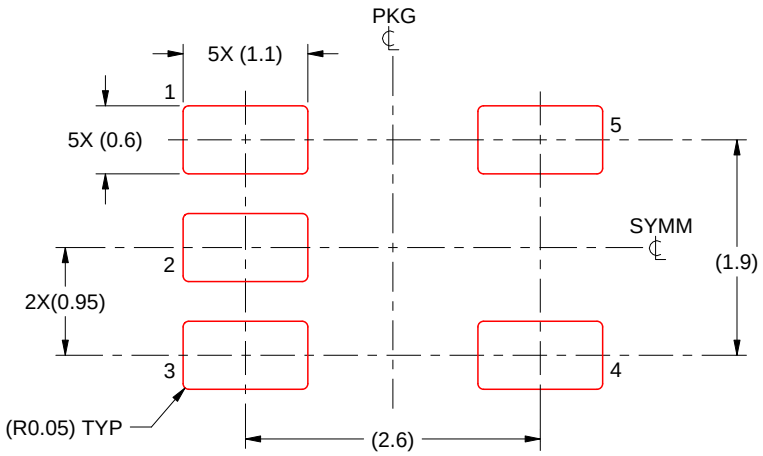


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

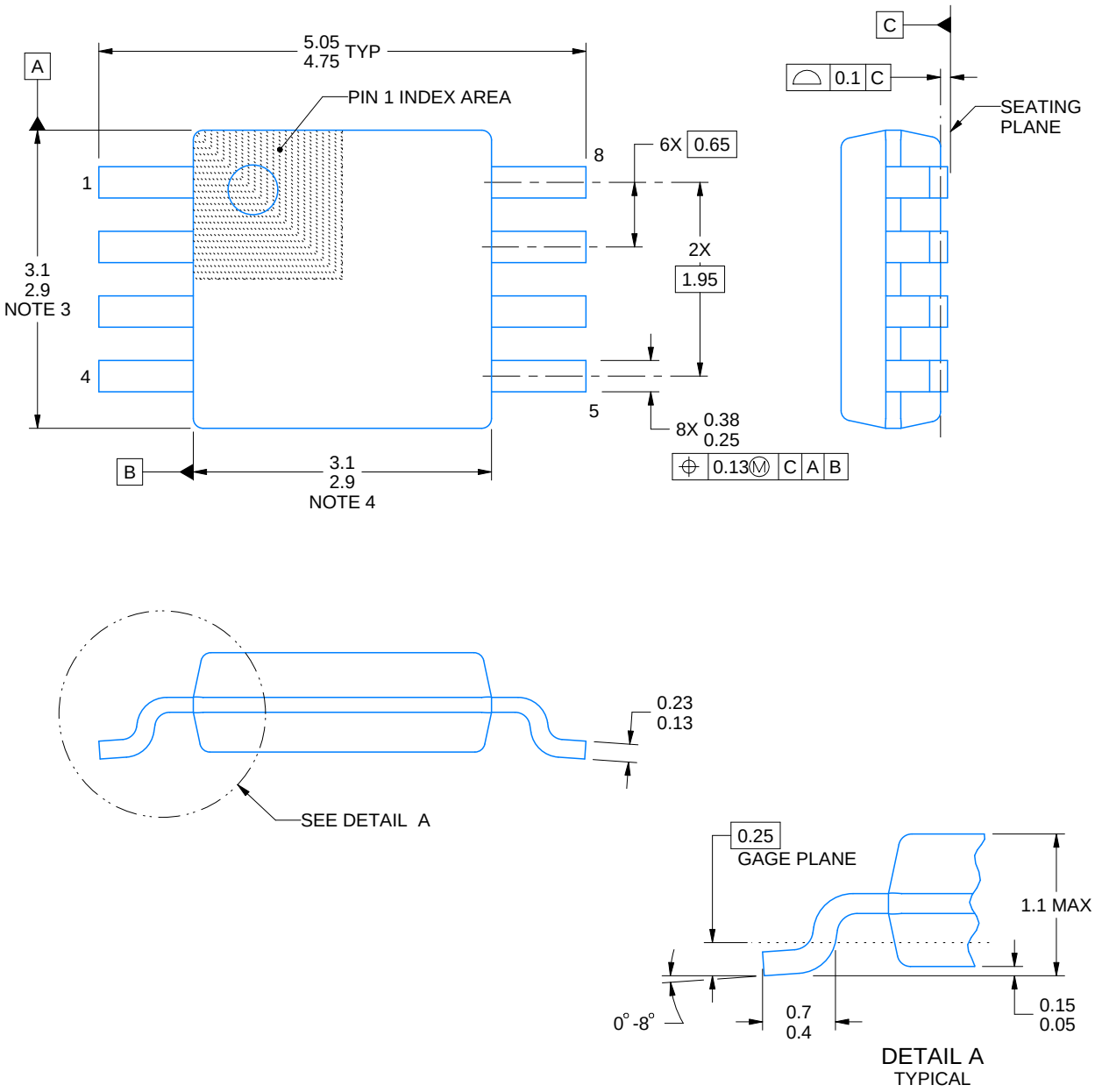
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

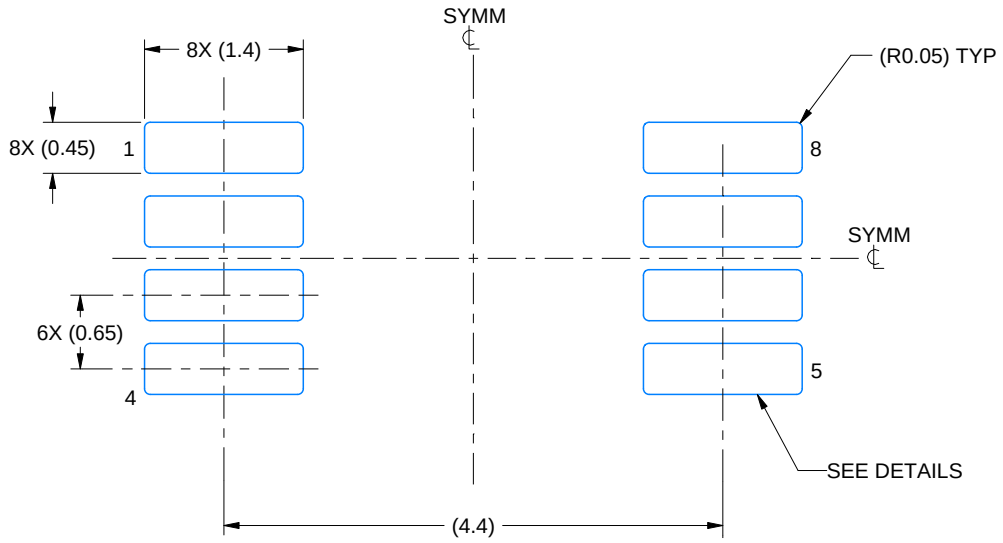
SMALL OUTLINE PACKAGE



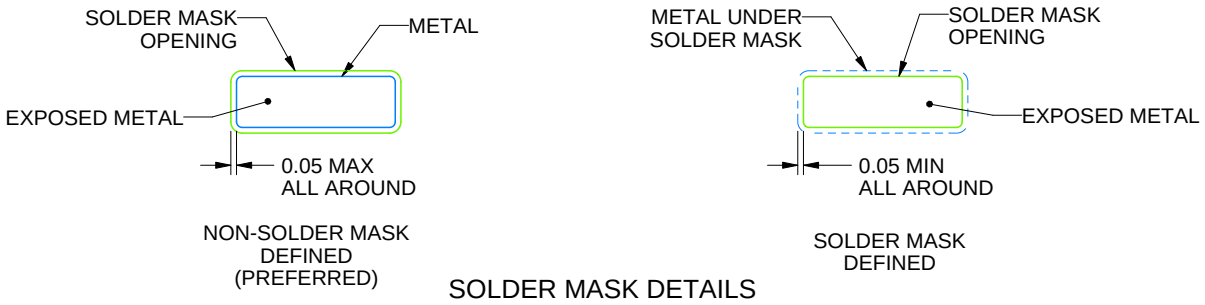
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

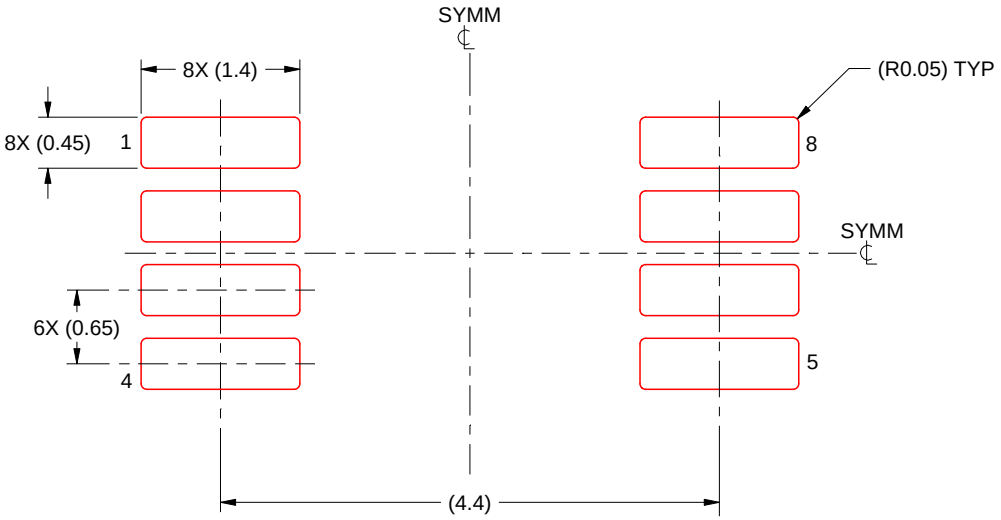


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

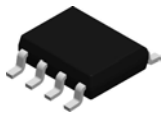


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

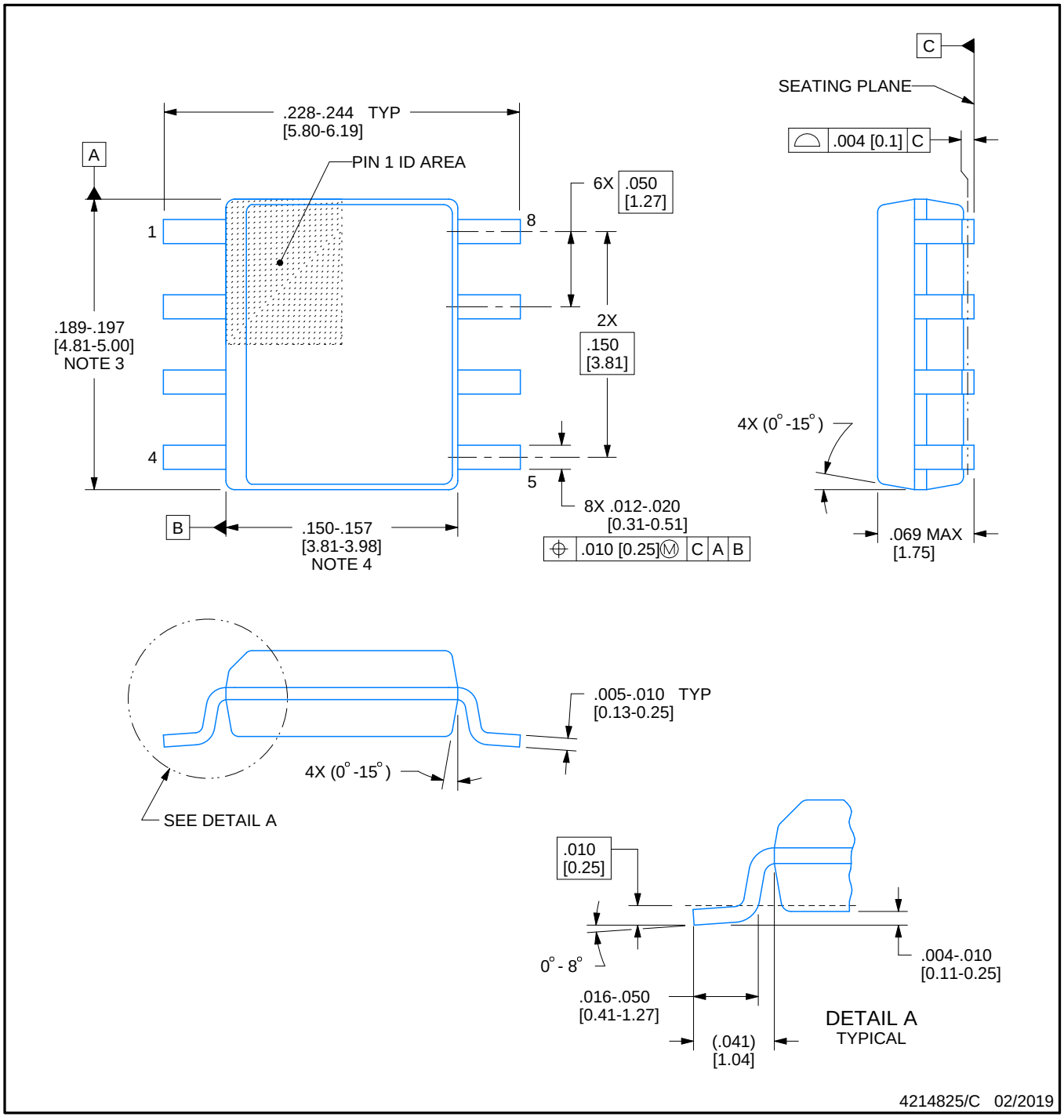


PACKAGE OUTLINE

D0008A

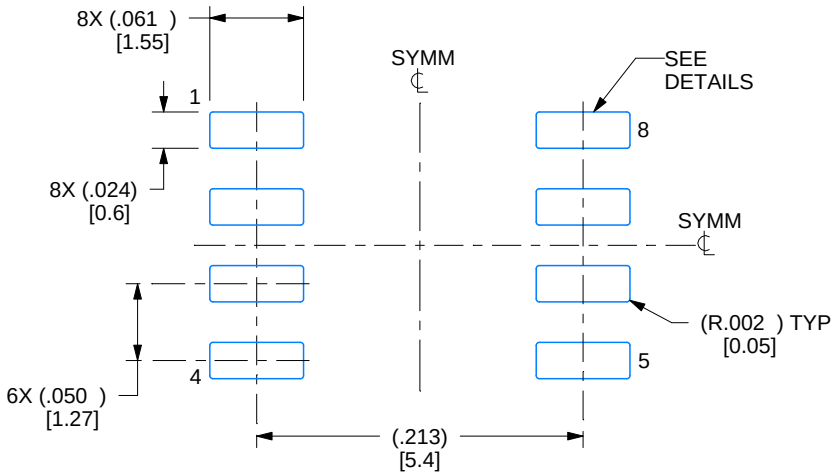
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

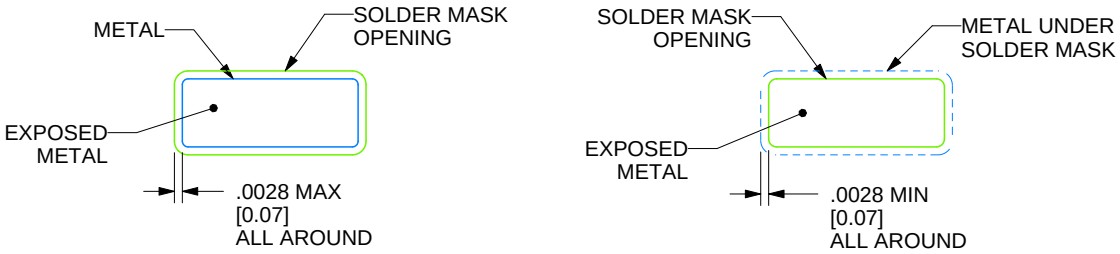


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

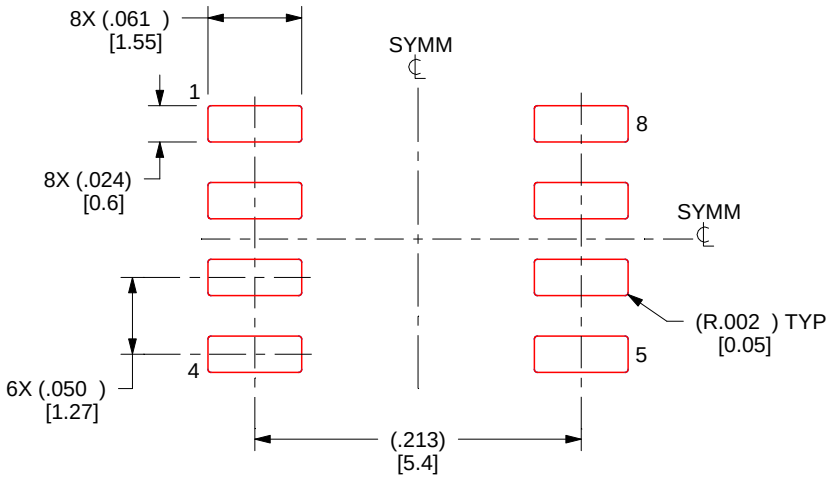
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月