LMC603x 2.7V 低功耗单电源 CMOS 运算放大器

1 特性

- 除非另有说明，否则为典型值
- 采用 DSBGA 封装的 LMC6035
- 在 2.7V、3V、5V 和 15V 电压下具有额定性能
- 适用于 2kΩ 和 600Ω 负载
- 宽工作电压范围：2.0V 至 15.5V
- 超低输入电流：20fA
- 轨到轨输出摆幅
  - 在 600Ω 时：2.7V 时，距离任一电源轨 200mV
  - 在 100kΩ 时：2.7V 时，距离任一电源轨 5mV
- 高压增益：126dB
- 宽输入共模电压范围
  - V_S = 2.7V 时为 –0.1V 至 +2.3V
- 低失真：10kHz 时为 0.01%
- LMC6035 双通道 LMC6036 四通道
- 请参阅 AN-1112（文献编号 SNVA009）中的 DSBGA 注意事项
- LMC6035-Q1 符合 AEC-Q100 3 级标准

2 应用

- 滤波器
- 高阻抗缓冲器或前置放大器
- 电池供电类电子产品
- 医疗仪器

3 说明

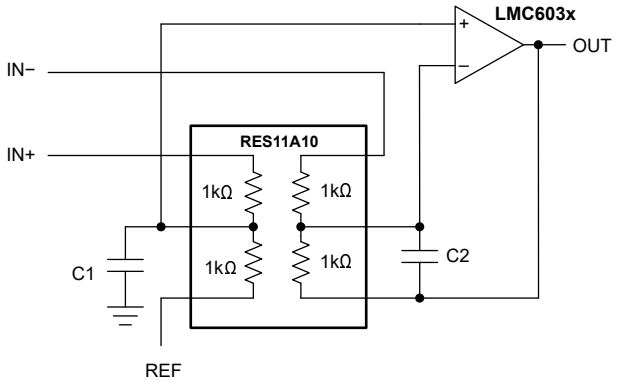
LMC6035 和 LMC6036 (LMC603x) 是经济型低电压运算放大器，能够向 600Ω 负载提供轨到轨输出摆幅。

LMC6035 采用使用微型 SMD 封装技术的芯片尺寸封装（8 凸点 DSBGA 封装）。两种器件均支持单电源供电，额定电源电压为 2.7V、3V、5V 和 15V。2.7V 电源电压对应于三节串联镍镉或镍氢电池的寿命结束电压（0.9V/节），因此 LMC603x 非常适合便携式和可充电系统。当电源电压低于规定的 2.7V 工作电压时，这些器件的规格也表现正常下降。此行为为在明显低于 2.7V 的电压下充分运行提供了*舒适区*。超低输入电流使得这些器件非常适合低功耗、有源滤波器应用，因为低输入偏置电流允许使用更高的电阻值和更低的电容值。此外，LMC603x 的驱动能力使这些运算放大器成为各种低压系统应用的理想选择。

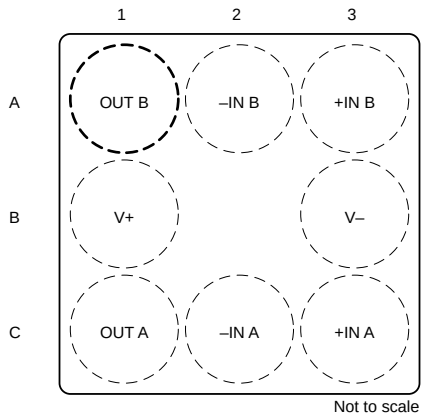
器件信息

器件型号	通道数	封装(1)
LMC6035	双通道	D（SOIC，8）
		DGK（VSSOP，8）
		YAF（DSBGA，8）
		YZR（DSBGA，8）
LMC6036	四通道	D（SOIC，14）
		PW（TSSOP，14）

(1) 有关更多信息，请参阅节 10。



采用 RES11 的差分放大器应用



8 凸点 DSBGA 封装（凸点面朝下）— 请参阅封装编号 YAF0008

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息：LMC6035.....6
5.5 热性能信息：LMC6036.....6
5.6 电气特性.....7
5.7 典型特性.....9
6 详细说明.....16
6.1 概述.....16
6.2 功能方框图.....16
7 应用和实施.....17
7.1 应用信息.....17
7.2 典型应用.....18
7.3 布局.....23
8 器件和文档支持.....25
8.1 接收文档更新通知.....25
8.2 支持资源.....25
8.3 静电放电警告.....25
8.4 术语表.....25
9 修订历史记录.....25
10 机械、封装和可订购信息.....26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

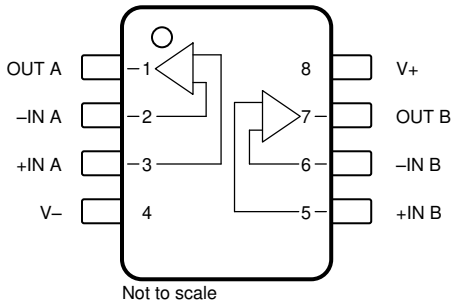


图 4-1. LMC6035 D 封装 8 引脚 SOIC 和 DGK 封装 8 引脚 VSSOP（顶视图）

表 4-1. 引脚功能： LMC6035 D 和 DGK 封装

引脚		类型	说明
名称	编号		
–IN A	2	输入	反相输入通道 A
–IN B	6	输入	反相输入通道 B
+IN A	3	输入	同相输入通道 A
+IN B	5	输入	同相输入通道 B
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
V–	4	电源	负电源
V+	8	电源	正电源

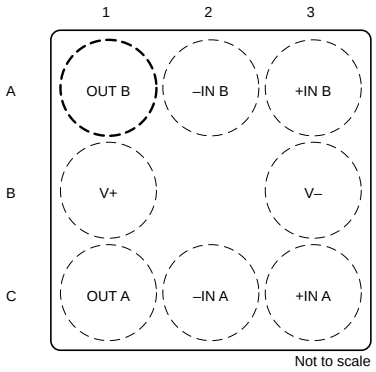


图 4-2. LMC6035 YZR 封装，8 引脚 DSBGA 和 YAF 封装，8 引脚 DSBGA（顶视图）

表 4-2. 引脚功能：LMC6035 YZR 和 YAF 封装

引脚		类型	说明
名称	编号		
–IN A	C2	输入	反相输入通道 A
–IN B	A2	输入	反相输入通道 B
+IN A	C3	输入	同相输入通道 A
+IN B	A3	输入	同相输入通道 B
OUT A	C1	输出	输出通道 A
OUT B	A1	输出	输出通道 B
V–	B3	电源	负电源

Copyright © 2025 Texas Instruments Incorporated

表 4-2. 引脚功能：LMC6035 YZR 和 YAF 封装（续）

引脚		类型	说明
名称	编号		
V+	B1	电源	正电源

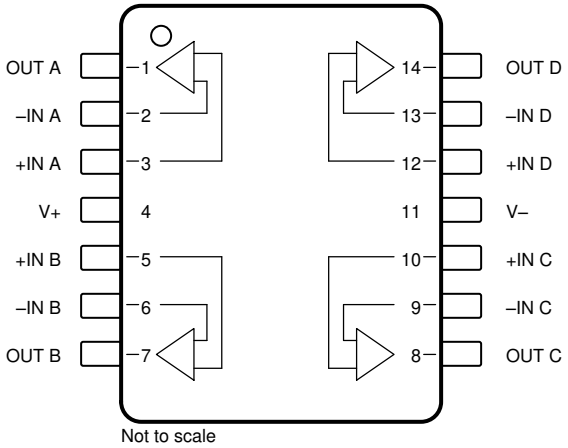


图 4-3. LMC6036 D 封装，14 引脚 SOIC 和 PW 封装，14 引脚 TSSOP（顶视图）

表 4-3. 引脚功能：LMC6036

引脚		类型	说明
名称	编号		
– IN A	2	输入	反相输入通道 A
– IN B	6	输入	反相输入通道 B
– IN C	9	输入	反相输入通道 C
– IN D	13	输入	反相输入通道 D
+IN A	3	输入	同相输入通道 A
+IN B	5	输入	同相输入通道 B
+IN C	10	输入	同相输入通道 C
+IN D	12	输入	同相输入通道 D
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
OUT C	8	输出	输出通道 C
OUT D	14	输出	输出通道 D
V –	11	电源	负电源
V+	4	电源	正电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

			最小值	最大值	单位
	差分输入电压			正负电源电压	V
V_S	电源电压，V_S = (V+) – (V–)		0	16	V
I_{SC}	输出短路	至 V+		请参阅(3)	mA
		至 V–		请参阅(4)	
	输入引脚处的电压		(V–) – 0.3	(V+) + 0.3	V
	输入引脚处的电流			±5	mA
	输出引脚处的电流			±18	mA
	电源引脚处的电流			35	mA
T_J	结温(5)			150	°C
T_{stg}	贮存温度		-65	150	°C
	引线温度（焊接，10s）			260	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果需要军用/航天专用器件，请与 TI 销售办事处/经销商联系以了解供货情况和技术规格。
(3) 当 V+ 大于 13V 时，请勿将输出连接到 V+，否则会对可靠性造成不利影响。
(4) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 ±30mA 会损害可靠性。
(5) 最大功率耗散是与 $T_{J(max)}$、θ_{JA} 和 T_A 相关的函数。任何环境温度下的最大允许功率耗散为 $P_D = (T_{J(max)} – T_A) / \theta_{JA}$

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±3000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源	2		15.5	V
		双电源	±1		±7.75	
T_J	结温		-40		85	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息：LMC6035

热指标(1)		LMC6035				单位
		D (SOIC)	DGK (VSSOP)	YAF (DSBGA)	YZR (DSBGA)	
		8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	122.3	149.2	103.1	93.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	61.4	57.7	0.5	0.5	°C/W
$R_{\theta JB}$	结至电路板热阻	70.1	84.1	35.4	26.3	°C/W
ψ_{JT}	结至顶部特征参数	11.4	4.4	0.3	0.3	°C/W
ψ_{JB}	结至电路板特征参数	69.1	82.9	35.2	26.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 热性能信息：LMC6036

热指标(1)		LMC6036		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	83.0	99.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	42.7	31.3	°C/W
$R_{\theta JB}$	结至电路板热阻	42.4	56.4	°C/W
ψ_{JT}	结至顶部特征参数	7.0	1.0	°C/W
ψ_{JB}	结至电路板特征参数	42.0	55.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性

在 T_J = +25°C、V+ = 2.7V、V– = 0V、V_{CM} = 1V、V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压				±0.5	±5	mV
		T_J = -40°C 至 +85°C				±6	
dV_{OS}/dT	输入失调电压温漂	T_J = -40°C 至 +85°C			±2.3		µV/°C
PSRR	电源抑制比	正极，5V ≤ V+ ≤ 15V		63	93		dB
			T_J = -40°C 至 +85°C	60			
		负极，0V ≤ V– ≤ –10V，V_O = 2.5V，V+ = 5V		74	97		
			T_J = -40°C 至 +85°C	70			
输入偏置电流							
I_B	输入偏置电流(1)				±20		fA
		T_J = -40°C 至 +85°C				±90	pA
I_{OS}	输入失调电流(1)				±10		fA
		T_J = -40°C 至 +85°C				±45	pA
噪声							
e_n	输入电压噪声密度	f = 1kHz	V+ = 15V，V_{CM} = V+ / 2		27		nV/√Hz
			V_{CM} = 1V		40		
i_n	输入电流噪声密度	f = 1kHz			6		fA/√Hz
THD	总谐波失真	f= 10kHz，G = –10V/V，R_L = 2kΩ，V_{OUT} = 8V_{pp}，V+ = 10V			0.01		%
输入电压							
V_{CM}	共模电压	至正电源轨，当 CMRR ≥ 40dB 时		2.0	2.3		V
			T_J = -40°C 至 +85°C	1.7			
		至负电源轨当 CMRR ≥ 40dB 时			-0.1	0.3	
			T_J = -40°C 至 +85°C			0.5	
		至正电源轨，当 CMRR ≥ 40dB、V+ = 3V 时		2.3	2.6		
			T_J = -40°C 至 +85°C	2.0			
		至负电源轨当 CMRR ≥ 40dB、V+ = 3V 时			-0.3	0.1	
			T_J = -40°C 至 +85°C			0.3	
		至正电源轨，当 CMRR ≥ 50dB、V+ = 5V 时		4.2	4.5		
			T_J = -40°C 至 +85°C	3.9			
		至负电源轨当 CMRR ≥ 50dB、V+ = 5V 时			-0.5	-0.2	
			T_J = -40°C 至 +85°C			0.0	
		至正电源轨，当 CMRR ≥ 50dB、V+ = 15V 时		14.0	14.4		
			T_J = -40°C 至 +85°C	13.7			
		至负电源轨当 CMRR ≥ 50dB、V+ = 15V 时			-0.5	-0.2	
			T_J = -40°C 至 +85°C			0.0	
CMRR	共模抑制比	V+ = 15V，0.7V ≤ V_{CM} ≤ 12.7V		63	96		dB
			T_J = -40°C 至 +85°C	60			
输入阻抗							
R_{IN}	输入电阻				>10		TΩ

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

在 T_J = +25°C、V+ = 2.7V、V– = 0V、V_{CM} = 1V、V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	拉电流，V+ = 15V，V_{CM} = 7.5V，7.5V ≤ V_O ≤ 11.5V	R_L = 2kΩ（连接至 7.5V）		2000		V/mV
			R_L = 600Ω（连接至 7.5V）	100	1000		
			R_L = 600Ω（连接至 7.5V），T_J = –40°C 至 +85°C	75			
		灌电流，V+ = 15V，V_{CM} = 7.5V，3.5V ≤ V_O ≤ 7.5V	R_L = 2kΩ（连接至 7.5V）		500		
			R_L = 600Ω（连接至 7.5V）	25	250		
			R_L = 600Ω（连接至 7.5V），T_J = –40°C 至 +85°C	20			
频率响应							
GBW	增益带宽积				1.4		MHz
SR	压摆率(2)	V_S = 15V，10V 阶跃			1.5		V/µs
θ_m	相位裕度				48		°
G_m	增益裕度				17		dB
	串扰	双通道和四通道，V+ = 15V，R_L = 100kΩ（连接至 7.5V），f = 1kHz，V_{OUT} = 12V_{pp}			130		dB
输出							
V_O	电源轨的电压输出摆幅	至正电源轨，R_L = 2kΩ 至 1.35V		2.4	2.62		V
			T_J = -40°C 至 +85°C	2.2			
		至负电源轨，R_L = 2kΩ 至 1.35V			0.07	0.2	
			T_J = -40°C 至 +85°C			0.4	
		至正电源轨，R_L = 600Ω 至 1.35V		2.0	2.5		
			T_J = -40°C 至 +85°C	1.8			
		至负电源轨，R_L = 600Ω 至 1.35V			0.2	0.5	
			T_J = -40°C 至 +85°C			0.7	
		至正电源轨，V+ = 15V，R_L = 2kΩ 至 7.5V		14.2	14.8		
			T_J = -40°C 至 +85°C	13.5			
		至负电源轨，V+ = 15V，R_L = 2kΩ 至 7.5V			0.12	0.4	
			T_J = -40°C 至 +85°C			0.5	
		至正电源轨，V+ = 15V，R_L = 600Ω 至 7.5V		13.5	14.5		
			T_J = -40°C 至 +85°C	13.0			
		至负电源轨，V+ = 15V，R_L = 600Ω 至 7.5V			0.36	1.25	
			T_J = -40°C 至 +85°C			1.50	
I_{SC}	短路电流	拉电流，V_{OUT} = 0V		4	8		mA
			T_J = -40°C 至 +85°C	3			
		灌电流，V_{OUT} = 2.7V		3	5		
			T_J = -40°C 至 +85°C	2			
电源							
I_Q	静态电流	LMC6035，V_{OUT} = 1.5V			0.65	1.6	mA
			T_J = -40°C 至 +85°C			1.9	
		LMC6036，V_{OUT} = 1.5V			1.3	2.7	
			T_J = -40°C 至 +85°C			3.0	

(1) 根据设计确定。
(2) 指定的数字是正负压摆率中较低的值。

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

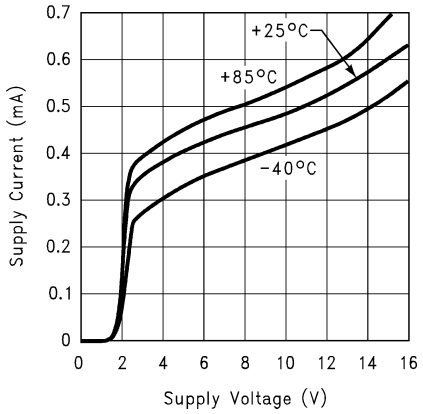


图 5-1. 电源电流与电源电压间的关系（每个放大器）

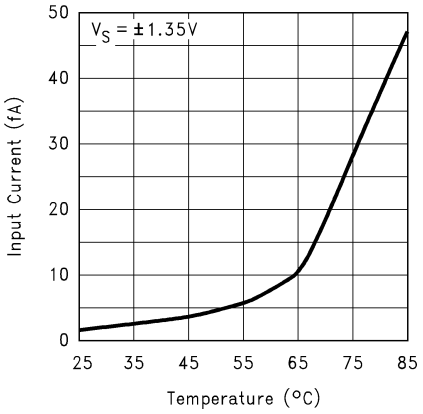


图 5-2. 输入偏置电流与温度间的关系

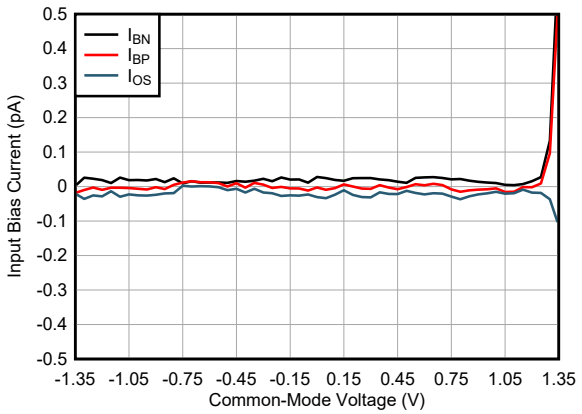
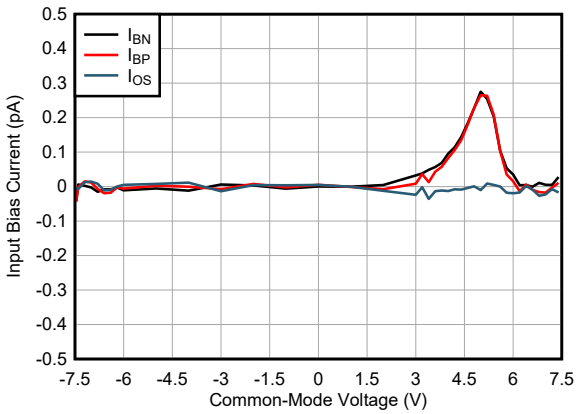


图 5-3. 输入偏置电流与共模电压间的关系



V_S = 15V

图 5-4. 输入电流与共模电压间的关系

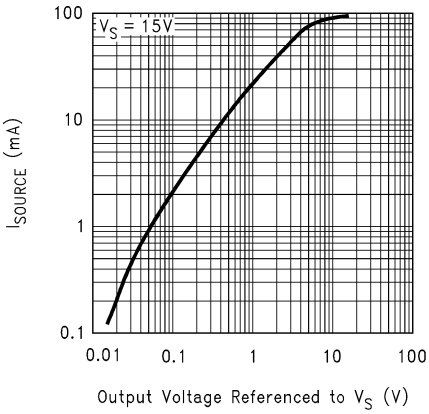


图 5-5. 拉电流与输出电压间的关系

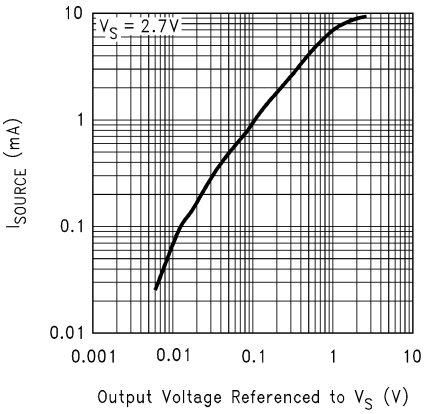


图 5-6. 拉电流与输出电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

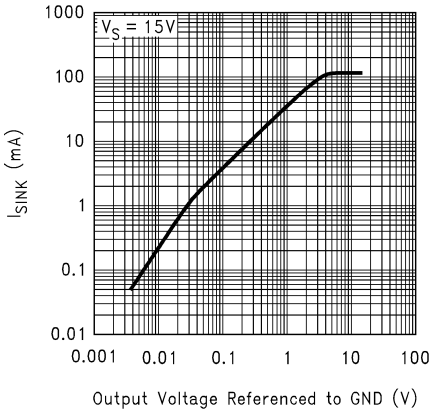


图 5-7. 灌电流与输出电压间的关系

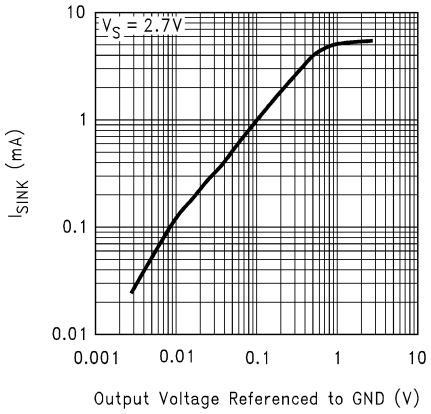


图 5-8. 灌电流与输出电压间的关系

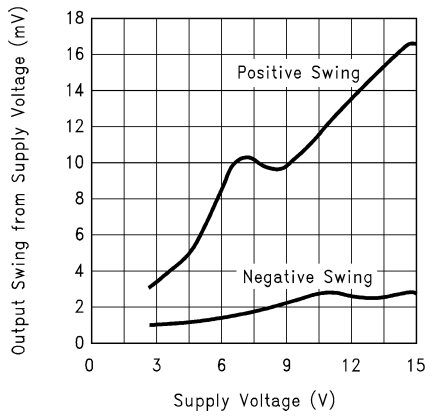


图 5-9. 输出电压摆幅与电源电压间的关系

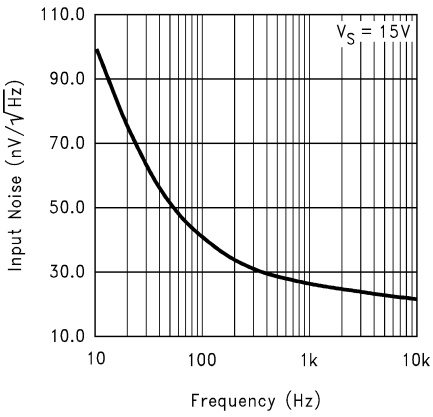


图 5-10. 输入噪声与频率间的关系

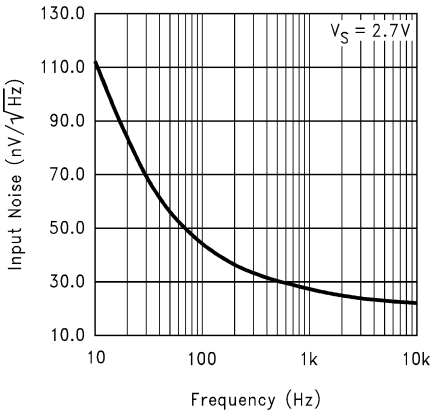


图 5-11. 输入噪声与频率间的关系

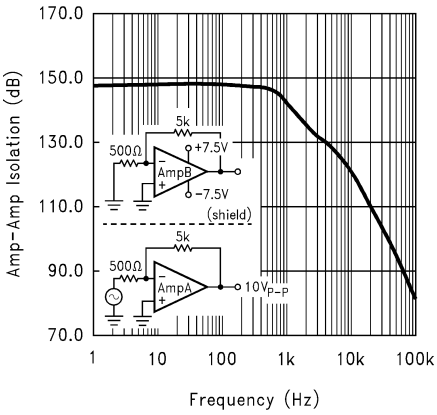


图 5-12. 放大器间隔离与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

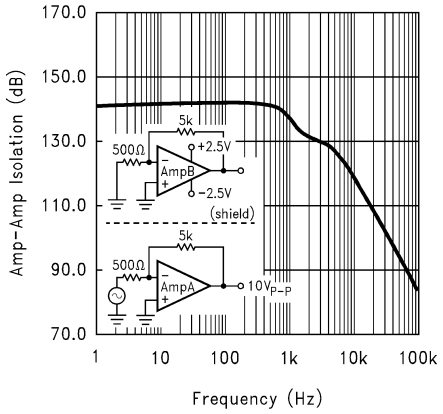


图 5-13. 放大器间隔离与频率间的关系

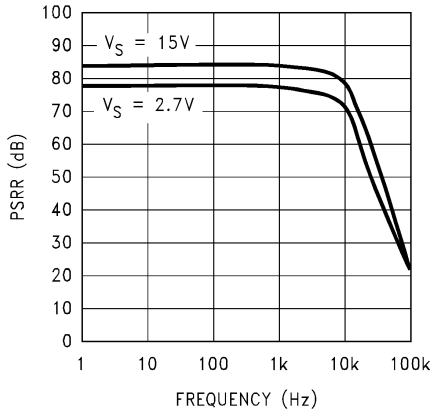


图 5-14. +PSRR 与频率间的关系

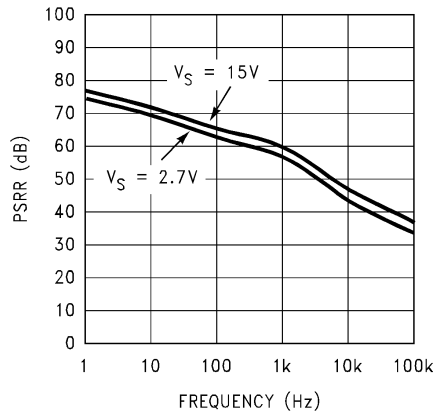


图 5-15. −PSRR 与频率间的关系

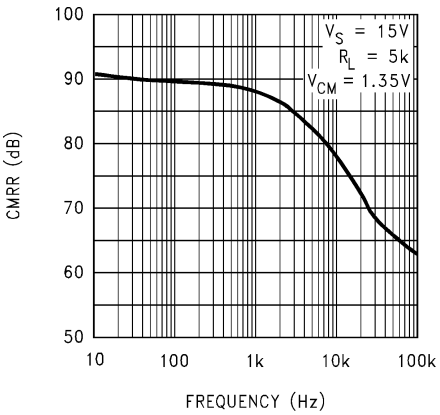


图 5-16. CMRR 与频率间的关系

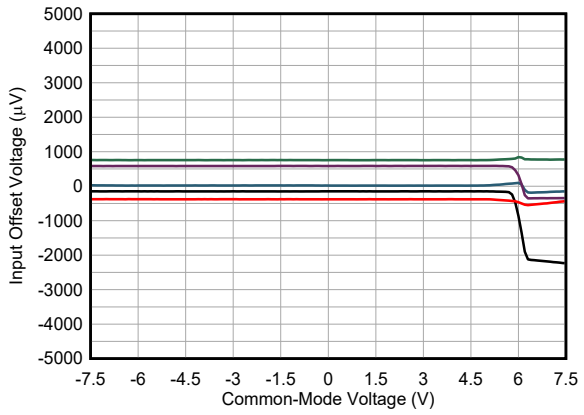


图 5-17. 输入失调电压与共模电压间的关系

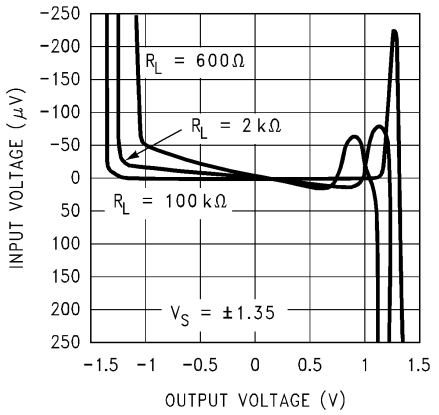


图 5-18. 输入电压与输出电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

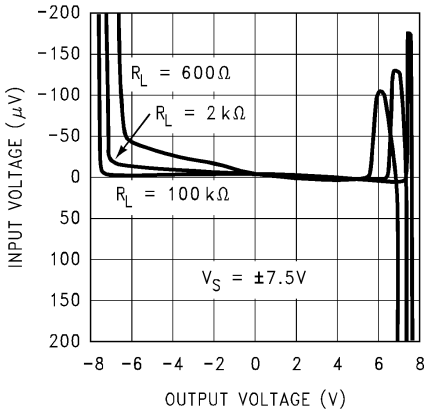


图 5-19. 输入电压与输出电压间的关系

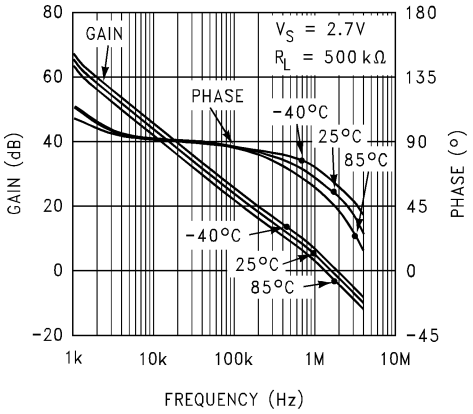


图 5-20. 频率响应与温度间的关系

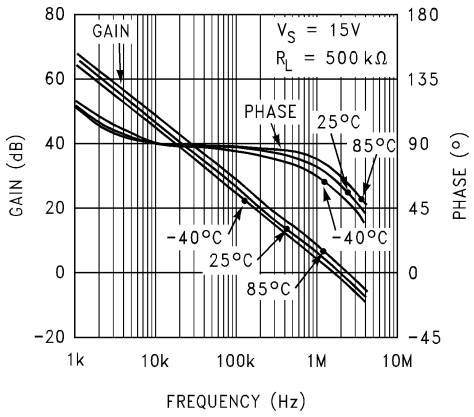


图 5-21. 频率响应与温度间的关系

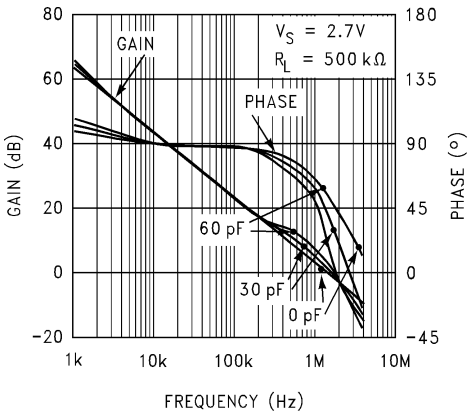


图 5-22. 增益和相位与容性负载间的关系

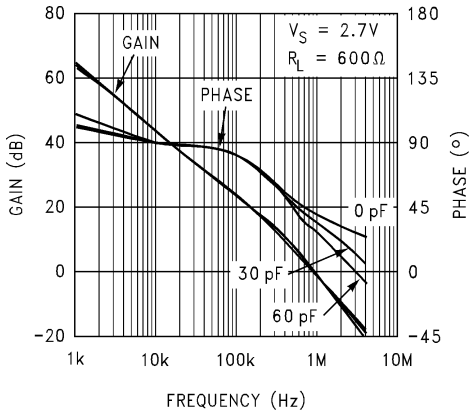


图 5-23. 增益和相位与容性负载间的关系

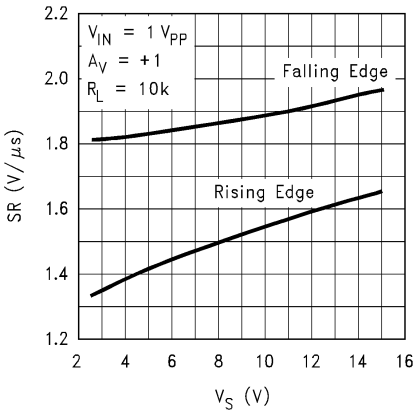


图 5-24. 压摆率与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

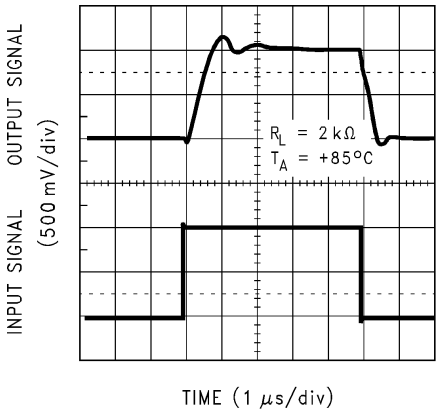


图 5-25. 同相大信号响应

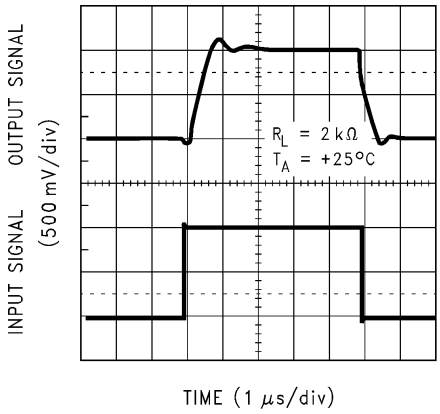


图 5-26. 同相大信号响应

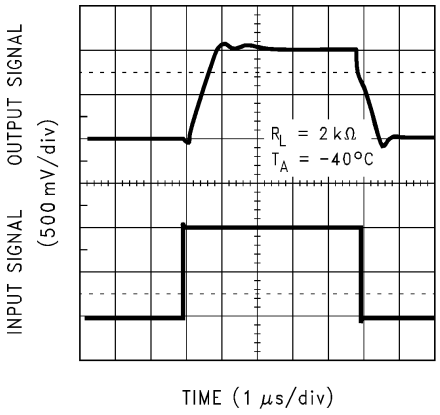


图 5-27. 同相大信号响应

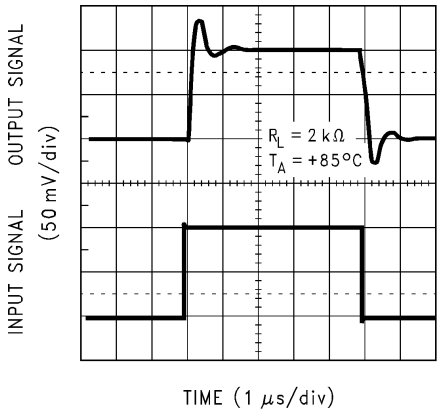


图 5-28. 同相小信号响应

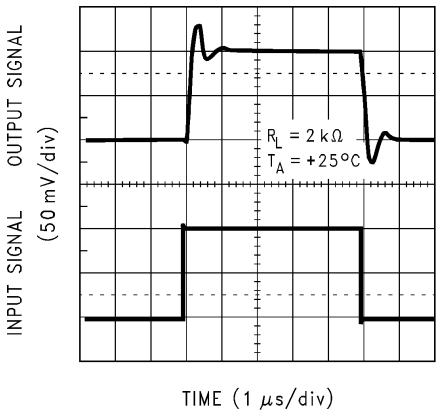


图 5-29. 同相小信号响应

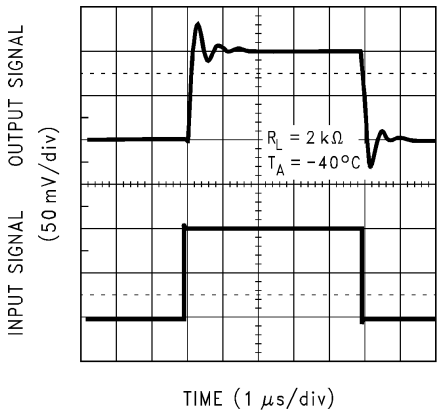


图 5-30. 同相大信号响应

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

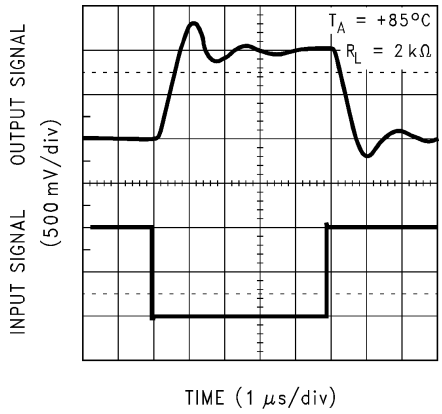


图 5-31. 反相大信号响应

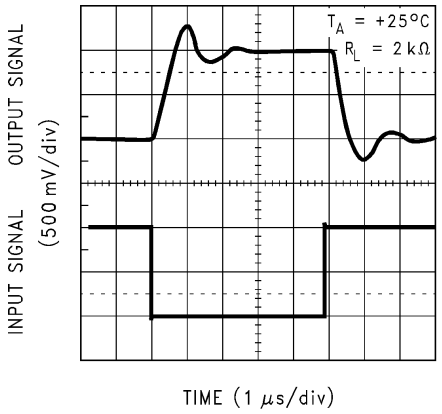


图 5-32. 反相大信号响应

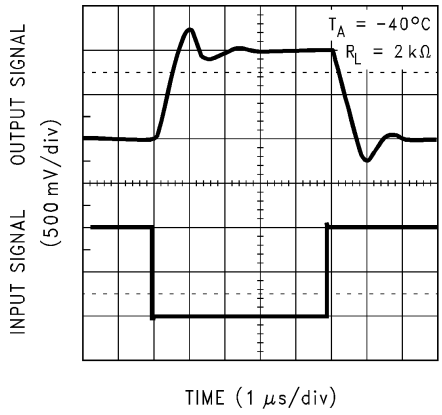


图 5-33. 反相大信号响应

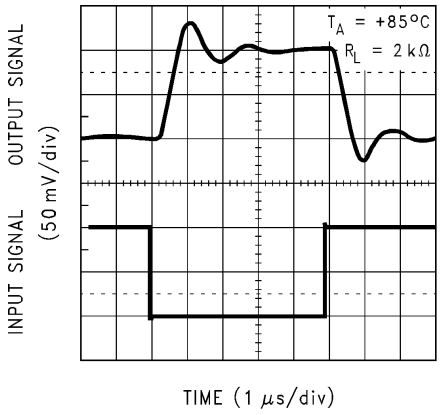


图 5-34. 反相小信号响应

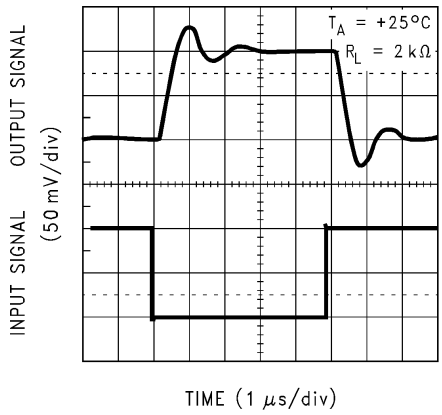


图 5-35. 反相小信号响应

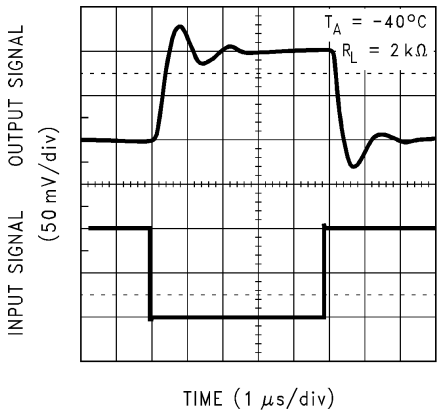


图 5-36. 反相小信号响应

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

V_S = 2.7V，单电源，且 T_A = 25°C（除非另有说明）

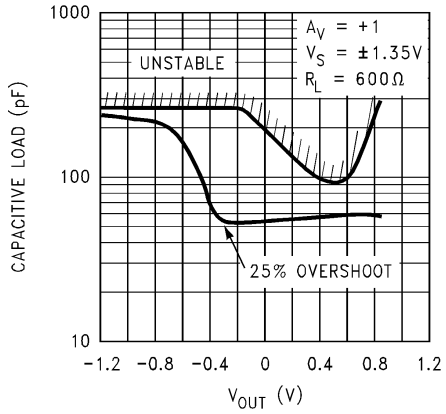


图 5-37. 稳定性与容性负载间的关系

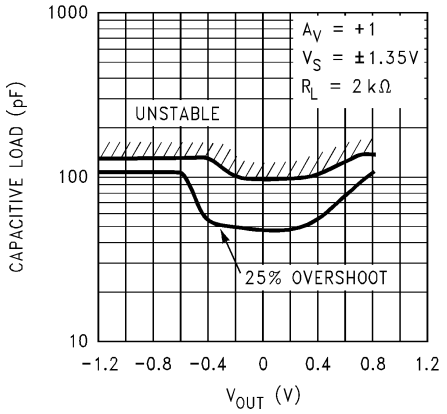


图 5-38. 稳定性与容性负载间的关系

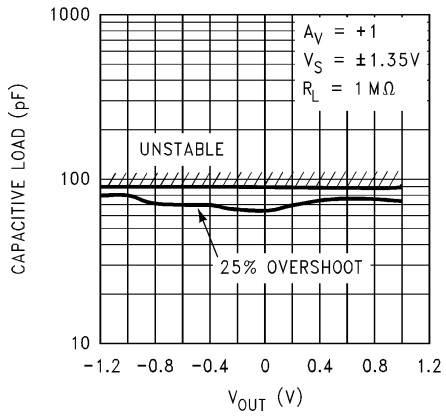


图 5-39. 稳定性与容性负载间的关系

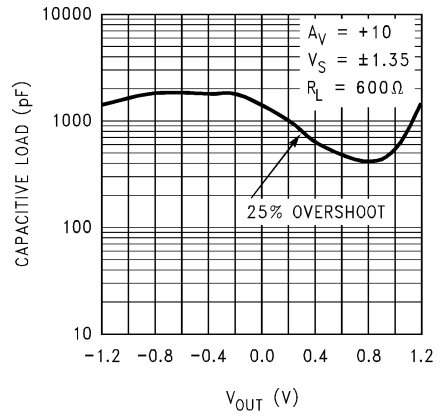


图 5-40. 稳定性与容性负载间的关系

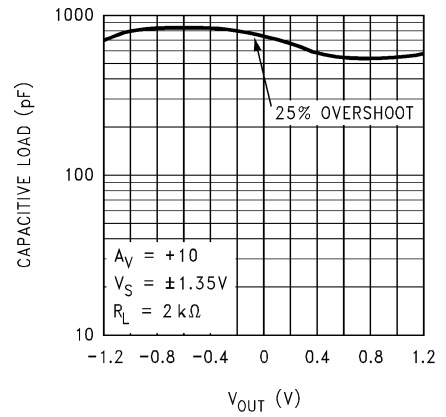


图 5-41. 稳定性与容性负载间的关系

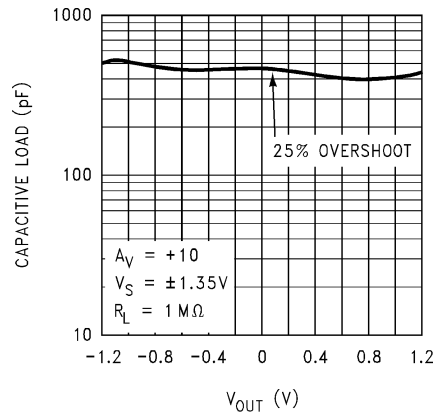


图 5-42. 稳定性与容性负载间的关系

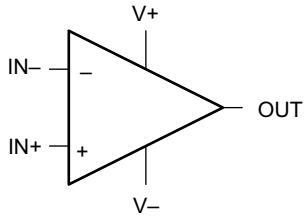
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMC603x 运算放大器旨在提供非常低的漏电流。飞安级漏电流使得这些运算放大器成为缓冲极高阻抗源的理想选择。LMC603x 能够在宽电源电压范围内运行，并可在低至 2V 的电压下工作。低电源运行和微型裸片尺寸球栅阵列 (DSBGA) 封装使 LMC603x 成为便携式电池供电系统的理想选择。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 容性负载容差

与许多其他运算放大器一样，当施加的负载表现为容性负载时，LMC603x 可能会发生振荡。振荡的阈值随负载和电路增益的变化而变化。对振荡最敏感的配置是单位增益跟随器。另请参阅节 5.7。

负载电容与运算放大器输出电阻相互作用，形成额外的极点。如果该极点频率足够低，则极点会降低运算放大器的相位裕度，使放大器不再在低增益下稳定。图 7-1 展示了在反相输入到输出引脚之间添加一个与运算放大器输出串联的小电阻器（50Ω 至 100Ω）和一个电容器（5pF 至 10pF）后，可以在不干扰低频电路运行的情况下将相位裕度恢复为安全值。因此，可以容忍更大的电容值，而不会产生振荡。在所有情况下，当负载电容接近振荡阈值时，输出会严重振铃。

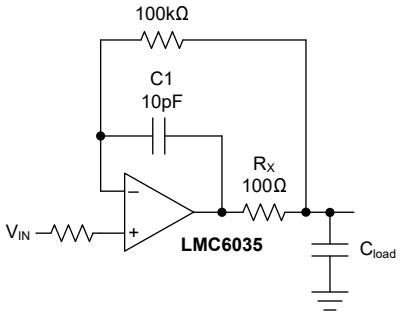


图 7-1. Rx、CX 提高容性负载容差

通过使用一个到 V+ 的上拉电阻来增强容性负载驱动能力（如图 7-2 中所示）。通常，导通 500μA 或更高电流的上拉电阻会显著改善容性负载响应。上拉电阻的值是根据放大器相对于所需输出摆幅的灌电流能力来确定的。放大器的开环增益也会受到上拉电阻的影响（请参阅节 5.6）。

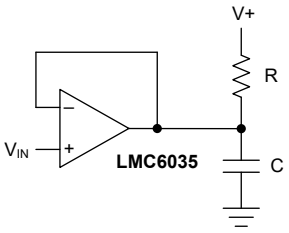


图 7-2. 使用上拉电阻补偿大容性负载

7.2 典型应用

7.2.1 差分驱动器

LMC603x 非常适合低压应用。LMC603x 为低压应用带来的一个理想特性是输出驱动能力，这是 TI CMOS 放大器的标志。图 7-3 中的电路展示了 LMC603x 在 3V 电源下的驱动能力。这些器件用作一对一音频变压器的差分输出驱动器，例如用于将地与电话线隔离的器件。变压器 (T1) 在 1kHz 频率下为运算放大器加载约 600Ω 的交流负载。电容器 C1 用于阻止 T1 的低绕组电阻产生直流。尽管 C1 的值相对较高，但与 T1 的感抗 (X_L) 相比，容性负载电抗 (X_C) 可以忽略不计。

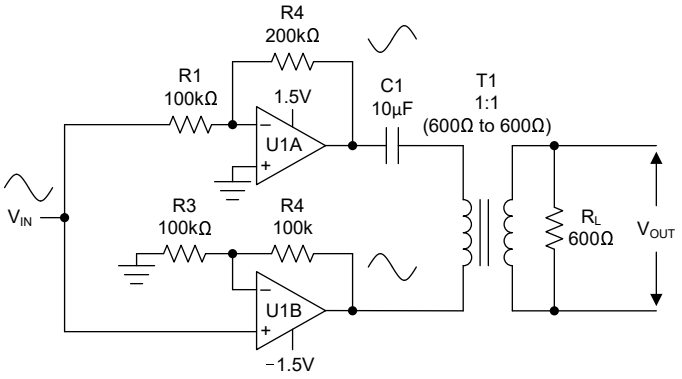


图 7-3. 差分驱动器

图 7-3 中的电路由一个输入信号和两个输出信号组成。U1A 以 −2 的反相增益放大输入，而 U1B 以 +2 的同相增益放大输入。两个输出的相位差为 180°；因此，差分输出的增益为 4。当差分输出在电源轨之间摆动时，其中一个运算放大器向负载提供电流，而另一个运算放大器灌入电流。

CMOS 运算放大器灌电流或拉电流的能力是决定输出摆幅能力的重要因素。与许多运算放大器一样，LMC603x 的输出级通过两个串联的互补晶体管来拉取和灌入输出电流。这种 *图腾柱* 排列转换为每个电源轨上的通道电阻 (R_{dson})，用于限制输出摆幅。大多数 CMOS 运算放大器的输出摆幅能够非常接近电源轨；但是，在低电源电压和重负载的恶劣条件下除外。LMC603x 在这些条件下表现出出色的输出摆幅能力。

图 7-4 和图 7-5 的示波器照片表示直接在 U1A 的输出端（相对于 GND）进行的测量，如图 7-3 所示。图 7-4 展示了 LMC6035 的输出摆幅能力，而图 7-5 提供了基准比较。（基准运算放大器是由我们声誉卓著的竞争对手之一制造的另一种低电压 (3V) 运算放大器。）

Copyright © 2025 Texas Instruments Incorporated

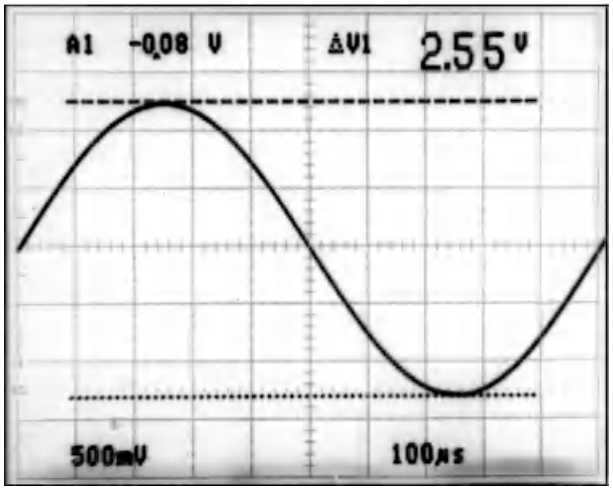


图 7-4. LMC6035 的输出摆幅性能（根据 图 7-3 的电路）

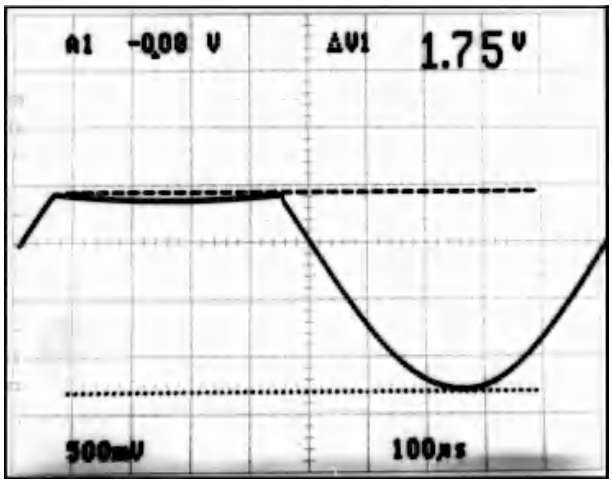


图 7-5. 基准运算放大器的输出摆幅性能（根据 图 7-3 的电路）

请注意，尽管基准运算放大器使用了两倍的电源电流，但与基准测量相比，LMC6035 具有出色的驱动能力。

LMC603x 不仅在低电源电压下提供出色的输出摆幅能力，而且这些器件还在重负载下保持高开环增益 (A_{OL})。为了说明这一点，我们比较了 LMC6035 和基准运算放大器在图 7-3 的电路中的失真性能。图 7-6 展示了这一比较。y 轴表示带负载的次级侧 T1 的总谐波失真（THD + 噪声）百分比。x 轴表示 1kHz 正弦波的输入振幅。（请注意，T1 会损失 R_L (600Ω) 和 T1 绕组电阻分压器大约 20% 的电压，这是变压器的性能缺陷。）

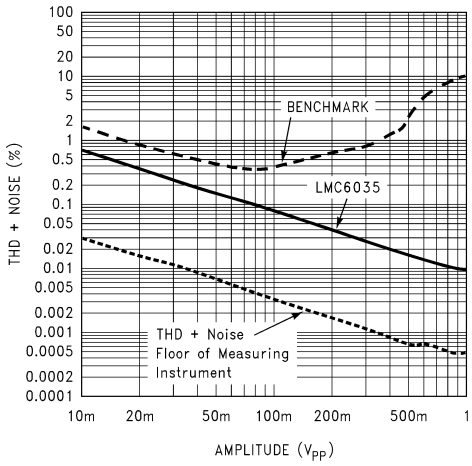


图 7-6. LMC6035 和*基准*的 THD+噪声性能（根据 图 7-3 的电路）

图 7-6 展示了 LMC603x 相对于基准运算放大器的出色失真性能。电路的重负载导致基准器件的 A_{OL} 显著下降，从而导致失真增加。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 低通有源滤波器

低压系统的一个常见应用是有源滤波器，例如无绳电话和蜂窝电话中的有源滤波器。LMC603x 的超低输入偏置电流 (I_B) 使这些运算放大器非常适合低功耗有源滤波器应用，因为低输入偏置电流允许使用更高的电阻值和更低的电容值。这减少了功耗和空间。

图 7-7 展示了具有巴特沃斯（最大平坦）频率响应的低通有源滤波器。拓扑为具有单位增益的 Sallen 和 Key 滤波器。在括号中记录标准化元件值，这些值可从标准滤波器设计手册中获取。这些值提供 1Hz 的截止频率，但可以轻松缩放以获得所需的截止频率 (f_c)。图 7-7 中粗体显示的元件值提供了 3kHz 的截止频率。调节过程的示例如图 7-7 所示。

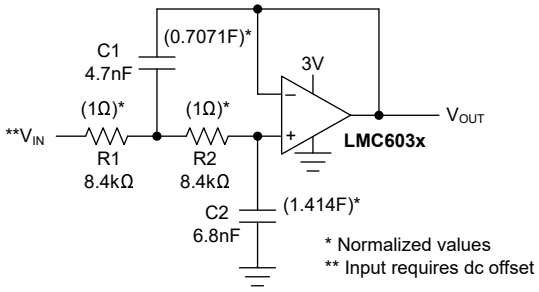


图 7-7. 具有巴特沃斯响应的双极、3kHz、有源、Sallen 和 Key、低通滤波器

7.2.2.1 低通频率调节过程

通过以下调节过程获得了图 7-7 中以粗体显示的实际元件值：

1. 首先确定所需截止频率对应的频率缩放因子 (FSF)。选择 3kHz 下的 f_c 时，可进行以下 FSF 计算：

$$\mathrm{FSF} = 2\pi \times 300\mathrm{kHz} = 18.84\mathrm{k} \tag{1}$$

2. 然后，按如下所示将所有归一化电容值除以 FSF（C1' 和 C2'：在阻抗调节之前）：

$$\mathrm{C1}' = \frac{\mathrm{C1_{normalized}}}{\mathrm{FSF}} = \frac{0.707}{18.84\mathrm{k}} = 37.93 \times 10^{-6}\mathrm{F} \tag{2}$$

$$\mathrm{C2}' = \frac{\mathrm{C1_{normalized}}}{\mathrm{FSF}} = \frac{1.414}{18.84\mathrm{k}} = 75.05 \times 10^{-6}\mathrm{F} \tag{3}$$

3. 最后，选择阻抗比例因子 (Z)。可以根据 C2 的标准值计算这个 Z 因子。然后可以使用 Z 确定其余的分量值，如下所示：

$$\mathrm{Z} = \frac{\mathrm{C2}'}{\mathrm{C2_{chosen}}} = \frac{75.05 \times 10^{-6}\mathrm{F}}{6.8\mathrm{nF}} = 8.4\mathrm{k} \tag{4}$$

$$\mathrm{C1} = \frac{\mathrm{C1}'}{\mathrm{Z}} = \frac{37.93 \times 10^{-6}\mathrm{F}}{8.4\mathrm{k}} = 4.52\mathrm{nF} \tag{5}$$

$$\mathrm{R1} = \mathrm{R1_{normalized}} \times \mathrm{Z} = 1\Omega \times 8.4\mathrm{k} = 8.4\mathrm{k}\Omega \tag{6}$$

$$\mathrm{R2} = \mathrm{R2_{normalized}} \times \mathrm{Z} = 1\Omega \times 8.4\mathrm{k} = 8.4\mathrm{k}\Omega \tag{7}$$

4. 此处为 R1 和 R2 选择了 8.45kΩ 的标准值。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 高通有源滤波器

图 7-7 的上一个低通滤波器电路根据图 7-8 转换为高通有源滤波器。

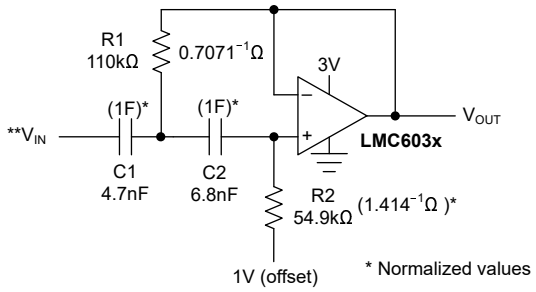


图 7-8. 双极 300Hz Sallen 和 Key 高通滤波器

7.2.3.1 高通频率调节过程

选择一个标准电容器值，并根据所需的截止频率 (300Hz) 调节电路中的阻抗，如下所示：

$$C = C1 = C2 \tag{8}$$

$$Z = \frac{1}{2\pi f_C C} = \frac{1}{2\pi \times 300\text{Hz} \times 6.8\text{nF}} = 78.05\text{k}\Omega \tag{9}$$

$$R1 = Z \times R1_{\text{normalized}} = 78.05\text{k}\Omega \times \frac{1}{0.707} = 110.4\text{k}\Omega \tag{10}$$

此处为 R1 选择了 110kΩ 的标准值。

$$R2 = Z \times R2_{\text{normalized}} = 78.05\text{k}\Omega \times \frac{1}{1.414} = 55.2\text{k}\Omega \tag{11}$$

此处为 R2 选择了 54.9kΩ 的标准值。

Copyright © 2025 Texas Instruments Incorporated

7.2.4 双放大器带通滤波器

双放大器带通 (DABP) 滤波器能够独立调整 f_c 和 Q。在大多数其他带通拓扑中，f_c 和 Q 的调整相互作用。DABP 滤波器还提供对元件值的低灵敏度和高 Q 值。图 7-9 的以下应用提供 1kHz 的中心频率和 100Q。

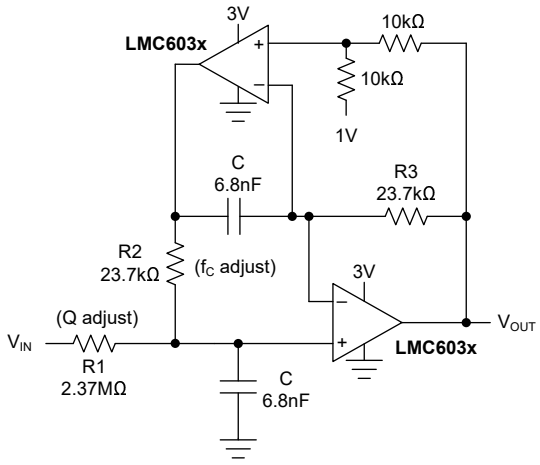


图 7-9. 有源 2 极带通滤波器 (1kHz)

7.2.4.1 DABP 元件选择过程

DABP 滤波器的元件选择执行过程如下：

1. 首先选择一个中心频率 (f_c)。图 7-9 表示的元件值是在中心频率为 1kHz 时通过以下计算得出的。

$$R2 = R3 = \frac{1}{2\pi f_c C} \tag{12}$$

假设 f_c = 1kHz 且 $C_{(chosen)}$ = **6.8nF**：

$$R2 = R3 = \frac{1}{2\pi \times 1\text{kHz} \times 6.8\text{nF}} = 23.4\text{k}\Omega \tag{13}$$

选择标准电阻值 23.7kΩ。

2. 然后，按如下所示计算所需 Q 的 R1 (f_c / BW)：

$$R1 = Q \times R2 \tag{14}$$

Choosing a Q of 100, the resistor R1 can be computed as follows: $R1 = 100 \times 23.7\text{k}\Omega = 2.37\text{M}\Omega$ (15)

Copyright © 2025 Texas Instruments Incorporated

7.3 布局

7.3.1 布局指南

7.3.1.1 适用于高阻抗工作的印刷电路板 (PCB) 布局

任何必须以小于 1000pA 漏电流运行的电路均需要特殊的 PCB 布局。为了充分利用 LMC603x 的超低偏置电流（通常为 < 0.04pA），出色的布局布线至关重要。幸运的是，实现低泄漏的技术相当简单。首先，不要忽略 PCB 的表面泄漏，即使有时表面泄漏并不高，看似可以让人接受。在高湿度、灰尘或污染的情况下，可以察觉到表面泄漏。

为了更大限度降低任何表面泄漏造成的影响，可以环绕 LMC603x 的输入端和连接到运算放大器输入端的电容器、二极管、导体、电阻器、继电器端子等元件的终端，放置一个能够完全覆盖的箔环。另请参阅图 7-14。为了获得显著的效果，请同时在 PCB 的顶部和底部放置防护环。然后，必须将这种 PCB 箔连接到与放大器输入电压相同的电压，这是因为处于相同电位的两个点之间不会有漏电流流动。例如，$10^{12}\,\Omega$ 的 PCB 迹线至焊盘电阻通常可视为高阻值电阻，如果迹线是与输入焊盘相邻的 5V 总线，则该电阻可能会泄漏 5pA 的电流。这种配置可能导致放大器的实际性能下降 100 倍。但是，如果防护环保持在 5mV 的输入内，即使电阻为 $10^{11}\,\Omega$，也仅会产生 0.05pA 的漏电流，或者放大器性能可能会出现轻微的 (2:1) 降级。有关标准运算放大器配置中使用的防护环典型连接，请参阅图 7-10 至图 7-12。如果两个输入都激活且处于高阻抗状态，则防护装置可以接地，并且仍然提供一些保护；另请参阅图 7-13。

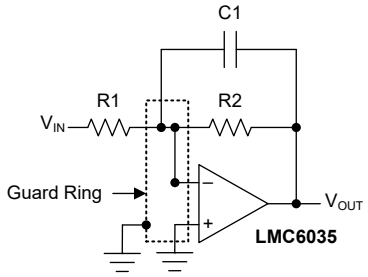


图 7-10. 防护环连接：反相放大器

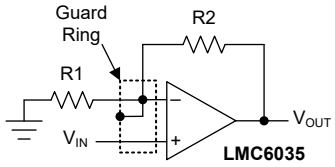


图 7-11. 防护环连接：同相放大器

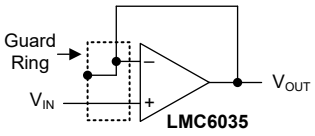


图 7-12. 防护环连接：跟随器

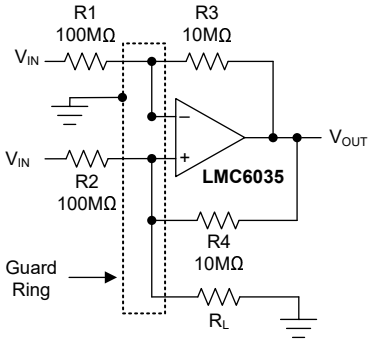


图 7-13. Howland 电流泵

有关高阻抗电路设计和注意事项的更全面的讨论，另请参阅*超低电流测量系统的测量和校准技术*应用手册。

7.3.1.2 DSBGA 注意事项

与其他小型封装不同，DSBGA 封装不符合具有更大热阻的小型封装趋势。与 VSSOP 中的 149.2°C/W 相比，DSBGA 中 LMC6035 的热阻为 103.1°C/W。即使在驱动 600Ω 负载并由 ±7.5V 电源供电的情况下，最高温升也小于 2°C。有关特定于 DSBGA 封装的应用信息，请参阅 *AN-1112 DSBGA 晶圆级芯片级封装* 应用报告。

7.3.2 布局示例

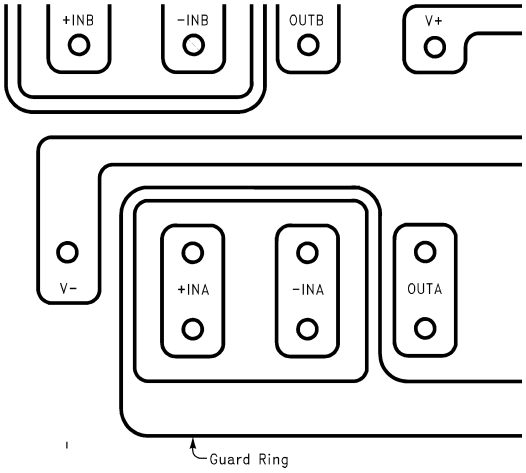


图 7-14. 布局示例：在 PCB 布局中使用 LMC603x 防护环

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.3 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.4 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (April 2013) to Revision H (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将 LMC6035-Q1 移至新文档	1
• 为了清晰起见，更新了 *说明* 文字	1
• 更新了首页图	1
• 添加了采用 RES11 的差分放大器应用图像	1
• 添加了 *引脚配置和功能*	3
• 更新了 *引脚配置和功能* 中的图和表	3
• 向 *绝对最大额定值* 中添加了输入引脚电压	5
• 添加了 *ESD 等级*	5
• 删除了 *ESD 等级* 中的机器放电模型	5
• 添加了“热性能信息”	6
• 更新了结至环境热阻值	6
• 更新了参数名称和符号	7
• 添加了 V+ = 15V 时的输入电压噪声密度规格	7
• 将典型输入电流噪声密度值从 0.2fA/ √Hz 更改为 6fA/ √Hz	7
• 删除了直流 *电气特性* 中的脚注 1 和 2	7
• 将脚注 4 移到了开环增益测试条件中	7
• 删除了交流 *电气特性* 中的脚注 1	7

Copyright © 2025 Texas Instruments Incorporated

- 更新了脚注 2 并将条件移至压摆率测试条件 7
- 将脚注 3 从交流 *电气特性* 条件串扰测试条件中移出 7
- 添加了图 5-3、5-4、5-17 9
- 添加了图 16 和图 17 9
- 添加了 *概述* 16
- 添加了 *功能方框图* 16
- 将 A_{VOL} 改为 A_{OL} 18
- 更新了图 7-7 20
- 更新了图 7-8 21
- 更新了图 7-9 22
- 将公式中 f_c 值从 3kHz 更改为 1kHz 以修正误差 22
- 在适用于高阻抗工作的印刷电路板 (PCB) 布局布线中添加了对 *超低电流测量系统的测量和校准技术* 应用手册的引用 23
- 更新了 *DSBGA 注意事项* 中的热阻信息 24

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6035IM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC60 35IM
LMC6035IMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMM/NOPB.B	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A06B
LMC6035IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LMC60 35IM
LMC6035IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC60 35IM
LMC6035IMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC60 35IM
LMC6035ITL/NOPB	Active	Production	DSBGA (YZR) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035ITL/NOPB.A	Active	Production	DSBGA (YZR) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035ITL/NOPB.B	Active	Production	DSBGA (YZR) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035ITLX/NOPB	Active	Production	DSBGA (YZR) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035ITLX/NOPB.A	Active	Production	DSBGA (YZR) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035ITLX/NOPB.B	Active	Production	DSBGA (YZR) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	A 80
LMC6035YAFR	Active	Production	DSBGA (YAF) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	3I6H
LMC6035YAFR.A	Active	Production	DSBGA (YAF) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	3I6H
LMC6036IMT/NOPB	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	LMC603 6IMT
LMC6036IMTX/NOPB	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6036I, LMC603) 6IMT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6036IMTX/NOPB.A	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6036I, LMC603) 6IMT
LMC6036IMTX/NOPB.B	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6036I, LMC603) 6IMT
LMC6036IMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6036IM
LMC6036IMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6036IM
LMC6036IMX/NOPB.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6036IM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMC6035 :

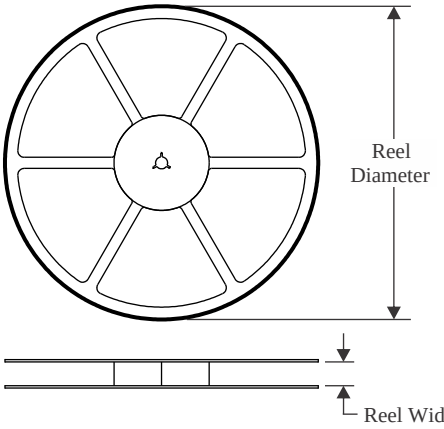
- Automotive : LMC6035-Q1

NOTE: Qualified Version Definitions:

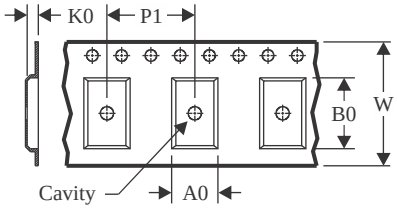
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

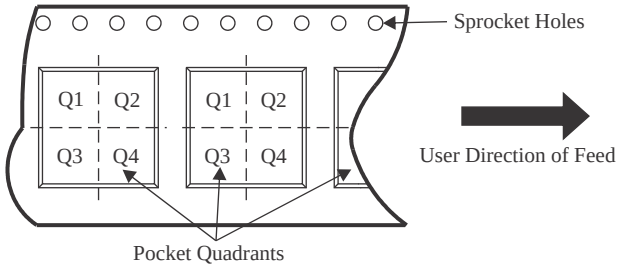


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

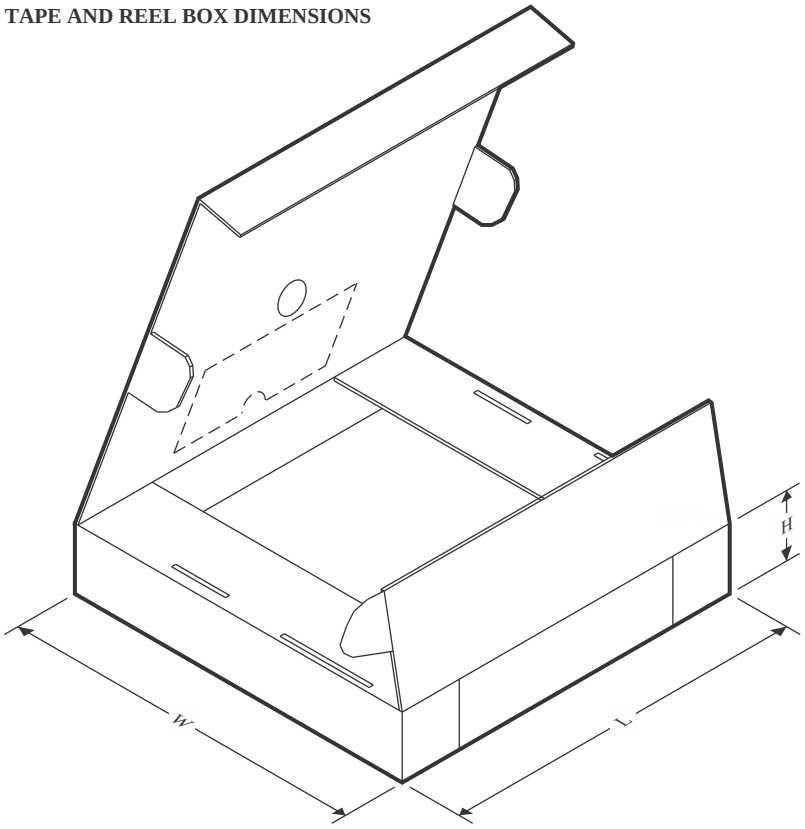
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6035IMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6035IMM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6035IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6035IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6035IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6035IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6035ITL/NOPB	DSBGA	YZR	8	250	178.0	8.4	1.85	2.01	0.76	4.0	8.0	Q1
LMC6035ITLX/NOPB	DSBGA	YZR	8	3000	178.0	8.4	1.85	2.01	0.76	4.0	8.0	Q1
LMC6035YAFR	DSBGA	YAF	8	3000	180.0	8.4	1.89	2.05	0.7	4.0	8.0	Q2
LMC6036IMTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMC6036IMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

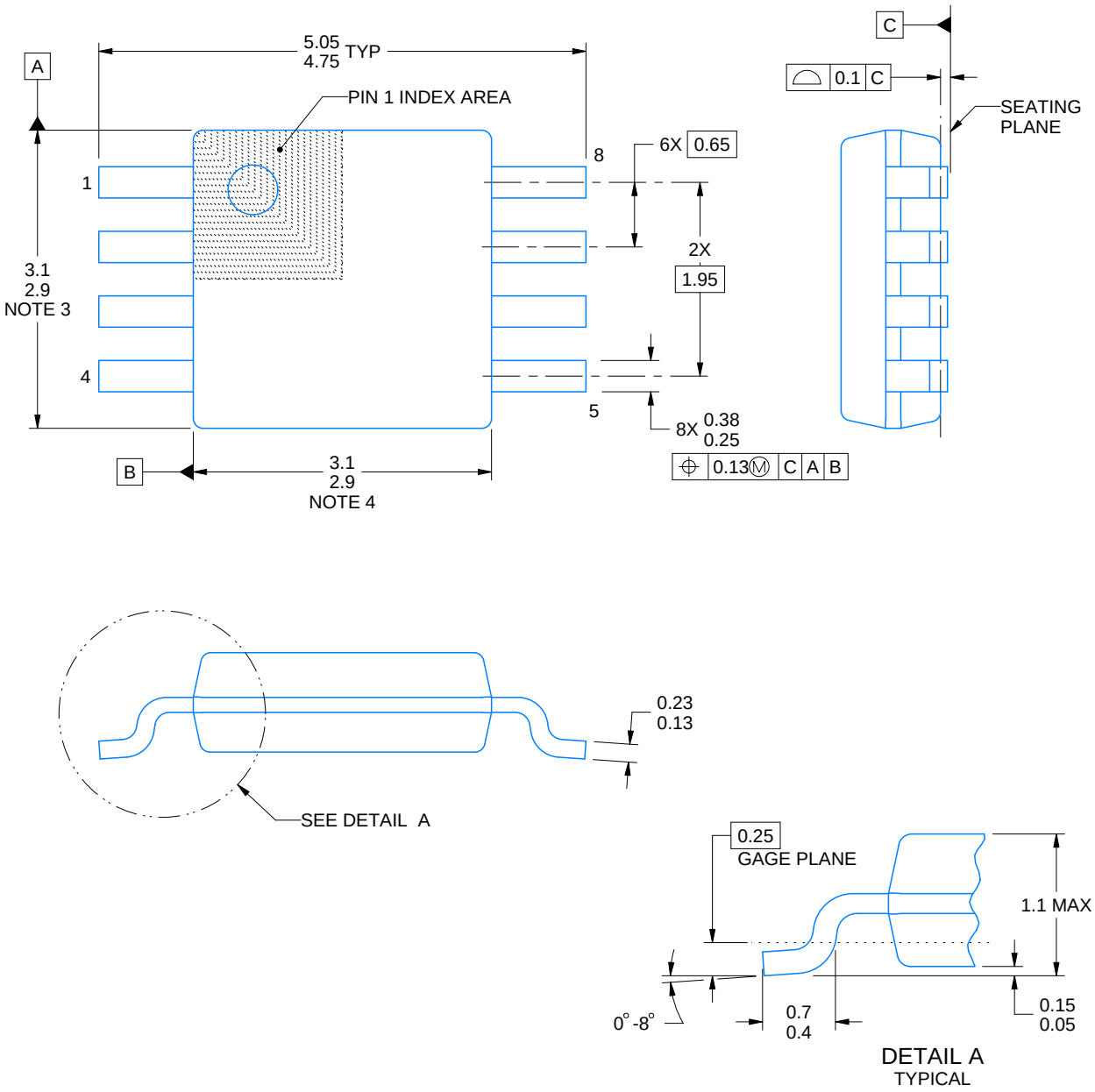
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6035IMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC6035IMM/NOPB	VSSOP	DGK	8	1000	353.0	353.0	32.0
LMC6035IMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6035IMMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMC6035IMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6035IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6035ITL/NOPB	DSBGA	YZR	8	250	208.0	191.0	35.0
LMC6035ITLX/NOPB	DSBGA	YZR	8	3000	208.0	191.0	35.0
LMC6035YAFR	DSBGA	YAF	8	3000	182.0	182.0	20.0
LMC6036IMTX/NOPB	TSSOP	PW	14	2500	353.0	353.0	32.0
LMC6036IMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

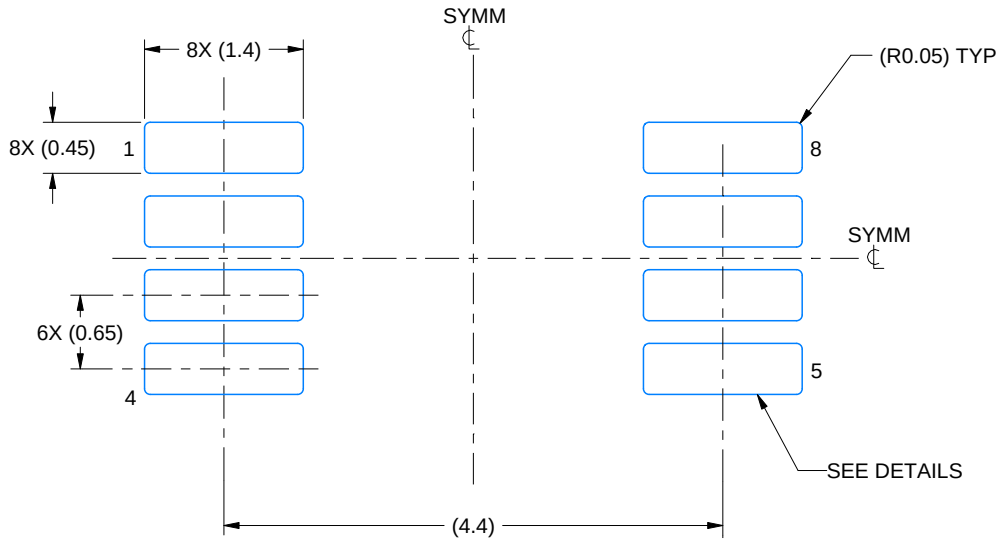
SMALL OUTLINE PACKAGE



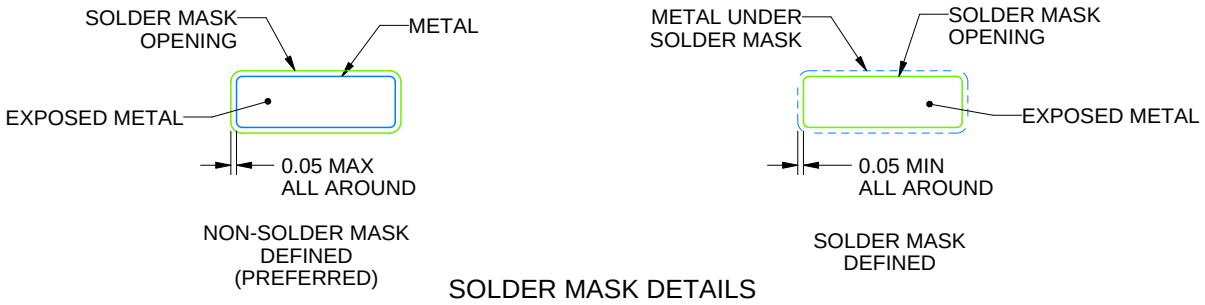
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

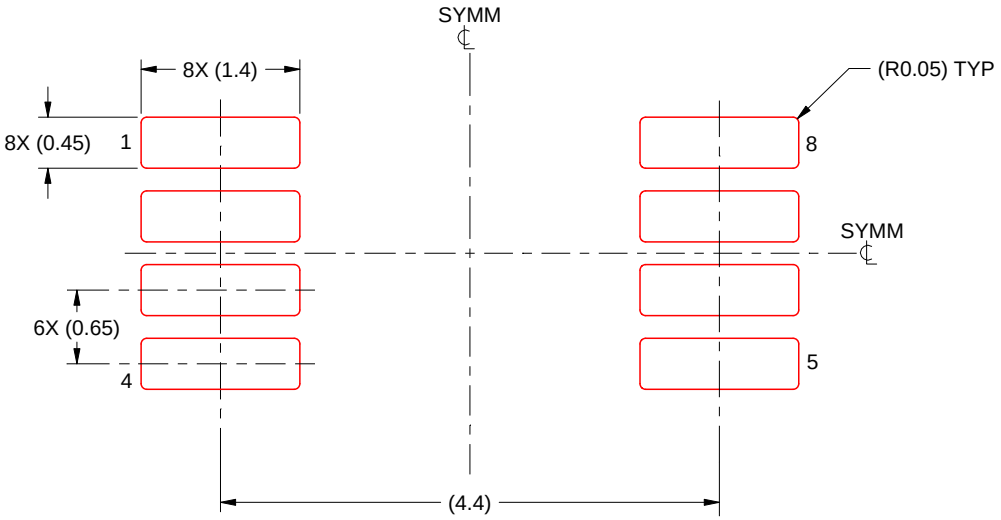


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



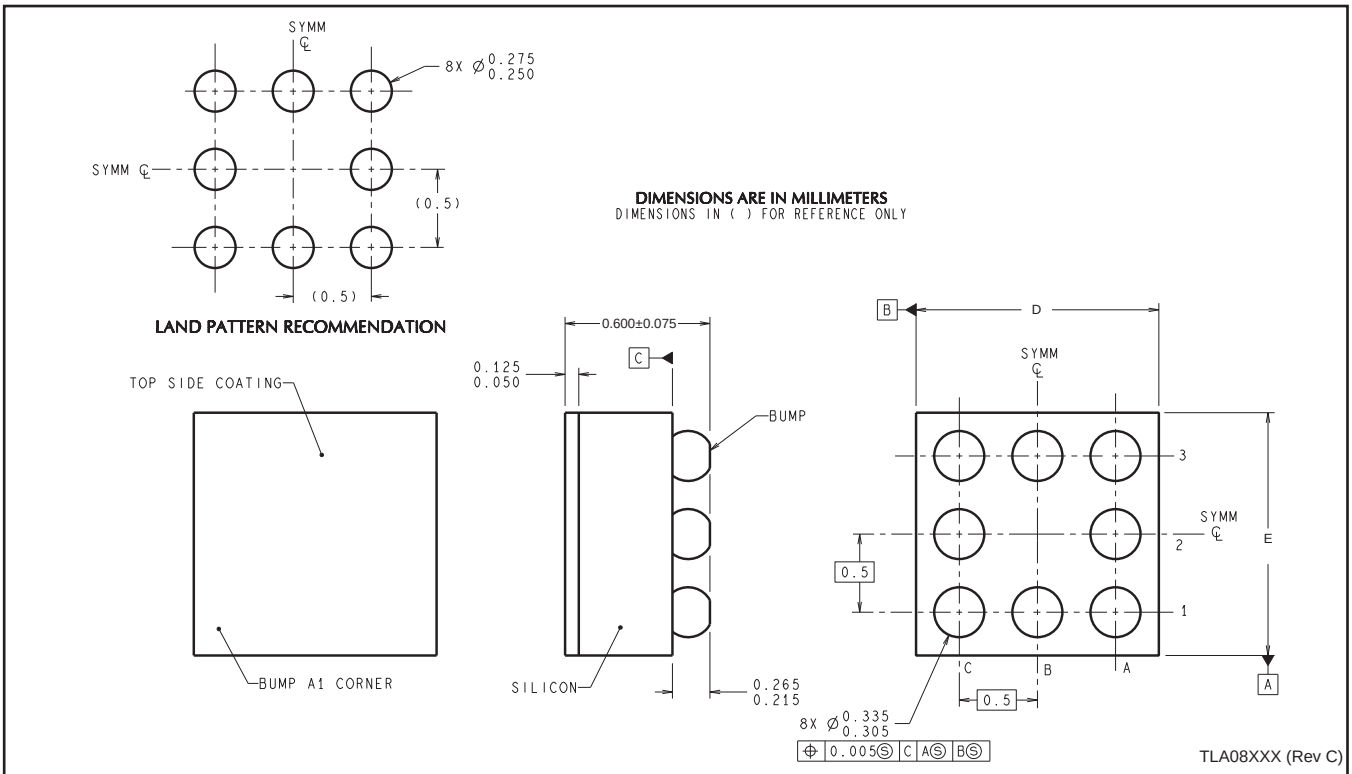
SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

YZR0008

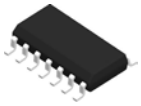


D: Max = 1.921 mm, Min = 1.86 mm

E: Max = 1.768 mm, Min =1.708 mm

4215045/A 12/12

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
B. This drawing is subject to change without notice.

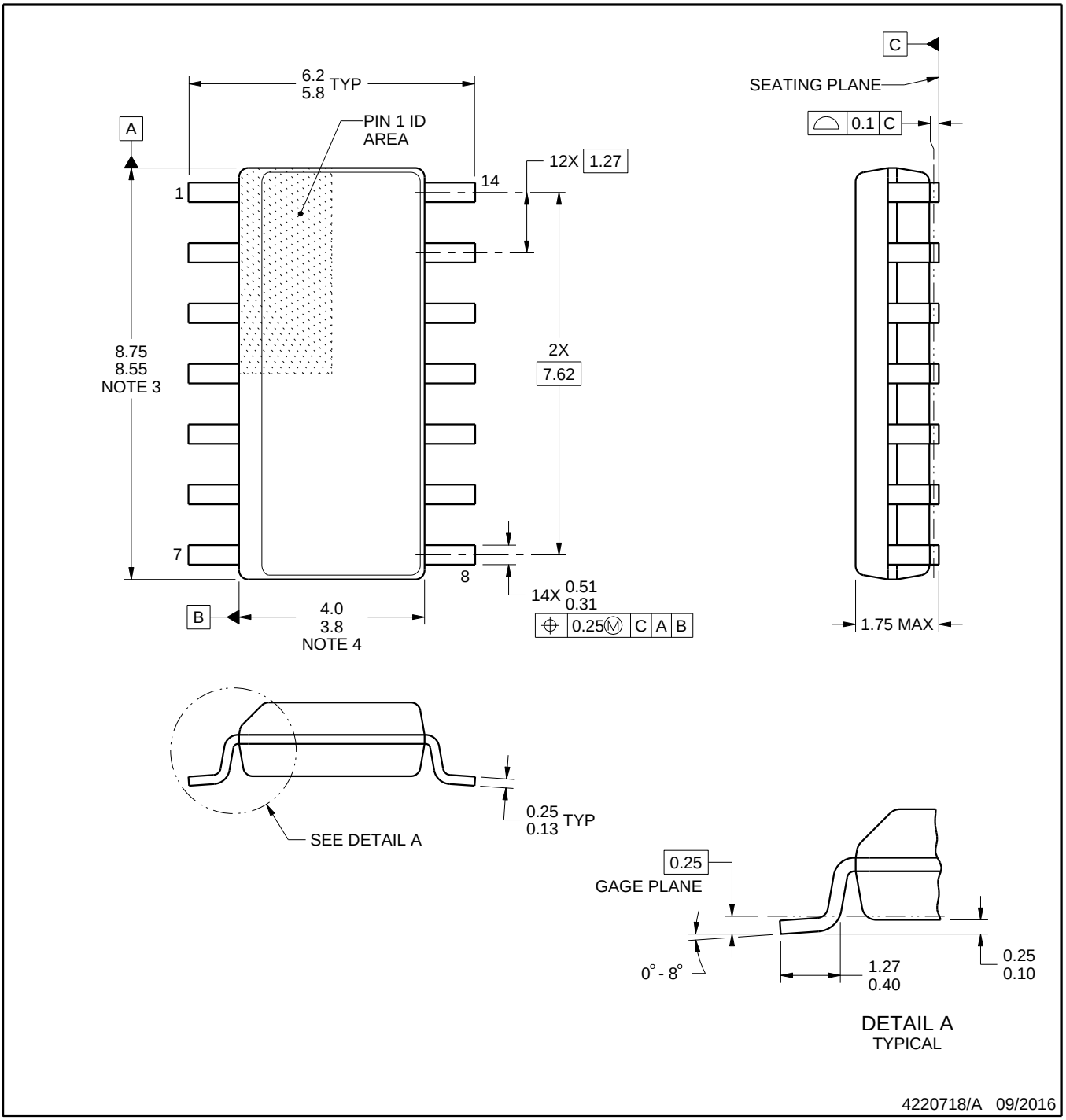


PACKAGE OUTLINE

D0014A

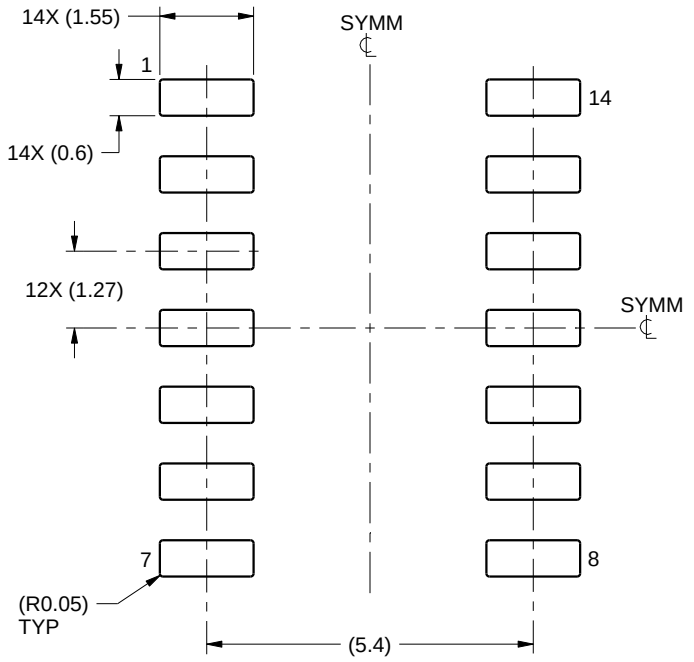
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

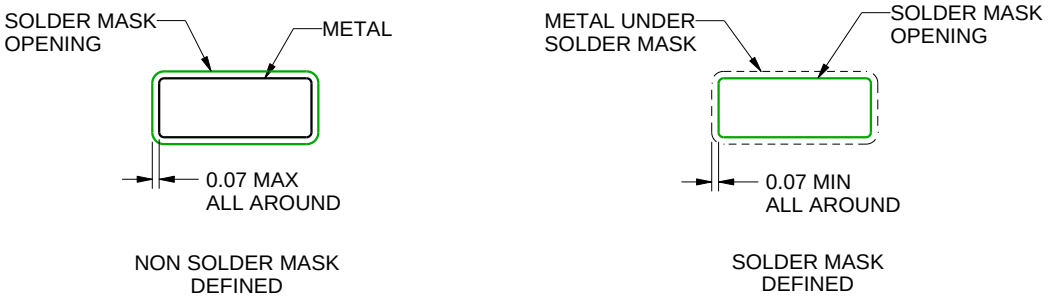


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

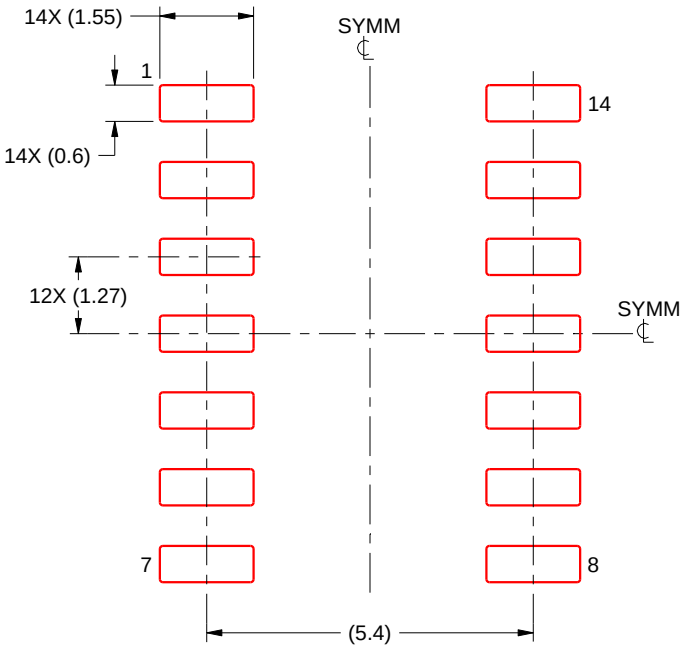
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

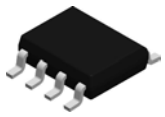


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

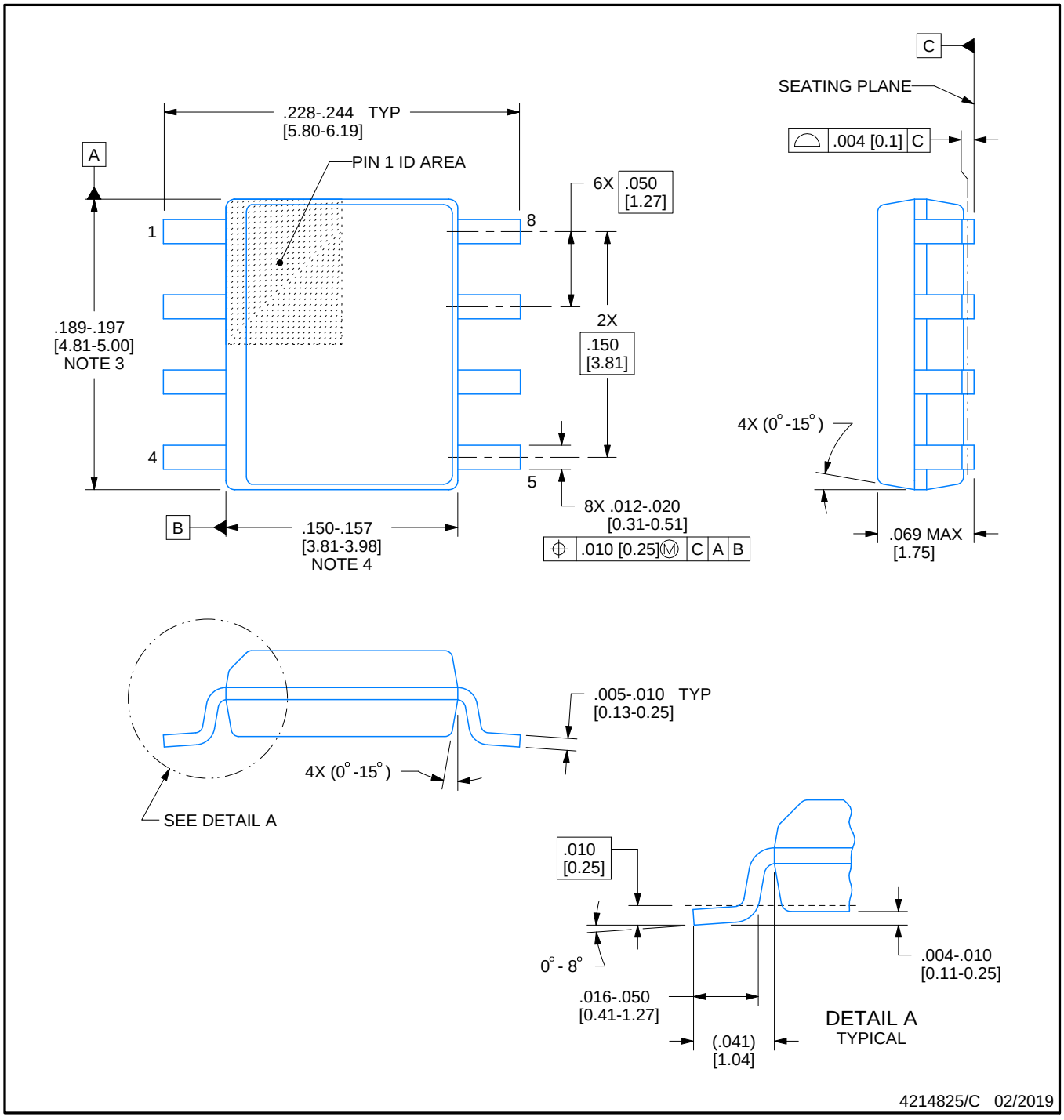


PACKAGE OUTLINE

D0008A

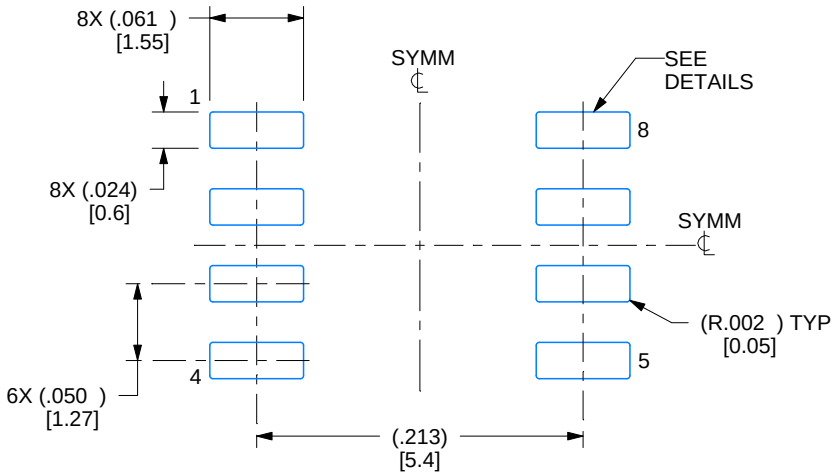
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

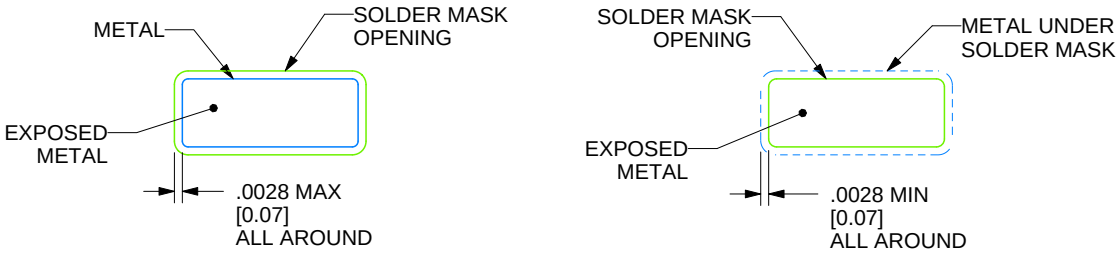


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

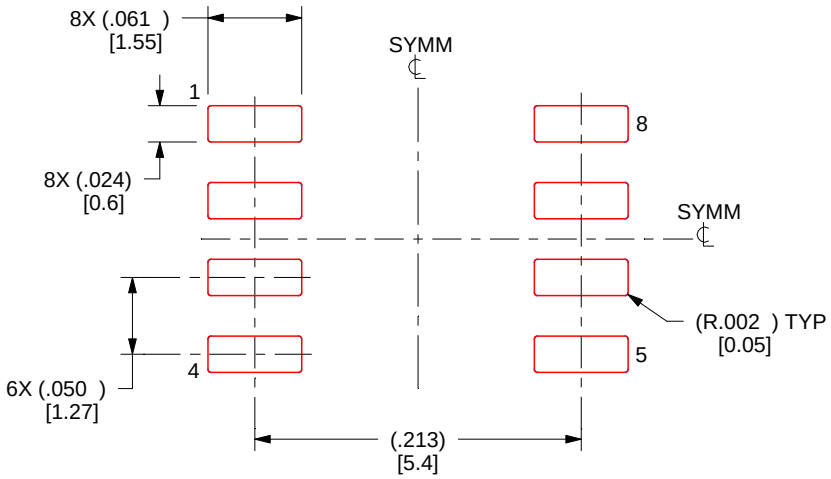
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

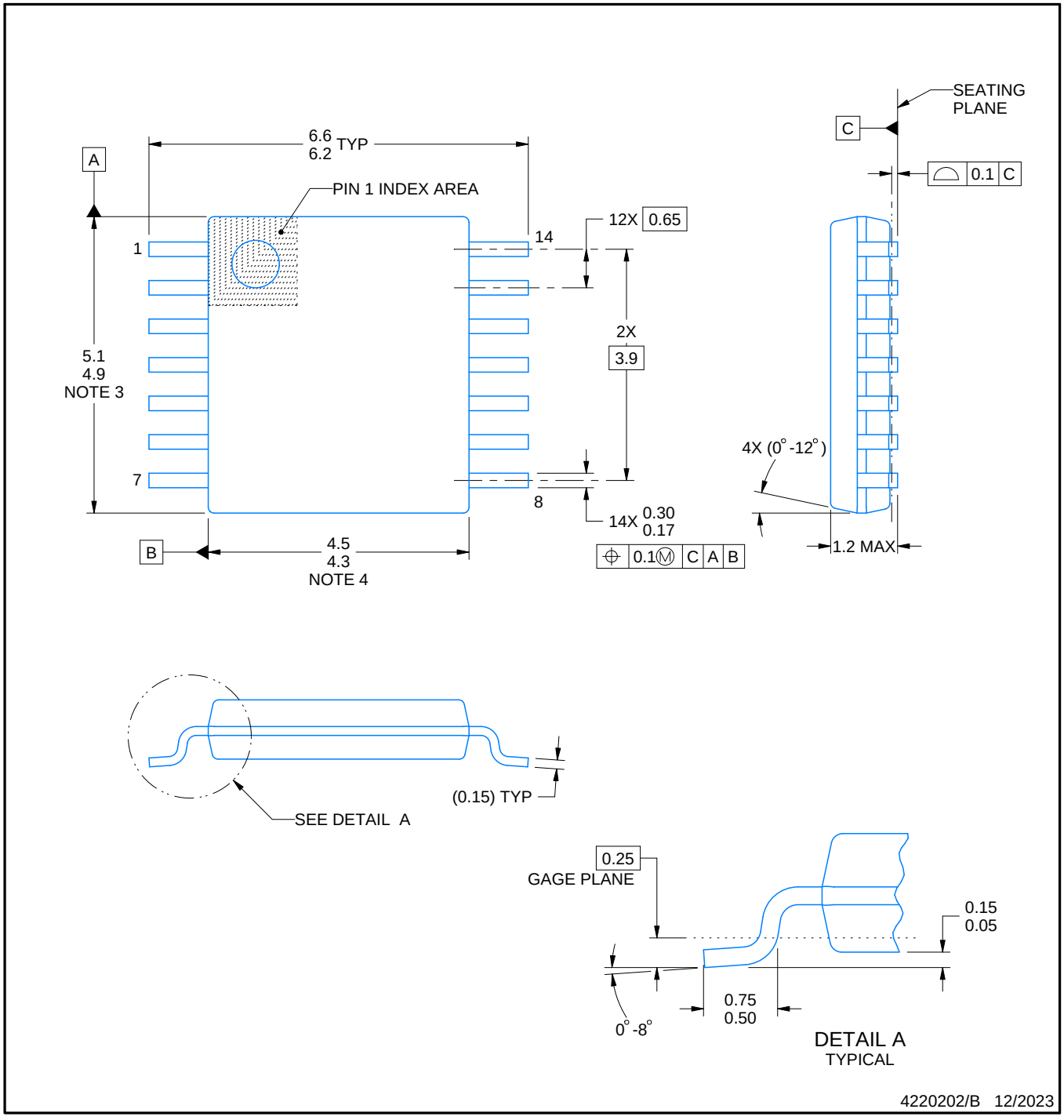
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

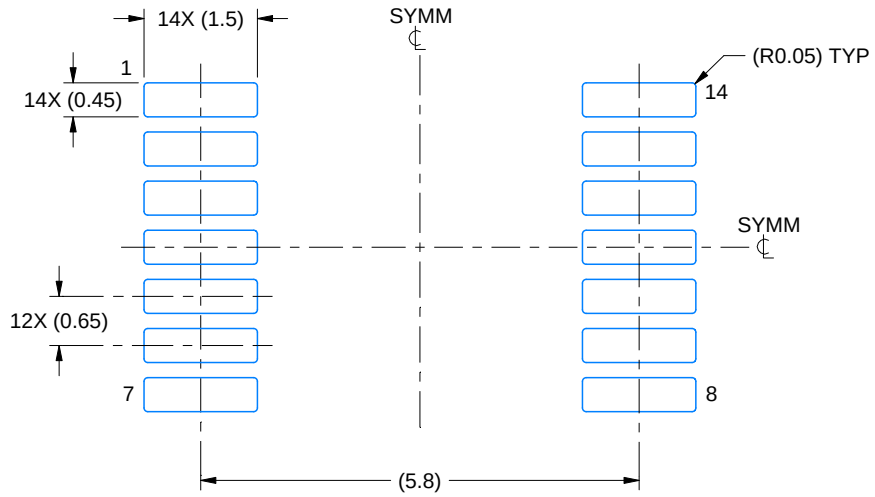
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

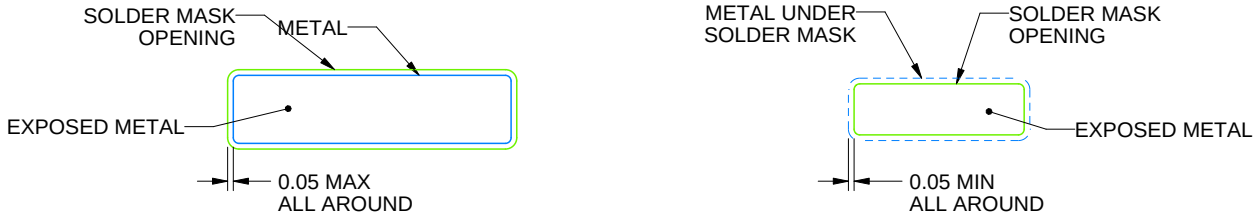


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

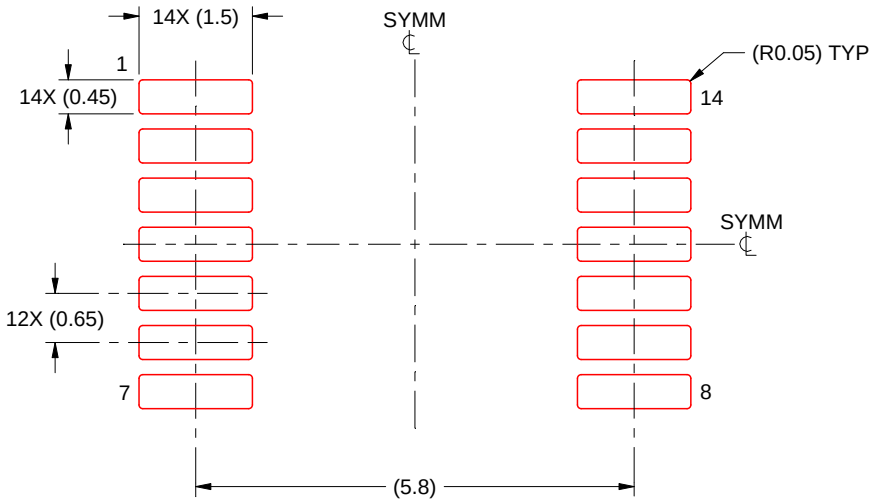


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月