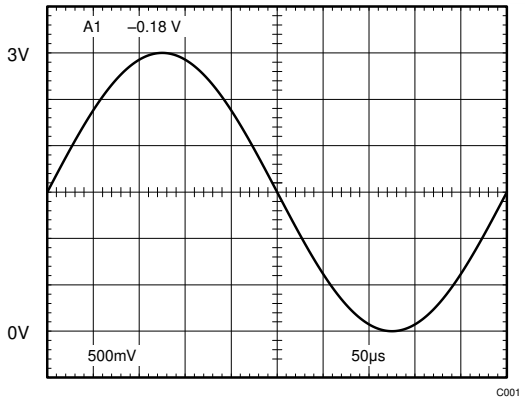
LMC648x CMOS 轨到轨输入和输出运算放大器

1 特性

- 轨到轨输入共模电压范围（额定温度范围）
- 轨到轨输出摆幅（在 20mV 电源轨以内，负载为 100kΩ）
- 在 3V、5V 和 15V 电压下具有额定性能
- 出色的 CMRR 和 PSRR：82dB
- 超低输入电流：20fA
- 适用于 2kΩ 和 600Ω 负载
- 经改进可替代 TLC272、TLC277

2 应用

- 数据采集 (DAQ)
- 点钞机
- 示波器 (DSO)
- 数据中心内部互联（地铁）
- 宏远程无线电单元 (RRU)
- 多参数患者监护仪
- 商用通信电源整流器
- 火车控制和管理
- 过程分析（pH、气体、浓度、力和湿度）
- 三相 UPS



轨到轨输入 (V_S = 3V)

3 说明

LMC6482 和 LMC6484 (LMC648x) 器件能够提供可扩展到两个电源轨的共模范围。这些器件不仅具备轨到轨性能，而且还可借助高 CMRR 提供出色的精度，从而在轨到轨输入放大器中独树一帜。这些器件非常适合需要大输入信号范围的系统，例如数据采集。LMC648x 也是对使用有限共模范围放大器（如 TLC272、TLC274、TLC277 和 TLC279）的电路的出色升级。

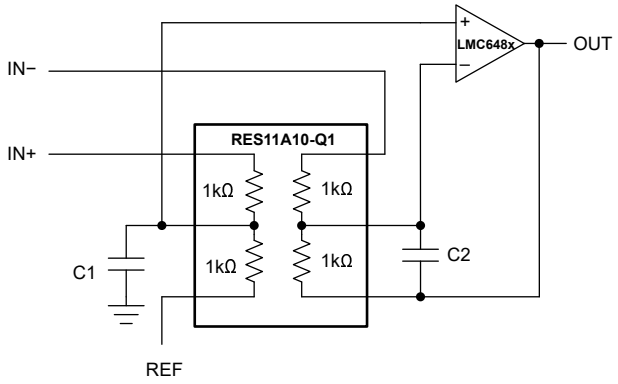
借助 LMC648x 的轨到轨输出摆幅，可在低电压和单电源系统中提供最大动态信号范围。对于低至 600Ω 的器件负载，轨到轨输出摆幅也能得到保证。由于 LMC648x 拥有指定的低电压和低功率耗散，因此特别适合使用电池供电的系统。

LMC648x 器件采用 PDIP、SOIC 和 VSSOP 封装。

器件信息

器件型号	通道数	封装(1)
LMC6482	双通道	D（SOIC，8）
		DGK（VSSOP，8）
		P（PDIP，8）
LMC6484	四通道	D（SOIC，14）
		N（PDIP，14）

(1) 有关更多信息，请参阅节 10。



单位增益差分放大器

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....2
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 LMC6482 热性能信息.....5
5.5 LMC6484 热性能信息.....5
5.6 电气特性：V_S = 5V.....6
5.7 电气特性：V_S = 3V.....9
5.8 典型特性.....10
6 详细说明.....17
6.1 概述.....17
6.2 功能方框图.....17
6.3 特性说明.....17
6.4 器件功能模式.....18
7 应用和实施.....19
7.1 应用信息.....19
7.2 典型应用.....21
7.3 电源相关建议.....28
7.4 布局.....28
8 器件和文档支持.....30
8.1 器件支持.....30
8.2 接收文档更新通知.....31
8.3 支持资源.....31
8.4 商标.....31
8.5 静电放电警告.....31
8.6 术语表.....31
9 修订历史记录.....31
10 机械、封装和可订购信息.....32

4 引脚配置和功能

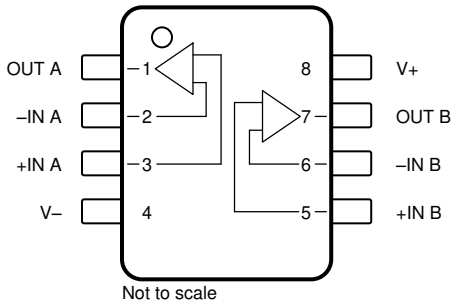


图 4-1. LMC6482：D 封装，8 引脚 SIOIC，DGK 封装，8 引脚 VSSOP 和 P 封装，8 引脚 PDIP（顶视图）

表 4-1. 引脚功能：LMC6482

引脚		类型	说明
编号	名称		
1	OUT A	输出	放大器 A 的输出
2	−IN A	输入	放大器 A 的反相输入
3	+IN A	输入	放大器 A 的同相输入
4	V −	电源	负电源电压输入
5	+IN B	输入	放大器 B 的同相输入
6	−IN B	输入	放大器 B 的反相输入
7	OUT B	输出	放大器 B 的输出
8	V+	电源	正电源电压输入

Copyright © 2024 Texas Instruments Incorporated

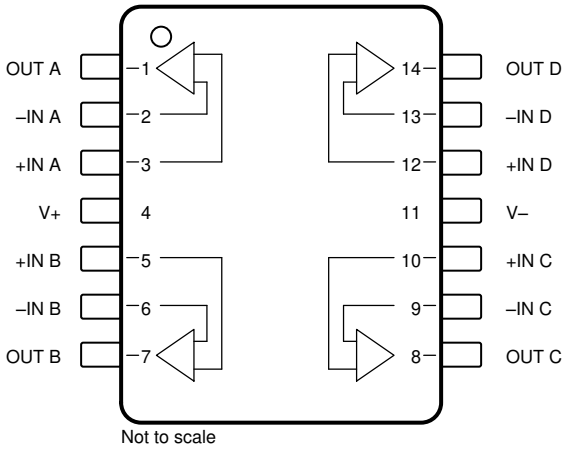


图 4-2. LMC6484：D 封装，14 引脚 SOIC，和 N 封装，14 引脚 PDIP（顶视图）

表 4-2. 引脚功能：LMC6484

引脚		类型	说明
编号	名称		
1	OUT A	输出	放大器 A 的输出
2	−IN A	输入	放大器 A 的反相输入
3	+IN A	输入	放大器 A 的同相输入
4	V+	电源	正电源电压输入
5	+IN B	输入	放大器 B 的同相输入
6	−IN B	输入	放大器 B 的反相输入
7	OUT B	输出	放大器 B 的输出
8	OUT C	输出	放大器 C 的输出
9	−IN C	输入	放大器 C 的反相输入
10	+IN C	输入	放大器 C 的同相输入
11	V –	电源	负电源电压输入
12	+IN C	输入	放大器 D 的反相输入
13	+IN C	输入	放大器 D 的同相输入
14	OUT C	输出	放大器 D 的输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
	差分输入电压		正负电源电压	
	输入/输出引脚电压	(V–) – 0.3	(V+) + 0.3	V
V_S	电源电压，V_S = (V+) – (V–)		16	V
	输入引脚处的电流(3)	-5	5	mA
	输出引脚处的电流(4) (5)	-30	30	mA
	电源引脚处的电流		40	mA
T_J	结温(6)		150	°C
T_{STG}	贮存温度	-65	150	°C
	引线温度（焊接时，10 秒）		260	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果需要军用或航空航天专用器件，请与 TI 销售办公室或经销商联系，以了解供货情况和规格。
(3) 只有当输入电压超过绝对最大额定输入电压时才需要限制输入引脚电流。
(4) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 ±30mA 会对可靠性造成不利影响。
(5) 当 V+ 大于 13V 时，请勿短路输出到 V+，否则会对可靠性造成不利影响。
(6) 最大功率损耗是 $T_{J(max)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下的最大允许功率耗散为 $P_D = (T_{J(max)} - T_A) / \theta_{JA}$。所有数字均适用于直接焊接到印刷电路板 (PCB) 的封装。

5.2 ESD 等级

			值	单位
LMC6482				
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1500	V
LMC6484				
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	3		15.5	V
T_J	结温	-40		85	℃

Copyright © 2024 Texas Instruments Incorporated

5.4 LMC6482 热性能信息

热指标(1)		LMC6482			单位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	128.9	169.5	76.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	68.6	60.9	65.6	°C/W
$R_{\theta JB}$	结至电路板热阻	72.4	91.2	52.7	°C/W
ψ_{JT}	结至顶部特征参数	19.7	8.3	35.3	°C/W
ψ_{JB}	结至电路板特征参数	71.6	89.6	52.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 LMC6484 热性能信息

热指标(1)		LMC6484		单位
		D (SOIC)	N (PDIP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	83.0	53.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	42.7	32.0	°C/W
$R_{\theta JB}$	结至电路板热阻	42.4	26.0	°C/W
ψ_{JT}	结至顶部特征参数	7.0	10.0	°C/W
ψ_{JB}	结至电路板特征参数	42.0	25.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性：V_S = 5V

在 T_J = +25°C、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
直流规格							
V_{OS}	输入失调电压	LMC648xAI			±0.11	±0.75	mV
			T_A = -40°C 至 +85°C			±1.35	
		LMC648xI			±0.11	±3	
			T_A = -40°C 至 +85°C			±3.7	
dV_{OS}/dT	输入失调电压温漂	T_A = -40°C 至 +85°C			±1		µV/°C
I_B	输入偏置电流				±0.02		pA
		T_A = -40°C 至 +85°C				±4	
I_{OS}	输入失调电流				±0.01		pA
		T_A = -40°C 至 +85°C				±2	
C_{IN}	共模输入电容				3		pF
R_{IN}	输入电阻				10		TΩ
CMRR	共模抑制比	LMC648xAI 0V ≤ V_{CM} ≤ 15V，V+ = 15V		70	82		dB
			T_A = -40°C 至 +85°C	67			
		LMC648xI 0V ≤ V_{CM} ≤ 15V，V+ = 15V		65	82		
			T_A = -40°C 至 +85°C	62			
		LMC648xAI 0V ≤ V_{CM} ≤ 5V，V+ = 5V		70	82		
			T_A = -40°C 至 +85°C	67			
		LMC648xI 0V ≤ V_{CM} ≤ 5V，V+ = 5V		60	82		
			T_A = -40°C 至 +85°C	58			
+PSRR	正电源抑制比	LMC648xAI 5V ≤ V+ ≤ 15V，V– = 0V， V_O = 2.5V		70	82		dB
			T_A = -40°C 至 +85°C	67			
		LMC648xI 5V ≤ V+ ≤ 15V，V– = 0V， V_O = 2.5V		65	82		
			T_A = -40°C 至 +85°C	62			
–PSRR	负电源抑制比	LMC648xAI –5V ≤ V– ≤ –15V，V+ = 0V， V_O = –2.5V		70	82		dB
			T_A = -40°C 至 +85°C	67			
		LMC648xI –5V ≤ V– ≤ –15V，V+ = 0V， V_O = –2.5V		65	82		
			T_A = -40°C 至 +85°C	62			
V_{CM}	输入共模电压	V+ = 5V 和 15V （当 CMRR ≥ 50dB 时）	低		(V–) – 0.3	-0.25	V
			低电平，T_A = –40°C 至 +85°C			0	
			高	(V+) + 0.25	(V+) + 0.3		
			高电平，T_A = –40°C 至 +85°C	(V+)			

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性：V_S = 5V （续）

在 T_J = +25°C、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
A_V	大信号电压增益	LMC648xAI 拉电流，R_L = 2kΩ（连接至 7.5V）， V+ = 15V，7.5V ≤ V_O ≤ 11.5V		140	666		V/mV
			T_A = -40°C 至 +85°C	84			
		LMC648xI 拉电流，R_L = 2kΩ（连接至 7.5V）， V+ = 15V，7.5V ≤ V_O ≤ 11.5V		120	666		
			T_A = -40°C 至 +85°C	72			
		LMC648xAI 灌电流，R_L = 2kΩ（连接至 7.5V）， V+ = 15V，3.5V ≤ V_O ≤ 7.5V		35	75		
			T_A = -40°C 至 +85°C	20			
		LMC648xI 灌电流，R_L = 2kΩ（连接至 7.5V）， V+ = 15V，3.5V ≤ V_O ≤ 7.5V		35	75		
			T_A = -40°C 至 +85°C	20			
		LMC648xAI 拉电流，R_L = 600Ω（连接至 7.5V）， V+ = 15V，7.5V ≤ V_O ≤ 11.5V		80	300		
			T_A = -40°C 至 +85°C	48			
		LMC648xI 拉电流，R_L = 600Ω（连接至 7.5V）， V+ = 15V，7.5V ≤ V_O ≤ 11.5V		50	300		
			T_A = -40°C 至 +85°C	30			
		LMC648xAI 灌电流，R_L = 600Ω（连接至 7.5V）， V+ = 15V，3.5V ≤ V_O ≤ 7.5V		20	35		
			T_A = -40°C 至 +85°C	13			
		LMC648xI 灌电流，R_L = 600Ω（连接至 7.5V）， V+ = 15V，3.5V ≤ V_O ≤ 7.5V		15	35		
			T_A = -40°C 至 +85°C	10			
V_O	电源轨的电压输出摆幅	V+ = 5V，R_L = 2kΩ（连接至 V+ / 2）	摆幅高	4.8	4.9		V
			摆幅高， T_A = –40°C 至 +85°C	4.7			
			摆幅低		0.1	0.18	
			摆幅低， T_A = –40°C 至 +85°C			0.24	
		V+ = 5V，R_L = 600Ω（连接至 V+ / 2）	摆幅高	4.5	4.7		
			摆幅高， T_A = –40°C 至 +85°C	4.24			
			摆幅低		0.3	0.5	
			摆幅低， T_A = –40°C 至 +85°C			0.65	
		V+ = 15V，R_L = 2kΩ（连接至 V+ / 2）	摆幅高	14.4	14.7		
			摆幅高， T_A = –40°C 至 +85°C	14.2			
			摆幅低		0.16	0.32	
			摆幅低， T_A = –40°C 至 +85°C			0.45	
		V+ = 15V，R_L = 600Ω（连接至 V+ / 2）	摆幅高	13.4	14.1		
			摆幅高， T_A = –40°C 至 +85°C	13			
			摆幅低		0.5	1	
			摆幅低， T_A = –40°C 至 +85°C			1.3	

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性：V_S = 5V （续）

在 T_J = +25°C、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{SC}	输出短路电流	V+= 5V，拉电流，V_O = 0V		16	20		mA
			T_A = -40°C 至 +85°C	12			
		V+ = 5V，灌电流，V_O = 5V		11	15		
			T_A = -40°C 至 +85°C	9.5			
		V+= 15V，拉电流，V_O = 0V		28	30		
			T_A = -40°C 至 +85°C	22			
		V+ = 15V，灌电流，V_O = 12V(1)		30	30		
			T_A = -40°C 至 +85°C	24			
I_S	电源电流	每个放大器，V+= 5V，V_O = V+ / 2			0.5	0.7	mA
			T_A = -40°C 至 +85°C			0.9	
		每个放大器，V+= 15V，V_O = V+ / 2	LMC6482		0.65	0.8	
			LMC6484		0.65	0.75	
			T_A = -40°C 至 +85°C			0.95	
交流规格							
SR	压摆率(2)	LMC648xAI V+ = 15V，10V 阶跃		1	1.3		V/μs
			T_A = -40°C 至 +85°C	0.7			
		LMC648xI V+ = 15V，10V 阶跃		0.9	1.3		
			T_A = -40°C 至 +85°C	0.63			
GBW	增益带宽	V+ = 15V			1.5		MHz
Θ_m	相位裕度				50		度
G_m	增益裕度				15		dB
	放大器到放大器隔离	V+ = 15V，R_L = 100kΩ（连接至 7.5V），V_O = $12V_{PP}$，f = 1kHz			150		dB
e_n	输入基准电压噪声	f = 1kHz、V_{CM} = 1V			37		nV/√Hz
i_n	输入电流噪声密度	f = 1kHz			0.03		pA/√Hz
THD	总谐波失真	f = 10kHz，A_V = –2，R_L = 10kΩ	V_O = $8.5V_{PP}$		0.01		%
			V+ = 10V，V_O = $4.1V_{PP}$		0.01		

(1) 当 V+ 大于 13V 时，请勿短路输出到 V+，否则会对可靠性造成不利影响。
(2) 根据多个批次的器件组装工作台系统测量值建立的规范。指定的数字是正压摆率和负压摆率中较低的值。

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性：V_S = 3V

在 T_J = +25°C、V+ = 3V、V– = 0V、V_{CM} = V_{OUT} = V+ / 2 和 R_L > 1MΩ 条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
直流规格							
V_{OS}	输入失调电压	LMC648xAI			±0.9	±2	mV
			T_A = -40°C 至 +85°C			±2.7	
		LMC648xI			±0.9	±3	
			T_A = -40°C 至 +85°C			±3.7	
dV_{OS}/dT	输入失调电压温漂	T_A = -40°C 至 +85°C			±2		µV/°C
I_B	输入偏置电流				±0.02		pA
I_{OS}	输入失调电流				±0.01		pA
CMRR	共模抑制比	0V < V_{CM} < 3V	LMC648xAI	60	74		dB
			LMC648xI	55	74		
PSRR	电源抑制比	3V < V+ < 15V，V– = 0V	LMC648xAI	68	80		dB
			LMC648xI	60	80		
V_{CM}	输入共模电压	当 CMRR ≥ 50dB 时	低		(V–) – 0.25	0	V
			高	(V+)	(V+) + 0.25		
V_O	电源轨的电压输出摆幅	R_L = 2kΩ（连接至 V+ / 2）	摆幅高		2.8		V
			摆幅低		0.2		
		R_L = 600Ω（连接至 V+ / 2）	摆幅高	2.5	2.7		
			摆幅低		0.37	0.6	
I_S	电源电流	（每个放大器）	LMC6482		0.4125	0.6	mA
			LMC6484		0.4125	0.625	
			T_A = -40°C 至 +85°C			0.75	
交流规格							
SR	压摆率(1)	电压跟随器与 2V 阶跃输入连接			0.9		V/µs
GBW	增益带宽				1		MHz
THD	总谐波失真	f = 10kHz，A_V = –2，R_L = 10kΩ，V_O = $2V_{PP}$			0.02		%

(1) 指定的数字是正压摆率和负压摆率中较低的值。

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

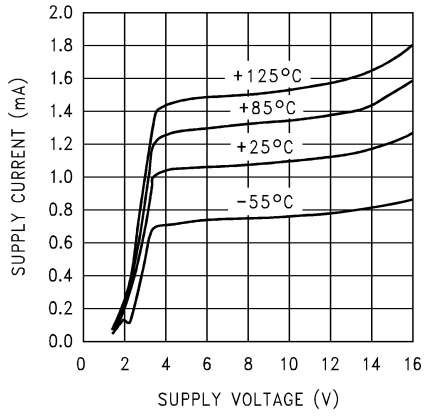


图 5-1. 电源电流与电源电压间的关系

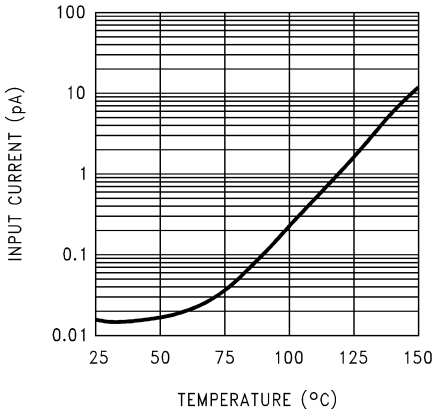


图 5-2. 输入电流与温度间的关系

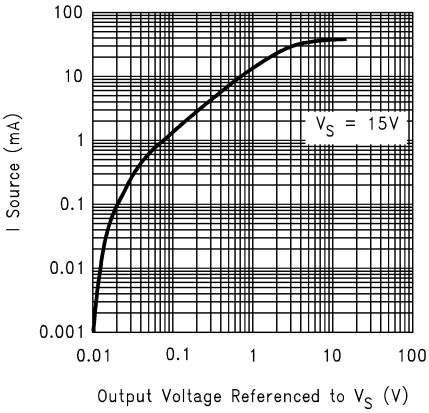


图 5-3. 拉电流与输出电压之间的关系

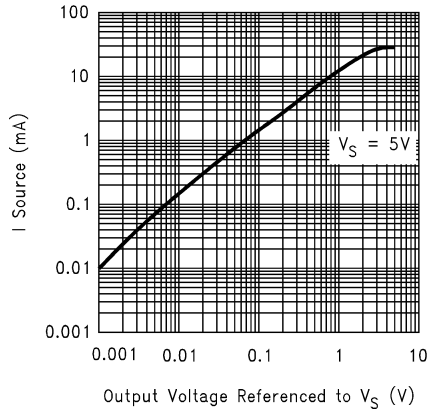


图 5-4. 拉电流与输出电压之间的关系

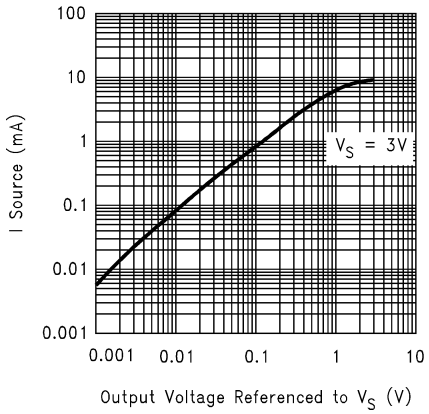


图 5-5. 拉电流与输出电压之间的关系

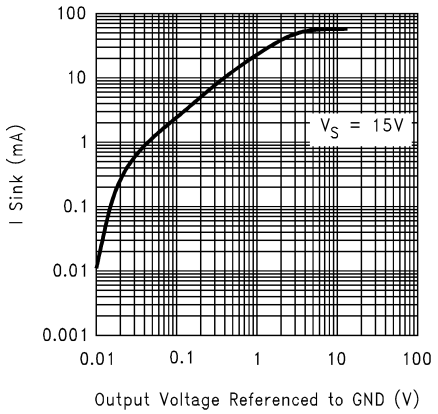


图 5-6. 灌电流与输出电压间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

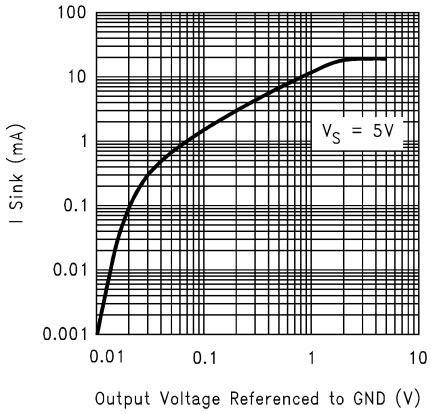


图 5-7. 灌电流与输出电压间的关系

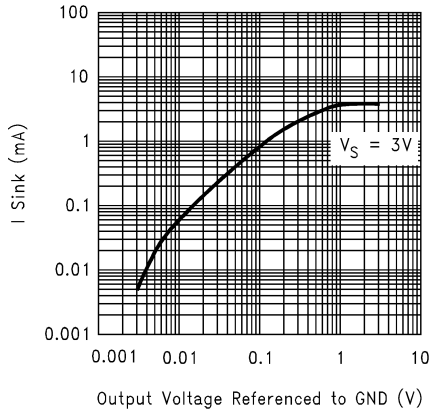


图 5-8. 灌电流与输出电压间的关系

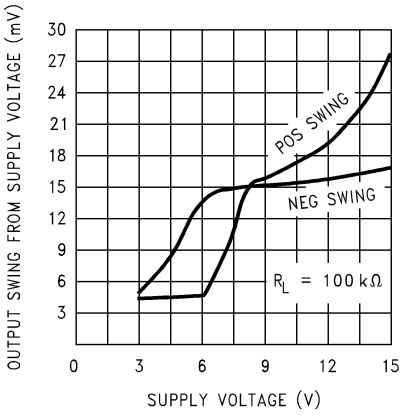


图 5-9. 输出电压摆幅与电源电压之间的关系

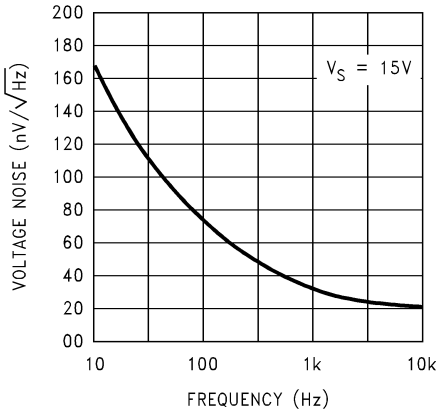


图 5-10. 输入电压噪声与频率间的关系

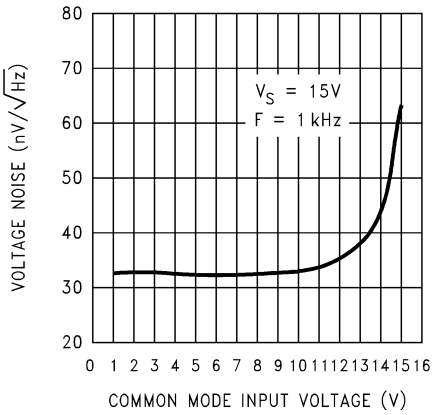


图 5-11. 输入电压噪声与输入电压间的关系

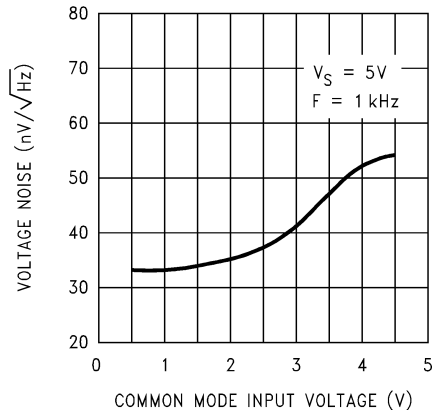


图 5-12. 输入电压噪声与输入电压间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

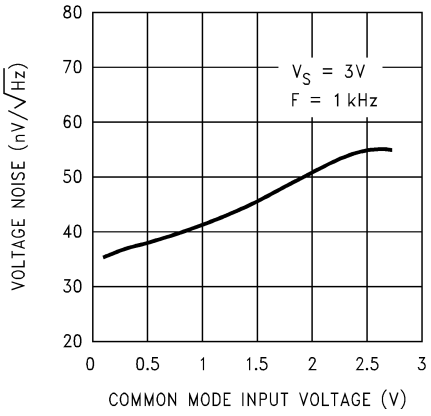


图 5-13. 输入电压噪声与输入电压间的关系

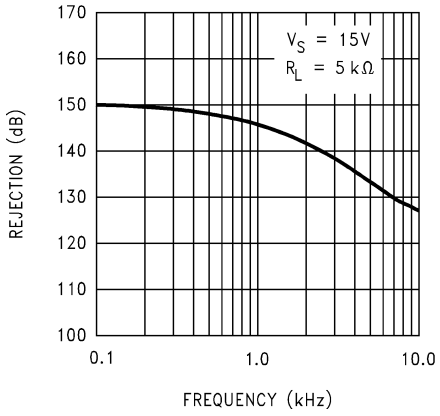


图 5-14. 串扰抑制与频率之间的关系

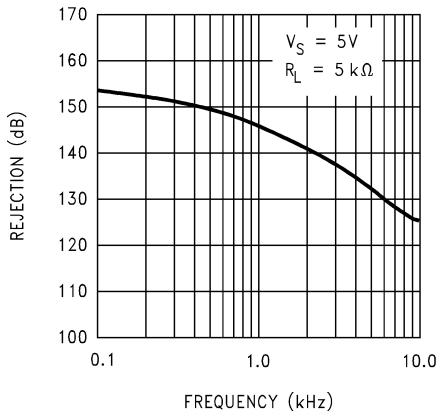


图 5-15. 串扰抑制与频率之间的关系

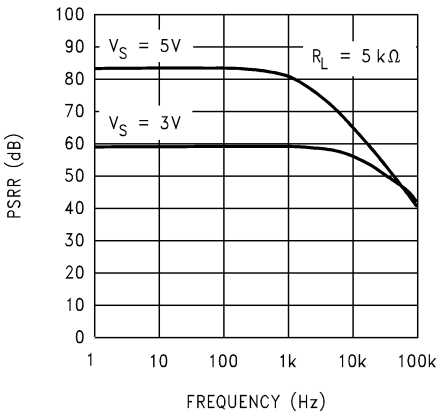


图 5-16. 正 PSRR 与频率间的关系

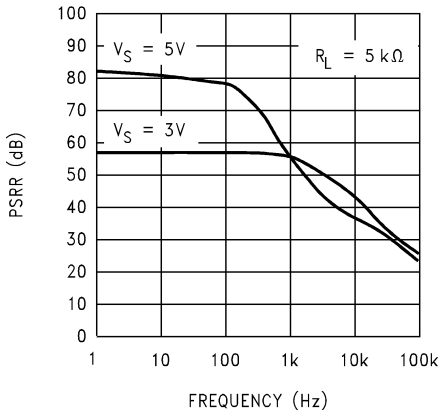


图 5-17. 负 PSRR 与频率间的关系

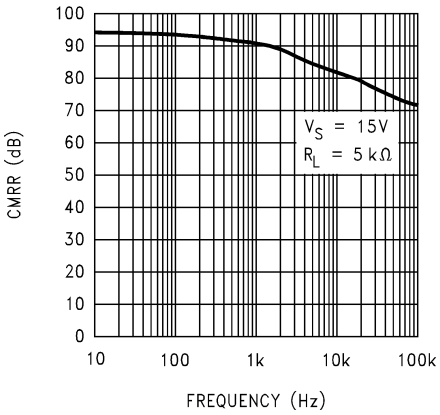


图 5-18. CMRR 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

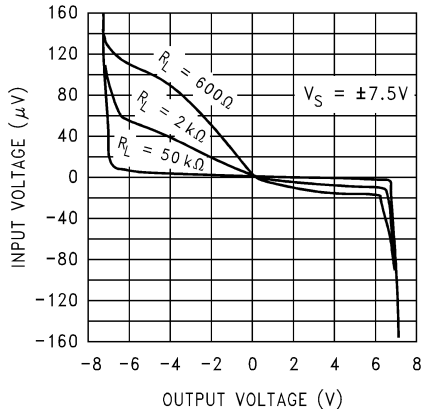


图 5-19. 输入电压与输出电压之间的关系

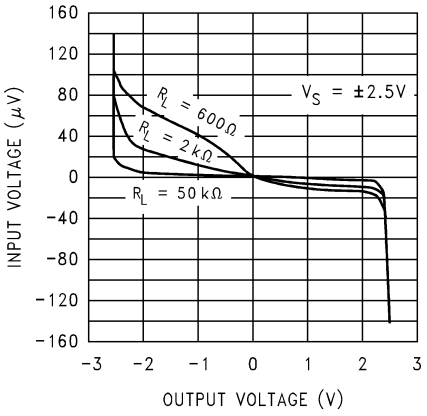


图 5-20. 输入电压与输出电压之间的关系

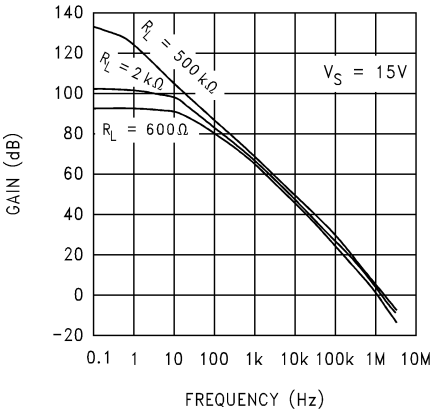


图 5-21. 开环频率响应

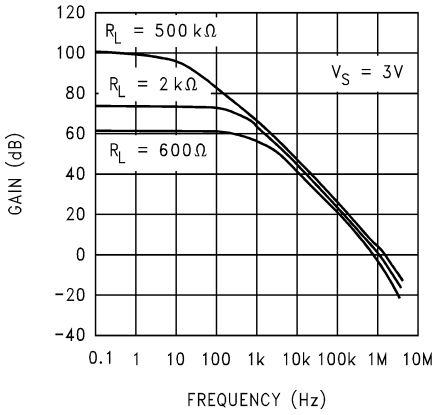


图 5-22. 开环频率响应

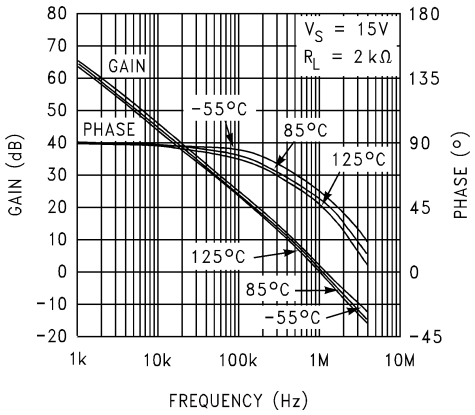


图 5-23. 开环频率响应与温度间的关系

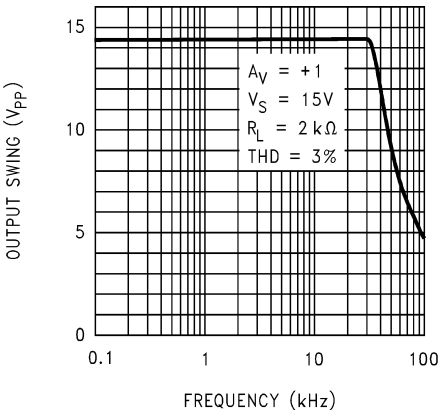


图 5-24. 最大输出摆幅与频率间的关系

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

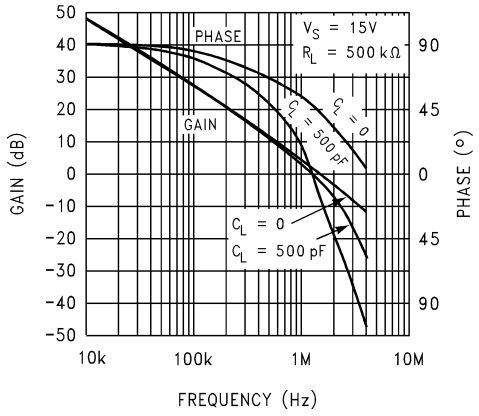


图 5-25. 增益和相位与容性负载之间的关系

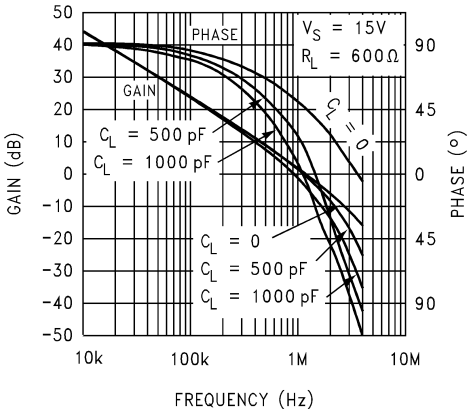


图 5-26. 增益和相位与容性负载之间的关系

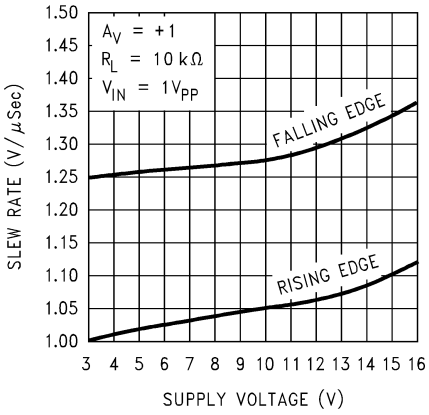


图 5-27. 压摆率与电源电压间的关系

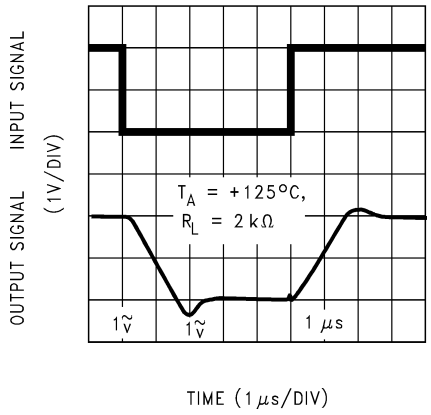


图 5-28. 同相大信号脉冲响应

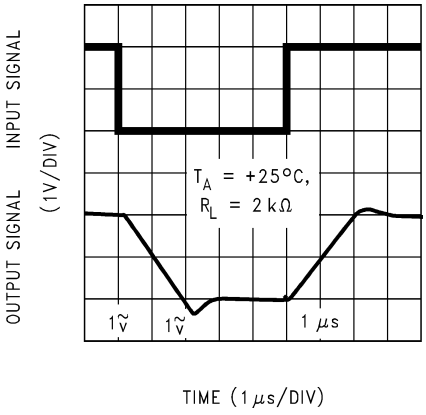


图 5-29. 同相大信号脉冲响应

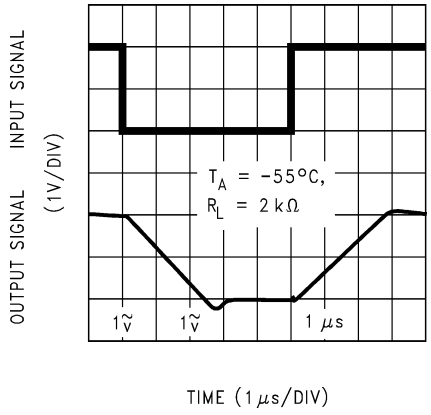


图 5-30. 同相大信号脉冲响应

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

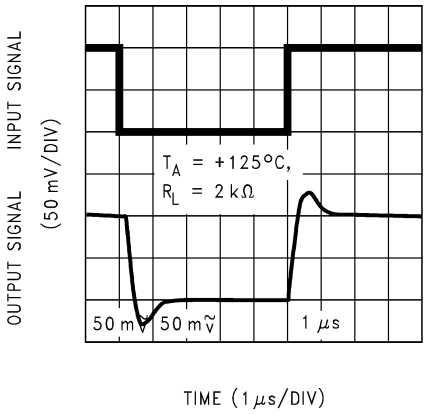


图 5-31. 同相小信号脉冲响应

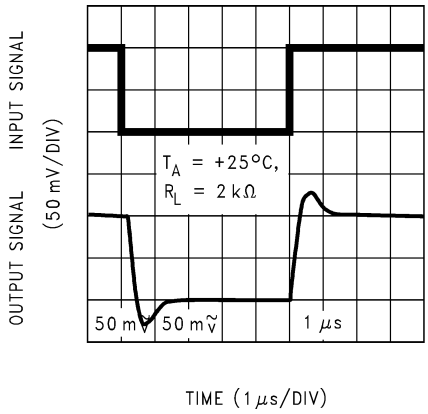


图 5-32. 同相小信号脉冲响应

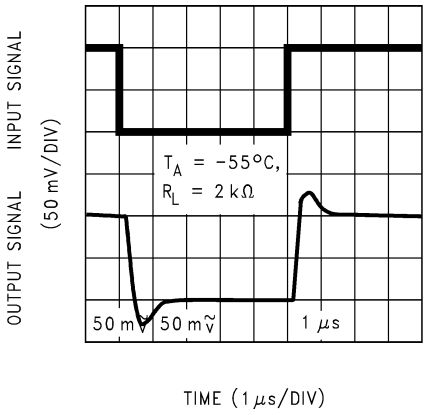


图 5-33. 同相小信号脉冲响应

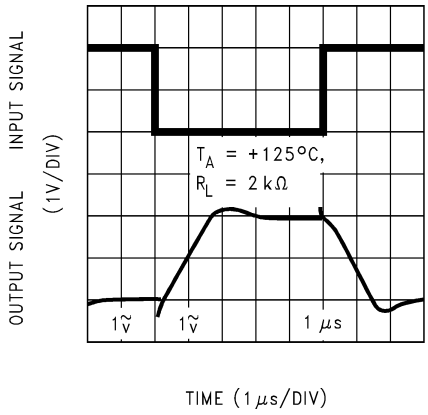


图 5-34. 反相大信号脉冲响应

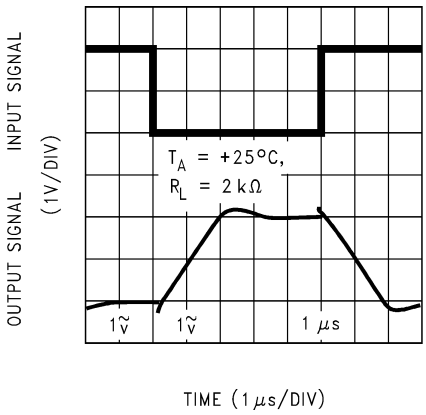


图 5-35. 反相大信号脉冲响应

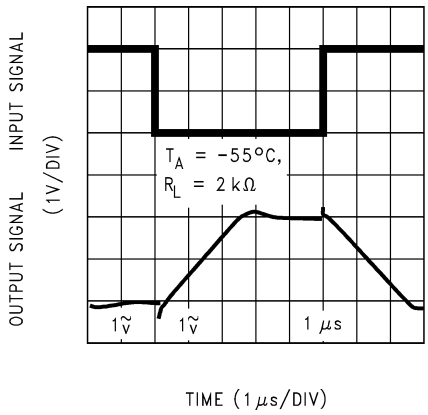


图 5-36. 反相大信号脉冲响应

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

V_S = 15V，单电源，且 T_A = 25°C（除非另有说明）

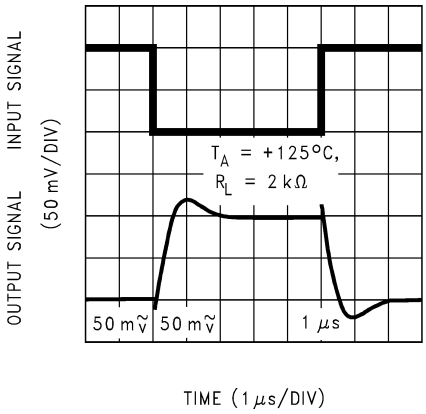


图 5-37. 反相小信号脉冲响应

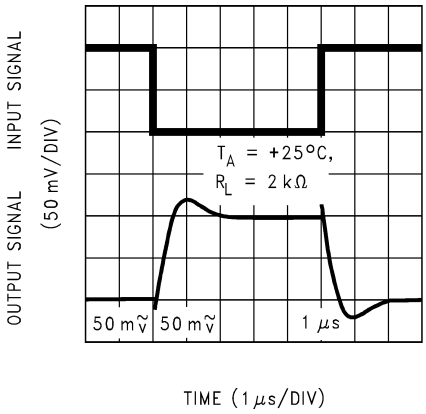


图 5-38. 反相小信号脉冲响应

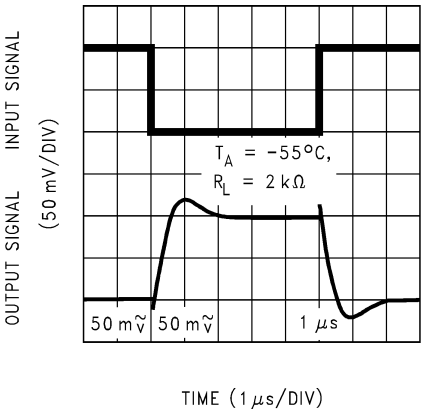


图 5-39. 反相小信号脉冲响应

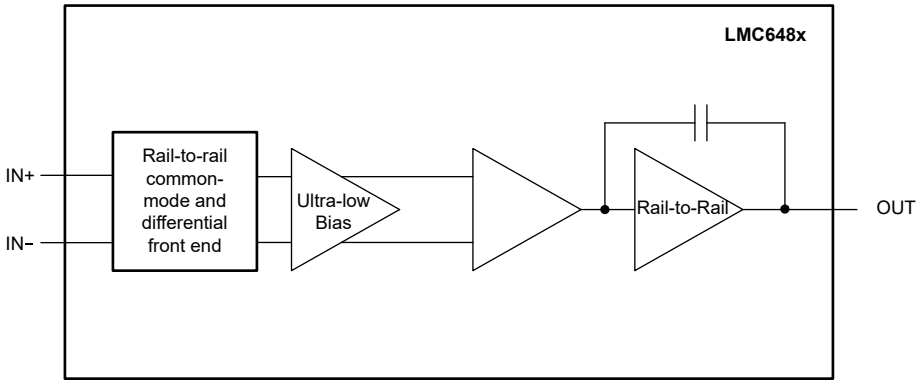
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMC648x 是 CMOS 运算放大器，支持轨到轨输入和输出。它可以在双电源和单电源两种模式下运行。

6.2 功能方框图



6.3 特性说明

6.3.1 放大器拓扑

LMC648x 是一款真正轨到轨输入运算放大器，其输入共模范围在任一电源轨之外扩展了 300mV。当输入共模电压相对于正轨摆动至大约 3V 时，一些直流规格（即失调电压）可能会略有下降。图 6-1 说明了该行为。LMC648x 采用专门设计的输入级，可减少其他轨到轨输入放大器中固有的精度问题。LMC648x 的输入级设计采用了一个输出级作为补充，该输出级即使在驱动大型负载时也能提供轨到轨输出摆幅。

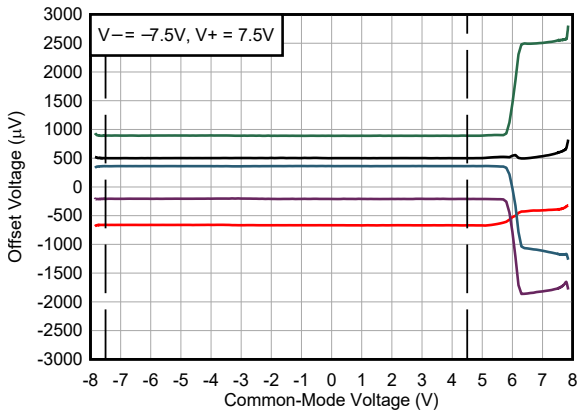
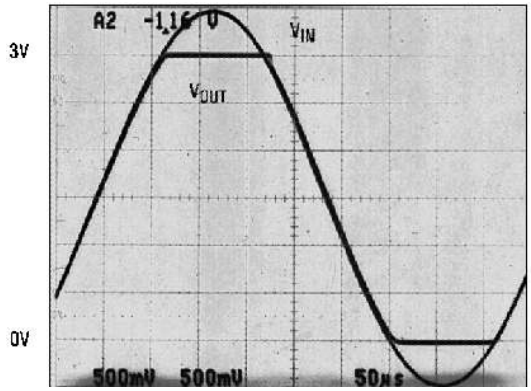


图 6-1. 输入失调电压与共模电压间的关系

6.3.2 输入共模电压范围

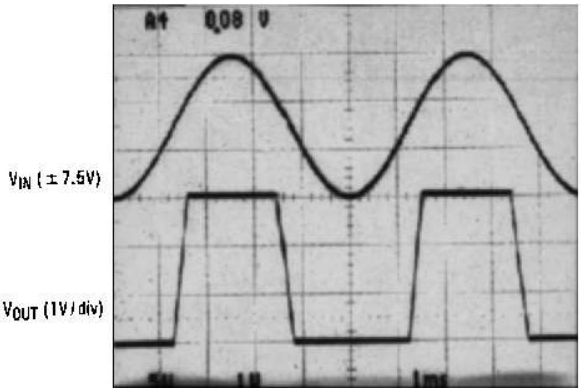
与 Bi-FET 放大器设计不同，在输入电压超过负电源电压时，LMC648x 不会出现相位反转。图 6-2 表明，输入电压超过了两个电源电压，但输出中并未产生相应的相位反转。

室温下，绝对最大输入电压在任一电源轨基础上向外扩展了 300mV。如图 6-3 所示，如果电压远远超过此绝对最大额定值，则可能会导致流入或流出输入引脚的电流过大，从而影响可靠性。



输入电压信号超过了 LMC6482 电源电压，但输出中并未产生相位反转。

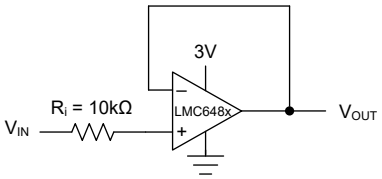
图 6-2. 输入电压



±7.5V 的输入信号远远超过了图 6-4 中的 3V 电源电压，但由于 R_i 的原因，未产生相位反转。

图 6-3. 输入信号

超出此额定值的应用必须使用输入电阻器 (R_i) 从外部将最大输入电流限制为 ±5mA，如图 6-4 所示。



注意：在电压超过电源电压的情况下，提供 R_i 输入电流保护。

图 6-4. 在电压超过电源电压的情况下，提供 R_i 输入电流保护

6.3.3 轨到轨输出

LMC648x 输出可以在任一电源电压的几百毫伏范围内摆动。使用指定的输出摆幅规格来计算不同拉电流和灌电流条件下的近似输出电阻。使用计算得出的输出电阻，估算作为负载函数的最大输出电压摆幅。

6.4 器件功能模式

LMC648x 可用于每个放大器通道独立使用的应用，或通道级联的应用。有关更多信息，请参阅节 7.2。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

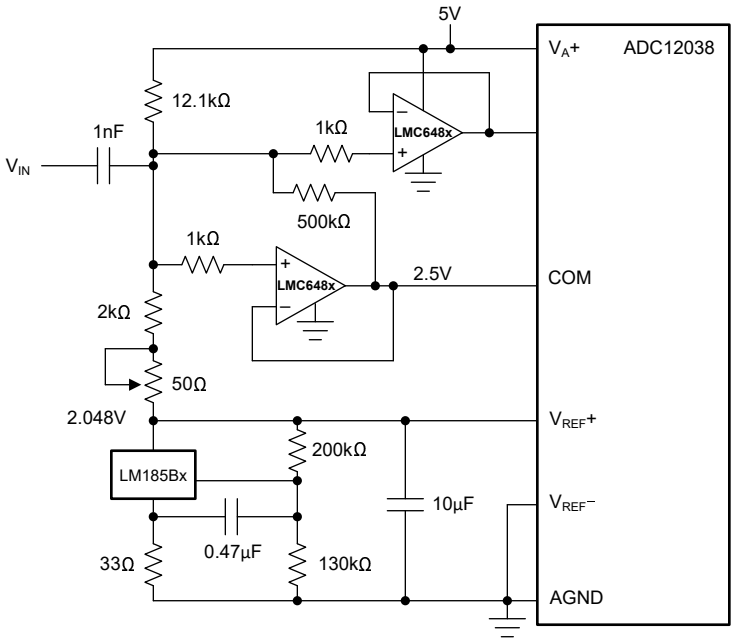
7.1.1 升级应用

LMC648x 具有业界通用引脚排列，可改装现有应用。LMC648x 具备的特性可以大大提高系统性能。LMC648x 设计的主要优势是增加了线性信号范围。大多数运算放大器都限制了输入共模范围。超出此范围的信号会生成非线性输出响应，可在输入信号返回共模范围后持续较长时间。

在信号峰值超出输入共模范围会导致输出相位反转或严重失真的应用（例如滤波器）中，线性信号范围至关重要。

7.1.2 数据采集系统

图 7-1 展示了一个通过使用 LMC648x 缓冲 ADC12038 而实现的低功耗、单电源数据采集系统。LMC648x 能够使用整个电源电压范围，因此无需降低输入信号来满足有限的共模电压范围。82dB 的 LMC648x CMRR 将 12 位数据采集系统的积分线性保持在 ±0.325LSB。其他轨到轨输入放大器的 CMRR 仅为 50dB，可将数据采集系统的精度降至仅为 8 位。



注意：在相同的电源电压下运行，LMC648x 会缓冲 ADC12038，从而保持出色的精度。

图 7-1. 使用 LMC648x 缓冲 ADC12038

Copyright © 2024 Texas Instruments Incorporated

7.1.3 仪表电路

LMC648x 具有仪表电路设计所需的高输入阻抗、广泛的共模范围和高 CMRR。采用 LMC648x 进行仪表电路设计，可以比大多数仪表放大器抑制更大范围的共模信号。因此，采用 LMC648x 进行仪表电路设计是嘈杂或工业环境下的理想选择。受益于这些功能的其他应用包括分析医疗仪器、磁场检测器、气体检测器和硅基传感器。

在图 7-2 中，低阻值电位器与 R_G 串联使用，用于设置三级运算放大器仪表电路的差分增益。之所以采用这种组合，而未使用高阻值电位器，是为了提高增益修整精度并减少因振动导致的误差。通过使用 RES11A 匹配的电阻对串联，可实现一个有助于提高精度、节省成本和减少布板空间的改进设计。

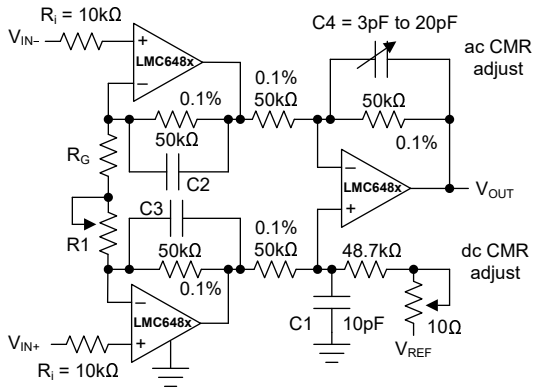


图 7-2. 低功耗三级运算放大器仪表放大器

图 7-3 展示了如何使用两个匹配的电阻器对来实现高精度、高 CMRR 和低漂移的仪表放大器。使用 1:4 的比率，可以轻松实现 36V/V 的增益。通过使用各种可用比率，可以实现其他增益选项。图 7-2 中原始实现方案的一个缺点是，需要非常高的性能、0.01% 的电阻器和几个电位器来实现非常高的共模抑制和增益精度。高精度电阻器可能非常昂贵，并且会增加电路板布局布线尺寸和复杂性。另一个缺点是分立式电阻器的温漂会导致增益误差增加，而无法轻松校准。

RES11A 匹配的电阻对具有小于 0.05% 的出色匹配性能，因此可提供较高的共模抑制和增益误差性能。电阻器位于同一基板上；因此，电阻器沿同一方向漂移，从而更大限度地减少了与温度相关的误差，例如增益误差漂移。有关 RES11A 相对于分立式电阻器的优势的更详细分析，请参阅 *使用精密匹配电阻分压器对优化差分放大器电路中的 CMRR 应用手册*。

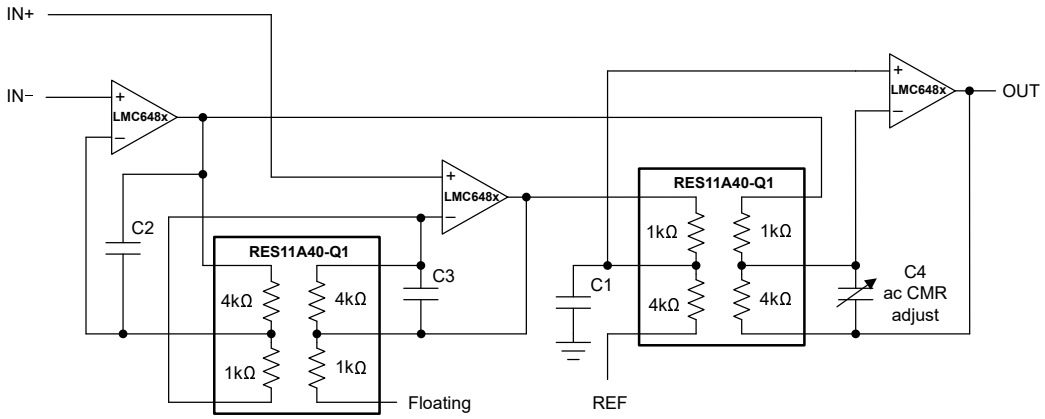


图 7-3. 采用 RES11A 的改进型低功耗三级运算放大器仪表放大器

图 7-4 中显示的两级运算放大器仪表放大器专为 100V/V 增益而设计。可针对失调电压、CMRR 和增益进行低灵敏度修整。低成本和低功耗是这款两级运算放大器电路的主要优势。图 7-5 中还为该电路提供了采用 RES11A 且增益为 10V/V 的替代电路。

Copyright © 2024 Texas Instruments Incorporated

对于频率更高且共模范围更大的应用，三级运算放大器仪表放大器则是理想选择。

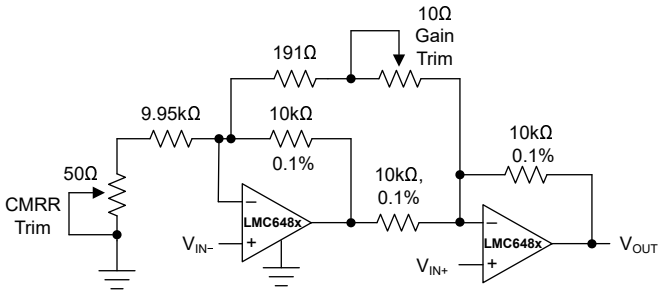


图 7-4. 低功耗两级运算放大器仪表放大器

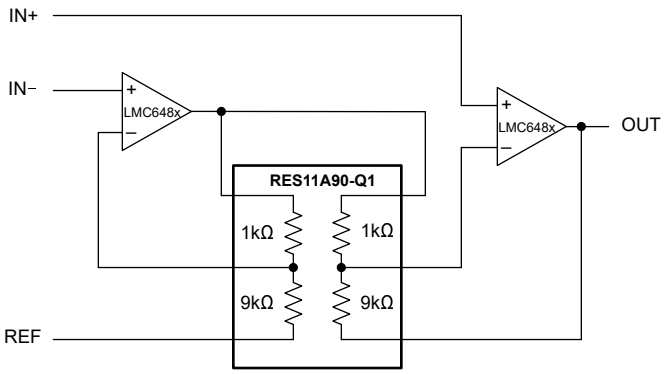


图 7-5. 采用 RES11A 的低功耗两级运算放大器仪表放大器

7.2 典型应用

7.2.1 3V 单电源缓冲器电路

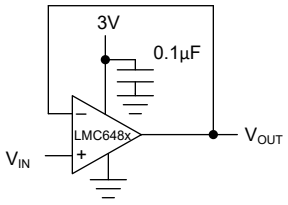


图 7-6. 3V 单电源缓冲器电路

7.2.1.1 设计要求

为了获得出色的性能，请确保输入电压摆幅在 V+ 和 V – 之间。

另外，确保输入不超过共模输入电压范围。

为了降低输出失稳的风险，驱动容性负载时，请在输出端使用电阻式隔离（参阅 *节 7.2.1.2*）。

如果使用了高阻值反馈电阻器，可视需要补偿输入端的寄生电容。请参阅 *节 7.2.1.2*

7.2.1.2 详细设计过程

7.2.1.2.1 容性负载补偿

LMC648x 提供了可靠的输出级，用于直接驱动容性负载。容性负载与放大器的输出阻抗相互作用，生成一个会导致不稳定的极点。在驱动容性负载时，应考虑放大器的闭环带宽和输出阻抗。图 7-7 展示了 LMC648x 开环输出阻抗。

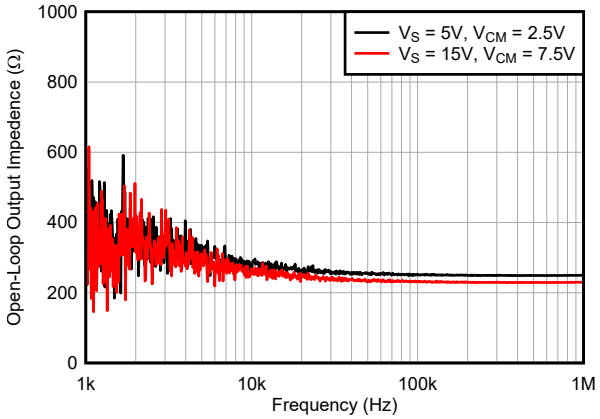


图 7-7. 开环输出阻抗

在某些应用中，需要驱动大容性负载，并且需要额外的补偿。可以使用电阻式隔离实现容性负载补偿，如图 7-8 所示。这种简单易行的技术有助于隔离多路复用器和模数转换器 (ADC) 的电容输入。

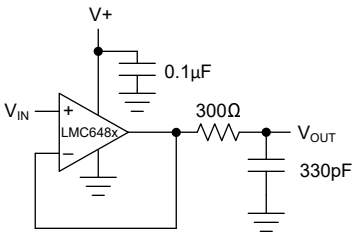


图 7-8. 330pF 容性负载的电阻式隔离

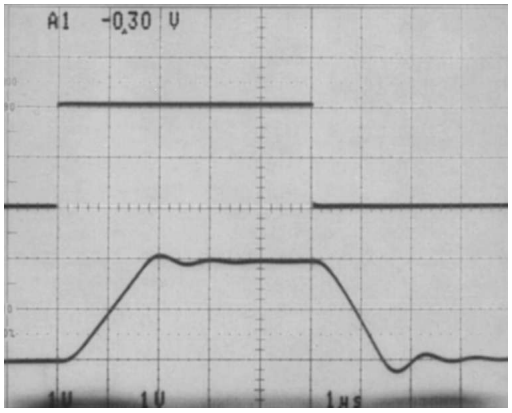


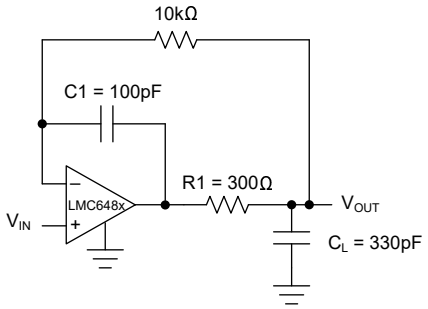
图 7-9. 图 7-8 中 LMC6482 电路的脉冲响应

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2.2 容性负载容差

当 V_S = 15V 时，LMC648x 在单位增益下通常可直接驱动 100pF 的负载，而不会出现振荡。单位增益跟随器是最敏感的配置。直接容性负载可减小运算放大器的相位裕度。运算放大器的输出抗阻和容性负载的组合会引起相位滞后。这会导致欠阻尼的脉冲响应或振荡。

图 7-10 展示了如何通过间接驱动容性负载来改善频率响应。



注意：进行补偿以处理 330pF 容性负载。

图 7-10. LMC648x 同相放大器

R1 和 C1 通过将输出信号的高频分量前馈到放大器的反相输入来抵消相位裕度的损失，从而保持整个反馈环路中的相位裕度。R1 和 C1 的值通过实验确定，以获得所需的脉冲响应。图 7-11 展示了生成的脉冲响应。

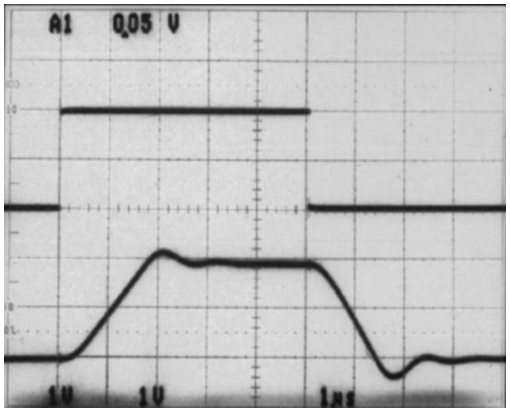


图 7-11. 图 7-10 中 LMC6482 电路的脉冲响应

7.2.1.2.3 对输入电容进行补偿

将高阻值反馈电阻与具有超低输入电流的放大器（如 LMC648x）配合使用是很常见的。借助于换能器、光电二极管和电路板寄生效应，高阻值反馈电阻器可以与低容值输入电容发生反应，从而减小相位裕度。

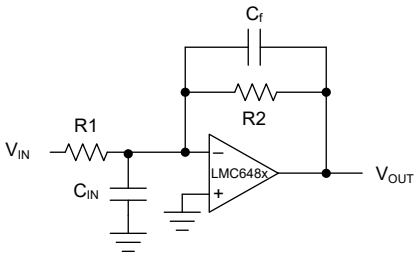


图 7-12. 抵消输入电容的影响

可通过添加反馈电容器来补偿输入电容的影响。反馈电容器（如图 7-12 所示）C_f 首先通过以下公式估算：

$$\frac{1}{2\pi R1 C_{IN}} \geq \frac{1}{2\pi R2 C_f} \quad (1)$$

或

$$R1\ C_{IN} \leqslant R2\ C_f \quad (2)$$

，这通常会提供明显的过度补偿。

印刷电路板杂散电容可能大于或小于试验电路板的杂散电容，因此 C_f 的实际最佳值可能不同。检查实际电路上的 C_f 值。（请参阅 LMC660 四路 CMOS 放大器产品说明书，以了解更多详细信息。）

7.2.1.2.4 失调电压调整

图 7-13 和图 7-14 中展示了失调电压调整电路。高阻值电阻和电位器可用于降低功耗，同时为 V_S = ±5V 的两种配置提供 ±2.5mV 的典型调节范围（称为输入）。

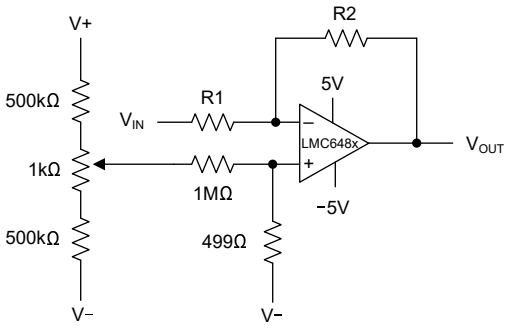


图 7-13. 反相配置失调电压调整

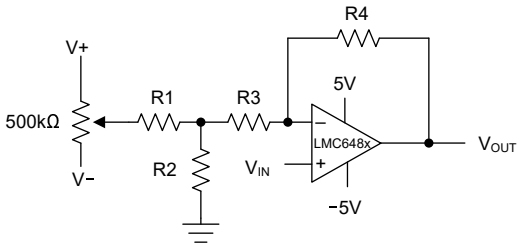


图 7-14. 同相配置失调电压调整

Copyright © 2024 Texas Instruments Incorporated

7.2.1.3 应用曲线

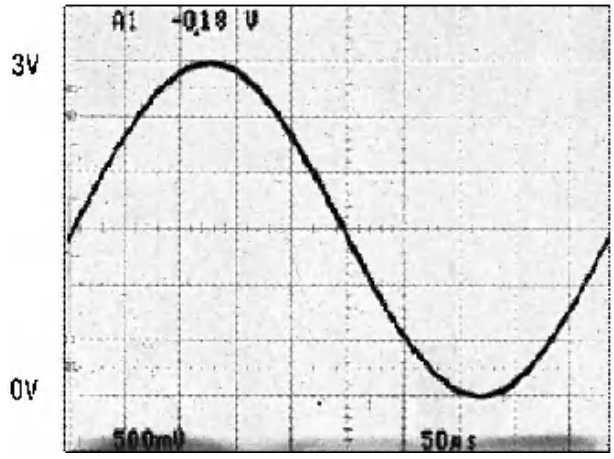


图 7-15. 轨到轨输入

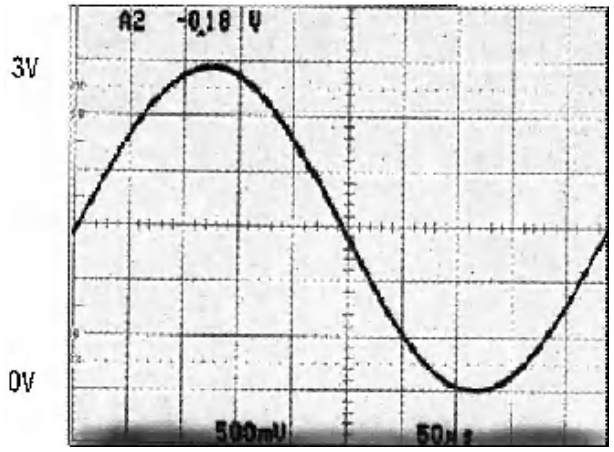


图 7-16. 轨到轨输出

7.2.2 典型的单电源应用

图 7-17 中的电路使用单电源对以地为中心的正弦波进行半波整流。如果输入电压超过电源电压，则 R_i 会限制因此流入放大器的电流。全波整流由图 7-19 中的电路提供。

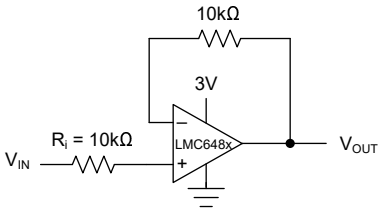


图 7-17. 具有输入电流保护 (R_i) 的半波整流器

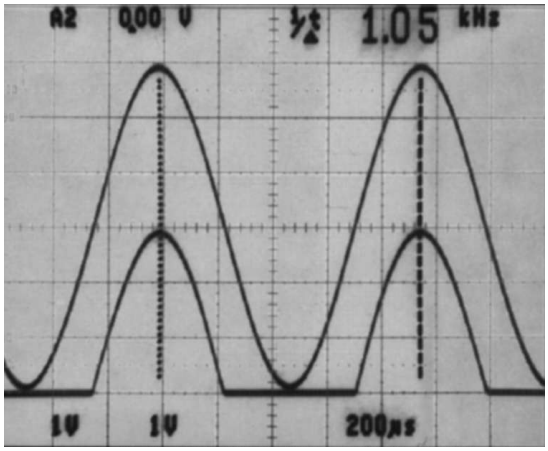


图 7-18. 半波整流器波形

在图 7-23 中，使用聚苯乙烯或聚乙烯保持电容器来尽量减少电介质的吸收和泄漏。下降率主要由 C_{HOLD} 和二极管漏电流的值决定。LMC648x 的超低输入电流对压降产生的影响可以忽略不计。对于需要超低输入偏置电流的应用，请参阅 OPA928。

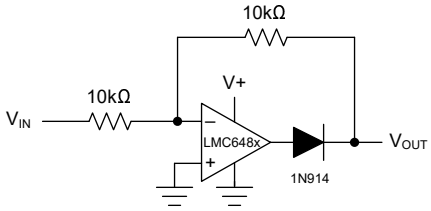


图 7-19. 具有输入电流保护 (R_I) 的全波整流器

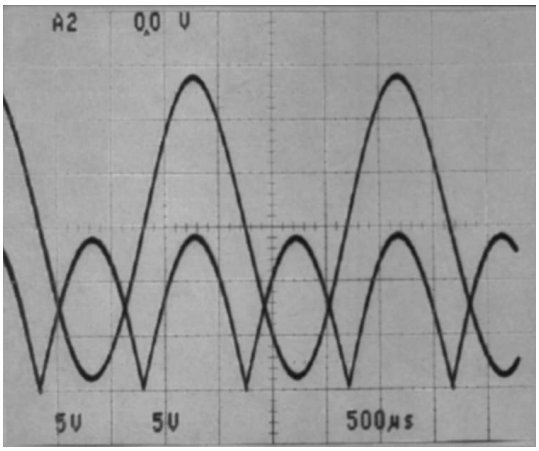


图 7-20. 全波整流器波形

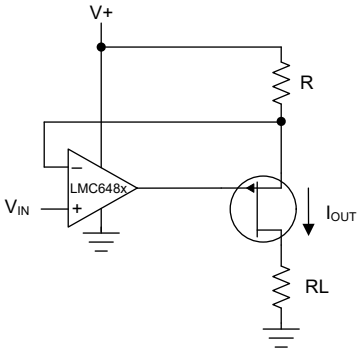


图 7-21. 范围广泛的合规电流源

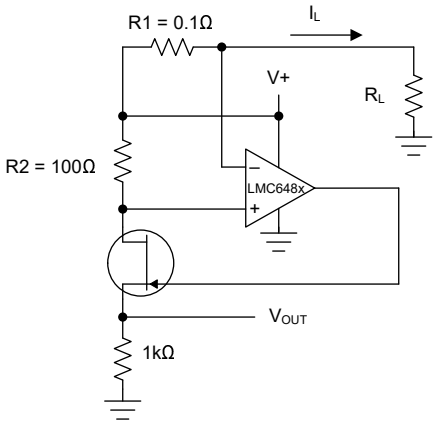


图 7-22. 正电源电流检测

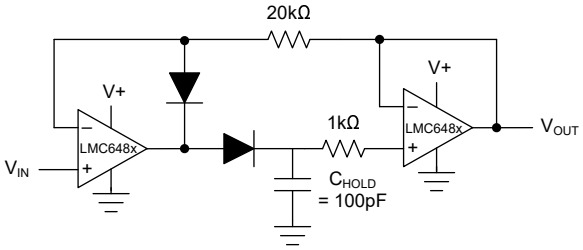


图 7-23. 具备轨到轨峰值捕捉范围的低电压峰值检测器

LMC648x 的高 CMRR (82dB) 可在电路的整个轨到轨动态捕捉范围内实现出色的精度。

Copyright © 2024 Texas Instruments Incorporated

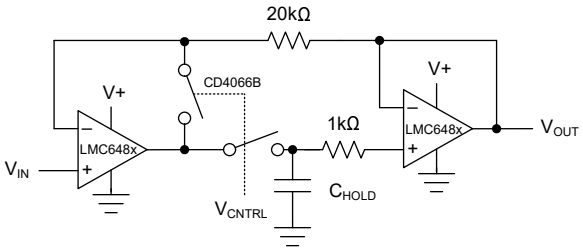


图 7-24. 轨到轨采样保持电路

图 7-25 中的低通滤波器电路可用作与 ADC 具有相同电压电源的抗混叠滤波器。

滤波器设计还可以利用 LMC648x 的超低输入电流。即使采用了高阻值电阻器，超低输入电流产生的失调电压误差也可以忽略不计。这进而可支持使用阻值更低的电容器，缩减布板空间并降低成本。

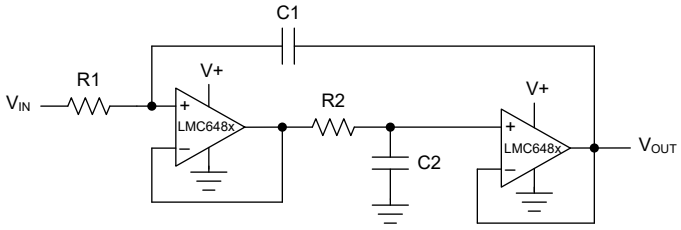


图 7-25. 轨到轨单电源低通滤波器

$$R1 = R2,\ C1 = C2,\ f = \frac{1}{2\pi R1C1},\ DF = \frac{1}{2}\sqrt{\frac{C2}{C1}}\sqrt{\frac{R2}{R1}} \quad (3)$$

7.3 电源相关建议

LMC648x 可在 3V 至 15.5V 的电源电压范围内运行。为了获得适合应用的抗噪性能，请使用适合电源轨和平面的良好印刷电路板 (PCB) 布局实践，并使用连接电源引脚和接地的旁路电容器。

7.4 布局

7.4.1 布局指南

一般情况下，任何必须以小于 1000pA 漏电流运行的电路均需要特殊的 PC 板布局。为了充分利用 LMC648x 的超低输入电流（通常小于 20fA），出色的布局至关重要。幸运的是，实现低泄漏的技术相当简单。首先，不得忽略 PCB 的表面泄漏，即使有时显示的漏电流并不高，看起来似乎可以让人接受，但是在湿度高、遍布灰尘或污染的情况下，用户可以感知到这种表面泄漏。

为了更大限度降低任何表面泄漏造成的影响，可以环绕 LMC648x 的输入端和连接到运算放大器输入端的电容器、二极管、导体、电阻器、继电器端子等元件的终端，放置一个能够完全覆盖的箔环，如图 7-26 所示。为了获得显著的效果，请同时在 PCB 的顶部和底部放置防护环。然后，必须将这种 PC 箔连接到与放大器输入电压相同的电压，这是因为处于相同电位的两个点之间不会有漏电流流动。例如，$10^{12}\,\Omega$ 的 PCB 迹线至焊盘电阻通常可视为高阻值电阻，如果迹线是与输入焊盘相邻的 5V 总线，则该电阻可能会泄漏 5pA 的电流。这种泄漏可能导致 LMC648x 的实际性能下降 250 倍。但是，如果防护环保持在 5mV 的输入内，即使电阻为 $10^{11}\,\Omega$，也仅会产生 0.05pA 的漏电流。有关标准运算放大器配置中使用的防护环典型连接，请参阅图 7-27 至图 7-29。

请注意，如果仅仅为了几个电路而布置 PCB 并不实用，与其在 PCB 上放置防护环，不如采取一种更为巧妙的方法：勿将放大器的输入引脚插入 PCB，而是将其向上弯折，仅用空气作为绝缘体。空气是出色的绝缘体。在这种情况下，您会放弃 PCB 结构的一些优势，但使用点对点空中布线的确物有所值。请参阅图 7-30。

7.4.2 布局示例

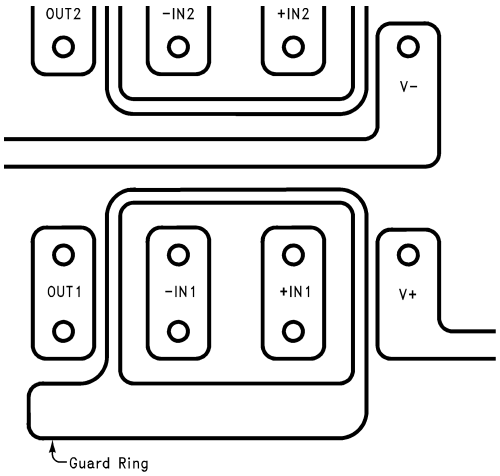


图 7-26. 防护环的 PCB 布局典型连接中的防护环示例

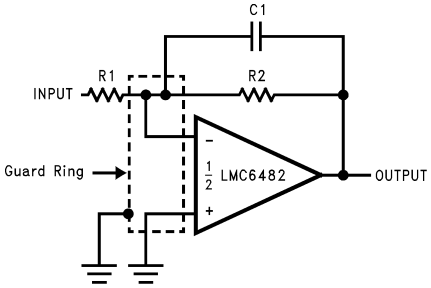


图 7-27. 防护环的反相放大器典型连接

Copyright © 2024 Texas Instruments Incorporated

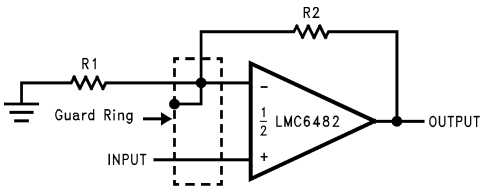


图 7-28. 防护环的同相放大器典型连接

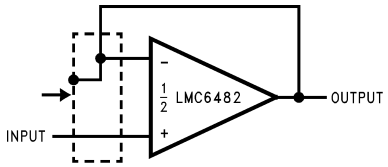
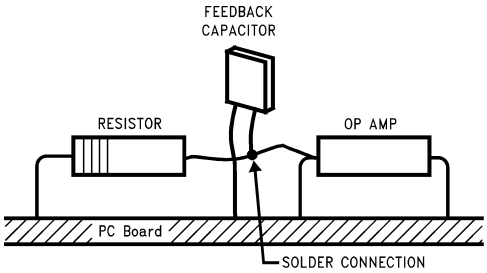


图 7-29. 防护环的跟随器典型连接



输入引脚从 PCB 上提出并直接焊接到元件上。所有其他引脚连接到 PCB。

图 7-30. 空中布线

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 Spice 精简模型

LMC648x 提供了一个 Spice 精简模型。此模型包括以下准确仿真：

- 输入共模电压范围
- 频率和瞬态响应
- 取决于负载条件的增益带宽 (GBW)
- 静态和动态电源电流
- 取决于负载条件的输出摆幅

8.1.1.2 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

8.1.1.3 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计和仿真工具网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

8.1.1.4 DIP-Adapter-EVM

借助 DIP-Adapter-EVM 加快运算放大器的原型设计和测试，该 EVM 有助于快速轻松地连接小型表面贴装器件并且价格低廉。使用随附的 Samtec 端子板连接任何受支持的运算放大器，或者将这些端子板直接连接至现有电路。DIP-Adapter-EVM 套件支持以下业界通用封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV（SOT-23-6、SOT-23-5 和 SOT-23-3）、DCK（SC70-6 和 SC70-5）和 DRL (SOT563-6)。

8.1.1.5 DIYAMP-EVM

DIYAMP-EVM 是一款独特的评估模块 (EVM)，可提供真实的放大器电路，使用户能够快速评估设计概念并验证仿真。此 EVM 采用 3 种业界通用封装选项（SC70、SOT23 和 SOIC）并提供 12 种流行的放大器配置，包括放大器、滤波器、稳定性补偿以及同时适用于单电源和双电源的比较器配置。

8.1.1.6 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 https://www.ti.com/reference-designs。

8.1.1.7 模拟滤波器设计器

设计和仿真工具网页以基于网络的工具形式提供模拟滤波器设计器，用户可以利用该设计器在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

Copyright © 2024 Texas Instruments Incorporated

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (February 2024) to Revision J (September 2024)	Page
• 更新了首页图*单位增益差分放大器* 以交换 IN+ 和 IN –	1
• 将 LMC648xI 共模抑制比最小值从 65dB 更改为 60dB（5V 电源），以及从 60dB 更改为 55dB（3V 电源）	6
• 将 LMC648xI 的共模抑制比最小值从 60dB 更改为 58dB（T_A = –40°C 至 +85°C）	6
• 将 3V 电源下的 LMC648xAI 共模抑制比最小值从 64dB 更改为 60dB	9
• 更新了图 7-17 *具有输入电流保护 (R_i) 的半波整流器* 以说明正确的电路	25

Changes from Revision H (November 2023) to Revision I (February 2024)	Page
• 添加了 LMC6484 和相关内容	1
• 更新了之前 LMC6484 数据表 (SNOS675D) 中的内容，详见本数据表 (SNOS674I) 的*修订版本 G（2020 年 4 月）至修订版本 H（2023 年 11 月）的变更*	1
• 根据最新建模标准，向热性能信息 中添加了 LMC6482 和 LMC6484 的值	5
• 更新了 LMC6484 的*电气特性* 格式，详见本数据表的*修订版本 G（2020 年 4 月）到修订版本 H（2023 年 11 月）的变更*	6
• 将*电气特性 中的 CMRR 从 62dB 更改为 60dB，以匹配 LMC6484：V_S = 5V*	6
• 更新了脚注 (2)，其中描述了*电气特性 中的额定压摆率最小值：V_S = 5V*	6
• 将*电气特性 中的 THD 从 0.01% 更改为 0.02%：V_S = 3V*	9

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision G (April 2020) to Revision H (November 2023) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 删除了*特性* 中的“规格为典型值、高电压增益和电源正常输出”.....1
- 删除了数据表中的 M 版本器件；有关更多信息，请参阅 LMC6482QML.....1
- 更新了*说明* 中的首页图.....1
- 更新了*引脚配置和功能*.....2
- 向*电气特性* 中的输入失调电压、输入失调电压漂移、输入偏置电流和输入失调电流中添加了 ±.....6
- 更新了整个*电气特性* 中的参数名称以保持一致.....6
- 删除了*电气特性* 中的注释 1、2 和 3.....6
- 将*电气特性* 中的电源电流规格从“总”更改为“每个放大器”.....6
- 删除了图 11 至图 13、图 19 至图 23、图 32 至图 33 以及图 47 至图 52.....10
- 更新了功能方框图.....17
- 更新了*放大器拓扑* 中输入级的说明.....17
- 在*放大器拓扑* 中添加了“输入失调电压与共模电压间的关系”图.....17
- 更新了*轨至轨输出* 中的说明.....18
- 向*仪表电路* 中添加了改进型仪表放大器电路.....20
- 向*容性负载补偿* 中添加了图 7-7 *开环输出阻抗* 和相关内容.....21
- 向*典型的单电源应用* 中添加了 OPA928 毫微微安输入偏置电流运算放大器建议.....25
- 删除了 *Spice 精简模型* 中对库磁盘的引用.....30

Changes from Revision F (April 2020) to Revision G (April 2020) **Page**

- 删除了*电气特性* 中 V+ = 5V 表的旧注释 4.....6

Changes from Revision E (April 2015) to Revision F (April 2020) **Page**

- 将*建议运行条件* 表中的结温最大值从 –85°C 更改为 85°C（拼写错误）.....4

Changes from Revision D (March 2013) to Revision E (April 2015) **Page**

- 添加了*引脚配置和功能* 部分、*ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分.....1

Changes from Revision C (March 2013) to Revision D (March 2013) **Page**

- 将美国国家半导体数据表的布局更改为 TI 格式.....25

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6482AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC64 82AIM
LMC6482AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482AIN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482AIN/NOPB.B	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482IMM/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 85	A10
LMC6482IMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM
LMC6482IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM
LMC6482IN/NOPB	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPB.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPBG4	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPBG4.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6484AIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6484 AIM
LMC6484AIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(LMC6484, LMC6484AIM) AIM

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6484AIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LMC6484, LMC6484AIM) AIM
LMC6484AIN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484AIN
LMC6484AIN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484AIN
LMC6484IM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6484IM
LMC6484IMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6484IM
LMC6484IMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6484IM
LMC6484IN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484IN
LMC6484IN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484IN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

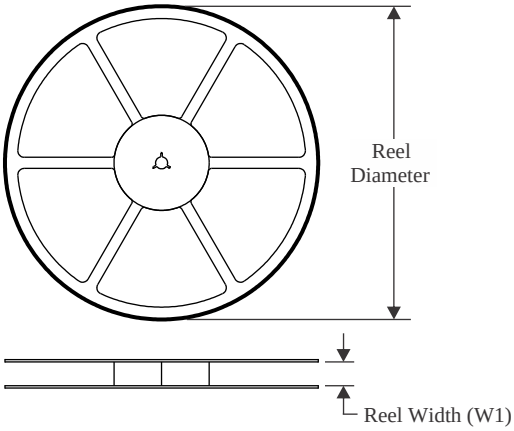
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

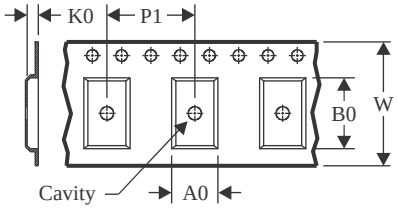
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

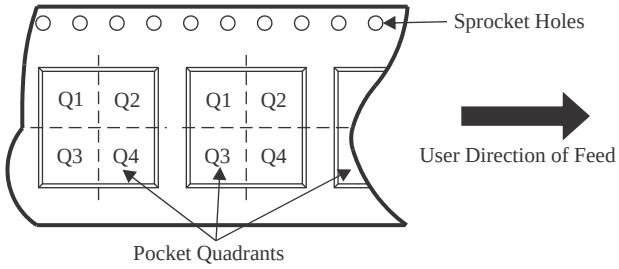


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

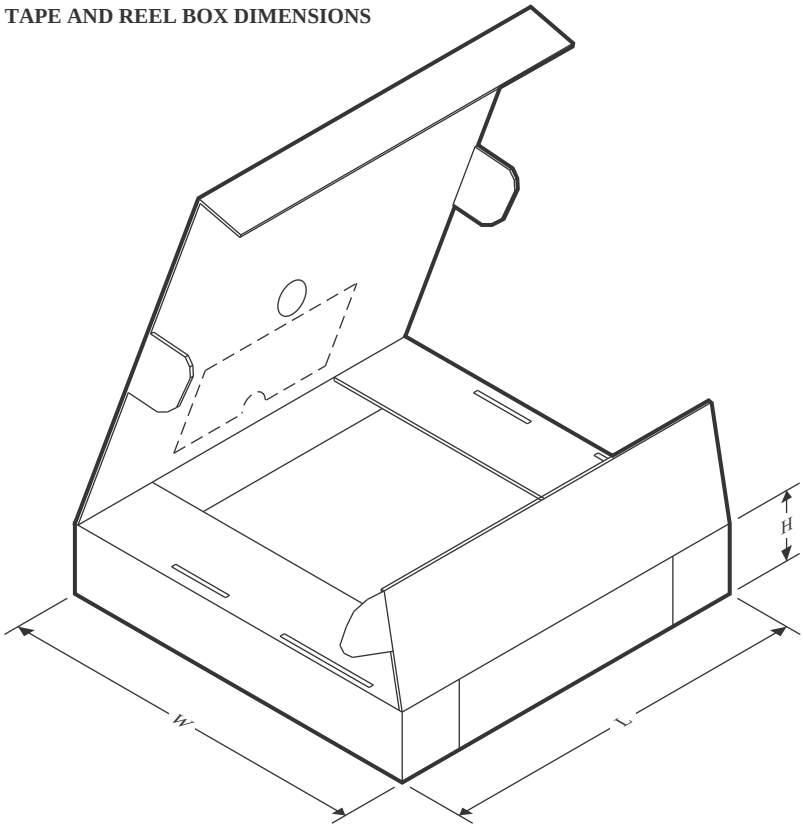
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6482AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6482AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6484AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6484AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMC6484IMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

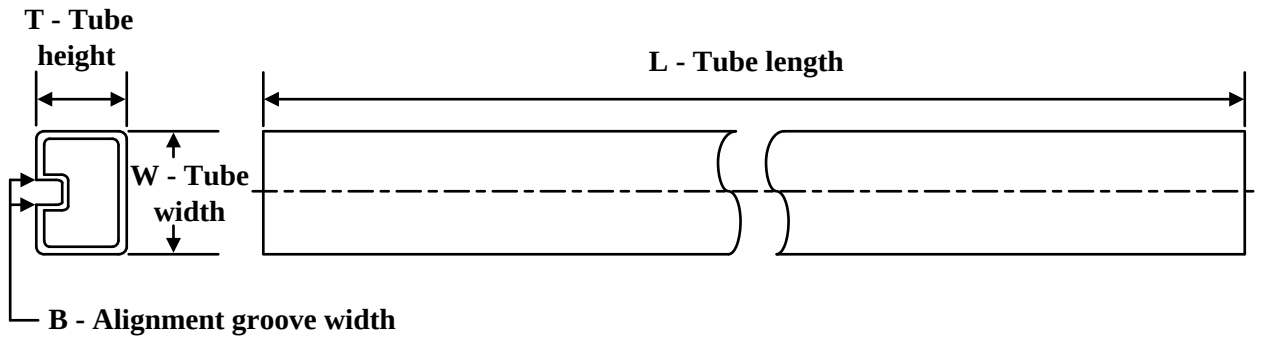
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6482AIMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6482AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6482IMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6484AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMC6484AIMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0
LMC6484IMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

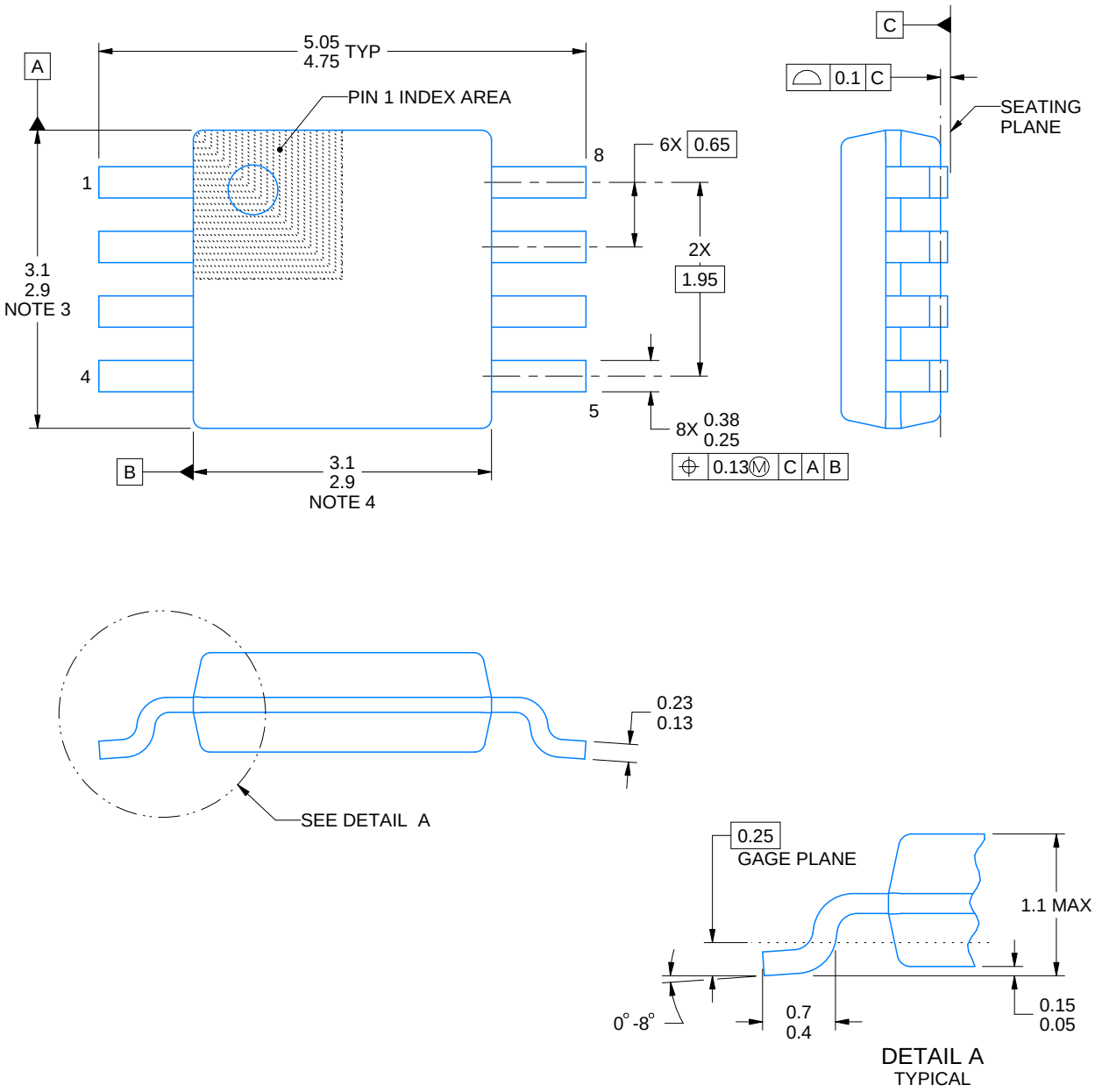
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC6482AIN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC6482AIN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LMC6482AIN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB.B	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32
LMC6482IN/NOPB	P	PDIP	8	50	506	13.97	11230	4.32
LMC6482IN/NOPB.A	P	PDIP	8	50	506	13.97	11230	4.32
LMC6482IN/NOPBG4	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482IN/NOPBG4.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC6484AIN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LMC6484AIN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32
LMC6484IN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LMC6484IN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

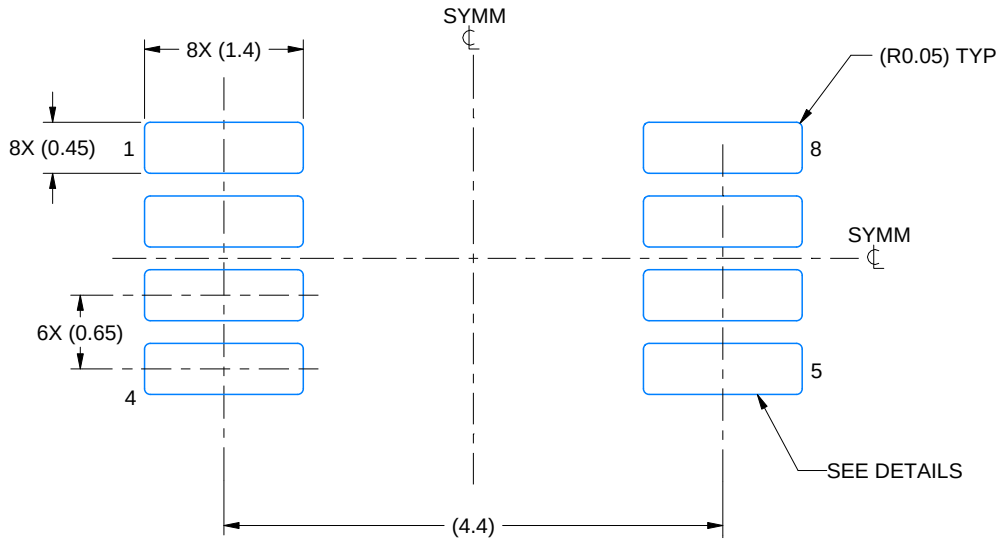
SMALL OUTLINE PACKAGE



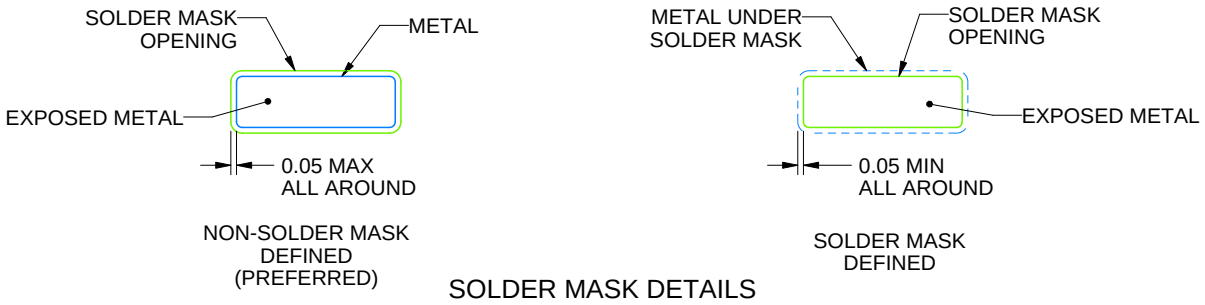
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

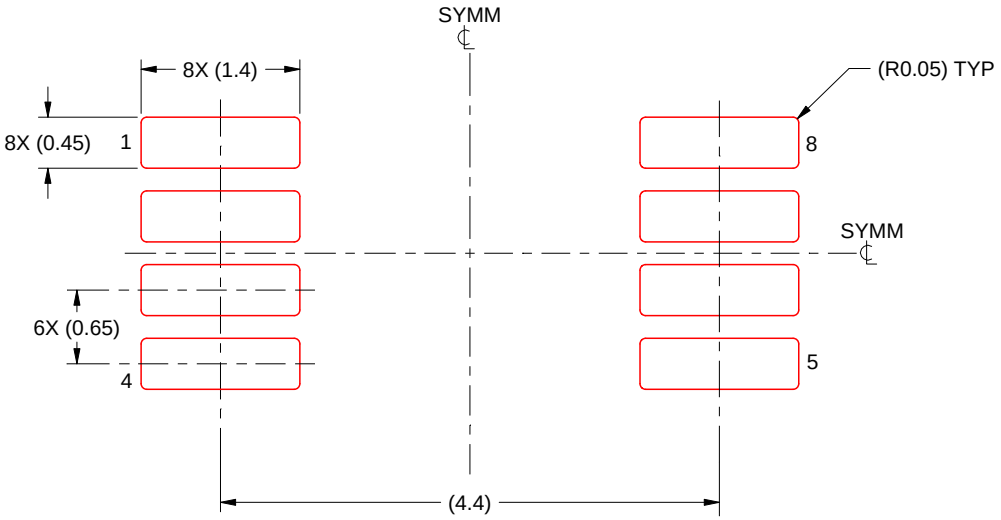


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

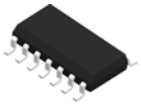


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

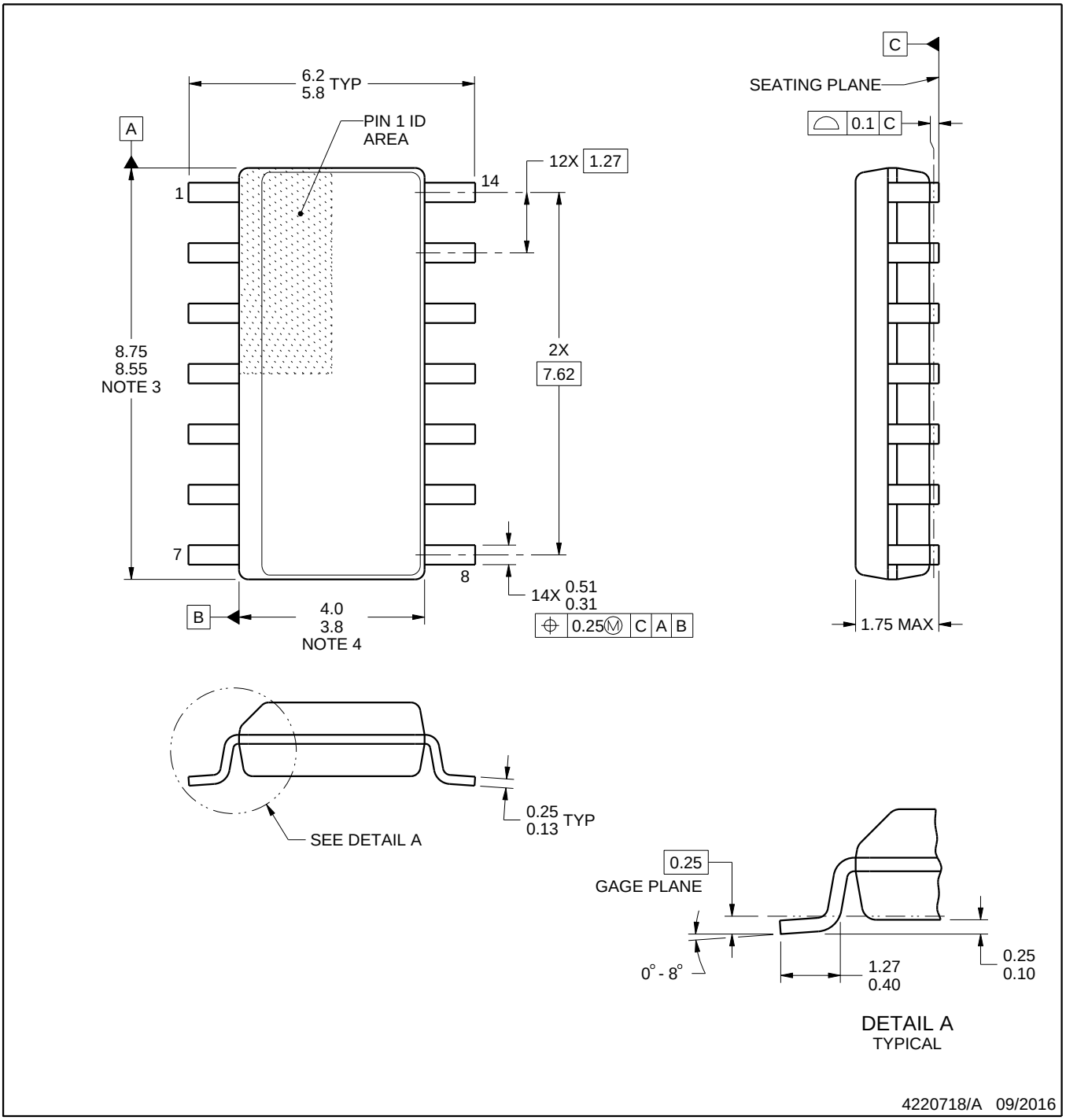


PACKAGE OUTLINE

D0014A

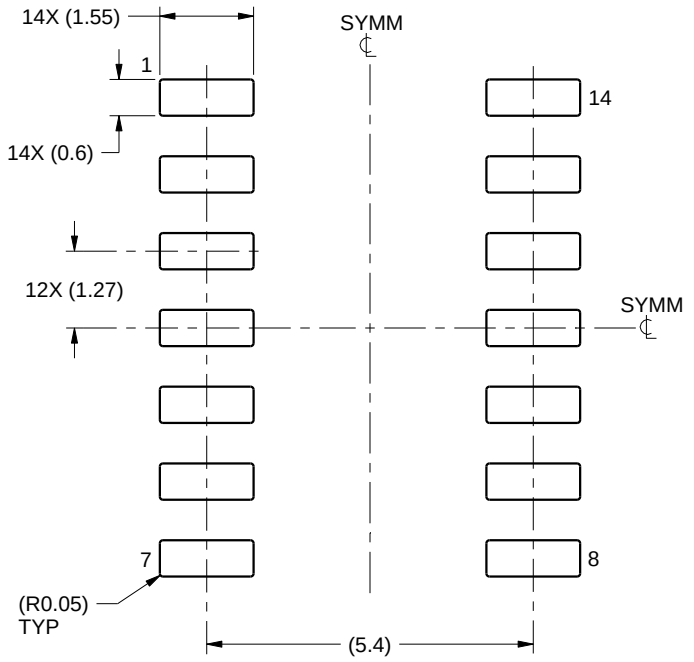
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

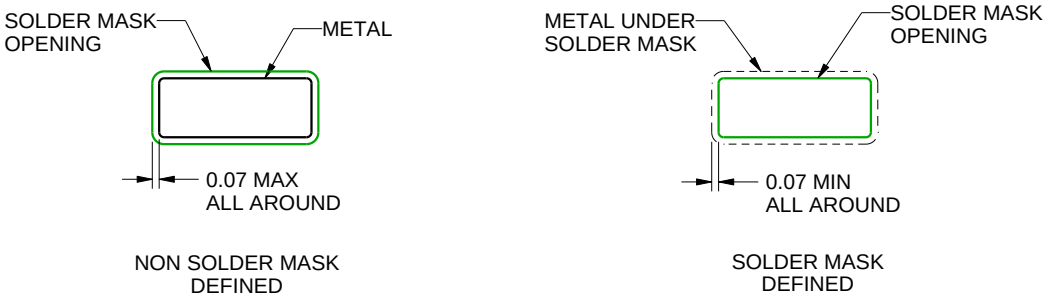


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

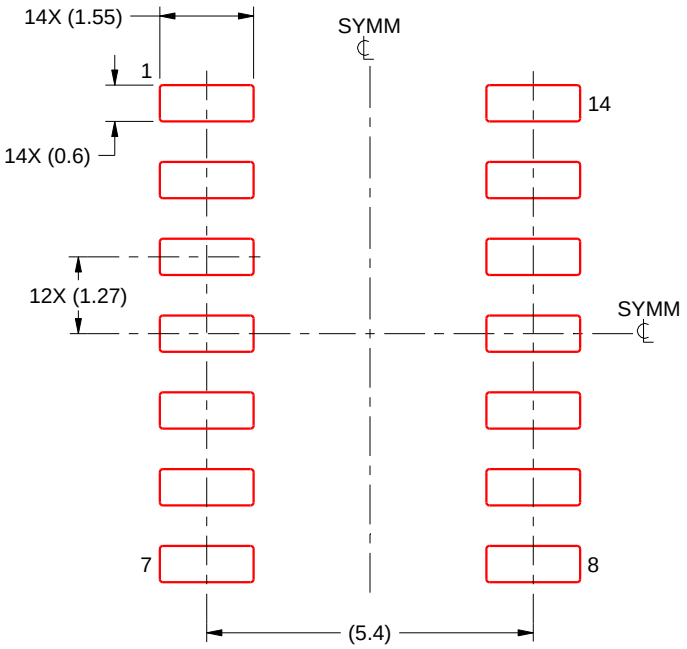
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

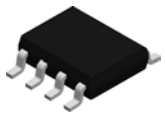


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

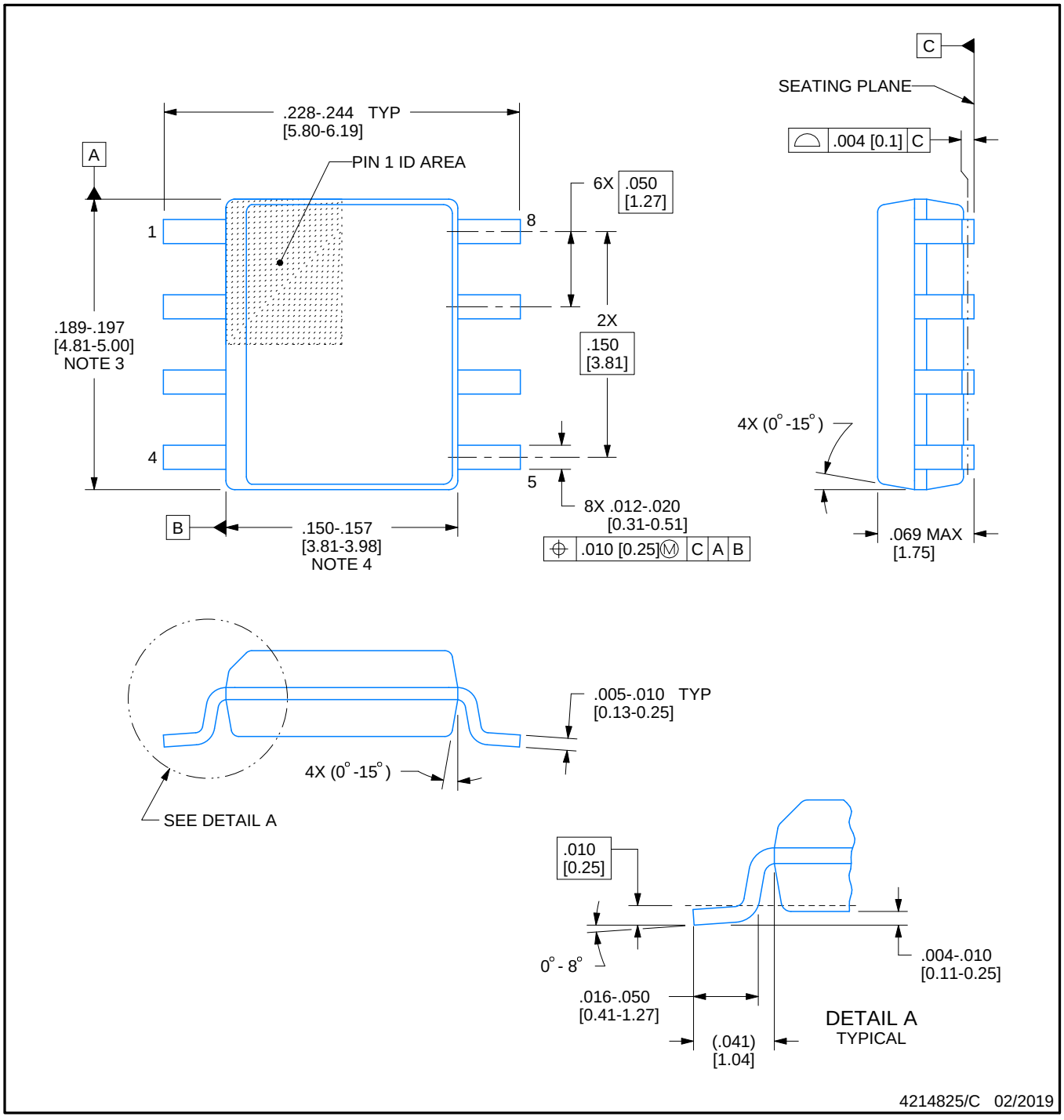


PACKAGE OUTLINE

D0008A

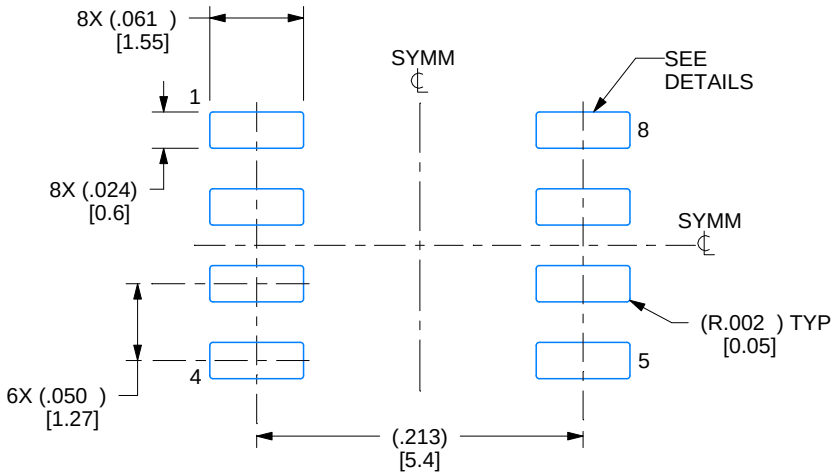
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

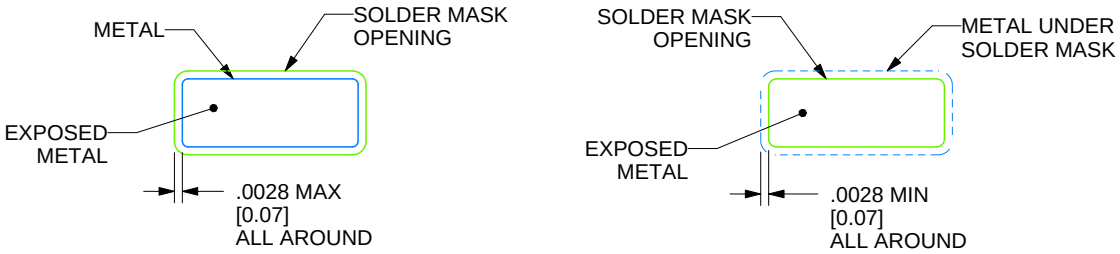


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

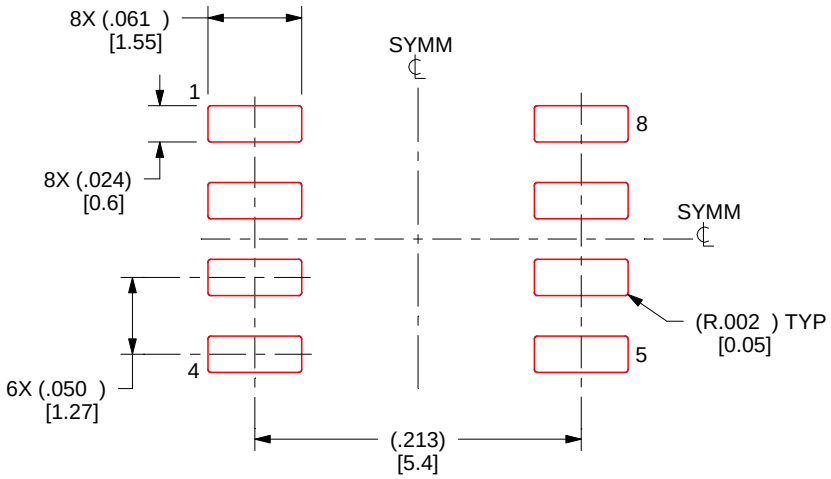
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



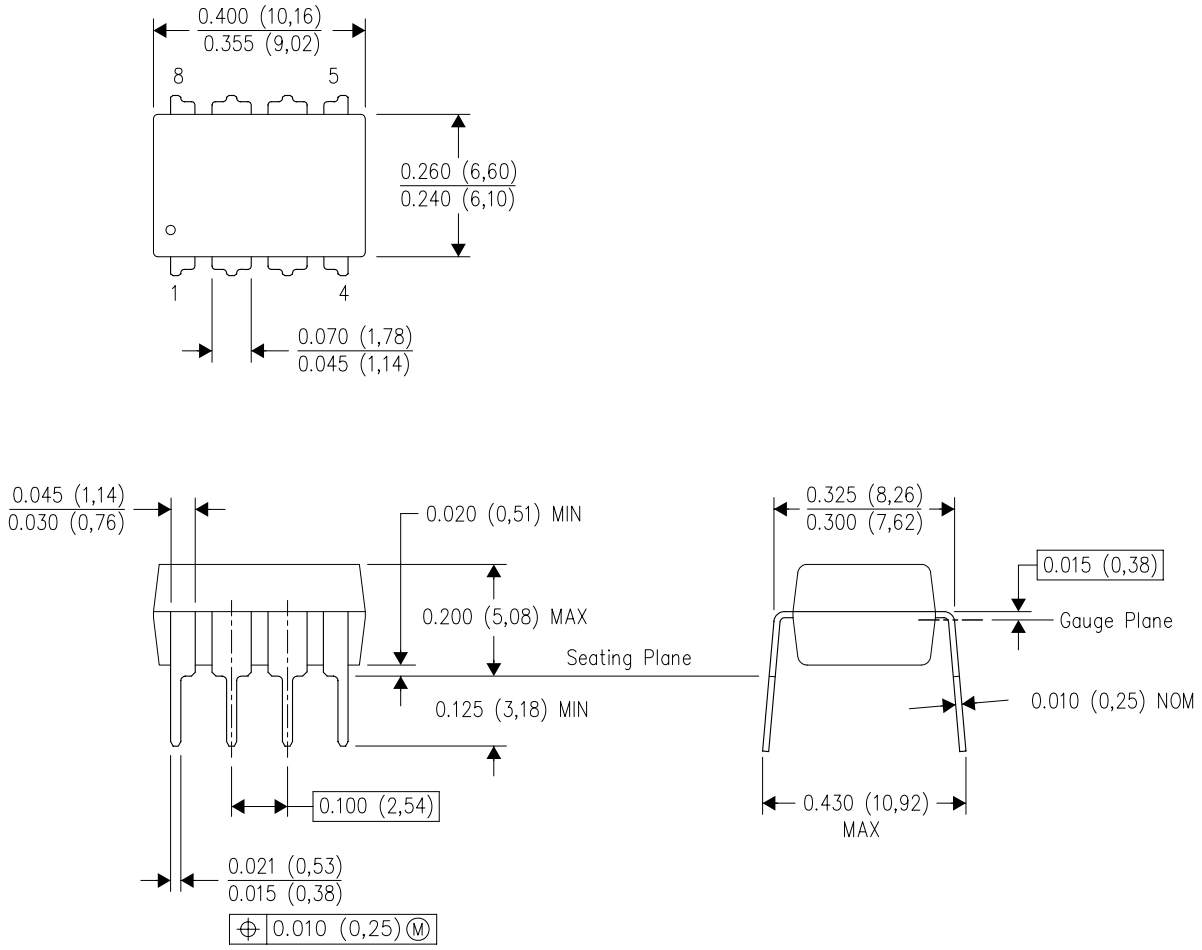
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

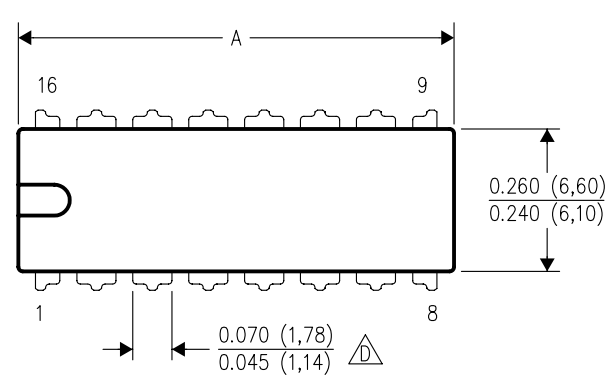


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

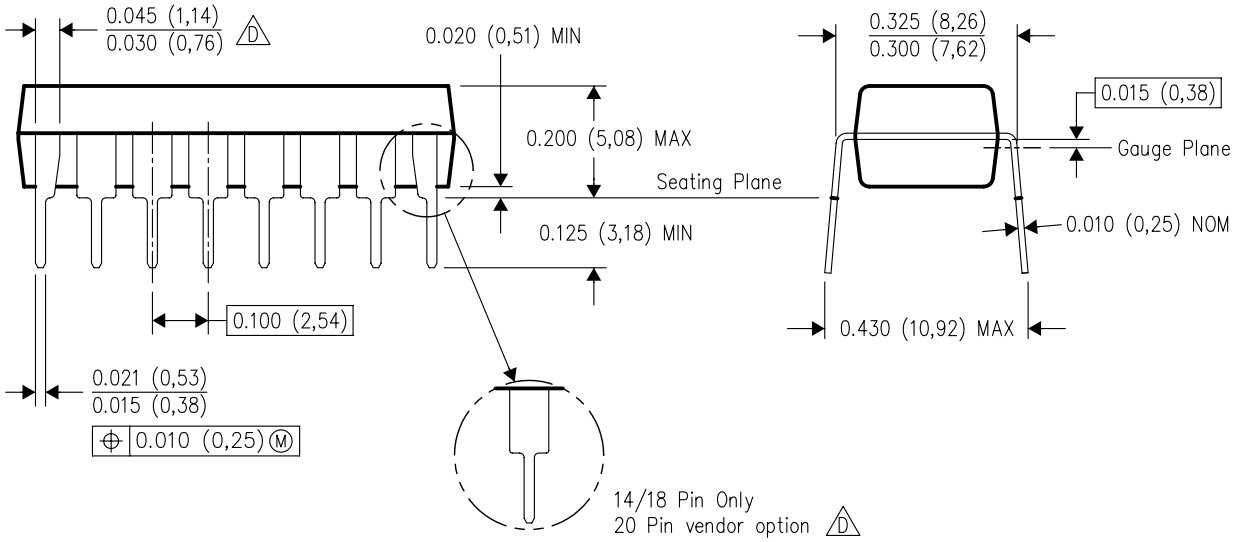
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月