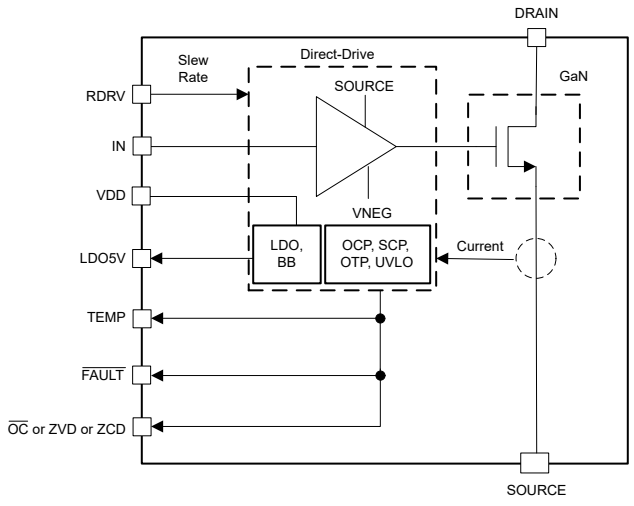
集成了驱动器、保护与温度报告功能的 LMG342xR030 600V 30mΩ GaN FET

1 特性

- 符合面向硬开关拓扑的 JEDEC JEP180 标准
- 带集成栅极驱动器的 600V GaN-on-Si FET
  - 集成高精度栅极偏置电压
  - 200V/ns FET 释抑
  - 2.2MHz 开关频率
  - 20V/ns 至 150V/ns 压摆率，用于优化开关性能与缓解 EMI
  - 由 7.5V 至 18V 电源供电
- 强大的保护
  - 响应时间 < 100ns 的逐周期过流与锁存短路保护
  - 硬开关时可承受 720V 浪涌
  - 针对内部过热和 UVLO 监控的自我保护
- 高级电源管理
  - 数字温度 PWM 输出
  - LMG3426R030 包括有助于实现软开关转换器的零电压检测功能 (ZVD)
  - LMG3427R030 包括有助于实现软开关转换器的零电流检测功能（ZCD）

2 应用

- 开关模式电源转换器
- 商用网络和服务器 PSU
- 商用通信电源整流器
- 光伏逆变器和工业电机驱动器
- 不间断电源



简化版方框图

3 说明

LMG342xR030 GaN FET 具有集成式驱动器和保护功能，适用于开关模式电源转换器，能够让设计人员实现更高水平的功率密度与效率。

LMG342xR030 集成了一个硅驱动器，可实现高达 150V/ns 的开关速度。与分立式硅栅极驱动器相比，TI 的集成式精密栅极偏置可实现更高的开关 SOA。这种集成特性与 TI 的低电感封装技术相结合，可在硬开关电源拓扑中提供干净的开关和超小的振铃。可调栅极驱动强度允许将压摆率控制在 20V/ns 至 150V/ns 之间，这可用于主动控制 EMI 并优化开关性能。LMG3426R030 包含零电压检测（ZVD）功能，能够在实现零电压开关时提供 ZVD 引脚脉冲输出。LMG3427R030 包含零电流检测（ZCD）功能，能够在检测到源极到漏极的正向电流时提供 ZCD 引脚脉冲输出。

高级电源管理功能包括数字温度报告和故障检测。GaN FET 的温度通过可变占空比 PWM 输出进行报告，这可简化器件加载管理。报告的故障包括过流、短路、过热、VDD UVLO 以及高阻抗 RDRV 引脚。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG3422R030	RQZ（VQFN，54）	12.00mm × 12.00mm
LMG3426R030		
LMG3427R030		

(1) 如需更多信息，请参阅*机械、封装和可订购信息*部分。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

器件型号	零电压检测功能	零电流检测功能
LMG3422R030	—	—
LMG3426R030	是	—
LMG3427R030	—	是

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息 7
5.5 电气特性 7
5.6 开关特性 9
5.7 典型特性 11
6 参数测量信息 13
6.1 开关参数 13
6.2 安全工作区（SOA） 17
7 详细说明 18
7.1 概述 18
7.2 功能方框图 19
7.3 特性说明 22
7.4 启动序列 34
7.5 器件功能模式 35
8 应用和实施 36
8.1 应用信息 36
8.2 典型应用 37
8.3 注意事项 41
8.4 电源相关建议 41
8.5 布局 42
9 器件和文档支持 47
9.1 文档支持 47
9.2 接收文档更新通知 47
9.3 支持资源 47
9.4 商标 47
9.5 静电放电警告 47
9.6 Export Control Notice 47
9.7 术语表 47
10 修订历史记录 48
11 机械、封装和可订购信息 49

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

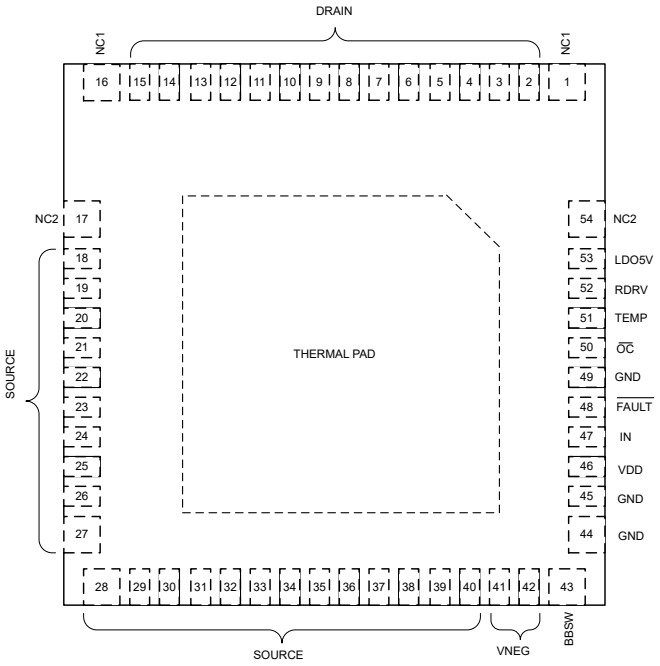


图 4-1. LMG3422R030 RQZ 封装 54 引脚 VQFN（顶视图）

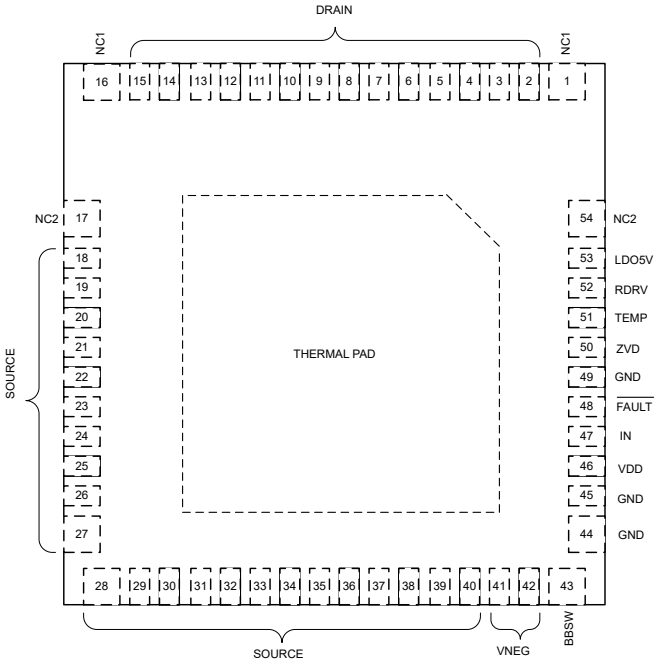


图 4-2. LMG3426R030 RQZ 封装，54 引脚 VQFN（顶视图）

Copyright © 2025 Texas Instruments Incorporated

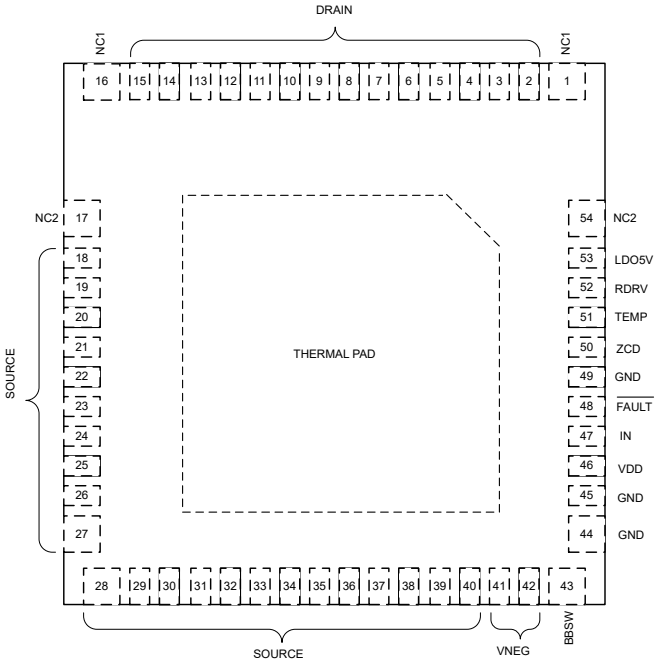


图 4-3. LMG3427R030 RQZ 封装，54 引脚 VQFN（顶视图）

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	LMG3422R030	LMG3426R030	LMG3427R030		
NC1	1、16	1、16	1、16	—	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。在内部连接到 DRAIN。
DRAIN	2 – 15	2 – 15	2 – 15	P	GaN FET 漏极。在内部连接到 NC1。
NC2	17、54	17、54	17、54	—	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。内部连接到源级、GND 以及散热焊盘。
源级	18 – 40	18 – 40	18 – 40	P	GaN FET 源极。内部连接到 GND、NC2 以及散热焊盘。
VNEG	41 – 42	41 – 42	41 – 42	P	内部降压/升压转换器负输出。用作负电源，以便关断耗尽模式 GaN FET。利用一个 2.2μF 电容旁接接地。
BBSW	43	43	43	P	内部降压/升压转换器开关管脚。在该点与接地端之间连接一个电感器。
GND	44, 45, 49	44, 45, 49	44, 45, 49	G	信号地。内部连接到源级、NC2 以及散热焊盘。
VDD	46	46	46	P	器件输入电源。
IN	47	47	47	I	用于打开与关闭 FET 的 CMOS 兼容非反相输入。
$\overline{\text{FAULT}}$	48	48	48	O	故障条件下，置位为低电平的推挽式数字输出。如需了解更多详细信息，可参阅 *“故障检测”* 部分。
$\overline{\text{OC}}$	50	—	—	O	在过流与短路故障条件期间置位为低电平的推挽式数字输出。如需了解更多详细信息，可参阅 *“故障检测”* 部分。
ZVD	—	50	—	O	能够提供零电压检测信号的推挽式数字输出，用以指示器件在电流开关周期中是否实现零电压开关。如需了解更多详细信息，可参阅零电压检测（ZVD）（仅限 LMG3426R030）。
ZCD	—	—	50	O	能够在检测到正漏源电流时提供零电流检测信号的推挽式数字输出。如需了解更多详细信息，可参阅 *零电流检测（ZCD）（仅限 LMG3427R030）*。
TEMP	51	51	51	O	提供有关 GaN FET 温度信息的推挽式数字输出。输出一个固定的 9kHz 脉冲波形。对于器件温度，编码为波形的占空比。
RDRV	52	52	52	I	驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，设置导通驱动强度以控制压摆率。将该引脚连接至 GND 能够启用 150V/ns，连接至 LDO5V，能够启用 100V/ns。
LDO5V	53	53	53	P	用于外部数字隔离器的 5V LDO 输出。
散热焊盘	—	—	—	—	散热焊盘。内部连接至源级、GND 以及 NC2。散热焊盘可用于传导额定器件电流。

(1) I = 输入，O = 输出，P = 电源，G = 接地

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

除非另有说明，否则：电压以 GND 为基准(1)

			最小值	最大值	单位
V_{DS}	漏源电压，FET 关断			600	V
$V_{DS(surge)}$	漏源电压，FET 开关，浪涌条件(2)			720	V
$V_{DS(tr)(surge)}$	漏源瞬态振铃峰值电压，FET 关断，浪涌条件(2) (3)			800	V
	引脚电压	VDD	-0.3	20	V
		LDO5V	-0.3	5.5	V
		VNEG	-16	0.3	V
		BBSW	V_{VNEG} – 1	V_{VDD}+0.5	V
		IN	-0.3	20	V
		$\overline{FAULT}$, $\overline{OC}$, ZVD, ZCD, TEMP	-0.3	V_{LDO5V}+0.3	V
		RDRV	-0.3	5.5	V
$I_{D(RMS)}$	漏极 RMS 电流，FET 导通			55	A
$I_{D(pulse)}$	漏极脉冲电流，FET 导通，tp < 10µs(4)		-120	受内部限制	A
$I_{S(pulse)}$	源极脉冲电流，FET 关断，tp < 1µs			80	A
T_J	工作结温(5)		-40	150	°C
T_{stg}	贮存温度		-55	150	°C

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 参阅 节 7.3.3，了解开关周期漏源额定电压相关解释。
(3) 图 7-1 中 t1 < 200ns。
(4) 正向脉冲电流必须保持在过流阈值以下，以免 FET 自动关断。t_p < 10µs 时，FET 漏极固有正向脉冲电流的额定值为 120A。
(5) 参阅“电气与开关特性表”，了解结温测试条件。

5.2 ESD 等级

参数			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

除非另有说明，否则：电压以 GND 或连接至 GND 的 SOURCE 为基准

			最小值	标称值	最大值	单位
	电源电压	VDD （V_{VDD} < 9V 时的最大开关频率降额）	7.5	12	18	V
	输入电压	IN	0	5	18	V
$I_{D(RMS)}$	漏极 RMS 电流				40	A
	正极源电流	LDO5V			25	mA
R_{RDRV}	来自外部压摆率控制电阻的 RDRV 至 GND 电阻		0		500	kΩ
C_{VNEG}	来自外部旁路电容器的 VNEG 至 GND 电容		1		10	uF

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件（续）

除非另有说明，否则：电压以 GND 或连接至 GND 的 SOURCE 为基准

		最小值	标称值	最大值	单位
L_{BBSW}	来自外部降压/升压电感器的 BBSW 至 GND 电感 (1)	3	4.7	10	uH

(1) 建议采用大于 1A 的额定电流。

5.4 热性能信息

热指标(1)		LMG342xR030 RQZ (VQFN) 54 引脚	单位
$R_{\theta JC(bot,avg)}$	结至外壳（底部）平均热阻	0.55	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

除非另有说明，否则：电压、电阻、电容以及电感均以 GND 为基准；–40℃ ≤ T_J ≤ 125℃；
V_{DS} = 480V；9V ≤ V_{VDD} ≤ 18V；V_{IN} = 0V；RDRV 连接至 LDO5V；L_{BBSW} = 4.7μH

参数		测试条件	最小值	典型值	最大值	单位
GaN 功率晶体管						
$R_{DS(on)}$	漏源导通电阻	V_{IN} = 5V，T_J = 25°C		26	35	mΩ
		V_{IN} = 5V，T_J = 125°C		45		mΩ
V_{SD}	第三象限模式源漏电压	I_S = 0.1A		3.8		V
		I_S = 20A	3	5		V
I_{DSS}	漏极漏电流	V_{DS} = 600V，T_J = 25°C		1		uA
		V_{DS} = 600V，T_J = 125°C		10		uA
C_{OSS}	输出电容	V_{DS} = 400V	130	170		pF
$C_{O(er)}$	与能量相关的有效输出电容	V_{DS} = 0V 到 400V	230	276	335	pF
$C_{O(tr)}$	与时间相关的有效输出电容			430		pF
Q_{OSS}	输出电荷		160	175		nC
Q_{RR}	反向恢复电荷			0		nC
VDD – 电源电流						
	VDD 静态电流 (LMG3422)	V_{VDD} = 12V, V_{IN} = 0V 或 5V		700	1200	uA
	VDD 静态电流 (LMG3425)	V_{VDD} = 12V, V_{IN} = 0V 或 5V		780	1300	uA
	VDD 工作电流	V_{VDD} = 12V，f_{IN} = 140kHz，软开关		13	18	mA
降压/升压转换器						
	VNEG 输出电压	VNEG 灌电流 40mA		-14		V
$I_{BBSW,PK(low)}$	低峰值电流模式设置下的 BBSW 峰拉电流（外部降压/升压电感器电流峰值）		0.3	0.4	0.5	A
$I_{BBSW,PK(high)}$	高峰值电流模式设置下的 BBSW 峰拉电流（外部降压/升压电感器电流峰值）		0.8	1	1.2	A
	高峰值电流模式设置启用 – 输入正向阈值频率		280	420	515	kHz
LDO5V						
	输出电压	LDO5V 拉取 25mA	4.75	5	5.25	V

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

除非另有说明，否则：电压、电阻、电容以及电感均以 GND 为基准；–40℃ ≤ T_J ≤ 125℃；
V_{DS} = 480V；9V ≤ V_{VDD} ≤ 18V；V_{IN} = 0V；RDRV 连接至 LDO5V；L_{BBSW} = 4.7μH

参数		测试条件	最小值	典型值	最大值	单位
	短路电流		25	50	100	mA
IN						
$V_{IN,IT+}$	正向输入阈值电压		1.7	1.9	2.45	V
$V_{IN,IT-}$	负向输入阈值电压		0.7	1	1.3	V
	输入阈值迟滞		0.7	0.9	1.3	V
	输入下拉电阻	V_{IN} = 2V	100	150	200	kΩ
$\overline{FAULT}$，$\overline{OC}$，TEMP – OUPUT DRIVE						
	低电平输出电压	输出灌电流 8mA		0.16	0.4	V
	高电平输出电压	输出拉电流 8mA（测量为 V_{LDO5V} – V_O）		0.2	0.45	V
VDD，VNEG – 欠压锁定						
$V_{VDD,T+}$ (UVLO)	VDD UVLO – 正向阈值电压		6.5	7	7.5	V
	VDD UVLO – 负向阈值电压		6.1	6.5	7	V
	VDD UVLO – 输入阈值电压迟滞			510		mV
	VNEG UVLO – 负向阈值电压		-13.6	-13.0	-12.3	V
	VNEG UVLO – 正向阈值电压		-13.2	-12.75	-12.1	V
栅极驱动器						
	导通压摆率	从 V_{DS} < 320V 到 V_{DS} < 80V，RDRV 与 LDO5V 断开，R_{RDRV} = 300kΩ，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅 图 6-1		20		V/ns
		从 V_{DS} < 320V 到 V_{DS} < 80V，RDRV 与 LDO5V 连接，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅 图 6-1		100		V/ns
		从 V_{DS} < 320V 到 V_{DS} < 80V，RDRV 与 LDO5V 断开，R_{RDRV} = 0Ω，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅 图 6-1		150		V/ns
	GaN FET 最大开关频率。	V_{NEG} 上升至 > –13.25V，软开关，当 V_{VDD} < 9V 时的最大开关频率降额	2.2			MHz
故障						
$I_{T(OC)}$	漏极过流故障 - 阈值电流		60	70	80	A
$I_{T(SC)}$	漏极短路故障 - 阈值电流		80	95	110	A
$di/dt_{T(SC)}$	过流与短路故障之间的 di/dt 阈值		150			A/μs
	GaN 温度故障 – 正向阈值温度			175		°C
	GaN 温度故障 – 阈值温度迟滞			30		°C
	驱动器温度故障 - 正向阈值温度			185		°C
	驱动器温度故障 – 阈值温度迟滞			20		°C
TEMP						
	输出频率		4.5	9	14	kHz

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

除非另有说明，否则：电压、电阻、电容以及电感均以 GND 为基准；–40℃ ≤ T_J ≤ 125℃；
V_{DS} = 480V；9V ≤ V_{VDD} ≤ 18V；V_{IN} = 0V；RDRV 连接至 LDO5V；L_{BBSW} = 4.7μH

参数		测试条件	最小值	典型值	最大值	单位
	输出 PWM 占空比	GaN T_J = 150℃		82		%
		GaN T_J = 125℃	58.5	64.6	70	%
		GaN T_J = 85℃	36.2	40	43.7	%
		GaN T_J = 25℃	0.3	3	6	%
理想二极管模式控制						
$V_{T(3rd)}$	漏源第三象限检测 – 阈值电压		-0.15	0	0.15	V
$I_{T(ZC)}$	漏极零电流检测 – 阈值电流	0°C ≤ T_J ≤ 125°C	-0.2	0	0.2	A
		–40°C ≤ T_J ≤ 0°C	-0.35	0	0.35	A

5.6 开关特性

除非另有说明，否则：电压、电阻、电容以及电感均以 GND 为基准；–40℃ ≤ T_J ≤ 125℃；
V_{DS} = 480V；9V ≤ V_{VDD} ≤ 18V；V_{IN} = 0V；RDRV 连接至 LDO5V；L_{BBSW} = 4.7μH

参数		测试条件	最小值	典型值	最大值	单位
开关时间						
$t_{d(on)}$ (Idrain)	漏极电流导通延迟时间	从 V_{IN} > $V_{IN,IT+}$ 到 I_D > 1A，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅图 6-1 与 图 6-2		28	42	ns
$t_{d(on)}$	导通延迟时间	从 V_{IN} > $V_{IN,IT+}$ 到 V_{DS} < 320V，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅图 6-1 与 图 6-2		32	52	ns
$t_{r(on)}$	导通上升时间	从 V_{DS} < 320V 到 V_{DS} < 80V，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅 图 6-1 与 图 6-2		2.5	4	ns
$t_{d(off)}$	关断延迟时间	从 V_{IN} < $V_{IN,IT-}$ 到 V_{DS} > 80V，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅图 6-1 与 图 6-2		44	65	ns
$t_{f(off)}$	关断下降时间(1)	从 V_{DS} > 80V 到 V_{DS} > 320V，V_{BUS} = 400V，L_{HB} 电流 = 10A，参阅 图 6-1 与 图 6-2			21	ns
	FET 导通所需的最小输入高电平脉冲宽度	V_{IN} 上升/下降时间 < 1ns，V_{DS} 下降至 < 200V，V_{BUS} = 400V， L_{HB} 电流 = 10A，参阅图 6-1			24	ns
启动时间						
$t_{(start)}$	驱动器启动时间	从 V_{VDD} > $V_{VDD,T+(UVLO)}$ 到 “故障” 高电平，C_{LDO5V} = 100nF，C_{VNEG} = 2.2μF（0V 偏压时）线性下降到 1.5μF（15V 偏压时）		310	470	us
故障时间						
$t_{off(OC)}$	过流故障 FET 关断时间，过流前 FET 导通	V_{IN} = 5V，从 I_D > $I_{T(OC)}$ 到 I_D < 50A，I_D di/dt = 100A/μs		110	145	ns
$t_{off(SC)}$	短路电流故障 FET 关断时间（FET 在短路前处于导通状态）	V_{IN} = 5V，从 I_D > $I_{T(SC)}$ 到 I_D < 50A，I_D di/dt = 700A/μs		65	100	ns
	过流故障 FET 关断时间（FET 导通时进入过流状态）	从 I_D > $I_{T(OC)}$ 到 I_D < 50A		200	250	ns
	短路故障 FET 关断时间（FET 导通时进入短路状态）	从 I_D > $I_{T(SC)}$ 到 I_D < 50A		80	180	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

除非另有说明，否则：电压、电阻、电容以及电感均以 GND 为基准；–40℃ ≤ T_J ≤ 125℃；
V_{DS} = 480V；9V ≤ V_{VDD} ≤ 18V；V_{IN} = 0V；RDRV 连接至 LDO5V；L_{BBSW} = 4.7μH

参数		测试条件	最小值	典型值	最大值	单位
	清除“故障”锁存的输入复位时间	从 V_{IN} < $V_{IN,IT-}$ 到故障高电平	250	380	580	us
$t_{(window)(OC)}$	过流故障至短路故障的窗口时间			50		ns
理想二极管模式控制时间						
	过温关断理想二极管模式输入下降消隐时间		150	230	360	ns
零电压检测与零电流检测时间						
t_{WD_ZVD}	ZVD/ZCD 脉冲宽度	请参阅 图 6-3	75	100	140	ns
t_{DL_ZVD}	输入上升到 ZVD 脉冲上升沿之间的时间延迟	请参阅 图 6-3		15	30	ns
t_{3rd_ZVD}	ZVD 脉冲开始出现时的第三象限导通时间	V_{bus} = 10V，I_L = 5A，R_{drv} = 5V，测量 ZVD 脉冲开始出现时的第三象限导通时间。请参阅 图 6-3		42	56	ns
t_{ZCD_Blank}	FET 导通后的 ZCD 脉冲的有效消隐时间。	RDRV 保持在 5V（100V/ns）。I_L = 5A	60	96	140	ns
t_{zc_Det}	电流过零到 ZCD 脉冲的时间	Di/dt = 30A/μs		20	57	ns

(1) 关断期间，V_{DS} 上升时间是 C_{OSS} 与环路电感以及负载电流的谐振结果。

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

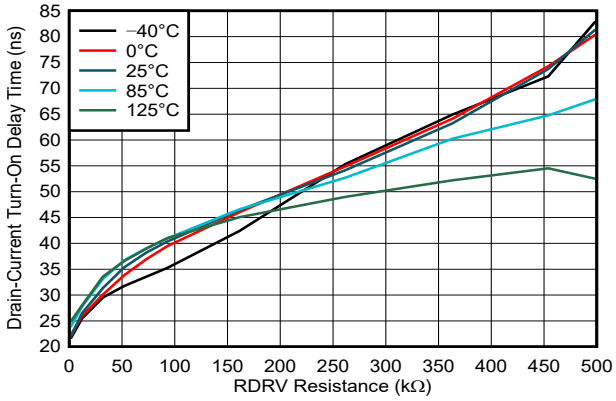


图 5-1. 漏极电流导通延迟时间与驱动强度电阻之间的关系

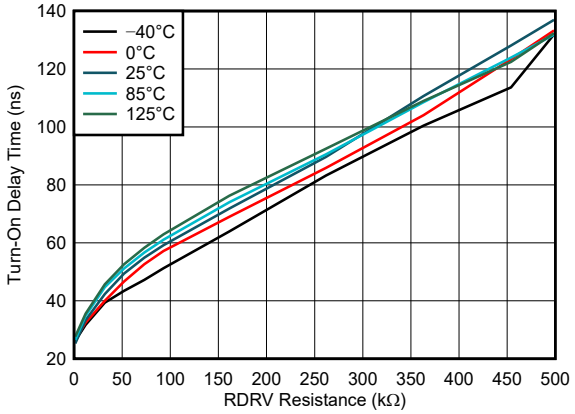


图 5-2. 导通延迟时间与驱动强度电阻之间的关系

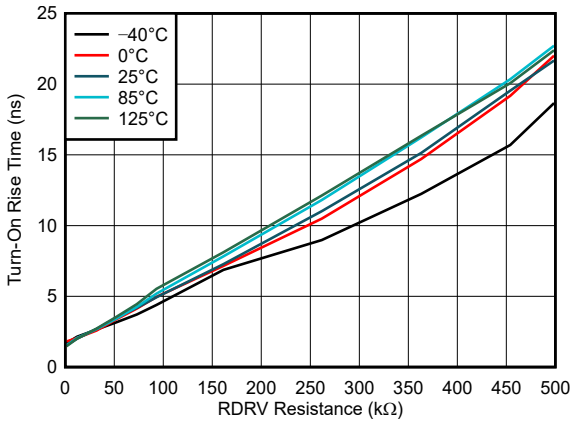


图 5-3. 导通上升时间与驱动强度电阻之间的关系

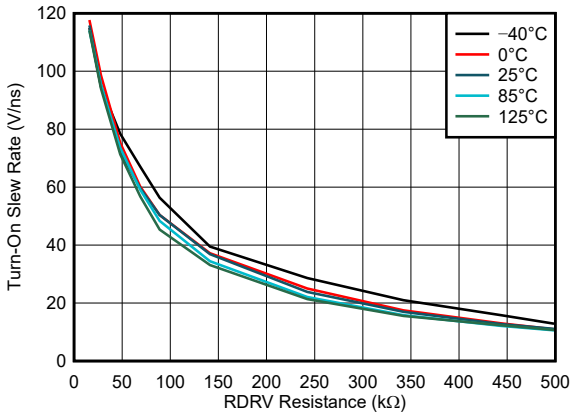


图 5-4. 导通压摆率与驱动强度电阻之间的关系

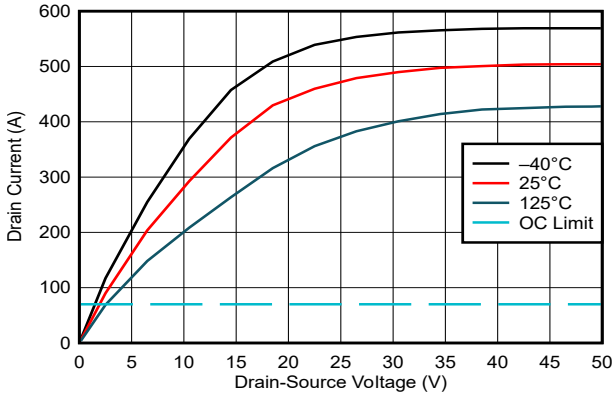
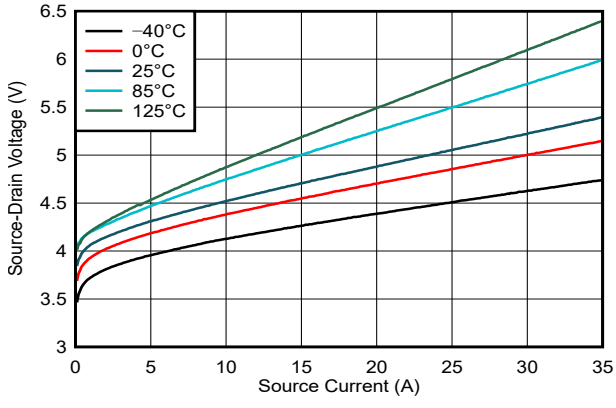


图 5-5. 漏极电流与漏源电压之间的关系



IN = 0V

图 5-6. 关断状态下源漏电压与源极电流之间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

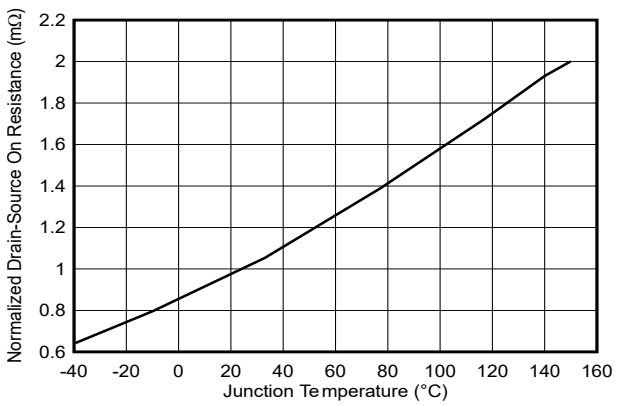


图 5-7. 标准化导通电阻与结温间的关系

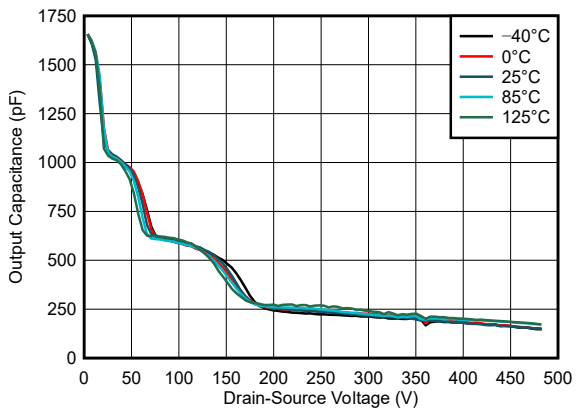


图 5-8. 输出电容与漏源电压之间的关系

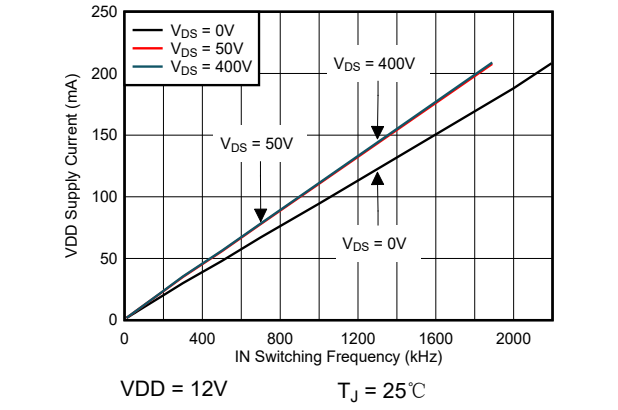


图 5-9. VDD 电源电流与输入开关频率之间的关系

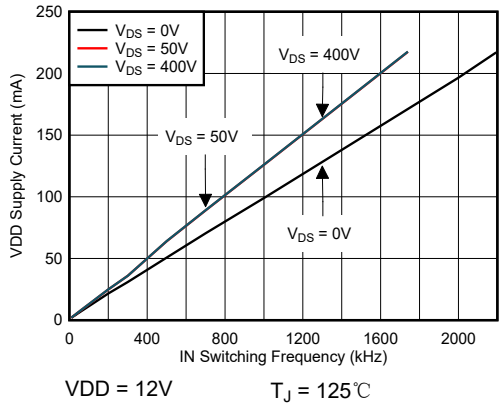


图 5-10. VDD 电源电流与输入开关频率之间的关系

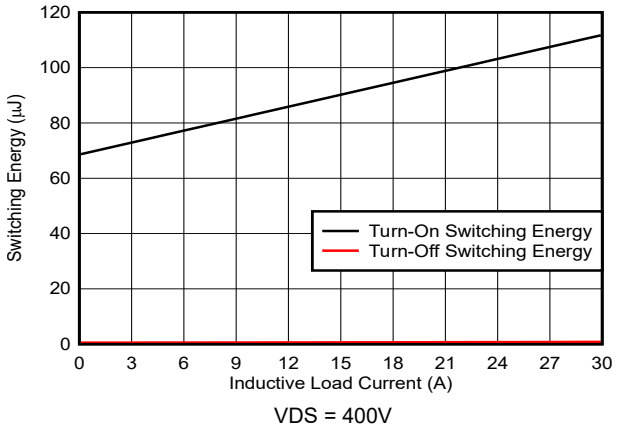


图 5-11. 半桥开关能量与电感负载电流之间的关系

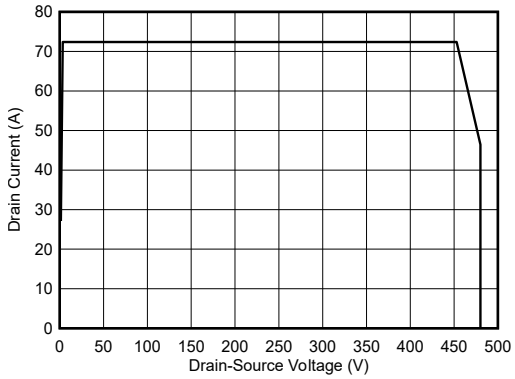


图 5-12. 最大安全工作区

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 开关参数

图 6-1 展示了用于测量大多数开关参数的电路。该电路的顶部器件用于电感器电流再循环，并且仅在第三象限模式下运行。底部器件是有源器件，导通后可将电感器电流增加到所需测试电流。然后，底部器件将关断和导通，以在特定电感器电流下生成开关波形。测量漏极电流（在源极）和漏源电压。图 6-2 展示了具体的时序测量结果。TI 建议使用半桥作为双脉冲测试仪。第三象限过度运行可能会使顶部器件过热。

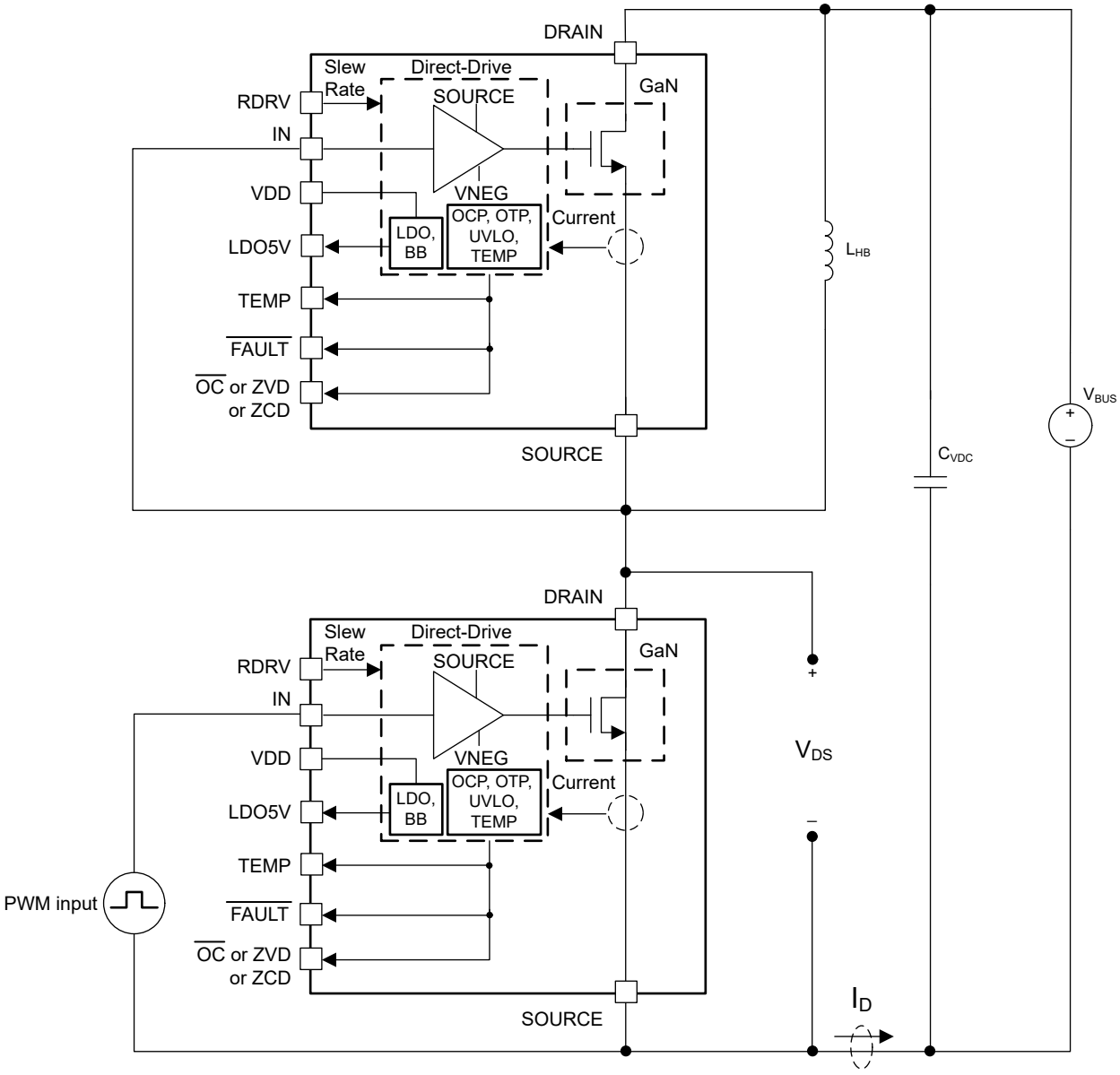


图 6-1. 用于确定开关参数的电路

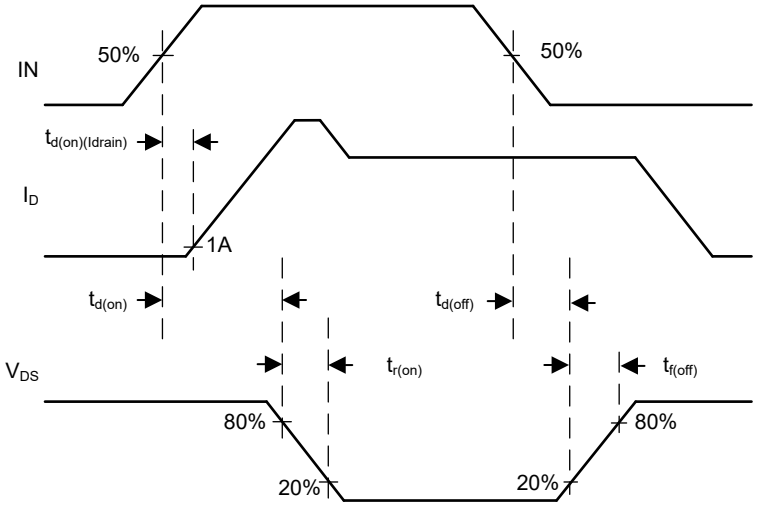


图 6-2. 用于确定传播延迟和压摆率的测量

6.1.1 导通时间

导通转换有三个时序分量：漏极电流导通延迟时间、导通延迟时间以及导通上升时间。漏极电流导通延迟时间是 GaN FET 漏极电流达到 1A 情况下输入变为高电平所需要的时间。导致延迟时间是指从 IN 变为高电平到漏源电压下降到总线电压 20% 以下的时间。最后，导通延迟时间是指漏源电压从下降至低于总线电压的 20% 到下降至低于总线电压的 80% 所需要的时间。请注意，导通上升时间与 V_{DS} 80% 至 20% 下降时间相同。所有三个导通时序分量都是 RDRV 引脚设置的函数。

6.1.2 关断时间

关断转换具有两个时序分量：关断延迟时间与关断下降时间。关断延迟时间是指从 IN 变为低电平到漏源电压上升到总线电压 20% 的时间。关断下降时间是指漏源电压从总线电压的 20% 上升到总线电压的 80% 需要的时间。请注意，关断下降时间与 V_{DS} 20% 至 80% 上升时间相同。关断时序分量与 RDRV 引脚设置无关，但很大程度上取决于 L_{HB} 负载电流。

6.1.3 漏源导通压摆率

漏源导通压摆率（单位：伏/纳秒）是导通上升时间的倒数，或者等于 V_{DS} 从 80% 下降到 20% 所需时间的倒数。RDRV 引脚用于设定压摆率。

Copyright © 2025 Texas Instruments Incorporated

6.1.4 导通和关断开关能量

图 5-11 中显示的导通和关断开关能量表示电路导通和关断瞬态期间低侧器件吸收的能量。图 6-1 中的电路代表输入短接至输出的升压转换器，开关能量将在低侧器件中耗散。硬开关导通损耗包括半桥的 Coss 损耗和导通重叠损耗，关断损耗则可忽略不计，因为电感器电流主要为器件的输出电容充电。通过分别在导通和关断时间内对漏极电流与漏源电压的乘积进行积分，可根据实验波形计算出导通和关断损耗。电压和电流探头的偏移对于精确测量导通和关断能量非常重要。

6.1.5 零电压检测时间（仅限 LMG3426R030）

图 6-3 定义了与零电压检测 (ZVD) 块相关的开关时序，并演示了器件的漏源电压、IN 引脚信号和 ZVD 输出信号。当器件实现零电压开关（ZVS）时，ZVD 引脚会输出宽度为 T_{WD_ZVD} 的脉冲信号，将输入引脚上升沿与 ZVD 脉冲上升沿之间的延迟时间定义为 T_{DL_ZVD}。为了让器件检测到零电压开关，需要一段特定的第三象限导通时间，由 T_{3rd_ZVD} 指示此时序。参阅 *“零电压检测（ZVD）”* 部分，了解有关 ZVD 时序参数的更多信息。

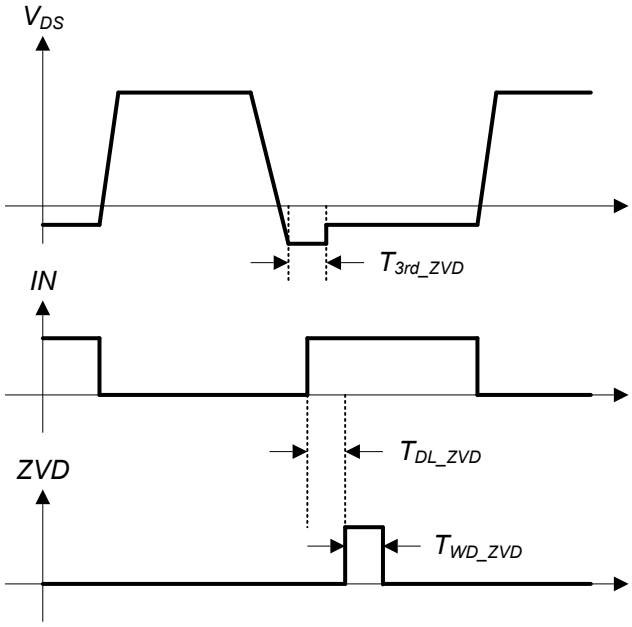


图 6-3. ZVD 时序规格

6.1.6 零电流检测时间（仅限 LMG3427R030）

图 6-4 定义了有关零电流检测（ZCD）块的开关时序，演示了器件的漏源电流、输入引脚信号以及 ZCD 输出信号。ZCD 块会从根据 t_{ZCD_Blank}（通过输入引脚信号上升沿测量）定义的消隐期结束后，开始检测漏极到源极的正向电流。随后，检测到漏极到源极的正向电流时，ZCD 引脚会输出宽度为 t_{WD_ZVD} 的脉冲信号，正向电流检测与 ZCD 脉冲上升沿之间的延迟时间定义为 t_{zc_Det}。如需了解有关 ZCD 时序参数的更多信息，可参阅 *零电流检测（ZCD）（仅限 LMG3427R030）* 部分。

Copyright © 2025 Texas Instruments Incorporated

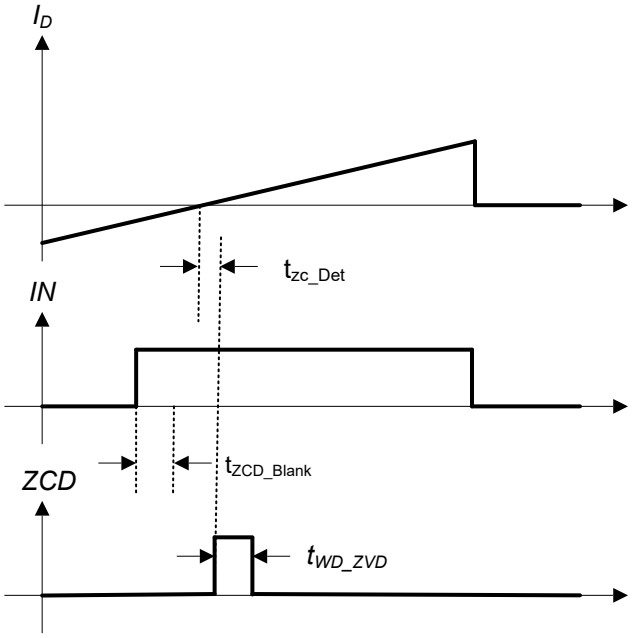


图 6-4. ZCD 时序规格

Copyright © 2025 Texas Instruments Incorporated

6.2 安全工作区（SOA）

6.2.1 重复性安全工作区

对于 LMG342xR030（图 5-12）的容许重复性安全工作区，由导通期间的漏极峰值电流（I_{DS}）与漏源电压（V_{DS}）决定。开关期间的峰值漏极电流是进入漏极端子的几个电流之和：电感电流（I_{ind}）；为图腾柱中其他 GaN 器件的 C_{OSS} 充电所需要的电流；以及为开关节点上的寄生电容充电所需要的电流（C_{par}）。285pF 用作开关期间器件的平均 C_{OSS}。对于开关节点上的寄生电容，可通过 PCB 的叠加电容估算。安全工作区测试采用升压拓扑结构。图 6-5 所示电路用于生成 图 5-12 中安全工作区曲线。为保证可靠运行，器件结温也必须限制在 125℃。图 5-12 的 I_{DS} 的计算公式如下：

$$I_{DS} = I_{ind} + (285pF + C_{par}) * \text{Drain slew rate at peak current} \quad (1)$$

其中，峰值电流时的漏极转换率估计为总线电压的 70% 至 30%，C_{par} 为开关节点处的寄生电路板电容。

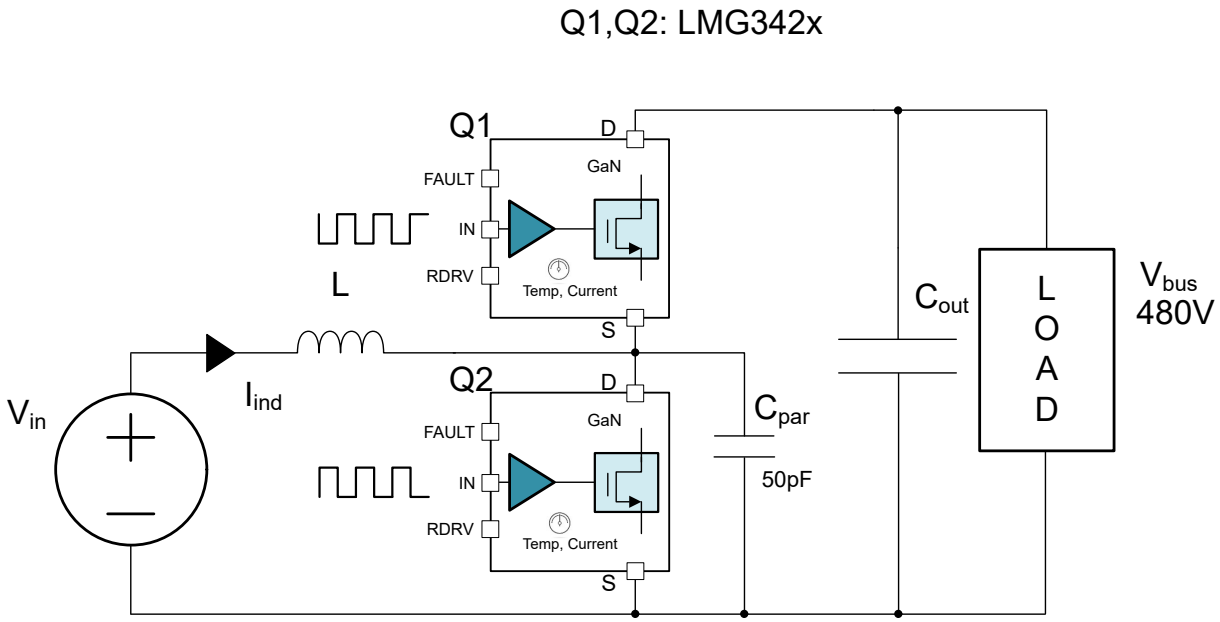


图 6-5. 安全工作区曲线所用电路

如需了解更多详细信息，可参阅 *《实现 GaN 产品的寿命可靠性》*。

7 详细说明

7.1 概述

LMG342xR030 是一款具有集成栅极驱动器的高性能功率 GaN 器件。GaN 器件提供零反向恢复和超低输出电容，可在基于桥的拓扑中获得高效率。直接驱动架构适用于通过集成式栅极驱动器直接控制 GaN 器件。相较传统的级联方法，该架构具有更为出色的开关性能，有助于解决 GaN 应用中的一系列难题。

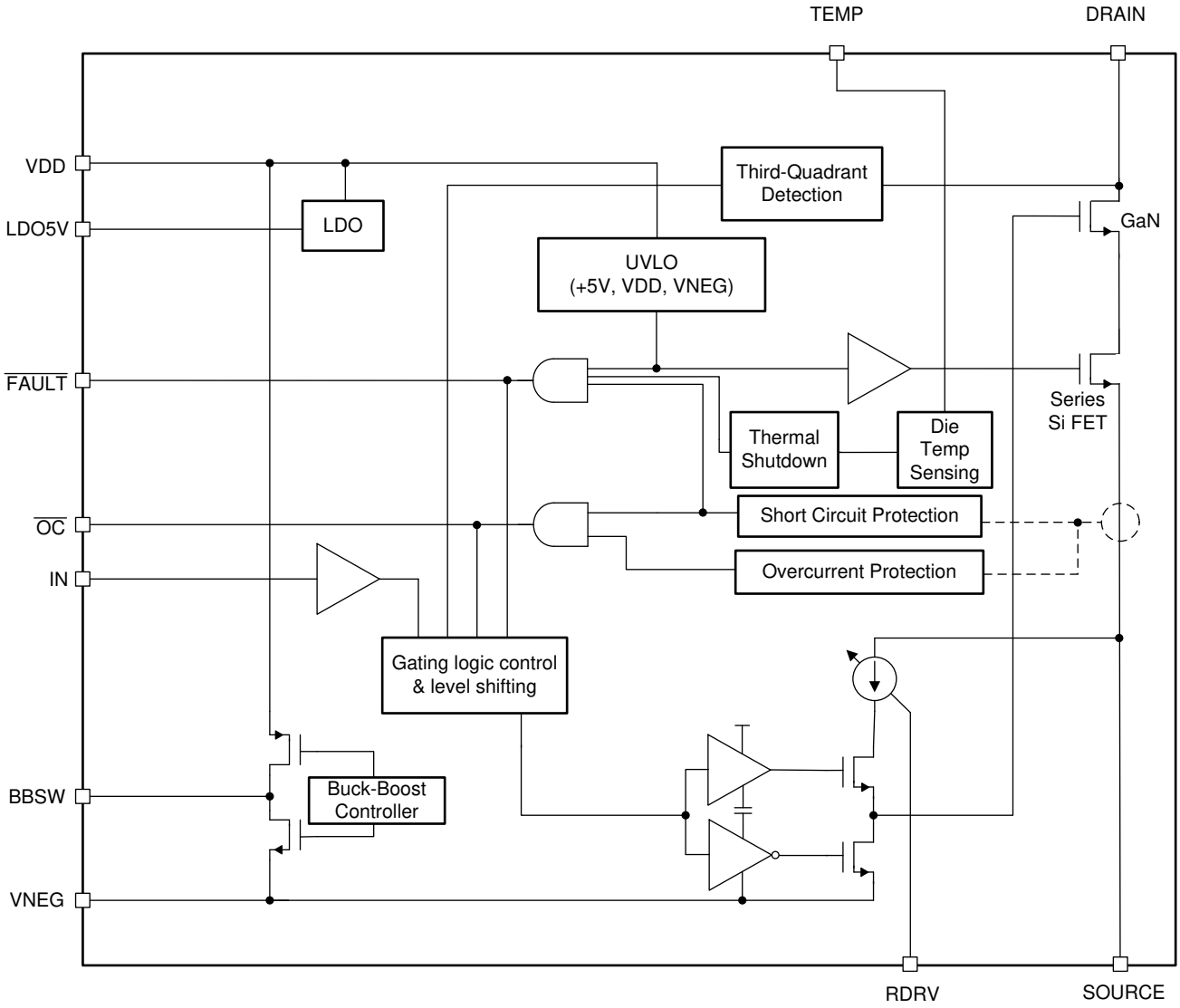
集成驱动器可确保器件在漏极压摆率 时保持关断状态。集成驱动器可保护 GaN 器件免受过流、短路、过热、VDD 欠压和高阻抗 RDRV 引脚的影响。集成式驱动器还能够感测芯片温度，能够通过一个经调制的 PWM 信号发出温度信号。 LMG3426R030 具有零电压检测 (ZVD) 功能，可在检测到零电压开关 (ZVS) 时在 ZVD 引脚输出脉冲信号。 LMG3427R030 包含零电流检测 (ZCD) 功能，可在检测到正漏源电流时提供来自 ZCD 引脚的脉冲输出。

与 Si MOSFET 不同，GaN 器件在源极到漏极之间没有 p-n 结，因此没有反向恢复电荷。然而，GaN 器件仍然会像 p-n 结体二极管一样从源极导通到漏极，但压降更高，导通损耗更高。因此，必须在 LMG342xR030 GaN FET 关断时尽可能缩短源漏导通时间。

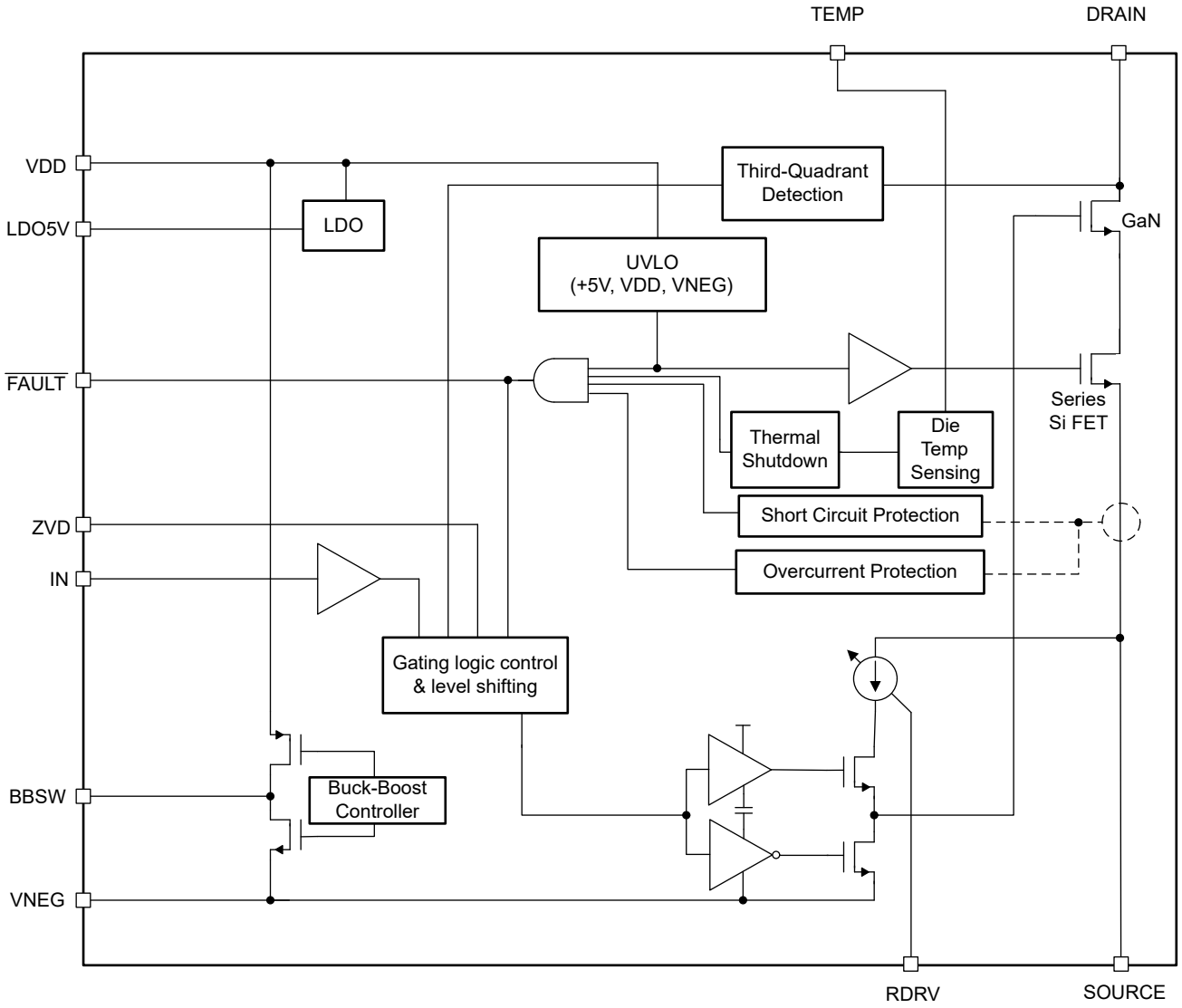
Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

7.2.1 LMG3422R030 功能方框图

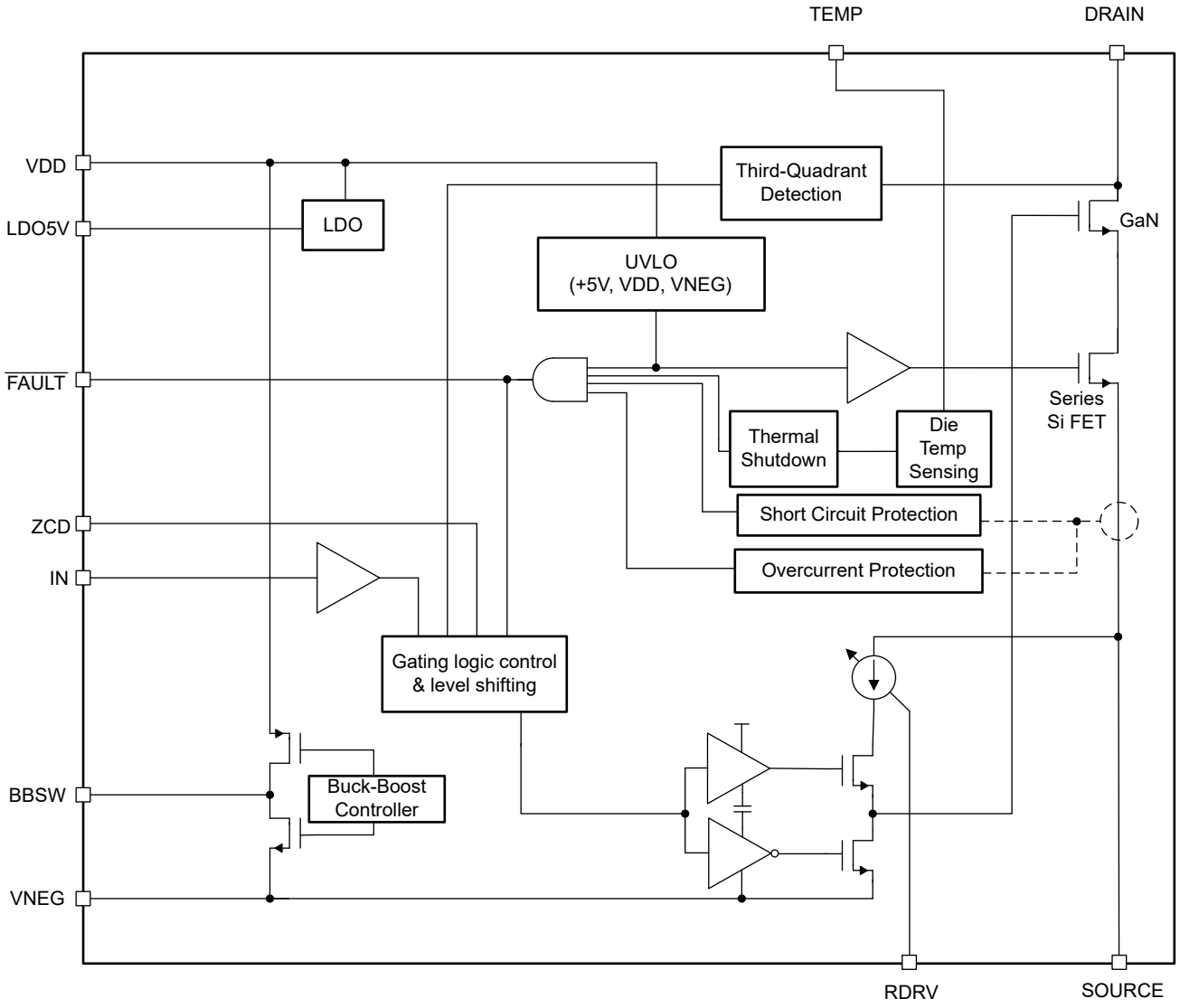


7.2.2 LMG3426R030 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.2.3 LMG3427R030 功能方框图



7.3 特性说明

LMG342xR030 包括能够提供卓越开关性能与转换器效率的高级特性。

7.3.1 GaN FET 操作定义

在本数据表中，以下术语具有如下定义。就该等定义而言，假定源极引脚为 0V。

第一象限电流 = 从“漏极”引脚流向“源极”引脚的内部正向电流。

第三象限电流 = 从“源极”引脚流向“漏极”引脚的内部正向电流。

第一象限电压 = 漏极引脚电压 - 源极引脚电压 = 漏极引脚电压

第三象限电压 = 源极引脚电压 - 漏极引脚电压= -漏极引脚电压

FET 导通状态 = FET 通道处于额定 $R_{DS(on)}$ 状态。第一象限电流与第三象限电流都可以在额定 $R_{DS(on)}$ 下流动。

LMG342xR030 **导通**状态下，GaN FET 内部栅极电压保持源极引脚电压，以便实现额定 $R_{DS(on)}$。GaN FET 沟道在 V_{GS} = 0V 时处于额定 $R_{DS(on)}$，因为 LMG342xR030 GaN FET 为耗尽模式 FET。

FET 关断状态 = 第一象限电压为正时，FET 沟道完全关断。第一象限电流无法流动。尽管在 FET 关断状态下第一象限电流不会流动，但如果“漏极”电压足够负（第三象限电压为正），第三象限电流能够流动。对于具有固有 p-n 结体二极管的器件，当“漏极”电压下降到足以使 p-n 结正向偏置时，电流就会开始流动。

GaN FET 没有固有的 p-n 结体二极管。相反，电流之所以会流动是因为 GaN FET 沟道重新导通。这种情况下，“漏极”引脚会成为电学源极，“源极”引脚回成为电学漏极。为了增强第三象限中的沟道，必须将“漏极”（电学源极）电压调得足够低，以便建立一个大于 GaN FET 阈值电压的 V_{GS} 电压。GaN FET 沟道处于饱和状态，仅导通足以支持第三象限电流作为其饱和电流。

LMG342xR030 **关断**状态下，GaN FET 内部栅极电压保持 VNEG 引脚电压，以便阻断所有第一象限电流。VNEG 电压低于 GaN FET 负阈值电压，以便切断沟道。

为了在关断状态下增强第三象限通道，必须将 LMG342xR030“漏极”（电学源极）电压调得足够靠近 VNEG，以便建立一个大于 GaN FET 阈值电压的 V_{GS} 电压。同样，由于 LMG342xR030 GaN FET 是一种耗尽模式 FET，具有负向阈值电压，这意味着 GaN FET 在“漏极”（电学源极）电压介于 0V 与 VNEG 之间时处于导通状态。第三象限电流为 20 A 时，典型的关断状态第三象限电压为 5 V。因此，LMG342xR030 的关断状态第三象限损耗显著高于具有固有 p-n 结体二极管的同类功率器件。

7.3.2 直接驱动 GaN 架构

LMG342xR030 利用串联 Si FET 来确保在未施加 VDD 偏置电源情况下，电源 IC 保持关断状态。当 VDD 偏置电源关闭时，串联的硅 FET 以级联模式与 GaN 器件互连，如 *“功能方框图”* 所示。对于 GaN 器件的栅极，保持在串联的硅 FET 源极的一伏特范围以内。当漏极施加高电压并且硅 FET 阻断漏极电压时，GaN 器件的 V_{GS} 会降低，直到 GaN 器件通过阈值电压。随后，GaN 器件关断，并且阻断漏极电压的剩余主要部分。存在一个能够确保硅 FET 的 V_{DS} 不会超过最大额定值的内部箝位。该特性能够避免在没有偏置电源情况下串联硅 FET 发生雪崩现象。

当 LMG342xR030 利用 VDD 偏置电源上电时，内部降压/升压转换器能够产生足以直接关断 GaN 器件的负电压（V_{VNEG}）。这种情况下，串联硅 FET 保持导通状态，并且 GaN 器件直接被负电压选通。

与传统的级联驱动 GaN 架构（GaN 栅极接地，驱动硅 MOSFET 栅极，以便控制 GaN 器件）相比，直接驱动配置具有多种优势。首先，由于硅 MOSFET 确实需要在每个开关周期中切换，因此 GaN 栅源电荷（Q_{GS}）更低，并且没有与硅 MOSFET 反向恢复相关的损耗。其次，由于 GaN 漏源电容（C_{DS}）较高，级联配置中关断模式下 GaN 与硅 MOSFET 之间的电压分布会导致 MOSFET 发生雪崩现象。最后，直接驱动配置中的开关转换率能够控制，但级联驱动则无法控制。如需了解直接驱动 GaN 架构的更多相关信息，可参阅 *“适用于 GaN 器件的直接驱动配置”*。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 漏源电压能力

由于硅 FET 在功率开关技术方面长期占据主导地位，因此许多设计人员并未意识到，不能将标称漏源电压作为跨技术器件比较的等效点。硅 FET 的标称漏源电压是根据雪崩击穿电压确定的。GaN FET 的标称漏源电压是根据数据表规格的长期可靠性确定的。

如果超过硅 FET 的标称漏源电压，可能立即导致损坏或造成永久性损坏。与此同时，GaN FET 的击穿电压远高于标称漏源电压。例如，LMG342xR030 的击穿电压超过 800V。

输入电压浪涌期间，硅 FET 通常是电源应用中的薄弱环节。浪涌保护电路必须经过精心设计，确保不会超过硅 FET 雪崩能力，因为将浪涌箝位在硅 FET 击穿电压以下并不可行。但是，将浪涌电压箝位在 GaN FET 击穿电压以下却十分容易。事实上，GaN FET 可以在浪涌期间继续开关，这意味着输出功率不会中断。

利用 图 7-1，能够解释 LMG342xR030 漏源能力。该图显示了在开关应用中，GaN FET 在单个开关周期内的漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。不建议将该器件用作非开关应用中的持续电压应力。

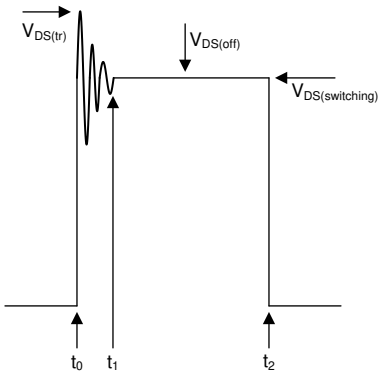


图 7-1. 漏源电压开关周期

FET 处于导通状态时，波形在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。峰值振铃电压指定为 $V_{DS(tr)}$。高频振铃已经减弱了 t_1。在 t_1 和 t_2 之间，FET 漏源电压由开关应用的特性响应设置。该特性显示为一条平线，但也可能有其他响应。t_1 与 t_2 之间的电压指定为 $V_{DS(off)}$。在 t_2 时，GaN FET 在非零漏源电压下导通。在 t_2 时，漏源电压指定为 $V_{DS(switching)}$。图中显示了独特的 $V_{DS(tr)}$、$V_{DS(off)}$ 以及 $V_{DS(switching)}$ 参数，因为每个参数都能够在 GaN FET 的整个寿命内产生应力。

LMG342xR030 漏源浪涌电压能力可以通过 *“规格”* 中的绝对最大额定值 $V_{DS(tr)(surge)}$ 与 $V_{DS(surge)}$ 体现，其中，$V_{DS(tr)(surge)}$ 映射到 图 7-1 中的 $V_{DS(tr)}$，$V_{DS(surge)}$ 映射到 图 7-1 中的 $V_{DS(off)}$ 与 $V_{DS(switching)}$。如需了解有关 TI GaN FET 浪涌能力的更多相关信息，可参阅 *《一种在使用条件下验证 GaN FET 在电源线路浪涌中可靠性的新方法》*。

7.3.4 内部降压/升压 DC-DC 转换器

内部反相降压/升压转换器为 GaN 器件的关断电源生成稳压负电源轨。降压/升压转换器通过滞后控制器峰值电流模式控制。正常运行情况下，转换器保持不连续导通模式，但在启动期间，可能进入连续导通模式。转换器采用内部控制模式，只需要一个表面贴装电感器与输出旁路电容器。通常情况下，转换器设计为使用一个 4.7 µH 电感器与一个 2.2 µF 输出电容器。

降压/升压转换器采用峰值电流迟滞控制模式。如 图 7-2 所示，在电感达到峰值电流限值以前，电感电流在开关周期开始时增加。随后，电感电流会下降至零。对于每个电流脉冲之间的空闲时间，通过降压/升压控制器自动确定，并且可以减小为零。因此，当空闲时间为零时，会出现最大输出电流，该电流由峰值电流决定，但在一阶近似下与电感值无关。然而，降压/升压转换器能够向 -14V 轨输出的峰值电流与 VDD 输入电压成正比。因此，降压/升压转换器能够支持的 GaN 最大开关频率会随着 VDD 电压的变化而变化，并且仅在 VDD 电压高于 9V 时指定为 2.2 MHz。

Copyright © 2025 Texas Instruments Incorporated

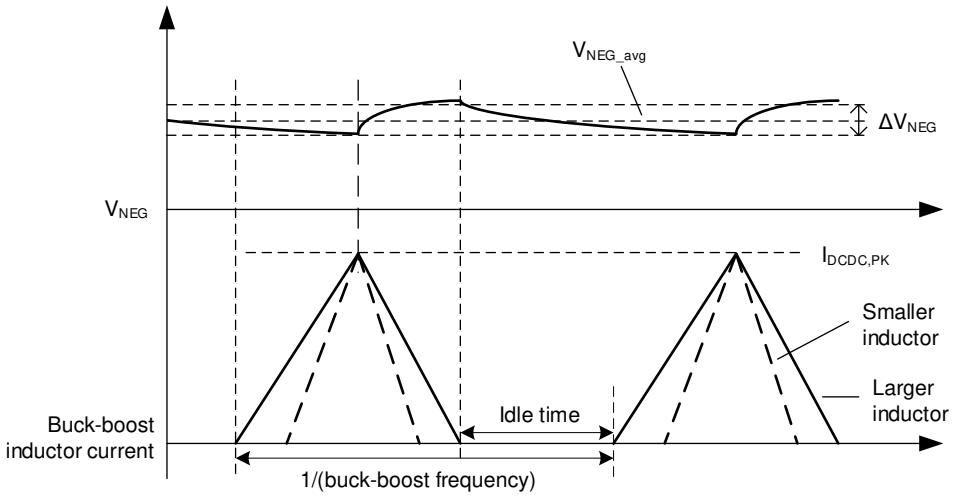


图 7-2. 降压/升压转换器电感器电流

LMG342xR030 支持 GaN 在高达 2.2 MHz 的频率下运行。由于在 GaN 器件启用的较宽的开关频率范围内功耗具有非常大的差别，因此采用两个峰值电流限值来控制降压/升压转换器。对于这两个范围，通过输入正向阈值频率隔开。如 图 7-3 所示，当开关频率处于较低范围时，峰值电流最初设置为较低值 $I_{BBSW,M(low)}$（通常为 0.4A）。当开关频率处于较高范围时，峰值电流会升至较高值 $I_{BBSW,M(high)}$（通常为 1A），需要较大的电感器。该频率检测逻辑上有一个滤波器，因此在设置为较高的降压/升压峰值电流限值以前，需要将 LMG342xR030 以较高的频率连续运行五个周期。设置较高的限值以后，除非关断，否则电流限值不会再次降低。即使开关频率回到较低范围，电流限值也不会降至下限。

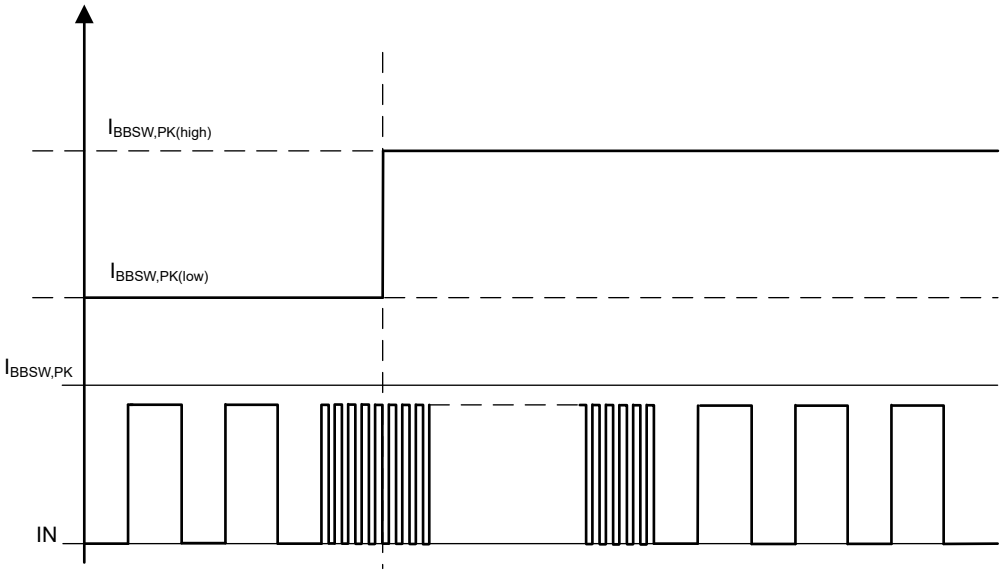


图 7-3. 降压/升压转换器峰值电流

由于降压/升压转换器的峰值电流受到两种不同的峰值电流（低频与高频工作时分别为 0.4A 与 1A）的限制（参阅 *“内部降压/升压 DC-DC 转换器”*），因此电感器的饱和电流必须远高于额定峰值电流限值。通过较高的频率切换较高的限值以后，即使 GaN 器件再以较低的频率进行开关，电流限值也不会回到较低水平。因此，建议根据较高的 1A 限值选择电感器。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 VDD 偏置电源

对于 7.5V 至 18V 的宽 VDD 电压范围，通过内部稳压器提供支持，该稳压器能够提供内部电路工作所需要的偏置电源。如果 VDD 输入电压低于 9V，会导致最大开关频率降低。

7.3.6 辅助 LDO

该子件内部有一个 5V 稳压器，用于为外部负载供电，例如用于高侧驱动信号的数字隔离器。子件的数字输出将该电源轨用作其电源。无需电容器即可实现稳定性，但如果不提供外部电容器，瞬态响应会较差。如果应用使用该电源轨为外部电路供电，TI 建议使用至少 0.1 µ F 的电容器以改善瞬态响应。可以使用更大的电容器，以获得进一步的瞬态响应改善。此处使用的去耦电容器必须是低 ESR 陶瓷型。由于 5V 电源轨存在斜升时间，高于 0.47 µ F 的电容将会减慢 LMG342xR030 的启动速度。

7.3.7 故障保护

GaN 功率集成电路集成了过流保护（OCP）、短路保护（SCP）、过热保护（OTP）、欠压锁定（UVLO）保护以及高阻抗 RDRV 引脚保护功能。

7.3.7.1 过流保护与短路保护

驱动器可检测的电流故障有两种类型：过流故障和短路故障。

过流保护 (OCP) 电路可监测漏极电流，并将该电流信号与内部设定的限值 $I_{T(OC)}$ 进行比较。检测到过流后，LMG342xR030 会执行逐周期过流保护，如 图 7-4 所示。在此模式下，当漏极电流超过 $I_{T(OC)}$ 加上延迟 $t_{off(OC)}$ 时，GaN 器件关断，但过流信号在 IN 引脚信号变为低电平后清除。在下一个周期中，GaN 器件可以正常导通。如果稳态运行电流低于 OCP 电平，但瞬态响应仍可以达到电流限制，而电路运行无法暂停，则可以使用逐周期功能。此外，逐周期功能还能够避免 GaN 器件因过流引起的传导损耗导致出现过热情况。

短路保护（SCP）能够监测漏极电流，当电流在 OC 与 SC 临界值之间交叉时，如果电流的 *di/dt* 超过临界值 $di/dt_{T(SC)}$，就会触发短路保护。它会通过将 OC 检测信号延迟一定量 $t_{OC,window}$，并且利用较高的电流 SC 检测阈值，进行本 *di/dt* 检测。如果延迟的 OC 的发生时间早于非延迟的 SC，该等情况下，*di/dt* 低于阈值，并且会触发 OC。如果首先检测到 SC，那么只要 *di/dt* 足够快，也会被检测到 SC，如 图 7-5 所示。对于这种极高的 *di/dt* 电流，通常是由半桥输出短路引起的，这种情况下，继续工作可能导致 GaN 损害。因此，如果检测到短路故障，GaN 器件会有意慢慢关断驱动器，以便确保能够在关断事件期间实现较低的过冲电压与振铃。即使在硬短路情况下，这种快速响应电路也有助于保护 GaN 器件。这种保护下，GaN 器件将会关断，通过将输入引脚保持低电平（*“规格”* 中定义的）一段时间段或切断 VDD 的电源的方式复位了故障以前，GaN 器件将会保持关断状态。

在半桥中的 OCP 或 SCP 期间，电流达到上限并且器件通过保护关断以后，器件的 PWM 输入仍可能为高电平，辅助器件的 PWM 输入仍可能为低电平。这种情况下，无需进行同步整流，负载电流可以流经辅助器件第三象限。GaN 器件从漏极到源极的高负 V_{DS}（-3V 至 -5V）可能会导致第三象限的高损耗（与空载时间损耗相类似，但时间更长）。

出于安全考量，OCP 允许逐周期操作，在复位以前，SCP 会保持器件锁存状态。如需了解如何报告 OCP 与 SCP 故障的更多信息，可参阅 *“故障报告”* 部分。

Copyright © 2025 Texas Instruments Incorporated

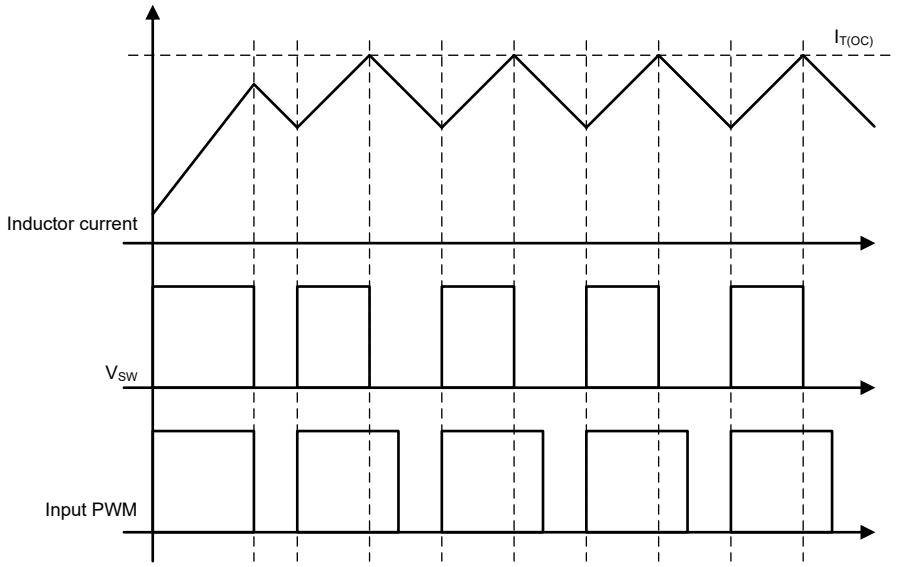


图 7-4. 逐周期 OCP 操作

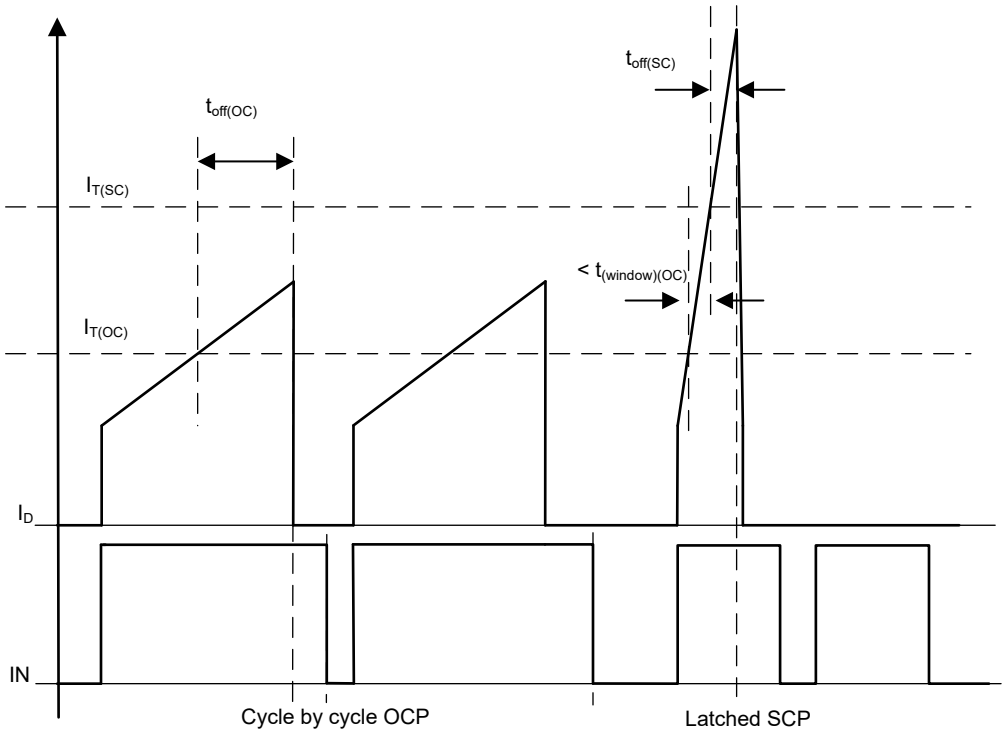


图 7-5. 过流检测与短路检测

7.3.7.2 过温关断保护

LMG342xR030 实现了两种过热关断（OTSD）保护功能，即：GaN OTSD 与驱动器 OTSD。为了最大化器件保护，需要通过感应器件不同位置，以及针对不同热故障情况提供防护的方式提供两种 OTSD 功能。

GaN OTSD 可检测 GaN FET 温度。GaN FET 可能受第一象限电流与第三象限电流影响出现过热情况。如 *"GaN FET 操作定义"* 所述，FET 可以通过进入关断状态的方式，防止第一象限电流，但无法防止第三象限电流。FET 第三象限损耗是 FET 技术、电流大小以及 FET 处于导通或关断状态时的函数。如 *"GaN FET 操作定义"* 所述，LMG342xR030 在关断状态下的 GaN FET 第三象限损耗要高得多。

Copyright © 2025 Texas Instruments Incorporated

GaN FET 温度过高情况下，最好的保护措施是在第一象限电流试图流动时关断 GaN FET，而在第三象限电流流动时导通 GaN FET。该类 FET 控制又称“理想二极管模式（IDM）”。超过 GaN OTSD 跳闸点后，GaN OTSD 会让 GaN FET 进入过温关断理想二极管模式（OTSD-FET IDM）工作，以便实现出色的保护效果。在 *“理想二极管模式操作”* 中，对 OTSD-IDM 进行了详细说明。

相较 GaN OTSD，驱动器 OTSD 能够检测集成驱动器温度，并且能够在温度较高时跳闸。该第二个 OTSD 功能的存在是为了保护 LMG342xR030 免受驱动器热故障事件的影响，也能够为 OTSD-IDM 工作提供足够的温差。该等驱动器热事件包括 LDO5V、BBSW 以及 VNEG 器件引脚上的短路。超过驱动器 OTSD 跳闸点时，驱动器 OTSD 就会关闭 LDO5V 稳压器、VNEG 降压/升压转换器以及 GaN FET。请注意，OTSD-IDM 在驱动器 OTSD 中不起作用。这就是为什么驱动器 OTSD 的跳闸点必须高于 GaN OTSD 功能的原因。否则，无法解决 GaN FET 第三象限过热问题。

由于 GaN OTSD 与驱动器 OTSD 检测点之间存在热梯度差，因此除了 GaN OTSD 与驱动器 OTSD 跳闸点之间的温度差之外，还会产生进一步的温度分离。由于存在 GaN FET 耗散功率，因此当器件处于 GaN OTSD 时，GaN OTSD 传感器通常至少比驱动器 OTSD 传感器高出 20℃。

在 GaN OTSD 状态与驱动器 OTSD 状态下，$\overline{\text{“故障”}}$引脚会被置位。当 GaN OTSD 与驱动器 OTSD 下降到负的跳闸点以下时，$\overline{\text{“故障”}}$引脚会取消置位，器件会自动恢复正常工作。冷却期间，当器件退出驱动器 OTSD 状态，但仍处于 GaN OTSD 状态时，器件将会自动恢复 OTSD-IDM 运行。

7.3.7.3 UVLO 保护

LMG342xR030 支持很大的 VDD 电压范围。但是，当器件低于 UVLO 阈值时，GaN 器件会停止开关，保持关断状态。$\overline{\text{“故障”}}$引脚会被拉低，作为 UVLO 的指示。LDO 与降压/升压会在 VIN UVLO 的上升沿导通，在大约 5V 至 6V 之间关断。

7.3.7.4 高阻抗 RDRV 引脚保护

对于持续监控 RDRV 引脚的情况（参阅 *“驱动强度调整”*），LMG342xR030 会通过持续监控 RDVR 的高阻抗是否高于 R_{RDRV} 建议的工作条件范围的方式，避免危险的慢导通时间。检测到高阻抗 RDRV 引脚时，GaN FET 会保持关断状态，$\overline{\text{“故障”}}$引脚被置位。不再检测到高阻抗 RDRV 引脚后，会恢复正常运行，$\overline{\text{“故障”}}$引脚会取消置位。

7.3.7.5 故障报告

LMG3422R030 可以配置为通过$\overline{\text{“故障”}}$与$\overline{\text{“OC”}}$引脚报告故障，也可以配置为仅通过$\overline{\text{“故障”}}$引脚报告故障。器件 VDD 上电期间，将$\overline{\text{“OC”}}$引脚接地短路时，可将 LMG3422R030 配置为仅通过$\overline{\text{“故障”}}$引脚报告故障。

LMG3426R030 没有$\overline{\text{“OC”}}$引脚，仅通过$\overline{\text{“故障”}}$引脚报告故障。

$\overline{\text{“故障”}}$引脚与$\overline{\text{“OC”}}$引脚是推挽输出。高电平输出电压上拉至 LDO5V 引脚。

表 7-1 为$\overline{\text{“故障”}}$引脚与$\overline{\text{“OC”}}$引脚报告故障时的故障报告真值表。

表 7-1. $\overline{\text{“故障”}}$引脚与$\overline{\text{“OC”}}$引脚报告故障时的故障报告真值表

	无故障	VDD UVLO	过热	高阻抗 RDRV 引脚	过流	短路
$\overline{\text{FAULT}}$	1	0	0	0	1	0
$\overline{\text{OC}}$	1	1	1	1	0	0

表 7-2 为仅$\overline{\text{“故障”}}$引脚报告故障时的故障报告真值表。

表 7-2. 仅$\overline{\text{“故障”}}$引脚报告故障时的故障报告真值表

	无故障	VDD UVLO	过热	高阻抗 RDRV 引脚	过流	短路
$\overline{\text{FAULT}}$	1	0	0	0	0	0

Copyright © 2025 Texas Instruments Incorporated

7.3.8 驱动强度调整

LMG342xR030 允许用户调节器件的驱动强度，获得所需压摆率，以便在优化开关损耗与噪声耦合时提供灵活性。

为了调整驱动强度，可以在“RDRV”引脚与“GND 引脚之间放置一个电阻器。该电阻决定了导通期间的器件转换率（从 20V/ns 到 150V/ns）。另一方面，可以在不使用电阻器的情况下，选择两个 dv/dt 值：将“RDRV”引脚短接至地时，可将压摆率设置为 150V/ns，将“RDRV”引脚短接至 LDO5V 时，可将该器件会在加电时检测一次对 LDO5V 的短接。检测到对 LDO5V 短接的情况以后，该器件就不会再监控“RDRV”引脚。否则，将会持续监控“RDRV”引脚，并且会在器件运行期间通过调制电阻的方式更改 dv/dt 设置。调制必须相当缓慢，因为存在抑制开关噪声的显著内部滤波。

备注

寄生电源环路电感可能会影响 V_{DS} 开关波形电压转换率读数。在电压下降阶段之前的电流上升阶段，电感会在 V_{DS} 产生一个压降，如果该压降超过 V_{DC} 的 20%，可能会影响电压转换率读数。参阅 节 8.5.1.2，了解电源环路设计指南以及寄生电源环路电感估计方法。

Copyright © 2025 Texas Instruments Incorporated

7.3.9 温度传感输出

集成式驱动器能够感应 GaN 芯片温度，并且通过“温度”引脚上的调制 PWM 信号输出信息。典型的 PWM 频率为 9kHz，刷新率相同。温度低于 25℃ 时，能够观察到最小 PWM 脉冲宽度，约 30ns。目标温度范围为 25℃ 至 150℃ 时，相应的 PWM 占空比通常为 3% 至 82%。方程式 2 可用于根据占空比 D_{TEMP} 计算典型结温 $T_{J,typ}$（单位：℃）：

$$T_{J,typ}\ (°C) = 162.3 * D_{TEMP} + 20.1 \quad (2)$$

表 7-3 列出了典型测量的容差。

表 7-3. 基于温度信号与容差的典型结温测量

基于温度信号的典型 T_J 测量（℃）	25	85	125
容差（℃）	±5	±6	±10

温度高于 150℃ 时，占空比继续线性增加，直到发生过温故障。发生过热故障时，“温度”引脚会被拉高，以便指示该故障，直到温度降低到正常范围。清除过热故障存在迟滞。

7.3.10 理想二极管模式操作

关断状态 FET 的作用类似二极管，能够在阻断一个方向（第一象限）的电流的同时，允许另一个方向（第三象限）的电流，并且能够产生*类似二极管*的相应压降。不过，FET 也能够在压降显著降低的导通状态下，传导第三象限电流。理想二极管模式（IDM）是指通过控制 FET 进入关断状态的方式阻断第一象限电流，通过进入导通状态的方式传导第三象限电流，从而实现*理想*的较低压降。

无论是正常情况还是故障情况下，电源转换器中都能经常看到 FET 关断状态第三象限电流。如 *“GaN FET 操作定义”* 所述，GaN FET 本身并不具有传导关断状态第三象限电流的 p-n 结体二极管。相反，LMG342xR030 的关断状态第三象限压降比 p-n 结压高出数倍，这可能会影响正常运行时的效率与故障条件下的器件耐用性。

为了提高器件在 GaN FET 过温故障情况耐用性，LMG342xR030 器件实现了 GaN FET 过温关断理想二极管模式（OTSD-IDM）功能，详见 *“过温关断保护”*。OTSD-IDM 功能详见后续部分。

7.3.10.1 过热关断理想二极管模式

LMG342xR030 中实现了过温关断理想二极管模式（OTSD-IDM）。如 *“过热关断保护”* 部分所述，当 GaN FET 过热时，理想二极管模式能够提供最佳的 GaN FET 保护。

当 OTSD-IDM 对 GaN FET 进行保护时，OTSD-IDM 会考虑整个、部分或完全不考虑电源系统的运行情况。电源系统可能无法通过自行关闭，对在 GaN OTSD 事件中 LMG342xR030 将“故障”引脚置位进行响应，只会继续尝试运行。电源系统某些部分可能会因控制器软件故障、焊点断裂或器件出于保护自身缘故而关断等任何原因而停止运行。在电源系统关闭的瞬间，电源系统停止提供栅极驱动信号，但电感元件在放电时会继续强制电流流动。

OTSD-IDM 状态机如 图 7-6 所示。对于每个状态，在状态框的右上方都有一个状态编号。

Copyright © 2025 Texas Instruments Incorporated

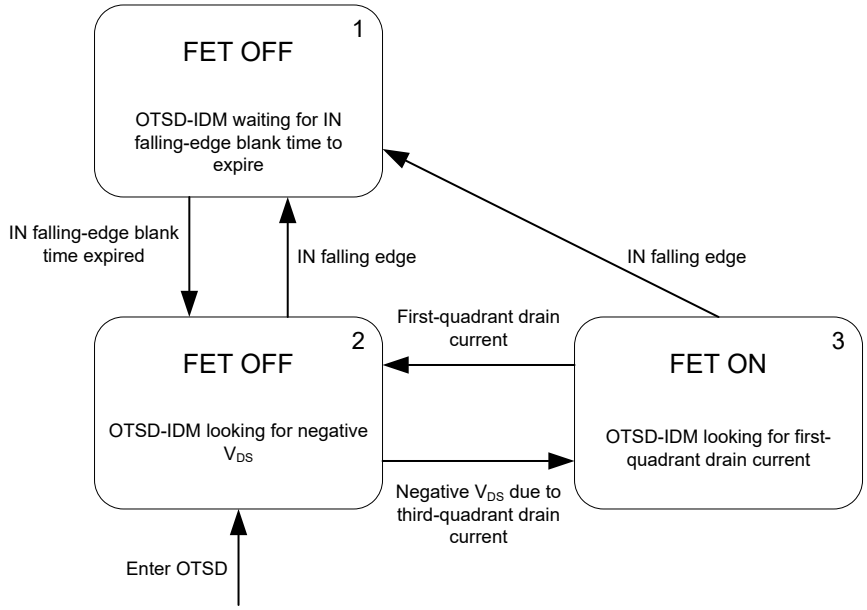


图 7-6. 过热关断理想二极管模式（OTSD-IDM）状态机

1. 如果输入引脚上检测到了下降沿，LMG342xR030 GaN FET 将始终进入状态 #1。OTSD-IDM 在 OTSD-IDM 状态 #1 时关闭 GaN FET。OTSD-IDM 等待输入下降沿消隐时间结束。这段时间为对侧 FET 提供了开关时间，以便产生正漏极电压。消隐时间结束后，器件会进入 OTSD-IDM 状态 2。
2. 对于 OTSD-IDM 状态 #2，如果来自 OTSD-IDM 状态 #1，OTSD-IDM 会保持 GaN FET 关断状态；如果来自 OTSD-IDM 状态 #3，OTSD-IDM 会关闭 GaN FET。在 OTSD-IDM 状态 #2 时，OTSD-IDM 会监测 GaN FET 的漏极电压。它在寻找负向漏极电压，这意味着第三象限电流正在流动。这也是器件进入 OTSD 时的起始状态。检测到 GaN FET 负向漏极电压后，器件会进入 OTSD-IDM 状态 #3
3. 在 OTSD-IDM 状态 #3 时，OTSD-IDM 会打开 GaN FET。该状态下，OTSD-IDM 会监测漏极电流。如果检测到第一象限漏极电流，器件会进入 OTSD-IDM 状态 #2。

状态 #1 用于防止击穿电流。状态 #1 在进入状态 #2 前会等待一段固定的时间。固定的时间段是为了给对侧开关提供开关时间，以及产生正向漏极电压。预留固定时间是为了避免在未产生正向漏极电压的情况下出现卡滞情况。

如果在 LMG342xR030 进入 OTSD 以后转换器继续开关，状态 #1 有助于防止击穿电流。同时，如果转换器在 LMG342xR030 已经进入 OTSD 状态情况下启动开关，该等情况下，可通过先开关 OTSD 设备的方式，迫使其进入状态 #1，从而获得击穿电流保护。例如，升压 PFC 中的同步整流器能够在初始输入电源应用期间进入 OTSD，因为浪涌电流会对 PFC 输出电容充电。如果转换器在开关升压 PFC FET 以前先开关同步整流器 FET，则可以避免击穿电流事件。

如果没有输入信号，状态机会仅作为典型理想二极管模式状态机，在状态 #2 与状态 #3 之间移动。这样，当电源系统关闭时，所有电感元件都会放电，并且 GaN FET 会产生最小的放电应力。

注：OTSD-IDM 状态机没有针对重复击穿电流事件的保护。存在退化情况，例如，LMG342xR030 在转换器运行期间丢失输入信号，这可能会导致 IDM 受到重复的击穿电流事件的影响。这种情况下，没有很好的解决方案。如果 OTSD-FET 不允许发生重复的击穿电流事件，GaN IDM 反而会承受过大的关断状态第三象限损耗。

Copyright © 2025 Texas Instruments Incorporated

7.3.11 零电压检测（ZVD）（仅限 LMG3426R030）

零电压开关 (ZVS) 转换器广泛用于提高电源转换器的效率。然而，在 LLC 和三角电流模式 (TCM) 图腾柱 PFC 等软开关拓扑中，根据负载条件、电感器、磁性参数和控制技术，器件可能会丢失 ZVS，因而影响系统效率。为了确保 ZVS，需要某些设计裕度或额外的电路，这会牺牲转换器性能并增加元件。

为了简化软开关转换器的系统设计，LMG3426R030 子件集成了一个零电压检测（ZVD）电路，该电路能够提供指示器件在电流开关周期中是否实现 ZVS 的数字反馈信号。电路图如 图 7-7 所示。当输入引脚信号变为高电平时，逻辑电路会检查器件 V_{DS} 是否已达到 0V 以下，以便确定器件是否在该开关周期中实现了零电压开关。一旦识别了 ZVS，在 T_{DL_ZVD} 的延迟时间之后，将从 ZVD 引脚发出一个宽度为 T_{WD_ZVD} 的脉冲输出，如 图 6-3 所示。请注意，为了让器件检测零电压开关，需要特定的第三象限导通时间，并且 T_{3rd_ZVD} 是栅极驱动器强度的函数， 所示。

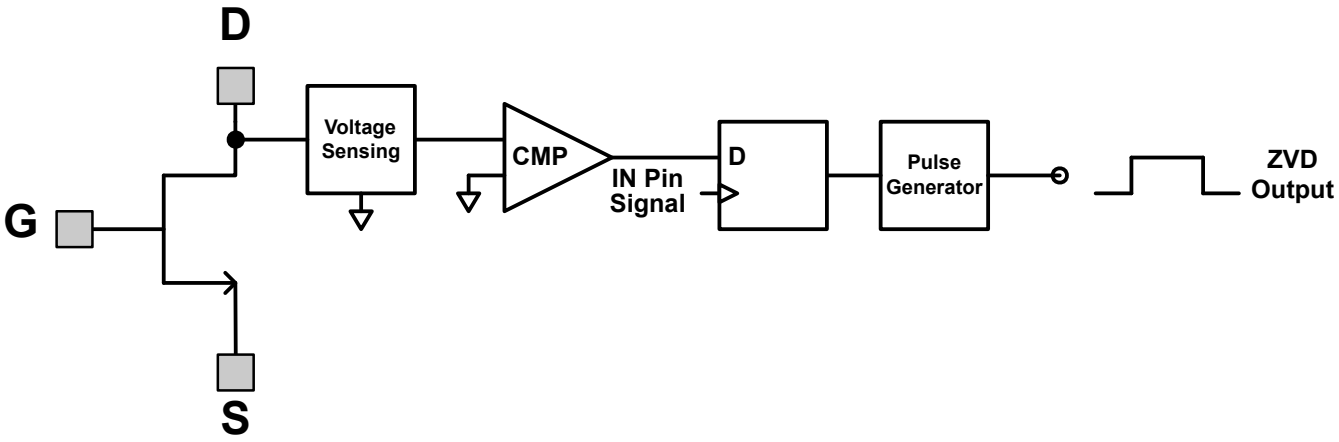


图 7-7. 零电压检测电路的电路图方框图

图 7-8 显示了与连续导通模式降压转换器相对应的 ZVD 输出时序，目的是演示 ZVD 功能在硬开关与软开关条件下的工作方式。流出开关节点的负载电流定义为正。在 CCM 降压操作中，高侧是硬开关器件，而低侧器件可通过适当的死区时间设置实现零电压开关。在低侧 GaN IN 引脚上升的第一个开关周期中，开关节点电压 V_{DS} 已降至零以下，并且使保持第三象限导通的时间为 T_1。由于此第三象限导通时间 T_1 大于电气特性表中指定的检测时间 T_{3rd_ZVD}，因此识别到零电压开关，ZVD 引脚输出脉冲信号以指示这一点，ZVD 脉冲的脉冲宽度也在电气特性表中定义为 T_{WD}。在第二个开关周期中，器件提前导通，第三象限导通时间 T_2 小于 T_{3rd_ZVD}。在这种情况下，尽管器件实现了 ZVS，但 ZVD 信号仍保持低电平。在第三个开关周期中，IN 引脚信号更加提前，器件处于部分硬开关状态。因此，在这种情况下，ZVD 输出保持低电平。请注意，高侧 ZVD 输出在此 CCM 降压操作中保持低电平，因为它始终有硬开关功能。

Copyright © 2025 Texas Instruments Incorporated

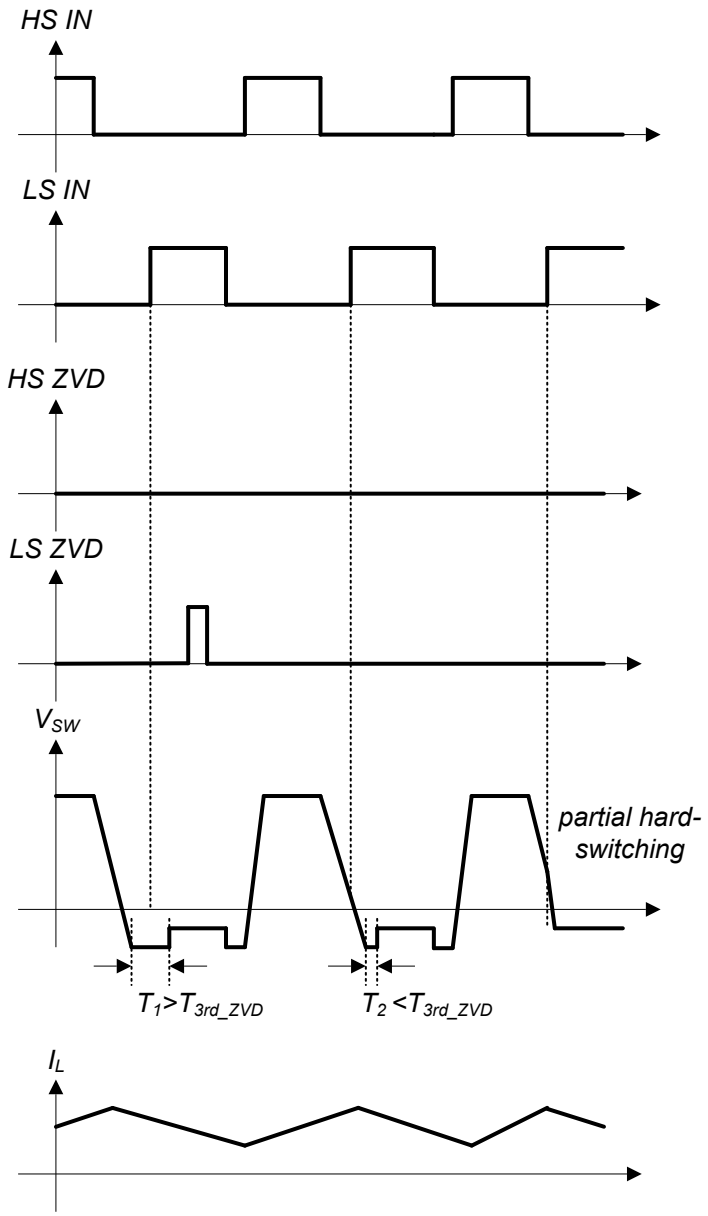


图 7-8. CCM 降压转换器中的 ZVD 功能

ZVD 功能可以简化软开关拓扑中的控制，举例来说，TCM 图腾柱 PFC 中的 ZVD 波形如 图 7-9 所示。在该图中，正周期可视为 $V_{IN} > 0.5\ V_{OUT}$，流入开关节点的负载电流定义为正。在第一个开关周期中，负载电流会产生足够的负电流，低侧器件会在超过 T_{3rd_DET} 的第三象限导通时间内实现 ZVS。因此，ZVD 输出一个脉冲信号，并提供返回的 ZVS 信息。在接下来的两个开关周期中 ZVD 脉冲缺失，因为第二个周期中的第三象限导通时间变短，并且器件在第三个周期中实际上会丢失 ZVS。

Copyright © 2025 Texas Instruments Incorporated

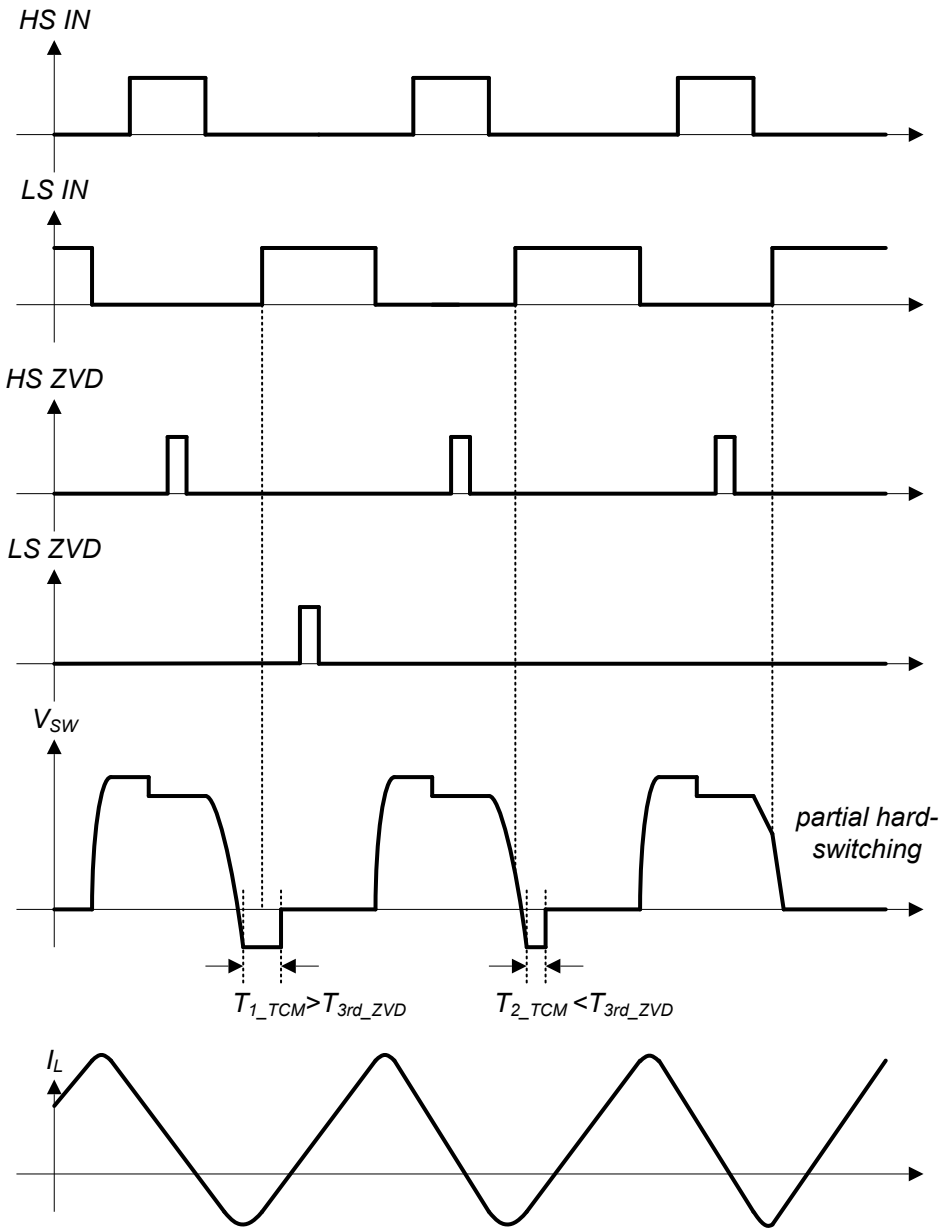


图 7-9. TCM TP PFC 转换器中的 ZVD 功能

7.3.12 零电流检测（ZCD）（仅限 LMG3427R030）

GaN FET 通常用于高频软开关，需要检测 FET 电流过零来实现系统控制。LMG3427R030 集成了一个零电流检测（ZCD）电路，该电路能够在漏源电流为正值时提供一个数字反馈信号。当 IN 引脚信号变为高电平时，ZCD 电路包括消隐时间 t_{ZCD_Blank}，以防止在导通瞬态期间出现麻烦的 ZCD 触发。在消隐期之后，ZCD 电路监测漏源电流。如果电流为负，则检测到过零点后，在 ZCD 引脚上设置一个宽度为 t_{WD_ZVD} 的脉冲输出，延迟时间为 t_{zc_Det}。如果电流为正，则立即在 ZCD 引脚上设置脉冲输出，如下面的时序图所示。

Copyright © 2025 Texas Instruments Incorporated

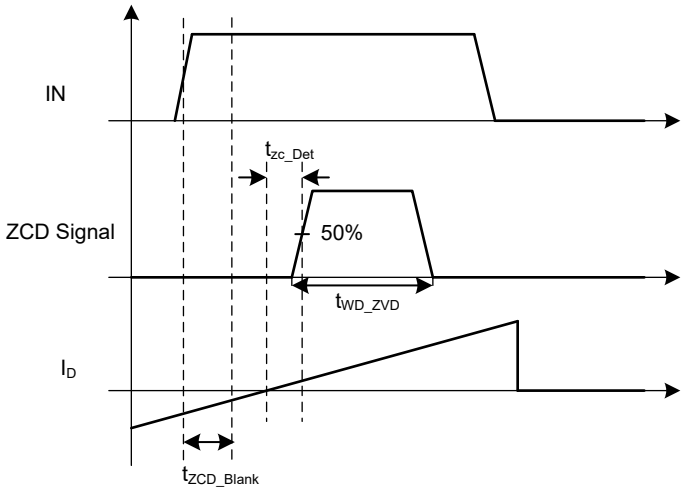


图 7-10. FET 导通为负电流时的 ZCD 时序图

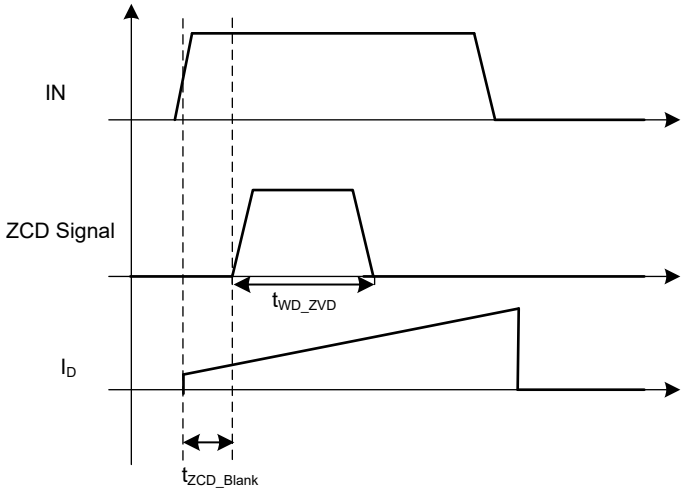


图 7-11. FET 导通为正电流时的 ZCD 时序图

7.4 启动序列

图 7-12 展示了启动序列 LMG342xR030。

时间间隔 A：V_{DD} 开始升高。“故障”信号最初被拉至低电平。

时间间隔 B：V_{DD} 通过 UVLO 阈值 $V_{VDD,T+(UVLO)}$ 后，LDO5V 与 V_{NEG} 开始升高。在 C_{LDO5V} = 100nF 与 C_{VNEG} = 2.2 µF 的典型情况下，LDO5V 比 V_{NEG} 更早达到 UVLO 阈值。如果使用不同的电容器，启动时间可能有所不同。如果在该时间间隔以内，V_{DD} 出现一些闪断并且跌落至 UVLO 阈值 $V_{VDD,T-(UVLO)}$ 以下，该等情形下，LDO5V 与 V_{NEG} 会停止上升，仅当 V_{DD} 再次高于 $V_{VDD,T+(UVLO)}$ 时才会恢复。这种情况下，预计启动时间会更长。

时间间隔 C：LDO5V 与 V_{NEG} 都达到阈值后，“故障”信号会被清除（拉至高电平），器件能够在输入引脚信号以后进行切换。

Copyright © 2025 Texas Instruments Incorporated

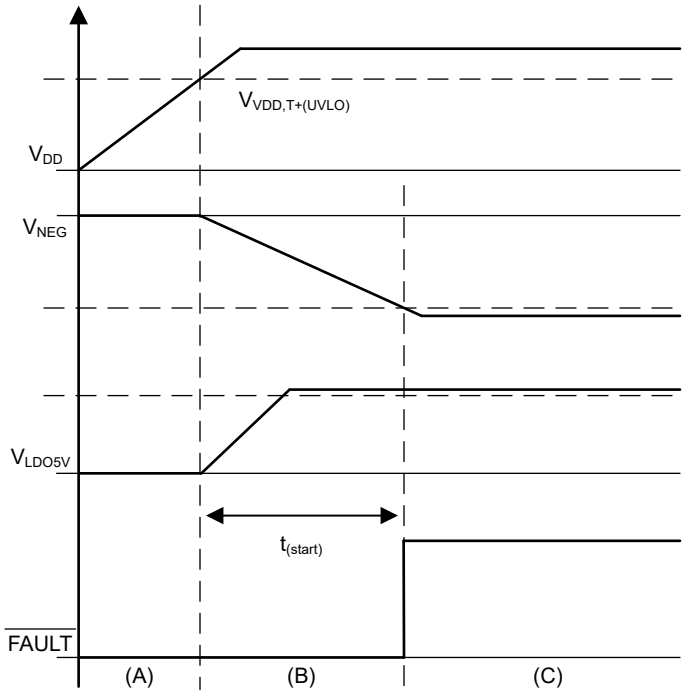


图 7-12. 启动时序图

7.5 器件功能模式

该器件有一种运行模式，适用于在建议运行条件 下运行的情况。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

LMG342xR030 是一款电源 IC，面向在高达 480V 总线电压下运行的硬开关和软开关应用。GaN 器件提供零反向恢复电荷，可在图腾柱 PFC 等应用中实现高频硬开关。GaN 器件的低 Q_{OSS} 也有利于软开关转换器，例如 LLC 和相移全桥配置。由于半桥配置是上述两种应用和许多其他应用的基础，本节介绍了如何在半桥配置中使用 LMG342xR030。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

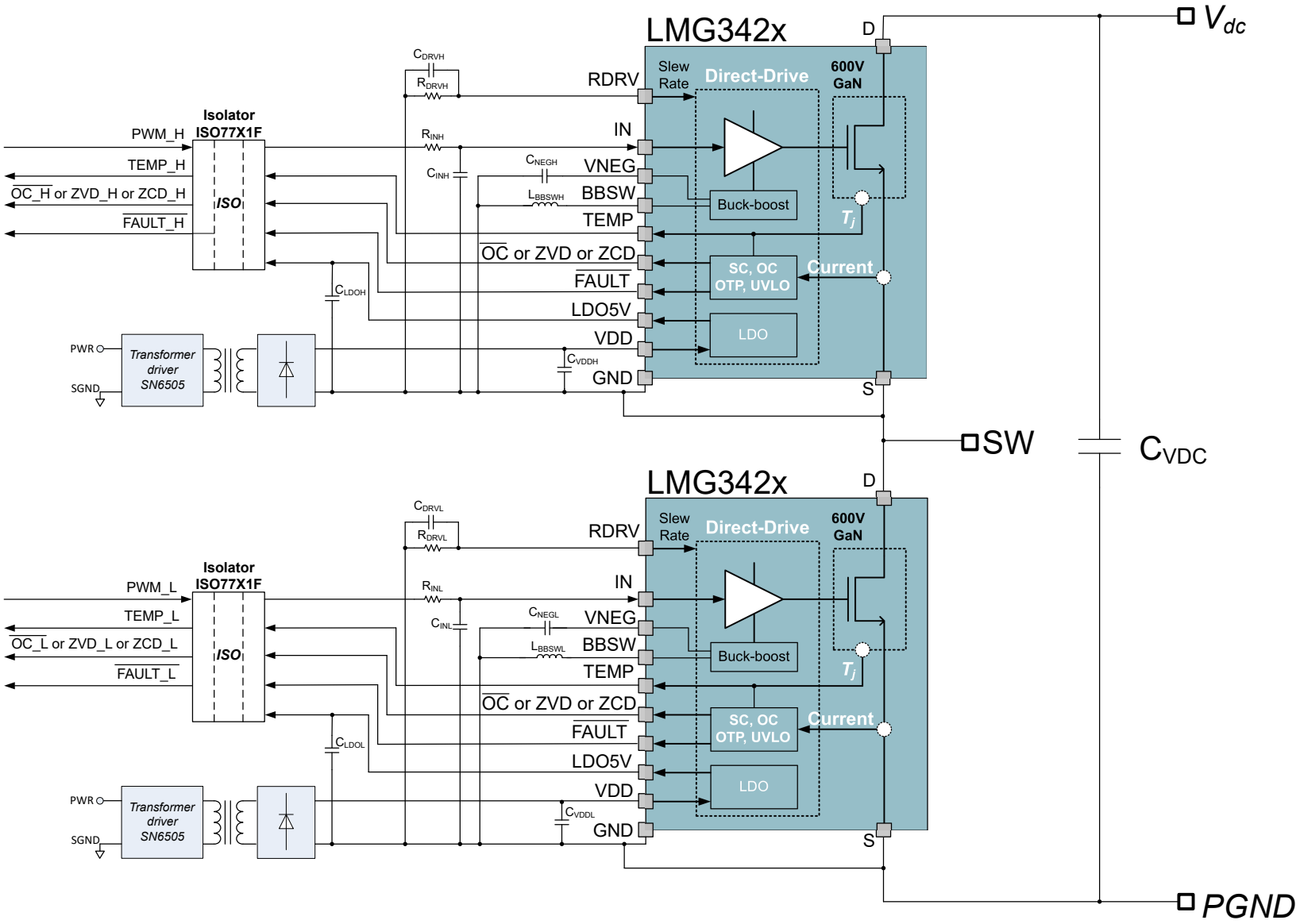


图 8-1. 采用隔离式电源的典型半桥应用

Copyright © 2025 Texas Instruments Incorporated

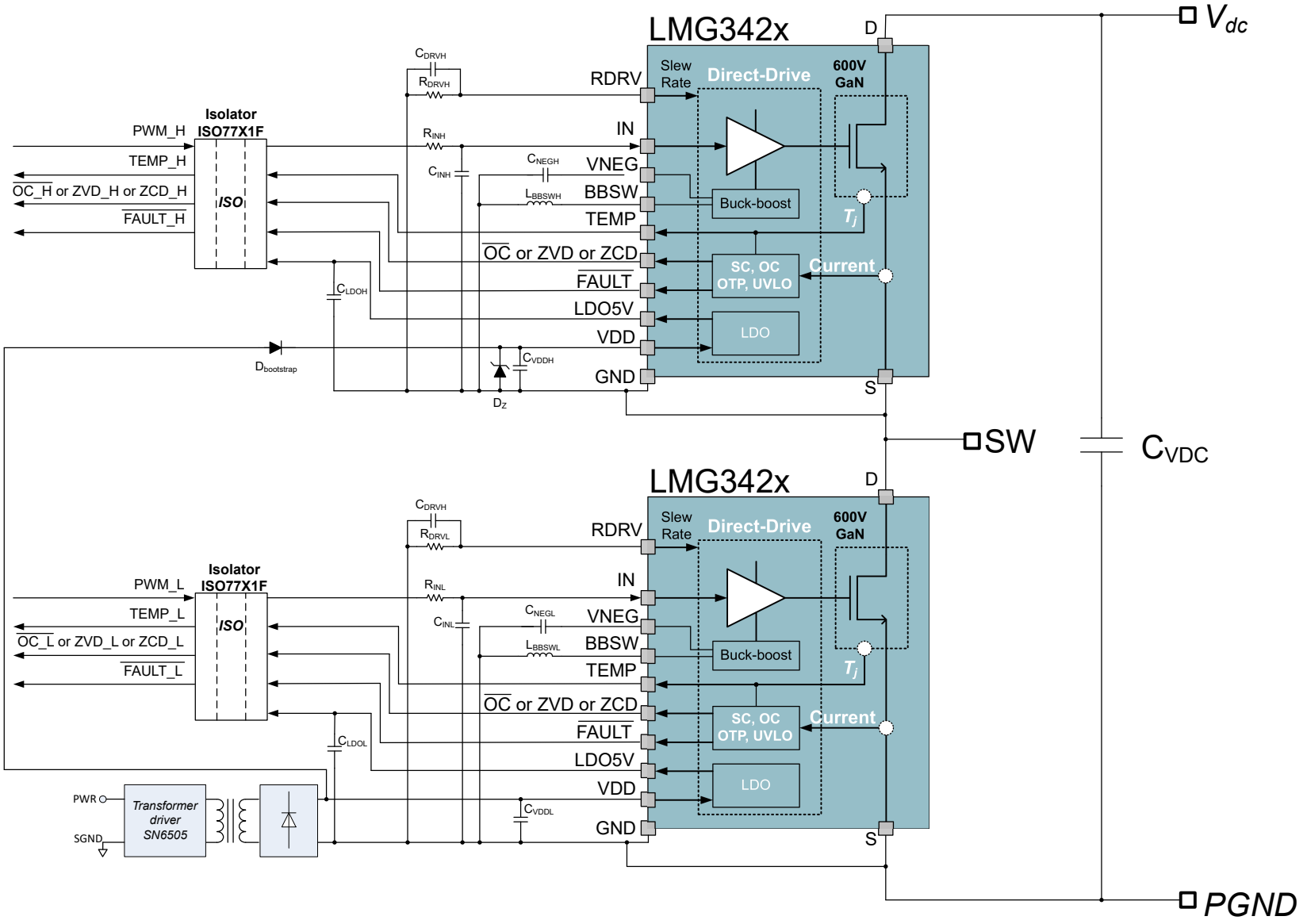


图 8-2. 具有自举功能的典型半桥应用

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

此设计示例适用于代表 PFC 应用的硬开关升压转换器。表 8-1 展示了本设计的系统参数。

表 8-1. 设计参数

设计参数	示例值
输入电压	200VDC
输出电压	400VDC
输入（电感器）电流	20A
开关频率	100kHz

8.2.2 详细设计过程

在高压电源转换器中，电路设计和 PCB 布局对于高性能电源转换器至关重要。由于设计电源转换器不在本文档的讨论范围内，因此本数据表介绍如何使用 LMG342xR030 构建运行良好的半桥配置。

8.2.2.1 压摆率选择

通过将一个电阻器 R_{RDRV} 从 RDRV 引脚连接至接地，能够在大约 20 V/ns 与 150V/ns 之间调节 LMG342xR030 的压摆率。如果采用了较大的 R_{RDRV} 电阻器，RDRV 引脚就是一个高阻抗节点。因此，如果屏蔽效果不好，就很容易受到漏极或其他快速波动高压节点的耦合影响 。这会表现为不稳定的开关 *dv/dt*，极端情况下，还会因 RDRV 被检测为开路导致出现瞬态故障。布局时，进行引脚屏蔽应当属于首要任务，但如果这种耦合影响仍然存在问题，则可以在 RDRV 与 GND 之间增加一个用以稳定引脚电压的，电容值不超过 1nF 的电容器。

压摆率从以下方面影响 GaN 器件的性能：

- 开关损耗
- 电压过冲
- 噪声耦合
- EMI 发射

通常，高压摆率可实现低开关损耗，但高压摆率也会产生较高的电压过冲、噪声耦合和 EMI 发射。遵循此数据表中的设计建议有助于缓解由高压摆率引发的挑战。LMG342xR030 让电路设计人员能够灵活地选择合适的压摆率，从而使其应用实现卓越的性能。

8.2.2.2 信号电平转换

在半桥中，必须使用高压电平转换器或数字隔离器为高侧器件和控制电路之间的信号路径提供隔离。对于低侧器件，可以选择性地使用隔离器。但是，使用隔离器可均衡高侧和低侧信号路径之间的传播延迟，并能够为 GaN 器件和控制器使用不同的接地端。如果在低侧器件上未使用隔离器，则必须将控制接地和电源接地连接到器件，而不是连接到电路板上的任何其他位置。如需更多信息，请参阅 *布局指南*。对于快速开关器件，共地电感在不使用隔离器的情况下很容易引起噪声问题。

为电平转换选择数字隔离器对于提高抗噪性非常重要。由于 GaN 器件可以在硬开关应用中轻松产生大于 50V/ns 的高 dv/dt，因此 TI 强烈建议使用具有高共模瞬态抗扰度 (CMTI) 和低势垒电容的隔离器。具有低 CMTI 的隔离器很容易产生错误信号，可能会导致击穿。势垒电容是信号接地与电源接地之间的隔离电容的一部分，与开关期间产生的共模电流和 EMI 发射成正比。此外，TI 强烈建议选择非边沿触发的隔离器。在边沿触发隔离器中，高 dv/dt 事件可能会导致隔离器变为翻转状态，从而导致电路故障。

一般来说，首选具有默认输出低电平的开/关键控隔离器（例如：TI 的 ISO77xxF 或 ISO67xxF 系列）。默认低电平状态可确保系统在启动或从故障事件中恢复时不会击穿。由于高 CMTI 事件只会导致极短（几纳秒）的假脉冲，因此 TI 建议在驱动器输入端放置一个低通滤波器，如 300Ω 和 22pF R-C 滤波器，以便滤除这些假脉冲。

8.2.2.3 降压/升压转换器设计

图 8-3 与 图 8-4 展示了采用不同的电感器与峰值电流模式情况下降压/升压转换器效率与负载电流之间的关系。对于降压/升压转换器，最好采用 3μH 的最小电感值，以便确保电感器上的 di/dt 不会过高。这为控制环路响应留出

Copyright © 2025 Texas Instruments Incorporated

了充足裕度。因此，电感器的最大 di/dt 限制为 6A/µs。另一方面，大电感也会限制稳定输出电压的瞬态响应，因此，最好采用电感值小于 10µH 的电感。

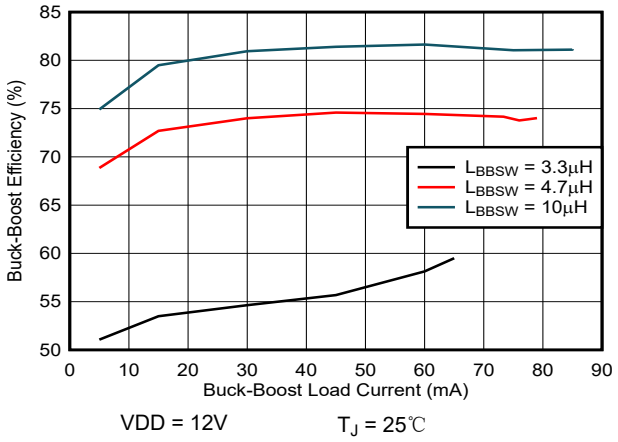


图 8-3. 当 $I_{BBSW,PK}$ = $I_{BBSW,PK(low)}$ 时降压/升压效率与负载之间的关系

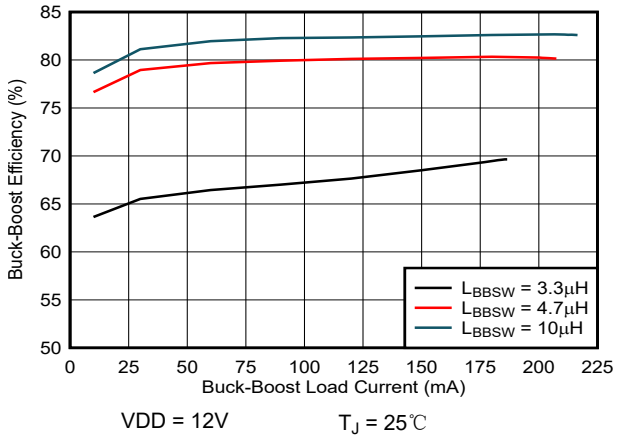


图 8-4. 当 $I_{BBSW,PK}$ = $I_{BBSW,PK(high)}$ 时降压/升压效率与负载之间的关系

8.2.3 应用曲线

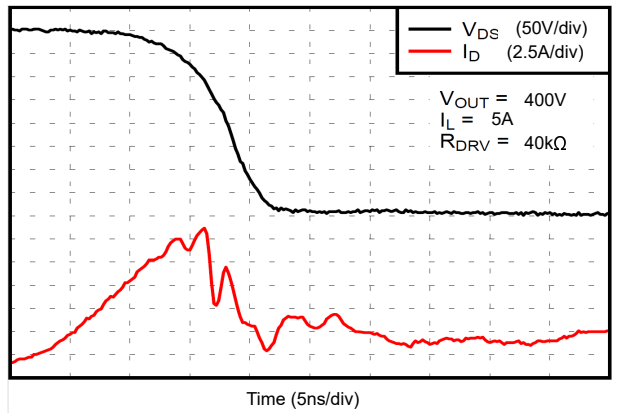


图 8-5. 应用示例中的导通波形

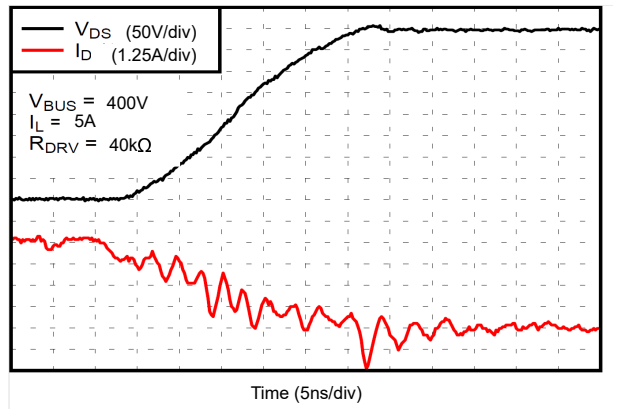


图 8-6. 应用示例中的关断波形

Copyright © 2025 Texas Instruments Incorporated

8.3 注意事项

能否成功使用 GaN 器件（特别是 LMG342xR030）取决于能否正确使用器件。使用 LMG342xR030 时，*务必*：

- 仔细阅读数据表（包括：应用手册与布局建议），完全理解所载内容。
- 采用四层电路板，并且将返回电源路径置于内层，以便最大限度减小电源环路电感。
- 采用小型表面贴装旁路与总线电容器，以便最大限度减小寄生电感。
- 根据*“布局指南”*相应说明，采用尺寸合适的去耦电容器，并且放置在靠近 IC 的位置。
- 采用信号隔离器，以便为低侧器件提供输入信号。如果未采用，请确保信号源连接至信号 GND 平面，该平面*仅*在 LMG342xR030 IC 处与电源相连。
- 采用“故障”引脚确定加电状态，检测过流与过热事件，以及安全地关闭转换器。

为避免利用 LMG342xR030 时系统出现问题，*请勿*：

- 为 LMG342xR030 采用单层或双层印刷电路板，因为电源回路与旁路电容器电感过大，会妨碍集成电路的正常运行。
- 将旁路电容值降至建议值以下。
- 让器件经历超过 600V 的漏极瞬态电压，这可能会导致器件损坏。
- 让器件在关断或未通电情况下进行大量的第三象限导通，这可能会导致过热。该工作模式下，自我保护功能无法为器件提供保护。
- 忽视“故障”引脚输出。

8.4 电源相关建议

LMG342xR030 仅需要 7.5V 至 18V 的非稳压 VDD 电源。低侧电源可以从本地控制器电源获得。高侧器件的电源必须来自隔离电源或自举电源。

8.4.1 使用隔离式电源

使用隔离电源为高侧器件供电的优势在于，无论持续的功率级开关周期或占空比如何，该器件都能正常工作。利用隔离式电源还能够在功率级开关开始以前为高压侧器件供电，以便实现平稳启动，

隔离式电源可通过推挽式转换器、反激式转换器、FlyBuck™ 转换器或隔离式电源模块获得。当使用非稳压电源时，LMG342xR030 的输入不得超过最大电源电压。可以使用 16V TVS 二极管钳制 LMG342xR030 的 VDD 电压，以获得额外的保护。为了降低硬开关应用中的开关损耗，必须尽可能地降低隔离式电源或变压器的绕组间电容。此外，隔离式偏压电源上的电容会向 LMG342xR030 的信号接地注入高电流，并会导致接地反弹瞬态出现问题。共模扼流圈可以缓解其中的大多数问题。

8.4.2 使用自举二极管

在半桥配置中，高侧器件需要使用浮动电源。为了获得 LMG342xR030 的最佳性能，TI 强烈建议*使用隔离式电源*。按照本节中的建议，可以使用自举电源。

8.4.2.1 二极管选型

LMG342xR030 提供零反向恢复电荷，以及非常有限的输出电荷。使用 LMG342xR030 的硬开关电路也表现出高压摆率。兼容的自举二极管不得引入高输出电荷和反向恢复电荷。

可以使用碳化硅二极管（如 GB01SLT06-214）来避免反向恢复效应。SiC 二极管的输出电荷为 3nC。尽管其输出电荷会产生额外的损耗，但此损耗不是开关阶段中的主要损耗。

8.4.2.2 管理自举电压

在同步降压转换器或低侧开关偶尔在第三象限运行的其他转换器中，自举电源通过一条涵盖空载时间内低侧 LMG342xR030 的第三象限压降路径充电，如 图 8-7 所示。此第三象限压降可能很大，在某些情况下可能会使自举电源过度充电。LMG342xR030 的 V_{DD} 电源必须保持在 18V 以下。

Copyright © 2025 Texas Instruments Incorporated

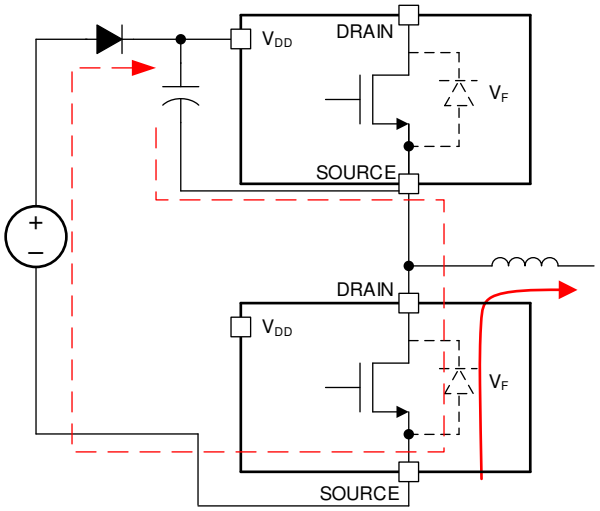


图 8-7. 自举二极管的充电路径

如 图 8-8 所示，推荐的自举电源包括一个自举二极管、一个串联电阻器，以及一个与 V_{DD} 旁路电容器并联的 16V TVS 或齐纳二极管，用于防止损坏高侧 LMG342xR030。串联电阻器可限制启动时以及低侧器件以第三象限模式运行时的充电电流。选择的电阻器必须能提供足够的电流，以在所需的工作频率下为 LMG342xR030 供电。在 100kHz 运行中，TI 建议使用约 2Ω 的值。在较高频率下，必须降低该电阻的值或完全省略电阻，以确保提供足够的电源电流。

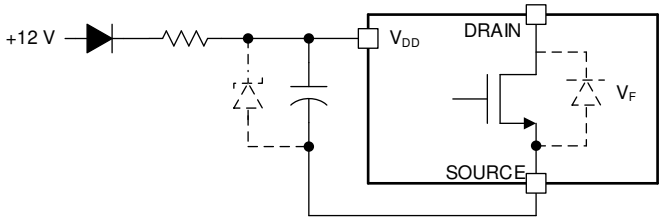


图 8-8. 建议的自举调节电路

8.5 布局

8.5.1 布局指南

LMG342xR030 的布局对于其性能和功能来说至关重要。由于半桥配置通常与这些 GaN 器件配合使用，因此可考虑采用此配置的布局建议。需要四层或层数更多的板，以减少布局的寄生电感，实现合适的性能。图 8-9 汇总了关键布局指南，后续部分中将会进一步阐述更多详细信息。

Copyright © 2025 Texas Instruments Incorporated

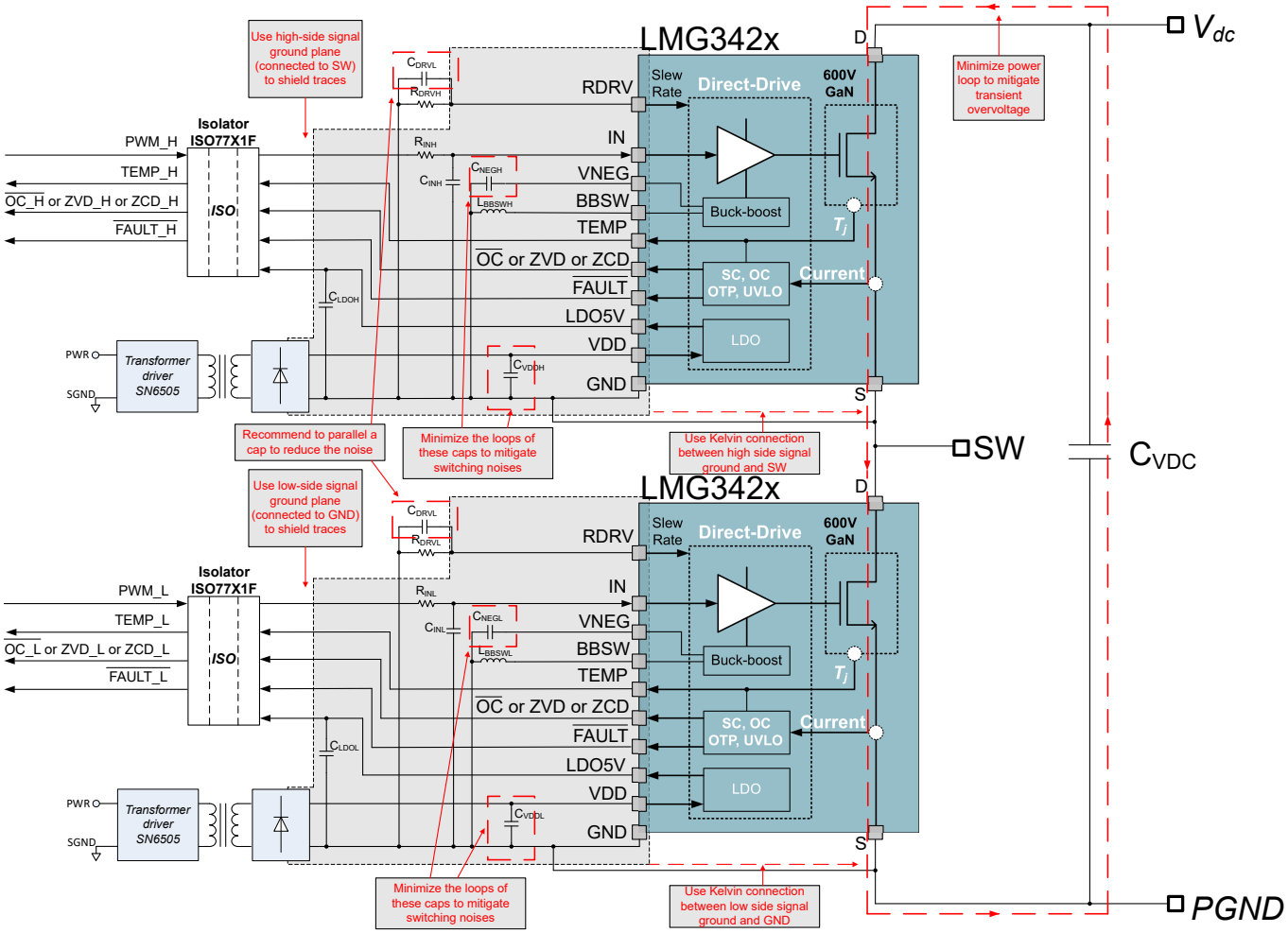


图 8-9. 典型原理图与布局注意事项

8.5.1.1 焊点可靠性

大型 QFN 封装可能会承受较高的焊点应力。TI 推荐了几种确保焊点可靠性的最佳实践。首先，必须遵循 表 4-1 中有关 NC1 与 NC2 固定引脚的说明。其次，所有 LMG342xR030 电路板焊盘必须采用非阻焊层限定（NSMD）设计，如 *“机械、封装与可订购信息”* 部分的焊盘图案示例所示。最后，连接到 NSMD 焊盘的任何电路板迹线必须小于其所连接焊盘侧焊盘宽度的 2/3。只要迹线未被阻焊层覆盖，迹线就必须保持这个 2/3 的宽度限值。将布线置于阻焊层下方后，对布线尺寸就没有限制了。*布局示例* 中遵循了所有这些建议。

8.5.1.2 电源环路电感

电源环路由半桥中的两个器件与高压母线电容组成，能够在开关事件期间产生很高的 ***di/dt***。通过最大限度减小该环路的电感，能够降低振铃与电磁干扰（EMI），以及降低器件上的电压应力。

将功率器件尽可能靠近放置，以便最大限度减小电源环路电感。去耦电容器与两个器件放置在一条直线上。它们可以靠近任何一个器件放置。在 *“布局示例”* 中，去耦电容器与器件放置在同一层。返回路径（本例中为 PGND）位于靠近顶层的第二层。通过使用内层（而非底层），能够减小环路的垂直尺寸，进而更大限度降低电感。器件端子与总线电容附近存在大量过孔，能够在将高频开关电流传输至内层的同时，最大限度降低阻抗。

对于电源环路电感，可根据漏源电压开关波形的振铃频率 f_{ring}，利用以下公式估算：

$$L_{pl} = \frac{1}{4\pi^2 f_{ring}^2 C_{ring}} \quad (3)$$

其中，C_{ring} 等于总线电压下的 C_{OSS}（参阅 图 5-8，了解典型值）加上来自电路板与负载电感器或变压器的漏源寄生电容。

由于负载元件的寄生电容很难表征，因此建议捕捉不含负载元件的 V_{DS} 开关波形，用以估算电源环路电感。通常，*“布局示例”* 的电源环路电感约为 2.5nH。

8.5.1.3 信号接地连接

LMG342xR030 的源极引脚内部连接至功率 IC 的 GND 引脚（即：信号地基准）。本地信号接地平面必须通过低阻抗星形连接方式连接至 GND 引脚。此外，与驱动器相关的无源器件（例如：旁路电容）的返回路径必须连接至 GND 引脚。在 *“布局示例”* 中，本地信号接地平面位于第二层，用作本地电路的返回路径。除了 GND 引脚处的星型连接以外，本地信号接地平面未连接高电流源极引脚。

8.5.1.4 旁路电容器

要获得不错的性能，必须最大限度降低栅极驱动环路阻抗。尽管栅极驱动器集成在封装上，但驱动器的旁路电容位于外部。当 GaN 器件关断为负电压时，连接外部 VNEG 电容器的路径的阻抗包含在栅极驱动环路之中。VNEG 电容器必须放置在靠近 VNEG 引脚与 GND 引脚的位置。

VDD 引脚旁路电容器 C1 和 C11 也必须放置在靠近 VDD 引脚的位置，并且采用低阻抗连接方式。

8.5.1.5 开关节点电容

GaN 器件具有极低的输出电容，能够在高 *dv/dt* 的情况下快速开关，因此具有非常低的开关损耗。为了保持这种低开关损耗，必须最大限度减少向输出节点添加的额外电容。可根据该等指南，最大限度减小开关节点处的 PCB 电容：

- 最大限度减少开关节点平面和其他电源与接地平面之间的重叠。
- 使高压侧器件下的 GND 返回路径更细，同时保持低电感路径。
- 选择具有低电容的高压侧隔离器集成电路与自举二极管。
- 将功率电感器尽可能靠近 GaN 器件。
- 功率电感器必须采用单层绕组设计，以便最大限度减小绕组内电容。
- 如果无法采用单层电感器，可考虑在初级电感器与 GaN 器件之间放置一个小型电感器，以便有效屏蔽 GaN 器件的额外电容。
- 如果采用背面散热器，则应尽可能减少底部铜层的开关节点铜覆盖面积，以便改善散热效果。

8.5.1.6 信号完整性

必须确保 LMG342xR030 的控制信号不受快速开关导致的高 *dv/dt* 影响。控制信号与漏极之间的耦合会导致电路不稳定与潜在损坏。将控制信号（输入、$\overline{故障}$以及 $\overline{OC}$ / ZVD）连接至相邻层的接地平面上。例如，在 *“布局示例”* 中，所有信号都在靠近本地信号接地平面的层上布线。

高压侧器件与静态平面（例如：PGND 与 HVBUS）之间的电容耦合可能会导致共模电流与接地反弹。可通过减少高压侧布线与静态平面之间重叠的方式减轻耦合。对于高压侧电平转换器，应确保输入或输出侧的铜线不会延伸至隔离器下方，否则会影响器件的 CMTI。

8.5.1.7 高电压间距

使用 LMG342xR030 的电路包含可能高达 600V 的高电压。利用 LMG342xR030 布置电路时，应了解应用的爬电距离与间隙要求以及应用到 GaN 器件的具体方式。在每个晶体管的源极与漏极之间以及在高压电源与接地之间，需要进行功能（或工作）隔离。在 LMG342xR030 输入电路与电源控制器之间，可能需要进行功能隔离或者可能的更强隔离（例如：增强型隔离）。选择能够满足您的隔离要求的信号隔离器与 PCB 间距（爬电距离与间隙）。

如果利用散热器进行 LMG342xR030 散热情况管理，请确保散热器与 PCB 之间保持必要的电气隔离与机械间距。

Copyright © 2025 Texas Instruments Incorporated

8.5.1.8 热建议

LMG342xR030 是硅基板上生长的横向器件。散热焊盘连接器件源极。LMG342xR030 可用于耗散功率较大的应用（例如：硬开关电源转换器）。在该等转换器中，仅利用 PCB 进行冷却可能不足以将器件保持在合理温度。为了提升器件散热性能，TI 建议在 PCB 背面连接能够吸收更多热量的散热器。利用电源平面与多个散热过孔，LMG342xR030 中散发的热量能够在 PCB 中扩散出去，有效地传递至 PCB 另一侧。可利用热界面材料（TIM），在 PCB 背面裸露区域安装一个散热器。可以移除电路板背面散热器下方的阻焊层，实现更有效的散热效果。

如需了解有关热布局的更多建议与性能数据，可参阅*《适用于 LMG3410 智能 GaN FET 的高压半桥设计指南》*（应用手册）。

Copyright © 2025 Texas Instruments Incorporated

8.5.2 布局示例

LMG342xR030 及其周围元件的正确布局对于正确运行有着重要意义。此处所示布局反映了 图 8-1 中 GaN 器件原理图。该等布局展示了良好的效果，可用作指南。不过，采用其他布局方案也有可能获得可接受的性能。此外，可参阅 *“机械、封装与可订购信息”* 中的焊盘图案示例，了解最新推荐的器件 PCB 封装尺寸。

图中显示了顶层布局与中层布局。布局放大了 LMG342xR030 U1 与 U2 元件的放置位置。中层布局包含了能够帮助读取器对齐顶层与中间层布局的顶层元件轮廓。

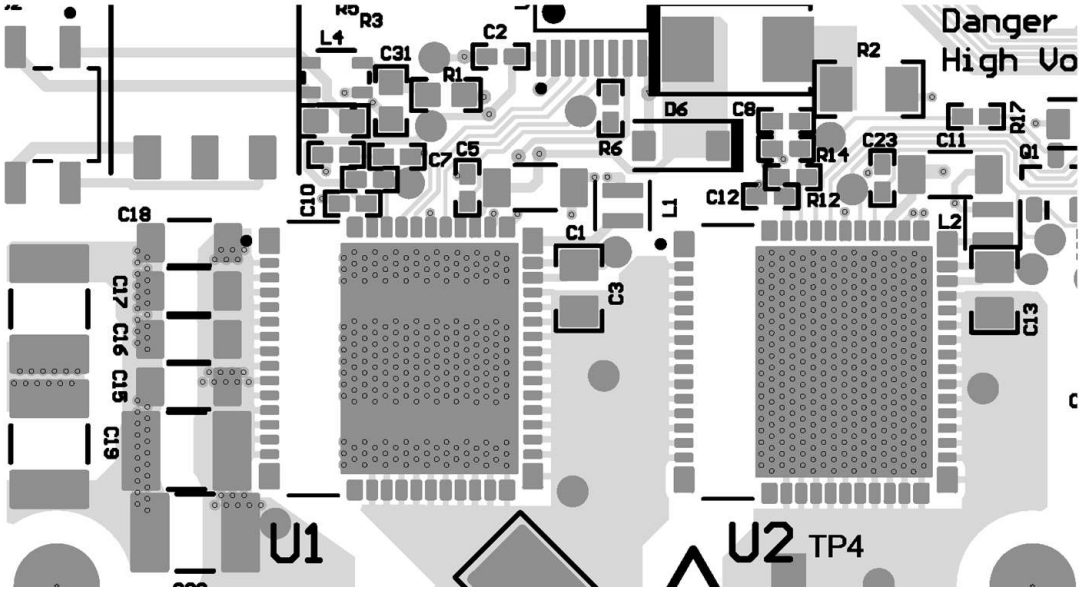


图 8-10. 半桥顶层布局

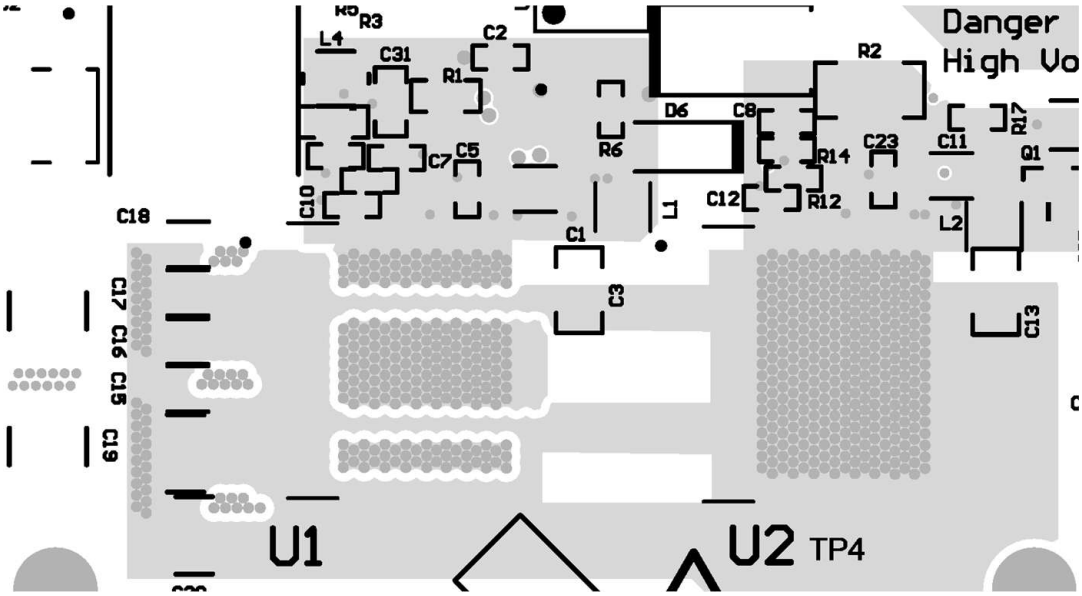


图 8-11. 半桥中层布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI)，*《LMG3410 智能 GaN FET 高压半桥设计指南》*（应用手册）
- 德州仪器 (TI)，*《一种在使用条件下验证 GaN FET 在电源线路浪涌中可靠性的新方法》*
- 德州仪器 (TI)，*《实现 GaN 产品的寿命可靠性》*
- 德州仪器 (TI)，*《GaN 器件的直接驱动配置》*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

FlyBuck™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 Export Control Notice

Recipient agrees to not knowingly export or re-export, directly or indirectly, any product or technical data (as defined by the U.S., EU, and other Export Administration Regulations) including software, or any controlled product restricted by other applicable national regulations, received from disclosing party under nondisclosure obligations (if any), or any direct product of such technology, to any destination to which such export or re-export is restricted or prohibited by U.S. or other applicable laws, without obtaining prior authorization from U.S. Department of Commerce and other competent Government authorities to the extent required by those laws.

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (February 2024) to Revision F (August 2024) **Page**

- 数据表增加了 LMG3427R030 器件，设置为“生产数据” 1

Changes from Revision D (March 2022) to Revision E (February 2024) **Page**

- 删除了数据表中的 LMG3425R030 器件 1
- 数据表增加了 LMG3426R030 器件，设置为“生产数据” 1
- 删除了 > 100V/ns 时的开关性能图 1
- 更新了 *“特性”* 部分的文本内容。 1
- *“说明”* 部分更新了文本内容，增加了表格。删除了 *“目录”* 部分之后的 *“器件比较”* 部分。增加的表格包含删除的“器件比较”表中包含的信息。 1
- “建议运行条件”部分增加了脚注（1）。 6
- 更新了“热性能信息”部分。 6
- 将“电气特性”部分“降压/升压转换器”子部分中 VNEG 输出电压规格测试条件中的“50mA”更改为“40mA”。 6
- 将“电气特性”部分“栅极驱动器”子部分中导通速率规格第三个测试条件中的“V_{RDRV} = 0V”更改为“R_{RDRV} = 0Ω”。 6
- 删除了“开关特性”部分“故障”子部分中短路电流到过流故障跳闸的差值的规格。该规格是冗余的，因为它仅报告“故障”子部分中前两个规格的典型差值。 6
- *典型特性*部分增加了漏极电流与漏源电压之间的关系图以及重复安全操作图。 11
- 增加了 *“安全工作区”* 部分。 17
- 更新了 *“概述”* 部分的文本内容。 18
- 更新了 *“GaN FET 操作定义”* 部分的文本内容。 22
- 更新了 *“直接驱动 GaN 架构”* 部分的文本内容。 22
- *“漏源电压能力”* 部分增加了说明应用用途的内容 23
- *“内部降压/升压 DC-DC 转换器”* 部分更新了文本内容，增加了图表。 23
- 更新了 *“VDD 辅助电源”* 部分的文本内容。 25
- 更新了 *“故障保护”* 部分的标题与文本内容。 25
- 更新了 *“过流保护与短路保护”* 部分的文本内容和 图 7-5。 25
- 更新了 *“过温关断保护”* 部分的标题。 26
- 更新了 *“UVLO 保护”* 部分的文本内容。 27
- 增加了 *“高阻抗 RDRV 引脚保护”* 部分。 27
- 更新了文本内容与表格，*“故障报告”* 部分增加了表格。 27
- *“驱动强度调整”* 部分更新了文本内容，并且增加了注释。 28
- *“温度传感输出”* 部分更新了文字内容，增加了方程与表格。 29
- 更新了 *“过热关断理想二极管模式”* 部分的文本内容。 29
- 增加了 *“启动序列”* 部分。 34
- 删除了 *“典型应用”* 部分的“注意事项”，替换为两个新的图表。 37
- 更新了*压摆率选择*一节中的文本。 39
- 删除了*使用自举高侧电源时的启动和压摆率*部分。 39
- 更新了*信号电平转换*一节中的文本。 39
- 更新了 *“降压/升压转换器设计”* 部分的文本内容，用两个新的图表替换了原来的图表。 39
- 更新了 *“电源相关建议”* 部分的文本内容。 41
- 更新了*使用隔离式电源*一节中的文本。 41
- 更新了*使用自举二极管*一节中的文本。 41

Copyright © 2025 Texas Instruments Incorporated

- *“布局指南”*部分增加了新的图表。 42
- 更新了*“电源环路电感”*部分的文本内容，并且增加了公式。 43

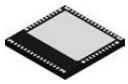
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

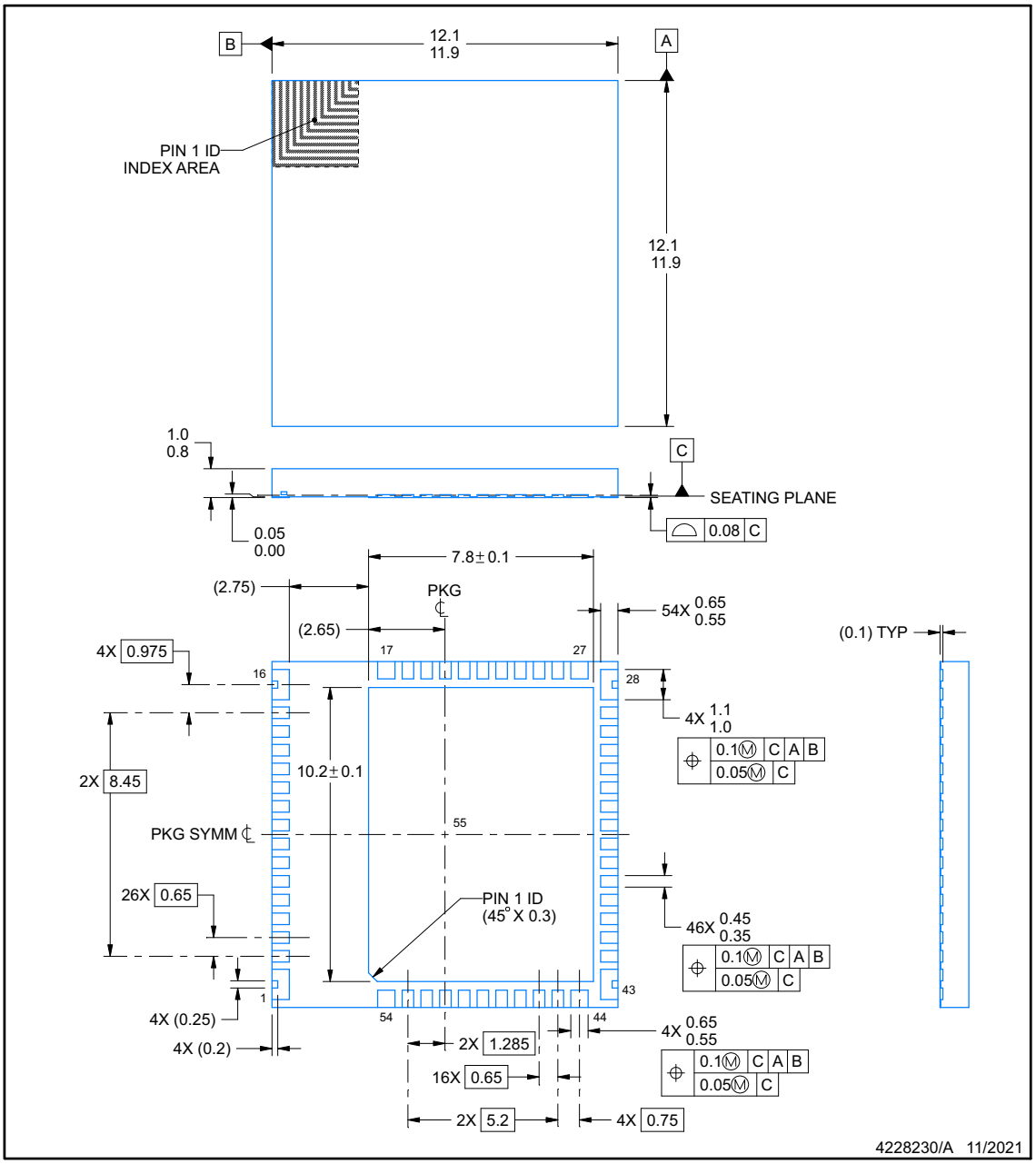
PACKAGE OUTLINE

RQZ0054A-C01



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

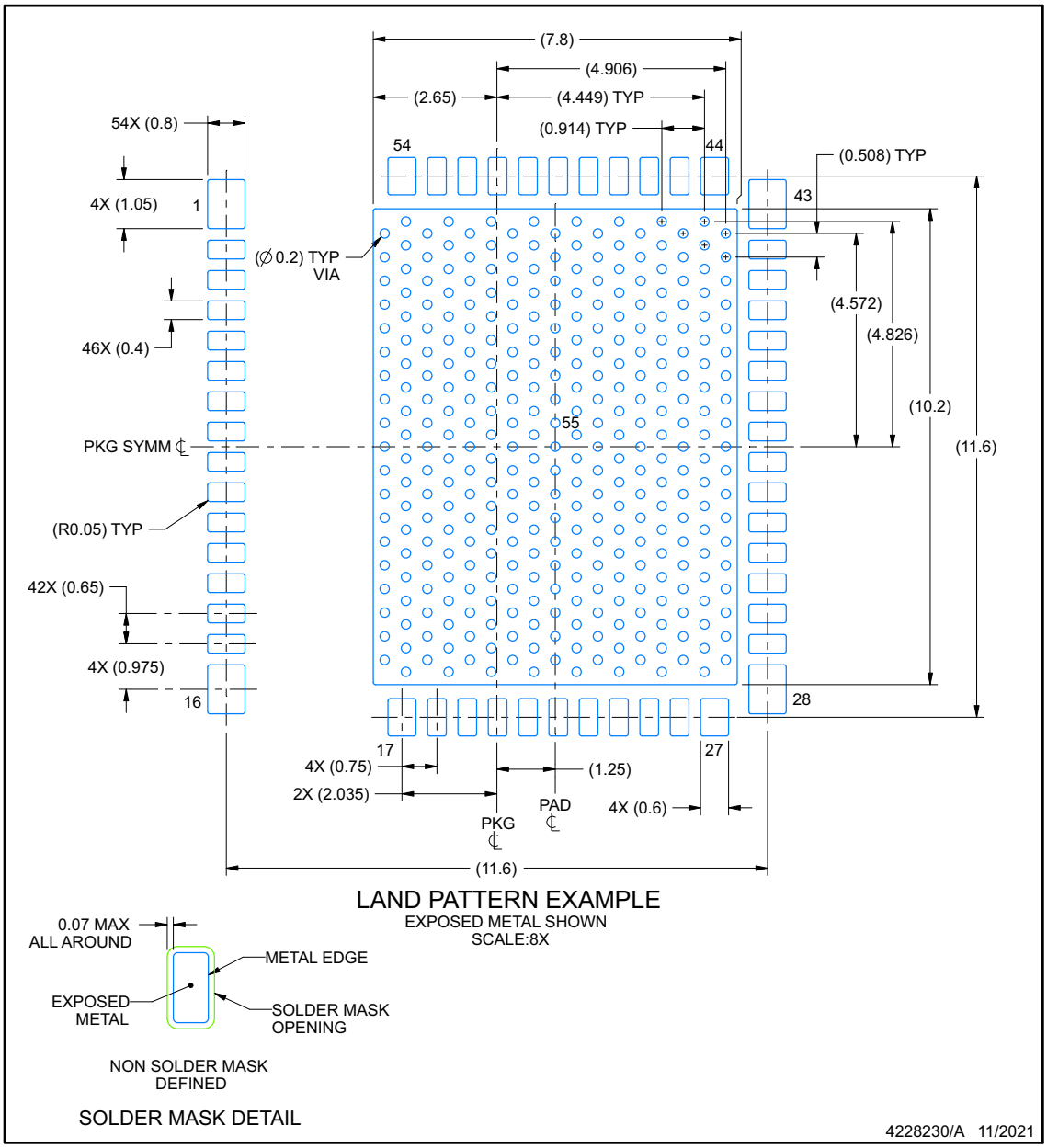
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RQZ0054A-C01

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

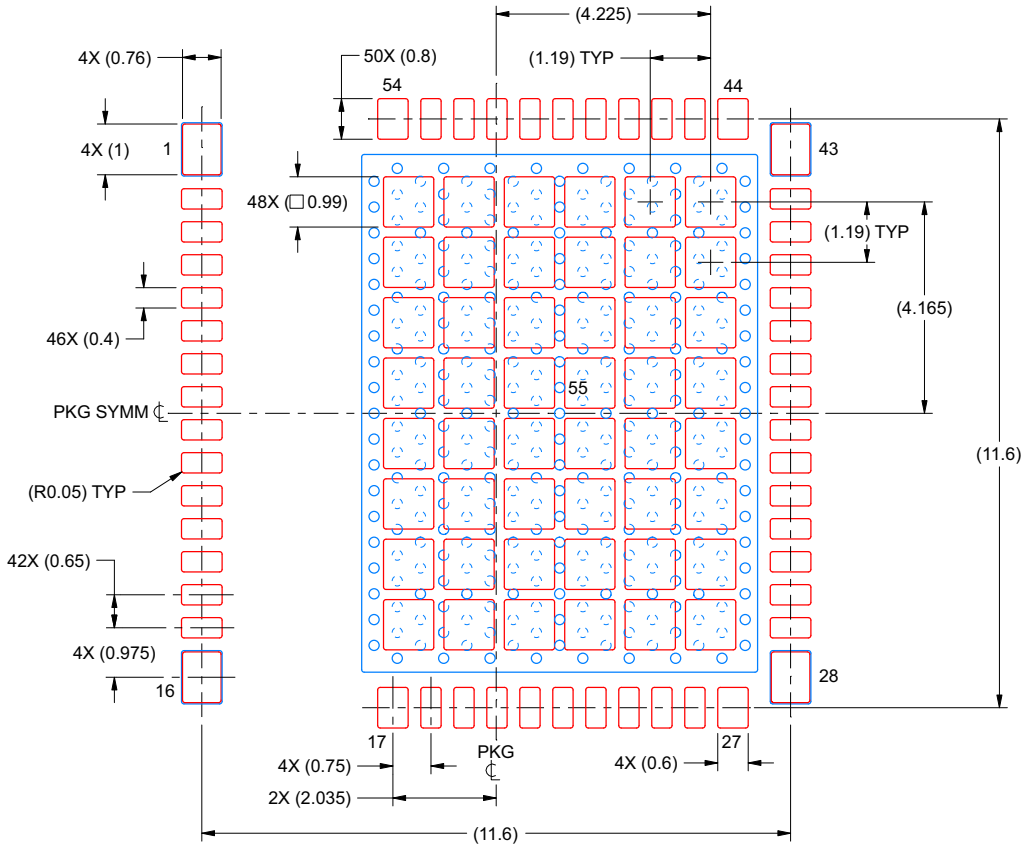
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. All pads must be NSMD for mechanical performance, refer to the device datasheet for trace connection recommendations to the pads.
6. Filling the thermal pad with thermal vias is recommended for thermal performance, refer to the device datasheet. Vias must be filled and planarized.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RQZ0054A-C01 — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 1, 16, 28 & 43: 90%
PAD 55: 60%
SCALE:8X

4228230/A 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3422R030RQZR	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168 HR	-40 to 150	LMG3422 R030
LMG3422R030RQZR.A	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168 HR	-40 to 150	LMG3422 R030
LMG3422R030RQZT	Active	Production	VQFN (RQZ) | 54	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-3-260C-168 HR	-40 to 150	LMG3422 R030
LMG3422R030RQZT.A	Active	Production	VQFN (RQZ) | 54	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-3-260C-168 HR	-40 to 150	LMG3422 R030
LMG3426R030RQZR	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3426 R030
LMG3426R030RQZR.A	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3426 R030
LMG3426R030RQZT	Active	Production	VQFN (RQZ) | 54	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3426 R030
LMG3426R030RQZT.A	Active	Production	VQFN (RQZ) | 54	250 | SMALL T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3426 R030
LMG3427R030RQZR	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3427 R030
LMG3427R030RQZR.A	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3427 R030
LMG3427R030RQZR.B	Active	Production	VQFN (RQZ) | 54	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3427 R030

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

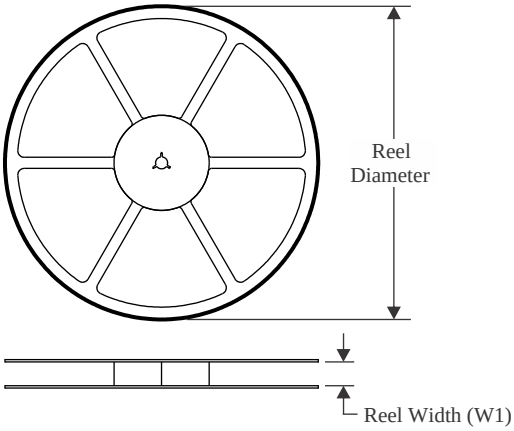
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

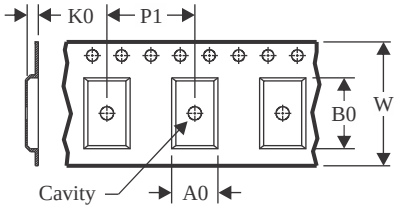
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

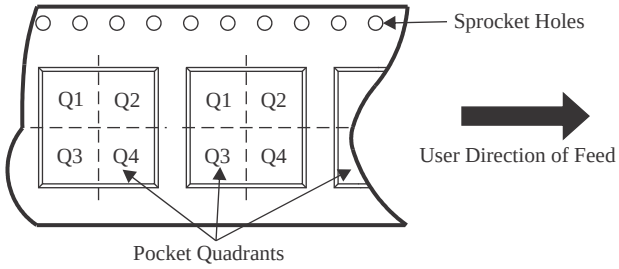


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

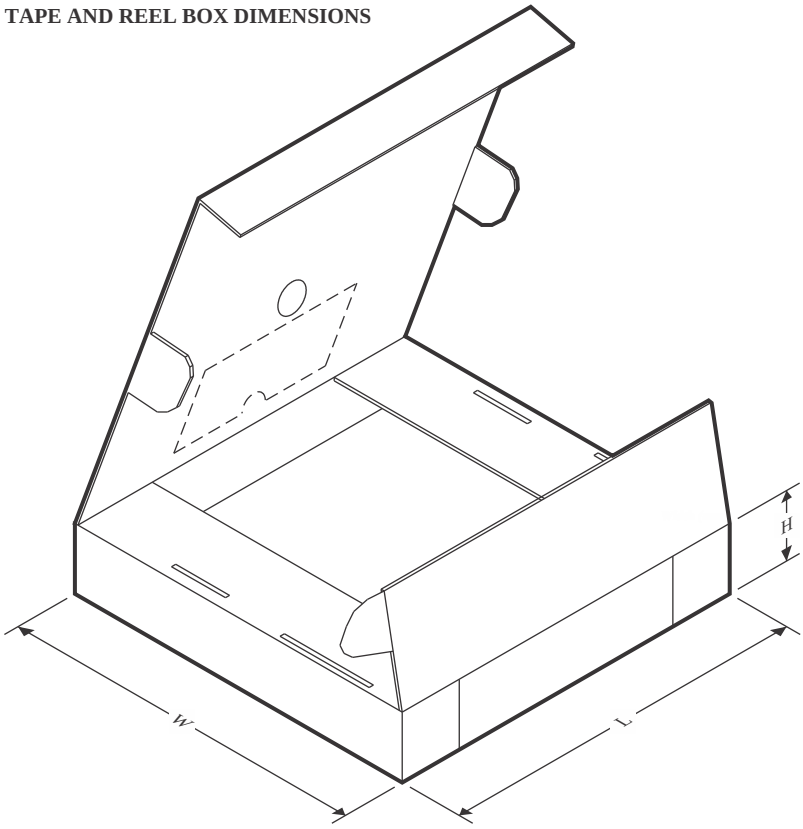
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG3422R030RQZR	VQFN	RQZ	54	2000	330.0	24.4	12.35	12.35	1.5	16.0	24.0	Q2
LMG3422R030RQZT	VQFN	RQZ	54	250	180.0	24.4	12.3	12.3	1.1	16.0	24.0	Q2
LMG3422R030RQZT	VQFN	RQZ	54	250	180.0	24.4	12.35	12.35	1.5	16.0	24.0	Q2
LMG3426R030RQZR	VQFN	RQZ	54	2000	330.0	24.4	12.3	12.3	1.1	16.0	24.0	Q2
LMG3426R030RQZT	VQFN	RQZ	54	250	180.0	24.4	12.3	12.3	1.1	16.0	24.0	Q2

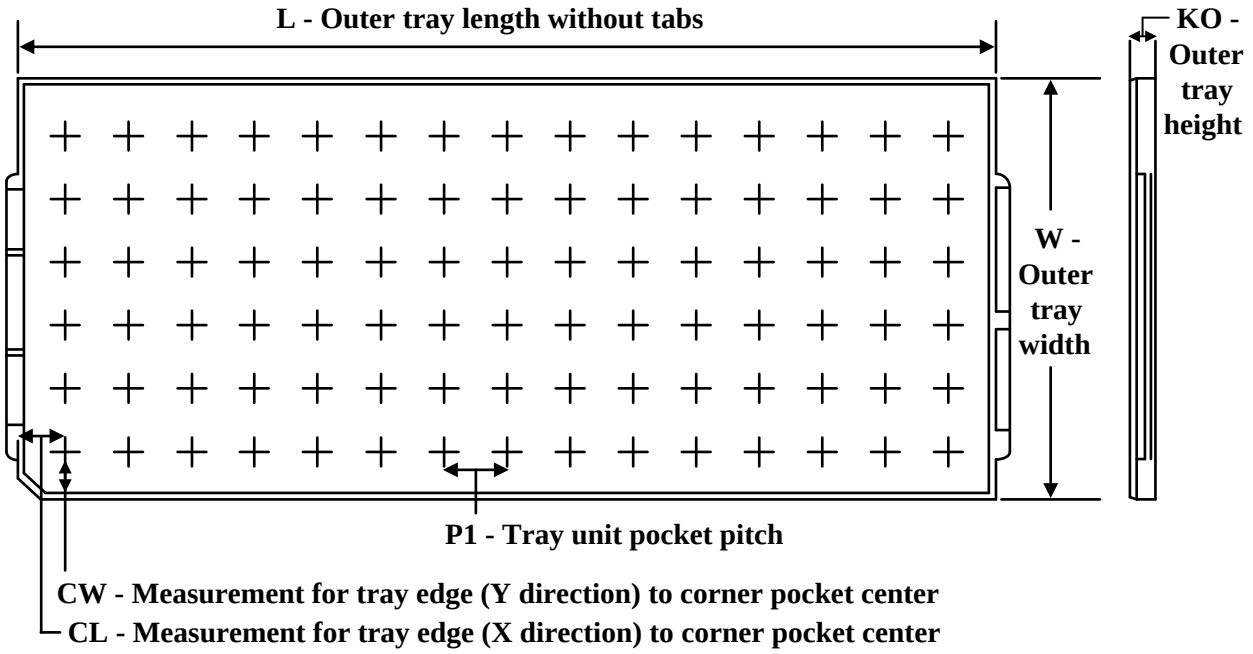
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG3422R030RQZR	VQFN	RQZ	54	2000	350.0	350.0	43.0
LMG3422R030RQZT	VQFN	RQZ	54	250	211.0	193.0	46.0
LMG3422R030RQZT	VQFN	RQZ	54	250	213.0	191.0	55.0
LMG3426R030RQZR	VQFN	RQZ	54	2000	367.0	367.0	45.0
LMG3426R030RQZT	VQFN	RQZ	54	250	211.0	193.0	46.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
LMG3422R030RQZR	RQZ	VQFN	54	2000	8 x 21	180	322.6	135.9	7620	14.65	11	11.95
LMG3422R030RQZR.A	RQZ	VQFN	54	2000	8 x 21	180	322.6	135.9	7620	14.65	11	11.95
LMG3427R030RQZR	RQZ	VQFN	54	2000	8 x 21	180	322.6	135.9	7620	14.65	11	11.95
LMG3427R030RQZR.A	RQZ	VQFN	54	2000	8 x 21	180	322.6	135.9	7620	14.65	11	11.95
LMG3427R030RQZR.B	RQZ	VQFN	54	2000	8 x 21	180	322.6	135.9	7620	14.65	11	11.95

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月