LMKDB1xxx PCIe 第 1 代至第 6 代超低抖动 1:20、1:8、1:4、1:2、2:4、2:2 LP-HCSL 时钟缓冲器和时钟多路复用器

1 特性

- LP-HCSL 时钟缓冲器和时钟多路复用器支持：
  - PCIe 第 1 代到第 6 代
  - CC（通用时钟）和 IR（独立基准）PCIe 架构
  - 带或不带 SSC 的输入时钟
- 符合 DB2000QL 规格：
  - 所有器件均符合 DB2000QL 规格
  - LMKDB1120 与 DB2000QL 引脚兼容
- 极低的附加抖动：
  - 在 156.25MHz 下具有 31fs 的最大 12kHz 至 20MHz RMS 附加抖动
  - PCIe 第 4 代的最大附加抖动为 13fs
  - PCIe 第 5 代的最大附加抖动为 5fs
  - PCIe 第 6 代的最大附加抖动为 3fs
- 失效防护输入
- 灵活的上电序列
- 自动输出禁用
- 独立输出使能
- 用于启用或禁用高速输出的 SBI（边带接口）
- LOS（信号丢失）输入检测
- 85Ω 或 100Ω 输出阻抗
- 1.8V/3.3V ± 10% 电源
- –40°C 至 105°C 环境温度

2 应用

- 高性能计算
- 服务器主板
- NIC/SmartNIC
- 硬件加速器

3 说明

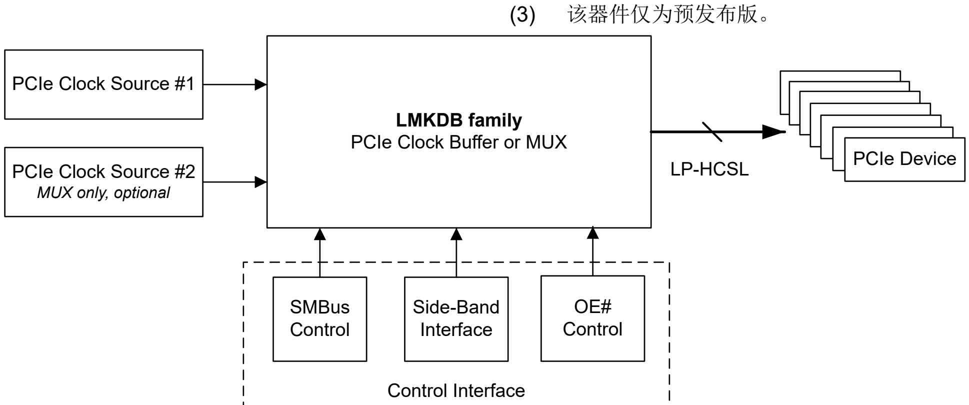
LMKDB 器件是一系列超低抖动 LP-HCSL 缓冲器和多路复用器，支持 PCIe 第 1 代到第 6 代并符合 DB2000QL 规格。该器件提供灵活的上电序列、失效防护输入、单独的输出使能和禁用引脚、输入信号丢失 (LOS) 检测和自动输出禁用功能，以及出色的电源噪声抑制性能。

支持 1.8V 和 3.3V 电源电压。对于 LMKDB1120，使用 1.8V 电源可比 3.3V 电源节省 250mW 功耗。

封装信息

器件型号	封装[(1)]	封装尺寸[(2)]
LMKDB1120	NPP（TLGA，80）	6mm × 6mm
LMKDB1108	RKP（VQFN，40）	5mm × 5mm
LMKDB1104[(3)]	REX（VQFN，28）	4mm × 4mm
LMKDB1204[(3)]	REX（VQFN，28）	4mm × 4mm
LMKDB1202[(3)]	REY（VQFN，20）	3mm × 3mm
LMKDB1102[(3)]	REY（VQFN，20）	3mm × 3mm

(1) 如需了解所有可用封装，请参阅节 14。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 该器件仅为预发布版。



典型应用

内容

4 器件比较

表 **4-1.** 器件比较

器件型号	说明
LMKDB1120Z85	1 个输入、20 个输出、85Ω 输出阻抗
LMKDB1120Z100	1 个输入、20 个输出、100Ω 输出阻抗
LMKDB1108Z85	1 个输入、8 个输出、85Ω 输出阻抗
LMKDB1108Z100	1 个输入、8 个输出、100Ω 输出阻抗
LMKDB1104Z85(1)	1 个输入、4 个输出、85Ω 输出阻抗
LMKDB1104Z100(1)	1 个输入、4 个输出、100Ω 输出阻抗
LMKDB1204(1)	2 个输入、4 个输出、85Ω 或 100Ω 输出阻抗
LMKDB1202(1)	2 个输入、2 个输出、85Ω 或 100Ω 输出阻抗
LMKDB1102(1)	1 个输入、2 个输出、85Ω 或 100Ω 输出阻抗

(1) 该器件仅为预发布版。

5 引脚配置和功能

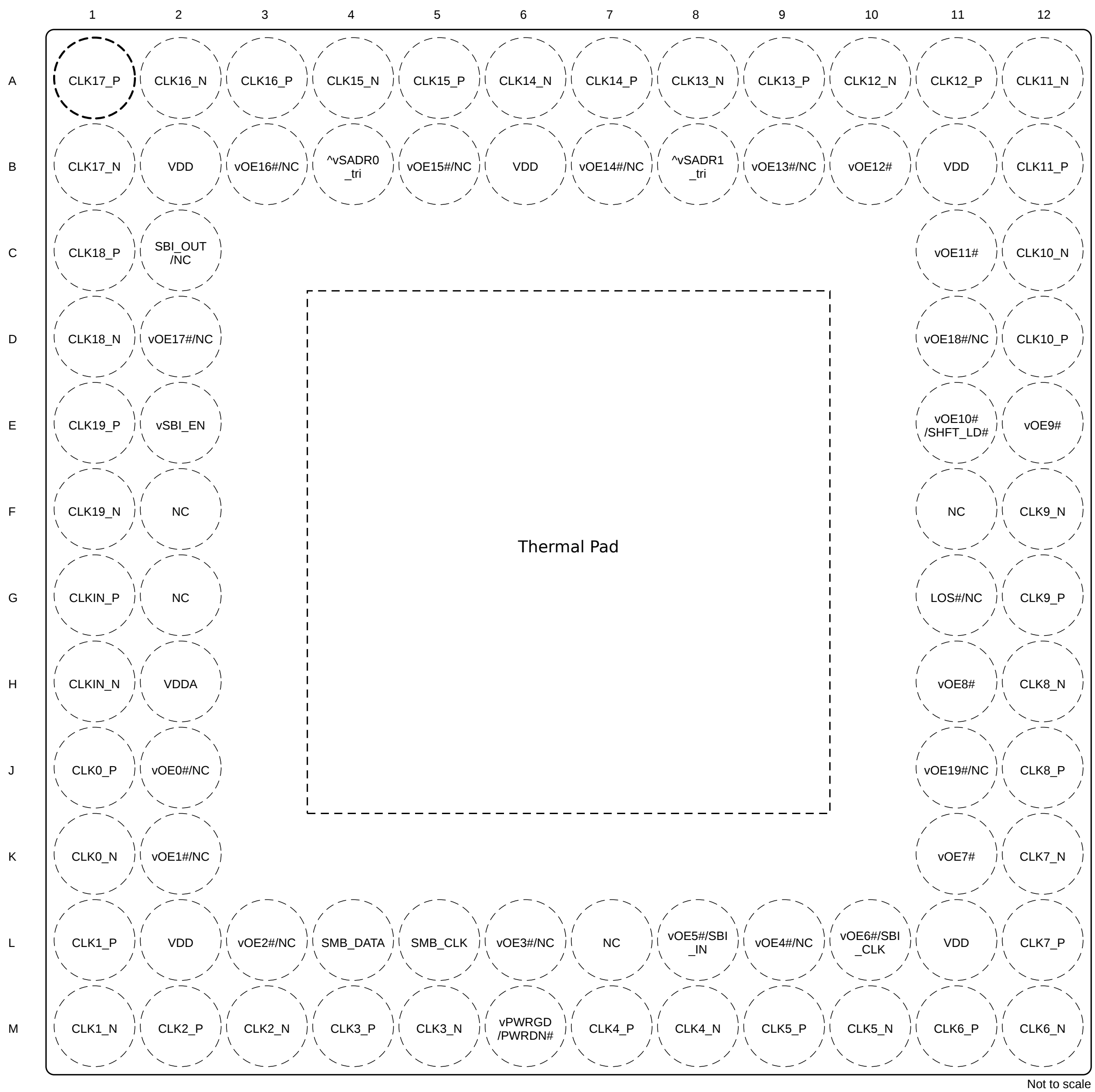


图 5-1. LMKDB1120 NPP 封装，80 引脚 TLGA（顶视图）

表 5-1. LMKDB1120 引脚功能

引脚		类型(1)	说明
名称	编号		
CLKIN_P	G1	I	差分时钟输入
CLKIN_N	H1	I	差分时钟输入
CLK0_P	J1	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	K1	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK1_P	L1	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。

表 5-1. LMKDB1120 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
CLK1_N	M1	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK2_P	M2	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	M3	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK3_P	M4	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_N	M5	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK4_P	M7	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK4_N	M8	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK5_P	M9	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK5_N	M10	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK6_P	M11	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK6_N	M12	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK7_P	L12	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK7_N	K12	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK8_P	J12	O	LP-HCSL 差分时钟输出 8。如果未使用，则不连接。
CLK8_N	H12	O	LP-HCSL 差分时钟输出 8。如果未使用，则不连接。
CLK9_P	G12	O	LP-HCSL 差分时钟输出 9。如果未使用，则不连接。
CLK9_N	F12	O	LP-HCSL 差分时钟输出 9。如果未使用，则不连接。
CLK10_P	D12	O	LP-HCSL 差分时钟输出 10。如果未使用，则不连接。
CLK10_N	C12	O	LP-HCSL 差分时钟输出 10。如果未使用，则不连接。
CLK11_P	B12	O	LP-HCSL 差分时钟输出 11。如果未使用，则不连接。
CLK11_N	A12	O	LP-HCSL 差分时钟输出 11。如果未使用，则不连接。
CLK12_P	A11	O	LP-HCSL 差分时钟输出 12。如果未使用，则不连接。
CLK12_N	A10	O	LP-HCSL 差分时钟输出 12。如果未使用，则不连接。
CLK13_P	A9	O	LP-HCSL 差分时钟输出 13。如果未使用，则不连接。
CLK13_N	A8	O	LP-HCSL 差分时钟输出 13。如果未使用，则不连接。
CLK14_P	A7	O	LP-HCSL 差分时钟输出 14。如果未使用，则不连接。
CLK14_N	A6	O	LP-HCSL 差分时钟输出 14。如果未使用，则不连接。
CLK15_P	A5	O	LP-HCSL 差分时钟输出 15。如果未使用，则不连接。
CLK15_N	A4	O	LP-HCSL 差分时钟输出 15。如果未使用，则不连接。
CLK16_P	A3	O	LP-HCSL 差分时钟输出 16。如果未使用，则不连接。
CLK16_N	A2	O	LP-HCSL 差分时钟输出 16。如果未使用，则不连接。
CLK17_P	A1	O	LP-HCSL 差分时钟输出 17。如果未使用，则不连接。
CLK17_N	B1	O	LP-HCSL 差分时钟输出 17。如果未使用，则不连接。
CLK18_P	C1	O	LP-HCSL 差分时钟输出 18。如果未使用，则不连接。
CLK18_N	D1	O	LP-HCSL 差分时钟输出 18。如果未使用，则不连接。
CLK19_P	E1	O	LP-HCSL 差分时钟输出 19。如果未使用，则不连接。
CLK19_N	F1	O	LP-HCSL 差分时钟输出 19。如果未使用，则不连接。
DAP	GND	G	地。散热焊盘
LOS#/NC	G11	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。

表 5-1. LMKDB1120 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
NC	F2	NC	无连接
NC	F11	NC	无连接
NC	G2	NC	无连接
NC	L7	NC	无连接
SBI_OUT/NC	C2	O	SBI 数据输出/无连接。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
SMB_DATA	L4	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	L5	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
VDDA	H2	P	模拟电源。建议进行额外的电源滤波。详情请参见*电源相关建议*。
VDD	B2	P	电源。
VDD	B6	P	电源。
VDD	B11	P	电源。
VDD	L2	P	电源。
VDD	L11	P	电源。
vOE0#/NC	J2	I	CLK0 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE1#/NC	K2	I	CLK1 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE2#/NC	L3	I	CLK2 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE3#/NC	L6	I	CLK3 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE4#/NC	L9	I	CLK4 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE5#/SBI_IN	L8	I	CLK5 低电平有效/SBI 数据输入的输出使能。内部下拉电阻。功能由上电时引脚 E2 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE6#/SBI_CLK	L10	I	CLK6 低电平有效/SBI 时钟的输出使能。内部下拉电阻。功能由上电时引脚 E2 (SBI_EN) 的状态决定。内部下拉电阻。如果未使用，则不连接。
vOE7#	K11	I	CLK7 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE8#	H11	I	CLK8 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE9#	E12	I	CLK9 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE10#/SHFT_LD#	E11	I	CLK10 低电平有效/SBI 移位寄存器负载低电平有效的输出使能。内部下拉电阻。功能由上电时引脚 E2 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE11#	C11	I	CLK11 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE12#	B10	I	CLK12 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE13#/NC	B9	I	CLK13 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE14#/NC	B7	I	CLK14 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE15#/NC	B5	I	CLK15 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE16#/NC	B3	I	CLK16 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE17#/NC	D2	I	CLK17 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vOE18#/NC	D11	I	CLK18 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。

表 **5-1. LMKDB1120** 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
vOE19#/NC	J11	I	CLK19 低电平有效/无连接的输出使能。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vPWRGD/PWRDN#	M6	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 • 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 • 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 　– 低电平 = 断电模式 　– 高电平 = 正常运行模式
vSBI_EN	E2	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 • 上电时为低电平 = 禁用 SBI 接口。引脚 L8、L10、E11 用作 OE 引脚。 • 上电时为高电平 = 启用 SBI 接口。引脚 L8、L10、E11 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
^vSADR1_tri	B8	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^vSADR0_tri	B4	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

图 **5-2. LMKDB1108 RKP** 封装，**40** 引脚 **VQFN**（顶视图）

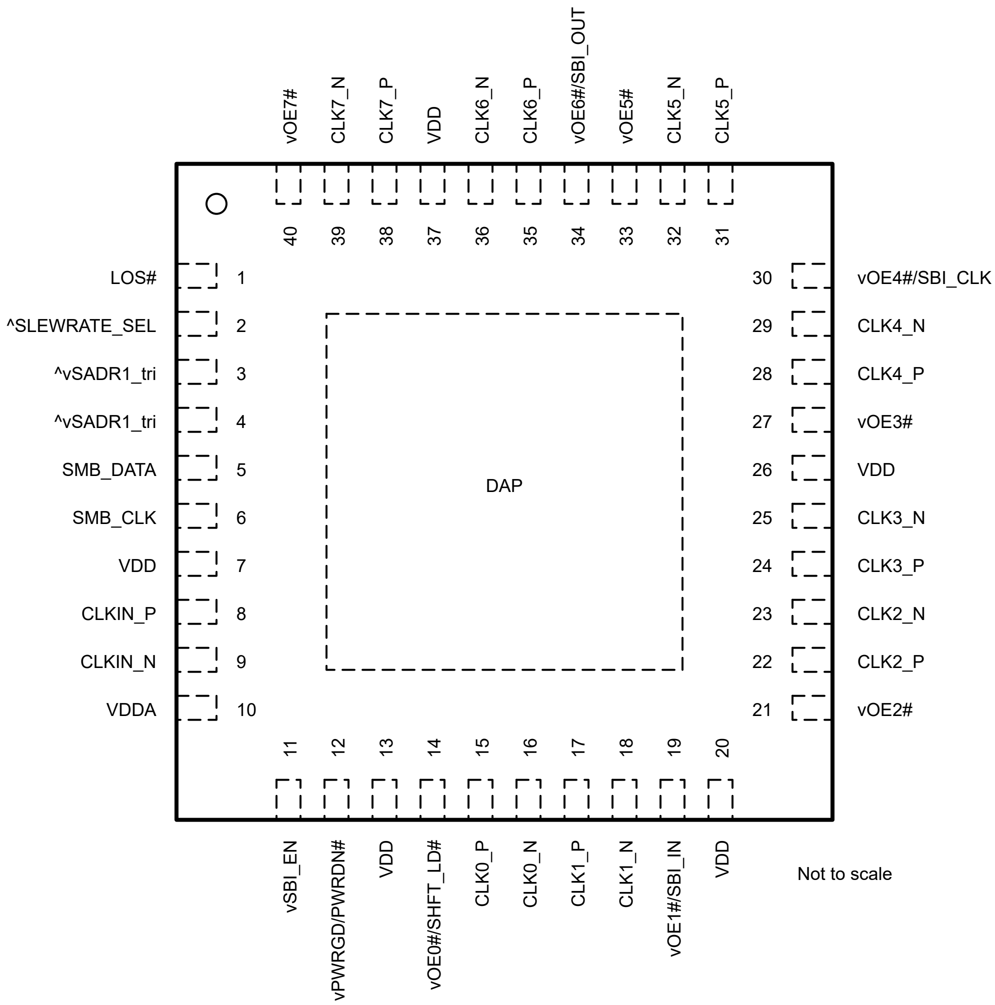


表 **5-2. LMKDB1108** 引脚功能

引脚		类型(1)	说明
名称	编号		
CLKIN_P	8	I	差分时钟输入
CLKIN_N	9	I	差分时钟输入
CLK0_P	15	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	16	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK1_P	17	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	18	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK2_P	22	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	23	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK3_P	24	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_N	25	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK4_P	28	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK4_N	29	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK5_P	31	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK5_N	32	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。

表 5-2. LMKDB1108 引脚功能（续）

引脚 名称	编号	类型(1)	说明
CLK6_P	35	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK6_N	36	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK7_P	38	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK7_N	39	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
vPWRGD/PWRDN#	12	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 • 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 • 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 – 低电平 = 断电模式 – 高电平 = 正常运行模式
vOE0#/SHFT_LD#	14	I	CLK0 低电平有效/SBI 移位寄存器负载低电平有效的输出使能。内部下拉电阻。功能由上电时引脚 11 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE1#/SBI_IN	19	I	CLK1 低电平有效/SBI 数据输入的输出使能。内部下拉电阻。功能由上电时引脚 11 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE2#	21	I	CLK2 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE3#	27	I	CLK3 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE4#/SBI_CLK	30	I	CLK4 低电平有效/SBI 时钟的输出使能。内部下拉电阻。功能由上电时引脚 11 (SBI_EN) 的状态决定。内部下拉电阻。如果未使用，则不连接。
vOE5#	33	I	CLK5 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vOE6#/SBI_OUT	34	I 或 O	CLK6 低电平有效/SBI 数据输出的输出使能。功能由上电时引脚 11 (SBI_EN) 的状态决定。内部下拉电阻。如果未使用，则不连接。
vOE7#	40	I	CLK7 低电平有效的输出使能。内部下拉电阻。如果未使用，则不连接。
vSBI_EN	11	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 • 上电时为低电平 = 禁用 SBI 接口。引脚 14、19、30、34 用作 OE 引脚。 • 上电时为高电平 = 启用 SBI 接口。引脚 14、19、30、34 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
SMB_DATA	5	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	6	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
^vSADR1_tri	3	I	SMBus 地址 3 电平输入引脚。这两个引脚从 9 个 SMBus 地址中选择 1 个。
^vSADR1_tri	4	I	SMBus 地址 3 电平输入引脚。这两个引脚从 9 个 SMBus 地址中选择 1 个。
^SLEWRATE_SEL	2	I	输出时钟的压摆率选择。内部上拉电阻。 • 低电平 = 慢速压摆率 • 高电平 = 快速压摆率
LOS#	1	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。
VDD	7	P	电源。
VDD	13	P	电源。
VDD	20	P	电源。
VDD	26	P	电源。
VDD	37	P	电源。
VDDA	10	P	模拟电源。建议进行额外的电源滤波。详情请参见电源相关建议。

表 5-2. LMKDB1108 引脚功能 （续）

引脚		类型(1)	说明
名称	编号		
DAP	GND	G	地。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

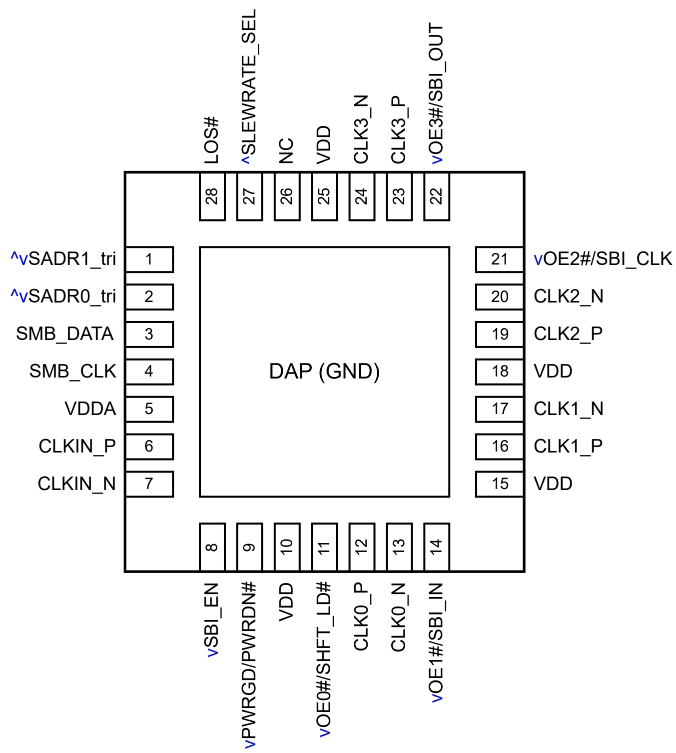


图 5-3. LMKDB1104 4mm x 4mm 28 引脚 QFN

表 5-3. LMKDB1104 引脚功能

引脚		类型(1)	说明
名称	编号		
CLKIN_P、CLKIN_N	6、7	I	差分时钟输入
CLK0_P、CLK0_N	12、13	O	LP-HCSL 差分时钟输出 0
CLK1_P、CLK1_N	16、17	O	LP-HCSL 差分时钟输出 1
CLK2_P、CLK2_N	19、20	O	LP-HCSL 差分时钟输出 2
CLK3_P、CLK3_N	23、24	O	LP-HCSL 差分时钟输出 3
vPWRGD/PWRDN#	9	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 • 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 • 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 – 低电平 = 断电模式 – 高电平 = 正常运行模式
vOE0#/SHFT_LD#	11	I	CLK0 低电平有效/SBI 移位寄存器负载低电平有效的输出使能。内部下拉电阻。功能由上电时引脚 8 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE1#/SBI_IN	14	I	CLK1 低电平有效/SBI 数据输入的输出使能。内部下拉电阻。功能由上电时引脚 8 (SBI_EN) 的状态决定。如果未使用，则不连接。
vOE2#/SBI_CLK	21	I	CLK2 低电平有效/SBI 时钟的输出使能。内部下拉电阻。功能由上电时引脚 8 (SBI_EN) 的状态决定。内部下拉电阻。如果未使用，则不连接。
vOE3#/SBI_OUT	22	I 或 O	CLK3 低电平有效/SBI 数据输出的输出使能。内部下拉电阻。功能由上电时引脚 8 (SBI_EN) 的状态决定。内部下拉电阻。如果未使用，则不连接。

表 5-3. LMKDB1104 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
vSBI_EN	8	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 • 上电时为低电平 = 禁用 SBI 接口。引脚 11、14、21、22 用作 OE 引脚。 • 上电时为高电平 = 启用 SBI 接口。引脚 11、14、21、22 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
SMB_DATA	3	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	4	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
^vSADR1_tri	1	I	SMBus 地址 3 电平输入引脚。这两个引脚从 9 个 SMBus 地址中选择 1 个。
^vSADR0_tri	2	I	SMBus 地址 3 电平输入引脚。这两个引脚从 9 个 SMBus 地址中选择 1 个。
^SLEWRATE_SEL	27	I	输出时钟的压摆率选择。内部上拉电阻。 • 低电平 = 慢速压摆率 • 高电平 = 快速压摆率
LOS#	28	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。
VDDA	5	P	模拟电源。建议进行额外的电源滤波。详情请参见电源相关建议。
VDD	10、15、18、25	P	电源。
GND	DAP	G	地。
NC	26	NC	无连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

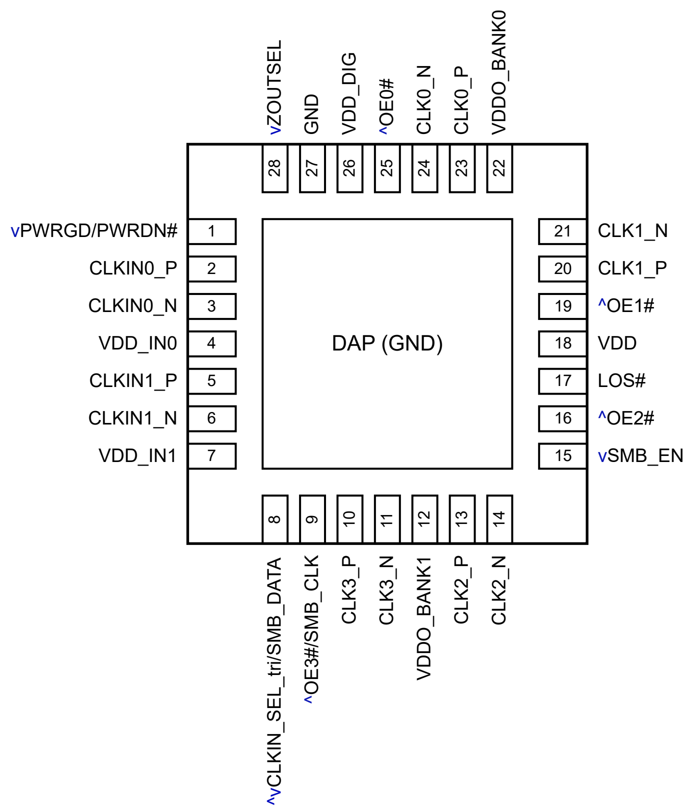


图 5-4. LMKDB1204 4mm x 4mm 28 引脚 QFN

表 5-4. LMKDB1204 引脚功能

引脚		类型(1)	说明
名称	编号		
CLKIN0_P、CLKIN0_N	2、3	I	差分时钟输入 0
CLKIN1_P、CLKIN1_N	5、6	I	差分时钟输入 1
CLK3_P、CLK3_N	10、11	O	LP-HCSL 差分时钟输出 3。输出组 1。
CLK2_P、CLK2_N	13、14	O	LP-HCSL 差分时钟输出 2。输出组 1。
CLK1_P、CLK1_N	20、21	O	LP-HCSL 差分时钟输出 1。输出组 0。
CLK0_P、CLK0_N	23、24	O	LP-HCSL 差分时钟输出 0。输出组 0。
vPWRGD/PWRDN#	1	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 • 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 • 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 　– 低电平 = 断电模式 　– 高电平 = 正常运行模式
^OE3#/SMB_CLK	9	I	CLK3 低电平有效/SMBus 时钟的输出使能。内部上拉电阻。功能由上电时引脚 15 (SMB_EN) 的状态决定。当用作 SMBus 时钟引脚时，需要外部上拉电阻。如果未使用，则不连接。
^OE2#	16	I	CLK2 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。
^OE1#	19	I	CLK1 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。
^OE0#	25	I	CLK0 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。

表 5-4. LMKDB1204 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
^vCLKIN_SEL_tri/ SMB_DATA	8	I 或 I/O	3 级时钟输入选择/SMBus 数据。内部上拉和下拉电阻。功能由上电时引脚 15 (SMB_EN) 的状态决定。 • 当用作 CLKIN_SEL_TRI 引脚时： – 低电平 = CLKIN0 进入所有输出 – 中电平 = CLKIN0 进入组 0，CLKIN1 进入组 1 – 高电平 = CLKIN1 进入所有输出 • 当用作 SMBus 数据引脚时，需要外部上拉电阻。
vSMB_EN	15	I	SMBus 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 • 上电时为低电平 = 禁用 SMBus。引脚 8 是 CLKIN_SEL_tri，引脚 9 是 OE5#。 • 上电时为高电平 = 启用 SMBus。引脚 8 是 SMB_DATA，引脚 9 是 SMB_CLK。
vZOUT_SEL	28	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 • 低电平 = 85Ω • 高电平 = 100Ω
LOS#	17	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。
VDD_IN0	4	P	CLKIN0 的电源。
VDD_IN1	7	P	CLKIN1 的电源。
VDDO_BANK1	12	P	输出组 1 的电源（OUT2 和 OUT3）
VDDO_BANK0	22	P	输出组 0 的电源（OUT0 和 OUT1）
VDD_DIG	26	P	数字的电源
VDD	18	P	电源
GND	27，DAP	G	地。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

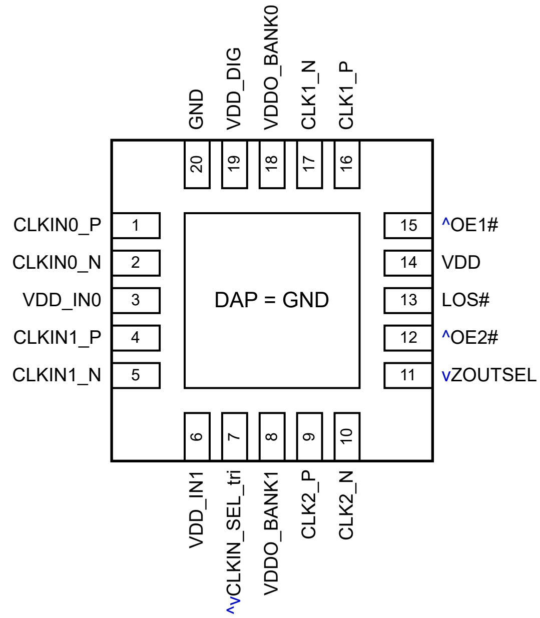


图 5-5. LMKDB1202 3mm x 3mm 20 引脚 QFN

表 5-5. LMKDB1202 引脚功能

引脚		类型[(1)]	说明
名称	编号		
CLKIN0_P、CLKIN0_N	1、2	I	差分时钟输入 0
CLKIN1_P、CLKIN1_N	4、5	I	差分时钟输入 1
CLK2_P、CLK2_N	9、10	O	LP-HCSL 差分时钟输出 2。输出组 1。
CLK1_P、CLK1_N	16、17	O	LP-HCSL 差分时钟输出 1。输出组 0。
^OE2#	12	I	CLK2 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。
^OE1#	15	I	CLK1 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。此引脚需要满足以下任一条件，才能在加电后动态启用或禁用 CLK1。如果在加电后 CLK1 保持启用或禁用，则无需满足以下条件。 • 此引脚在 ⩾0.1V/ns 压摆率下驱动到低电平或高电平。 • 用于驱动此引脚的电阻 ⩽1kΩ。 仅引脚 15 需要满足上述要求。
^vCLKIN_SEL_tri	7	I	3 级时钟输入选择 • 低电平 = CLKIN0 进入所有输出 • 中电平 = CLKIN0 进入组 0，CLKIN1 进入组 1 • 高电平 = CLKIN1 进入所有输出
vZOUT_SEL	11	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 • 低电平 = 85Ω • 高电平 = 100Ω
LOS#	13	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。
VDD_IN0	3	P	CLKIN0 的电源
VDD_IN1	6	P	CLKIN1 的电源

表 5-5. LMKDB1202 引脚功能 （续）

引脚		类型[(1)]	说明
名称	编号		
VDDO_BANK1	8	P	输出组 1 (CLK2) 的电源
VDD	14	P	电源
VDDO_BANK0	18	P	输出组 0 (CLK1) 的电源
VDD_DIG	19	P	数字的电源
GND	20，DAP	G	地。

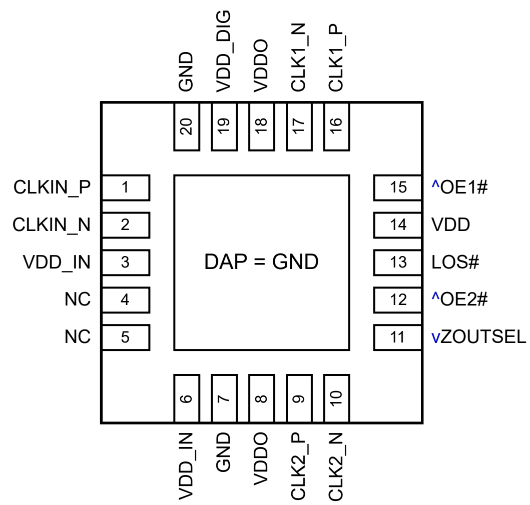


图 5-6. LMKDB1102 3mm x 3mm 20 引脚 QFN

表 5-6. LMKDB1102 引脚功能

引脚		类型(1)	说明
名称	编号		
CLKIN_P	1	I	差分时钟输入
CLKIN_N	2	I	差分时钟输入
NC	4、5	I	无连接。保持悬空
CLK2_P	9	O	LP-HCSL 差分时钟输出 2
CLK2_N	10	O	LP-HCSL 差分时钟输出 2
CLK1_P	16	O	LP-HCSL 差分时钟输出 1
CLK1_N	17	O	LP-HCSL 差分时钟输出 1
^OE2#	12	I	CLK2 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。
^OE1#	15	I	CLK1 低电平有效的输出使能。内部上拉电阻。如果未使用，则不连接。此引脚需要满足以下任一条件，才能在加电后动态启用或禁用 CLK1。如果在加电后 CLK1 保持启用或禁用，则无需满足以下条件。 • 此引脚在 ≥0.1V/ns 压摆率下驱动到低电平或高电平。 • 用于驱动此引脚的电阻 ≤1kΩ。 仅引脚 15 需要满足上述要求。
GND	7	I 或 GND	数字 0 或 GND。通过下拉电阻连接至 GND 或直接连接至 GND。
vZOUT_SEL	11	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 • 低电平 = 85Ω • 高电平 = 100Ω
LOS#	13	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 • 低电平 = 输入时钟无效。 • 高电平 = 输入时钟有效。
VDD_IN	3、6	P	CLKIN 的电源
VDDO	8、18	P	时钟输出的电源
VDD	14	P	电源
VDD_DIG	19	P	数字的电源
GND	20，DAP	G	地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[1]

		最小值	最大值	单位
V_{DDx}	任何 VDD 引脚上的电源电压	-0.3	3.63	V
V_{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3	3.63	V
I_{OUT}	输出电流 - 持续 (CLKOUT)		30	mA
	输出电流 - 持续（SMB_DATA、SBI_OUT）		25	mA
	输出电流 - 浪涌 (CLKOUT)		60	mA
	输出电流 - 浪涌（SMB_DATA、SBI_OUT）		50	mA
T_S	贮存温度	-65	150	℃

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[2]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T_J	结温			125	°C
T_A	环境温度	-40		105	°C
V_{DD}	电源电压	2.97	3.3	3.6	V
		1.71	1.8	1.89	V
V_{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3		3.6	V
t_{ramp}	功率斜升时间	0.05		5	ms

6.4 热性能信息

热指标[1]		NPP (TLGA)	RKP (VQFN)	单位
		80 引脚	40 引脚	
$R_{\theta JA}$	结至环境热阻	33.1	33.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	31.9	24.6	°C/W
$R_{\theta JB}$	结至电路板热阻	16.2	13.8	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	16.0	13.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.8	4.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
时钟输入要求						
$V_{IN, cross}$	时钟输入交叉点电压		100		1400	mV
DC_{IN}	时钟输入占空比		45		55	%
V_{IN}	差分时钟输入幅度（差分峰峰值电压的一半）	$f_0 \leqslant$ 300MHz	200		2000	mV
		300MHz < $f_0 \leqslant$ 400MHz	250		2000	mV
dV_{IN}/dt	时钟输入压摆率	在 -150mV 至 150mV 范围内测量差分波形	0.6			V/ns
时钟输出特性 - 100MHz 85Ω PCIe						
$V_{OH,AC}$	输出电压高电平	DB2000QL 交流测试负载(6)	670		820	mV
$V_{OL,AC}$	输出电压低电平		-100		100	mV
$V_{max,AC}$	最大输出电压（包括过冲）		670		920	mV
$V_{min,AC}$	最小输出电压（包括下冲）		-100		100	mV
$V_{OH,DC}$	直流测试负载时输出电压高电平	DB2000QL 直流测试负载(2)	225		270	mV
$V_{OL,DC}$	直流测试负载时输出电压低电平		10		150	mV
$V_{ovs,DC}$	直流测试负载时输出过冲电压				75	mV
$V_{uds,DC}$	直流测试负载时输出下冲电压		-75			mV
Z_{diff}	差分输出阻抗	在 V_{OL}/V_{OH}，V_{DD} = 3.3V 时测量	80.75	85	89.25	Ω
		在 V_{OL}/V_{OH}，V_{DD} = 1.8V 时测量	81	85	90	Ω
$Z_{diff\text{-}crossing}$	差分输出阻抗 - 交叉	在转换期间测量	68	85	102	Ω
dV/dt	输出压摆率	在 -150mV 至 150mV 范围内测量差分波形。最低压摆率(6) (7)	1.5		2.2	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。低压摆率(6) (7)	1.8		2.6	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。高压摆率（默认）(6) (7)	2		2.9	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。最高压摆率(6) (7)	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	DB2000QL 交流测试负载(6)			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50%(6)	-1		1	%
$V_{cross,AC}$	绝对交叉点电压	DB2000QL 交流测试负载(6)	250		550	mV
$V_{cross,DC}$	绝对交叉点电压	DB2000QL 直流测试负载(2)	130		200	mV
$\Delta V_{cross,AC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 交流测试负载(6)			140	mV
$\Delta V_{cross\text{-}DC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 直流测试负载(2)			35	mV
$\lvert V_{RB} \rvert$	PCIe 中定义的回铃电压绝对值	DB2000QL 交流测试负载(6)	100			mV
t_{stable}	允许 V_{RB} 之前的时间	DB2000QL 交流测试负载(6)	500			ps
V_{OH}	输出电压高电平	PCIe 交流测试负载(1)	670		820	mV
V_{OL}	输出电压低电平	PCIe 交流测试负载(1)	-100		100	mV
时钟输出特性 - 100MHz 100 Ω PCIe						
V_{max}	包括过冲的输出电压高电平	PCIe 交流测试负载(1)	670		920	mV
V_{min}	包括下冲的输出电压低电平	PCIe 交流测试负载(1)	-100		100	mV

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Z_{diff}	差分输出直流阻抗	V_{DD} = 3.3V	95	100	105	Ω
		V_{DD} = 1.8V	95	100	105	Ω
dV/dt	输出压摆率	在 -150mV 至 150mV 范围内测量差分波形。最低压摆率[1] [7]	1.5		2.2	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。低压摆率[1] [7]	1.8		2.6	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。高压摆率[1] [7]	2		2.9	V/ns
		在 -150mV 至 150mV 范围内测量差分波形。最高压摆率[1] [7]	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	PCIe 交流测试负载[1]			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50%[1]	-1		1	%
V_{cross}	绝对交叉点电压	PCIe 交流测试负载[1]	250		550	mV
ΔV_{cross}	V_{cross} 在所有时钟边沿上的变化	PCIe 交流测试负载[1]			140	mV
$\|V_{RB}\|$	PCIe 中定义的回铃电压绝对值	PCIe 交流测试负载[1]	100			mV
t_{stable}	允许 V_{RB} 之前的时间	PCIe 交流测试负载[1]	500			ps
时钟输出特性 - 非 PCIe						
V_{OH}	输出电压高电平	输出摆幅编程为 800mV。f_0 = 156.25MHz 或 312.5MHz	720		880	mV
V_{OL}	输出电压低电平		-120		120	mV
V_{OH}	输出电压高电平	输出摆幅编程为 900mV。f_0 = 156.25MHz 或 312.5MHz	780		980	mV
V_{OL}	输出电压低电平		-120		120	mV
t_R，t_F	单端波形的上升/下降时间，20% 至 80%	输出摆幅编程为 800mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			340	ps
		输出摆幅编程为 900mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			370	ps
DCD	占空比失真	输入占空比 = 50%	-1		1	%
偏斜和延迟特性						
t_{skew}	输出到输出偏斜	同一组			50	ps
		任何组			50	ps
	器件间延迟				300	ps
t_{PD}	输入到输出延迟				1	ns
Δ t_{PD}	输入到输出延迟变化	单个器件过热和过压			1.5	ps/℃
频率和时序特性						
f_0	运行频率	禁用自动输出禁用功能	1		400	MHz
		启用自动输出禁用功能	25		400	MHz
$t_{startup}$	启动时间	冷启动。从 VDD 有效（最终 VDD 的 90%）到输出时钟稳定之间测量[3]。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。$f_0 \geqslant$ 100MHz			0.4	ms
		冷启动。从 VDD 有效（最终 VDD 的 90%）到输出时钟稳定之间测量[3]。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。f_0 < 100MHz			0.8	ms

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{stable}	时钟稳定时间	VDD 稳定。从 PWRGD 置为有效[(4)] 到输出时钟稳定之间测量。$f_0 \geqslant$ 100MHz[(3)]			0.4	ms
		VDD 稳定。从 PWRGD 置为有效[(4)]到输出时钟稳定之间测量。$f_0 <$ 100MHz[(3)]			0.8	ms
$t_{PD\#}$	断电置为无效时间	从 PWRDN# 置为无效[(4)] 到输出时钟稳定之间测量。$f_0 \geqslant$ 100MHz[(3)]			0.15	ms
		从 PWRDN# 置为无效[(4)]到输出时钟稳定之间测量。$f_0 <$ 100MHz[(3)]			0.5	ms
t_{OE}	输出使能/禁用时间	从 OE 置为有效/置为无效[(4)] 到输出时钟启动/停止经过的时间。	4		10	clk
$t_{LOS\text{-}assert}$	LOS# 置为有效时间	从输入时钟丢失到 LOS# 置为有效经过的时间。$f_0 <$ 100MHz			120	ns
		从输入时钟丢失到 LOS# 置为有效经过的时间。$f_0 \geqslant$ 100MHz			120	ns
$t_{LOS\text{-}deassert}$	LOS# 置为无效时间	从输入时钟存在到 LOS# 置为无效经过的时间。$f_0 <$ 100MHz			340	ns
		从输入时钟存在到 LOS# 置为无效经过的时间。$f_0 \geqslant$ 100MHz			105	ns
t_{AOD}	自动输出禁用时间	从 LOS# 置为有效到输出禁用（两个输出均为低电平/低电平）经过的时间。$f_0 <$ 100MHz			0.07	ns
		从 LOS# 置为有效到输出禁用（两个输出均为低电平/低电平）经过的时间，$f_0 \geqslant$ 100MHz			0.07	ns
t_{AOE}	自动输出使能时间	从 LOS# 置为无效到输出时钟稳定经过的时间。$f_0 <$ 100MHz[(3)]			115	ns
		从 LOS# 置为无效到输出时钟稳定经过的时间，$f_0 \geqslant$ 100MHz[(3)]			22	ns
抖动特性						
$J_{PCIe1\text{-}CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ⩾ 3.5V/ns。差分输入摆幅 ⩾ 1600mV			442.5	fs
$J_{PCIe2\text{-}CC}$	PCIe 第 2 代 CC 抖动				39	fs
$J_{PCIe3\text{-}CC}$	PCIe 第 3 代 CC 抖动				12.3	fs
$J_{PCIe4\text{-}CC}$	PCIe 第 4 代 CC 抖动				12.3	fs
$J_{PCIe5\text{-}CC}$	PCIe 第 5 代 CC 抖动				4.9	fs
$J_{PCIe6\text{-}CC}$	PCIe 第 6 代 CC 抖动				3	fs
$J_{PCIe2\text{-}IR}$	PCIe 第 2 代 IR 抖动				33.8	fs
$J_{PCIe3\text{-}IR}$	PCIe 第 3 代 IR 抖动				14.1	fs
$J_{PCIe4\text{-}IR}$	PCIe 第 4 代 IR 抖动				14.5	fs
$J_{PCIe5\text{-}IR}$	PCIe 第 5 代 IR 抖动				3.9	fs
$J_{PCIe6\text{-}IR}$	PCIe 第 6 代 IR 抖动				3	fs

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			583.2	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动				51.3	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动				16	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动				16	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动				6.4	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动				3.9	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动				41.9	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动				18.3	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动				18.9	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动				5.1	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动				3.8	fs
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	两个输入（仅适用于多路复用器）都有正在运行的时钟。SSC 已启用或已禁用。包括串扰。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		443.7	583.2	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动			39	51.3	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动			12.2	16	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动			12.2	16	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动			4.9	6.4	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动			3	3.9	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动			31.9	41.9	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动			13.9	18.3	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动			14.4	18.9	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动			3.9	5.1	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动			2.9	3.8	fs
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	两个输入（仅适用于多路复用器）都有正在运行的时钟。SSC 已启用或已禁用。包括串扰。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV				fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动					fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动					fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动					fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动					fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动					fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动					fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动					fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动					fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动					fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动					fs
$J_{DB2000QL}$	DB2000QL 滤波器	输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV[6]		8.7	11.5	fs
		输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV[6]		6.5	9	fs

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz，压摆率 ≥ 3.5V/ns		27.3	37.5	fs
		f = 100MHz，压摆率 ≥ 1.5V/ns		37.4	48.5	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		21.9	31	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		29.4	38.5	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		35.1	48.5	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		47.1	60.5	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		19.3	28	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		27.4	39.5	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		29.5	41.5	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		40.7	58	fs
电源电流特性						
$I_{DD,total}$	LMKDB1104 总电源电流	所有输出均运行，f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1108 总电源电流	所有输出均运行，f_0 = 100MHz			85.7	mA
$I_{DD,total}$	LMKDB1120 总电源电流	所有输出均运行，f_0 = 100MHz			162	mA
$I_{DD,total}$	LMKDB1202 总电源电流	所有输出均运行，f_0 = 100MHz			41	mA
$I_{DD,total}$	LMKDB1204 总电源电流	所有输出均运行，f_0 = 100MHz			54	mA
$I_{DD,core}$	LMKDB1104 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用				mA
$I_{DD,core}$	LMKDB1108 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			36.3	mA
$I_{DD,core}$	LMKDB1120 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			37.9	mA
$I_{DD,core}$	LMKDB1202 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用，1 个输入启用				mA
$I_{DD,core}$		引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用，2 个输入启用				mA
$I_{DD,core}$	LMKDB1204 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用，1 个输入启用				mA
$I_{DD,core}$		引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用，2 个输入启用				mA
I_{DDO}	每个输出的输出电源电流	f_0 = 100MHz			6.4	mA
		f_0 = 400MHz			9.2	mA
I_{PD}	LMKDB1108 或 LMKDB1120 断电电流	引脚 PWRGD/PWRDN# = 低电平			5.6	mA
I_{PD}	LMKDB1104、LMKDB1204、LMKDB1102 或 LMKDB1202 断电电流	引脚 PWRGD/PWRDN# = 低电平			5.6	mA
PSNR 特性						

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSNR	电源噪声抑制，V_{DD} = 3.3V(5)	100kHz 噪声纹波			-93	dBc
		50kHz 噪声纹波			-91	dBc
		100kHz 噪声纹波			-91	dBc
		500kHz 噪声纹波			-95	dBc
		1MHz 噪声纹波			-96	dBc
		5MHz 噪声纹波			-111	dBc
		10MHz 噪声纹波			-99	dBc
	电源噪声抑制，V_{DD} = 1.8V(5)	10kHz 噪声纹波			-85	dBc
		50kHz 噪声纹波			-89	dBc
		100kHz 噪声纹波			-91	dBc
		500kHz 噪声纹波			-93	dBc
		1MHz 噪声纹波			-94	dBc
		5MHz 噪声纹波			-109	dBc
		10MHz 噪声纹波			-97	dBc
I/O 特性						
V_{IH}	输入电压高电平	2 电平逻辑输入，V_{DD} = 3.3V ± 10%	2		V_{DD} + 0.3	V
V_{IL}	输入电压低电平		-0.3		0.8	V
V_{IH}	输入电压高电平	3 电平逻辑输入，V_{DD} = 3.3V ± 10%	2.4		V_{DD} + 0.3	V
V_{IM}	输入电压中电平		1.2		1.8	V
V_{IL}	输入电压低电平		-0.3		0.8	V
V_{IH}	输入电压高电平	2 电平逻辑输入，V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IL}	输入电压低电平		-0.3		0.4	V
V_{IH}	输入电压高电平	3 电平逻辑输入，V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IM}	输入电压中电平		0.65		0.95	V
V_{IL}	输入电压低电平		-0.3		0.4	V
V_{OH}	输出高电压	SBI_OUT，I_{OH} = -2mA	2.4		V_{DD} + 0.3	V
V_{OL}	输出低电压	SBI_OUT，I_{OL} = 2mA			0.4	V
I_{IN}	输入漏电流	CLKINx_P	-40		40	µA
		CLKINx_N	-40		40	µA
		带内部下拉的单端输入	-30		30	µA
		无内部下拉的单端输入	-5		5	µA
		三电平逻辑输入	-30		30	µA
$R_{PU,PD}$	用于单端输入的内部上拉/下拉电阻			120		kΩ
SMBus 电气特性						
V_{IH}	SMB_CLK、SMB_DATA 输入高电压		0.8 × V_{DD}			V
V_{IL}	SMB_CLK、SMB_DATA 输入低电压				0.3 × V_{DD}	V
V_{HYS}	施密特触发输入迟滞		0.05 × V_{DD}			V
V_{OL}	SMB_DATA 输出低电压	I_{OL} = 4mA			0.4	V

在自然通风条件下的工作温度范围内测得(除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I_{LEAK}	SMB_CLK、SMB_DATA 输入漏电流		-10		10	μA
C_{PIN}	SMB_CLK、SMB_DATA 引脚电容				10	pF

(1) PCIe 交流测试负载
(2) DB2000QL 直流测试负载
(3) 第一个时钟沿用于时序测量。在稳定之前,时钟输出被静音。
(4) 对于输入引脚,当输入电压达到“高”电平所需的最小电压或“低”电平所需的最大电压时,开始置为有效或置为无效
(5) 所有电源引脚都连接在一起。将 0.1uF 电容器放置在靠近每个电源引脚的位置。在去耦电容器之前施加 50mVpp 纹波。测量时钟输出端的杂散电平
(6) DB2000QL 交流测试负载
(7) 压摆率在很大程度上取决于 PCB 布线特性

6.6 SMBus 时序要求

		100kHz 等级		400kHz 等级		单位
		最小值	最大值	最小值	最大值	
f_{SMB}	SMBus 工作频率	10	100	10	400	kHz
f_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7	–	1.3	–	μs
t_{HD_STA}	(重复)启动条件后的保持时间	4.0	–	0.6	–	μs
t_{SU_STA}	重复启动条件建立时间	4.7	–	0.6	–	μs
t_{SU_STO}	STOP 条件设置时间	4.0	–	0.6	–	μs
t_{HD_DAT}	数据保持时间	0	–	0	–	ns
t_{SU_DAT}	数据设置时间	250	–	100	–	ns
$t_{TIMEOUT}$	检测时钟低电平超时	25	35	25	35	ms
t_{LOW}	时钟低电平时间	4.7	–	1.3	–	μs
t_{HIGH}	时钟高电平周期	4.0	50	0.6	50	μs
t_{LOW_SEXT}	累计时钟低电平延长时间(辅助器件)	–	25	–	25	ms
t_{LOW_PEXT}	累计时钟低电平延长时间(主器件)	–	10	–	10	ms
t_F	时钟/数据下降时间	–	300	–	300	ns
t_R	时钟/数据上升时间	–	1000	–	300	ns
t_{SPIKE}	噪声尖峰抑制时间	–	–	0	50	ns
t_{POR}	上电复位后器件必须运行的时间		500		500	ms

6.7 SBI 时序要求

		最小值	最大值	单位
t_{PERIOD}	时钟周期	40	–	ns
t_{SETUP}	SHFT 设置到 SBI_CLK 上升沿	10	–	ns
t_{DSU}	SBI_IN 数据设置到 SBI_CLK 上升沿	5	–	ns
t_{DHOLD}	SBI_CLK 上升沿之后的 SBI_IN 数据保持	2	–	ns
t_{DOUT}	SBI_CLK 上升沿至 SBI_OUT 数据有效	2	–	ns
t_{LD}	CLK 上升沿到 LD# 下降沿	10	–	ns
t_{OE}	从 LD# 下降沿到输出使能/禁用生效的延迟	4	10	时钟
t_{SLEW}	SBI_CLK 20% 至 80% 压摆率	0.7	4	V/ns

6.8 时序图

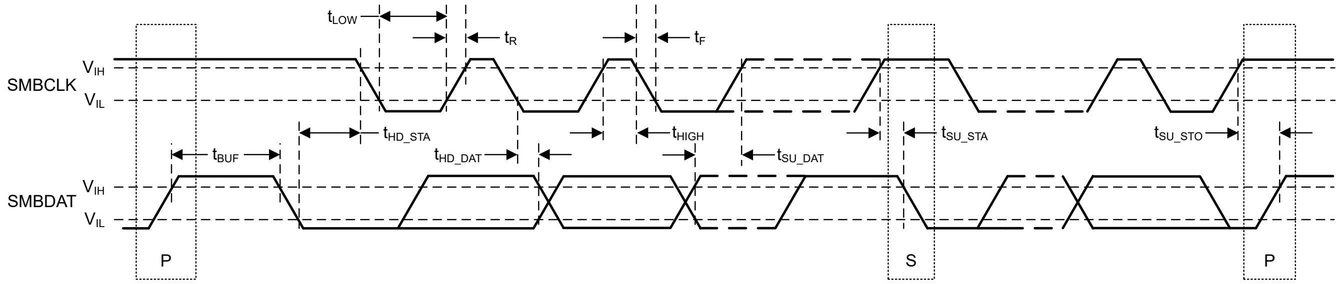


图 6-1. SMBus 时序图

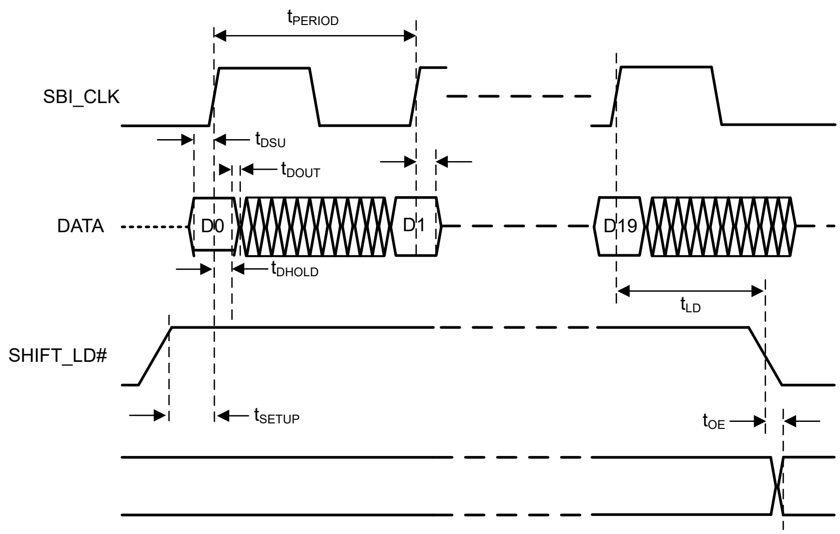


图 6-2. SBI 时序图

6.9 典型特性

156.25MHz 时的典型 12kHz 至 20MHz 附加 RMS 抖动 = $(33.9^2 - 25.8^2)^{0.5}$ = 22.0fs

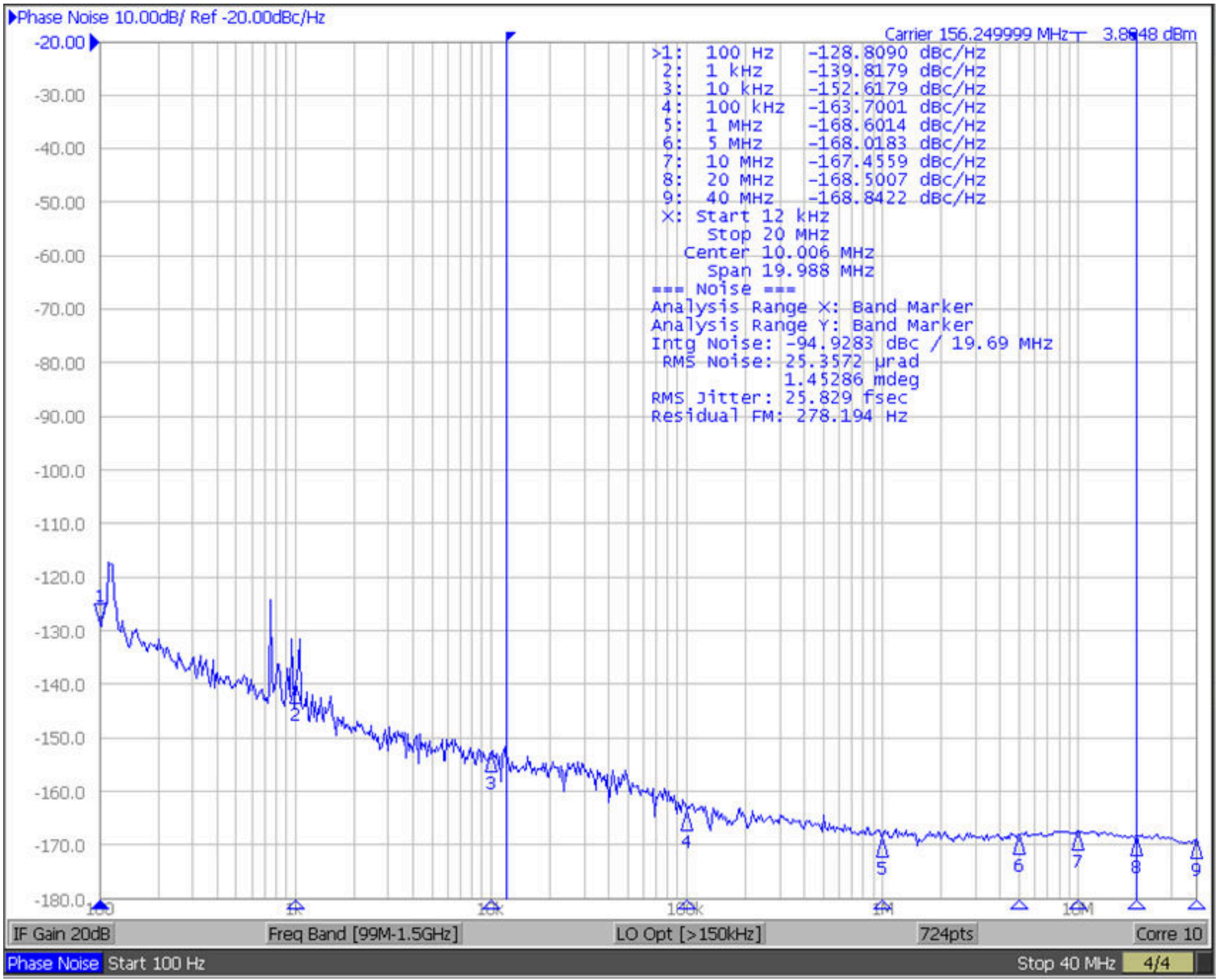


图 6-3. 156.25MHz 时的 LMKDB 输入时钟相位噪声

6.9 典型特性 （续）

156.25MHz 时的典型 12kHz 至 20MHz 附加 RMS 抖动 = $(33.9^2 - 25.8^2)^{0.5}$ = 22.0fs

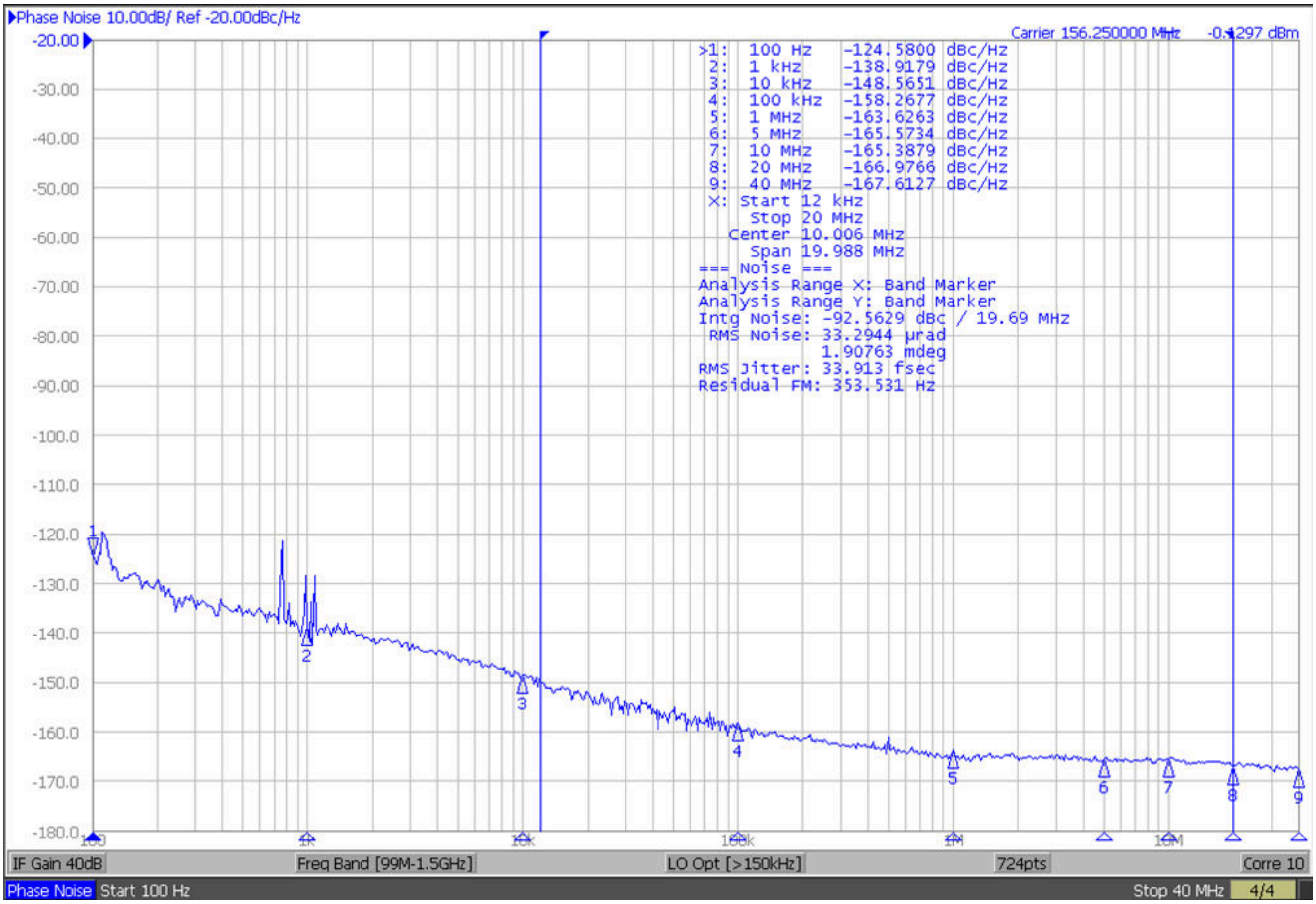


图 **6-4. 156.25MHz 时的 LMKDB 输出时钟相位噪声**

7 参数测量信息

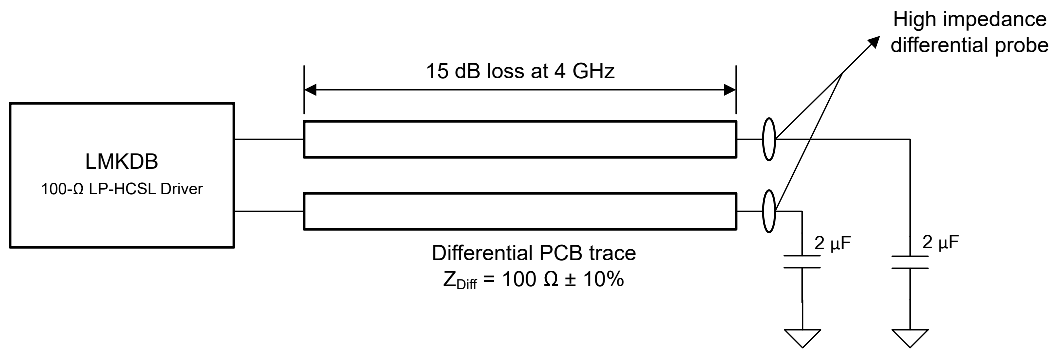


图 7-1. PCIe 交流测试负载

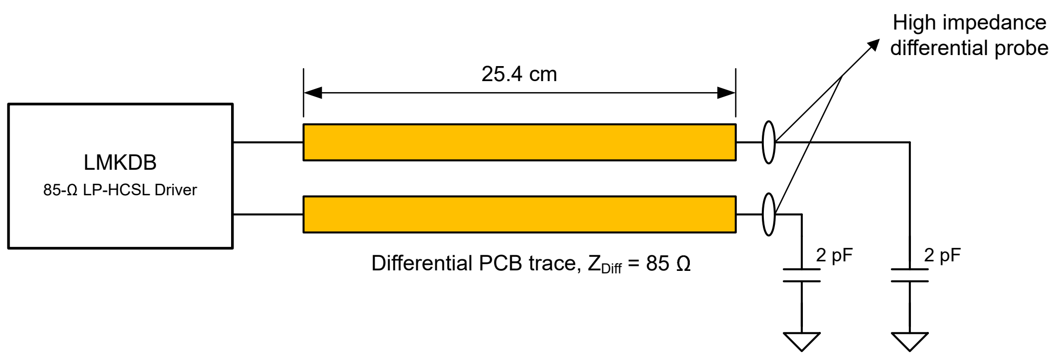


图 7-2. DB2000QL 交流测试负载

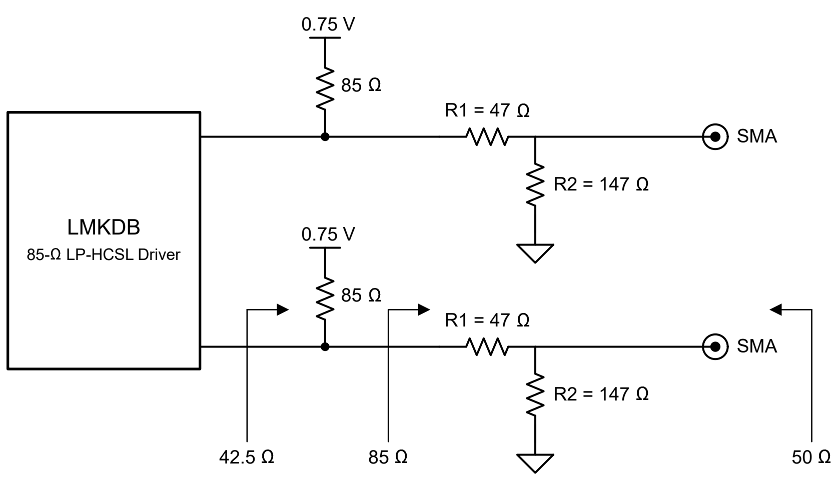


图 7-3. DB2000QL 直流测试负载

8 详细说明

8.1 概述

LMKDB1120 和 LMKDB1108 是符合 DB2000QL 标准的时钟缓冲器，（分别）分配为第 1 代到第 6 代 PCIe 应用设计的 20 个或 8 个 LP-HCSL 时钟。这两款器件都具有超低附加抖动和超低传播延迟，可以为整个时钟路径提供足够的抖动余量，主要用于满足 PCIe 第 5 代和第 6 代缓冲器级联以及以太网扇出应用的要求。LMKDB1120 和 LMKDB1108 还支持 1.8V 和 3.3V 电源电压，旨在实现更出色的设计灵活性。

LMKDB1120 和 LMKDB1108 具有（分别）针对所有 20 个或 8 个输出的单独 OE 控制，从而提供更出色的设计灵活性。每个 OE 引脚都有一个内部下拉电阻，让引脚在未使用时可以保持悬空。每个器件的每个输出还具有可编程的压摆率、可编程的输出振幅摆动和自动输出禁用功能。该器件支持 100Ω 或 85Ω LP-HCSL，通过节 4 所示的器件型号来表示，其输出频率高达 400MHz。

两款器件均可同时使用引脚模式、SMBus 模式和边带接口 (SBI) 模式。与 SMBUS 相比，SBI 以更快的速度（最高 25MHz）启用或禁用输出时钟。此外，由于 SBI 和 SMBus 可以同时运行，因此在加电后仍然可以使用 SMBus 来接管器件控制和回读状态。有关更多详细信息，请参阅节 8.4。

有关器件引脚的详细说明，请参阅节 8，有关器件寄存器的更多详细信息，请参阅*寄存器映射*。

8.2 功能方框图

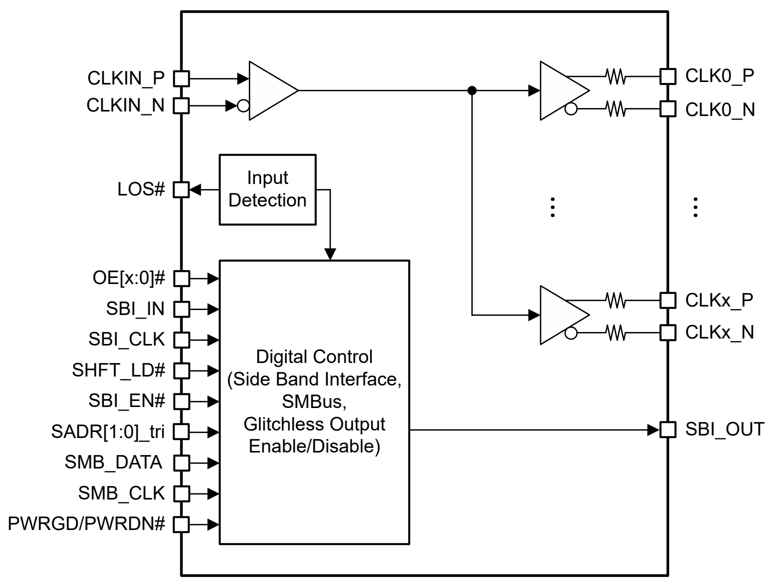


图 8-1. LMKDB1120 或 LMKDB1108 方框图

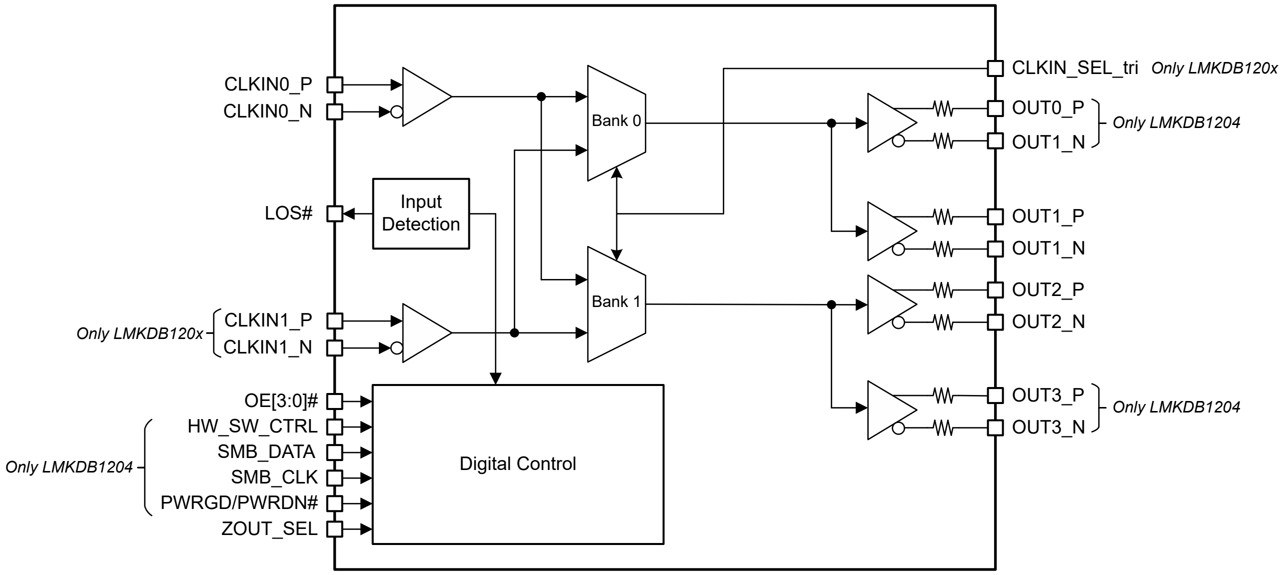


图 8-2. LMKDB1204、LMKDB1202 或 LMKDB1102 方框图

8.3 特性说明

8.3.1 输入特性

8.3.1.1 在器件断电时运行输入时钟

该器件支持在断电时运行输入时钟。这与失效防护功能不同，如果使用失效防护功能，当器件电源关闭时，可以将输入拉至静态 VDD。如果在向时钟缓冲器供电之前时钟输入可用，此功能非常有用。

8.3.1.2 失效防护输入

所有时钟输入引脚和数字输入引脚都支持失效防护。失效防护意味着当器件电源关闭时，引脚可以被驱动至 VDD，而不会导致任何泄漏或可靠性问题。例如，在器件加电之前，OE# 引脚可以被驱动至 VDD，以便输出保持静音，直到 OE# 引脚在上电后某个时间变为低电平。

8.3.1.3 用于时钟输入的内部端接

可以选择为差分时钟输入启用 50Ω 内部端接。对于 LP-HCSL 输入，禁用内部端接。对于 HCSL 输入，如果未提供外部端接，则启用内部端接。默认情况下，内部端接处于禁用状态。

8.3.1.4 交流耦合或直流耦合时钟输入

输入时钟可以是交流耦合，也可以是直流耦合。如果输入是直流耦合，则输入信号摆幅电平必须与*时钟输入要求*下的规格中的电平相匹配。此外，对于直流耦合输入，寄存器 RX_EN_AC_INPUT 必须设置为 0；对于交流耦合输入，该寄存器必须设置为 1。有关 RX_EN_AC_INPUT 的更多信息，请参考*寄存器映射*。

8.3.2 灵活的电源序列

8.3.2.1 PWRDN# 置为有效和置为无效

在建议的断电序列下，当输入时钟有效时，PWRDN# 置为有效。确保在输入时钟周期的连续两个上升沿将 PWRDN# 引脚保持在低电平。因此，所有时钟输出在没有干扰的情况下静音到低电平/低电平（OUTx_P = 低电平、OUTx_N =低电平）。按照任何其他序列操作都会使器件进入未定义模式，并可能导致干扰或输出无效。

8.3.2.2 OE# 置为有效和置为无效

可以随时将 OE# 引脚置为有效和置为无效，无论：

- 器件电源打开还是关闭
- PWRGD/PWRDN# 引脚被拉高还是拉低
- 时钟输入有效还是无效

仅当满足以下所有条件时，OE# 引脚才会生效：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

否则，输出始终静音，并且 OE# 置为有效或置为无效没有影响。

如果 OE# 引脚在以下任一情况下变为低电平：

1. 输入时钟无效
2. PWRGD/PWRDN# 引脚为低电平
3. 器件电源已关闭

那么，当满足以下所有条件时：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

输出启用时没有任何毛刺脉冲（假设寄存器 OE 和 SBI OE 处于活动状态）。

8.3.2.3 PWRGD 置为有效

器件上电后，PWRGD 引脚第一次从低电平到高电平转换可能会在输入时钟运行、悬空、低电平/低电平或拉至 VDD 时发生。仅当输入时钟有效，PWRGD 引脚从低电平拉至高电平时，上电序列才会启动。

如果在输入时钟无效时将 PWRGD 引脚从低电平拉至高电平，则不会启动上电序列，并且输出保持低电平/低电平。发生这种情况时，将 PWRGD 引脚从高电平拉回至低电平不会产生任何影响，并且 PWRGD 引脚上的这种从低电平到高电平的转换不被视为有效的电源正常信号。器件将在下次输入时钟有效 PWRGD 引脚被拉至高电平时上电。换句话说，每次下电上电只有一个有效的电源正常信号。

8.3.2.4 器件电源关闭时的时钟输入和 PWRGD/PWRDN# 行为

当器件电源关闭时，输入时钟可以运行、悬空、低电平/低电平或上拉至 VDD，无论 PWRGD/PWRDN# 引脚状态如何（低电平、高电平、低电平到高电平转换和高电平到低电平转换）都是如此

8.3.3 LOS 和 OE

8.3.3.1 LMKDB1120 的附加 OE# 引脚和向后兼容性

DB2000QL 规格只定义了 8 个 OE# 引脚。LMKDB1120 增加了 12 个额外的 OE# 引脚，这样，20 个输出分别有一个专用的 OE# 引脚。这增加了设计灵活性。LMKDB1120 与 DB2000QL 向后引脚兼容，因为所有 OE# 引脚均具有内部下拉电阻。这些额外的 OE# 引脚在悬空时没有影响（OE# 引脚为有效低电平），因为这三种类型的 OE 控制遵循与逻辑。

8.3.3.2 同步 OE

输出同步启用和禁用。同步 OE 是指当输出启用或禁用时，输出端没有毛刺脉冲或矮脉冲。

8.3.3.3 OE 控制

OE（输出使能）可以启用或禁用特定输出。支持三种类型的 OE 控制：OE 引脚、通过 SMBus 实现的 OE 寄存器位和通过 SBI 实现的 OE 控制。这三种控制遵循 AND 逻辑。仅当全部三种控制均启用输出时，才会启用该输出。如果任何控制禁用该输出，则该输出将被禁用。

8.3.3.4 自动输出禁用

默认启用自动输出禁用 (AOD) 功能，可以通过 SMBus 将其禁用。当输入时钟变为无效且 LOS# 有效时，输出时钟将静音为低电平/低电平（OUTx_P = 低电平，OUTx_N = 低电平）。在 LOS# 处于活动状态之前和输入时钟无效之后（因为 LOS 检测需要时间），输出时钟在最后一个输入状态之后保持稳定状态。例如，如果输入时钟停止在低电平/高电平，则输出时钟先保持在低电平/高电平，然后在 LOS# 处于活动状态后静音为低电平/低电平。

8.3.3.5 LOS 检测

LOS（输入信号丢失）检测时钟输入是否有效。当输入时钟有效时，LOS# 寄存器位 = 1，LOS# 引脚 = 高电平。当输入时钟无效时，LOS 寄存器位 = 0，LOS# 引脚 = 低电平。

上电时，LOS# 引脚保持低电平，直到检测到输入有效。因此，LOS# 引脚可用于 OE# 插入等操作的时序。

仅当 PWRGD/PWRDN# 引脚为高电平时，LOS# 信号才有效。如果该引脚为低电平，则无论输入有效性如何，LOS# 都为低电平

8.3.4 输出特性

8.3.4.1 双端接

对于常规 PCIe 应用，LP-HCSL 输出不需要外部端接，但 LMKDB 系列确实支持双端接（这并不常见）。在这种情况下，应放置一个外部 50Ω 端接并将摆幅减半

8.3.4.2 可编程输出压摆率

LMKDB 系列为每个单独的输出支持可编程输出压摆率。可以从 16 个不同的值中选择压摆率。有四个名为 SLEWRATE_OPT_# 的寄存器字段选项，每个选项存储一个压摆率值（从 16 个可用的压摆率值中选择）。寄存器字段分配值 0x0 是最快的压摆率设置，寄存器字段分配值 0xF 是最慢的压摆率设置。在表 8-1 中可以找到 SLEWRATE_OPT_# 默认值。在节 6 的*时钟输出特性 - 100MHz 85Ω PCIe* 或*时钟输出特性 - 100MHz 100Ω PCIe* 下面的*输出压摆率*规格中可以找到四种默认压摆率的相应范围。压摆率在很大程度上取决于布线特性，包括布线宽度、覆铜厚度、基板高度、介电常数和损耗正切。

表 8-1. LMKDB 默认 SLEWRATE_OPT_# 值

寄存器字段名称	默认值	默认压摆率
SLEWRATE__OPT_1	0x0	最高
SLEWRATE_OPT_2	0x6	高电平（所有输出的默认值）
SLEWRATE_OPT_3	0xA	低
SLEWRATE_OPT_4	0xF	最低

通过寄存器位 SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB，可以将这些压摆率分别单独分配给每个输出。设置这两个位会分配特定输出 X 的压摆率，如表 8-2 所示。默认情况下，所有输出都分配给 SLEWRATE_OPT_2。

表 8-2. SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB 压摆率选择

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	压摆率选项选择
0	0	SLEWRATE_OPT_4
1	0	SLEWRATE_OPT_3
0	1	SLEWRATE_OPT_2
1	1	SLEWRATE_OPT_1

要将压摆率编程为所需的压摆率，需要遵循以下顺序：

1. [可选]：如果表 8-1 中为各个压摆率速度显示的默认分配不符合要求，则可以将其中一个压摆率选项值更改为另一个压摆率。

2. 对 SLEWRATE_SEL_CLKX_MSB 和 SLEWRATE_SEL_CLKX_LSB 进行编程，将时钟输出 X 分配给所需的压摆率速度选项，如表 8-2 所示。在表 8-1 中可以找到每个选项的默认分配。

8.3.4.3 可编程输出摆幅

LMKDB 系列支持 600mV 至 975mV 范围的可编程 LP-HCSL 摆幅。所有输出均通过寄存器 AMP_1 编程为相同的输出摆幅。要将输出编程为所需的摆幅，请参阅*寄存器映射*。

8.3.4.4 准确的输出阻抗

LMKDB 系列支持 100Ω LP-HCSL 和 85Ω LP-HCSL。输出阻抗被精确修整为 ±5%。这有助于提高阻抗匹配和时钟信号完整性。

8.4 器件功能模式

8.4.1 SMBus 模式

在 SMBus 模式下，可以通过 SMBus 引脚写入和读取 SMBus 寄存器。引脚 SADR1 和 SADR0 设置 SMBus 地址。

SADR1	SADR0	8 位 SMBus 地址（读/写位 = 0）
低	低	0xD8
低电平	浮点	0xDA
低	高	0xDE
浮点	低电平	0xC2
浮点	浮点	0xC4
浮点	高	0xC6
高	低	0xCA
高	浮点	0xCC
高	高	0xCE

表 8-3. 命令代码定义

位	说明
7	0 = *块读取* 或*块写入* 操作 1 = *字节读取* 或*字节写入* 操作
(6:0)	用于*字节* 操作的寄存器地址，或用于*块* 操作的起始寄存器地址

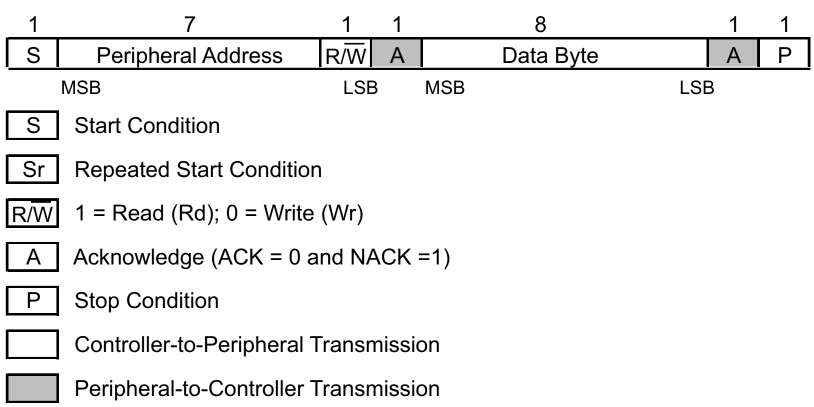


图 8-3. 一般编程序列

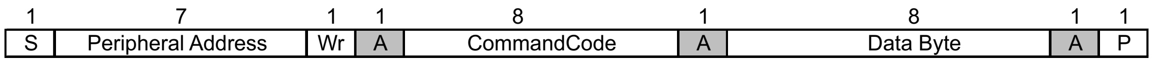


图 **8-4.** 字节写入协议

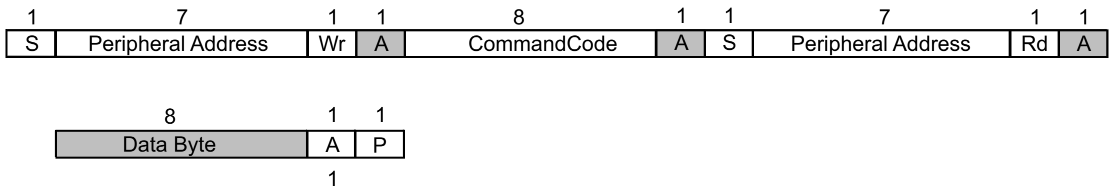


图 **8-5.** 字节读取协议

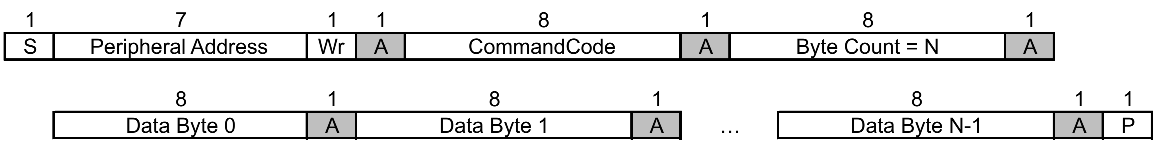


图 **8-6.** 块写入协议

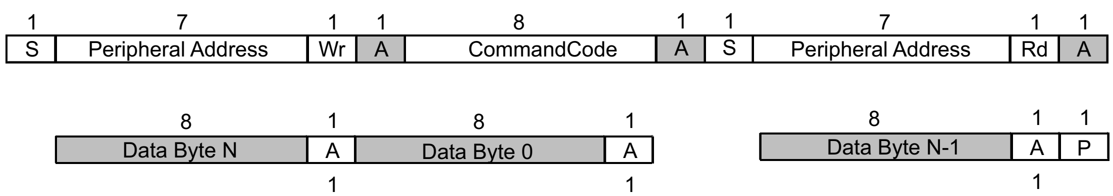


图 **8-7.** 块读取协议

8.4.2 SBI 模式

边带接口 (SBI) 是一个简单的 3 线或 4 线串行接口，包括 SHFT_LD#、SBI_IN、SBI_CLK 和 SBI_OUT（可选）引脚。当 SHFT_LD# 引脚为高电平时，SBI_CLK 的上升沿将 SBI_IN 逐位移动到移位寄存器中。使数据移位后，SHFT_LD# 的下降沿将移位寄存器内容加载到输出寄存器中。SBI 寄存器可以通过 SBI_OUT 引脚移出，形成菊花链拓扑。

启用 SBI 模式不会禁用 SMBus。PWRGD/PWRDN# 引脚为低电平时可以访问 SBI 寄存器。

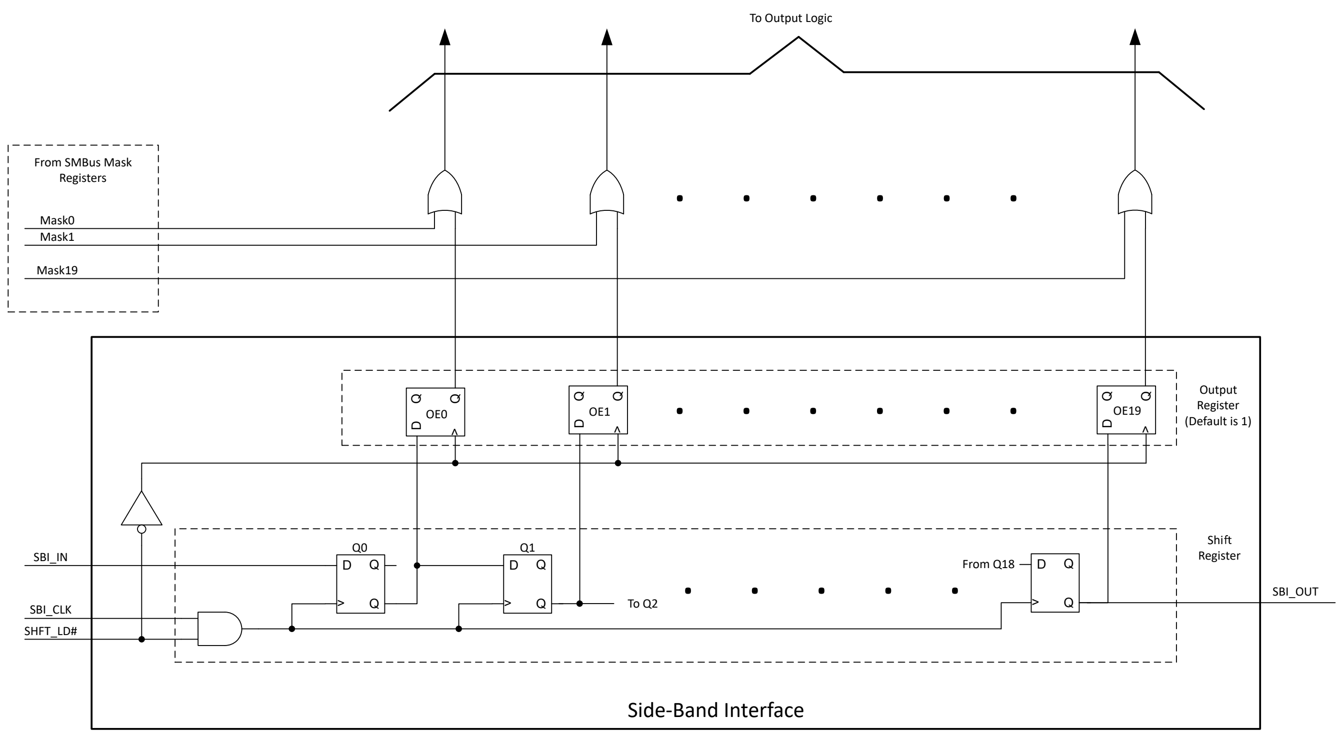


图 8-8. SBI 控制逻辑

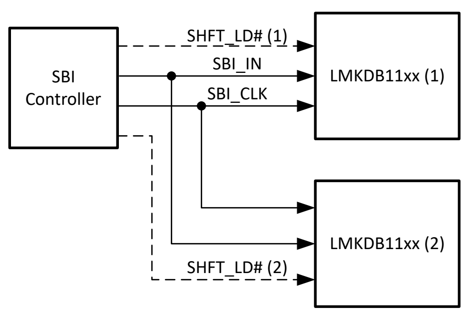


图 8-9. SBI 星型拓扑

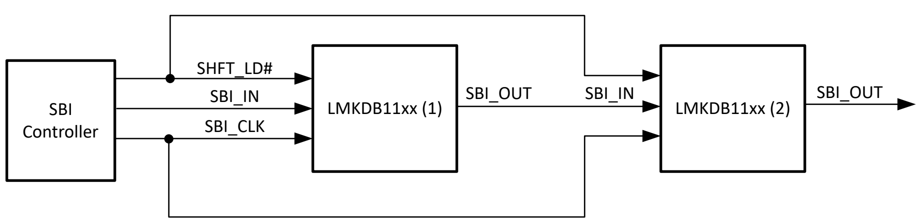


图 8-10. SBI 菊花链拓扑

SBI 寄存器序列:

- LMKDB1120：SBI_IN – CLK0、CLK1、CLK2、CLK3、CLK4、CLK5、CLK6、CLK7、CLK8、CLK9、CLK10、CLK11、CLK12、CLK13、CLK14、CLK15、CLK16、CLK17、CLK18、CLK19 – SBI_OUT
- LMKDB1108：SBI_IN – CLK7、CLK6、CLK5、CLK4、CLK3、CLK2、CLK1、CLK0 – SBI_OUT
- LMKDB1104：SBI_IN – CLK3、CLK2、CLK1、CLK0

8.4.3 引脚模式

如果不需要 SMBus 或 SBI 接口，可以将 SMBus 引脚或 SBI 引脚保持悬空。器件可在引脚模式下运行，且输出可通过 OE# 引脚启用或禁用。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMKDB 器件是一系列超低附加抖动 LP-HCSL 时钟缓冲器和时钟多路复用器。该器件可通过 SMBus 寄存器、边带接口和 OE# 引脚进行控制。

9.2 典型应用

以下示例显示了 PCIe 和以太网时钟分配。根据给定源提供 PCIe 时钟 (100MHz) 或以太网时钟 (156.25MHz) 的多个副本。

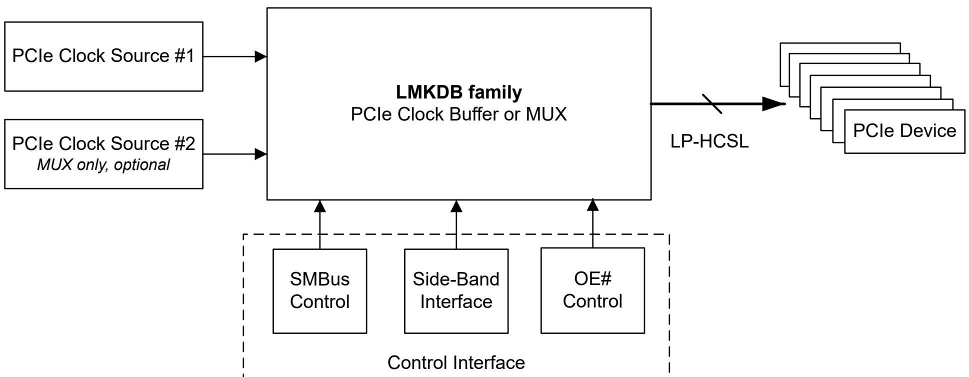


图 9-1. 典型应用

9.2.1 设计要求

分别为 PCIe 时钟扇出和以太网时钟扇出找到两个缓冲器。必须满足抖动要求，并且必须更大程度缩小占用空间。

表 9-1. 设计参数

参数	值
PCIe 时钟数量	15
156.25MHz 以太网时钟数量	7
PCIe 架构	CC（通用时钟）
PCIe 参考时钟压摆率	⩾3.5V/ns
PCIe 第 5 代参考时钟抖动	最大值 45fs
PCIe 第 5 代总抖动	最大值 50fs
156.25MHz 参考时钟压摆率	⩾3.5V/ns
156.25MHz 参考时钟抖动（12kHz 至 20MHz）	最大值 90fs
156.25MHz 总抖动（12kHz 至 20MHz）	最大值 100fs

9.2.2 详细设计过程

首先，使用 RMS 加法计算时钟缓冲器的抖动预算。时钟缓冲器允许的最大附加抖动是参考时钟抖动的平方与总时钟抖动的平方之间的差的平方根。

缓冲器允许的最大 PCIe 第 5 代附加抖动为 sqrt(50^2 – 45^2) = 21fs。根据*电气特性* 表下面的规格，通用时钟和 ≥3.5V/ns 输入压摆率测试条件下的 PCIe 第 5 代附加抖动最大值为 13fs，远低于所要求的 21fs。因此，LMKDB1120（20 个输出）可用于 PCIe 第 5 代时钟分配。

同样，156.25MHz 时允许的最大 12kHz 至 20MHz 附加抖动为 sqrt(100^2 – 90^2) = 43fs。根据*电气特性* 表下面的规格，156.25MHz 时的 12kHz 至 20MHz 附加抖动最大值为 31fs，远低于所要求的 43fs。因此，LMKDB1108（8 个输出）可用于以太网时钟分配。

9.2.3 应用曲线

图 9-2 和图 9-3 分别是在 156.25MHz 频率下使用 LMKDB 之前和之后的示例相位噪声图。LMKDB 时钟缓冲器从 12kHz 至 20MHz 增加了 22fs（典型值）抖动。所有 LMKDB 器件都具有非常相似的性能。

为了更好地了解抖动以及 LMKDB 的附加抖动如何引起 22fs 抖动，请参阅*时间就是一切：怎样测量附加抖动* TI 博客文章。

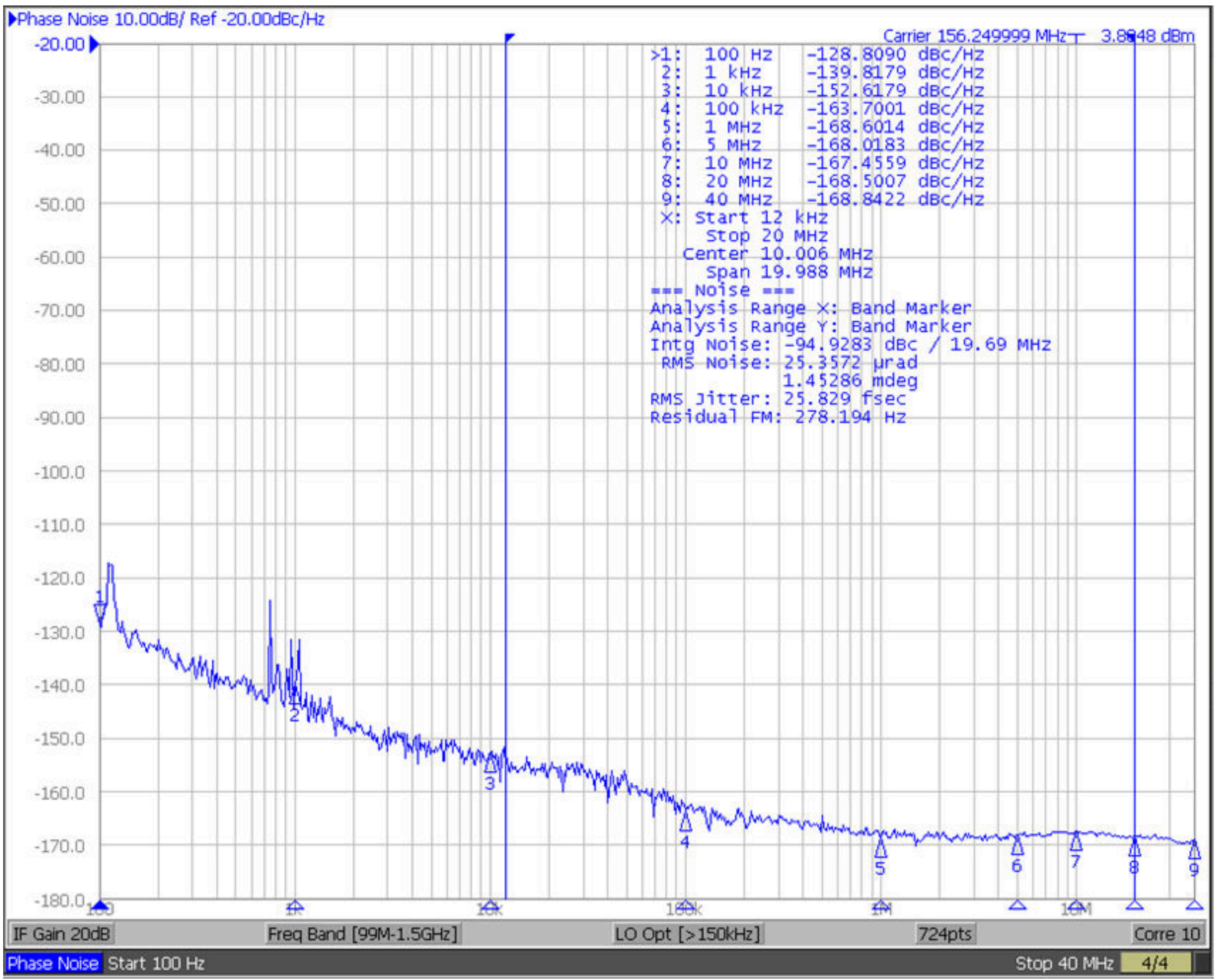


图 9-2. 参考时钟相位噪声

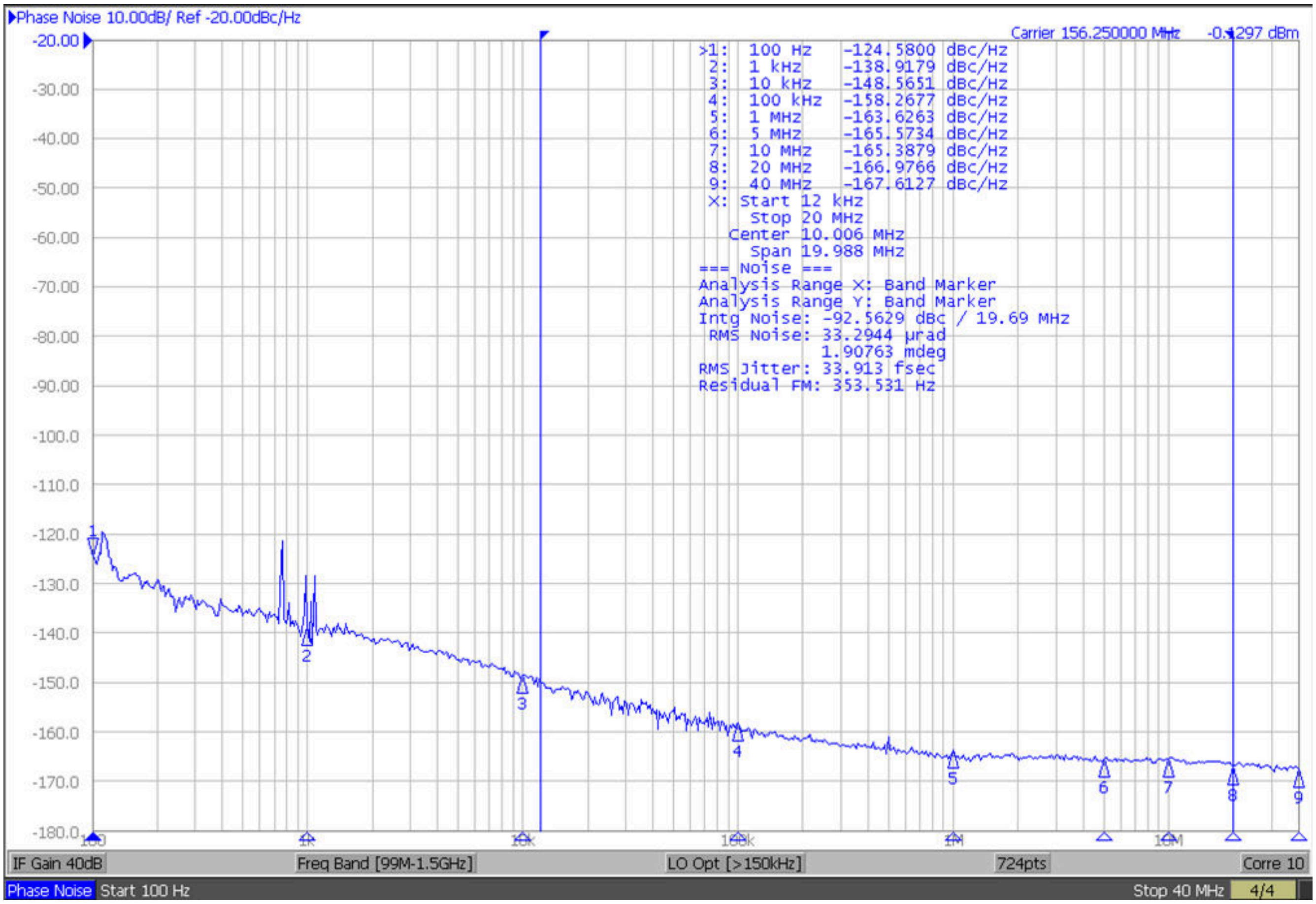


图 9-3. 参考时钟 + LMKDB 相位噪声

9.3 电源相关建议

在每个电源引脚附近放置一个 0.1 µ F 电容器。为了更大程度地降低 VDDA 上的噪声，请在 VDDA 引脚旁放置一个 2.2 Ω 的电阻器。可以将所有电源引脚都分组到一个电源轨上。TI 建议对整个芯片使用铁氧体磁珠和一个 10µF 电容器来接地。图 9-4 所示为一个示例电源原理图。

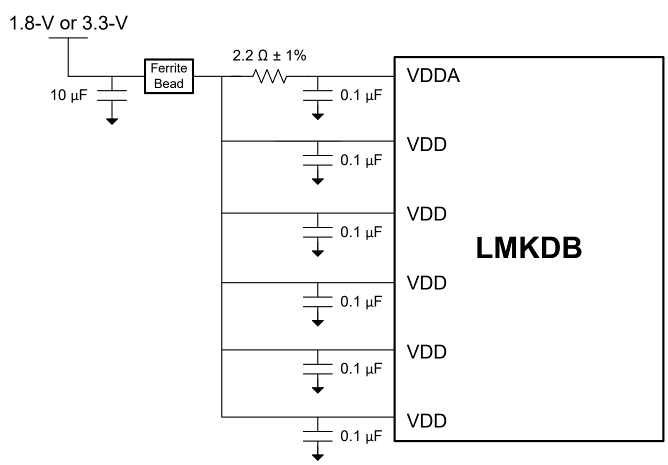


图 9-4. LMKDB1120 和 LMKDB1108 的电源建议

如果两个输入均用于多路复用器器件，并且两个输入具有不同的频率（包括使用 SSC 的 PCIe 和不使用 SSC 的 PCIe），则通过添加更多铁氧体磁珠来隔离输入和相应的输出组。

9.4 布局

9.4.1 布局指南

在器件 DAP 和 PCB 之间使用低电感接地连接。

将 PCB 布线阻抗与器件输出阻抗（85Ω 或 100Ω 差分阻抗）相匹配。消除残桩并减少传输线上的不连续性。

9.4.2 布局示例

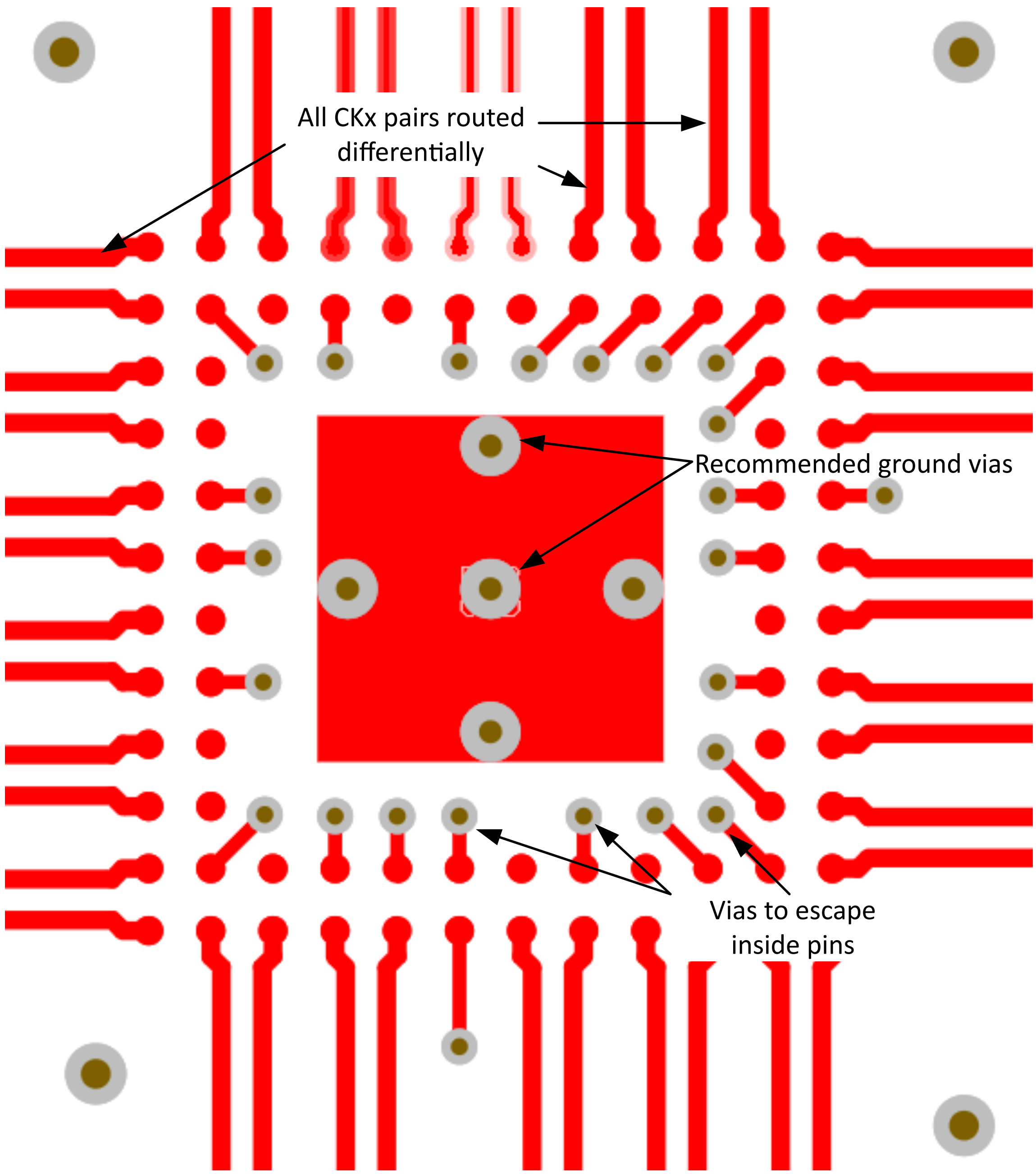


图 9-5. 布局示例 - 顶层

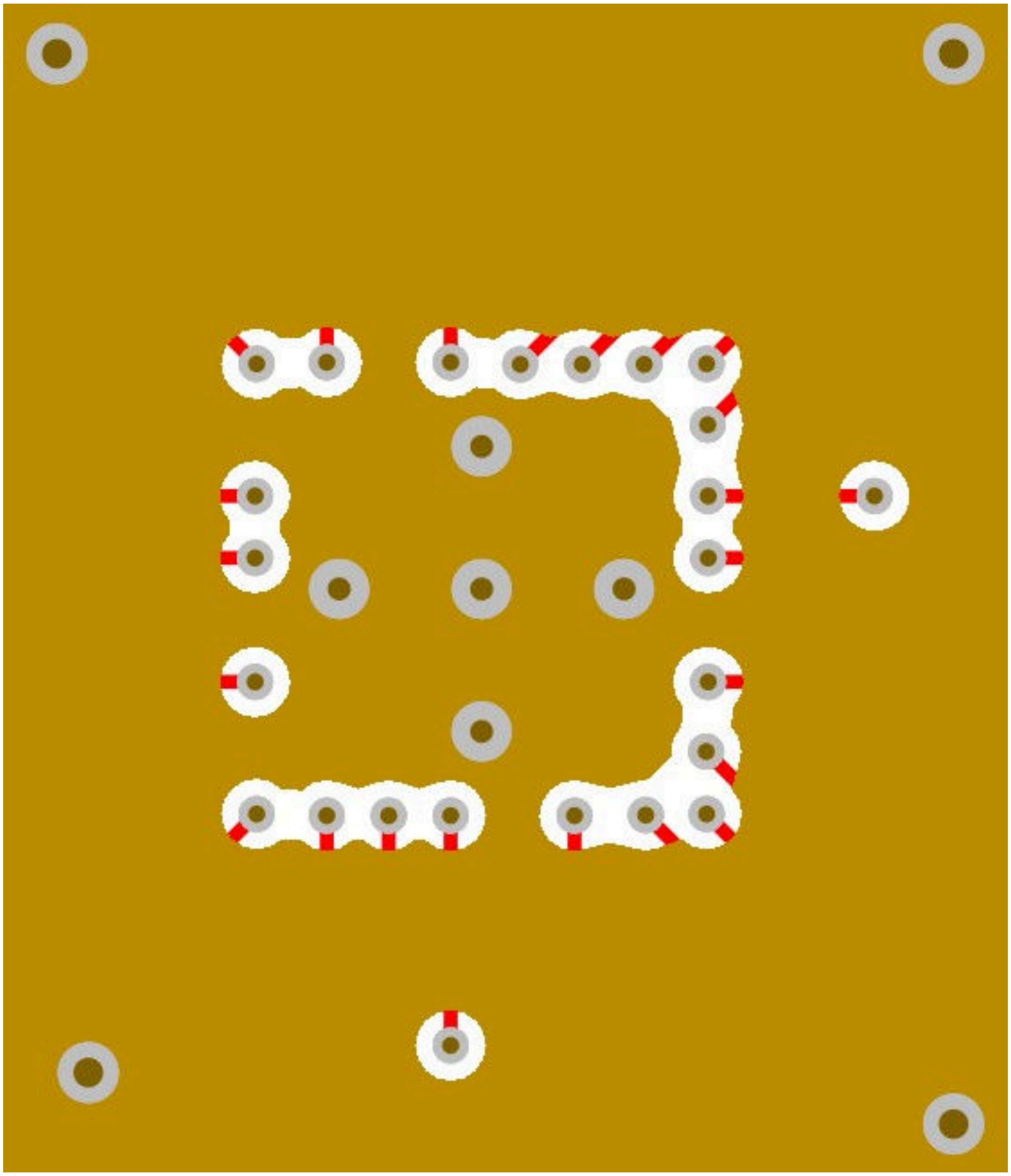


图 9-6. 布局示例 - GND 层

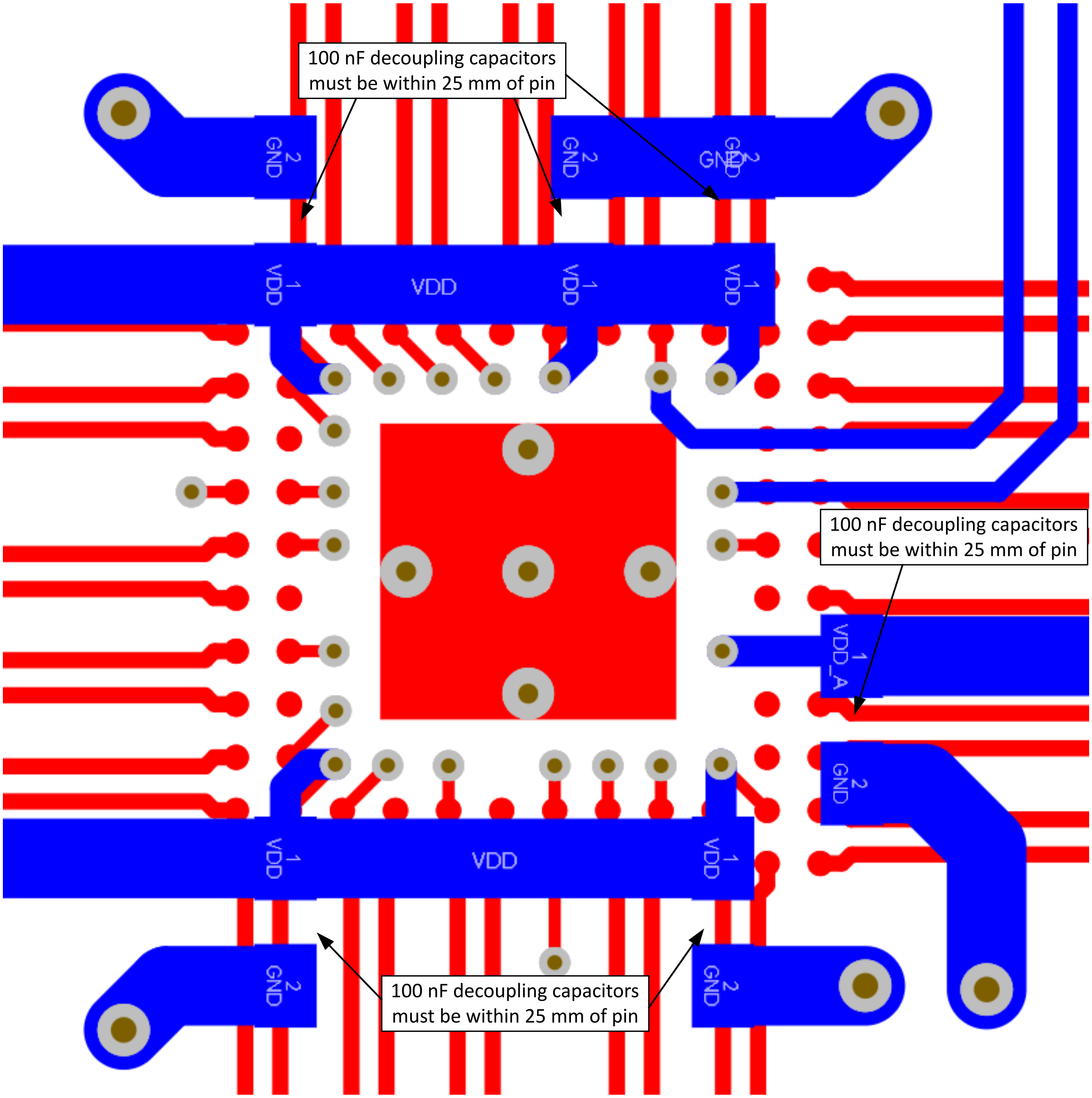

100 nF decoupling capacitors must be within 25 mm of pin
GND 2
GND 2
GND 2
VDD 1
VDD
VDD 1
VDD 1
100 nF decoupling capacitors must be within 25 mm of pin
VDD_A 1
GND 2
VDD 1
VDD
VDD 1
GND 2
GND 2
100 nF decoupling capacitors must be within 25 mm of pin

图 **9-7.** 布局示例 - 底层

10 LMKDB1120 寄存器

表 10-1 列出了 LMKDB1120 寄存器的存储器映射寄存器。表 10-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 10-1. LMKDB1120 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK16 至 CLK19 的输出使能控制	节 10.1
1h	R1	CLK0 至 CLK7 的输出使能控制	节 10.2
2h	R2	CLK8 至 CLK15 的输出使能控制	节 10.3
3h	R3	CLK5 至 CLK12 的 OE 引脚回读	节 10.4
4h	R4	AOD 使能控制和 SBI_EN 回读	节 10.5
5h	R5	器件信息	节 10.6
6h	R6	器件信息（续）	节 10.7
7h	R7	SMBus 字节计数器	节 10.8
8h	R8	CLK0 至 CLK7 的 SBI 掩码	节 10.9
9h	R9	CLK8 和 CLK15 的 SBI 掩码	节 10.10
Ah	R10	CLK16 和 CLK19 的 SBI 掩码	节 10.11
Bh	R11	CLK0 至 CLK7 的输出压摆率选择 MSB	节 10.12
Ch	R12	CLK8 至 CLK15 的输出压摆率选择 MSB	节 10.13
Dh	R13	CLK16 至 CLK19 的输出压摆率选择 MSB	节 10.14
14h	R20	输出幅度	节 10.15
15h	R21	输入配置、在 PD 中保存配置、SMB SDATA 监测和 LOS 回读	节 10.16
21h	R33	CLK0 至 CLK7 的 SBI 掩码回读	节 10.17
22h	R34	CLK8 至 CLK15 的 SBI 掩码回读	节 10.18
23h	R35	CLK16 至 CLK19 的 SBI 掩码回读	节 10.19
26h	R38	不可清除的 SMBUS 写入锁定	节 10.20
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 10.21
5Bh	R91	压摆率速度选项 1 和 2 分配	节 10.22
5Ch	R92	压摆率速度选项 3 和 4 分配	节 10.23
62h	R98	CLK0 至 CLK7 的输出压摆率选择 LSB	节 10.24
63h	R99	CLK8 至 CLK15 的输出压摆率选择 LSB	节 10.25
64h	R100	CLK16 至 CLK19 的输出压摆率选择 LSB	节 10.26

复杂的位访问类型经过编码可适应小型表单元。表 10-2 展示了适用于此部分中访问类型的代码。

表 10-2. LMKDB1120 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入
W1C	W 1C	写入 1 以进行清除
WSC	W	写入

表 10-2. LMKDB1120 访问类型代码 （续）

访问类型	代码	说明
复位或默认值		
-n		复位后的值或默认值

10.1 R0 寄存器（偏移 = 0h）[复位 = 78h]

表 10-3 展示了 R0。

返回到汇总表。

表 10-3. R0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	CLK_EN_19	R/W	1h	CLK19 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_18	R/W	1h	CLK18 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_17	R/W	1h	CLK17 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
3	CLK_EN_16	R/W	1h	CLK16 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2:0	RESERVED	R	0h	保留

10.2 R1 寄存器（偏移 = 1h）[复位 = FFh]

表 10-4 展示了 R1。

返回到汇总表。

表 10-4. R1 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_7	R/W	1h	CLK7 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_6	R/W	1h	CLK6 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_5	R/W	1h	CLK5 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_4	R/W	1h	CLK4 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
3	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

表 10-4. R1 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

10.3 R2 寄存器（偏移 = 2h）[复位 = FFh]

表 10-5 展示了 R2。

返回到汇总表。

表 10-5. R2 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_15	R/W	1h	CLK15 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_14	R/W	1h	CLK14 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_13	R/W	1h	CLK13 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_12	R/W	1h	CLK12 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
3	CLK_EN_11	R/W	1h	CLK11 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_10	R/W	1h	CLK10 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1	CLK_EN_9	R/W	1h	CLK9 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	CLK_EN_8	R/W	1h	CLK8 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

10.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

表 10-6 展示了 R3。

返回到汇总表。

表 10-6. R3 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OEb_12	R	0h	OEb12 的状态
6	RB_OEb_11	R	0h	OEb11 的状态
5	RB_OEb_10	R	0h	OEb10 的状态
4	RB_OEb_9	R	0h	OEb9 的状态

表 10-6. R3 寄存器字段说明 （续）

位	字段	类型	复位	说明
3	RB_OEb_8	R	0h	OEb8 的状态
2	RB_OEb_7	R	0h	OEb7 的状态
1	RB_OEb_6	R	0h	OEb6 的状态
0	RB_OEb_5	R	0h	OEb5 的状态

10.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

表 10-7 展示了 R4。

返回到汇总表。

表 10-7. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	BANK1_AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用自动输出禁用，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 禁用 1h = 启用
3:1	RESERVED	R	0h	保留
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

10.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

表 10-8 展示了 R5。

返回到汇总表。

表 10-8. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	器件版本
3:0	VENDOR_ID	R	Ah	供应商 ID

10.7 R6 寄存器（偏移 = 6h）[复位 = C9h]

表 10-9 展示了 R6。

返回到汇总表。

表 10-9. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	C9h	器件 ID

10.8 R7 寄存器（偏移 = 7h）[复位 = 07h]

表 10-10 展示了 R7。

返回到汇总表。

表 10-10. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBus 块读取字节计数

10.9 R8 寄存器（偏移 = 8h）[复位 = 00h]

表 10-11 展示了 R8。

返回到汇总表。

表 10-11. R8 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_7	R/W	0h	屏蔽 CLK7 的边带禁用
6	SBI_MASK_6	R/W	0h	屏蔽 CLK6 的边带禁用
5	SBI_MASK_5	R/W	0h	屏蔽 CLK5 的边带禁用
4	SBI_MASK_4	R/W	0h	屏蔽 CLK4 的边带禁用
3	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
2	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
1	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
0	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用

10.10 R9 寄存器（偏移 = 9h）[复位 = 00h]

表 10-12 展示了 R9。

返回到汇总表。

表 10-12. R9 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_15	R/W	0h	屏蔽 CLK15 的边带禁用
6	SBI_MASK_14	R/W	0h	屏蔽 CLK14 的边带禁用
5	SBI_MASK_13	R/W	0h	屏蔽 CLK13 的边带禁用
4	SBI_MASK_12	R/W	0h	屏蔽 CLK12 的边带禁用
3	SBI_MASK_11	R/W	0h	屏蔽 CLK11 的边带禁用
2	SBI_MASK_10	R/W	0h	屏蔽 CLK10 的边带禁用
1	SBI_MASK_9	R/W	0h	屏蔽 CLK9 的边带禁用
0	SBI_MASK_8	R/W	0h	屏蔽 CLK8 的边带禁用

10.11 R10 寄存器（偏移 = Ah）[复位 = 00h]

表 10-13 展示了 R10。

返回到汇总表。

表 10-13. R10 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SBI_MASK_19	R/W	0h	屏蔽 CLK19 的边带禁用
2	SBI_MASK_18	R/W	0h	屏蔽 CLK18 的边带禁用

表 10-13. R10 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	SBI_MASK_17	R/W	0h	屏蔽 CLK17 的边带禁用
0	SBI_MASK_16	R/W	0h	屏蔽 CLK16 的边带禁用

10.12 R11 寄存器（偏移 = Bh）[复位 = FFh]

表 10-14 展示了 R11。

返回到汇总表。

表 10-14. R11 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 压摆率选择
6	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 压摆率选择
5	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 压摆率选择
4	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 压摆率选择
3	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择
2	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
1	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
0	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择

10.13 R12 寄存器（偏移 = Ch）[复位 = FFh]

表 10-15 展示了 R12。

返回到汇总表。

表 10-15. R12 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK15_MSB	R/W	1h	MSB CLK15 压摆率选择
6	SLEWRATE_SEL_CLK14_MSB	R/W	1h	MSB CLK14 压摆率选择
5	SLEWRATE_SEL_CLK13_MSB	R/W	1h	MSB CLK13 压摆率选择
4	SLEWRATE_SEL_CLK12_MSB	R/W	1h	MSB CLK12 压摆率选择
3	SLEWRATE_SEL_CLK11_MSB	R/W	1h	MSB CLK11 压摆率选择
2	SLEWRATE_SEL_CLK10_MSB	R/W	1h	MSB CLK10 压摆率选择
1	SLEWRATE_SEL_CLK9_MSB	R/W	1h	MSB CLK9 压摆率选择
0	SLEWRATE_SEL_CLK8_MSB	R/W	1h	MSB CLK8 压摆率选择

10.14 R13 寄存器（偏移 = Dh）[复位 = 0Fh]

表 10-16 展示了 R13。

返回到汇总表。

表 10-16. R13 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK19_MSB	R/W	1h	MSB CLK19 压摆率选择
2	SLEWRATE_SEL_CLK18_MSB	R/W	1h	MSB CLK18 压摆率选择
1	SLEWRATE_SEL_CLK17_MSB	R/W	1h	MSB CLK17 压摆率选择
0	SLEWRATE_SEL_CLK16_MSB	R/W	1h	MSB CLK16 压摆率选择

10.15 R20 寄存器（偏移 = 14h）[复位 = 66h]

表 10-17 展示了 R20。

返回到汇总表。

表 10-17. R20 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP_1	R/W	6h	全局差分输出控制 = 0.6V 至大约 1V 25mV/步长 默认值 = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留

10.16 R21 寄存器（偏移 = 15h）[复位 = 0Ch]

表 10-18 展示了 R21。

返回到汇总表。

表 10-18. R21 寄存器字段说明

位	字段	类型	复位	说明
7	RX1_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入

表 10-18. R21 寄存器字段说明 （续）

位	字段	类型	复位	说明
6	RX1_EN_RTERM_LSB	R/W	0h	启用 CLKIN1 上的端接电阻器 0h = 输入端接 R 禁用 1h = 输入端接 R 启用
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	PD_RESTOREB	R/W	1h	断电时保存配置；1'b0：配置已清除；1'b1：配置已保存
2	SDATA_TIMEOUT_EN	R/W	1h	启用 SMB SDATA 超时监控 0h = 禁用 SDATA 超时 1h = 启用 SDATA 超时
1	RESERVED	R	0h	保留
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

10.17 R33 寄存器（偏移 = 21h）[复位 = FFh]

表 10-19 展示了 R33。

返回到汇总表。

表 10-19. R33 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_7	R	1h	CLK7 边带禁用回读
6	SBI_CLK_6	R	1h	CLK6 边带禁用回读
5	SBI_CLK_5	R	1h	CLK5 边带禁用回读
4	SBI_CLK_4	R	1h	CLK4 边带禁用回读
3	SBI_CLK_3	R	1h	CLK3 边带禁用回读
2	SBI_CLK_2	R	1h	CLK2 边带禁用回读
1	SBI_CLK_1	R	1h	CLK1 边带禁用回读
0	SBI_CLK_0	R	1h	CLK0 边带禁用回读

10.18 R34 寄存器（偏移 = 22h）[复位 = FFh]

表 10-20 展示了 R34。

返回到汇总表。

表 10-20. R34 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_15	R	1h	CLK15 边带禁用回读
6	SBI_CLK_14	R	1h	CLK14 边带禁用回读
5	SBI_CLK_13	R	1h	CLK13 边带禁用回读
4	SBI_CLK_12	R	1h	CLK12 边带禁用回读
3	SBI_CLK_11	R	1h	CLK11 边带禁用回读
2	SBI_CLK_10	R	1h	CLK10 边带禁用回读
1	SBI_CLK_9	R	1h	CLK9 边带禁用回读
0	SBI_CLK_8	R	1h	CLK8 边带禁用回读

10.19 R35 寄存器（偏移 = 23h）[复位 = 0Fh]

表 10-21 展示了 R35。

返回到汇总表。

表 10-21. R35 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SBI_CLK_19	R	1h	CLK19 边带禁用回读
2	SBI_CLK_18	R	1h	CLK18 边带禁用回读
1	SBI_CLK_17	R	1h	CLK17 边带禁用回读
0	SBI_CLK_16	R	1h	CLK16 边带禁用回读

10.20 R38 寄存器（偏移 = 26h）[复位 = 00h]

表 10-22 展示了 R38。

返回到汇总表。

表 10-22. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	W1C	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

10.21 R39 寄存器（偏移 = 27h）[复位 = 00h]

表 10-23 展示了 R39。

返回到汇总表。

表 10-23. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留
1	LOS_EVT	R/WSC	0h	高电平时的 LOS 事件状态，指示检测到 LOS 事件。可通过向该位写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R/W	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

10.22 R91 寄存器（偏移 = 5Bh）[复位 = 00h]

表 10-24 展示了 R91。

返回到汇总表。

表 10-24. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 2 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 1 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

10.23 R92 寄存器（偏移 = 5Ch）[复位 = 00h]

表 10-25 展示了 R92。

返回到汇总表。

表 10-25. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_3	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

10.24 R98 寄存器（偏移 = 62h）[复位 = 00h]

表 10-26 展示了 R98。

返回到汇总表。

表 10-26. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 压摆率选择
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 压摆率选择
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 压摆率选择
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 压摆率选择
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率选择
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率选择

表 10-26. R98 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率选择
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率选择

10.25 R99 寄存器（偏移 = 63h）[复位 = 00h]

表 10-27 展示了 R99。

返回到汇总表。

表 10-27. R99 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK15_LSB	R/W	0h	LSB CLK15 压摆率选择
6	SLEWRATE_SEL_CLK14_LSB	R/W	0h	LSB CLK14 压摆率选择
5	SLEWRATE_SEL_CLK13_LSB	R/W	0h	LSB CLK13 压摆率选择
4	SLEWRATE_SEL_CLK12_LSB	R/W	0h	LSB CLK12 压摆率选择
3	SLEWRATE_SEL_CLK11_LSB	R/W	0h	LSB CLK11 压摆率选择
2	SLEWRATE_SEL_CLK10_LSB	R/W	0h	LSB CLK10 压摆率选择
1	SLEWRATE_SEL_CLK9_LSB	R/W	0h	LSB CLK9 压摆率选择
0	SLEWRATE_SEL_CLK8_LSB	R/W	0h	LSB CLK8 压摆率选择

10.26 R100 寄存器（偏移 = 64h）[复位 = 00h]

表 10-28 展示了 R100。

返回到汇总表。

表 10-28. R100 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK19_LSB	R/W	0h	LSB CLK19 压摆率选择
2	SLEWRATE_SEL_CLK18_LSB	R/W	0h	LSB CLK18 压摆率选择
1	SLEWRATE_SEL_CLK17_LSB	R/W	0h	LSB CLK17 压摆率选择
0	SLEWRATE_SEL_CLK16_LSB	R/W	0h	LSB CLK16 压摆率选择

11 LMKDB1108 寄存器

表 11-1 列出了 LMKDB1108 寄存器的存储器映射寄存器。表 11-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 11-1. LMKDB1108 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK2 至 CLK7 的输出使能控制	节 11.1
1h	R1	CLK0 和 CLK1 的输出使能控制	节 11.2
2h	R2	CLK2 至 CLK7 的 OE 引脚回读	节 11.3
3h	R3	CLK0 和 CLK1 的 OE 引脚回读	节 11.4
4h	R4	AOD 使能控制和 SBI_EN 回读	节 11.5
5h	R5	器件信息	节 11.6
6h	R6	器件信息（续）	节 11.7
7h	R7	SMBus 字节计数器	节 11.8
8h	R8	CLK2 至 CLK7 的 SBI 掩码	节 11.9
9h	R9	CLK0 和 CLK1 的 SBI 掩码	节 11.10
Bh	R11	CLK0 至 CLK5 的 SBI 掩码回读	节 11.11
Ch	R12	CLK6 和 CLK7 的 SBI 掩码回读	节 11.12
11h	R17	输出幅度	节 11.13
12h	R18	输入配置、在 PD 中保存配置、SMB SDATA 监测和 LOS 回读	节 11.14
14h	R20	CLK2 至 CLK7 的输出压摆率选择 MSB	节 11.15
15h	R21	CLK0 和 CLK1 的输出压摆率选择 MSB	节 11.16
26h	R38	不可清除的 SMBUS 写入锁定	节 11.17
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 11.18
35h	R53	压摆率模式控制选择	节 11.19
62h	R98	CLK0 至 CLK7 的输出压摆率选择 LSB	节 11.20

复杂的位访问类型经过编码可适应小型表单元。表 11-2 展示了适用于此部分中访问类型的代码。

表 11-2. LMKDB1108 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入
W1C	W 1C	写入 1 以进行清除
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

11.1 R0 寄存器（偏移 = 0h）[复位 = EEh]

表 11-3 展示了 R0。

返回到汇总表。

表 11-3. R0 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_4	R/W	1h	CLK4 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	RESERVED	R	0h	保留
3	CLK_EN_5	R/W	1h	CLK5 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_6	R/W	1h	CLK6 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1	CLK_EN_7	R/W	1h	CLK7 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	RESERVED	R	0h	保留

11.2 R1 寄存器（偏移 = 1h）[复位 = 24h]

表 11-4 展示了 R1。

返回到汇总表。

表 11-4. R1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4:3	RESERVED	R	0h	保留
2	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1:0	RESERVED	R	0h	保留

11.3 R2 寄存器（偏移 = 2h）[复位 = 00h]

表 11-5 展示了 R2。

返回到汇总表。

表 11-5. R2 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OEb_2	R	0h	OEb2 的状态
6	RB_OEb_3	R	0h	OEb3 的状态
5	RB_OEb_4	R	0h	OEb4 的状态
4	RESERVED	R	0h	保留
3	RB_OEb_5	R	0h	OEb5 的状态
2	RB_OEb_6	R	0h	OEb6 的状态
1	RB_OEb_7	R	0h	OEb7 的状态
0	RESERVED	R	0h	保留

11.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

表 11-6 展示了 R3。

返回到汇总表。

表 11-6. R3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RB_OEb_0	R	0h	OEb0 的状态
4:3	RESERVED	R	0h	保留
2	RB_OEb_1	R	0h	OEb1 的状态
1:0	RESERVED	R	0h	保留

11.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

表 11-7 展示了 R4。

返回到汇总表。

表 11-7. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用自动输出禁用 (AOD)，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 已禁用（直流耦合） 1h = 已启用（交流耦合）
3:1	RESERVED	R	0h	保留
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

11.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

表 11-8 展示了 R5。

返回到汇总表。

表 11-8. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留

表 11-8. R5 寄存器字段说明 (续)

位	字段	类型	复位	说明
3:0	VENDOR_ID	R	Ah	供应商 ID

11.7 R6 寄存器 (偏移 = 6h) [复位 = 08h]

表 11-9 展示了 R6。

返回到汇总表。

表 11-9. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	8h	器件 ID

11.8 R7 寄存器 (偏移 = 7h) [复位 = 07h]

表 11-10 展示了 R7。

返回到汇总表。

表 11-10. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBUS 块读取字节计数

11.9 R8 寄存器 (偏移 = 8h) [复位 = 00h]

表 11-11 展示了 R8。

返回到汇总表。

表 11-11. R8 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
6	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
5	SBI_MASK_4	R/W	0h	屏蔽 CLK4 的边带禁用
4	RESERVED	R	0h	保留
3	SBI_MASK_5	R/W	0h	屏蔽 CLK5 的边带禁用
2	SBI_MASK_6	R/W	0h	屏蔽 CLK6 的边带禁用
1	SBI_MASK_7	R/W	0h	屏蔽 CLK7 的边带禁用
0	RESERVED	R	0h	保留

11.10 R9 寄存器 (偏移 = 9h) [复位 = 00h]

表 11-12 展示了 R9。

返回到汇总表。

表 11-12. R9 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

表 11-12. R9 寄存器字段说明（续）

位	字段	类型	复位	说明
5	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用
4:3	RESERVED	R	0h	保留
2	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
1:0	RESERVED	R	0h	保留

11.11 R11 寄存器（偏移 = Bh）[复位 = EEh]

表 11-13 展示了 R11。

返回到汇总表。

表 11-13. R11 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_2	R	1h	CLK5 边带禁用回读
6	SBI_CLK_3	R	1h	CLK4 边带禁用回读
5	SBI_CLK_4	R	1h	CLK3 边带禁用回读
4	RESERVED	R	0h	保留
3	SBI_CLK_5	R	1h	CLK2 边带禁用回读
2	SBI_CLK_6	R	1h	CLK1 边带禁用回读
1	SBI_CLK_7	R	1h	CLK0 边带禁用回读
0	RESERVED	R	0h	保留

11.12 R12 寄存器（偏移 = Ch）[复位 = 24h]

表 11-14 展示了 R12。

返回到汇总表。

表 11-14. R12 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_CLK_0	R	1h	CLK7 边带禁用回读
4:3	RESERVED	R	0h	保留
2	SBI_CLK_1	R	1h	CLK6 边带禁用回读
1:0	RESERVED	R	0h	保留

11.13 R17 寄存器（偏移 = 11h）[复位 = 66h]

表 11-15 展示了 R17。

返回到汇总表。

表 11-15. R17 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP_1	R/W	6h	全局差分输出控制 0.6V~1V 25mV/步长 默认值 = 0.8V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留

11.14 R18 寄存器（偏移 = 12h）[复位 = 08h]

表 11-16 展示了 R18。

返回到汇总表。

表 11-16. R18 寄存器字段说明

位	字段	类型	复位	说明
7	RX_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入
6	RX_EN_RTERM_LSB	R/W	0h	启用/禁用 CLKIN1 上的端接电阻器 0h = 已禁用 1h = 已启用
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	PD_RESTOREB	R/W	1h	断电时保存配置 0h = 配置已清除 1h = 配置已保存
2:1	RESERVED	R	0h	保留
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

11.15 R20 寄存器（偏移 = 14h）[复位 = EEh]

表 11-17 展示了 R20。

返回到汇总表。

表 11-17. R20 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
6	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择

表 11-17. R20 寄存器字段说明 （续）

位	字段	类型	复位	说明
5	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 压摆率选择
4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 压摆率选择
2	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 压摆率选择
1	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 压摆率选择
0	RESERVED	R	0h	保留

11.16 R21 寄存器（偏移 = 15h）[复位 = 24h]

表 11-18 展示了 R21。

返回到汇总表。

表 11-18. R21 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择
4:3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
1:0	RESERVED	R	0h	保留

11.17 R38 寄存器（偏移 = 26h）[复位 = 00h]

表 11-19 展示了 R38。

返回到汇总表。

表 11-19. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	R	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

11.18 R39 寄存器（偏移 = 27h）[复位 = 00h]

表 11-20 展示了 R39。

返回到汇总表。

表 11-20. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留

表 11-20. R39 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	LOS_EVT	R/W	0h	LOS 事件状态。处于高电平时，指示检测到 LOS 事件。可通过向该位写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

11.19 R53 寄存器（偏移 = 35h）[复位 = 00h]

表 11-21 展示了 R53。

返回到汇总表。

表 11-21. R53 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_CTRL_MODE	R/WSC	0h	设置使用哪种模式来更改输出压摆率 0h = 引脚模式 1h = SMBus 模式
4:0	RESERVED	R	0h	保留

11.20 R98 寄存器（偏移 = 62h）[复位 = 00h]

表 11-22 展示了 R98。

返回到汇总表。

表 11-22. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 压摆率控制
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 压摆率控制
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 压摆率控制
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 压摆率控制
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率控制
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率控制
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率控制
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率控制

12 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

12.1 文档支持

12.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*LMKDB1120 评估模块*，用户指南。
- 德州仪器 (TI)，*LMKDB1108 评估模块*，用户指南。
- 德州仪器 (TI)，*时间就是一切：怎样测量附加抖动*，*博客文章*

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2023) to Revision B (February 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 在 *PWRDN# 置为有效和置为无效* 部分添加了有关建议的 PWRDN# 置为有效/置为无效序列和不正确遵循所产生影响的附加说明	31

Changes from Revision * (November 2023) to Revision A (December 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1

14 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMKDB1108Z100RKPR	ACTIVE	VQFN	RKP	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100	Samples
LMKDB1108Z100RKPT	ACTIVE	VQFN	RKP	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100	Samples
LMKDB1108Z85RKPR	ACTIVE	VQFN	RKP	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85	Samples
LMKDB1108Z85RKPT	ACTIVE	VQFN	RKP	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85	Samples
LMKDB1120Z100NPPR	ACTIVE	TLGA	NPP	80	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100	Samples
LMKDB1120Z100NPPT	ACTIVE	TLGA	NPP	80	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100	Samples
LMKDB1120Z85NPPR	ACTIVE	TLGA	NPP	80	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85	Samples
LMKDB1120Z85NPPT	ACTIVE	TLGA	NPP	80	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

[5] Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

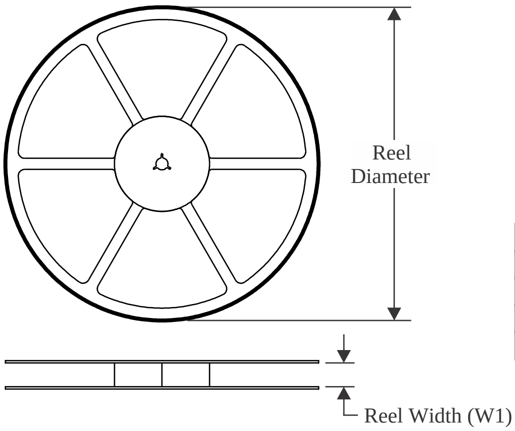
[6] Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

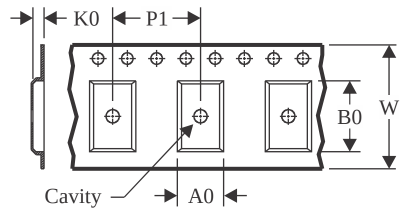
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

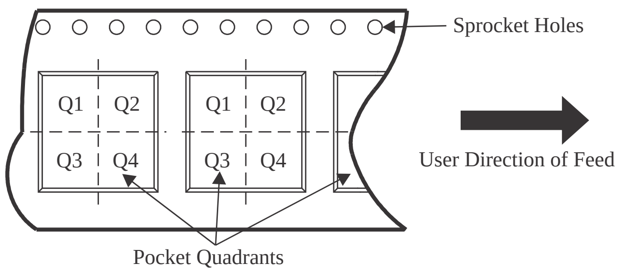


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

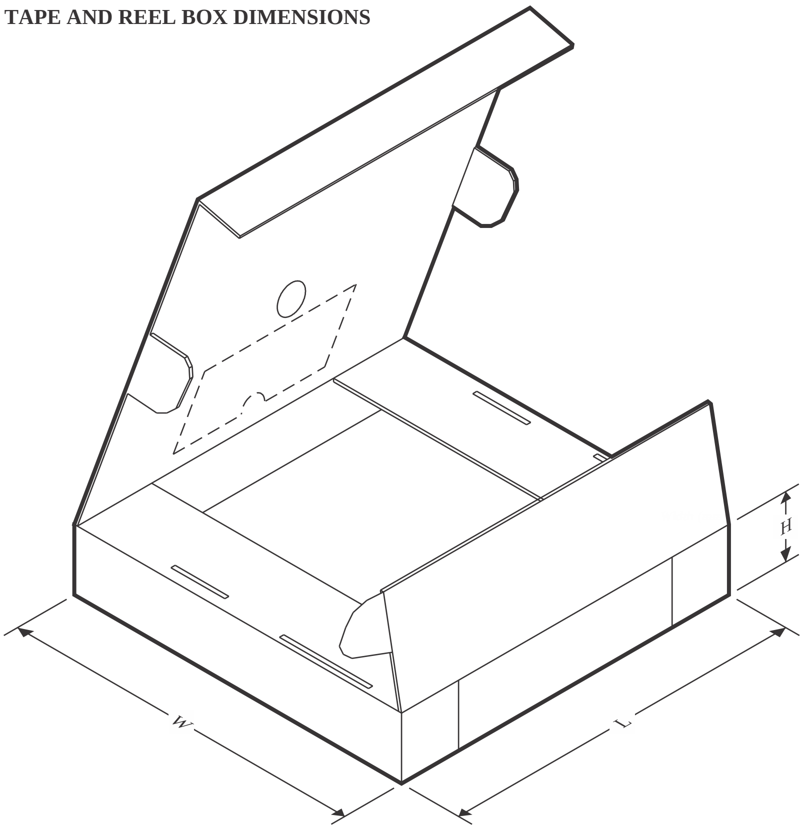
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

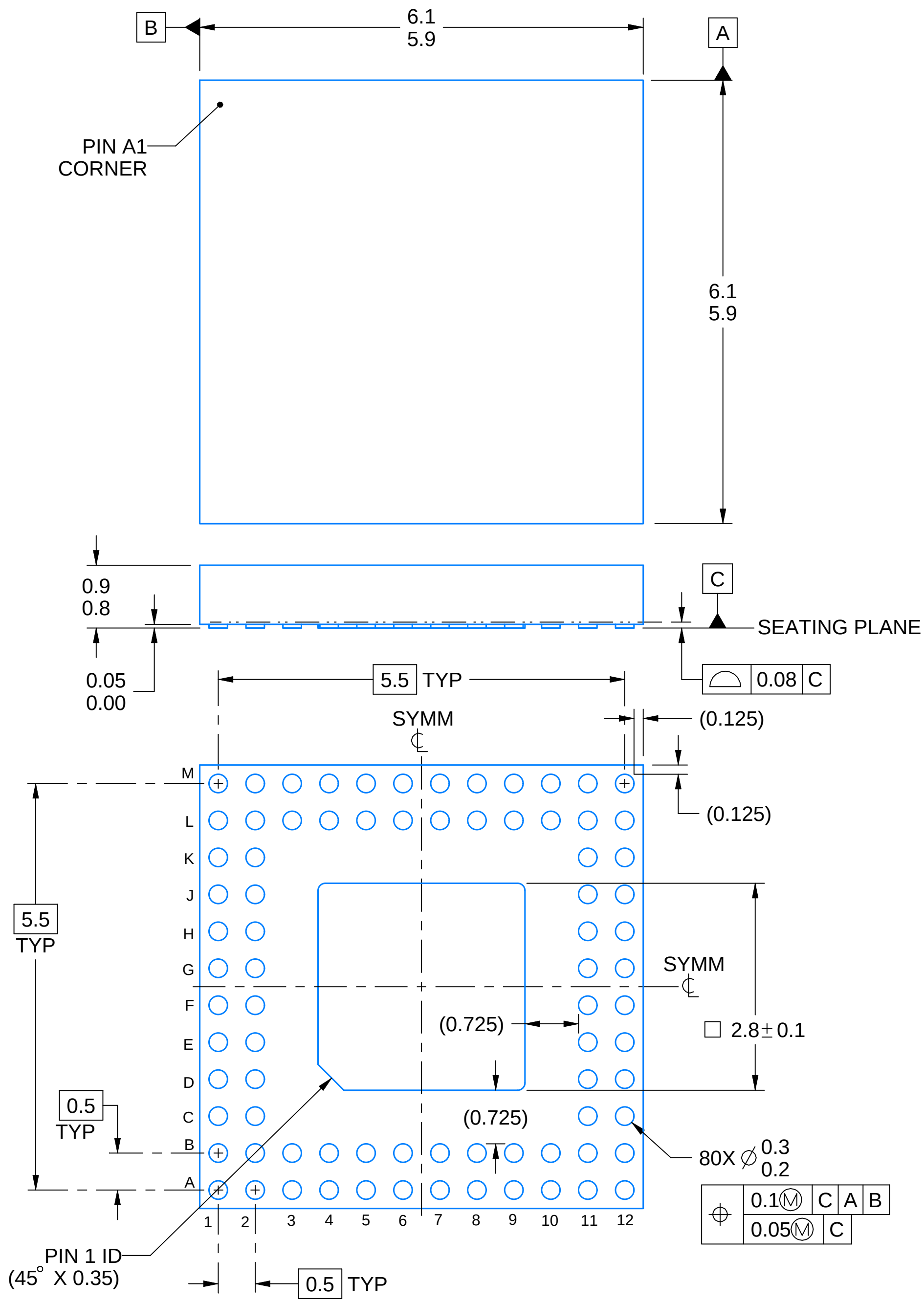
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z100RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1120Z100NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z85NPPR	TLGA	NPP	80	2500	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z85NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

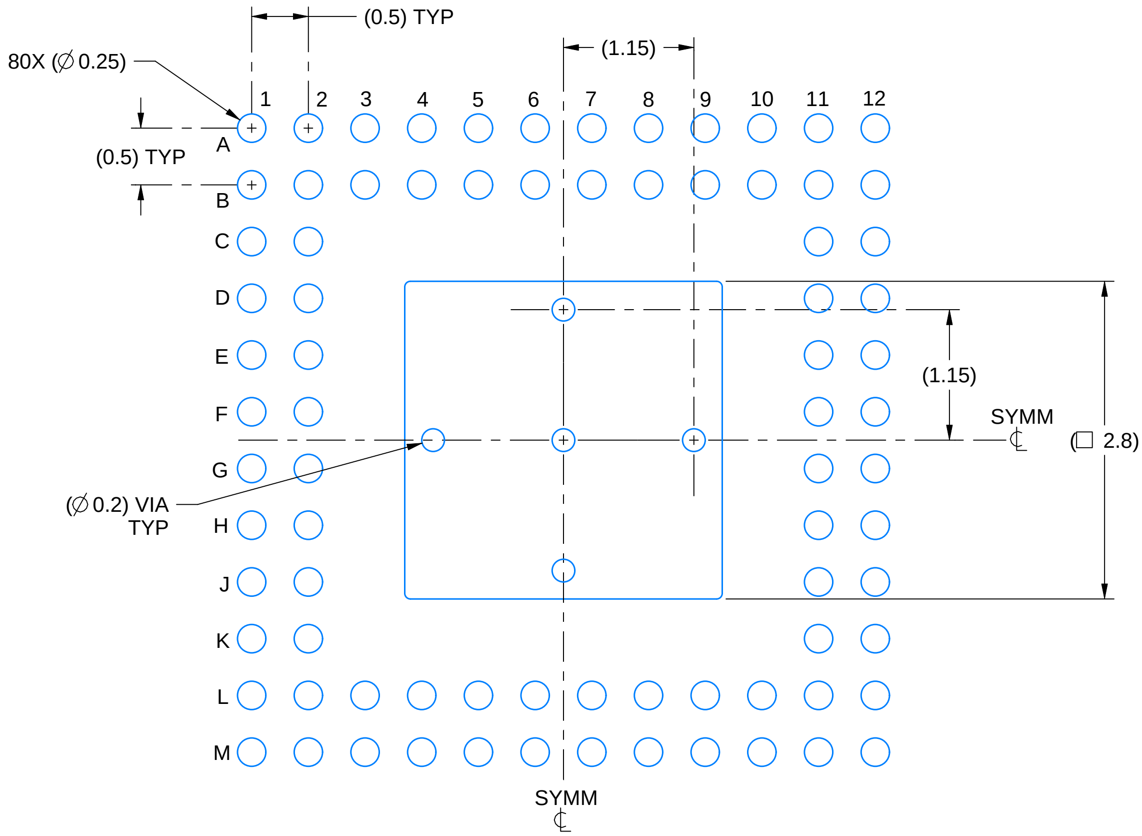
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z100RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z85RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1120Z100NPPT	TLGA	NPP	80	250	210.0	185.0	35.0
LMKDB1120Z85NPPR	TLGA	NPP	80	2500	210.0	185.0	35.0
LMKDB1120Z85NPPT	TLGA	NPP	80	250	210.0	185.0	35.0



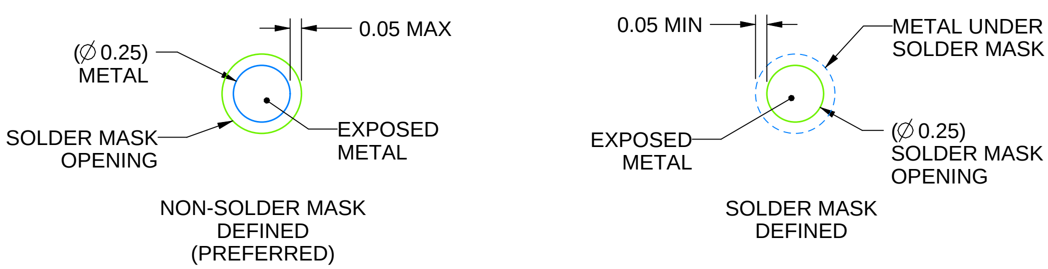
4224877/A 03/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

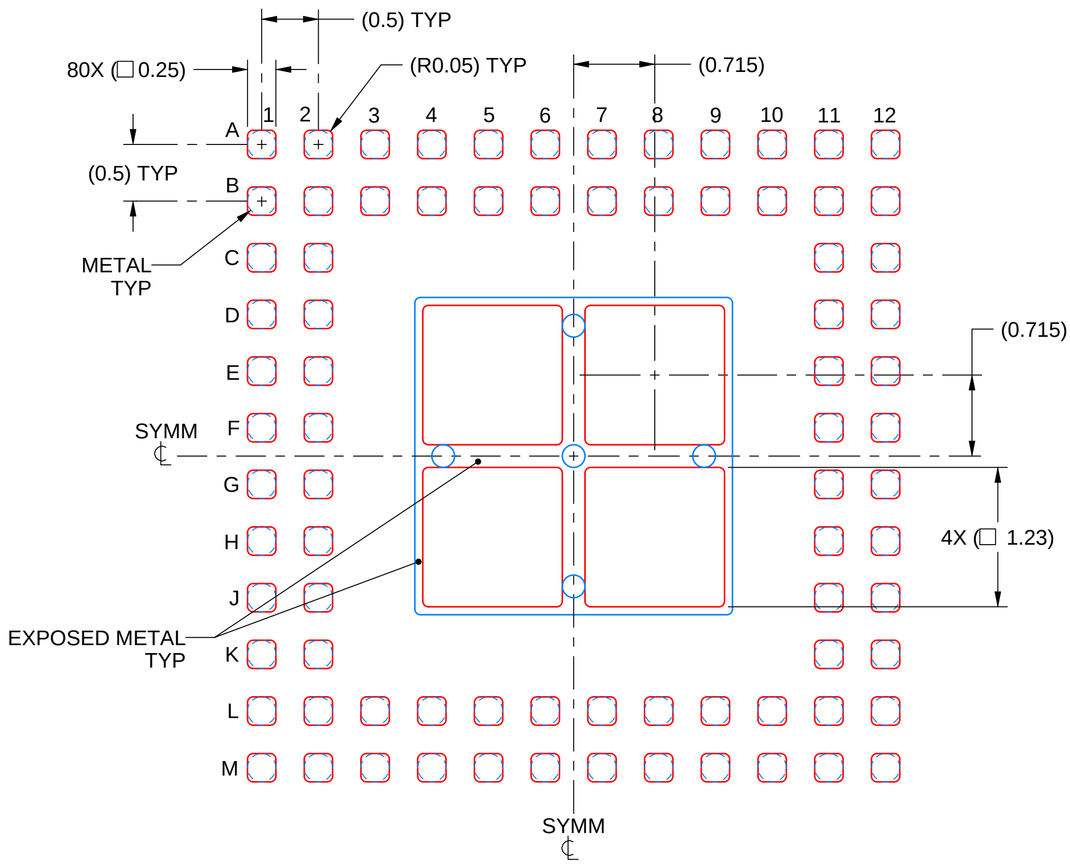


SOLDER MASK DETAILS
NOT TO SCALE

4224877/A 03/2019

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 15X

4224877/A 03/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

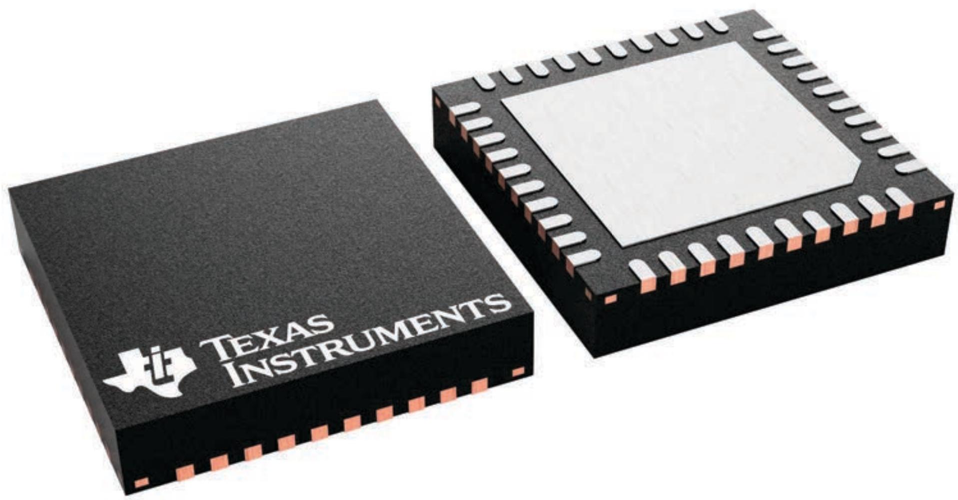
RKP 40

VQFN - 1 mm max height

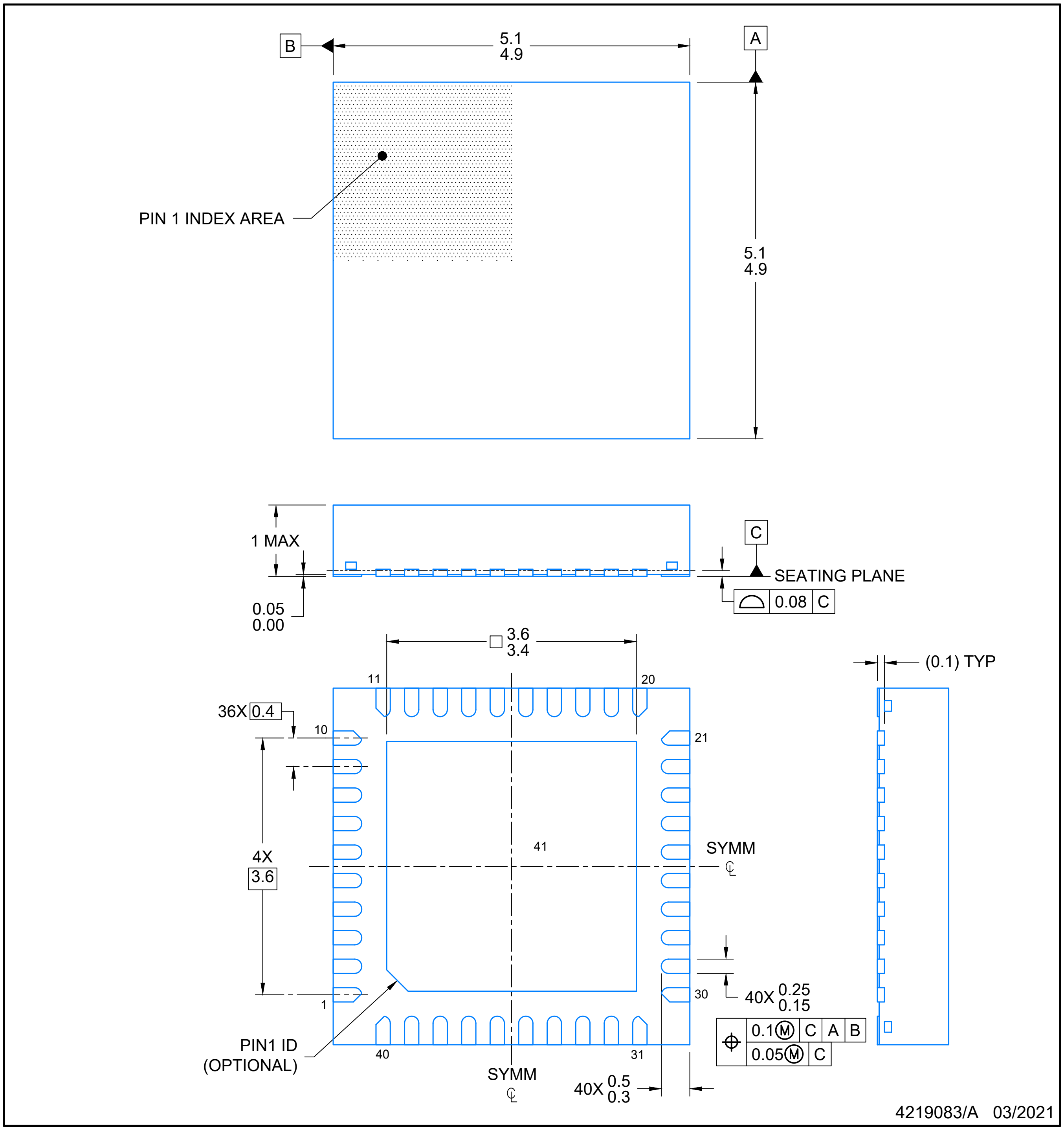
5 x 5, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

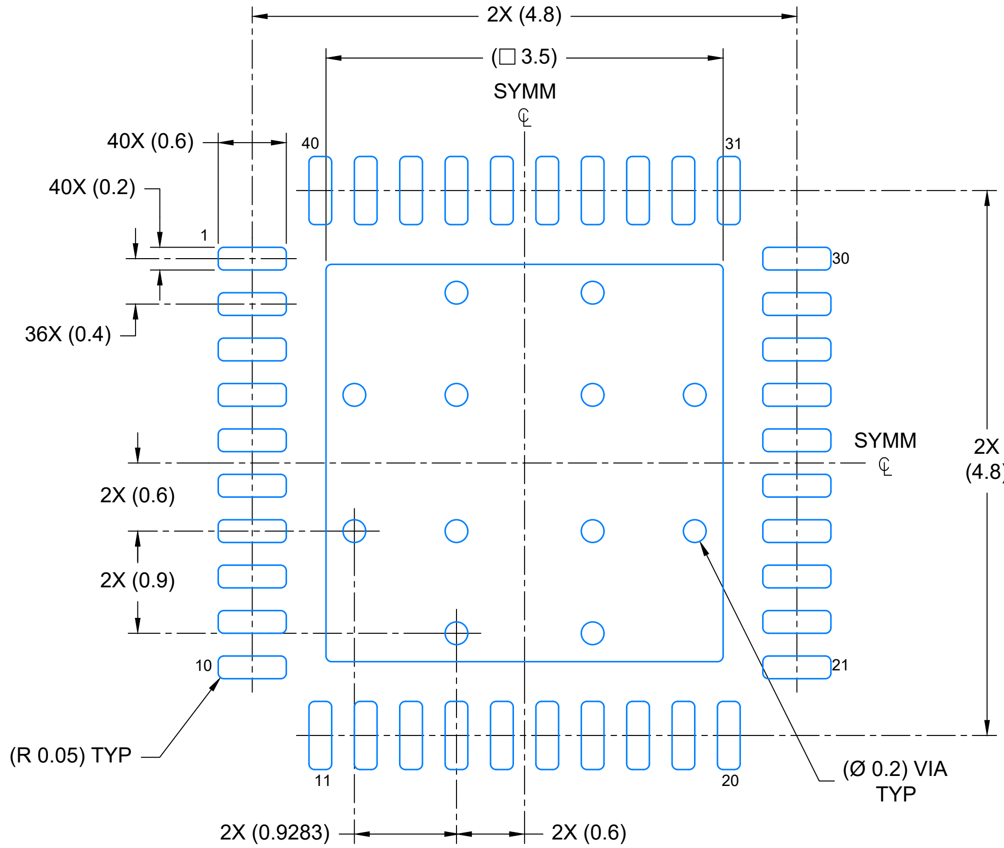


4229305/A

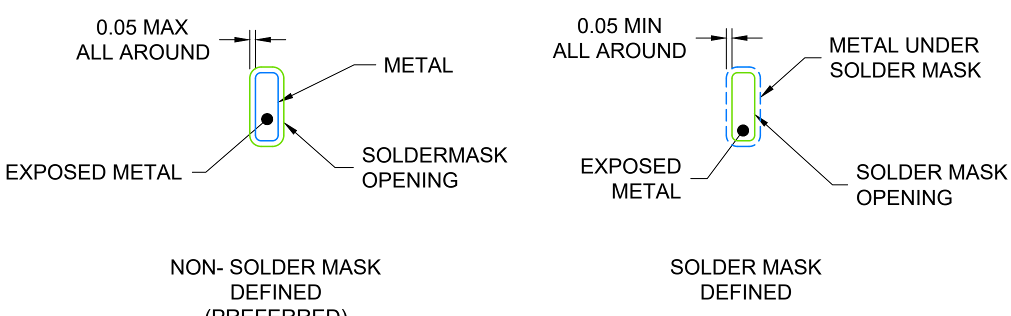


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

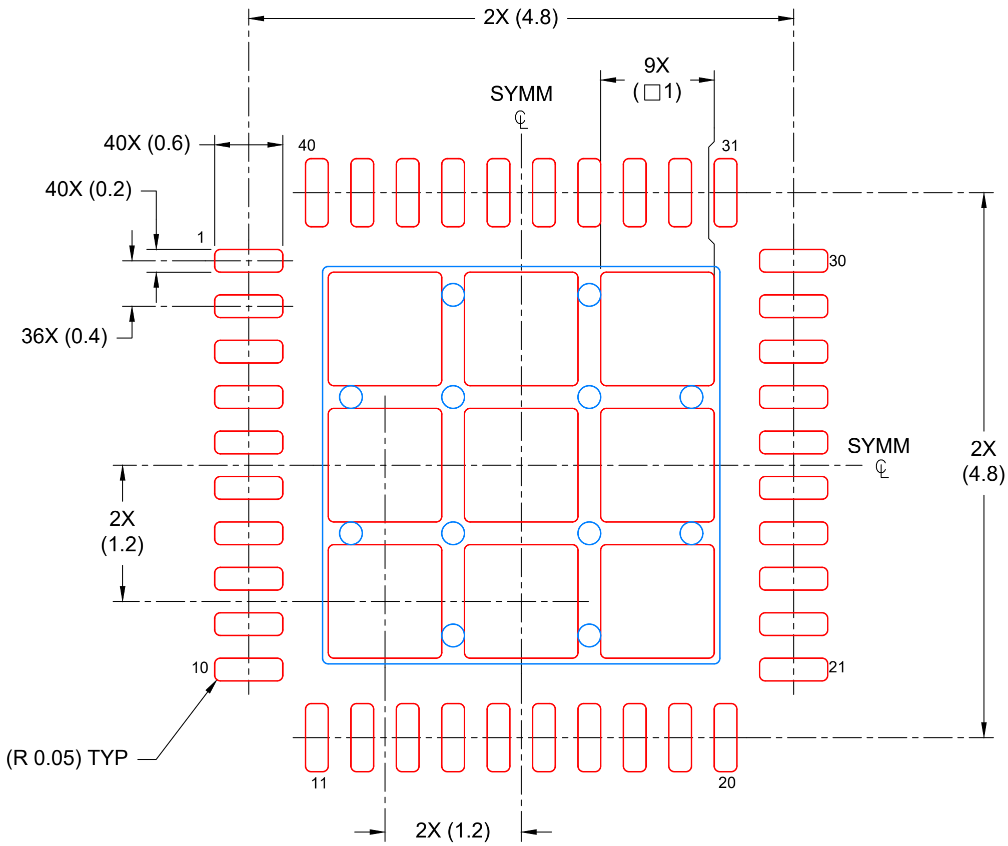


SOLDER MASK DETAILS

4219083/A 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
74% PRINTED COVERAGE BY AREA
SCALE: 15X

4219083/A 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI"按原样"提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265