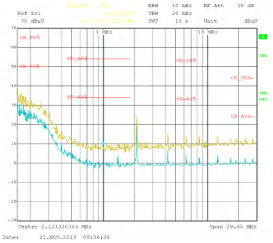
LMQ62440-Q1 汽车类 3V 至 36V、4A、低 EMI 同步降压转换器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +150°C，T_J
- 提供功能安全
  - 有助于进行功能安全系统设计的文档
- 针对超低 EMI 要求进行了优化
  - 符合 CISPR25 5 类标准
  - Hotrod™ 封装可更大限度地减少开关节点振铃
  - 内部旁路电容器可降低 EMI
  - 并行输入路径可更大限度减少寄生电感
  - 展频可降低峰值发射
  - 可调节开关节点上升时间
- 专用于条件严苛的汽车应用
  - 支持 42V 负载突降
  - 在 4A 负载下具有 0.4V 压降（典型值）
- 可在所有负载下进行高效电源转换
  - 在 13.5V_{IN}、3.3V_{OUT} 下具有 7μA 的无负载电流
  - 在 1mA、13.5V_{IN}、5V_{OUT} 下 PFM 效率为 90%
  - 低 MOSFET 导通电阻
    - $R_{DS_ON_HS}$ = 41mΩ（典型值）
    - $R_{DS_ON_LS}$ = 21mΩ（典型值）
- 具有用于提升效率的外部偏置选项
- 与以下器件引脚兼容：
  - LM62440-Q1（36V、4A）

2 应用

- 汽车信息娱乐系统与仪表组：音响主机、媒体集线器、USB 充电器、显示屏
- 汽车 ADAS 和车身电子装置



传导 EMI：$V_{OUT\ =\ 5V}$，I_{OUT} = 4A

3 说明

LMQ62440-Q1 是一款具有集成旁路电容器的高性能直流/直流同步降压转换器。该器件具有集成式高侧和低侧 MOSFET，能够在 3.0V 至 36V 的宽输入电压范围内提供高达 4A 的输出电流；可耐受 42V 电压，支持持续时间为 400 ms 的负载突降。该器件可对压差进行软恢复，因此无需对输出进行过冲。

该器件专门设计用于降低 EMI。该器件具有假随机展频、集成旁路电容器、可调节 SW 节点上升时间和低 EMI，并采用具有低开关节点振铃和优化型引脚排列的 VQFN-HR 封装，易于使用。开关频率可在 200kHz 至 2.2MHz 范围内同步，从而避开噪声敏感频段。另外，可以选择频率，从而在低工作频率下提高效率，或在高工作频率下缩小解决方案尺寸。

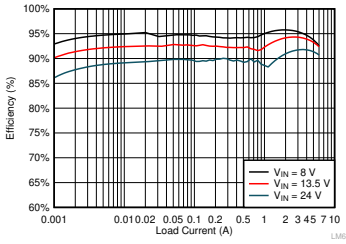
自动模式可在轻负载运行时进行频率折返，实现仅 7μA（典型值）的空载电流消耗和高轻负载效率。PWM 和 PFM 模式之间无缝转换，以及极低的 MOSFET 导通电阻和外部偏置输入，均确保在整个负载范围内实现卓越的效率。

该器件采用具有可湿性侧面的 14 引脚 VQFN-HR 封装。电气特性额定结温范围为 –40°C 至 +150°C。如需其他资源，请参阅*相关文档*。

器件信息

器件型号	封装[1]	封装尺寸（标称值）
LMQ62440-Q1	VQFN-HR (14)	4.00mm × 3.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



效率：，V_{OUT} = 5V，F_{SW} = 2.1 MHz

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较表.....2
6 引脚配置和功能.....3
引脚功能.....3
7 规格.....4
7.1 绝对最大额定值.....4
7.2 ESD 等级.....4
7.3 建议运行条件.....4
7.4 热性能信息.....5
7.5 电气特性.....5
7.6 计时特性.....7
7.7 系统特性.....9
7.8 绝对最大额定值.....10
7.9 ESD 等级.....10
7.10 典型特性.....11
8 详细说明.....13
8.1 概述.....13
8.2 功能方框图.....14
8.3 特性说明.....15
8.4 器件功能模式.....24
9 应用和实施.....30
9.1 应用信息.....30
9.2 典型应用.....30
9.3 应用曲线.....36
10 电源相关建议.....43
11 布局.....44
11.1 布局指南.....44
11.2 布局示例.....46
12 器件和文档支持.....47
12.1 文档支持.....47
12.2 接收文档更新通知.....47
12.3 支持资源.....47
12.4 商标.....47
12.5 静电放电警告.....47
12.6 术语表.....47
13 机械、封装和可订购信息.....47

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2020) to Revision A (September 2020)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1
• 更新了整个文档中的表、图和交叉参考的编号格式	1

5 器件比较表

器件	可订购器件型号	参考器件型号	轻负载模式	展频	输出电压	开关频率
LMQ62440-Q1	LMQ62440APPQRJRRQ1	LMQ62440APP-Q1	引脚可选	引脚可选	可调节	2.1MHz
	LMQ62440BPPQRJRRQ1	LMQ62440BPP-Q1	引脚可选	引脚可选	3.3V	2.1MHz
	LMQ62440CPPQRJRRQ1	LMQ62440CPP-Q1	引脚可选	引脚可选	5V	2.1MHz

Copyright © 2023 Texas Instruments Incorporated

6 引脚配置和功能

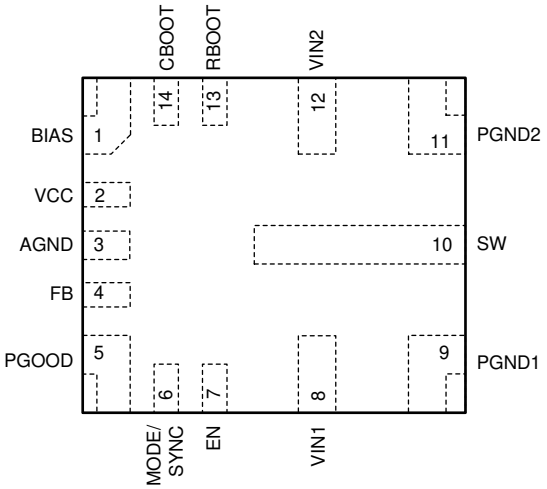


图 6-1. RJR 封装 14 引脚 VQFN-HR 顶视图

引脚功能

引脚		I/O	说明
名称	编号		
BIAS	1	P	内部 LDO 输入。连接到输出电压点以提高效率。将一个可选的优质 0.1μF 至 1μF 电容器从该引脚接地，以提高抗噪性。如果输出电压高于 12V，则将该引脚接地。
VCC	2	O	内部 LDO 输出。用作内部控制电路的电源。不要连接至任何外部负载。在该引脚和 AGND 之间连接一个 1μF 优质电容器。
AGND	3	G	内部电路的模拟地。反馈和 VCC 是相对于该引脚测量的。必须将 AGND 连接到 PCB 上的 PGND1 和 PGND2。
FB	4	I	内部控制环路的输出电压反馈输入。连接到反馈分压器抽头点以实现可调输出电压。请勿悬空或接地。
PGOOD	5	O	开漏电源正常状态输出。通过限流电阻器将该引脚上拉至合适的电压电源。高电平 = 电源正常，低电平 = 故障。当 EN = 低电平且 V_{IN} > 1V 时，PGOOD 输出变为低电平。如果不使用，它可以保持开路或接地。
MODE/ SYNC	6	I	该引脚控制 LMQ62440-Q1 的运行模式。模式包括自动模式（自动 PFM/PWM 运行）、FPWM 以及与外部时钟的同步。同步后，时钟在外部时钟的上升沿触发。此外，展频运行由该引脚控制。请勿将该引脚悬空。
EN	7	I	精密使能输入。高电平 = 开启，低电平 = 关闭。可连接至 VIN。精密使能允许将该引脚用作可调节 UVLO。请参阅 *节 9*
VIN1	8	P	转换器的输入电源。将一个或多个优质旁路电容器从该引脚连接到 PGND1。必须为 VIN2 提供低阻抗连接。
PGND1	9	G	内部低侧 MOSFET 的电源地。连接到系统地。必须为 PGND2 提供低阻抗连接。将一个或多个优质旁路电容器从该引脚连接到 VIN1。
SW	10	O	转换器的开关节点。连接到输出电感器。
PGND2	11	G	内部低侧 MOSFET 的电源地。连接到系统地。必须为 PGND1 提供低阻抗连接。将一个或多个优质旁路电容器从该引脚连接到 VIN2。
VIN2	12	P	转换器的输入电源。将一个或多个优质旁路电容器从该引脚连接到 PGND2。必须为 VIN1 提供低阻抗连接。
RBOOT	13	I/O	通过一个电阻器连接到 CBOOT。该电阻必须介于 0Ω 和开路之间，并决定 SW 节点上升时间。
CBOOT	14	I/O	高侧驱动器上部电源轨。在 SW 引脚和 CBOOT 之间连接一个 100nF 电容器。一个内部二极管连接到 VCC，并允许 CBOOT 在 SW 节点为低电平时充电。

Copyright © 2023 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在推荐的 -40℃ 到 +150℃ 工作结温范围内测得（除非另外说明）(1)

参数		最小值	最大值	单位
输入电压	VIN1、VIN2 至 AGND、PGND	-0.3	42	V
	RBOOT 至 SW	-0.3	5.5	V
	CBOOT 至 SW	-0.3	5.5	V
	BIAS 至 AGND、PGND	-0.3	16	V
	EN 至 AGND、PGND	-0.3	42	V
	SYNC/MODE 至 AGND、PGND	-0.3	36 和 V_{IN}+5 中的较低值	V
	FB 至 AGND、PGND	-0.3	16	V
	PGOOD 至 AGND、PGND	0	20	V
	PGND 至 AGND(3)	-1	2	V
输出电压	SW 至 AGND、PGND(2)	-0.3	V_{IN}+0.3	V
	VCC 至 AGND、PGND	-0.3	5.5	V
电流	PGOOD 灌电流(4)		10	mA
T_J	结温	-40	150	°C
T_{stg}	存储温度	-40	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间在最大绝对额定条件下运行会影响器件可靠性。
(2) 此引脚上可能出现比 GND 低 2V、比 V_{IN} 高 2V 的电压，持续时间 ≤ 200ns，占空比 ≤ 0.01%。
(3) 此规格适用于 100ns 或更短的电压持续时间。最大直流电压不应超过 ±0.3V。
(4) 不要超过针脚的额定电压。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) 器件 HBM 分类等级 2	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 器件 CDM 分类等级 C5	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 建议运行条件

在建议的 -40°C 到 150°C 工作结温范围内测得（除非另外说明）(1)

		最小值	标称值	最大值	单位
输入电压	输入电压范围（启动后）	3		36	V
输出电压	可调版本的输出电压范围(2)	1		0.95 * V_{IN}	V
频率	自由运行频率		2.1		MHz
同步频率	同步频率范围	200		2200	kHz
负载电流	输出直流电流范围 (3)	0		4	A
温度	工作结温 T_J 范围 (4)	-40		150	°C

(1) 建议运行条件表示器件可正常工作的条件，但不保证特定性能限制。有关保证的规格，请参阅电气特性表。
(2) 在任何情况下，输出电压都不应降至零伏以下。
(3) 在高开关频率和/或高环境温度下运行时，最大持续直流电流可能会降低。有关详细信息，请参阅“应用”部分。
(4) 高结温会缩短工作寿命。结温高于 125℃ 时，工作寿命会缩短。

Copyright © 2023 Texas Instruments Incorporated

7.4 热性能信息

此表中给出的 $R_{\theta JA}$ 值仅用于与其他封装的比较，不能用于设计目的。这些值是根据 JESD 51-7 计算的，并在 4 层 JEDEC 板上进行了仿真。它们并不代表在实际应用中获得的性能。例如，使用 4 层 PCB，可以实现 $R_{\Theta JA}$ = 25℃/W。有关设计信息，请参阅图 9-2。

热指标 (1) (2)		LMQ62440-Q1 RJR (QFN) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	59	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	19	°C/W
$R_{\theta JB}$	结至电路板热阻	19.2	°C/W
Ψ_{JT}	结至顶部特征参数	1.4	°C/W
Ψ_{JB}	结至电路板特征参数	19	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告。
(2) 此表中给出的 $R_{\theta JA}$ 值仅用于与其他封装的比较，不能用于设计目的。这些值是根据 JESD 51-7 计算的，并在 4 层 JEDEC 板上进行了仿真。它们并不代表在实际应用中获得的性能。

7.5 电气特性

限制值适用于推荐的 -40°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。VIN1 短接至 VIN2 = V_{IN}。V_{OUT} 是转换器输出电压。

参数		测试条件	最小值	典型值	最大值	单位
电源电压和电流						
$V_{IN_OPERATE}$	工作输入电压(3)	启动需要	3.95			V
		运行后	3.0			
$V_{IN_OPERATE_H}$	迟滞(3)			1		V
I_Q	工作静态电流（非开关）；在 VIN 引脚上测量(1)	V_{FB} = +5%，V_{BIAS} = 5V		0.6	6	µA
I_{BIAS}	流入 BIAS 引脚的电流（非开关、T_J = 125°C 时的最大值）(1)	V_{FB} = +5%，V_{BIAS} = 5V，自动模式		24	31.2	µA
I_{SD}	关断静态电流；在 VIN 引脚处测得	EN = 0V，T_J = 25℃		0.6	6	µA
使能						
V_{EN}	使能输入阈值电压 - 上升			1.263		V
V_{EN-ACC}	使能输入阈值电压 - 与典型值的上升偏差		-8.1		8.1	%
$V_{EN-HYST}$	使能阈值迟滞占 V_{EN}（典型值）的百分比		24	28	32	%
$V_{EN-WAKE}$	使能唤醒阈值		0.4			V
I_{EN}	使能引脚输入电流	V_{IN} = EN = 13.5V		2.3		µA
LDO - VCC						
V_{CC}	内部 V_{CC} 电压	V_{BIAS} > 3.4V，CCM 运行(3)		3.3		V
		V_{BIAS} = 3.1V，非开关		3.1		
V_{CC_UVLO}	内部 V_{CC} 输入欠压锁定	V_{CC} 上升欠压阈值		3.6		V
$V_{CC_UVLO_HYST}$	内部 V_{CC} 输入欠压锁定	迟滞低于 V_{CC_UVLO}		1.1		V
反馈						
V_{FB_acc}	5V、3.3V 和可调节 (1V FB) 版本的初始基准电压精度	V_{IN} = 3.3V 至 36V，T_J = 25℃，FPWM 模式	-1		1	%
V_{OUT_acc}	3.3V 固定 V_{OUT} 修整选项的基准电压精度	V_{IN} = 13.5V，FPWM 模式	3.2587	3.3	3.3413	V

Copyright © 2023 Texas Instruments Incorporated

限制值适用于推荐的 -40°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。VIN1 短接至 VIN2 = V_{IN}。V_{OUT} 是转换器输出电压。

参数		测试条件	最小值	典型值	最大值	单位
V_{OUT_acc}	5V 固定 V_{OUT} 修整选项的基准电压精度	V_{IN} = 13.5V，FPWM 模式	4.9375	5	5.0625	V
R_{FB}	从 FB 到 AGND 的电阻	5V 选项		1.85		MΩ
		3.3V 选项		2.1		
I_{FB}	从 FB 到 AGND 的输入电流	仅限可调节版本，FB = 1V		10		nA
振荡器						
f_{ADJ}	通过 SYNC 实现的最小可调频率		0.18	0.2	0.22	MHz
f_{ADJ}	通过 SYNC 实现的最大可调频率		1.98	2.2	2.42	MHz
f_{ADJ}	通过 R_T 或 SYNC 实现的最小可调频率	RT = 66.5kΩ	0.18	0.2	0.22	MHz
	采用 400kHz 时可通过 R_T 或 SYNC 调整频率	RT = 33.2kΩ	0.36	0.4	0.44	MHz
	通过 R_T 或 SYNC 实现的最大可调频率	RT = 5.76kΩ	1.98	2.2	2.42	MHz
f_{SW}	开关频率	V_{IN} = 13.5V，具有或不具有展频的中心频率，PWM 运行	1.9	2.1	2.3	MHz
$f_{S\ SS}$	展频运行的频率范围 - 与中心频率的最大偏差	可用展频		2		%
f_{PSS}	展频频谱图频率(3)	展频可用，f_{SW} = 2.1MHz			1.5	Hz
$I_{MODE/SYNC}$	MODE/SYNC 引脚在启动后的漏电流	V_{IN} = 13.5V，$V_{SYNC/MODE}$ = 3.3V		1		nA
		V_{IN} = 13.5V，$V_{SYNC/MODE}$ = 5.5V		5		
V_{MODE_L}	MODE/SYNC 输入电压低				0.4	V
V_{MODE_H}	MODE/SYNC 输入电压高		1.6			V
V_{SYNCD_HYST}	MODE/SYNC 输入电压迟滞		0.155		1	V
V_{MODE_H2}	如果 MODE/SYNC 电压低于该电压且高于 V_{SYNCDH}，则启用展频	电平相关的运行	2.5			V
V_{MODE_H3}	如果 MODE/SYNC 高于此电压，则禁用展频	电平相关的运行			4.9	V
R_{MODE_H}	MODE/SYNC 连接电阻表示展频关闭	电平相关的运行	30			kΩ
R_{MODE_L}	MODE/SYNC 连接电阻表示展频开启	电平相关的运行			6	kΩ
MOSFET						
$R_{DS(ON)_HS}$	电源开关导通电阻	高侧 MOSFET $R_{DS(ON)}$		41	82	mΩ
$R_{DS(ON)_LS}$	电源开关导通电阻	低侧 MOSFET $R_{DS(ON)}$		21	45	mΩ
V_{BOOT_UVLO}	与 SW 相比 CBOOT 引脚上的电压，将关闭高侧开关			2.1		V
电流限值						
I_{L-HS}	高侧开关电流限值(2)	占空比接近 0%	6	7	8.1	A)
I_{L-LS}	低侧开关电流限值		3.7	4.8	5.4	A
I_{L-ZC}	过零电流限值。流出 SW 引脚的电流方向为正	自动模式，静态测量		0.25		A
I_{L-NEG}	负电流限值 FPWM 和 SYNC 模式。流出 SW 引脚的电流方向为正。	FPWM 运行		-2		A
$I_{PK_MIN_0}$	自动模式下的最小峰值命令/器件电流额定值	脉冲持续时间 < 100ns		25		%
$I_{PK_MIN_100}$	自动模式下的最小峰值命令/器件电流额定值	脉冲持续时间 > 1µs		12.5		%

Copyright © 2023 Texas Instruments Incorporated

限制值适用于推荐的 -40°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。VIN1 短接至 VIN2 = V_{IN}。V_{OUT} 是转换器输出电压。

参数		测试条件	最小值	典型值	最大值	单位
V_{HICCUP}	FB 电压与待调节 FB 电压之比	不是在软启动期间		40		%
电源正常						
PGD_{OV}	PGOOD 阈值上限 - 上升	V_{OUT} 百分比设置	105	107	110	%
$PGD_{U\ V}$	PGOOD 阈值下限 - 下降	V_{OUT} 百分比设置	92	94	96.5	%
PGD_{HYST}	PGOOD 上限阈值（上升和下降）	V_{OUT} 百分比设置		1.3		%
$V_{IN(PGD_VALID)}$	正常 PGOOD 功能的输入电压		1.0			V
$V_{PGD(LOW)}$	低电平 PGOOD 功能输出电压	46μA 上拉至 PGOOD 引脚，V_{IN} = 1.0V，EN = 0V			0.4	V
		1mA 上拉至 PGOOD 引脚，V_{IN} = 13.5V，EN = 0V			0.4	
		2mA 上拉至 PGOOD 引脚，V_{IN} = 13.5V，EN = 3.3V			0.4	
R_{PGD}	PGOOD 输出的 $R_{DS(ON)}$	1mA 上拉至 PGOOD 引脚，EN = 0V		17	40	Ω
		1mA 上拉至 PGOOD 引脚，EN = 3.3V		40	90	Ω
I_{OV}	过压条件下 SW 节点上的下拉电流			0.5		mA
热关断						
T_{SD_R}	热关断上升阈值(3)		158	168	180	℃
T_{SD_HYST}	热关断迟滞(3)			10		℃

(1) 这是器件在开环条件下不发生切换时使用的电流，FB 拉至标称值的 +5%。并不代表系统在调节时的总输入电流。有关更多信息，请参阅*系统特性*和*输入电源电流部分*。
(2) 高侧电流限制是占空比的函数。高侧电流限制值在小占空比条件下最高，在高占空比条件下更低。
(3) 参数由相关参数的设计、统计分析和生产测试指定。

7.6 计时特性

限制值适用于推荐的 -40°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。

参数		测试条件	最小值	典型值	最大值	单位
开关节点						
t_{ON_MIN}	最小高侧开关导通时间	V_{IN} = 20V，I_{OUT} = 2A，RBOOT 短接至 CBOOT		55	70	ns
t_{ON_MAX}	最大高侧开关导通时间			9		μs
t_{OFF_MIN}	最小低侧开关导通时间	V_{IN} = 4.0V，I_{OUT} = 1A，RBOOT 短接至 CBOOT		65	85	ns
t_{SS}	从设定点的第一个 SW 脉冲到 90% Vref 的时间。	V_{IN} ≥ 4.2V	2	3	4	ms
t_{SS2}	从第一个 SW 脉冲到 FPWM 锁定释放的时间（如果输出未处于稳压状态）	V_{IN} ≥ 4.2V	4.5	6.5	8.5	ms
t_W	短路等待时间（“断续”时间）			40		ms
使能						
t_{EN}	导通延迟(1)	C_{VCC}= 1μF 时从 EN 高电平到第一个 SW 脉冲的时间（如果输出从 0V 开始）		0.7		ms
t_B	上升沿或下降沿后 EN 消隐	低电平为 0.6V。	4		8	μs
t_{PULSE_H}	需要识别为脉冲的高电平持续时间		100			ns
t_{PULSE_L}	需要识别为脉冲的低电平持续时间		100			ns

Copyright © 2023 Texas Instruments Incorporated

限制值适用于推荐的 -40°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。

参数		测试条件	最小值	典型值	最大值	单位
t_{MODE}	在一个电平上指示 FPWM 或自动模式所需的时间		16.5			µs
t_{SYNC}	有效同步信号中的高电平或低电平信号持续时间				8	µs
C_{LOCK}	时钟在同步周期中锁定到有效同步信号所需的时间(1)			2048		周期 [cycle]
t_{MEAS}	进入自动模式时的 SYNC/MODE 引脚电阻测试持续时间	电平相关的 SYNC/MODE 引脚运行		40		µs
电源正常						
$t_{PGDFLT(rise)}$	PGOOD 高电平信号的延迟时间		1.5	2	2.5	ms
$t_{PGDFLT(fall)}$	PGOOD 功能的干扰滤波器时间常数			24		µs

(1) 使用相关参数的设计、统计分析和生产测试指定参数；未经量产测试。

Copyright © 2023 Texas Instruments Incorporated

7.7 系统特性

如果使用典型应用电路中的元件值，则根据设计指定以下值。限值适用于 -40°C 至 +150°C 结温范围（除非另外说明）。最小值和最大值限值是经过测试、设计或统计相关性分析而得出。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：V_{IN} = 13.5V。VIN1 短接至 VIN2 = V_{IN}。V_{OUT} 是输出设置。*这些参数未经生产环境测试。*

参数		测试条件	最小值	典型值	最大值	单位
效率						
η_{5V_2p1MHz}	典型效率为 2.1MHz	V_{OUT} = 5V，I_{OUT} = 4A，R_{BOOT} = 0Ω		93		%
		V_{OUT} = 5V，I_{OUT} = 100μA，R_{BOOT} = 0Ω，R_{FBT} = 1MΩ		73		
η_{3p3V_2p1MHz}	典型效率为 2.1MHz	V_{OUT} = 3.3V，I_{OUT} = 4A，R_{BOOT} = 0Ω		91		%
		V_{OUT} = 3.3V，I_{OUT} = 100μA，R_{BOOT} = 0Ω，R_{FBT} = 1MΩ		71		
运行范围						
V_{VIN_MIN1}	在启动后负载降低时实现完整功能的 V_{IN}。	V_{OUT} 设置为 3.3V	3.0			V
V_{VIN_MIN2}	在启动后 100% 最大额定负载下实现完整功能的 V_{IN}。	V_{OUT} 设置为 3.3V	3.95			V
I_{Q-VIN}	工作静态电流(1)	V_{OUT} = 3.3V，I_{OUT} = 0A，自动模式，R_{FBT} = 1MΩ		7		μA
		V_{OUT} = 5V，I_{OUT} = 0A，自动模式，R_{FBT} = 1MΩ		10		
V_{OUT5}	5V 出厂选项的输出电压	V_{IN} = 5.8V 至 36V，I_{OUT} = 4A	4.9	5	5.1	V
		自动模式出厂选项，V_{IN} = 5.5V 至 36V，I_{OUT} = 100μA 至 100mA	4.9	5.05	5.125	
V_{OUT3}	3.3V 出厂选项的输出电压	V_{IN} = 3.9V 至 36V，I_{OUT} = 4A	3.24	3.3	3.35	V
		Vi_{IN}= 3.9V 至 36V，I_{OUT} = 100μA 至 100mA	3.24	3.33	3.38	
V_{DROP1}	输入到输出电压差分，以保持调节精度而不会出现电感器 DCR 压降	V_{OUT} = 3.3V，I_{OUT} = 4A，25℃ 时的输出精度为 -3%		0.4		V
		V_{OUT} = 3.3V，I_{OUT} = 4A，125℃ 时的输出精度为 -3%		0.55		
V_{DROP2}	输入到输出电压差分，以保持 f_{SW} ≥ 1.85MHz，无 DCR 压降	V_{OUT} = 3.3V，I_{OUT} = 4A，25℃ 时的调节精度为 -3%		0.8		V
		V_{OUT} = 3.3V，I_{OUT} = 4A，125℃ 时的调节精度为 -3%		1.2		
D_{MAX}	最大开关占空比	f_{SW} =1.85MHz		87		%
		在频率折返期间	98			%
RBOOT						
t_{RISE}	SW 节点上升时间	R_{BOOT} = 0Ω，I_{OUT} = 2A（10% 至 80%）		2.15		ns
		R_{BOOT} = 100Ω，I_{OUT} = 2A（10% 至 80%）		2.7		ns

(1) 有关此规格的含义以及计算方法，请参阅详细说明。

Copyright © 2023 Texas Instruments Incorporated

7.8 绝对最大额定值

在推荐的 -40℃ 到 +150℃ 工作结温范围内测得（除非另外说明）(1)

参数		最小值	最大值	单位
输入电压	VIN1、VIN2 至 AGND、PGND	-0.3	42	V
	RBOOT 至 SW	-0.3	5.5	V
	CBOOT 至 SW	-0.3	5.5	V
	BIAS 至 AGND、PGND	-0.3	16	V
	EN/SYNC 至 AGND、PGND	-0.3	42	V
	RT 至 AGND、PGND	-0.3	5.5	V
	FB 至 AGND、PGND	-0.3	16	V
	PGOOD 至 AGND、PGND	0	20	V
	PGND 至 AGND(3)	-1	2	V
输出电压	SW 至 AGND、PGND(2)	-0.3	V_{IN}+0.3	V
	VCC 至 AGND、PGND	-0.3	5.5	V
电流	PGOOD 灌电流(4)		10	mA
T_J	结温	-40	150	°C
T_{stg}	存储温度	-40	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间在最大绝对额定条件下运行会影响器件可靠性。
(2) 此引脚上可能出现比 GND 低 2V、比 V_{IN} 高 2V 的电压，持续时间 ≤ 200ns，占空比 ≤ 0.01%。
(3) 此规格适用于 100ns 或更短的电压持续时间。最大直流电压不应超过 ±0.3V。
(4) 不要超过针脚的额定电压。

7.9 ESD 等级

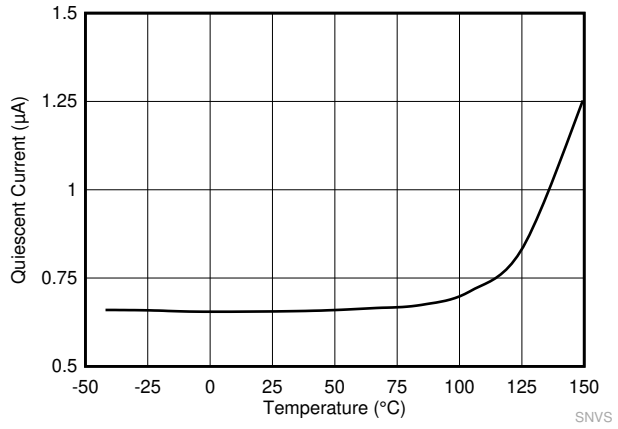
			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) 器件 HBM 分类等级 2	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 器件 CDM 分类等级 C5	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2023 Texas Instruments Incorporated

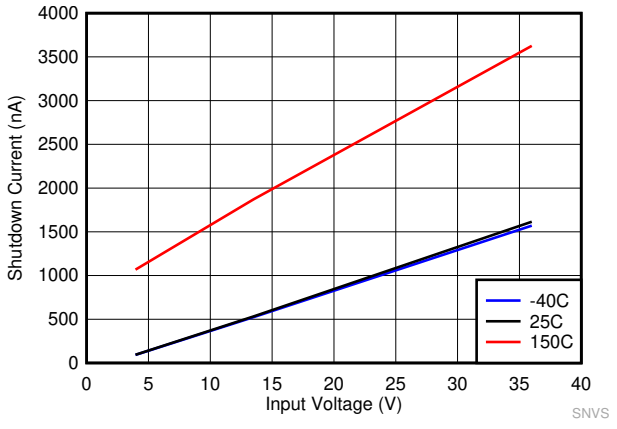
7.10 典型特性

除非另有说明，否则 V_{IN} = 13.5V 且 f_{SW} = kHz。



V_{FB} = 1V

图 7-1. 非开关输入电源电流



V_{EN} = 0V

图 7-2. 关断电源电流

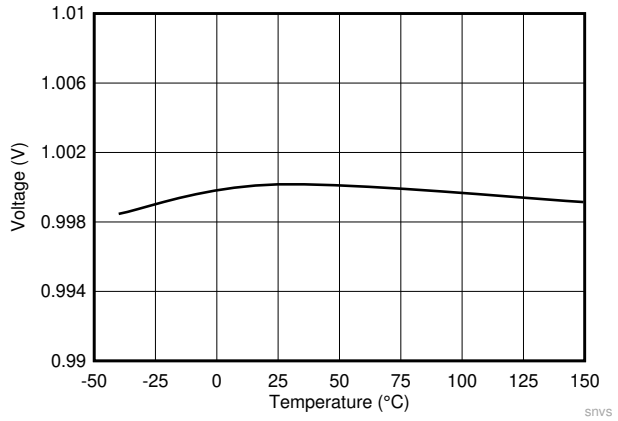


图 7-3. 反馈电压

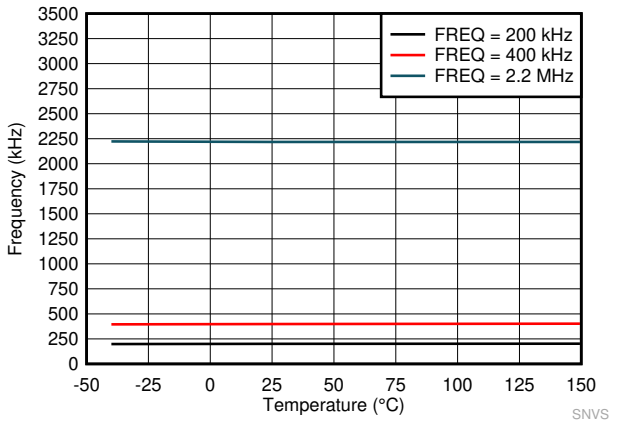


图 7-4. 开关频率

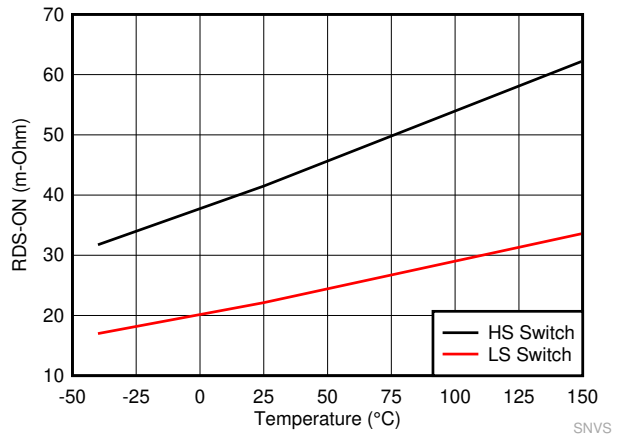


图 7-5. 高侧和低侧开关 R_{DS_ON}

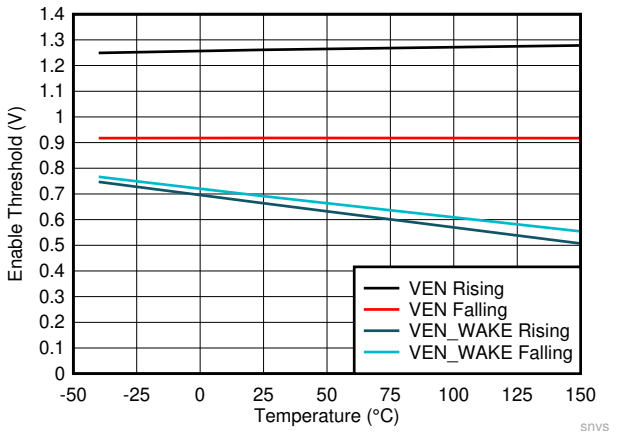


图 7-6. 使能阈值

Copyright © 2023 Texas Instruments Incorporated

7.10 典型特性 (continued)

除非另有说明，否则 V_{IN} = 13.5V 且 f_{SW} = kHz。

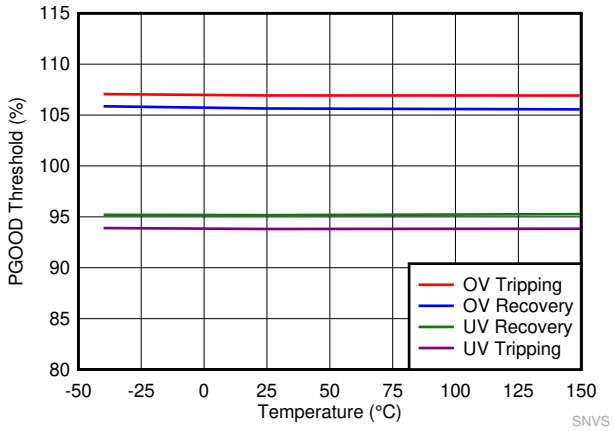


图 7-7. PGOOD 阈值

Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

LMQ62440-Q1 是一款宽输入同步峰值电流模式降压稳压器，专为各种汽车应用而设计。该稳压器可在宽开关频率范围内运行，包括 AM 以下频带（400kHz 时）以及 AM 以上频带（2.1MHz 时）。该器件可在宽转换比范围内运行。如果最短导通时间或最短关断时间不支持所需的转换比，则频率会自动降低，从而在输入电压瞬态期间通过高工作频率设置保持输出电压调节。

该器件专为低 EMI 而设计，并针对高于和低于 AM 频带运行情况进行了优化：

- 符合 CISPR25 5 类标准
- Hotrod™ 封装可更大限度地减少开关节点振铃
- 并行输入路径可更大限度减少寄生电感
- 内部旁路电容器可降低 EMI
- 展频可降低峰值发射
- 可调节 SW 节点上升时间

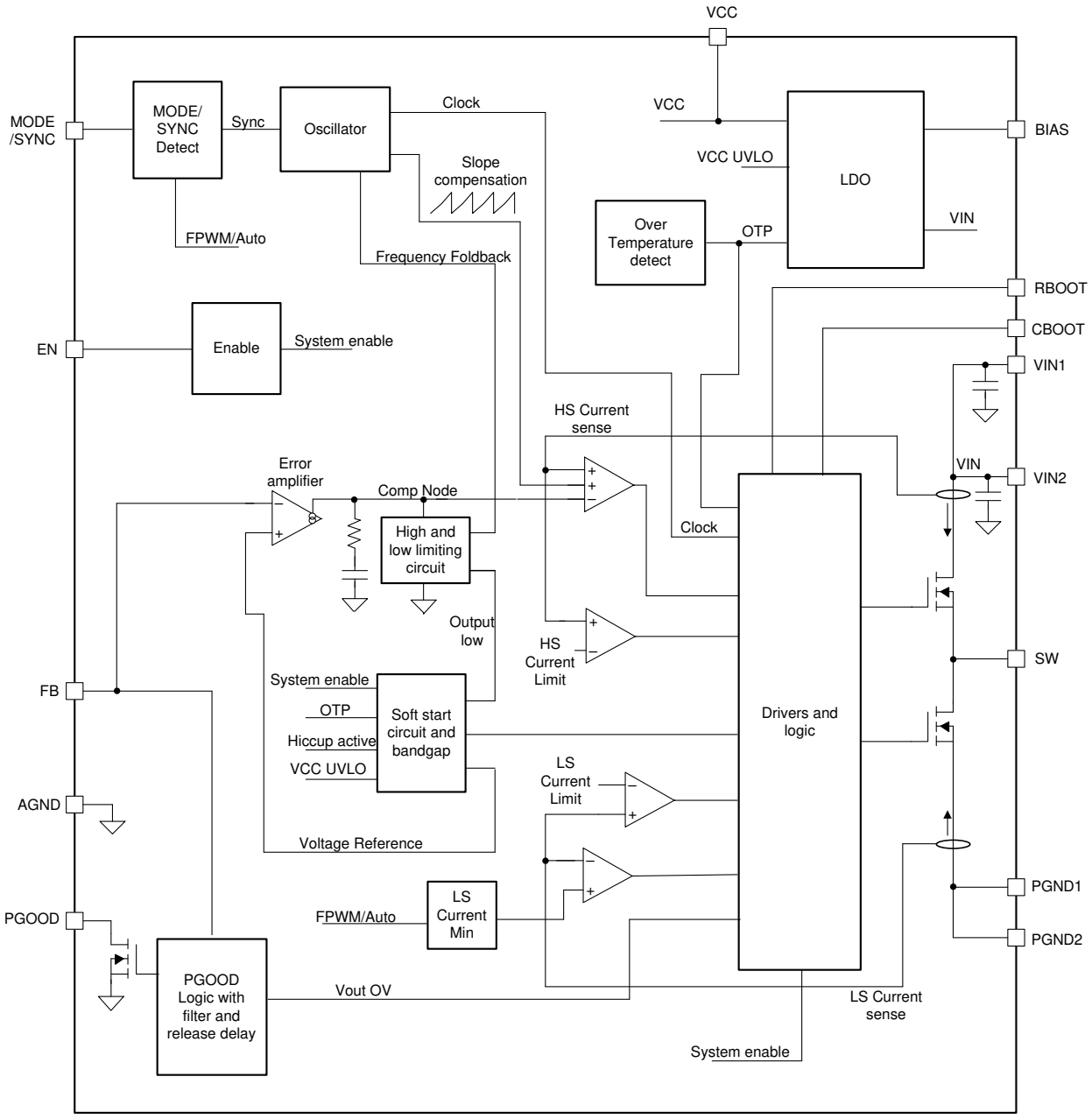
这些特性可以共同消除屏蔽和其他昂贵的 EMI 缓解措施。

该器件旨在更大限度地降低最终产品成本并减小其尺寸，同时可在要求苛刻的汽车环境中运行。如果以 2.1MHz 频率运行，则可以使用小型无源器件。先进的电流限制功能允许使用针对 4A 稳压器进行优化的电感器。此外，该器件还具有低空载电流消耗，非常适合非电池电源的常开型应用。低关断电流和高最大工作电压还可省去外部负载开关且无需输入瞬态保护。为进一步降低系统成本，提供了高级 PGOOD 输出，这通常无需使用外部复位或监控器件。

LMQ62440-Q1 器件符合 AEC-Q100 标准，可在高达 150°C 的结温下确保电气特性。

Copyright © 2023 Texas Instruments Incorporated

8.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

8.3 特性说明

8.3.1 EN 用于使能和 V_{IN} UVLO

启动和关断由 EN 输入和 V_{IN} UVLO 控制。要使器件保持关断模式，请向 EN 引脚施加低于 V_{EN_WAKE} (0.4V) 的电压。在关断模式下，静态电流降至 0.6μA（典型值）。在高于 V_{EN_WAKE} 和低于 V_{EN} 的电压下，VCC 处于运行状态，SW 节点处于非运行状态。一旦 EN 电压高于 V_{EN}，只要输入电压高于 3V，芯片就开始正常开关。

EN 引脚不能悬空。使之工作的最简单方法是将 EN 引脚连接到 V_{IN}，以便在 V_{IN} 将内部 VCC 驱动到高于其 UVLO 电平时实现器件自启动。但是，许多应用都受益于图 8-1 中所示的使能分压器网络，该网络可建立精密输入欠压锁定 (UVLO)。这可用于时序控制，防止与长输入电缆配合使用时重新触发器件，或减少电池电源深度放电的发生。请注意，精密使能阈值 V_{EN} 的容差为 8.1%。迟滞必须足以防止重新触发。另一个 IC 的外部逻辑输出也可用于驱动 EN 引脚，从而实现系统电源时序。

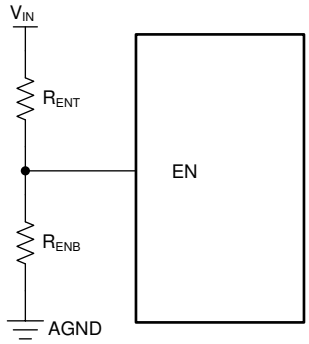


图 8-1. VIN/UVLO 使用 EN 引脚

可以使用方程式 1 来计算电阻器阻值。

$$R_{ENB} = R_{ENT} \cdot \frac{V_{EN}}{V_{ON} - V_{EN}} \tag{1}$$

其中

- V_{ON} 是所设计电路所需的典型启动输入电压

8.3.2 MODE/SYNC 引脚运行

LMQ62440-Q1 通过 MODE/SYNC 输入引脚可选择工作模式。LMQ62440-Q1 可在以下三种可选择模式之一下运行：

- 自动模式：在轻负载期间启用脉冲频率调制 (PFM) 运行，二极管仿真可防止反向电流通过电感器。更多详细信息，请参阅 *节 8.4.3.2*。
- FPWM 模式：在 FPWM 模式下，禁用二极管仿真，从而允许电流反向流过电感器。这样即使没有负载电流，也能以全频率运行。更多详细信息，请参阅 *节 8.4.3.3*。
- SYNC 模式：LMQ62440-Q1 时钟锁定到施加在 MODE/SYNC 引脚的外部信号。只要输出电压可在全频率下进行调节，并且不受最短关断时间或最短导通时间的限制，时钟频率就会与施加到 MODE/SYNC 引脚的信号频率相匹配。当 LMQ62440-Q1 处于 SYNC 模式时，它就像在 FPWM 模式下运行一样：禁用二极管仿真，从而允许在没有负载的情况下匹配施加到 MODE/SYNC 引脚的频率。

此外，MODE/SYNC 引脚可用于激活或停用 LMQ62440-Q1 的展频功能。MODE/SYNC 引脚可通过两种方式进行配置：电平相关 MODE/SYNC 控制（请参阅 *节 8.3.2.1*）或脉冲相关 MODE/SYNC 引脚控制（请参阅 *节 8.3.2.2*）。

Copyright © 2023 Texas Instruments Incorporated

8.3.2.1 电平相关 MODE/SYNC 引脚控制

如果只使用单个模式，则可以使用电平相关的控制来配置器件。请注意，LMQ62440-Q1 无法在电平相关模式下与外部时钟信号同步。表 8-1 汇总了电平相关模式选择设置。电平相关模式选择设置在 t_{MODE} 之后进行寄存。图 8-2 中也介绍了电平相关模式的摘要。

表 8-1. 电平相关模式选择设置

MODE/SYNC 输入	模式
GND	带展频的自动模式
VCC 或 > V_{MODE_H} 且 < V_{MODE_H2}	带展频的 FPWM 模式
VIN 或 > V_{MODE_H3}	无展频的 FPWM 模式

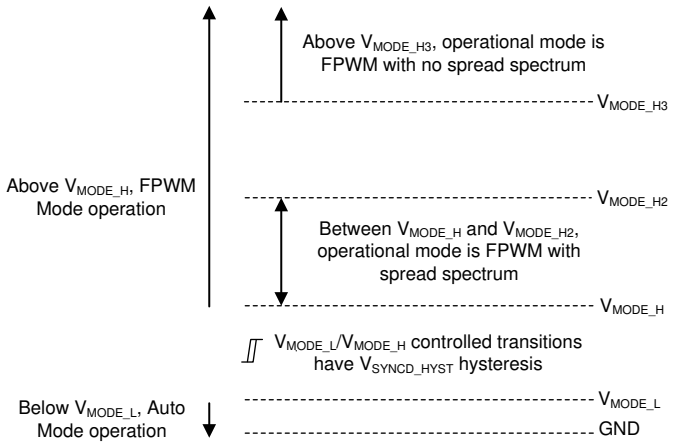


图 8-2. 电平相关模式选择设置

请注意，在压降运行期间，输入电压接近 VCC。由于这种情况通常在压降运行期间出现，因此频率通常会折返并且展频会停用。当 VIN 增大且器件不再处于频率折返状态时，展频将重新激活。当输入电压为 3V 至 3.7V 且 LMQ62440-Q1 不处于压降运行状态时，无法保证展频运行。

电平相关 MODE/SYNC 引脚控制的目的之一是在 FPWM 和自动模式之间动态切换。为确保 MODE/SYNC 接地电阻 < R_{SYNC_L}，建议使用 6kΩ 接地。MODE/SYNC 引脚随后可在 FPWM 和自动模式之间切换，如表 8-1 所示。

如果需要无展频运行的自动模式，请通过一个 100kΩ 电阻器将 MODE/SYNC 引脚接地。无展频的自动模式是一个固定选项，无法动态更改模式。

8.3.2.2 脉冲相关 MODE/SYNC 引脚控制

大多数需要 LMQ62440-Q1 提供多种运行模式的系统由微处理器等数字电路控制。这些系统可以轻松生成动态信号，但难以生成多级信号。脉冲相关 MODE/SYNC 引脚控制对这些系统很有用。

要启动脉冲相关 MODE/SYNC 引脚控制，必须施加有效的同步信号。在有效同步脉冲序列中完成第四个脉冲后，SYNC 模式引脚将以脉冲相关 MODE/SYNC 控制模式运行，如图 8-3 和图 8-4 所示。返回电平相关 MODE/SYNC 控制的唯一方法是重新启动 LMQ62440-Q1。

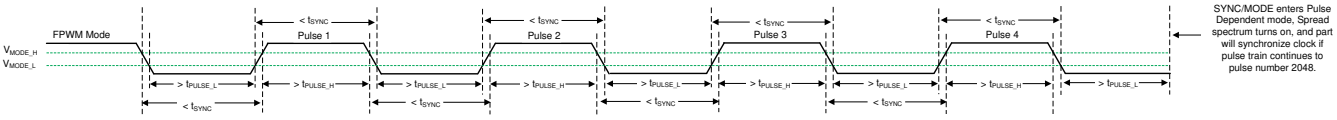


图 8-3. 从 FPWM 模式转换到脉冲相关控制

Copyright © 2023 Texas Instruments Incorporated

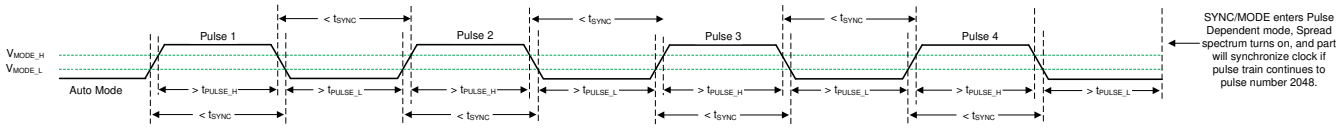


图 8-4. 从自动模式转换到脉冲相关控制

启动脉冲相关 MODE/SYNC 控制后，表 8-2 汇总了脉冲相关模式选择设置。

表 8-2. 脉冲相关模式选择设置

MODE/SYNC 输入	模式
> V_{MODE_H}	带展频的 FPWM
< V_{MODE_L}	带展频的自动模式
同步时钟	无展频的 SYNC 模式
> V_{MODE_H} 和双脉冲（图 8-6）	无展频的 FPWM
< V_{MODE_L} 和双脉冲（图 8-7）	无展频的自动模式

图 8-5 显示了在脉冲相关 MODE/SYNC 控制下自动模式和 FPWM 模式之间的转换。LMQ62440-Q1 在时间 t_{MODE} 之后转换为新的运行模式。

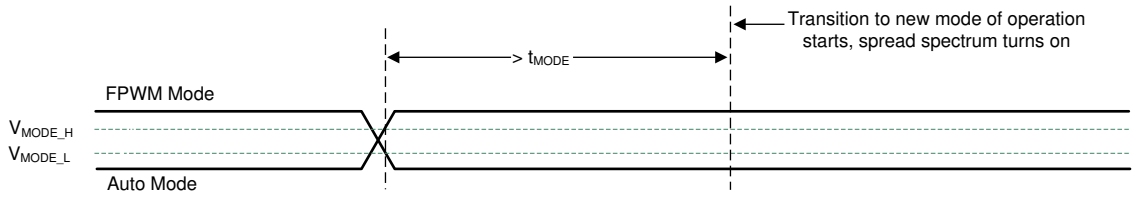


图 8-5. 自动模式和 FPWM 模式之间的转换

在自动模式和 FPWM 模式下，两个正向脉冲可用于关闭展频。两个正脉冲必须与有效同步信号的特性一致。以下四个图（图 8-6 至图 8-9）全部显示的是导致展频关闭的波形。更多有关时序规格的信息，请参阅节 7.5。

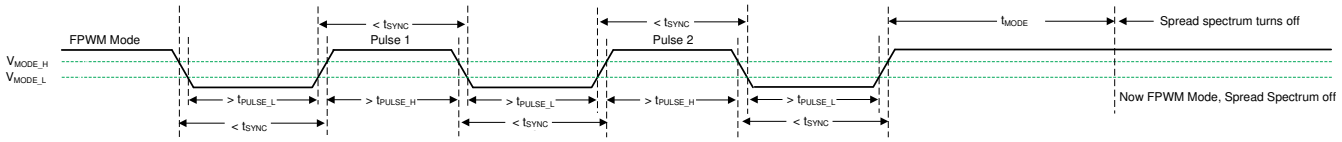


图 8-6. 在 FPWM 模式下禁用展频

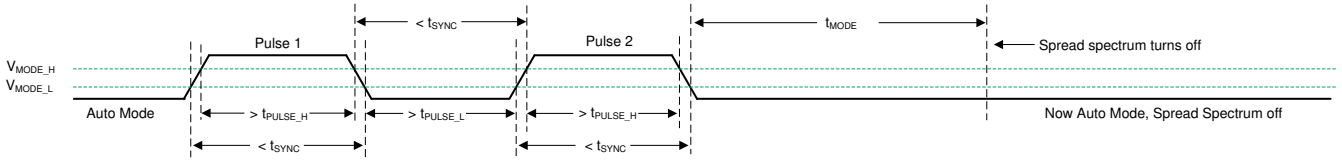


图 8-7. 在自动模式下禁用展频

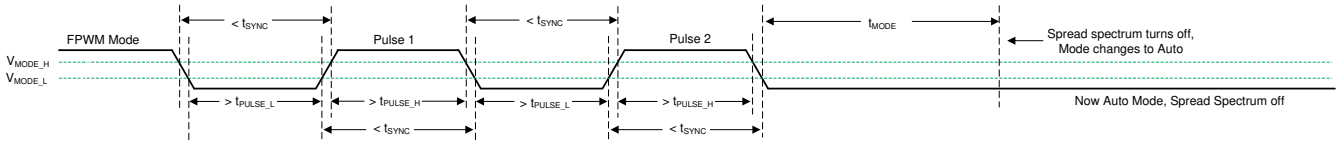


图 8-8. 从 FPWM 模式转换到自动模式时禁用展频

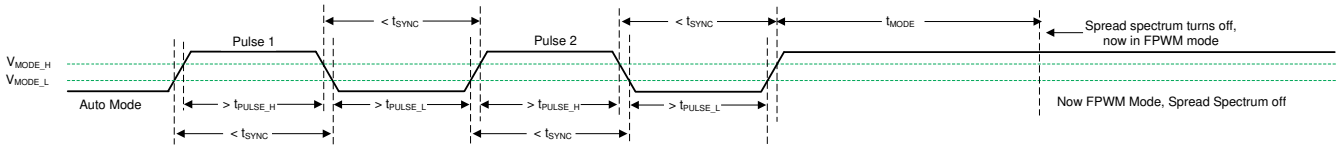


图 8-9. 从自动模式转换到 FPWM 模式时禁用展频

要进入 SYNC 模式，有效的同步信号必须持续存在 2048 个周期。请参阅 *节 8.3.3* 以了解更多信息。

如果 MODE/SYNC 电压保持恒定的时间大于 t_{MODE}，则 LMQ62440-Q1 将进入自动模式或 FPWM 模式。此时，展频打开，而 MODE/SYNC 在脉冲相关模式下运行。

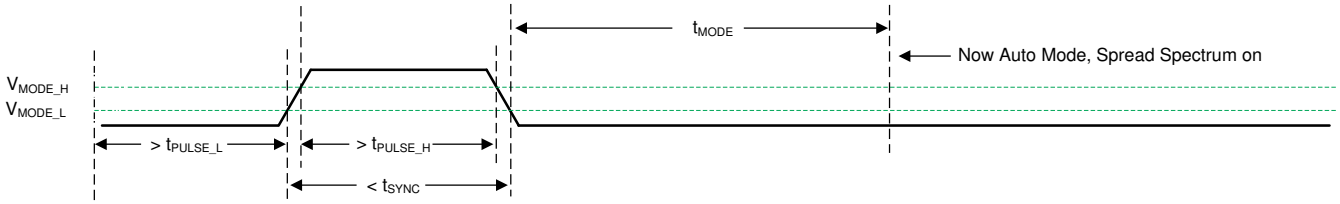


图 8-10. 从 SYNC 模式转换到自动模式

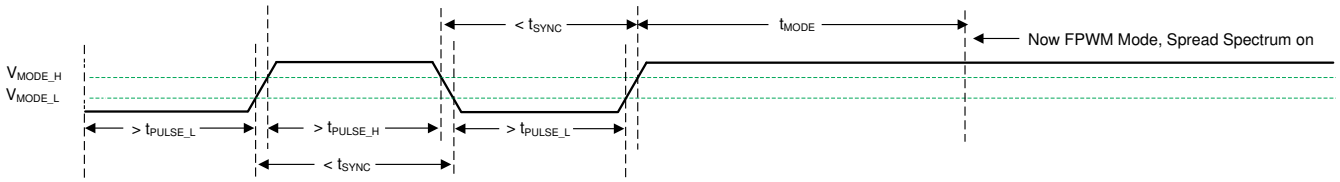


图 8-11. 从 SYNC 模式转换到 FPWM 模式

8.3.3 时钟锁定

一旦检测到有效的同步信号，就会启动时钟锁定程序。LMQ62440-Q1 器件通过 MODE/SYNC 引脚接收此信号。在大约 2048 个脉冲之后，时钟频率完成到同步信号频率的平稳过渡，而不会出现输出变化。请注意，频率突然调整时，相位保持不变，因此默认频率下运行与同步频率下运行之间的时钟周期为中间长度。这可以消除非常长或非常短的脉冲。频率调整后，相位会在几十个周期内进行调整，以便上升同步边沿与上升的 SW 节点脉冲相对应。请参阅图 8-12。

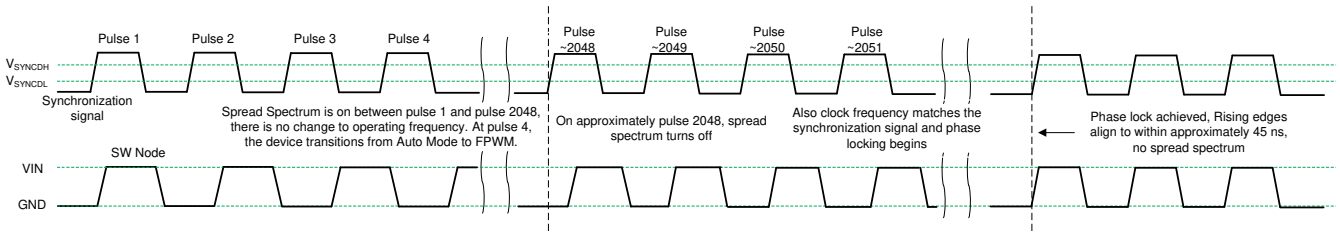


图 8-12. 同步过程

另请注意，LMQ62440-Q1 在同步脉冲中的第一个边沿之后打开展频。请参阅 *节 6* 中的 MODE/SYNC 引脚说明。在大约第 2048 个脉冲上调整频率后，展频关闭。最后，如果器件由于输入电压过低或过高或在电流限制期间以较低的频率运行，则在导致低频运行的条件被消除之前，不会发生频率锁定。

8.3.4 PGOOD 输出运行

实现了 PGOOD 功能以替代分立式复位器件，从而减少 BOM 数量并降低成本。当反馈电压超出指定的 PGOOD 阈值时，PGOOD 引脚电压变为低电平（请参阅 *节 7.10* 中的“PGOOD 阈值”）。这可能发生在电流限制和热关断情况下，以及处于禁用状态和正常启动期间。干扰滤波器可防止在输出电压的短时偏移（例如在线路和负载瞬

Copyright © 2023 Texas Instruments Incorporated

态期间）时出现错误标志。持续时间少于 t_{PGDFLT_FALL} 的输出电压偏移不会触发电源正常标志。通过参考图 8-13，可以更好地理解电源正常运行。

电源正常输出包含一个开漏 NMOS，需要一个外部上拉电阻连接到合适的逻辑电源或 V_{OUT}。当 EN 拉低时，标志输出也被强制为低电平。在 EN 为低电平时，只要输入电压为 ≥1V（典型值），电源正常输出就保持有效。

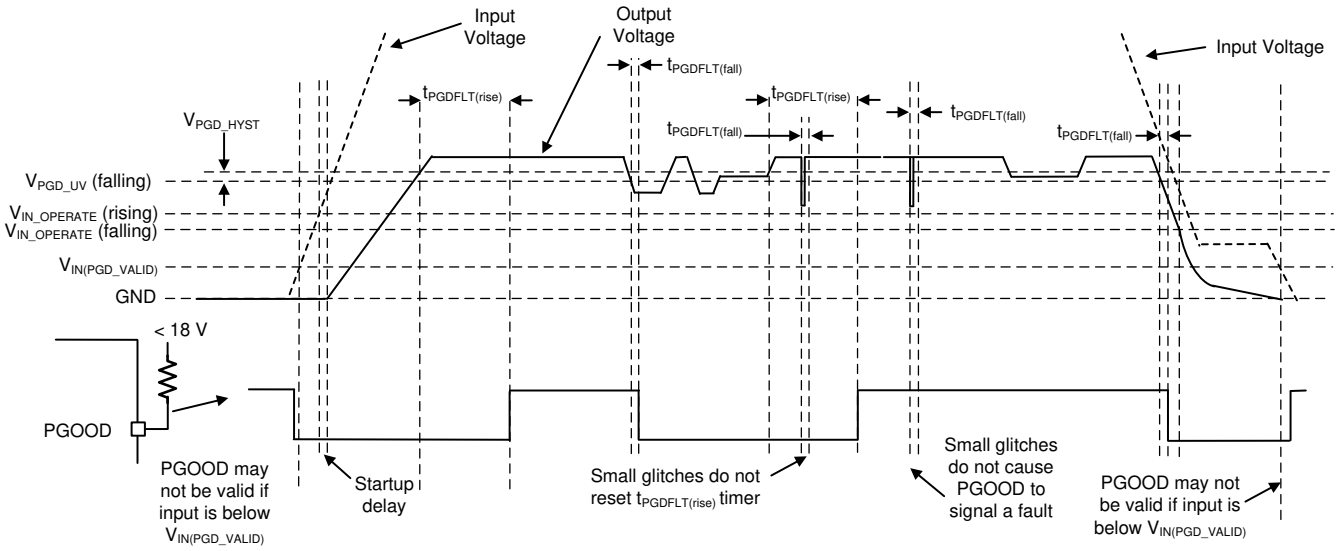


图 8-13. PGOOD 时序图（不包括 OV 事件）

表 8-3. 导致 PGOOD 发出故障信号（拉至低电平）的条件

故障条件启动	故障条件结束（在此之后，必须经过 $t_{PGDFLT(rise)}$ 才能释放 PGOOD 输出）(1)
$V_{OUT} < V_{OUT-target} \times PGD_{UV}$ 且 $t > t_{PGDFLT(fall)}$	稳压输出电压：$V_{OUT-target} \times (PGD_{UV} + PGD_{HYST}) < V_{OUT} < V_{OUT-target} \times (PGD_{OV} - PGD_{HYST})$（请参阅 *节 7.10* 中的“PGOOD 阈值”）
$V_{OUT} > V_{OUT-target} \times PGD_{OV}$ 且 $t > t_{PGDFLT(fall)}$	稳压输出电压
$T_J > T_{SD_R}$	$T_J < T_{SD_F}$ 且稳压输出电压
EN < V_{EN} Falling	EN > V_{EN} Rising 且稳压输出电压
$V_{CC} < V_{CC_UVLO} - V_{CC_UVLO_HYST}$	$V_{CC} > V_{CC_UVLO}$ 且稳压输出电压

(1) 作为额外的运行检查，PGOOD 在软启动期间保持低电平，这定义为直到达到完整输出电压或者自启动以来经过 t_{SS2}（以较小者为准）。

8.3.5 内部 LDO、VCC UVLO 和 BIAS 输入

VCC 引脚是内部 LDO 的输出，用于为器件的控制电路供电。标称输出为 3V 至 3.3V。BIAS 引脚是内部 LDO 的输入端。该输入端可连接到 V_{OUT} 以提供尽可能低的输入电源电流。如果 BIAS 电压低于 3.1V，则 VIN1 和 VIN2 直接为内部 LDO 供电。

为了防止不安全运行，VCC 具有 UVLO，可在内部电压过低时防止进行开关操作。请参阅 *节 7.5* 中的 V_{CC_UVLO} 和 $V_{CC_UVLO_HYST}$。请注意，这些 UVLO 值和 LDO 的压降用于推导最小 $V_{IN_OPERATE}$ 和 $V_{IN_OPERATE_H}$ 值。

8.3.6 自举电压和 $V_{CBOOT-UVLO}$（CBOOT 引脚）

高侧 (HS) 开关的驱动器需要高于 V_{IN} 的偏置。连接在 CBOOT 和 SW 之间的电容器 CBOOT 用作电荷泵，用于将 CBOOT 引脚上的电压升压到 SW+VCC。器件裸片上集成了一个自举二极管，以更大限度地减少外部元件数量。建议使用额定电压为 10V 或更高的 100nF 电容器。V_{BOOT_UVLO} 阈值（典型值 2.1V）旨在保持 HS 开关正常运行。如果 CBOOT 电容器电压降至 V_{BOOT_UVLO} 以下，则器件会在尝试打开 HS 开关之前启动一个打开低侧开关的充电序列。

8.3.7 SW 节点压摆率可调

为了在效率方面优化 EMI，该器件旨在于高侧 FET 导通期间通过电阻器选择高侧 FET 驱动器的强度。请参阅图 8-14。通过 RBOOT 引脚消耗的电流（虚线环路）被放大并通过 CBOOT 消耗（虚线）。该电流用于导通高侧电源 MOSEFT。

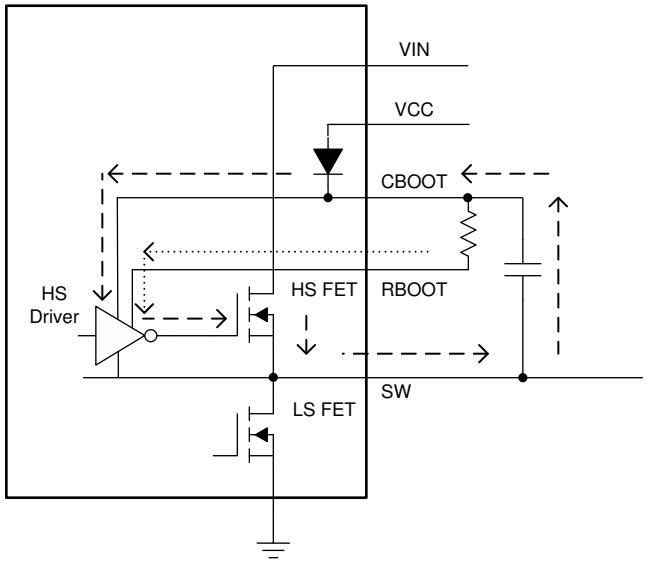


图 8-14. 显示 RBOOT 功能的简化电路

由于 RBOOT 对 CBOOT 短路，因此上升时间非常短。因此，直到高于 150MHz 时，SW 节点谐波才会“滚降”。100Ω 的启动电阻对应于大约 2.7ns 的 SW 节点上升，该 100Ω 启动电阻实际上消除了 SW 节点过冲。在大多数情况下，这种较长的上升时间使 SW 节点谐波中的能量都能在 100MHz 附近滚降。滚降谐波可以消除许多应用中对屏蔽和共模扼流圈的需求。请注意，上升时间随着输入电压的增加而延长。随着 RBOOT 电阻升高，存储电荷产生的噪声也显著降低。采用较低压摆率切换也会降低效率。

8.3.8 展频

展频由引脚控制。展频的目的是通过在比具有固定频率运行的器件更宽的频率范围内分散这些发射来消除特定频率下的峰值发射。在包含芯片的大多数系统中，可以轻松过滤开关频率前几个谐波的低频传导发射。更困难的设计标准是减少 FM 频带中较高谐波的发射。这些谐波通常通过开关节点和电感器周围的电场耦合到环境中。该器件使用 ±2% 的频率展频，该展频在 FM 和 TV 频带内平滑传播能量，但足够小，能够将次谐波发射限制在器件开关频率以下。器件开关频率下的峰值发射仅略微降低不到 1dB，而 FM 频带中的峰值通常降低超过 6dB。

该器件使用基于线性反馈移位寄存器 (LFSR) 的逐周期跳频方法。这款智能假随机发生器可限制逐周期频率变化，从而限制输出纹波。假随机模式以低于 1.5Hz 的频率重复，该频率低于音频频带。

展频仅在器件时钟以其固有频率自由运行时才可用。以下任一条件都会覆盖展频，从而将其关闭：

- 时钟在压降期间变慢。
- 在自动模式下，时钟在轻负载时变慢。在 FPWM 模式下，即使没有负载，展频也处于活动状态。
- 在高输入电压/低输出电压比条件下，当器件以最短导通时间运行时，内部时钟会变慢，从而禁用展频。请参阅 *节 7.6*。
- 该时钟与外部时钟同步。

8.3.9 软启动和从压降中恢复

该器件使用基于基准的软启动，可防止启动期间输出电压过冲和大浪涌电流。软启动由以下任一条件触发：

- 为 IC 的 VIN 引脚供电，释放 UVLO。
- 使用 EN 打开器件。
- 从断续等待期恢复。

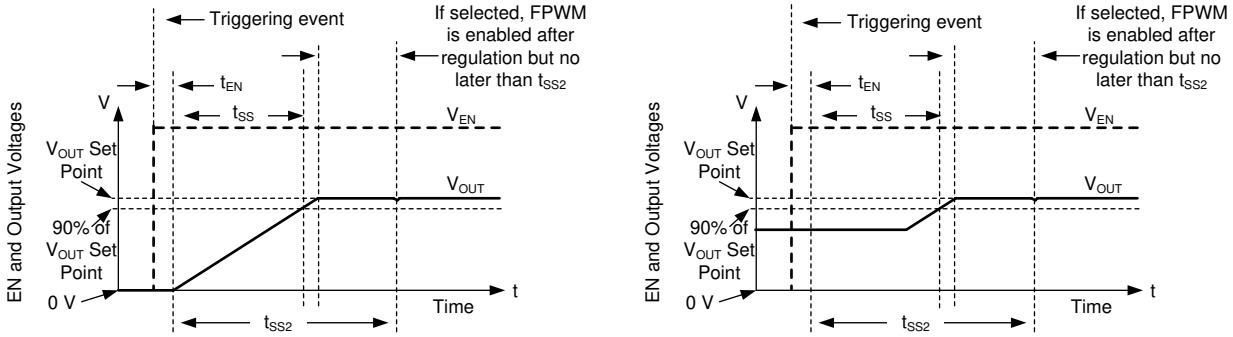
Copyright © 2023 Texas Instruments Incorporated

- 由于过热保护而从关断状态恢复。

触发软启动后，IC 将执行以下操作：

- IC 用来调节输出电压的基准缓慢升高。最终结果是，输出电压需要 t_{SS} 达到所需值的 90%。
- 工作模式设置为自动，从而激活二极管仿真。这样在输出端已存在电压时，无需将输出拉低即可启动。

总之，这些操作可在浪涌电流受限的情况下实现启动，还允许使用更大的输出电容器和更高的负载条件，从而使电流在启动期间接近电流限值而不会触发断续。请参阅图 8-15。



软启动运行时，输出电压可以从 0V 开始，如左侧曲线所示；也可以从已存在的电压开始，如右图所示。无论哪种情况，输出电压必须在软启动后的 t_{SS} 时间达到所需值的 10% 以内。软启动期间，FPWM 和断续模式处于禁用状态。一旦输出达到稳压或 t_{SS2}（以先发生的时间为准），断续和 FPWM 模式均会启用。

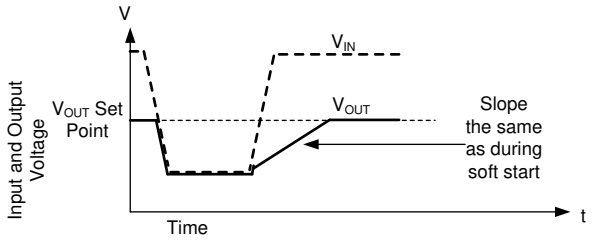
图 8-15. 软启动运行

只要输出电压下降超过几个百分点，输出电压就会缓慢升高。这种情况称为从压降中恢复，与软启动的区别主要体现在三个方面：

- 基准电压设置为比实现当前输出电压所需的值高出大概 1%。
- 如果输出电压低于其设定点的 0.4 倍，则允许断续。请注意，压降调节期间会抑制断续。
- 从压降中恢复期间允许 FPWM 模式。如果输出电压突然被一个外部电源上拉，该器件可在输出端下拉。

尽管这称为从压降中恢复，但只要输出电压降至比设定点低几个百分点，此功能就会激活。这主要在以下条件下发生：

- 压降：当输入电压不足以生成所需的输出电压时
- 过流：当发生严重程度不足以触发断续模式的过流事件时



无论是由于高负载还是低输入电压导致输出电压下降，一旦导致输出降至其设定点以下的条件消除，输出就会以与启动期间相同的速度爬升。尽管不会由于压降而触发断续，但如果输出电压低于输出设定点的 0.4 倍且持续时间超过 128 个时钟周期，则原则上可以在恢复期间触发断续。

图 8-16. 从压降中恢复

Copyright © 2023 Texas Instruments Incorporated

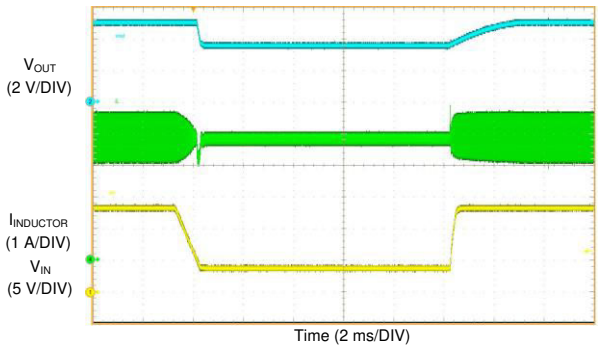


图 8-17. 从压降中恢复（V_{OUT} = 5V，I_{OUT} = 4A，V_{IN} = 13.5V 至 4V 至 13.5V）

8.3.10 输出电压设置

反馈电阻分压器网络来设置输出电压电平。请参阅图 8-18。

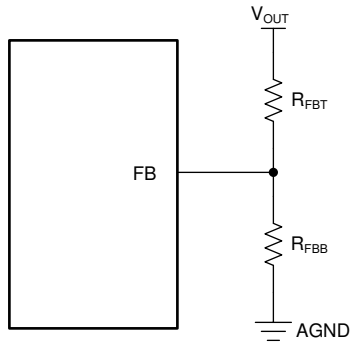


图 8-18. 设置可调版本的输出电压

该器件为反馈 (FB) 引脚提供 1V 基准电压。FB 引脚电压由内部控制器调节为与基准电压相同。然后通过电阻分压器的比率设置输出电压电平。公式 3 可用于确定所需输出电压的 R_{FBB} 和给定 R_{FBT}。R_{FBT} 通常介于 10kΩ 和 1MΩ 之间。建议 R_{FBT} 为 100kΩ，与 1MΩ 相比可提高抗噪性能，与较低电阻值相比可降低电流消耗。

$$R_{FBB} = \frac{R_{FBT}}{V_{OUT} - 1} \tag{2}$$

此外，可能需要一个与 R_{FBT} 并联的前馈电容器 C_{FF} 来优化瞬态响应。

8.3.11 过流和短路保护

该器件通过针对高侧和低侧 MOSFET 的逐周期电流限制在过流情况下得到保护。

高侧 MOSFET 过流保护是通过峰值电流模式控制的特性来实现的。当高侧开关在较短的消隐时间后导通时，将检测到高侧开关电流。在每个开关周期，将高侧开关电流与固定电流设定点的最小值，或与电压调节环路的输出减去斜率补偿之后的值进行比较。由于电压环路具有最大值并且斜率补偿随占空比增加，因此当占空比高于 35% 时，高侧电流限值会随着占空比的增加而减小。

Copyright © 2023 Texas Instruments Incorporated

当低侧开关接通时，也会检测和监控开关电流。与高侧器件一样，低侧器件会根据电压控制环路低侧电流限值的命令关断。如果低侧开关电流在开关周期结束时高于 I_{LS_Limit}，则开关周期会延长，直到低侧电流降至限值以下。一旦低侧电流降至其限值以下，低侧开关就会关断，并且只要自高侧器件上次导通后至少经过一个时钟周期，高侧开关就会再次导通。

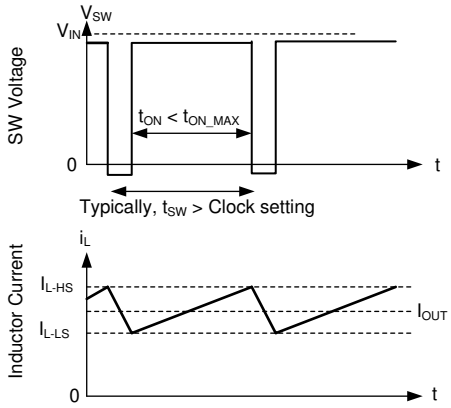


图 8-19. 电流限值波形

由于电流波形假定值介于 I_{L-HS} 和 I_{L-LS} 之间，因此最大输出电流非常接近这两个值的平均值。使用了迟滞控制，并且当输出电压接近零时，电流不会增加。

如果存在极端过载情况，该器件会采用断续过流保护，并且在连续 128 个开关周期内满足以下条件：

- 输出电压低于输出电压设定点的约 0.4 倍。
- 自软启动开始以来，经过了大于 t_{SS2} 的时间；请参阅 *节 8.3.9*。
- 该器件不在压降下运行，表明具有最短关断时间受控占空比。

在断续模式下，器件会自行关断，并在 t_W 后尝试软启动。断续模式有助于在严重过流和短路情况下降低器件功耗。请参阅图 8-20。

一旦消除过载，器件就会像在软启动中一样恢复；请参阅图 8-21。

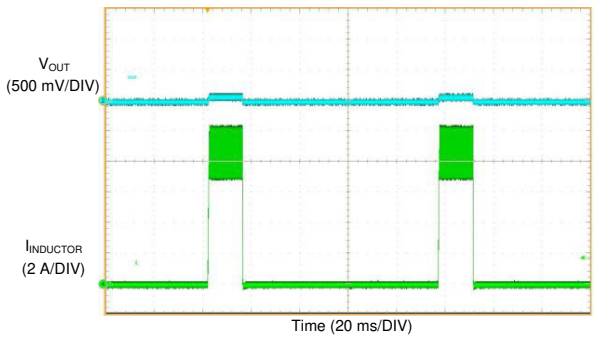


图 8-20. 断续期间的电感器电流突发

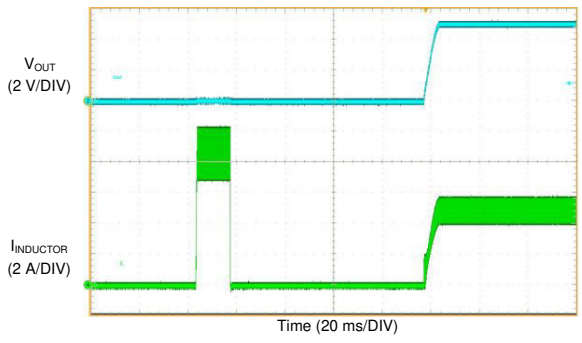


图 8-21. 短路恢复

8.3.12 热关断

当 IC 结温超过 165°C（典型值）时，热关断通过关闭内部开关来防止器件达到极端结温。低于 158°C 时不会触发热关断。发生热关断后，迟滞会阻止器件开关，直到结温降至约 155°C。当结温降至低于 155°C（典型值）时，器件会尝试软启动。

Copyright © 2023 Texas Instruments Incorporated

当器件由于结温过高而关断时，继续向 VCC 供电。为了防止由于对 VCC 施加短路而导致过热，为 VCC 供电的 LDO 降低了电流限制，而器件因高结温而被禁用。在热关断期间，VCC 电流限制降至几毫安。

8.3.13 输入电源电流

该器件设计为在调节轻负载时具有非常低的输入电源电流。这是通过从输出端为大量内部电路供电来实现。BIAS 引脚是 LDO 的输入端，可为大多数控制电路供电。通过将 BIAS 输入引脚连接到稳压器的输出端，可从输出端汲取少量电流。该电流在输入端按 V_{OUT}/V_{IN} 的比率降低。

$$I_{Q_VIN} = I_Q + I_{EN} + (I_{BIAS} + I_{div}) \frac{\text{Output Voltage}}{\eta_{eff} \times \text{Input Voltage}} \quad (3)$$

其中

- I_{Q_VIN} 是空载时运行（开关）降压转换器消耗的电流。
- I_Q 是从 V_{IN} 端子汲取的电流。请参阅 *节 7.5* 中的 I_Q。
- I_{EN} 是 EN 端子汲取的电流。如果 EN 连接到 VIN，则包括该电流。请参阅 *节 7.5* 中的 I_{EN}。请注意，如果连接到低于 5V 的电压，则该电流会降至非常低的值。
- I_{BIAS} 是 BIAS 输入汲取的偏置电流。请参阅 *节 7.5* 中的 I_{BIAS}。
- I_{div} 是用于设置输出电压的反馈分压器汲取的电流。
- η_{eff} 是降压转换器的轻负载效率，从降压转换器的输入电流中移除了 I_{Q_VIN}。η_{eff} = 0.8 是一个可在正常运行条件下使用的保守值。

8.4 器件功能模式

8.4.1 关断模式

器件的 EN 引脚可提供电气开/关控制功能。当 EN 引脚电压低于 0.4V 时，转换器和内部 LDO 均无输出电压，器件处于关断模式。在关断模式下，静态电流降至 0.6μA（典型值）。

8.4.2 待机模式

内部 LDO 的 EN 阈值低于转换器的输出。当 EN 引脚电压高于 1.1V（最大值）且低于输出电压的精密使能阈值时，内部 LDO 将 VCC 电压稳定在 3.3V（典型值）。一旦 VCC 高于其 UVLO，精密使能电路就会导通。除非 EN 引脚上的电压超过其精密使能阈值，否则 SW 节点的内部功率 MOSFET 将保持关断状态。该器件还采用 UVLO 保护。如果 VCC 电压低于其 UVLO 电平，则转换器的输出将关闭。

8.4.3 工作模式

只要 EN 引脚电平比 V_{EN}、V_{IN} 足够高，满足了 $V_{IN_OPERATE}$ 要求，并且不存在其他故障条件，该器件就处于工作模式。使之工作的最简单方法是将 EN 引脚连接到 V_{IN}，这样可以在施加的输入电压超过最小 $V_{IN_OPERATE}$ 时实现自启动。

在工作模式下，根据负载电流、输入电压和输出电压，器件有六种工作模式：

- 连续导通模式 (CCM)：负载电流大于电感器电流纹波的一半时，开关频率固定。
- 自动模式 - 轻负载运行：在超轻负载下开关频率降低时为 PFM。
- FPWM 模式 - 轻负载运行：负载电流低于电感器电流纹波的一半时为断续导通模式 (DCM)。
- 最短导通时间：在高输入电压、低输出电压下，开关频率会降低以保持稳压。
- 压降模式：降低开关频率以更大限度地减小压降时采用该模式。

8.4.3.1 CCM 模式

有关器件的以下运行说明，请参阅 *节 8.2* 和图 8-22 中的波形。在 CCM 中，该器件以变化的占空比 (D) 打开内部高侧 (HS) 和低侧 (LS) NMOS 开关，从而提供稳定的输出电压。在 HS 开关导通期间，SW 引脚电压 V_{SW} 摆动至大约 V_{IN}，电感器电流 I_L 以线性斜率增加。HS 开关由控制逻辑关闭。在 HS 开关关闭时间 t_{OFF}，LS 开关打开。电感器电流通过 LS 开关放电，这会强制 V_{SW} 通过 LS 开关两端的压降摆动到地电位以下。转换器环路调节占空比以保持恒定的输出电压。D 由 HS 开关在开关周期内的导通时间定义：

Copyright © 2023 Texas Instruments Incorporated

$$D = T_{ON} / T_{SW} \quad (4)$$

在忽略损耗的理想降压转换器中，D 与输出电压成正比，与输入电压成反比：

$$D = V_{OUT} / V_{IN} \quad (5)$$

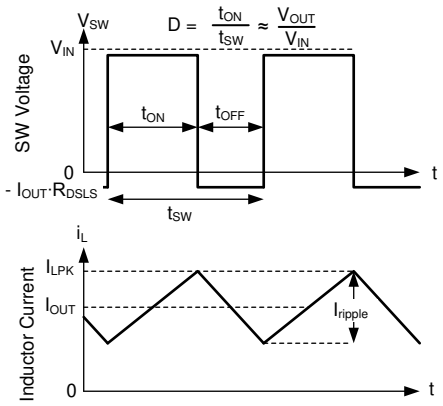


图 8-22. 连续导通模式 (CCM) 下的 SW 电压和电感器电流波形

8.4.3.2 自动模式 - 轻负载运行

该器件在轻负载时有两种运行模式。一种称为自动模式运行，可在重负载和高效轻负载情况下实现正常电流模式运行之间的无缝转换。另一种称为 FPWM 模式，即使在空载时也能保持满频率。器件以哪种模式运行取决于所采用的出厂选项，请参阅 *节 5*。请注意，当频率与外部信号同步时，所有器件都以 FPWM 模式运行。

在自动模式下，器件在负载低于大概十分之一的额定最大输出电流时采用轻负载运行。轻负载运行采用两种技术来提高效率：

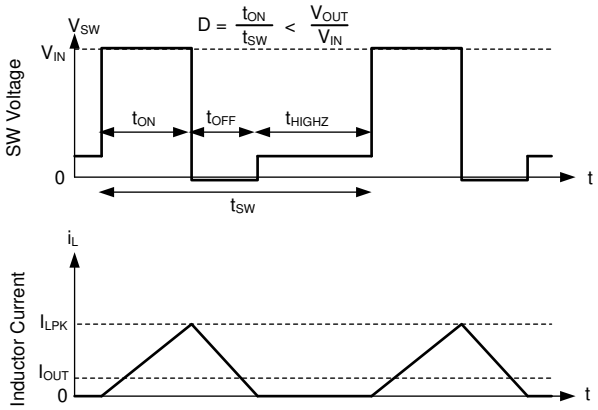
- 二极管仿真，支持 DCM 运行
- 降频

请注意，虽然这两个特性相互配合来实现出色的轻负载运行，但它们是彼此独立的。

8.4.3.2.1 二极管仿真

二极管仿真可防止反向电流通过电感器，这需要较低的频率来调节给定的固定峰值电感器电流。二极管仿真还会随着频率的降低而限制纹波电流。在峰值电流固定的情况下，随着输出电流降至零，频率必须降至接近零以保持稳定。

Copyright © 2023 Texas Instruments Incorporated



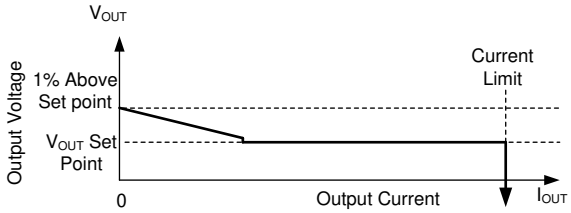
在自动模式下，一旦 SW 节点电流接近零，低侧器件就会关闭。因此，在运行二极管仿真时，一旦输出电流小于 CCM 模式中电感器纹波的一半，该器件就会以 DCM 模式运行。

图 8-23. PFM 运行

该器件在自动模式下具有最小峰值电感器电流设置。一旦电流在固定输入电压下降至低电平，导通时间恒定。然后，通过调整频率来实现稳压。这种工作模式称为 PFM 模式稳压。

8.4.3.2.2 降频

只要输出电压为高电平，该器件就会降低频率。只要内部信号 Comp 为低电平并且 FB 的稳压设定点与施加到 FB 的电压之间存在偏差，就会启用此功能。最终结果是，在自动模式下轻负载运行时的输出阻抗比正常工作时大。当器件完全空载时，输出电压必须大约为 1% 高电平。



在自动模式下，一旦输出电流低于器件大概 1/10 的额定电流，输出电阻会增加，以便在降压转换器完全空载时输出电压为 1% 高电平。

图 8-24. 自动模式下稳态输出电压与输出电流间的关系

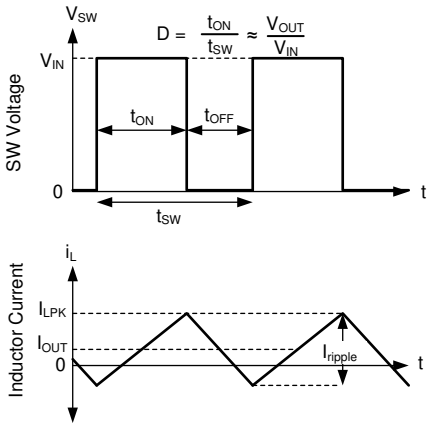
在 PFM 模式下运行时，需要在输出电压上提供小幅的直流正偏移量来激活 PFM 检测器。PFM 中的频率越低，V_{OUT} 上所需的直流偏移量就越大。如果 V_{OUT} 上的直流偏移量不可接受，则可以在 V_{OUT} 或 FPWM 模式下使用虚拟负载来减少或消除此偏移量。

Copyright © 2023 Texas Instruments Incorporated

8.4.3.3 FPWM 模式 - 轻负载运行

与自动模式运行类似，轻负载运行期间的 FPWM 模式运行也被选为出厂选项。

在 FPWM 模式下，频率在轻负载时保持不变。为了保持频率，允许有限的反向电流流过电感器。反向电流受反向电流限制电路限制，有关反向电流限制值，请参阅 节 7.5。



在 FPWM 模式下，即使 I_{OUT} 小于 I_{ripple} 的一半，也可实现连续导通 (CCM)。

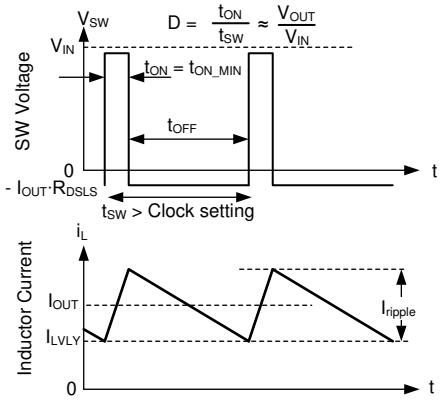
图 8-25. FPWM 模式运行

对于所有器件，在 FPWM 模式下，如果输出电压足够高，即使在轻负载时也能实现最短导通时间，则频率降低仍然可用，从而在涉及上拉输出的故障期间实现良好的行为。

8.4.3.4 最短导通时间（高输入电压）运行

即使输入电压与输出电压比要求导通时间小于具有给定时钟设置的芯片的最短导通时间，器件也会继续调节输出电压。这通过使用谷值电流控制来实现。补偿电路始终决定最大峰值电感器电流和最大谷值电感器电流。如果由于任何原因超过谷值电流，则时钟周期会延长，直到谷值电流降至补偿电路确定的值以下。如果转换器未在电流限制下运行，则最大谷值电流设置为高于峰值电感器电流，以防止使用谷值控制，除非无法仅使用峰值电流进行调节。如果输入电压与输出电压比过高，即使电流超过补偿规定的峰值，高侧器件也无法足够快地关断以调节输出电压。因此，补偿电路可降低峰值电流和谷值电流。一旦补偿电路选择了足够低的电流，谷值电流就会与补偿电路所要求的电流相匹配。在这些条件下，低侧器件保持导通状态，并阻止下一个时钟周期启动，直到电感器电流降至所需的谷值电流以下。由于导通时间固定为最小值，因此这种类型的运行与使用 COT 控制方案的器件的运行类似；请参阅图 8-26。

Copyright © 2023 Texas Instruments Incorporated

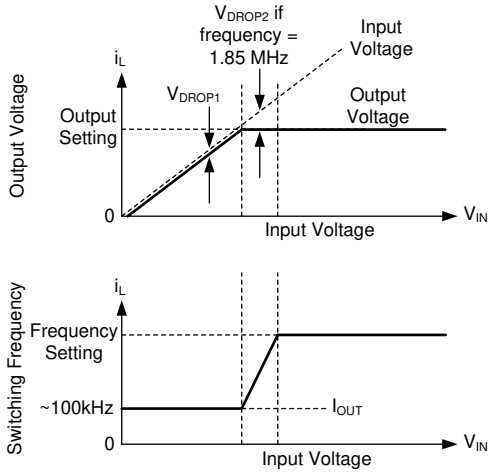


在谷值控制模式下，调节最小电感器电流，而不是峰值电感器电流。

图 8-26. 谷值电流模式运行

8.4.3.5 压降

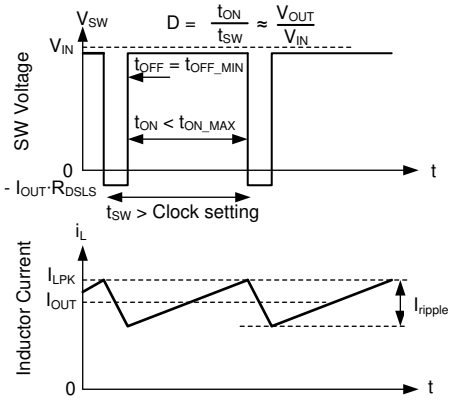
压降运行被定义为任何需要频率下降以实现所需占空比的输入/输出电压比。在给定的时钟频率下，占空比受最短关断时间的限制。一旦达到该限值，如果保持时钟频率，输出电压将下降。该器件不允许输出电压下降，而是将导通时间延长到时钟周期结束后，直至达到所需的峰值电感器电流。一旦达到峰值电感器电流或一旦经过大约 9µs 的预定最大导通时间 t_{ON_MAX}，时钟就可以开始一个新的周期。因此，一旦由于存在最短关断时间，所需占空比无法在所选时钟频率下实现，频率就会下降以保持稳定。如果输入电压足够低，即使在导通时间为 t_{ON_MAX} 时也无法调节输出电压，则输出电压会降至略低于输入电压 V_{DROP1}。有关从压降中恢复的更多信息，请参阅图 8-16。



输出电压和频率与输入电压间的关系：如果输入电压和输出电压设置之间的差异很小，IC 会降低频率以保持稳压。如果输入电压过低，无法在大约 110kHz 的频率下提供所需的输出电压，则输入电压会跟踪输出电压。

图 8-27. 压降中的频率和输出电压

Copyright © 2023 Texas Instruments Incorporated



压降时的开关波形。电感器电流需要比正常时钟更长的时间才能达到所需的峰值。因此，频率会下降。该频率下降受到 t_{ON_MAX} 的限制。

图 8-28. 压降波形

9 应用和实施

备注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

LMQ62440-Q1 直流/直流降压转换器通常用于将较高的直流电压转换为较低的直流电压，最大输出电流为 4A。在 400kHz 下使用 4 层 LMQ62440EVM，该器件可以在大概 95°C 的环境温度下维持 6A 持续负载；请参阅图 9-2。如果环境温度为 105°C 且频率设置为 2.1MHz，则电流必须限制为 4A；请参阅图 9-2。以下设计过程可用于为 LMQ62440-Q1 选择元件。

9.2 典型应用

图 9-1 显示了 LMQ62440-Q1 的典型应用电路。该器件旨在各种外部元件和系统参数下正常工作。但是，内部补偿针对特定的外部电感和输出电容进行了优化。表 9-2 作为快速入门指南，提供了一些常见配置的典型元件值。

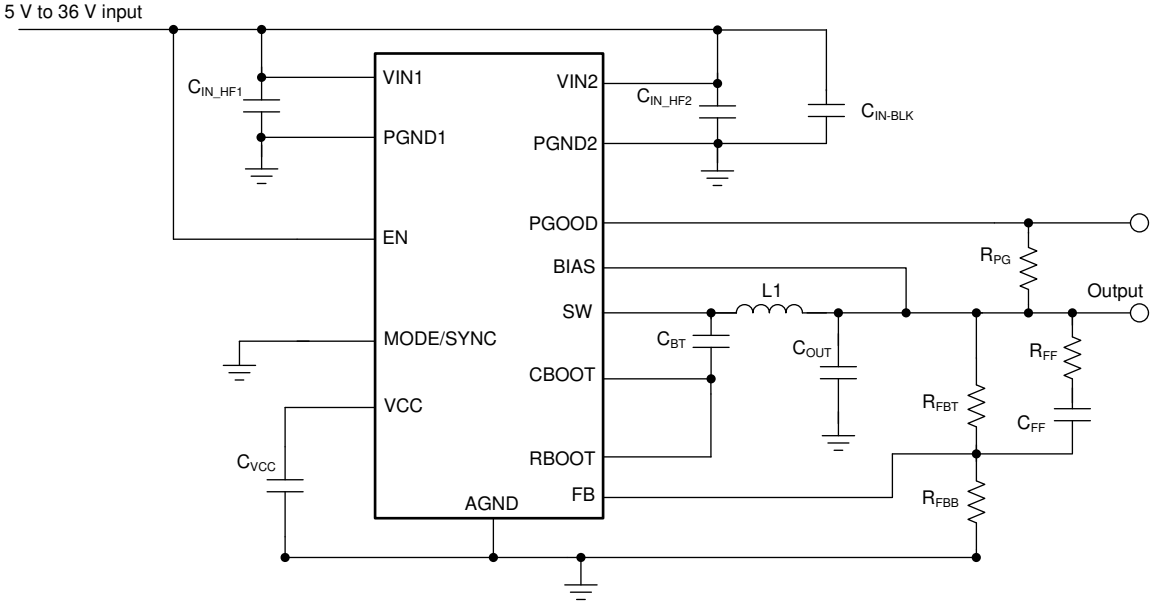


图 9-1. 示例应用电路

9.2.1 设计要求

表 9-1 提供了详细设计过程示例的参数：

表 9-1. 详细设计参数

设计参数	示例值
输入电压	13.5V（5V 至 36V）
恒定 f_{SW} 的输入电压	8V 至 18V
输出电压	5V
最大输出电流	0A 至 4A
开关频率	2.1MHz

Copyright © 2023 Texas Instruments Incorporated

表 9-2. 典型外部组件值

f_{SW} (kHz)	V_{OUT} (V)	L1 (µH)	C_{OUT} (额定值)	R_{FBT} (kΩ)	R_{FBB}(kΩ)	C_{BOOT} (µF)	R_{BOOT} (Ω)	C_{VCC} (µF)	C_{FF} (pF)	R_{FF} (kΩ)
2100	3.3	1.5	3 × 22µF 陶瓷电容器	100	43.2	0.1	0	1	10	1
400	3.3	8.2	4 × 22µF 陶瓷电容器	100	43.2	0.1	0	1	4.7	1
2100	5	1.5	2 × 22µF 陶瓷电容器	100	24.9	0.1	0	1	22	1
400	5	8.2	3 × 22µF 陶瓷电容器	100	24.9	0.1	0	1	22	1

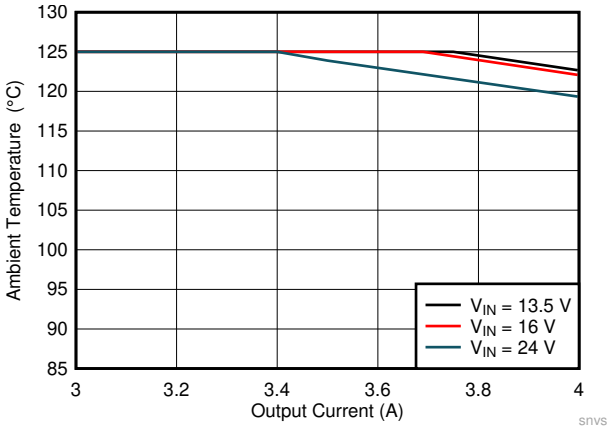
9.2.2 详细设计过程

以下设计过程适用于图 9-1 和表 9-1。

9.2.2.1 选择开关频率

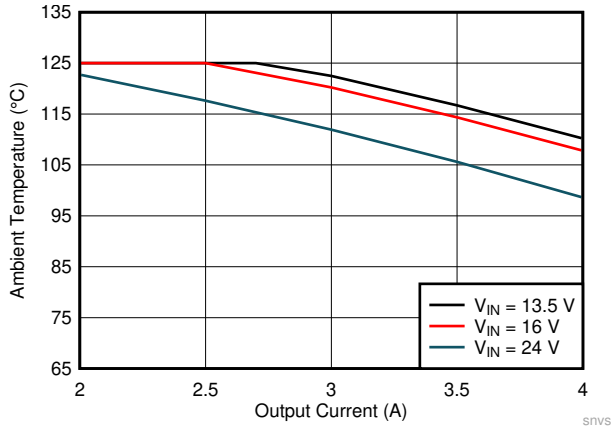
选择开关频率时需权衡转换效率和整体解决方案尺寸。较低的开关频率意味着较小的开关损耗，通常会实现更高的系统效率。不过，较高的开关频率允许使用较小的电感器和输出电容器，因此得到的设计更加紧凑。

在选择工作频率时，最重要的考虑因素是热限制。此约束通常决定频率选择。对于运行频率为 400kHz 的电路，请参阅图 9-2；对于运行频率为 2.1MHz 的电路，请参阅图 9-3。这些曲线显示了给定环境温度下、给定开关频率下可支持的输出电流大小。请注意，功率耗散取决于布局，因此虽然这些曲线是一个良好的起点，但任何设计中的热阻都将不同于用于生成图 9-2 和图 9-3 的估算值。最大额定温度基于 100mm x 80mm 的 4 层 EVM PCB 设计 LMQ62440EVM。



f_{SW} = 400kHz　PCB $R_{\theta JA}$ = 25°C/W　V_{OUT} = 5V

图 9-2. 最高环境温度与输出电流间的关系



f_{SW} = 2100KHz　PCB $R_{\theta JA}$ = 25°C/W　V_{OUT} = 5V

图 9-3. 最高环境温度与输出电流间的关系

另外两个注意事项是器件在设置频率时必须保持的最大和最小输入电压。由于 LMQ62440-Q1 会在通常无法通过最短导通时间或最短关断时间进行调节的条件下调整其频率，因此这些限制仅对于需要恒定频率运行的输入电压很重要。

如果在高输入电压下不需要折返，请使用方程式 6：

$$f_{SW} \le \frac{V_{OUT}}{V_{IN}(MAX2) \cdot t_{ON_MIN}(MAX)} \quad (6)$$

如果需要考虑低输入电压下的折返问题，请使用方程式 7：

$$f_{SW} \le \frac{V_{INeff}(MIN2) - V_{OUT}}{V_{INeff}(MIN2) \cdot t_{OFF_MIN}(MAX)} \quad (7)$$

Copyright © 2023 Texas Instruments Incorporated

其中：

- $V_{INeff}(MIN2) = V_{IN}(MIN2) – I_{OUT}(MAX) \cdot (R_{DS(ON)_HS}(MAX) + DCR(MAX))$
- DCR(MAX) = 电感器的最大 DCR
- $t_{OFF_MIN}(MAX)$ = 请参阅 节 7.5
- $R_{DS(ON)_HS}(MAX)$ = 请参阅 节 7.5

第四个限制条件是 IC 的额定频率范围。请参阅 节 7.5 中的 f_{ADJ}。在选择频率时，必须考虑上述所有限制条件：热性能、$V_{IN}(MAX2)$、$V_{IN}(MIN2)$ 和器件额定频率范围。

许多应用要求可以避开 AM 频带。这些应用往往以比 AM 频带低 400kHz 的频率或比 AM 频带高 2.1MHz 的频率运行。在本例中，选择了 400kHz。

9.2.2.2 设置输出电压

LMQ62440-Q1 的可调输出电压器件型号通过电阻分压器网络从外部调节。建议的输出电压范围如 节 7.3 所示。分压器网络由 R_{FBT} 和 R_{FBB} 组成，并闭合输出电压与转换器之间的环路。转换器通过保持 FB 引脚上的电压与内部基准电压 V_{REF} 相等来调节输出电压。分压器的电阻是噪声拾取过多和输出负载过大之间的折衷。较小的电阻值会降低噪声灵敏度，但也会降低轻负载效率。R_{FBT} 的建议值为 100kΩ，最大值为 1MΩ。如果为 R_{FBT} 选择了 1MΩ，那么必须在此电阻器上使用前馈电容器来提供足够的环路相位裕度（请参阅 节 9.2.2.10）。选择 R_{FBT} 后，根据方程式 2 选择 R_{FBB}。V_{REF} 的标称值为 1V。对于该 5V 示例，选择 R_{FBT} = 100kΩ 且 R_{FBB} = 24.9kΩ。

对于固定输出电压版本，FB 直接连接到输出电压节点，最好靠近输出电容器顶部。如果反馈点距离输出电容器较远（即遥感），则检测点可能需要一个 100nF 的小型电容器。

9.2.2.3 电感器选型

电感值和饱和电流是选择电感器的参数。电感值基于理想的纹波电流峰峰值得出，通常选择为最大输出电流的 20% 至 40% 范围。经验表明，对于具有固定输入电压的系统，电感纹波电流的最佳值为最大负载电流的 30%；对于具有可变输入电压的系统，例如汽车中的 12 伏电池，则为 25%。请注意，当为最大负载远小于器件可用最大值的应用选择纹波电流时，仍必须使用最大器件电流。方程式 8 可用于确定电感值。常数 K 是电感器电流纹波的百分比。本例中选择了 K = 0.25 并得出了大约 2µH 的电感。选择的下一个标准值为 1.5µF。

$$L = \frac{V_{IN} – V_{OUT}}{f_{SW} \cdot K \cdot I_{OUT}(MAX)} \cdot \frac{V_{OUT}}{V_{IN}} \tag{8}$$

电感器的饱和电流额定值必须至少与高侧开关电流限制 $I_{L\text{-}HS}$ 相等（请参阅 节 7.5）。这可确保即使在输出短路期间电感器也不会饱和。当电感磁芯材料饱和时，电感下降到一个非常低的值，导致电感电流上升非常快。虽然谷值电流限值 $I_{L\text{-}LS}$ 旨在降低电流耗尽的风险，但饱和电感器会使电流迅速上升到高电平。这可能会导致元件损坏；请勿使电感器饱和。采用铁氧体磁芯材料的电感器具有非常硬的饱和特性，但通常比铁粉磁芯具有更低的磁芯损耗。铁粉磁芯具有软饱和，允许在一定程度上放宽电感器的额定电流。但在通常高于 1MHz 的频率下，它们具有更多的内芯损耗。在任何情况下，电感器饱和电流不得小于器件的高侧电流限制 $I_{L\text{-}HS}$（请参阅 节 7.5）。为了避免次谐波振荡，电感值不得小于方程式 9 中给出的值。最大电感值受到电流模式控制正确执行所需的最小电流纹波的限制。作为经验法则，在正常情况下，最小电感器波纹电流必须不少于器件最大额定电流的约 10%。

$$L \geq 0.5 \cdot \frac{V_{OUT}}{f_{SW}} \tag{9}$$

方程式 9 假设本设计必须在输入电压接近或处于压降时运行。如果本设计的最低工作电压足够高，可将占空比限制在 40% 以下，方程式 8 可用于代替方程式 9。

请注意，如果选择大于使用方程式 8 和方程式 9 计算得出的最小电感的电感器，则会导致限制输出纹波所需的输出电容减少，但需要更多的输出电容来管理大型负载瞬变。请参阅 节 9.2.2.4

Copyright © 2023 Texas Instruments Incorporated

9.2.2.4 输出电容器选型

输出电容器的值和及其 ESR 决定了输出电压纹波和负载瞬态性能。输出电容器通常由负载瞬态要求决定，而不是由输出电压纹波决定。表 9-3 可用于为一些常见应用查找输出电容器和 C_{FF} 选择。请注意，1kΩ 的 R_{FF} 可与 C_{FF} 串联使用，以进一步改善噪声性能。在此示例中，需要改善瞬态性能，将 2 个 47µF 陶瓷作为输出电容器，将 22pF 陶瓷作为 C_{FF}。

表 9-3. 建议的输出陶瓷电容器和 C_{FF} 值

频率	瞬态性能	3.3V 输出		5V 输出	
		陶瓷输出电容	C_{FF}	陶瓷输出电容	C_{FF}
2.1MHz	最小值	3 x 22µF	10pF	2 x 22µF	22pF
2.1MHz	更好的瞬态	2 x 47µF	33 pF	3 x 22µF	33 pF
400kHz	最小值	4 x 22µF	4.7pF	3 x 22µF	10pF
400kHz	更好的瞬态	5 x 22µF	33 pF	4 x 22µF	33 pF

为了更大程度地减小陶瓷电容，可将低 ESR 电解电容器与最小陶瓷电容并联使用。表 9-4 显示了使用电解电容器时建议的输出陶瓷电容 C_{FF} 值，可以根据这些值开始设计输出电解电容器。

表 9-4. 建议的电解和陶瓷电容器以及 C_{FF} 值

频率	瞬态性能	3.3V 输出		5V 输出	
		C_{OUT}	C_{FF}	C_{OUT}	C_{FF}
400kHz	最小值	2 个 22µF 陶瓷 + 1 个 470µF 100mΩ 电解	10pF	2 个 22µF 陶瓷 + 1 个 470µF 100mΩ 电解	10pF
400kHz	更好的瞬态	4 个 22µF 陶瓷 + 2 个 280µF 100mΩ 电解	33 pF	3 个 22µF 陶瓷 + 1 个 560µF 100mΩ 电解	22pF

大多数陶瓷电容器提供的电容远小于电容器的额定值。务必检查所选的任何电容器的初始精度、温度降额和电压降额。生成的表 9-3 和表 9-4 假定 16V X7R 汽车级电容器的降额为典型降额。如果使用电压较低、非汽车级或额定温度较低的电容器，则可能需要比所列数目更多的电容器。

9.2.2.5 输入电容器选择

除了提供纹波电流并将开关噪声与其他电路隔开之外，陶瓷输入电容器还为转换器提供了一个低阻抗源。该器件的输入端需要最低 10µF 的陶瓷电容。必须至少为应用所需的最大输入电压设置该额定值；该值最好为最大输入电压的两倍。可以增大该电容以帮助降低输入电压纹波，并在负载瞬态期间保持输入电压。此外，必须在紧邻转换器的每个输入/接地引脚对（VIN1/PGND1 和 VIN2/PGND2）使用一个小外壳尺寸的 100nF 陶瓷电容器。这为器件内部的控制电路提供了高频旁路。这些电容器还可抑制 SW 节点振铃，从而降低 SW 节点上的最大电压和 EMI。两个 100nF 电容器必须也具有 50V 的额定电压，并且具有 X7R 或更好的电介质。VQFN-HR (RJR) 封装在其两侧提供两个输入电压引脚和两个电源地引脚。这样可以拆分输入电容器，并针对内部功率 MOSFET 实现正确放置，从而提高输入旁路的有效性。在此示例中，使用了两个 4.7µF 和两个 100nF 陶瓷电容器，每个 VIN/PGND 位置各一个。也可以在封装的一侧使用单个 10µF。

很多时候，最好且有必要在输入端使用与陶瓷电容器并联的电解电容器，使用长引线或布线将输入电源连接到转换器时尤其如此。该电容器的中等 ESR 有助于抑制由长电源引线引起的输入电源上的任何振铃。使用这个额外的电容器还有助于处理由具有异常高阻抗的输入电源引起的瞬时电压骤降。

大多数输入开关电流流经陶瓷输入电容器。该电流的近似最坏情况 RMS 值可根据方程式 10 进行计算，必须根据制造商的最大额定值进行检查。

$$I_{RMS} \approx \frac{I_{OUT}}{2} \tag{10}$$

9.2.2.6 BOOT 电容器

该器件需要一个自举电容器连接在 CBOOT 引脚与 SW 引脚之间。此电容器存储的能量用于为高侧功率 MOSFET 的栅极驱动器供电。需要一个 100nF 的优质 (X7R) 陶瓷电容器，电压至少为 10V。

Copyright © 2023 Texas Instruments Incorporated

9.2.2.7 启动电阻器

可在 CBOOT 和 RBOOT 引脚之间连接一个启动电阻器。除非 EMI 对于所设计的应用至关重要，否则会将这两个引脚短接。这些引脚之间的 100Ω 电阻器可消除过冲。即使使用 0Ω，过冲和振铃也很小，如果输入电容器放置正确，则小于 2V。一个 100Ω 的启动电阻器，对应于大约 2.7ns 的 SW 节点上升时间，并在 2MHz 时将效率降低约 0.5%。为了更大限度地提高效率，本示例选择了 0Ω。在大多数情况下，选择一个大于 100Ω 的 RBOOT 电阻值是不可取的，因为由此产生的 EMI 小幅改善不足以证明进一步降低效率是合理的。

9.2.2.8 VCC

VCC 引脚是内部 LDO 的输出，用于为转换器的控制电路供电。该输出需要在 VCC 和 AGND 之间连接一个 1μF、16V 陶瓷电容器，用于确保正常运行。通常，避免使用任何外部电路加载该输出。但是，该输出可用于为电源正常功能提供上拉电阻（请参阅 *节 8.3.4*）。在这种情况下，值为 100kΩ 的上拉电阻是一个不错的选择。请注意，当 V_{EN_WAKE} < EN < V_{EN} 时，VCC 将保持高电平。VCC 上的标称输出电压为 3.3V。请勿将该输出短接到地或任何其他外部电压。

9.2.2.9 BIAS

由于本设计中 V_{OUT} = 5V，因此 BIAS 引脚连接到 V_{OUT} 以降低 LDO 功率损耗。输出电压提供 LDO 电流，而不是输入电压。节省的功耗为 I_{LDO} × (V_{IN} – V_{OUT})。当 V_{IN} >> V_{OUT} 且工作频率较高时，功耗节省会更加显著。为避免 V_{OUT} 噪声和瞬变耦合到 BIAS，可以在 V_{OUT} 和 BIAS 之间添加介于 1Ω 和 10Ω 之间的串联电阻。可以在 BIAS 引脚附近添加一个值为 1μF 或更高的旁路电容器以滤除噪声。注意，BIAS 引脚上允许的最大电压为 16V。

9.2.2.10 C_{FF} 和 R_{FF} 选择

前馈电容器 C_{ff} 用于改善具有低 ESR 输出电容器的电路的相位裕度和瞬态响应。由于此电容器可以将电路输出端的噪声直接传导至 IC 的 FB 节点，因此必须将一个 1kΩ 电阻器 R_{ff} 与 Cff 串联。如果输出电容的 ESR 零点低于 200kHz，则不应使用 C_{ff}。

如果输出电压小于 2.5V，C_{ff} 影响不大，因此可以忽略。如果输出电压大于 14V，则不得使用 C_{ff}，因为它会在较高频率下引入过多增益。

9.2.2.11 外部 UVLO

在某些情况下，需要一个与器件内部提供的输入 UVLO 电平不同的输入电平。这可以使用图 9-4 中所示的电路来实现。器件导通时的输入电压被指定为 V_{ON}，而关断电压为 V_{OFF}。首先，R_{ENB} 阻值在 10kΩ 至 100kΩ 的范围内选择，然后使用方程式 12 计算 R_{ENT} 和 V_{OFF}。R_{ENB} 通常根据分压器必须消耗的电流来设置。可以使用方程式 11 来计算 R_{ENB}。

$$R_{ENB} = \frac{V_{EN} \cdot V_{IN}}{I_{DIVIDER} \cdot V_{ON}} \tag{11}$$

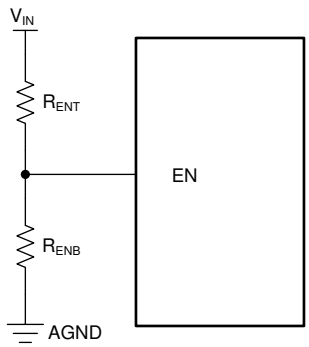


图 9-4. 使用 EN 的 UVLO

Copyright © 2023 Texas Instruments Incorporated

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN}} - 1 \right) \cdot R_{ENB}$$

$$V_{OFF} = V_{ON} \cdot (1 - V_{EN\text{-}HYST})$$

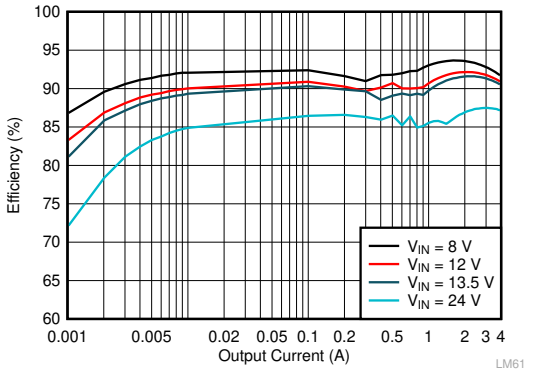
(12)

其中

- V_{ON} = V_{IN} 导通电压
- V_{OFF} = V_{IN} 关断电压
- $I_{DIVIDER}$ = 分压器电流

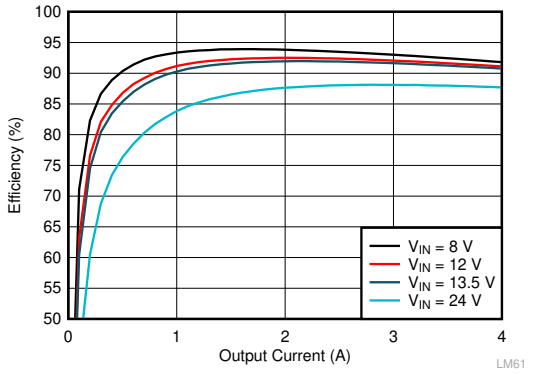
9.3 应用曲线

除非另有说明，否则以下条件适用：V_{IN} = 13.5V，T_A = 25°C。图 9-1 显示了电路，表 9-5 显示了相应 BOM。



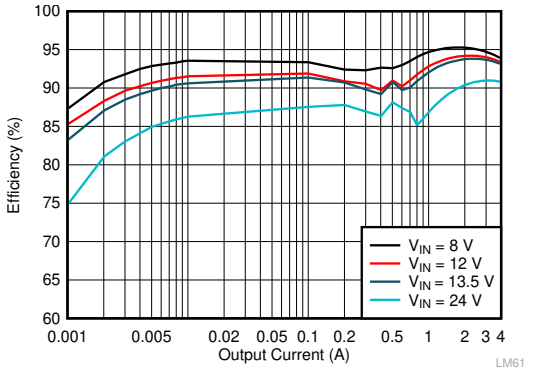
V_{OUT} = 3.3V　F_{SW} = 2100 kHz　自动模式

图 9-5. LMQ62440-Q1 效率



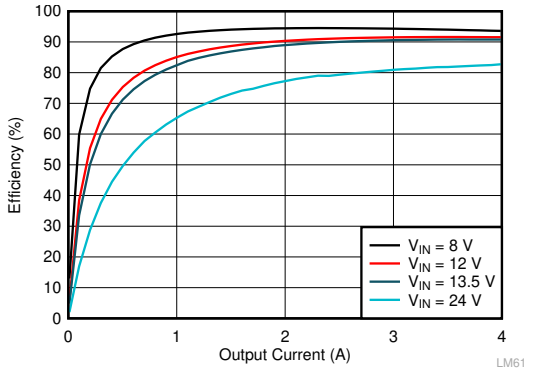
V_{OUT} = 3.3V　F_{SW} = 2100 kHz　FPWM 模式

图 9-6. LMQ62440-Q1 效率



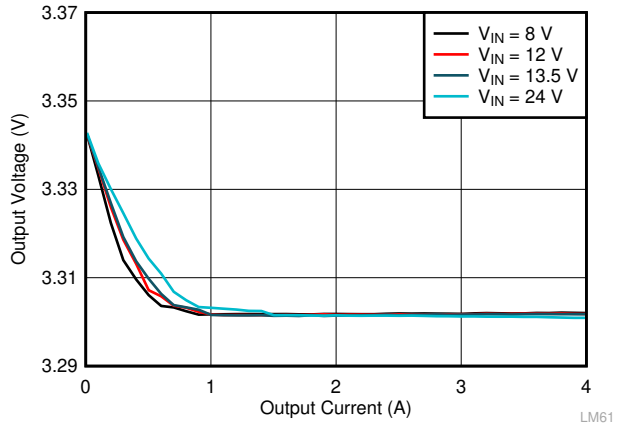
V_{OUT} = 5V　F_{SW} = 2100 kHz　自动模式

图 9-7. LMQ62440-Q1 效率



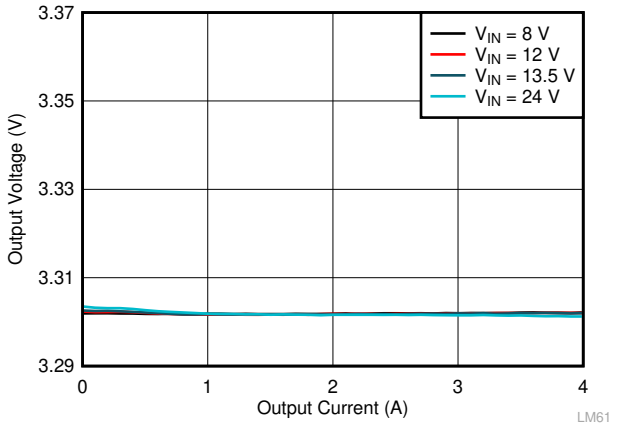
V_{OUT} = 5V　F_{SW} = 2100 kHz　FPWM 模式

图 9-8. LMQ62440-Q1 效率



V_{OUT} = 3.3V　F_{SW} = 2100 kHz　自动模式

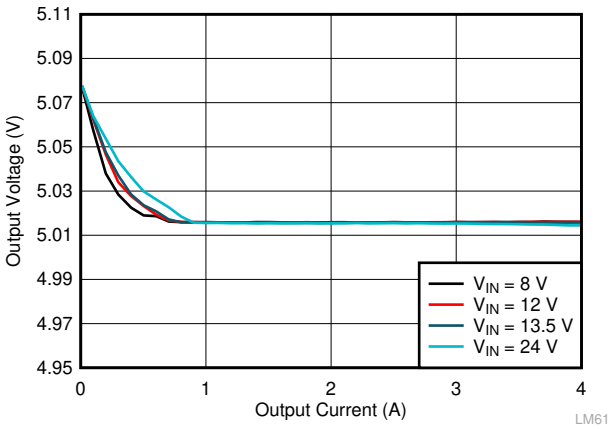
图 9-9. LMQ62440-Q1 负载和线性调整率



V_{OUT} = 3.3V　F_{SW} = 2100 kHz　FPWM 模式

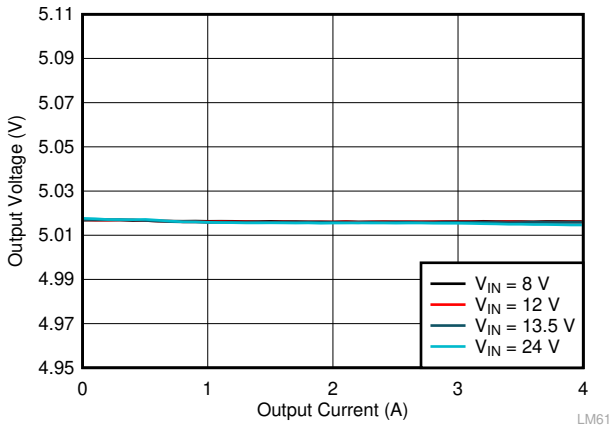
图 9-10. LMQ62440-Q1 负载和线性调整率

Copyright © 2023 Texas Instruments Incorporated



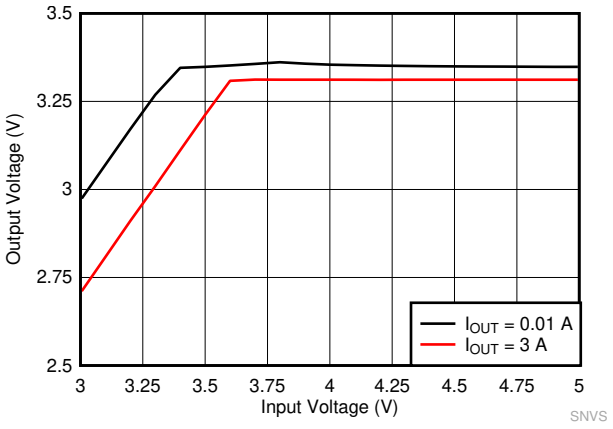
V_{OUT} = 5V F_{SW} = 2100 kHz 自动模式

图 9-11. LMQ62440-Q1 负载和线性调整率



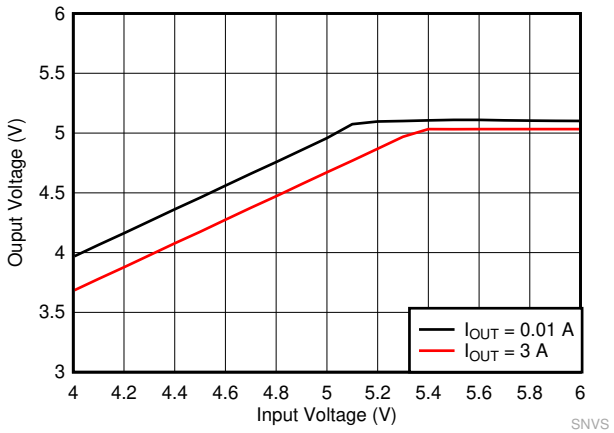
V_{OUT} = 5V F_{SW} = 2100 kHz FPWM 模式

图 9-12. LMQ62440-Q1 负载和线性调整率



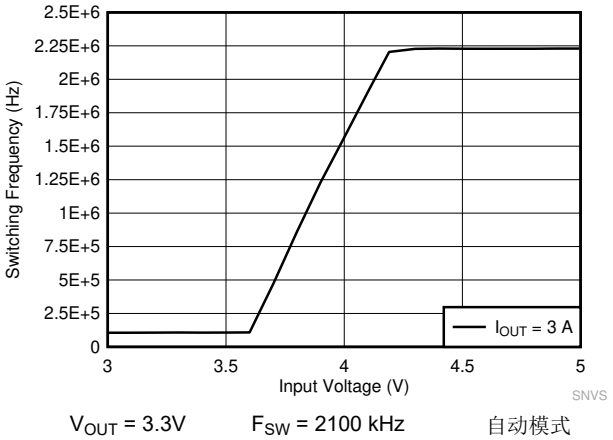
V_{OUT} = 3.3V F_{SW} = 2100 kHz 自动模式

图 9-13. LMQ62440-Q1 压降曲线



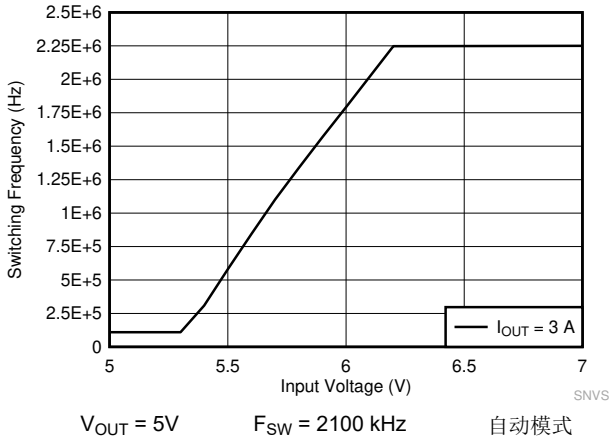
V_{OUT} = 5V F_{SW} = 2100 kHz 自动模式

图 9-14. LMQ62440-Q1 压降曲线



V_{OUT} = 3.3V F_{SW} = 2100 kHz 自动模式

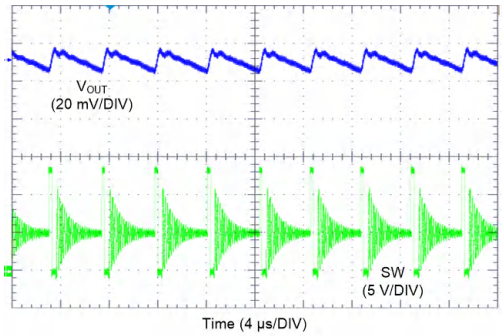
图 9-15. LMQ62440-Q1 频率压降曲线



V_{OUT} = 5V F_{SW} = 2100 kHz 自动模式

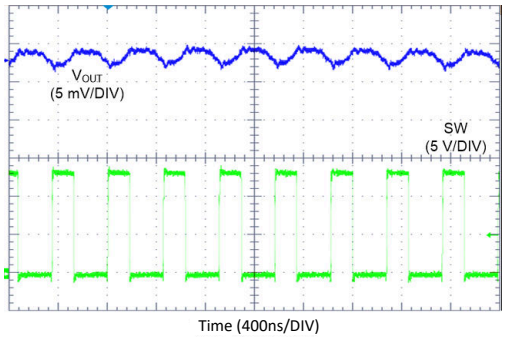
图 9-16. LMQ62440-Q1 频率压降曲线

Copyright © 2023 Texas Instruments Incorporated



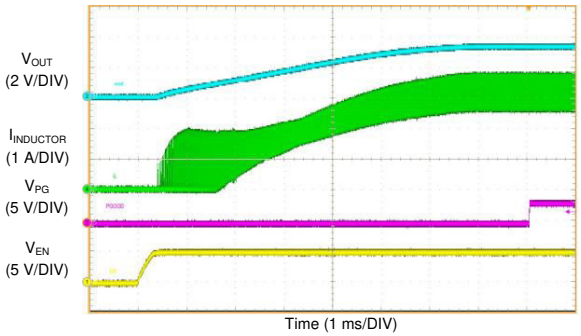
V_{OUT} = 5V　　F_{SW} = 2100 kHz　　自动模式
I_{OUT} = 100mA　　V_{IN} = 13.5V

图 9-17. LMQ62440-Q1 开关波形和 V_{OUT} 纹波



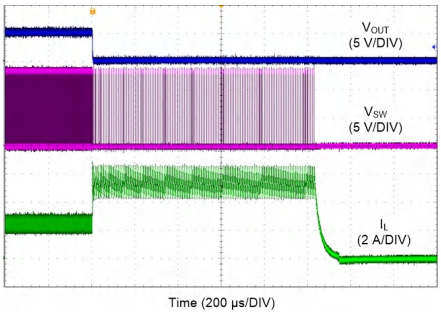
V_{OUT} = 5V　　F_{SW} = 2100 kHz　　自动模式
I_{OUT} = 4A　　V_{IN} = 13.5V

图 9-18. LMQ62440-Q1 开关波形和 V_{OUT} 纹波



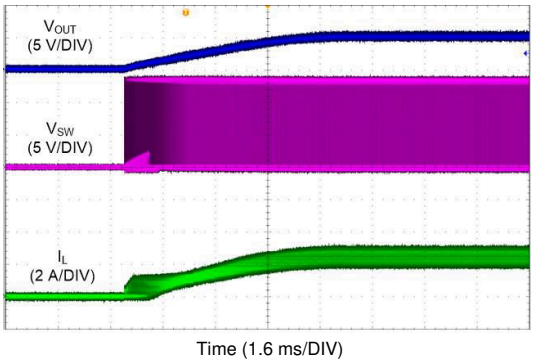
V_{OUT} = 3.3V　　F_{SW} = 2100 kHz　　FPWM 模式
I_{OUT} = 3.25 A　　V_{IN} = 13.5V

图 9-19. LMQ62440-Q1 在 3.25A 时启动



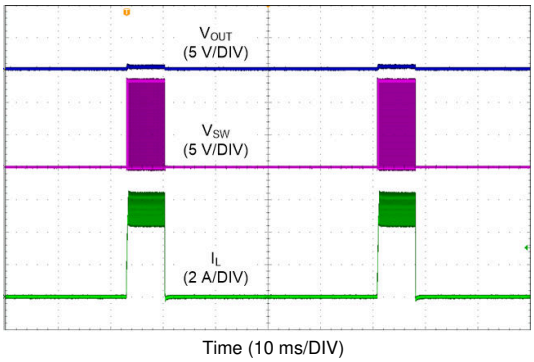
V_{OUT} = 5V　　F_{SW} = 2100 kHz　　FPWM 模式
I_{OUT} = 2.5A 到短路　　V_{IN} = 13.5V

图 9-20. LMQ62440-Q1 短路保护



V_{OUT} = 5V　　F_{SW} = 2100 kHz　　FPWM 模式
I_{OUT} = 短路到 2.5A　　V_{IN} = 13.5V

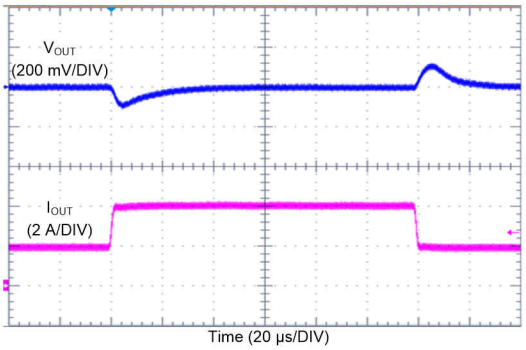
图 9-21. LMQ62440-Q1 短路恢复



V_{OUT} = 5V　　F_{SW} = 2100 kHz　　FPWM 模式
I_{OUT} = 短路　　V_{IN} = 13.5V

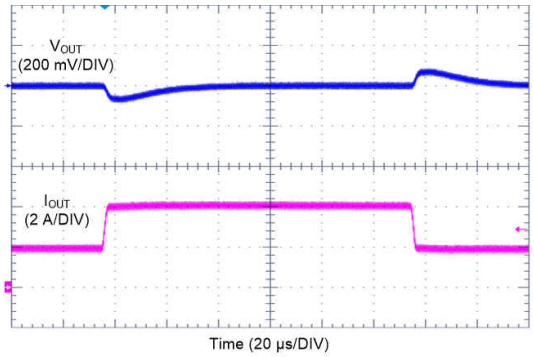
图 9-22. LMQ62440-Q1 短路性能

Copyright © 2023 Texas Instruments Incorporated



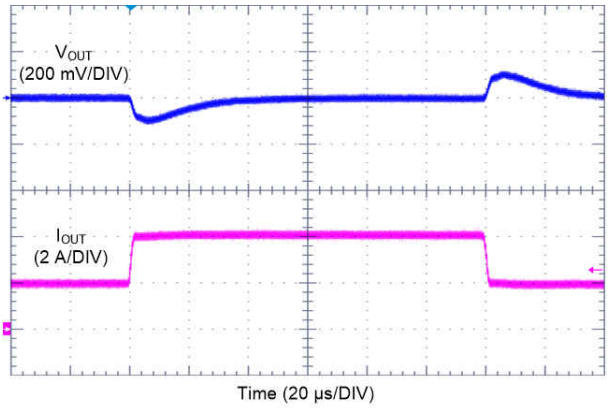
V_{OUT} = 3.3V　F_{SW} = 400 kHz　自动模式
I_{OUT} = 2A 至 4A 至 2A　V_{IN} = 13.5V　$T_R = T_F$ = 2µs

图 9-23. LMQ62440-Q1 负载瞬态



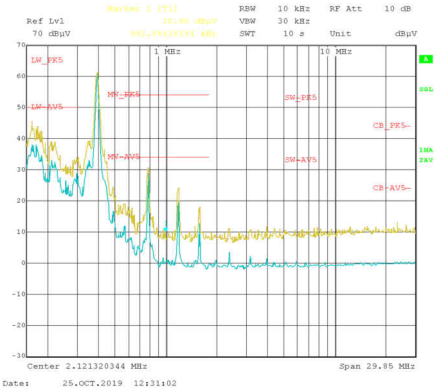
V_{OUT} = 3.3V　F_{SW} = 2100 kHz　自动模式
I_{OUT} = 2A 至 4A 至 2A　V_{IN} = 13.5V　$T_R = T_F$ = 2µs

图 9-24. LMQ62440-Q1 负载瞬态



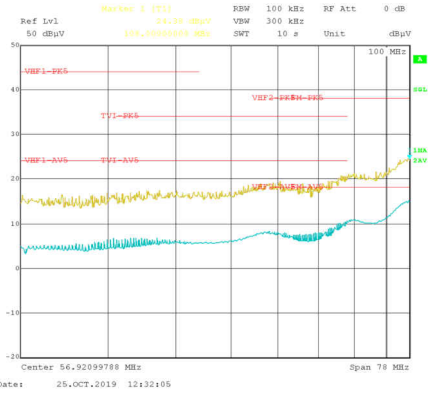
V_{OUT} = 5V　F_{SW} = 2100 kHz　自动模式
I_{OUT} = 2A 至 4A 至 2A　V_{IN} = 13.5V　$T_R = T_F$ = 2µs

图 9-25. LMQ62440-Q1 负载瞬态



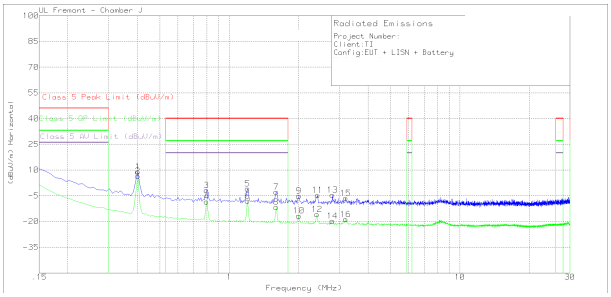
F_{SW} = 400 kHz　V_{OUT} = 5V　I_{OUT} = 5 A
测试频率：150 kHz 至 30 MHz

图 9-26. 传导 EMI 与 CISPR25 限值（黄色：峰值信号，蓝色：平均信号）



V_{OUT} = 5V　F_{SW} = 400 kHz　I_{OUT} = 5 A
测试频率：30 MHz 至 108 MHz

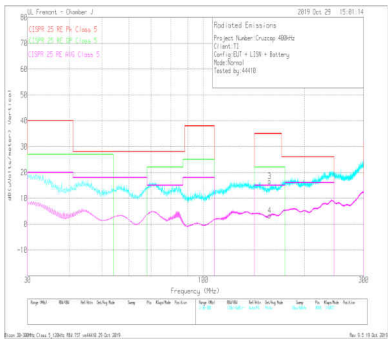
图 9-27. 传导 EMI 与 CISPR25 限值（黄色：峰值信号，蓝色：平均信号）



V_{OUT} = 5V　F_{SW} = 400 kHz　I_{OUT} = 5 A
测试频率：150 kHz 至 30 MHz

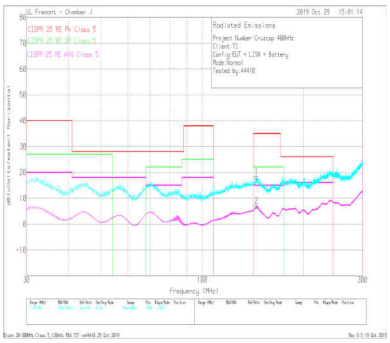
图 9-28. 辐射 EMI 杆状与 CISPR25 限值

Copyright © 2023 Texas Instruments Incorporated



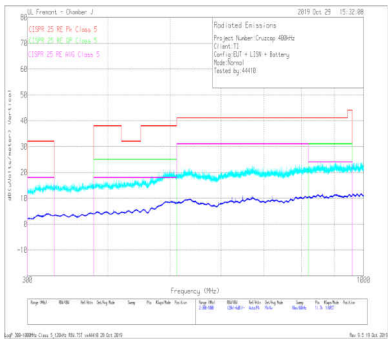
V_{OUT} = 5V F_{SW} = 400 kHz I_{OUT} = 5 A
测试频率：30 MHz 至 300 MHz

图 9-29. 辐射 EMI 双锥垂直与 CISPR25 限值



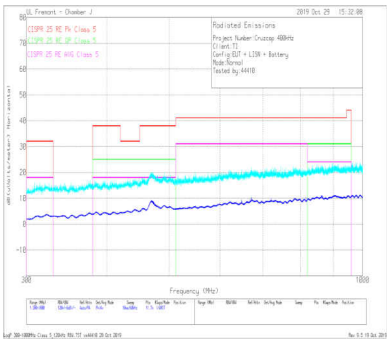
V_{OUT} = 5V F_{SW} = 400 kHz I_{OUT} = 5 A
测试频率：30 MHz 至 300 MHz

图 9-30. 辐射 EMI 双锥水平与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 400 kHz I_{OUT} = 5 A
测试频率：300 MHz 至 1 GHz

图 9-31. 辐射 EMI 对数垂直与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 400 kHz I_{OUT} = 5 A
测试频率：300 MHz 至 1 GHz

图 9-32. 辐射 EMI 对数水平与 CISPR25 限值

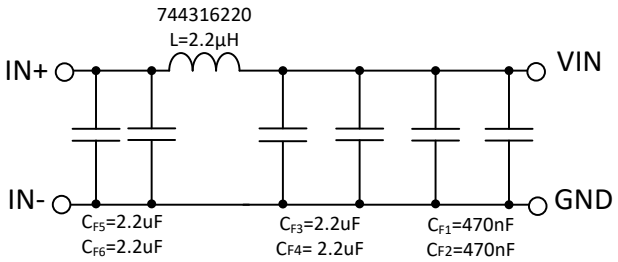
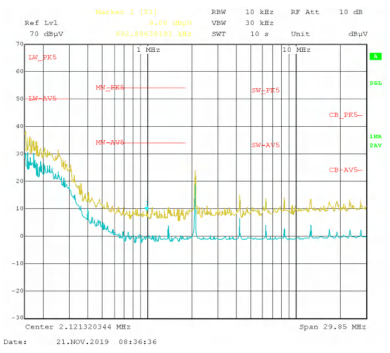


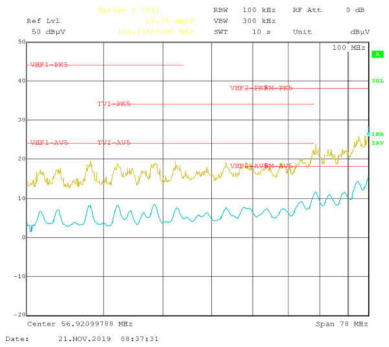
图 9-33. 推荐的输入 EMI 滤波器



F_{SW} = 2100 kHz V_{OUT} = 5V I_{OUT} = 5 A
测试频率：150 kHz 至 30 MHz

图 9-34. 传导 EMI 与 CISPR25 限值 (黄色：峰值信号，蓝色：平均信号)

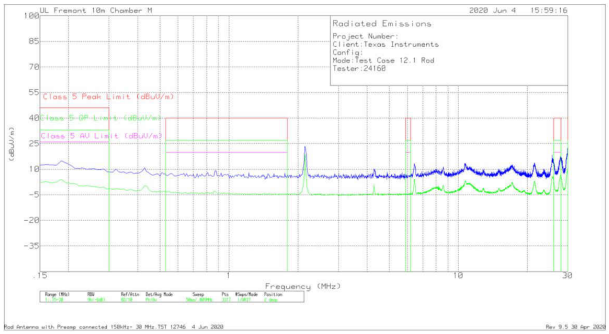
Copyright © 2023 Texas Instruments Incorporated



F_{SW} = 2100 kHz V_{OUT} = 5V I_{OUT} = 5 A

测试频率：30 MHz 至 108 MHz

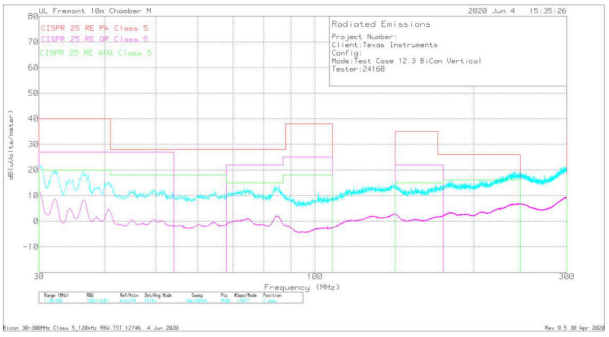
图 9-35. 传导 EMI 与 CISPR25 限值 (黄色：峰值信号，蓝色：平均信号)



V_{OUT} = 5V F_{SW} = 2.1MHz I_{OUT} = 4A

测试频率：150 kHz 至 30 MHz

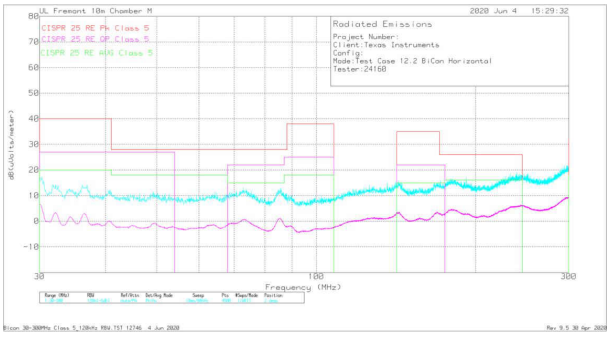
图 9-36. 辐射 EMI Red 与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 2.1MHz I_{OUT} = 4A

测试频率：30 kHz 至 300 MHz

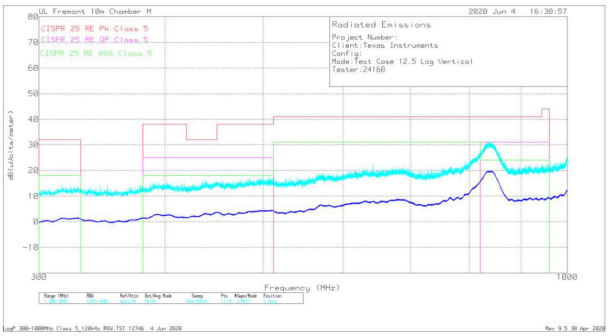
图 9-37. 辐射 EMI 双锥垂直与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 2.1MHz I_{OUT} = 4A

测试频率：30 MHz 至 300 MHz

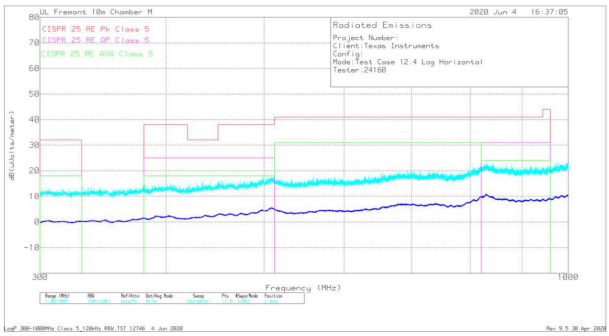
图 9-38. 辐射 EMI 双锥水平与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 2.1MHz I_{OUT} = 4A

测试频率：30 MHz 至 1 GHz

图 9-39. 辐射 EMI 对数垂直与 CISPR25 限值



V_{OUT} = 5V F_{SW} = 2.1MHz I_{OUT} = 4A

测试频率：300 MHz 至 1 GHz

图 9-40. 辐射 EMI 对数水平与 CISPR25 限值

Copyright © 2023 Texas Instruments Incorporated

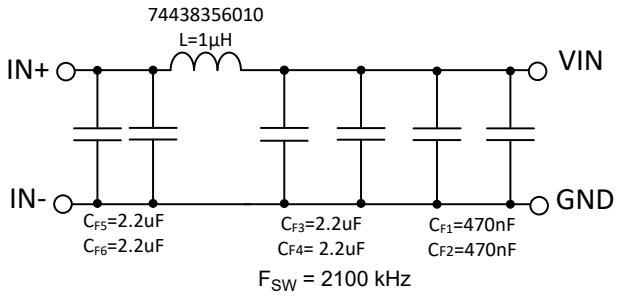


图 9-41. 推荐的输入 EMI 滤波器

表 9-5. 典型应用曲线的 BOM

V_{OUT}	频率	R_{FBB}	C_{OUT}	C_{IN} + C_{HF}	L	C_{FF}
3.3V	2100 kHz	43.2kΩ	3 x 22µF	2 x 4.7µF + 2 x 100nF	1.5µH (MAPI 4020HT)	22pF
5V	2100 kHz	24.9kΩ	2 x 22µF	2 x 4.7µF + 2 x 100nF	1.5µH (MAPI 4020HT)	22pF

Copyright © 2023 Texas Instruments Incorporated

10 电源相关建议

输入电源的特性必须符合本数据表中的 *节 7.1* 和 *节 7.3*。此外，输入电源必须能够向负载转换器提供所需的输入电流。可以使用方程式 13 来估算平均输入电流。

$$I_{IN} = \frac{V_{OUT} \cdot I_{OUT}}{V_{IN} \cdot \eta} \tag{13}$$

其中

- η 是效率

如果转换器通过长导线或 PCB 布线连接到输入电源，则需要特别谨慎，以实现良好的性能。输入电缆的寄生电感和电阻可能会对转换器的运行造成不良影响。寄生电感与低 ESR 陶瓷输入电容器相结合，可形成欠阻尼谐振电路，从而在转换器或跳变 UVLO 的输入端产生过压瞬变。每当负载瞬变施加到输出时，寄生电阻都会导致 VIN 引脚上的电压下降。如果应用的工作电压接近最小输入电压，此下降可能导致转换器暂时关断并复位。要解决此类问题，最好的办法是缩短输入电源与转换器之间的距离，并将铝输入电容器与陶瓷电容器并联使用。此类电容器的中等 ESR 有助于抑制输入谐振电路，并减少输入端的任何过冲或下冲。20μF 至 100μF 范围内的值通常足以提供输入抑制，并有助于在大负载瞬变期间保持输入电压稳定。

在某些情况下，转换器的输入端使用瞬态电压抑制器 (TVS)。一类此器件具有迅速反向特性（晶闸管类型）。不建议使用具有此类特性的器件。当 TVS 触发时，钳位电压降至非常低的值。如果该电压小于转换器的输出电压，则输出电容器通过器件向输入端放电。这种不受控制的电流会损坏 TVS 并导致较大的输入瞬态。

输入电压不得低于输出电压。在这种情况下（例如输入短路测试），输出电容器通过器件的 VIN 和 SW 引脚之间的内部寄生二极管放电。在这种情况下，电流会变得不受控制，从而可能损坏器件。如果认为这种情况很可能发生，则必须在输入电源和输出之间使用一个肖特基二极管。

Copyright © 2023 Texas Instruments Incorporated

11 布局

11.1 布局指南

任何直流/直流转换器的 PCB 布局对于实现设计的理想性能而言都至关重要。PCB 布局不良可能会破坏原本良好的原理图设计的运行效果。即使转换器正确调节，PCB 布局不良也意味着稳健的设计无法大规模生产。此外，转换器的 EMI 性能在很大程度上取决于 PCB 布局。在降压转换器中，最关键的 PCB 功能是由一个或多个输入电容器和电源地形成的环路，如图 11-1 所示。该环路承载大瞬态电流，在布线电感的作用下可能产生大瞬态电压。这些不必要的瞬态电压会破坏转换器的正常运行。因此，该环路中的布线必须宽且短，并且环路面积必须尽可能小以降低寄生电感。图 11-2 展示了针对器件电路关键元件的建议布局。

- *将一个或多个输入电容器尽可能靠近输入引脚对放置*：VIN1 连接到 PGND1，VIN2 连接到 PGND2。每对引脚都相邻，简化了输入电容器的放置。采用 VQFN-HR 封装时，封装任一侧都有两个 VIN/PGND 对。这提供了对称布局，有助于更大限度地减少开关噪声和 EMI 的产生。使用较低层上的宽 VIN 平面将两个 VIN 对一同连接到输入电源。
- *将 VCC 的旁路电容器靠近 VCC 引脚和 AGND 引脚放置*：必须使用短而宽的布线将该电容器连接到 VCC 和 AGND 引脚。
- *为 CBOOT 电容器使用宽布线*：将 CBOOT 电容器放置在尽可能靠近器件的位置，并使用短而宽的布线连接到 CBOOT 和 SW 引脚。务必通过 VIN2 和 RBOOT 引脚之间的间隙在器件下方连接 SW，从而减少 SW 节点的暴露面积。如果使用了 RBOOT 电阻器，应尽可能将其靠近 CBOOT 和 RBOOT 引脚放置。如果需要高效率，可将 RBOOT 和 CBOOT 引脚短接。该短接必须尽可能靠近 RBOOT 和 CBOOT 引脚。
- *将反馈分压器尽可能靠近器件的 FB 引脚放置*：将 R_{FBB}、R_{FBT} 和 C_{FF}（如果使用）在物理上靠近器件放置。通过 R_{FBB} 与 FB 和 AGND 的连接必须短且靠近器件上的这些引脚。到 V_{OUT} 的连接可能会更长一些。但是，不得将这一条较长的布线布置在任何可能电容耦合到转换器反馈路径的噪声源（例如 SW 节点）附近。对于固定输出型号，FB 引脚必须直接连接到器件的输出端。
- *IC 顶层下方的 PCB 层必须是接地层*：该层充当噪声屏蔽层和散热路径。使用直接挨着 IC 的那一层，可以减少输入环路中的输入环流的封闭面积，从而减少电感。
- *为 V_{IN}、V_{OUT} 和 GND 提供宽路径*：这些路径必须尽可能宽和直，以减少转换器输入或输出路径上的任何压降，并更大限度地提高效率。
- *提供足够大的 PCB 面积，以实现适当的散热*：必须使铜面积足够大，以确保实现与最大负载电流和环境温度相称的低 $R_{\theta JA}$。使用 2 盎司（不少于 1 盎司）的铜制作 PCB 顶层和底层。如果 PCB 设计使用多个铜层（建议），则散热过孔也可以连接到内层散热接地平面。请注意，该器件的封装通过所有引脚进行散热。除为避免噪声而需要尽可能减小面积之外，所有引脚都必须使用宽布线。
- *保持较小的开关面积*：保持 SW 引脚与电感器之间的铜区域尽可能短且宽。同时，必须更大程度地减小此节点的总面积，以帮助降低辐射 EMI。

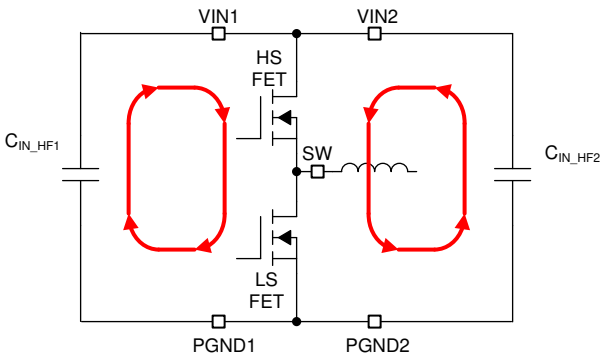


图 11-1. 输入电流环路

Copyright © 2023 Texas Instruments Incorporated

11.1.1 接地及散热注意事项

如上所述，TI 建议使用一个中间层作为实心接地层。接地层可为敏感电路和布线屏蔽噪声，还可为控制电路提供干净的基准电位。AGND 和 PGND 引脚必须使用旁路电容器旁边的过孔连接到接地平面。PGND 引脚直接连接到低侧 MOSFET 开关的源极，也直接连接到输入和输出电容器的接地端。PGND 网在开关频率下会产生噪声，会因负载变化而反弹。PGND 布线以及 VIN 和 SW 布线应限制在接地层的一侧。接地层另一侧的噪声要少得多，必须用于敏感的布线。

TI 建议通过使用靠近接地的过孔和 V_{IN} 连接到系统接地层或 V_{IN} 自举来提供足够的器件散热，这两种方法都将散热。系统接地平面顶层和底层的铜箔越厚，越利于散热。使用四层电路板，四层的铜厚（从顶层开始）依次为：2oz/1oz/1oz/2oz。具有足够铜厚度和适当布局布线的四层电路板可实现低电流传导阻抗、适当的屏蔽和较低的热阻。

Copyright © 2023 Texas Instruments Incorporated

11.2 布局示例

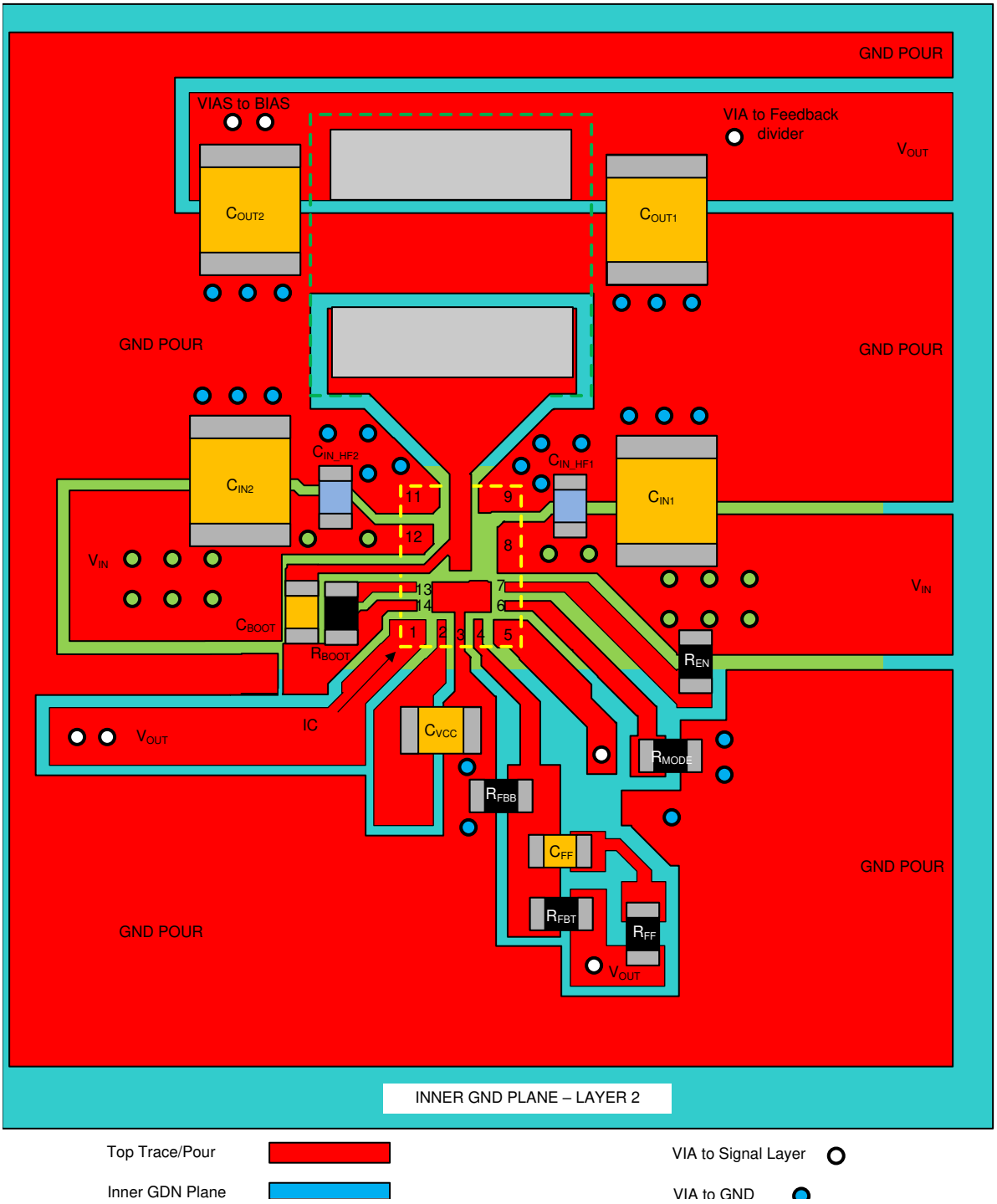


图 11-2. 布局示例

Copyright © 2023 Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*“设计高性能、低 EMI 的汽车电源”应用报告*
- 德州仪器 (TI)，*LMQ62440-Q1 EVM 用户指南*
- 德州仪器 (TI)，*汽车双 USB Type-C 充电端口（30W 功率）参考设计*
- 德州仪器 (TI)，*“EMI 滤波器组件及其针对汽车直流/直流稳压器的非理想因素”技术简报*
- 德州仪器 (TI)，*“AN-2020 热设计：学会洞察先机，不做事后诸葛”应用报告*
- 德州仪器 (TI)，*“优化 TPS54424/TPS54824 HotRod QFN 封装布局以改善热性能”应用报告*
- 德州仪器 (TI)，*“AN-2162：轻松抑制直流/直流转换器中的传导 EMI”应用报告*
- 德州仪器 (TI)，*“采用直流/直流电源模块的实用性热设计”应用报告*

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

Hotrod™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMQ62440APPQRJRRQ1	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q APP
LMQ62440APPQRJRRQ1.A	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q APP
LMQ62440BPPQRJRRQ1	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q BPP
LMQ62440BPPQRJRRQ1.A	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q BPP
LMQ62440CPPQRJRRQ1	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q CPP
LMQ62440CPPQRJRRQ1.A	Active	Production	VQFN-HR (RJR) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	Q6244Q CPP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

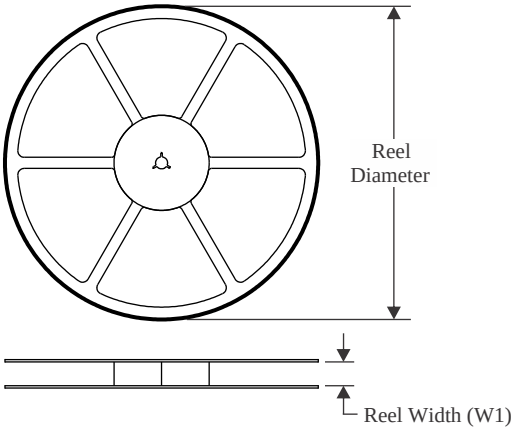
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

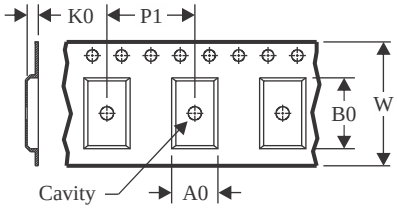
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

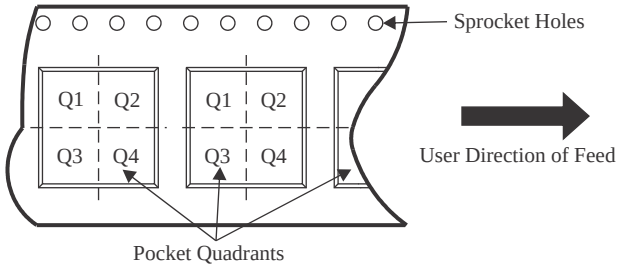


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

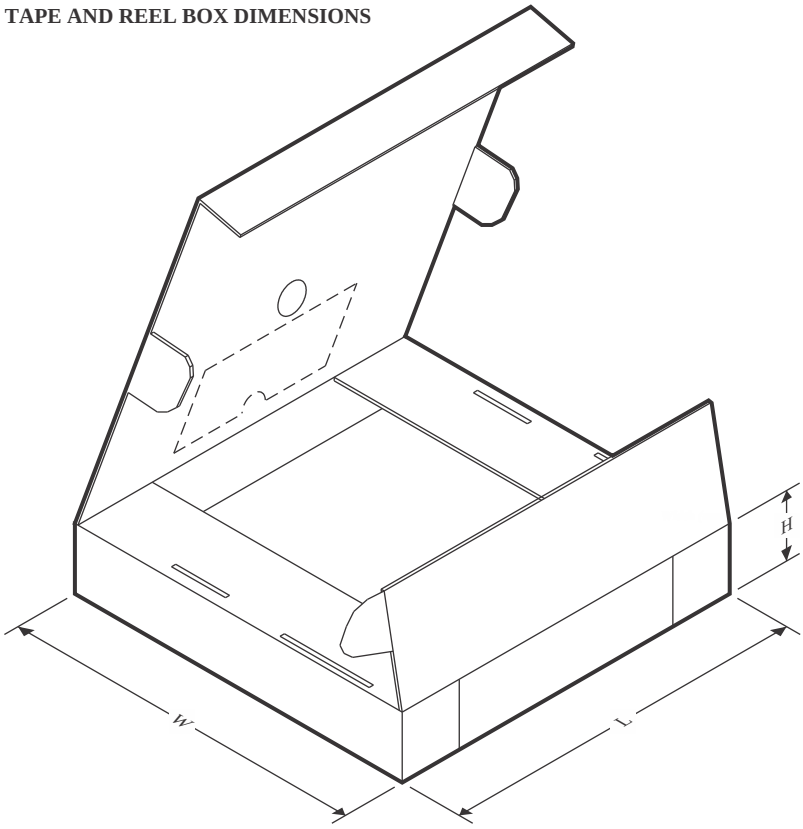
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMQ62440APPQRJRRQ1	VQFN-HR	RJR	14	3000	330.0	12.4	3.8	4.3	1.15	8.0	12.0	Q2
LMQ62440BPPQRJRRQ1	VQFN-HR	RJR	14	3000	330.0	12.4	3.8	4.3	1.15	8.0	12.0	Q2
LMQ62440CPPQRJRRQ1	VQFN-HR	RJR	14	3000	330.0	12.4	3.8	4.3	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

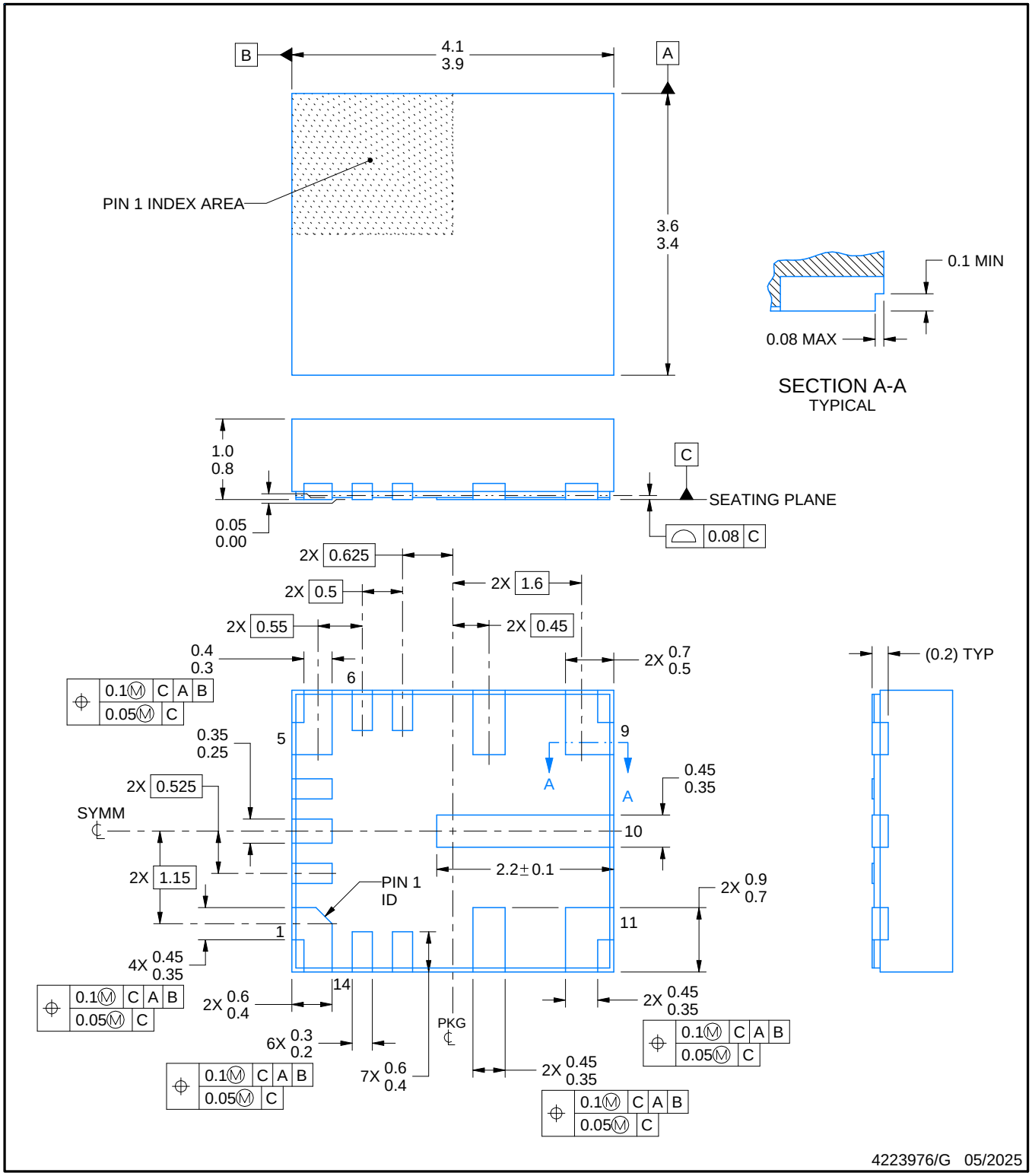
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMQ62440APPQRJRRQ1	VQFN-HR	RJR	14	3000	367.0	367.0	38.0
LMQ62440BPPQRJRRQ1	VQFN-HR	RJR	14	3000	367.0	367.0	38.0
LMQ62440CPPQRJRRQ1	VQFN-HR	RJR	14	3000	367.0	367.0	38.0

PACKAGE OUTLINE

RJR0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

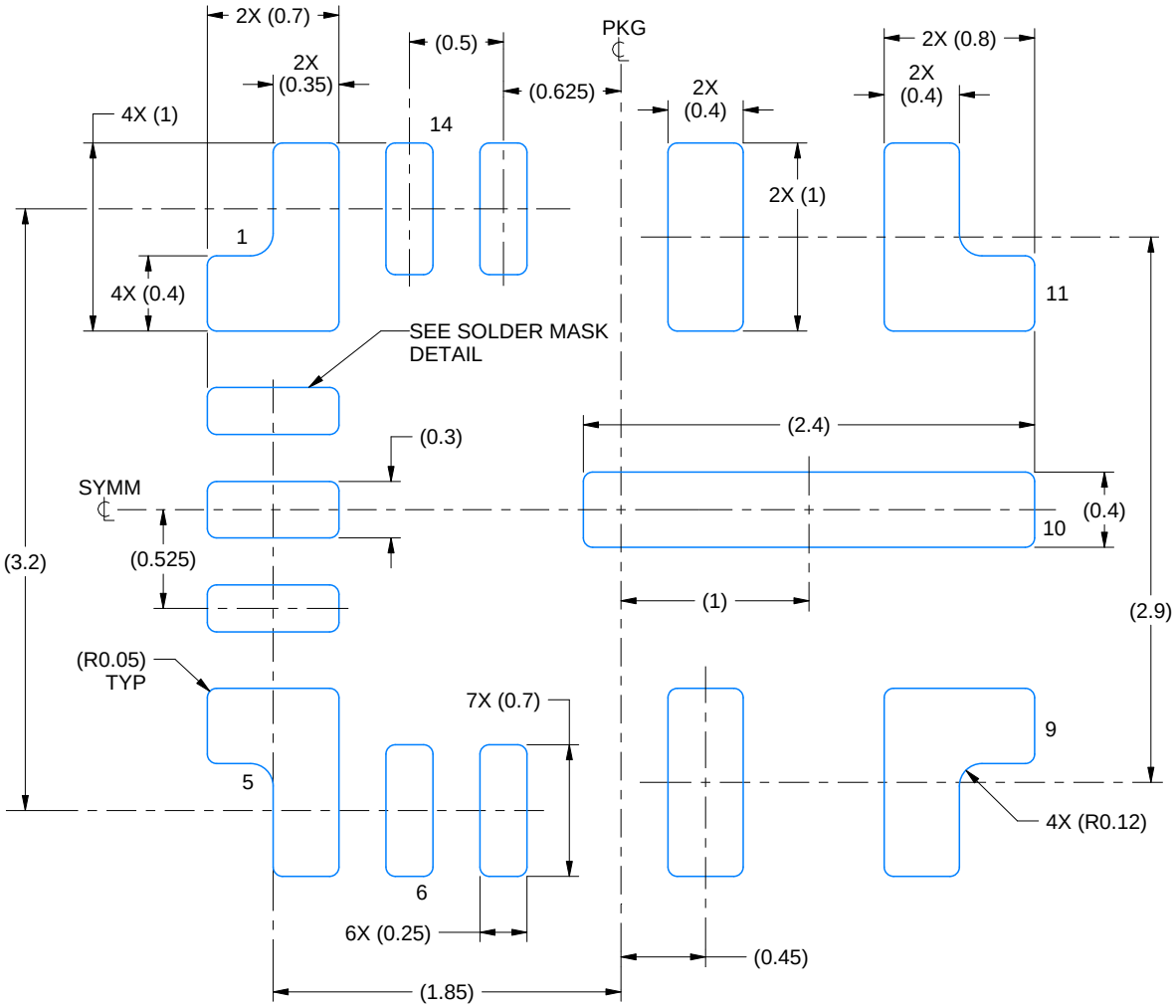
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

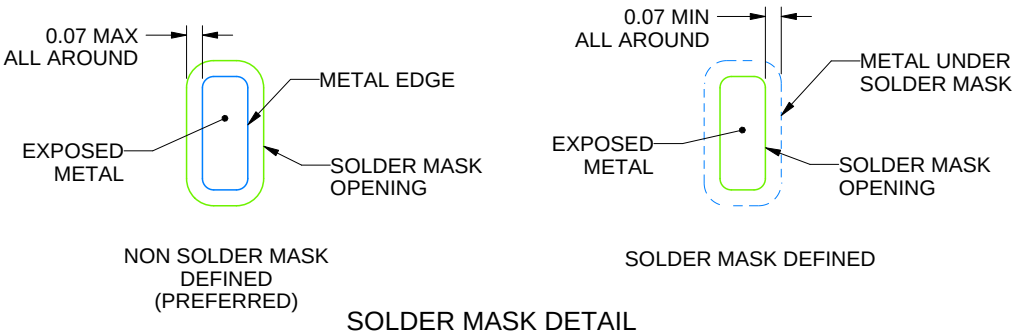
RJR0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



SOLDER MASK DETAIL

4223976/G 05/2025

NOTES: (continued)

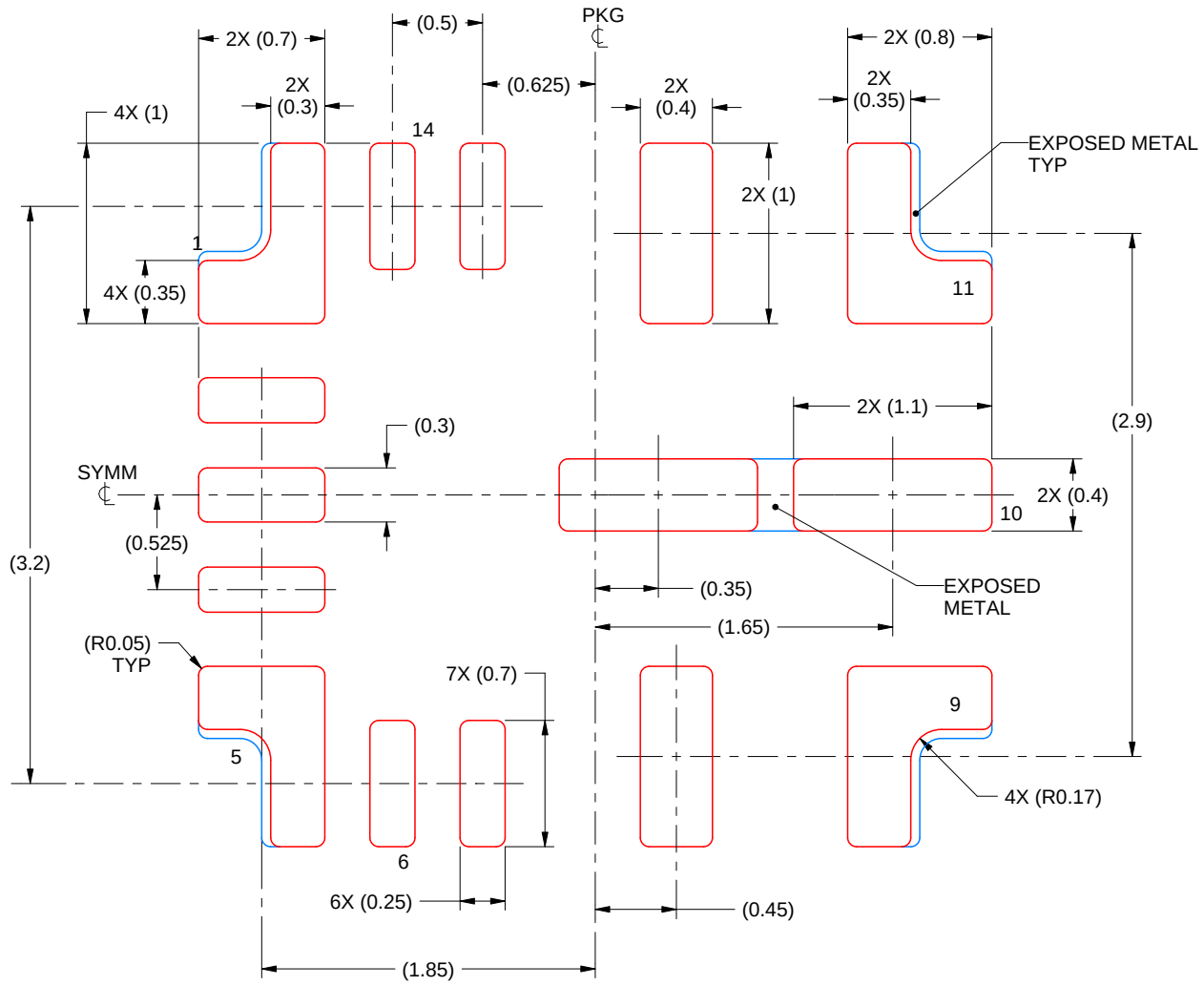
3. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RJR0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
PADS 1, 5, 9 & 11:
90% PRINTED SOLDER COVERAGE BY AREA
SCALE: 25X

4223976/G 05/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月