LMV3xx 低压轨到轨输出运算放大器

1 特性

- 有关升级版本，请参阅 LMV321A、LMV358A 和 LMV324A
- 2.7V 和 5V 性能
- 运行温度范围：–40°C 至 +125°C
- 无交叉失真
- 低电源电流
  - LMV321：130 µA（典型值）
  - LMV358：210 µA（典型值）
  - LMV324：410 µA（典型值）
- 轨到轨输出摆幅
- ESD 保护性能超过 JESD 22 规范要求
  - 2000V 人体放电模型
  - 1000V 充电器件模型

2 应用

- 台式计算机
- HVAC：暖通空调
- 电机控制：交流感应
- 上网本
- 便携式媒体播放器
- 电源：电信直流/直流模块：数字
- 专业混音器
- 冰箱
- 洗衣机：高端和低端

3 说明

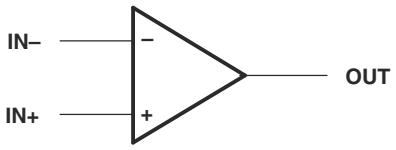
有关具有增强性能的升级版本，请参阅 LMV321A、LMV358A 和 LMV324A。

LMV321、LMV358 和 LMV324 器件分别是单通道、双通道和四通道低压（2.7V 至 5.5V）运算放大器，具有轨到轨输出摆幅。这些器件是颇具成本效益的解决方案，适用于需要低工作电压、节省空间和低成本的应用。这些放大器专门针对低工作电压（2.7V 至 5V）而设计，性能规格可达到或超过 LM358 和 LM324 器件（工作电压范围为 5V 至 30V）。这些器件的封装尺寸可缩减至 DBV (SOT-23) 封装尺寸的一半，适用于各种应用。

器件信息

器件型号	通道数	封装(1)	封装尺寸(2)
LMV321	单通道	DBV（SOT-23，5）	2.90mm x 2.80mm
		DCK（SC-70，5）	2.00mm x 2.10mm
LMV358	双通道	D（SOIC，8）	4.90mm × 6.00mm
		DDU（VSSOP，8）	2.00 mm × 3.10 mm
		DGK（VSSOP，8）	3.00mm x 4.90mm
		PW（TSSOP，8）	3.00mm × 6.40mm
LMV324	四通道	D（SOIC，14）	8.65mm × 6.00mm
		PW（TSSOP，14）	5.00mm x 6.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 x 宽）为标称值，并包括引脚（如适用）。



简化原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 5
6.4 热性能信息：LMV321 5
6.5 热性能信息：LMV324 5
6.6 热性能信息：LMV358 6
6.7 电气特性：V_{CC+} = 2.7V 6
6.8 电气特性：V_{CC}+ = 5V 7
6.9 典型特性 9
7 详细说明 17
7.1 概述 17
7.2 功能方框图 17
7.3 特性说明 18
7.4 器件功能模式 18
8 应用和实施 19
8.1 典型应用 19
8.2 电源相关建议 21
8.3 布局 22
9 器件和文档支持 23
9.1 接收文档更新通知 23
9.2 支持资源 23
9.3 商标 23
9.4 静电放电警告 23
9.5 术语表 23
10 机械、封装和可订购信息 23

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision X (May 2020) to Revision Y (August 2023) — **Page**

- 更新了*器件信息*表以包含通道数和封装引线尺寸 1

Changes from Revision W (October 2014) to Revision X (May 2020) — **Page**

- 删除了数据表首页上提到的 LMV324S 1
- 添加了针对 LMV321A、LMV358A 和 LMV324A 的建议器件声明 1
- 更改了*器件信息*表，将器件按通道数升序排列 1
- 更改了*引脚配置和功能*部分，将“引脚功能”表按器件拆分为单独的表格 3
- 删除了 LMV324S 引脚排列信息 3
- 将 HBM ESD 电压从 2500V 更改为 2000V 5
- 将 CDM ESD 电压从 1500V 更改为 1000V 5
- 删除了 LMV324S 的关断电压阈值 5
- 更改了*热性能信息*部分，将*热性能信息*表按器件划分为单独的表格 5
- 更改了 LMV321 的热性能信息 5
- 删除了 LMV324S 的热性能信息 5
- 更改了 LMV324 的热性能信息 5
- 更改了 LMV358 的热性能信息 6
- 删除了电源电流的 LMV324S 测试条件 6
- 将输出短路拉电流从 60mA 更改为 40mA 7
- 将输出短路灌电流从 160mA 更改为 40mA 7
- 向输出短路电流、输出摆幅和输入偏置电流规格添加了由特性表指定的注释 7

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

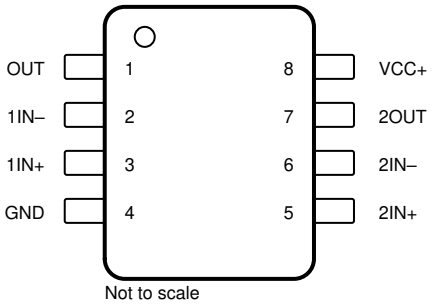


图 5-1. D、DDU、DGK 和 PW 封装，8 引脚 SOIC、VSSOP 和 TSSOP（顶视图）

表 5-1. 引脚功能：LMV358

引脚		类型(1)	说明
名称	编号		
1IN+	3	I	同相输入
1IN –	2	I	反相输入
2IN+	5	I	同相输入
2IN –	6	I	反相输入
2OUT	7	O	输出
GND	4	—	负电源
OUT	1	O	输出
VCC+	8	—	正电源

(1) I = 输入，O = 输出

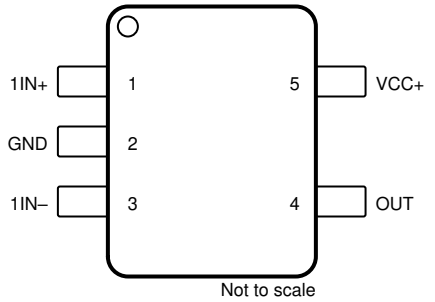


图 5-2. DBV 和 DCK 封装，5 引脚 SOT-23 和 SC70（顶视图）

表 5-2. 引脚功能：LMV321

引脚		类型(1)	说明
名称	编号		
1IN+	1	I	同相输入
1IN –	3	I	反相输入
GND	2	—	负电源
OUT	4	O	输出
VCC+	5	—	正电源

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

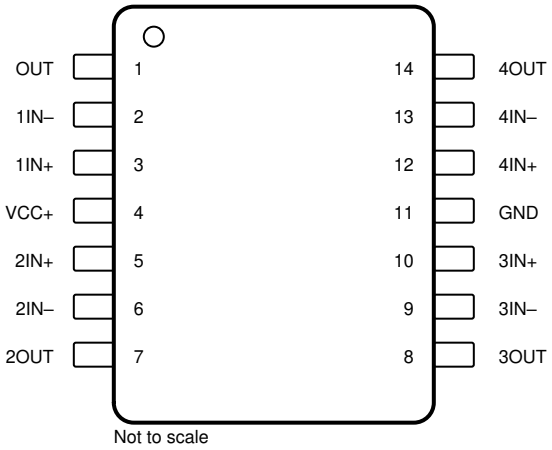


图 5-3. D 和 PW 封装，14 引脚 SOIC 和 TSSOP（顶视图）

表 5-3. 引脚功能：LMV324

引脚		类型(1)	说明
名称	编号		
3/4 SHDN	—	I	关断（逻辑低电平）/启用（逻辑高电平）
1/2 SHDN	—	I	关断（逻辑低电平）/启用（逻辑高电平）
1IN+	3	I	同相输入
1IN –	2	I	反相输入
2IN+	5	I	同相输入
2IN –	6	I	反相输入
2OUT	7	O	输出
3IN+	10	I	同相输入
3IN –	9	I	反相输入
3OUT	8	O	输出
4IN+	12	I	同相输入
4IN –	13	I	反相输入
4OUT	14	O	输出
GND	11	—	负电源
OUT	1	O	OUT
VCC+	4	—	正电源

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压(2)			5.5	V
V_{ID}	差动输入电压(3)			±5.5	V
V_I	输入电压范围（任一输入）		–0.2	5.7	V
	输出对地短路（一个放大器）的持续时间(4)	在 T_A = 25°C 或更低温度下，V_{CC} ≤ 5.5V	无限		
T_J	工作等效结温			150	°C
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议的工作条件*以外的任何其他条件下能够正常运行。长时间在最大绝对额定条件下运行会影响器件可靠性。
(2) 所有电压值（差分电压和为 I_{OS} 测量指定的 V_{CC} 除外）都是相对于网络 GND 的值。
(3) 差分电压是相对于 IN– 的 IN+ 上的值。
(4) 从输出到 V_{CC} 的短路会导致过热，并且最终会发生损坏。

6.2 ESD 等级

			最小值	最大值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	0	2000	V
		充电器件模型（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚(2)	0	1000	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

			最小值	最大值	单位
V_{CC}	电源电压（单电源运行）		2.7	5.5	V
T_A	自然通风工作温度	I 温度（LMV321、LMV358、LMV324、LMV321IDCK）	-40	125	°C
		Q 温度	-40	125	

6.4 热性能信息：LMV321

热指标(1)		LMV321		单位
		DBV (SOT-23)	DCK (SC-70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	232.9	239.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 热性能信息：LMV324

热指标(1)		LMV324		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	102.1	148.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2023 Texas Instruments Incorporated

6.6 热性能信息：LMV358

热指标(1)	LMV358				单位
	D (SOIC)	DGK (VSSOP)	DDU (VSSOP)	PW (TSSOP)	
	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	207.9	201.2	210	200.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.7 电气特性：V_{CC+} = 2.7V

V_{CC+} = 2.7V，T_A = 25°C（除非另有说明）

参数		测试条件		最小值	典型值(1)	最大值	单位
V_{IO}	输入失调电压				1.7	7	mV
α_{VIO}	输入失调电压的平均温度系数				5		μV/°C
I_{IB}	输入偏置电流				11	250	nA
I_{IO}	输入失调电流				5	50	nA
CMRR	共模抑制比	V_{CM} = 0V 至 1.7V		50	63		dB
k_{SVR}	电源电压抑制比	V_{CC} = 2.7V 至 5V，V_O = 1V		50	60		dB
V_{ICR}	共模输入电压范围	CMRR ≥ 50dB		0	–0.2		V
					1.9	1.7	
V_O	输出摆幅	R_L = 10kΩ（连接至 1.35V）	高电平	V_{CC} – 100	V_{CC} – 10		mV
			低电平		60	180	
I_{CC}	电源电流	LMV321I			80	170	μA
		LMV358I（两个放大器）			140	340	
		LMV324I（所有四个放大器）			260	680	
B_1	单位增益带宽	C_L = 200pF			1		MHz
Φ_m	相位裕度				60		度
G_m	增益裕量				10		dB
V_n	等效输入噪声电压	f = 1kHz			46		nV/√Hz
I_n	等效输入噪声电流	f = 1kHz			0.17		pA/√Hz

(1) 典型值表示评定特性时确定的有可能达到的参数标称值。典型值取决于应用和配置，并可能随时间而变化。无法在生产材料上确保符合典型值。

Copyright © 2023 Texas Instruments Incorporated

6.8 电气特性：V_{CC}+ = 5V

在指定自然通风温度下，V_{CC+} = 5V（除非另有说明）

参数		测试条件	最小值	典型值(1)	最大值	单位
V_{IO}	输入失调电压	T_A = 25°C		1.7	7	mV
		T_A=-40°C 至 +125°C			9	
α_{VIO}	输入失调电压的平均温度系数	T_A = 25°C		5		μV/°C
I_{IB}	输入偏置电流	T_A = 25°C		15	250(1)	nA
		T_A = –40°C 至 +125°C			500(1)	
I_{IO}	输入失调电流	T_A = 25°C		5	50(1)	nA
		T_A = –40°C 至 +125°C			150(1)	
CMRR	共模抑制比	V_{CM} = 0V 至 4V T_A = 25°C	50	65		dB
k_{SVR}	电源电压抑制比	V_{CC} = 2.7V 至 5V，V_O = 1V，V_{CM} = 1V T_A = 25°C	50	60		dB
V_{ICR}	共模输入电压范围	CMRR ≥ 50dB，T_A = 25°C	0	–0.2		V
				4.2	4	
V_O	输出摆幅	R_L = 2kΩ（连接至 2.5V），高电平，T_A = 25°C	V_{CC} – 300	V_{CC} – 40		mV
		R_L = 2kΩ（连接至 2.5V），高电平，T_A = –40°C 至 +125°C	V_{CC} – 400(1)			
		T_A = 25°C，低电平		120	300	
		T_A = –40°C 至 +125°C，低电平			400(1)	
		R_L = 10kΩ（连接至 2.5V），高电平，T_A = 25°C	V_{CC} – 100	V_{CC} – 10		
		R_L = 10kΩ（连接至 2.5V），高电平，T_A = –40°C 至 +125°C	V_{CC} – 200(1)			
		T_A = 25°C，低电平		65	180	
		T_A = –40°C 至 +125°C，低电平			280(1)	
A_{VD}	大信号差分电压增益	R_L = 2kΩ，T_A = 25°C	15	100		V/mV
		R_L = 2kΩ，T_A = –40°C 至 +125°C	10(1)			
I_{OS}	输出短路电流	拉电流，V_O = 0V，T_A = 25°C	5(1)	40		mA
		灌电流，V_O = 5V，T_A = 25°C	10(1)	40		
I_{CC}	电源电流	LMV321I，T_A = 25°C		130	250	μA
		LMV321I，T_A = –40°C 至 +125°C			350	
		LMV358I（两个放大器），T_A = 25°C		210	440	
		LMV358I（两个放大器），T_A = –40°C 至 +125°C			615	
		LMV324I（所有四个放大器），T_A = 25°C		410	830	
		LMV324I（所有四个放大器），T_A = –40°C 至 +125°C			1160	
B_1	单位增益带宽	C_L = 200pF，T_A = 25°C		1		MHz
Φ_m	相位裕度	T_A = 25°C		60		度
G_m	增益裕量	T_A = 25°C		10		dB
V_n	等效输入噪声电压	f = 1kHz，T_A = 25°C		39		nV/√Hz
I_n	等效输入噪声电流	f = 1kHz，T_A = 25°C		0.21		pA/√Hz

Copyright © 2023 Texas Instruments Incorporated

在指定自然通风温度下，V_{CC+} = 5V（除非另有说明）

参数		测试条件	最小值	典型值(1)	最大值	单位
SR	压摆率	T_A = 25°C		1		V/μs

(1) 根据特征确定。未经生产测试。

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性

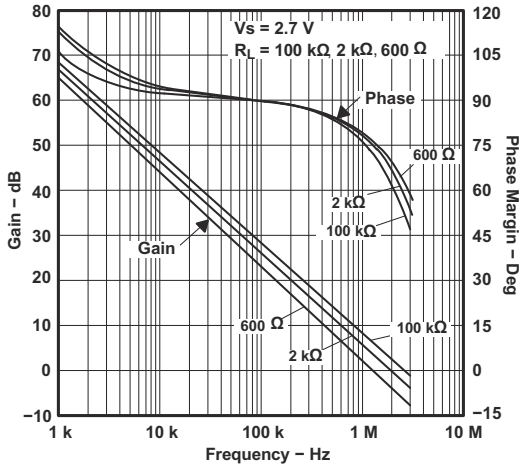


图 6-1. LMV321 频率响应与电阻负载间的关系

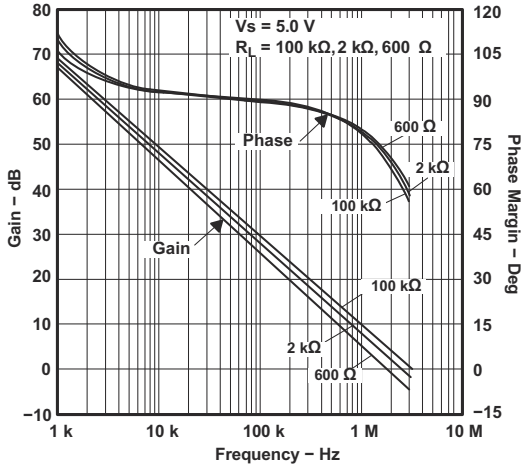


图 6-2. LMV321 频率响应与电阻负载间的关系

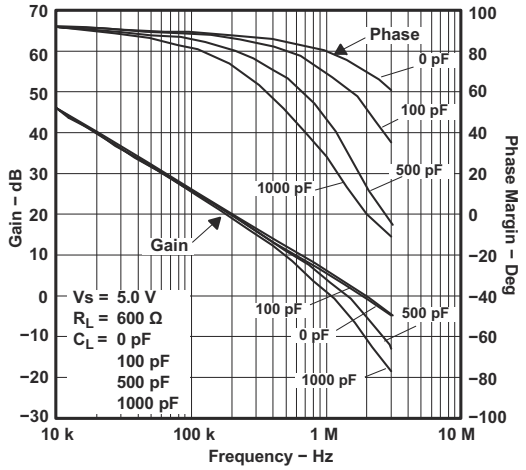


图 6-3. LMV321 频率响应与容性负载间的关系

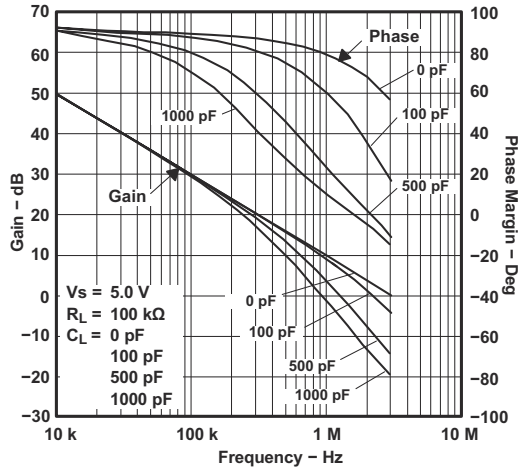


图 6-4. LMV321 频率响应与容性负载间的关系

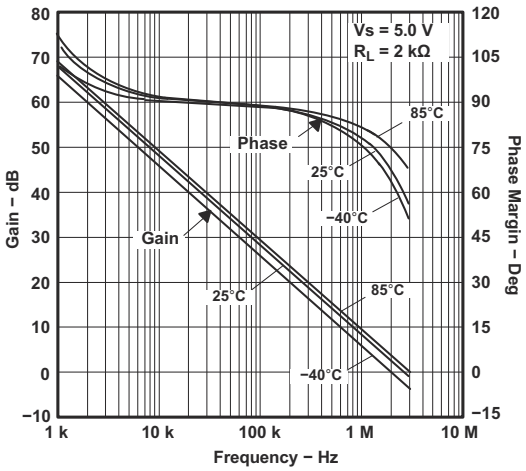


图 6-5. LMV321 频率响应与温度间的关系

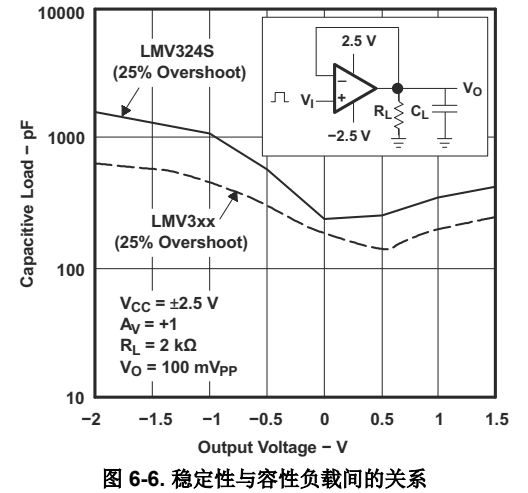


图 6-6. 稳定性与容性负载间的关系

6.9 典型特性 (continued)

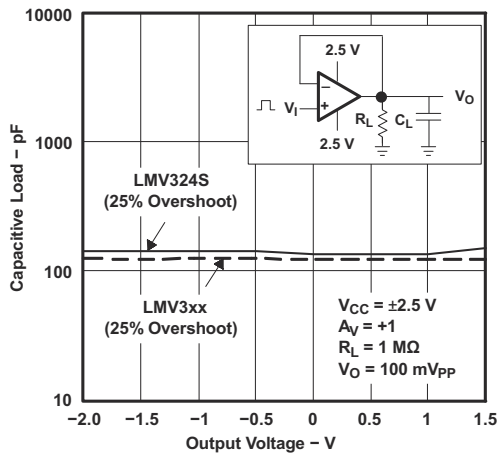


图 6-7. 稳定性与容性负载间的关系

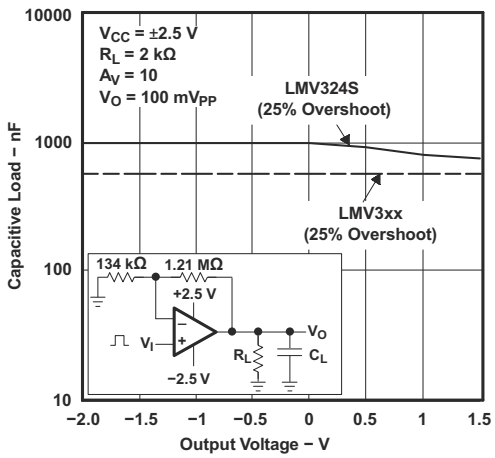


图 6-8. 稳定性与容性负载间的关系

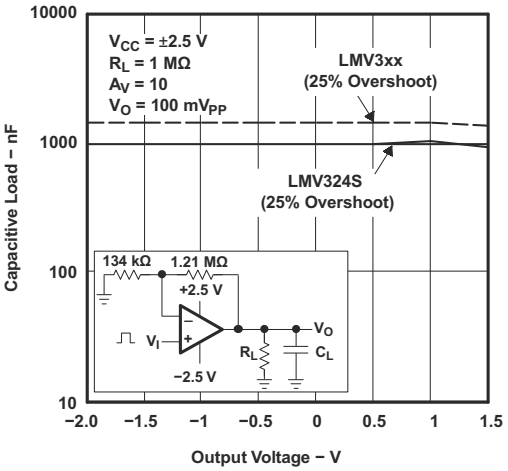


图 6-9. 稳定性与容性负载间的关系

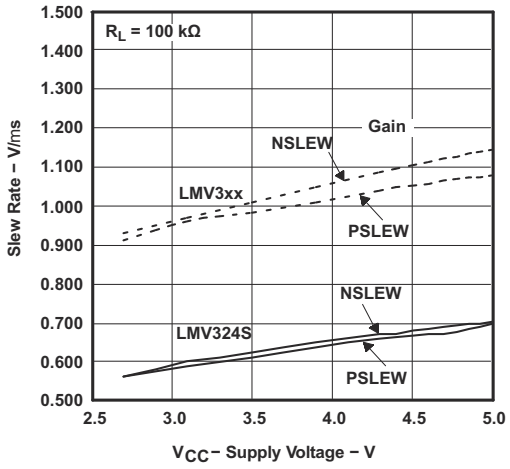


图 6-10. 压摆率与电源电压间的关系

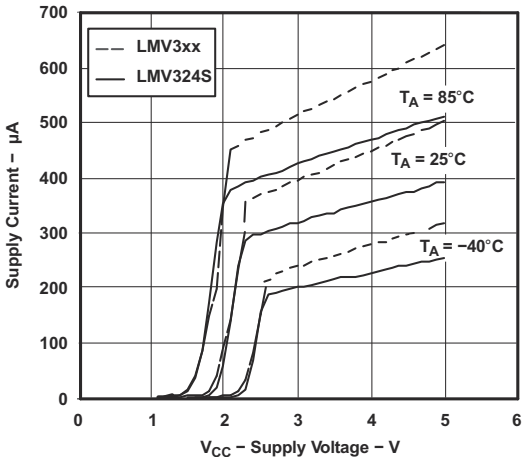


图 6-11. 电源电流与电源电压间的关系：四路放大器

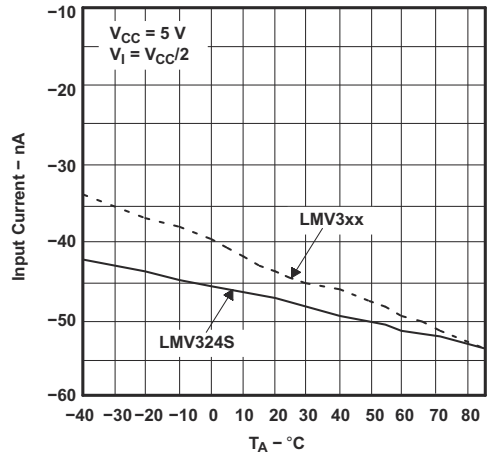


图 6-12. 输入电流与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性 (continued)

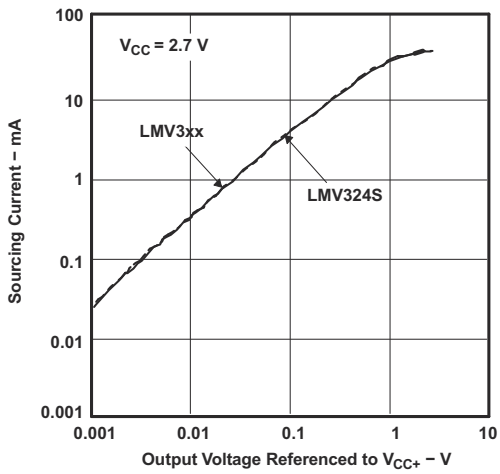


图 6-13. 源电流与输出电压间的关系

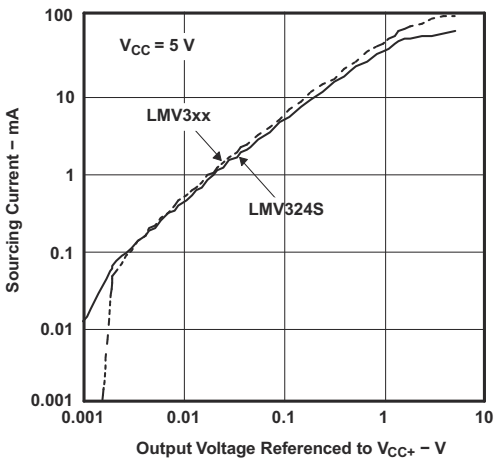


图 6-14. 源电流与输出电压间的关系

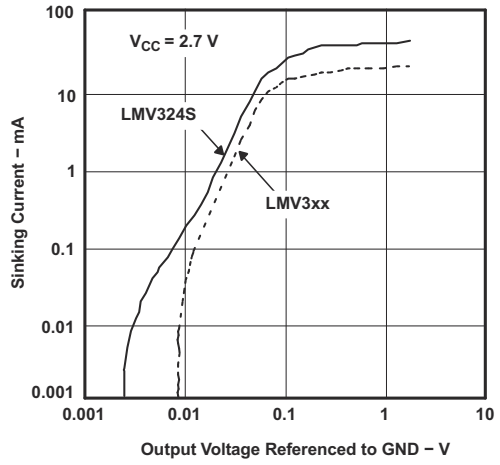


图 6-15. 灌电流与输出电压间的关系

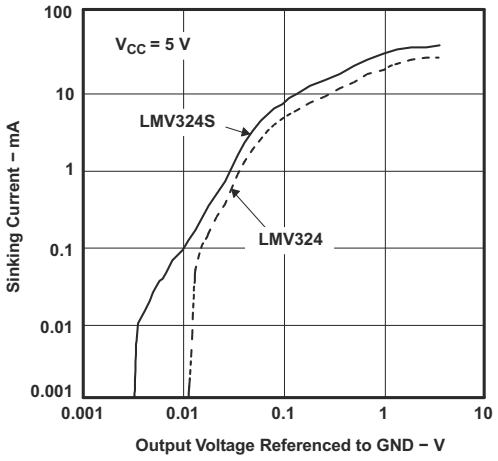


图 6-16. 灌电流与输出电压间的关系

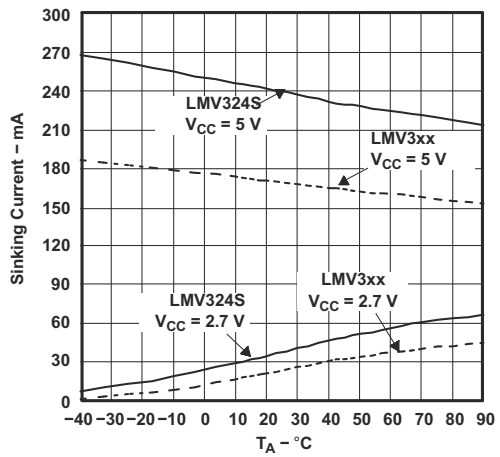


图 6-17. 短路电流与温度间的关系

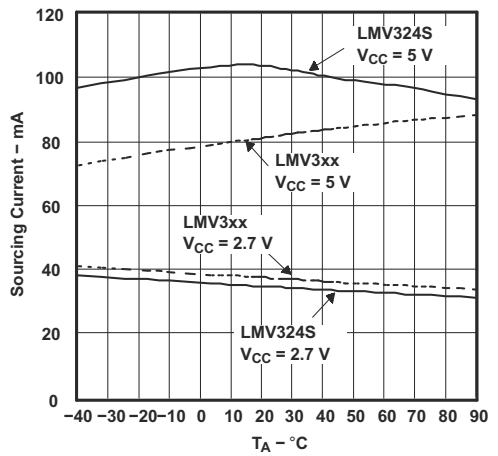


图 6-18. 短路电流与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性 (continued)

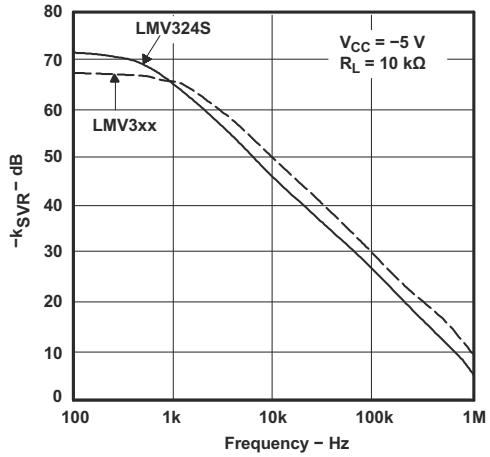


图 6-19. $-k_{SVR}$ 与频率间的关系

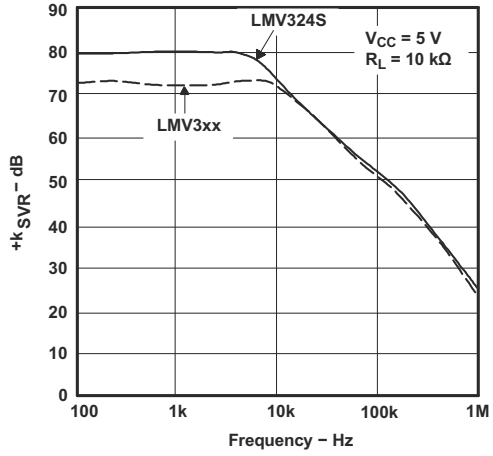


图 6-20. $+k_{SVR}$ 与频率间的关系

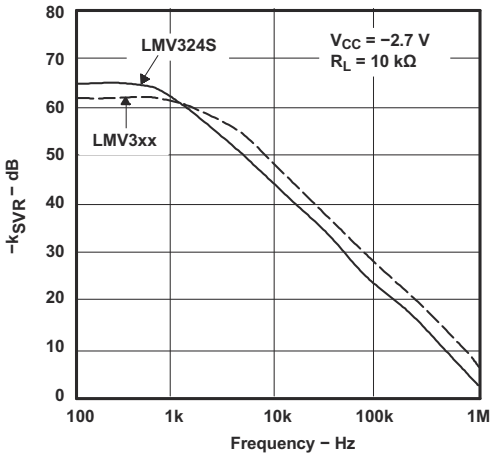


图 6-21. $-k_{SVR}$ 与频率间的关系

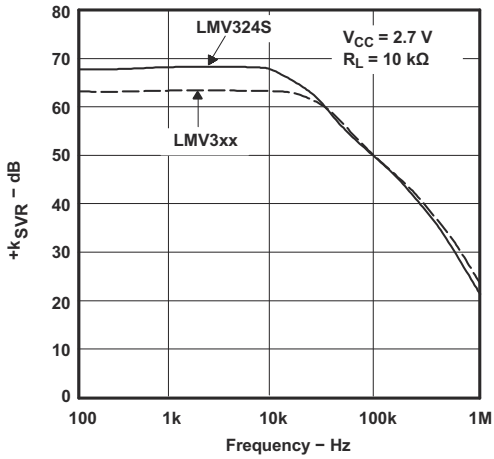


图 6-22. $+k_{SVR}$ 与频率间的关系

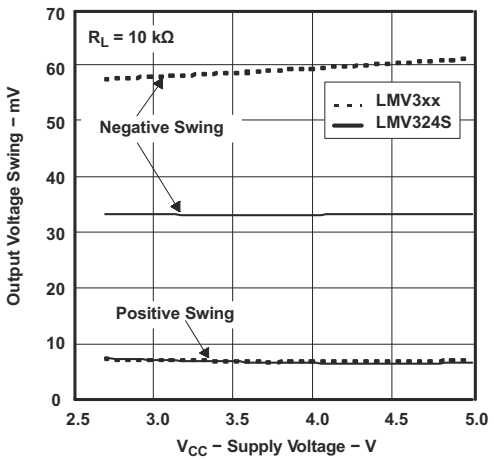


图 6-23. 相对于电源轨的输出电压摆幅与电源电压间的关系

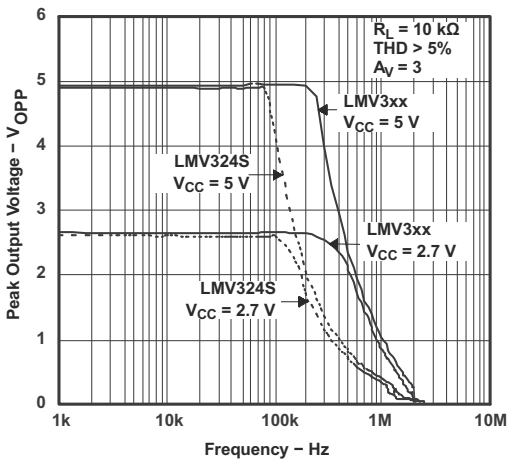


图 6-24. 输出电压与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性 (continued)

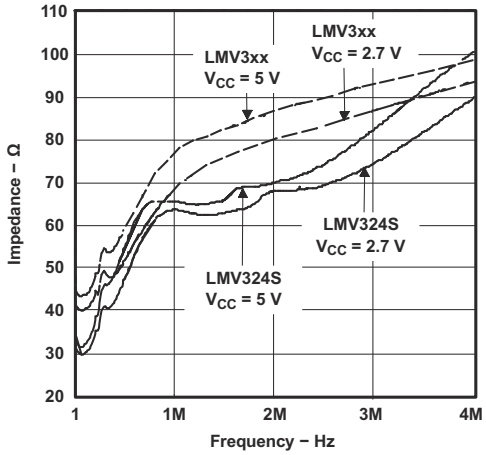


图 6-25. 开环输出阻抗与频率间的关系

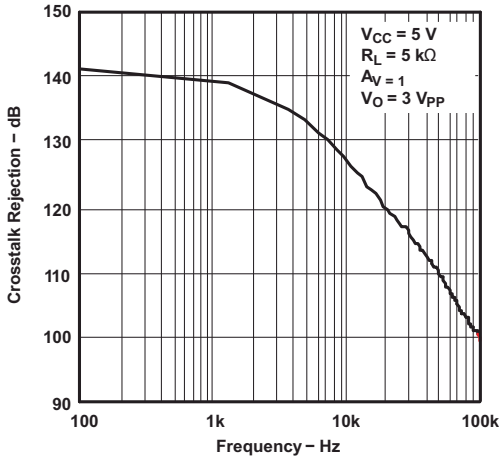


图 6-26. 串扰抑制与频率间的关系

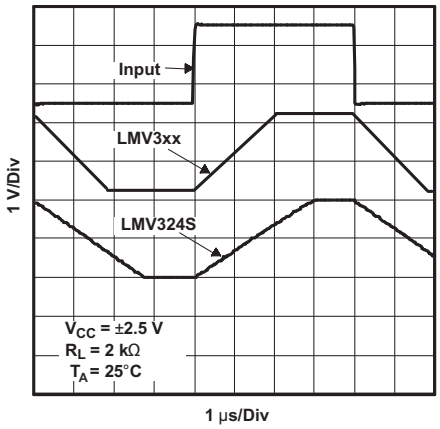


图 6-27. 同相大信号脉冲响应

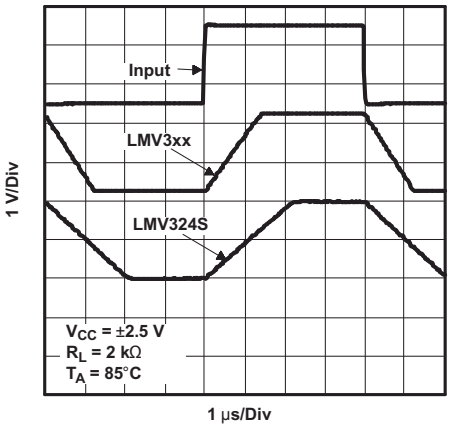


图 6-28. 同相大信号脉冲响应

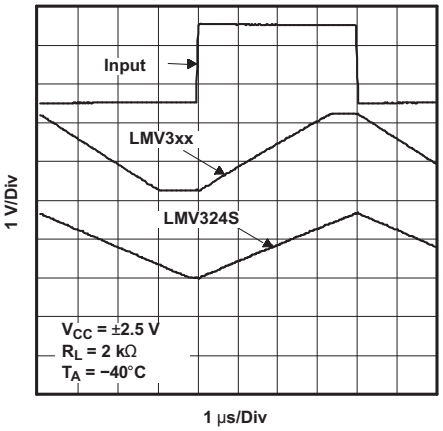


图 6-29. 同相大信号脉冲响应

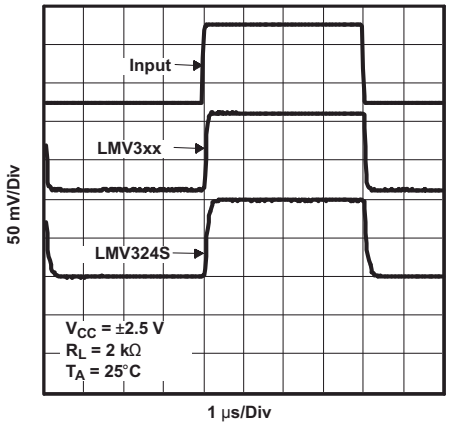


图 6-30. 同相小信号脉冲响应

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性 (continued)

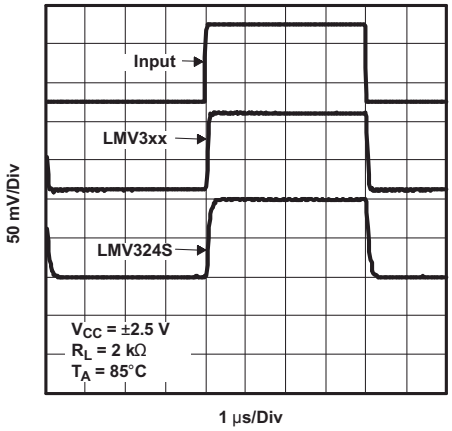


图 6-31. 同相小信号脉冲响应

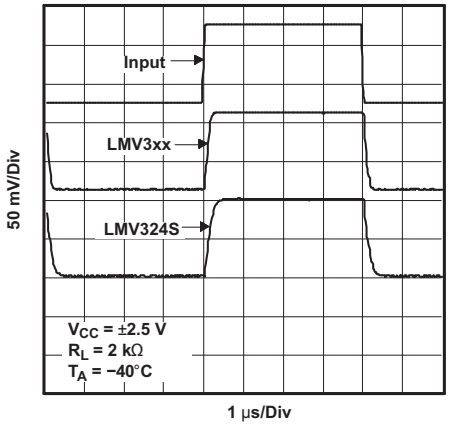


图 6-32. 同相小信号脉冲响应

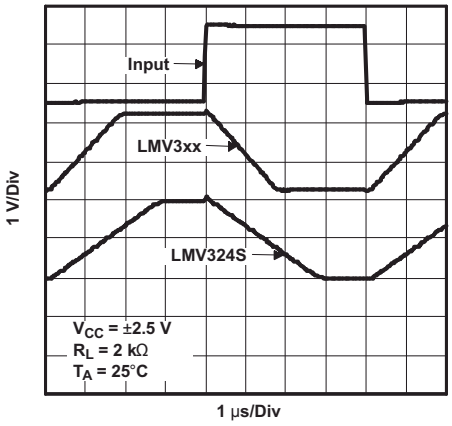


图 6-33. 反相大信号脉冲响应

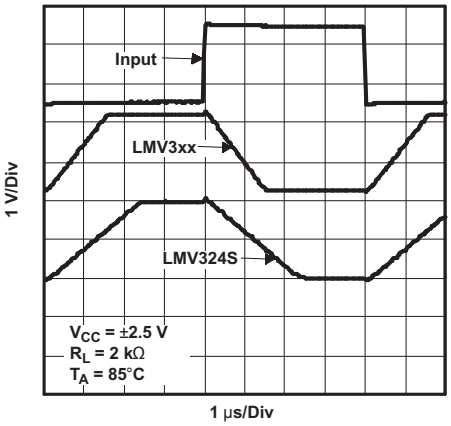


图 6-34. 反相大信号脉冲响应

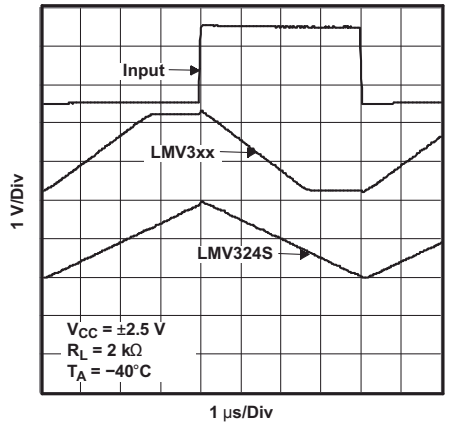


图 6-35. 反相大信号脉冲响应

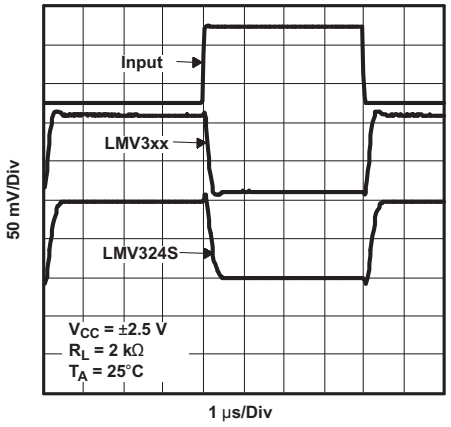


图 6-36. 反相小信号脉冲响应

Copyright © 2023 Texas Instruments Incorporated

6.9 典型特性 (continued)

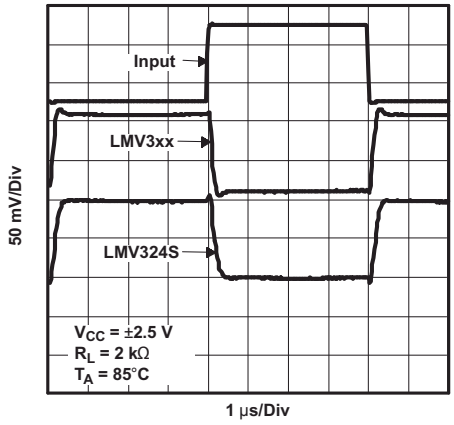


图 6-37. 反相小信号脉冲响应

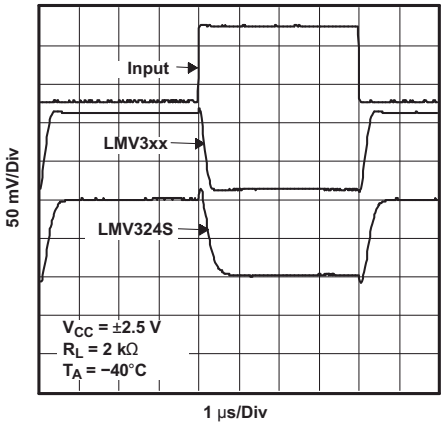


图 6-38. 反相小信号脉冲响应

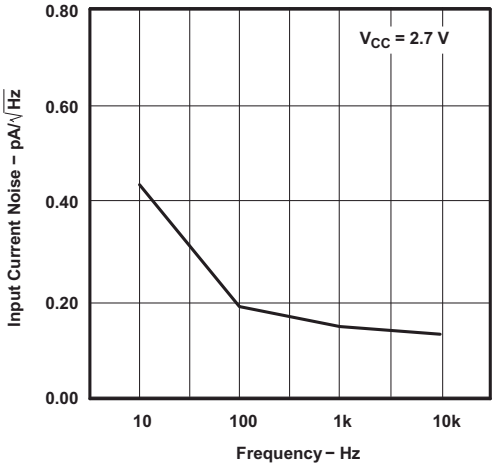


图 6-39. 输入电流噪声与频率间的关系

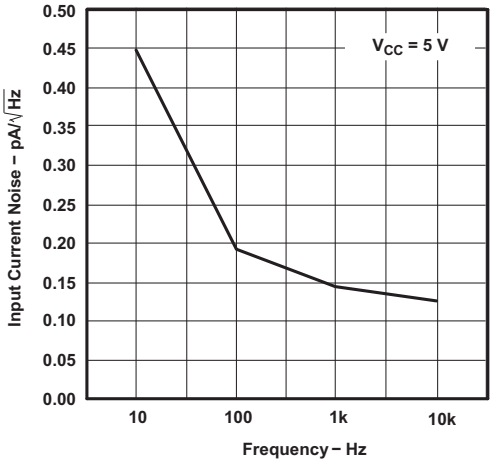


图 6-40. 输入电流噪声与频率间的关系

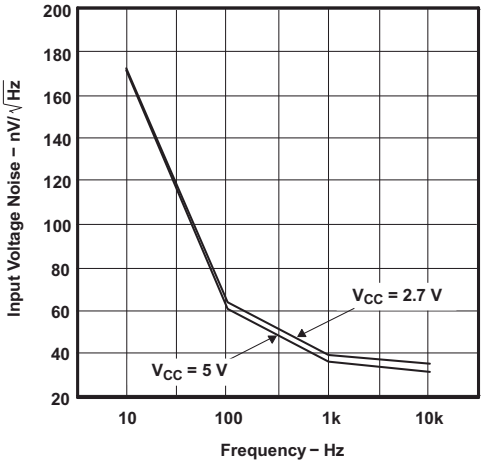


图 6-41. 输入电压噪声与频率间的关系

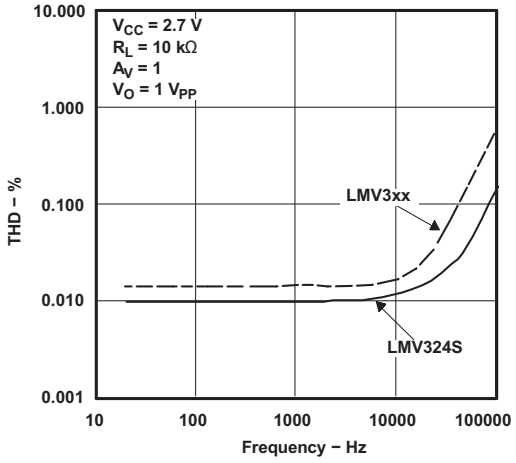


图 6-42. THD+N 与频率间的关系

6.9 典型特性 (continued)

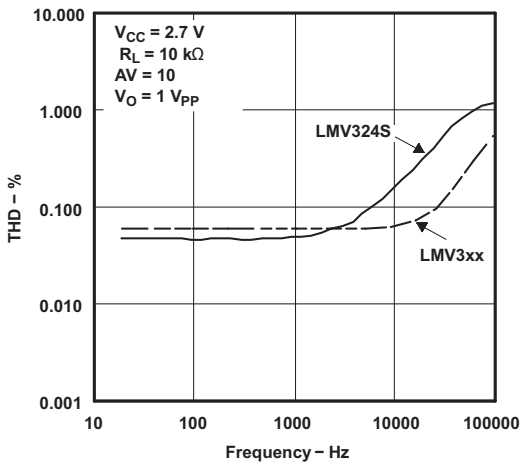


图 6-43. THD+N 与频率间的关系

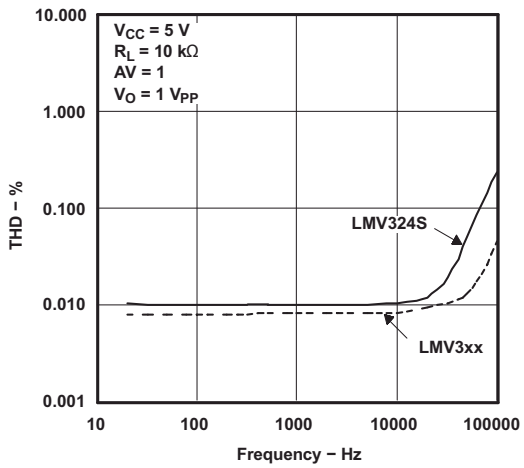


图 6-44. THD+N 与频率间的关系

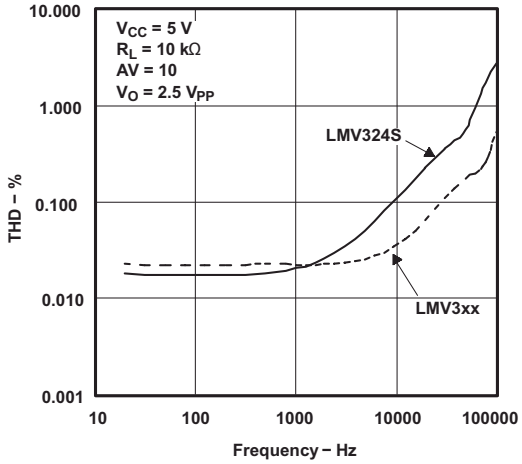


图 6-45. THD+N 与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

7 详细说明

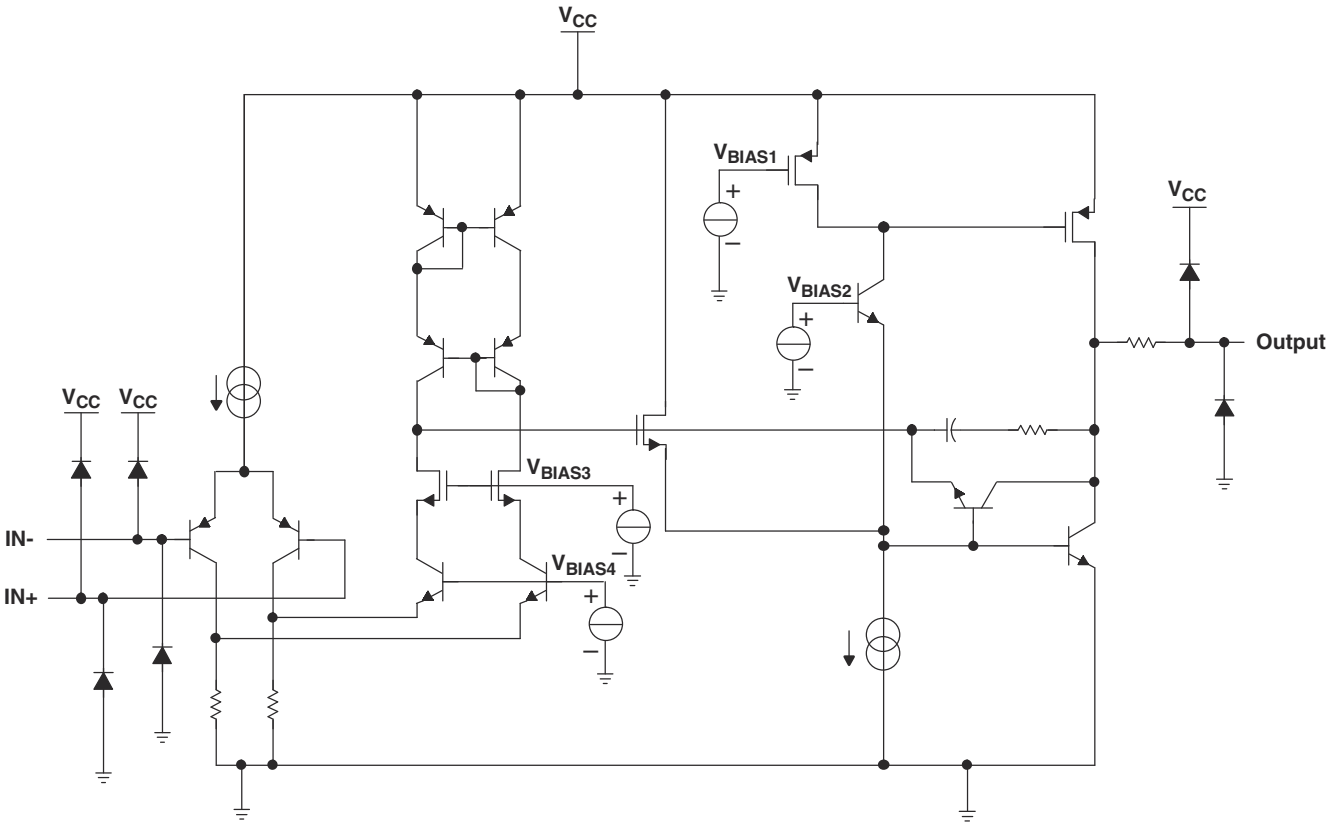
7.1 概述

LMV321、LMV358 和 LMV324 器件分别是单通道、双通道和四通道低压（2.7V 至 5.5V）运算放大器，具有轨到轨输出摆幅。

LMV321、LMV358 和 LMV324 器件是颇具成本效益的解决方案，适用于需要低工作电压、节省空间和低成本的应用。这些放大器专门针对低工作电压（2.7V 至 5V）而设计，性能规格可达到或超过 LM358 和 LM324 器件（工作电压范围为 5V 至 30V）。LMV3xx 器件的其他特性包括共模输入电压范围（包括接地、1MHz 单位增益带宽和 1V/μs 压摆率）。

LMV321 器件采用超小型封装，尺寸约为 DBV (SOT-23) 封装的一半。该封装可节省印刷电路板空间，便于设计小巧的便携式电子设备。它还允许设计人员将器件放置在更靠近信号源的位置，从而降低噪声拾取，增强信号完整性。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

LMV321、LMV358 和 LMV324 器件可确保正常工作的额定工作电压范围为 2.7V 至 5V。此外，许多规格在 –40°C 至 125°C 的温度范围内都适用。*电气特性* 表展示了随着工作电压或温度而显著变化的参数。

7.3.2 单位增益带宽

单位增益带宽具有单位增益的放大器可以工作而不会导致信号严重失真的最大频率。LMV321、LMV358、LMV324 器件具有 1MHz 的单位增益带宽。

7.3.3 压摆率

压摆率是指运算放大器在输入发生变化时可以改变输出的速率。LMV321、LMV358、LMV324 器件具有 1V/μs 的压摆率。

7.4 器件功能模式

LMV321、LMV358 和 LMV324 器件会在连接电源时通电。这些器件中的每一款均可根据应用情况作为单电源运算放大器或双电源放大器使用。

Copyright © 2023 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 典型应用

某些应用需要差分信号。图 8-1 展示了采用单个 2.7V 电源的简单电路将 0.5V 至 2V 的单端输入转换为 ±1.5V 的差分输出。本示例特意限制输出范围以最大限度提高线性度。此电路由两个放大器构成。一个放大器充当缓冲器并产生电压 V_{OUT+}。另一个放大器反转输入并添加参考电压以生成 V_{OUT-}。V_{OUT+} 和 V_{OUT-} 的范围均为 0.5V 至 2V。V_{DIFF} 是指 V_{OUT+} 和 V_{OUT-} 之间的差值。本文使用 LMV358 构建该电路。

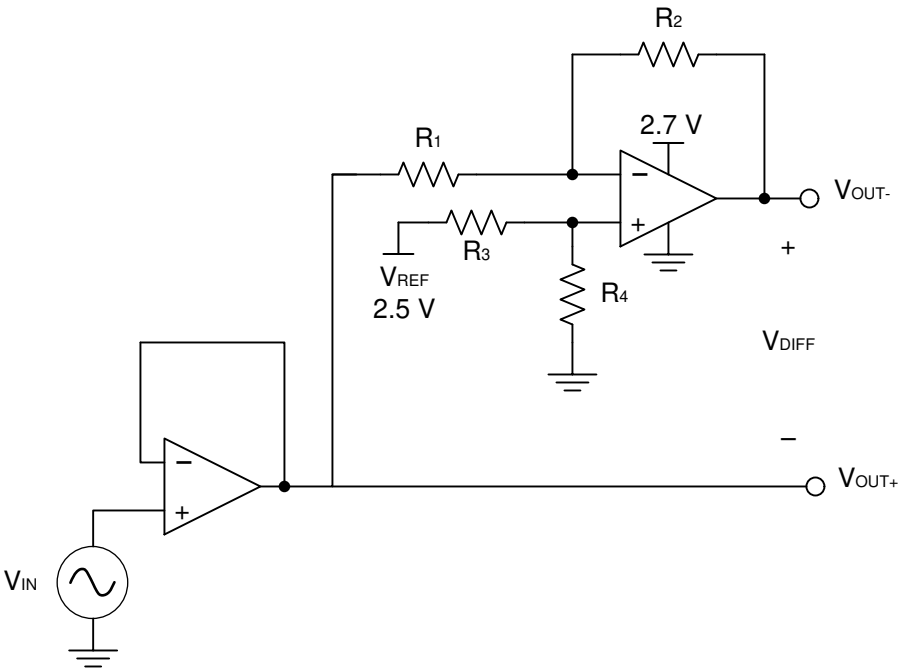


图 8-1. 单端输入转差分输出原理图

8.1.1 设计要求

设计要求如下：

- 电源电压：2.7V
- 基准电压：2.5V
- 输入：0.5V 至 2V
- 输出差分：±1.5V

8.1.2 详细设计过程

图 8-1 中的电路使用两个放大器和基准电压 V_{REF}，接受单端输入信号 V_{IN}，并生成两个输出信号 V_{OUT+} 和 V_{OUT-}。V_{OUT+} 是第一个放大器的输出，并且是输入信号 V_{IN} 的缓冲版本（如方程式 1 所示）。V_{OUT-} 是第二个放大器的输出，该放大器使用 V_{REF} 将失调电压添加至 V_{IN} 和反馈以添加反相增益。V_{OUT-} 的传递函数如方程式 2 所示。

$$V_{OUT+} = V_{IN} \tag{1}$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4}\right) \times \left(1 + \frac{R_2}{R_1}\right) - V_{IN} \times \frac{R_2}{R_1} \tag{2}$$

差分输出信号 (V_{DIFF}) 是两个单端输出信号（V_{OUT+} 和 V_{OUT-}）之差。方程式 3 显示了 V_{DIFF} 的传递函数。通过应用 $R_1 = R_2$ 和 $R_3 = R_4$ 两种条件，传递函数简化为 方程式 6。使用此配置，最大输入信号等于基准电压，每个放大器的最大输出等于 V_{REF}。差分输出范围为 $2 \times V_{REF}$。此外，共模电压为 V_{REF} 的一半（请参阅方程式 7）。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = V_{IN} \times \left(1 + \frac{R_2}{R_1}\right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4}\right)\left(1 + \frac{R_2}{R_1}\right) \tag{3}$$

$$V_{OUT+} = V_{IN} \tag{4}$$

$$V_{OUT-} = V_{REF} - V_{IN} \tag{5}$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \tag{6}$$

$$V_{cm} = \left(\frac{V_{OUT+} + V_{OUT-}}{2}\right) = \frac{1}{2} V_{REF} \tag{7}$$

8.1.2.1 放大器选择

输入范围的线性是实现良好直流精度的关键。共模输入范围和输出摆幅限制决定了线性度。通常，需要具有轨到轨输入和输出摆幅的放大器。带宽是此设计的一个关键考虑因素。由于 LMV358 的带宽为 1MHz，此电路将只能处理频率小于 1MHz 的信号。

8.1.2.2 无源组件选择

由于 V_{OUT-} 的传递函数高度依赖于电阻器（R_1、R_2、R_3 和 R_4），因此应使用低容差的电阻器来最大限度提高性能并最大限度减小误差。此设计使用电阻值为 36kΩ
且测量容差小于 2% 的电阻器。如果系统噪声是关键参数，用户可以选择较低电阻值（6kΩ 或更低）以使整个系统保持低噪声。这样可以确保电阻器噪声低于放大器噪声。

Copyright © 2023 Texas Instruments Incorporated

8.1.3 应用曲线

图 8-2、图 8-3 和图 8-4 中测得的传递函数是通过扫描 0V 至 2.5V 的输入电压而生成的。不过，本设计应仅在 0.5V 至 2V 范围内使用，以便实现最佳线性度。

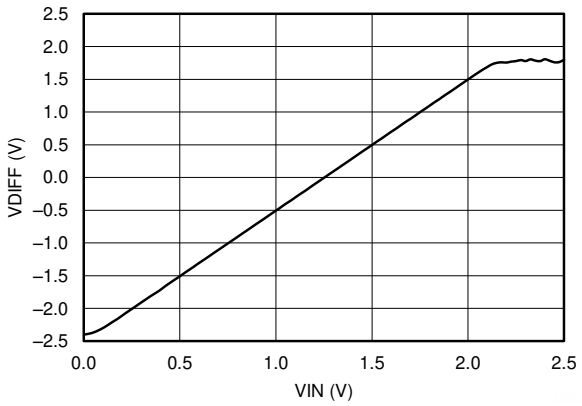


图 8-2. 差分输出电压与输入电压间的关系

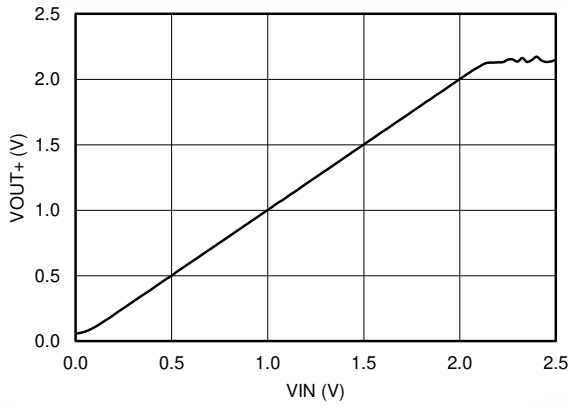


图 8-3. 正输出电压节点与输入电压间的关系

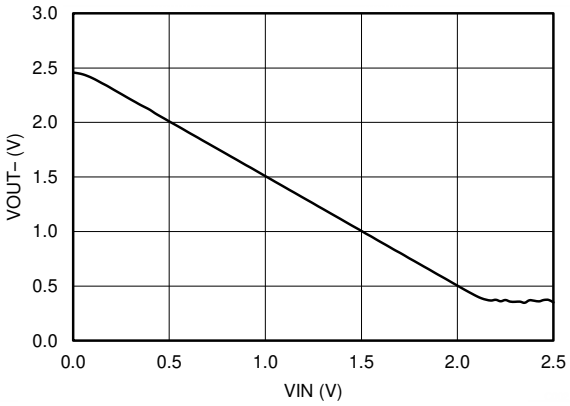


图 8-4. 正输出电压节点与输入电压间的关系

8.2 电源相关建议

LMV321、LMV358、LMV324 器件的额定工作电压范围为 2.7V 至 5V；许多规格适用于 –40°C 至 125°C 的温度范围。*典型特性* 部分介绍了可能会随工作电压或温度而显著变化的参数。

CAUTION

电源电压超过 5.5V 会对器件造成永久损坏（请参阅*绝对最大额定值*）。

将 0.1μF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置位置的更多详细信息，请参阅 *布局* 部分。

Copyright © 2023 Texas Instruments Incorporated

8.3 布局

8.3.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容器通过提供位于模拟电路本地的低阻抗电源来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单电源应用。
- 将电路的模拟和数字部分单独接地是最简单且最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。更多详细信息，请参阅*电路板布局布线技巧*。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些迹线不能保持分离状态，最好让敏感走线与有噪声的走线垂直相交，而不是平行相交。
- 外部组件的位置应尽量靠近器件。如*布局示例*部分中所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的漏电流。

8.3.2 布局示例

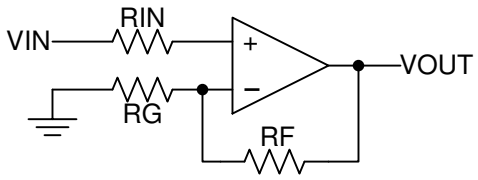


图 8-5. 同相配置的运算放大器原理图

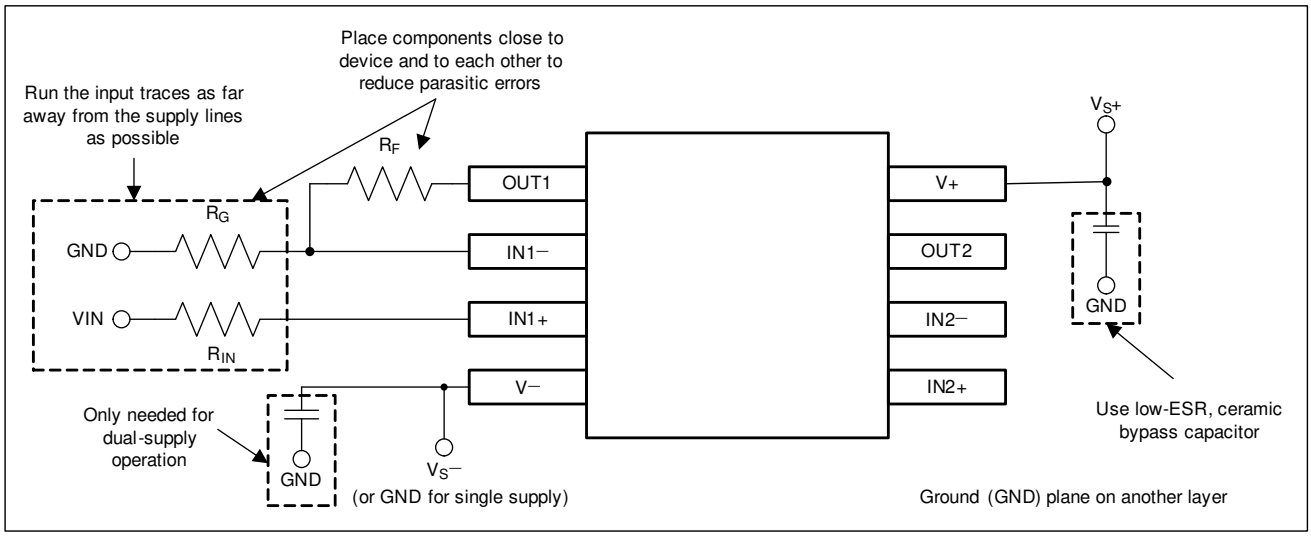


图 8-6. 同相配置的运算放大器电路板布局

Copyright © 2023 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV321IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	(R3F, R3K, R3O, R3R, R3Z)
LMV321IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(R3F, R3K, R3O, R3R, R3Z)
LMV321IDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	(R3C, R3F, R3R)
LMV321IDCKT.A	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(R3C, R3F, R3R)
LMV324ID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LMV324I
LMV324IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRE4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324QD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LMV324Q
LMV324QDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q
LMV324QDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV324QDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q
LMV324QPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	MV324Q
LMV324QPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV324QPWRE4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV324QPWRE4.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV358ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	MV358I
LMV358IDDUR	Obsolete	Production	VSSOP (DDU) | 8	-	-	Call TI	Call TI	-40 to 125	RA5R
LMV358IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	MV358I
LMV358IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWR.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPWRG4.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358QD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	MV358Q
LMV358QDDUR	Obsolete	Production	VSSOP (DDU) | 8	-	-	Call TI	Call TI	-40 to 125	RAHR
LMV358QDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV358QDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q
LMV358QPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q
LMV358QPWR.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

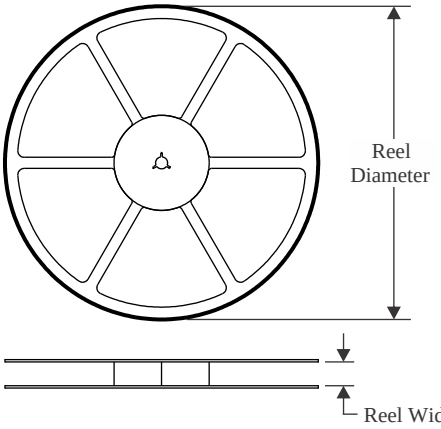
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

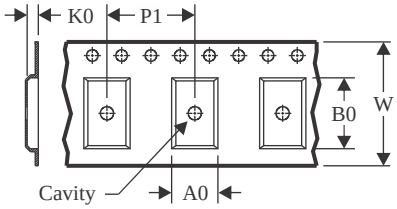
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

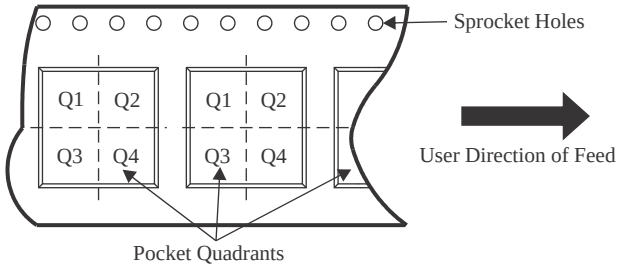


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

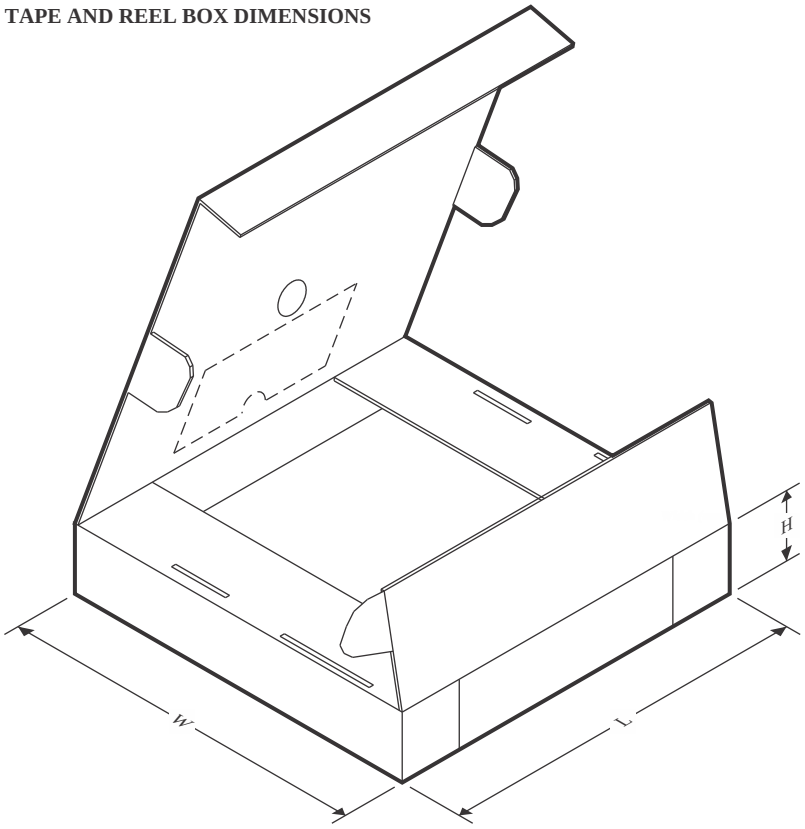


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV321IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
LMV321IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321IDCKT	SC70	DCK	5	250	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
LMV324IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324IDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
LMV324QDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324QPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324QPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV324QPWRE4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
LMV358IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMV358IPWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358QDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358QPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

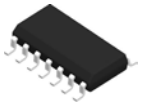
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
LMV321IDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
LMV321IDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321IDCKT	SC70	DCK	5	250	210.0	185.0	35.0
LMV324IDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324IDRG4	SOIC	D	14	2500	353.0	353.0	32.0
LMV324IPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
LMV324IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
LMV324IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324IPWRG4	TSSOP	PW	14	2000	367.0	367.0	35.0
LMV324QDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324QPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324QPWR	TSSOP	PW	14	2000	366.0	364.0	50.0
LMV324QPWRE4	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV358IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV358IDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
LMV358IDGKR	VSSOP	DGK	8	2500	370.0	355.0	55.0
LMV358IDR	SOIC	D	8	2500	353.0	353.0	32.0
LMV358IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LMV358IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
LMV358IPWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
LMV358QDGKR	VSSOP	DGK	8	2500	370.0	355.0	55.0
LMV358QDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LMV358QDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
LMV358QDR	SOIC	D	8	2500	340.5	338.1	20.6
LMV358QPWR	TSSOP	PW	8	2000	366.0	364.0	50.0

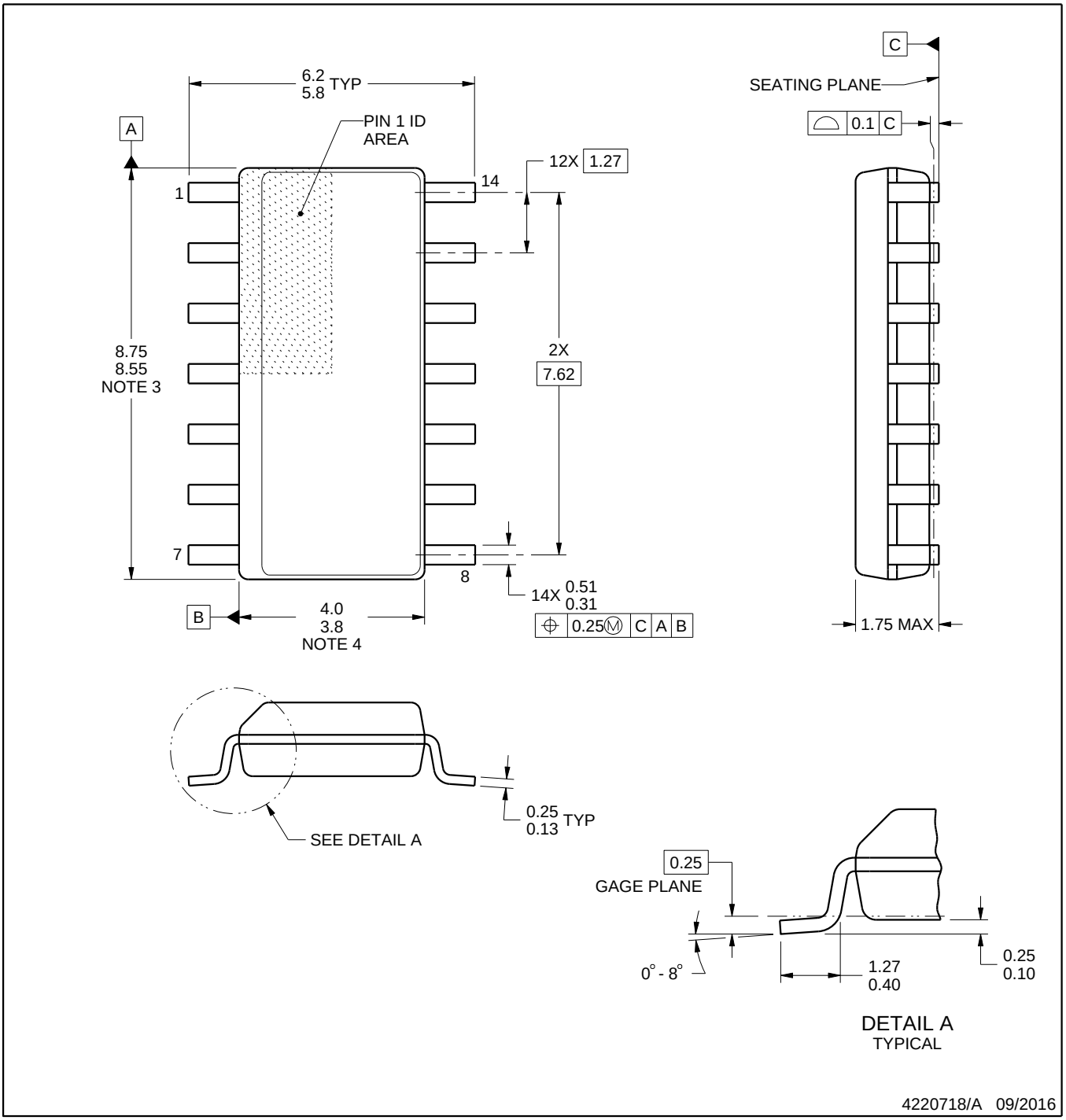


PACKAGE OUTLINE

D0014A

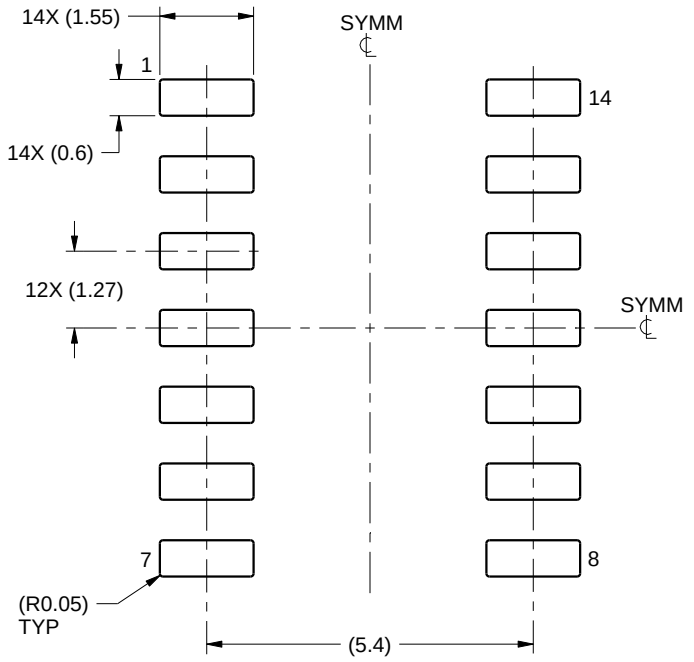
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

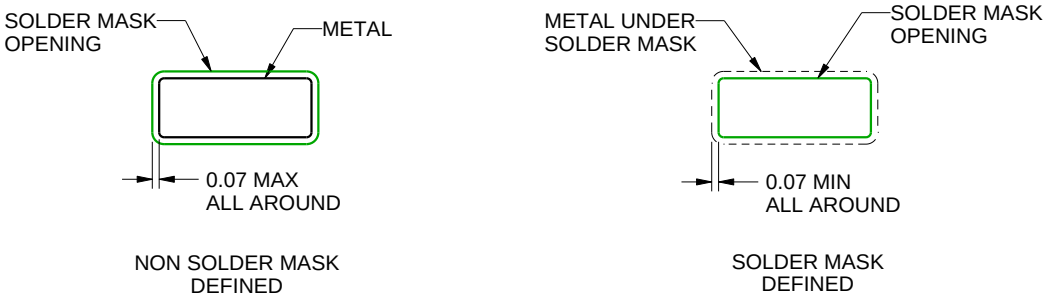


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

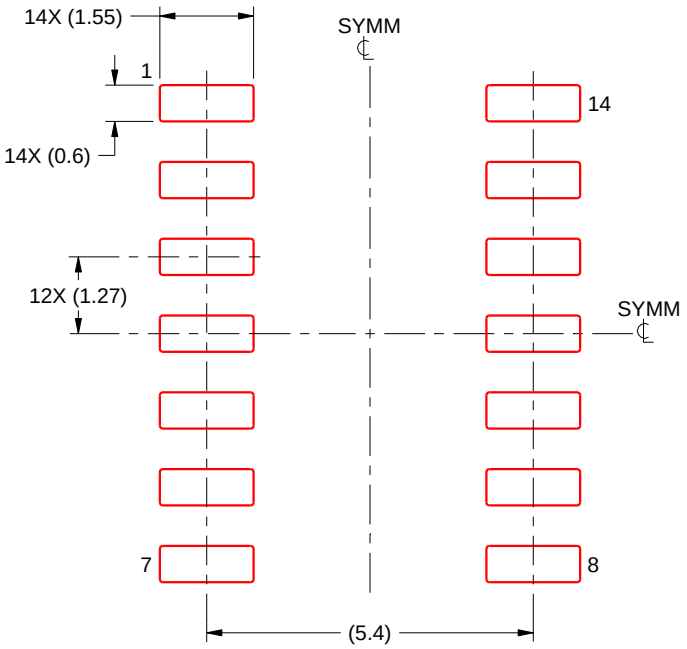
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

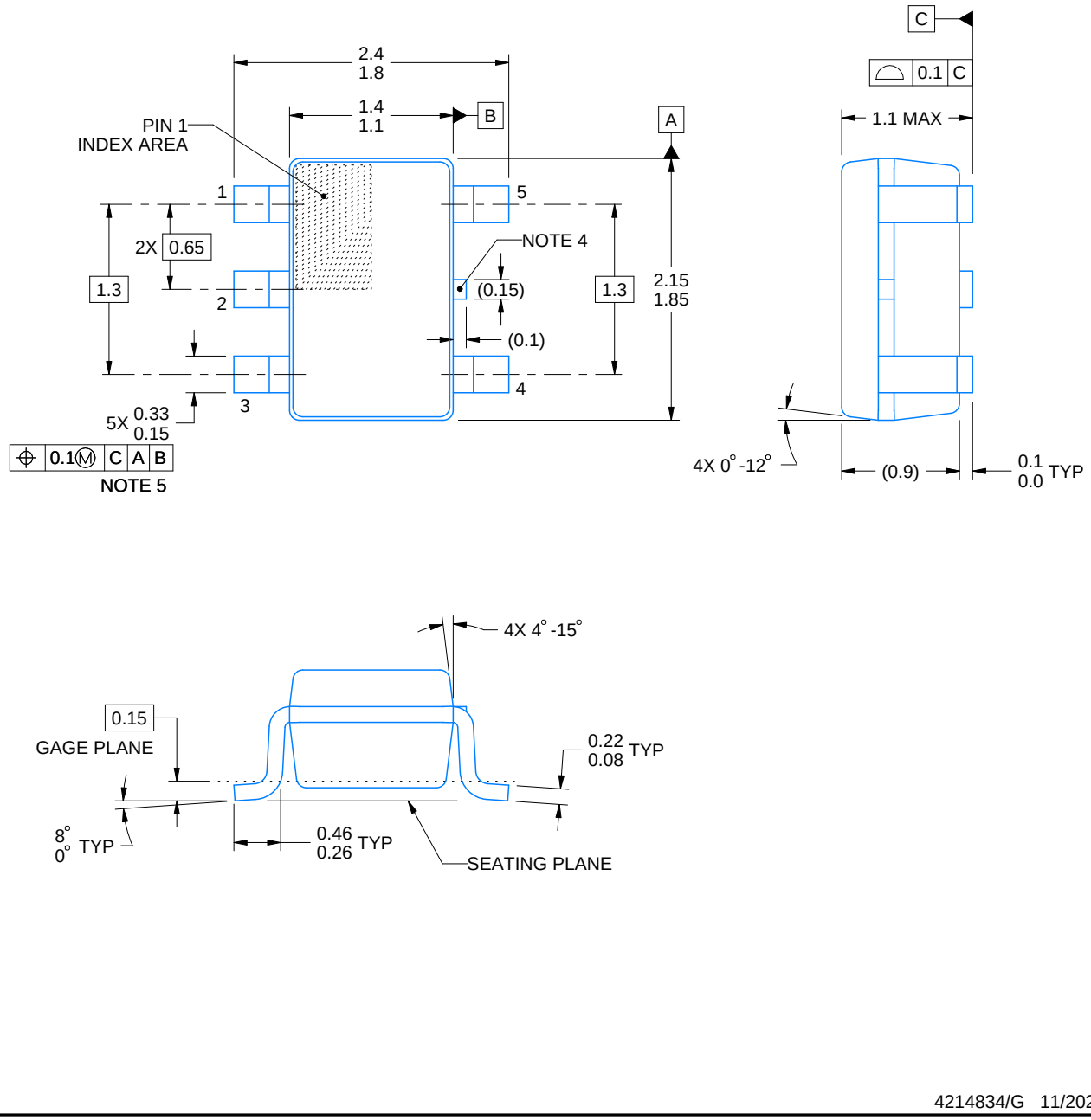
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

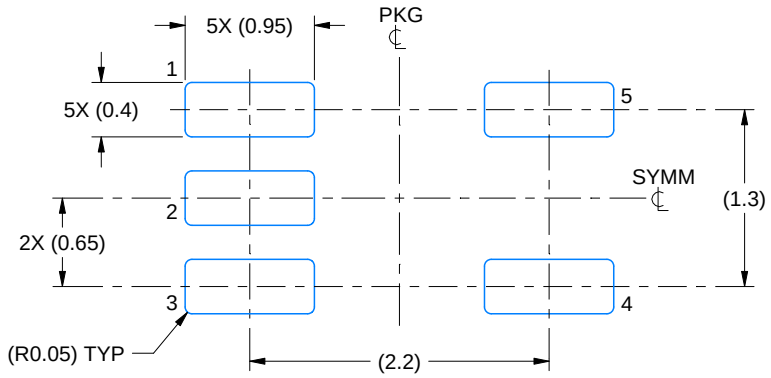
SMALL OUTLINE TRANSISTOR



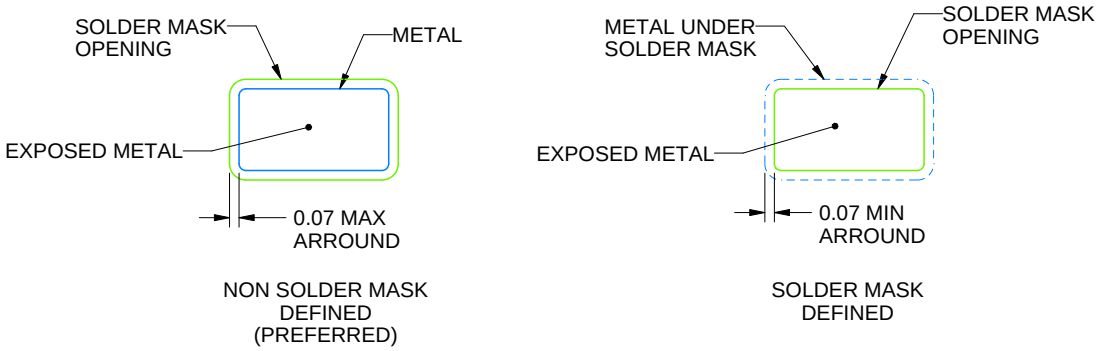
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

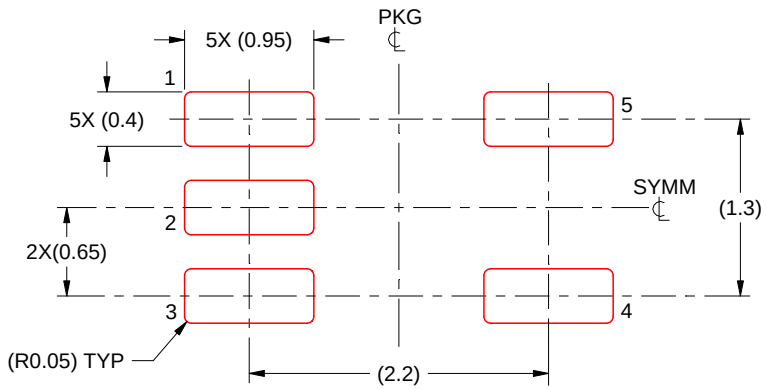


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

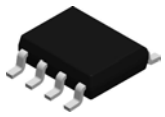


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

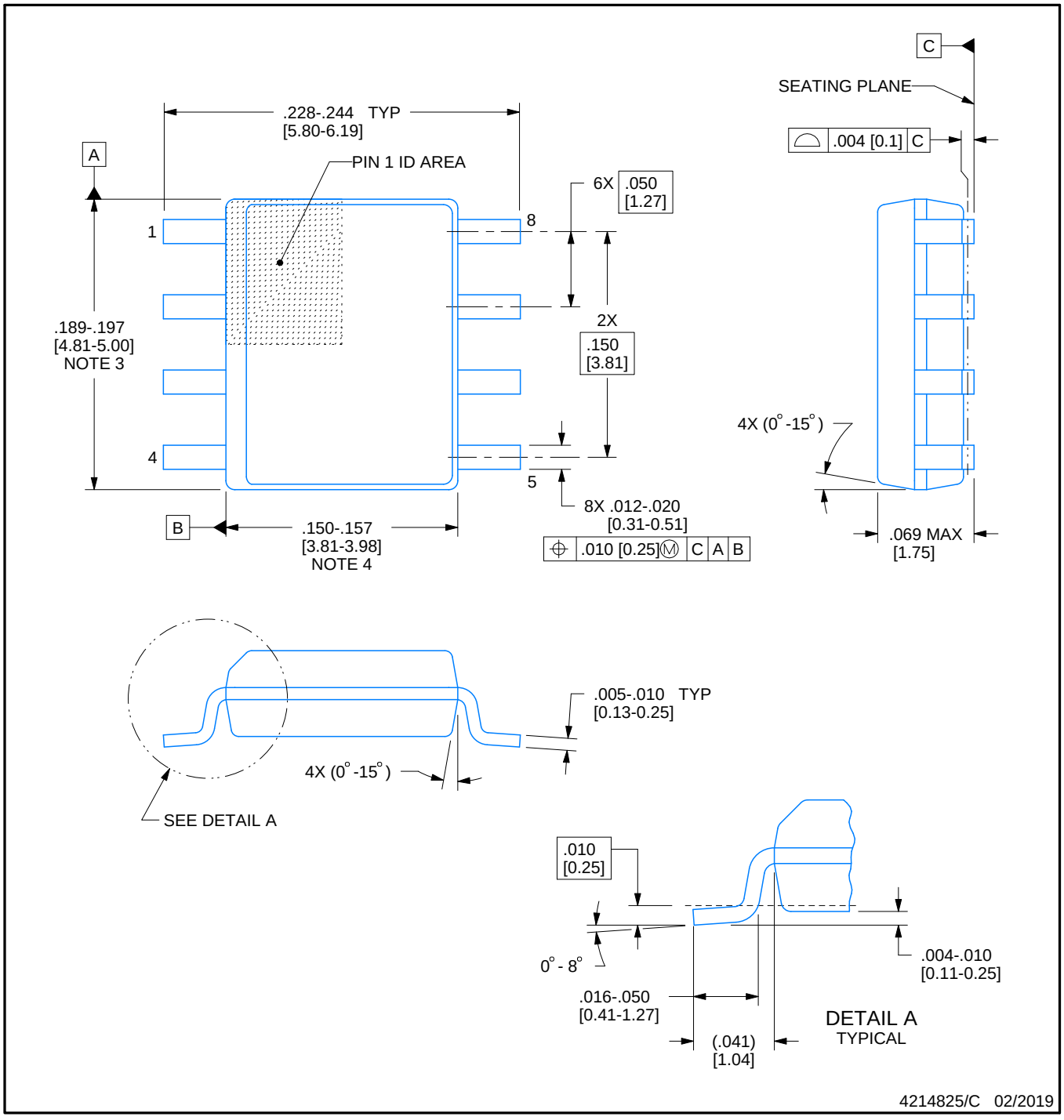


PACKAGE OUTLINE

D0008A

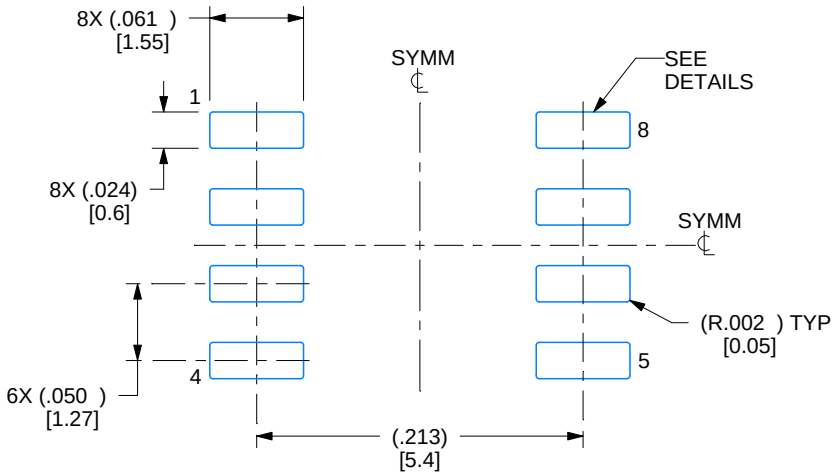
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

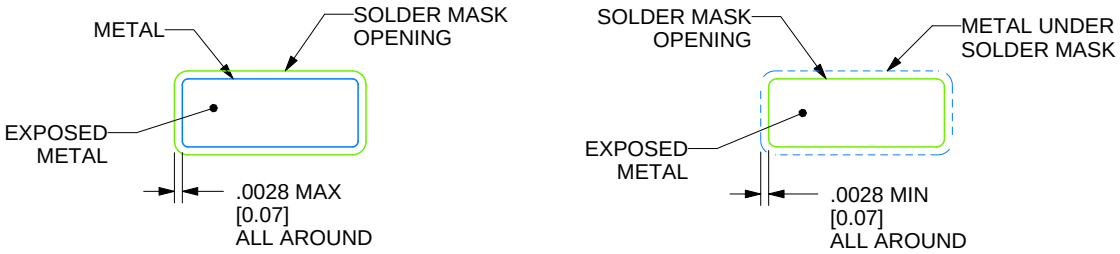


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

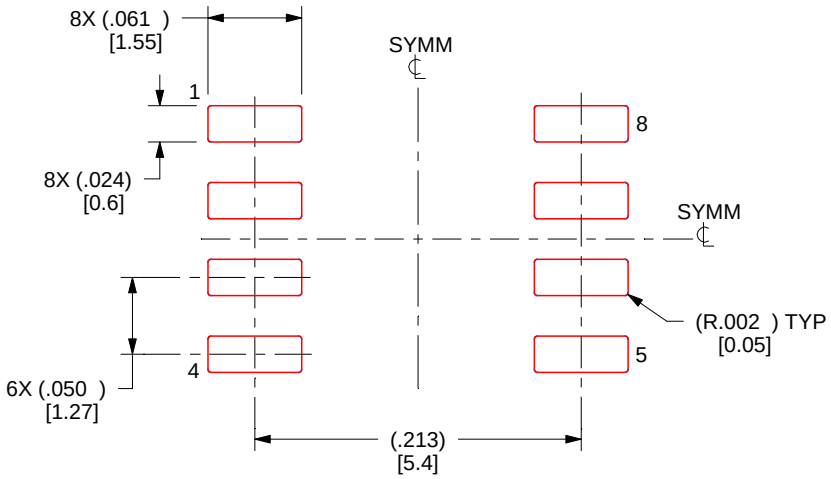
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

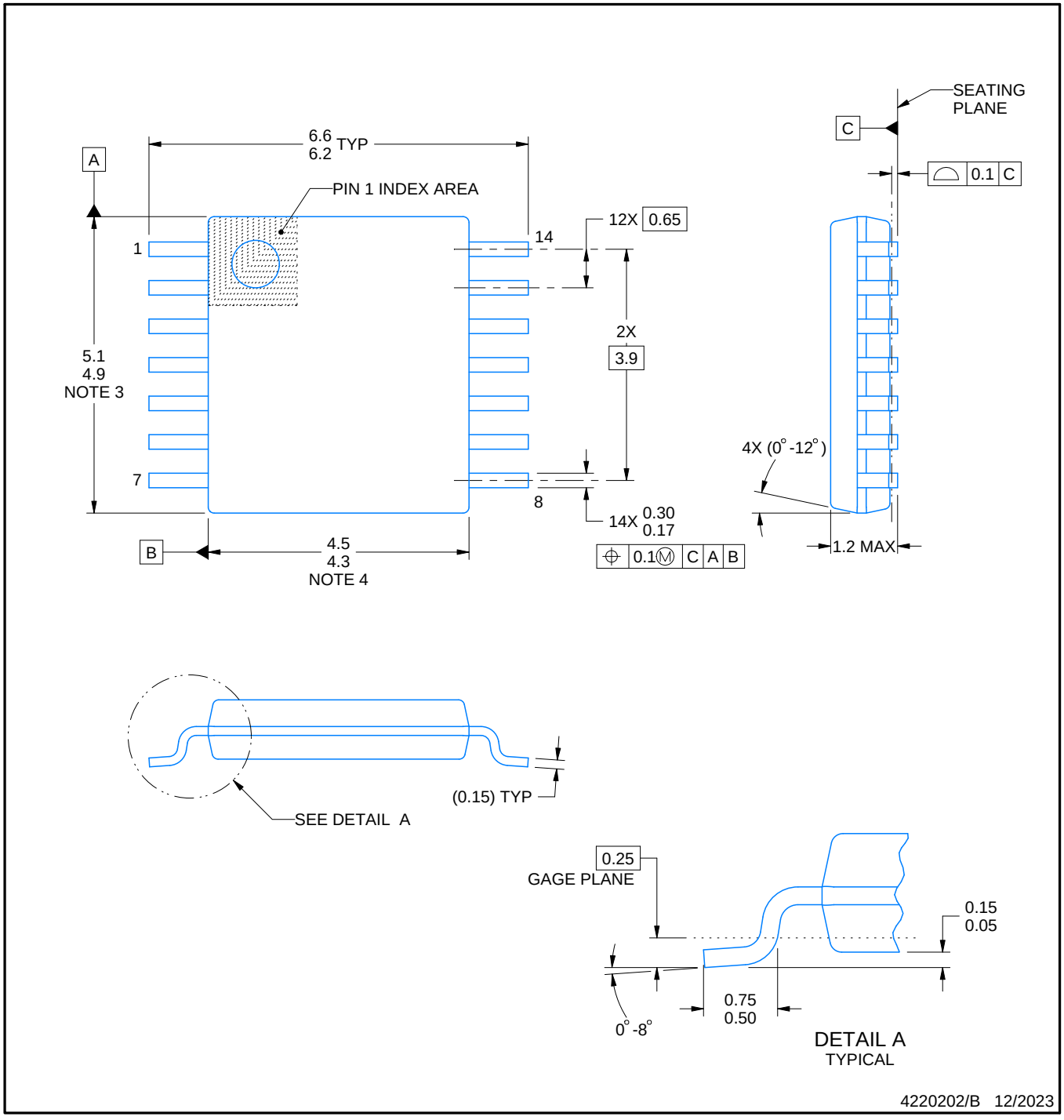
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

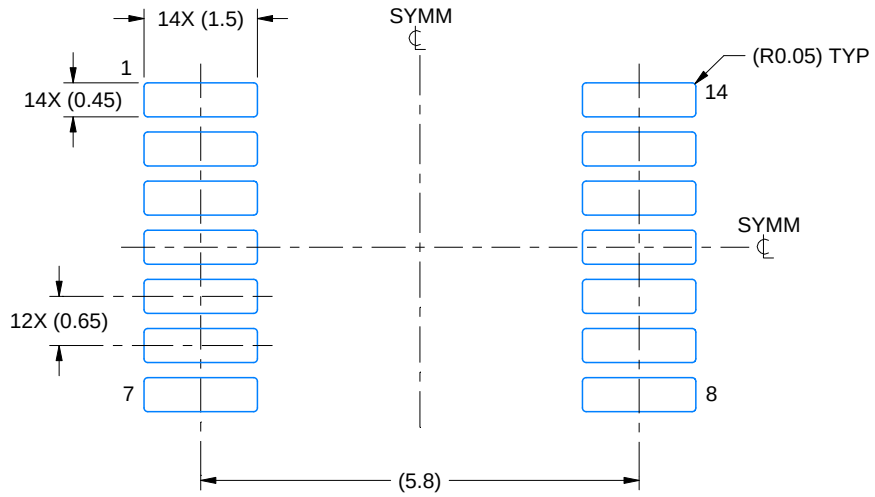
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

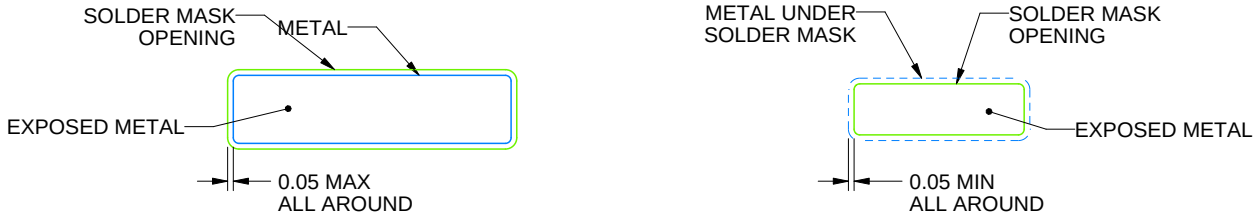


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

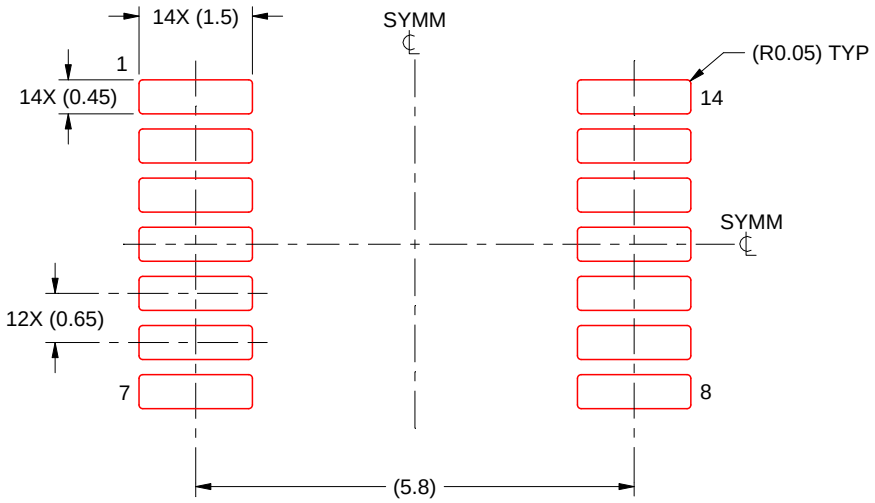


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

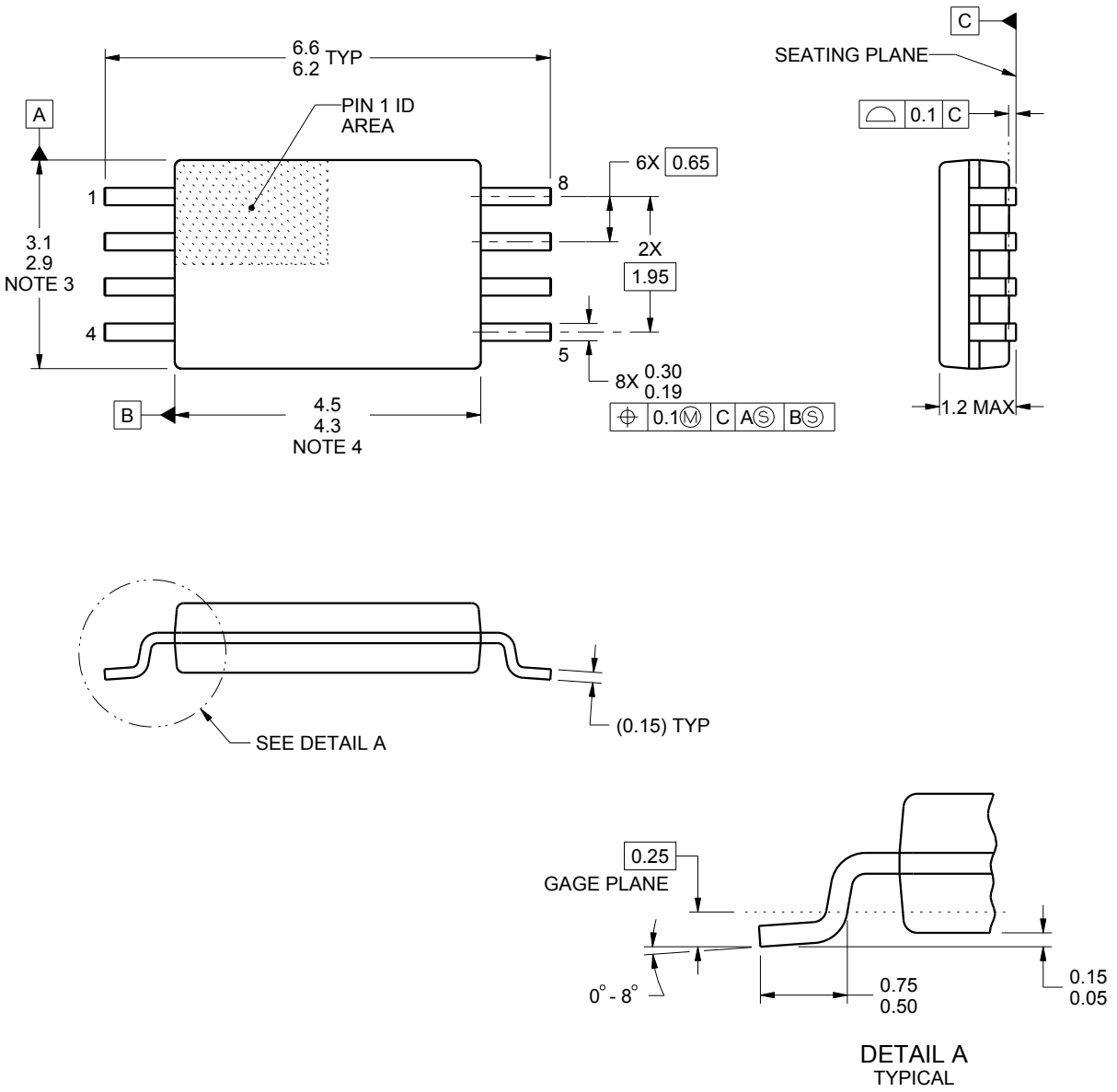
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

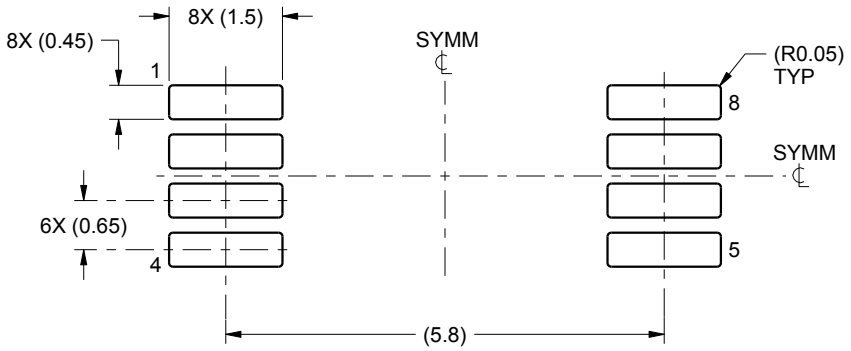
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

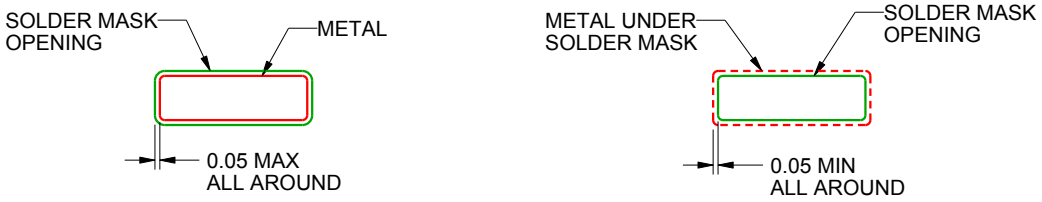


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

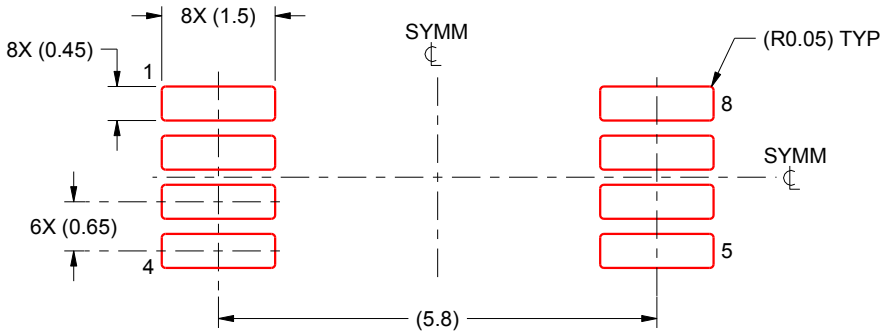


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

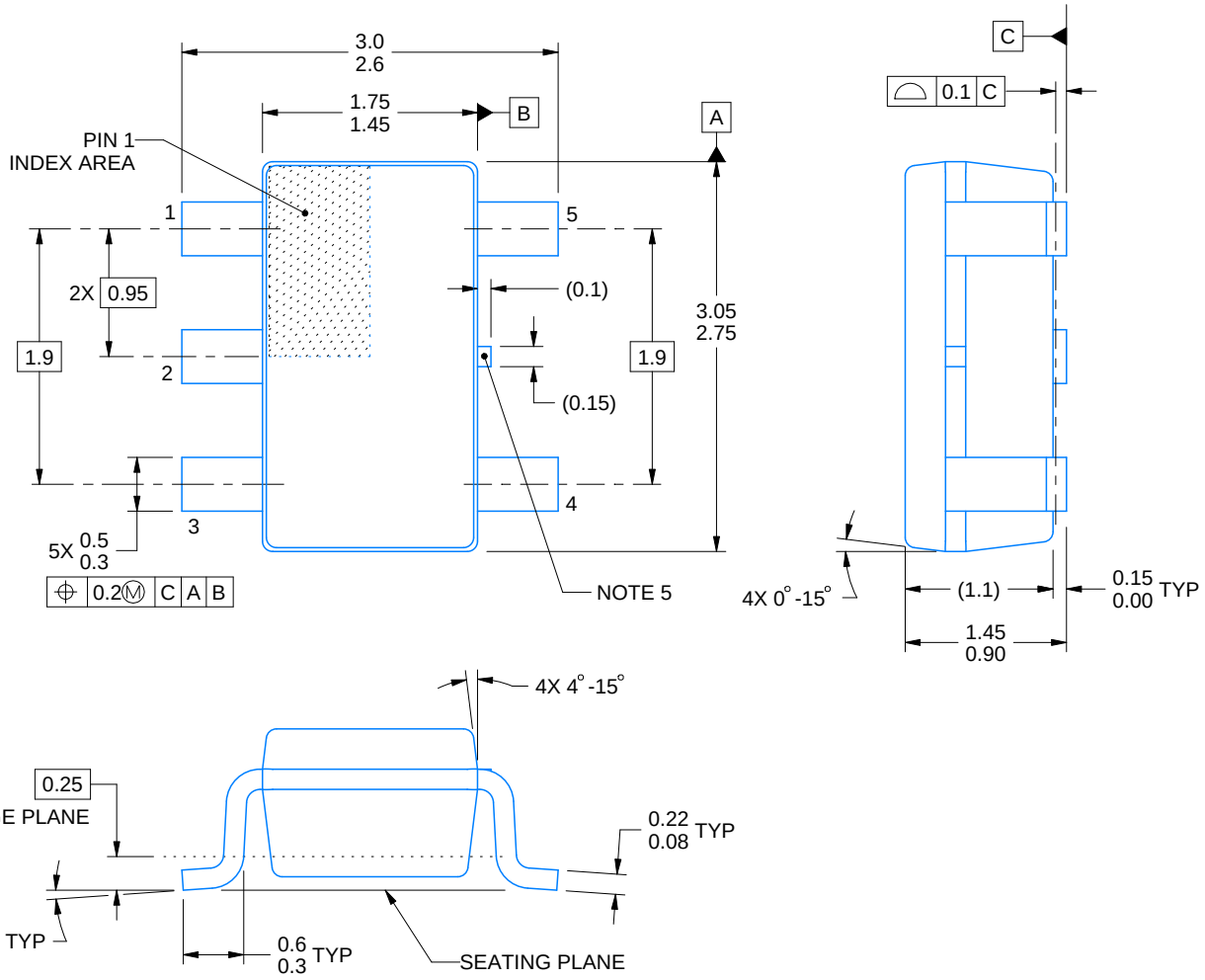
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

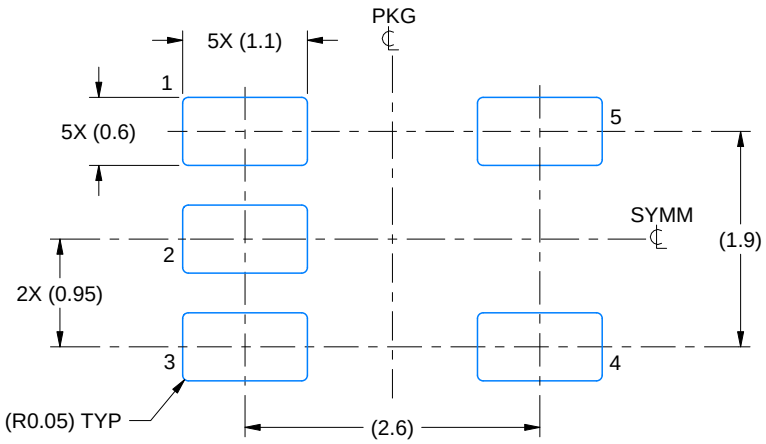
SMALL OUTLINE TRANSISTOR



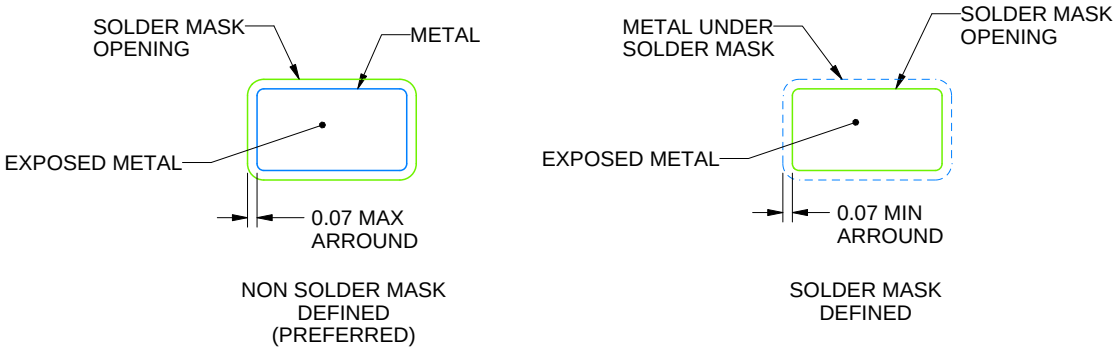
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

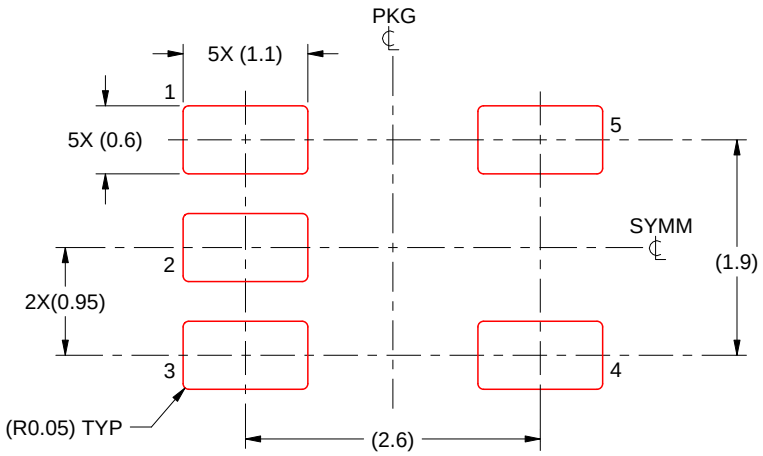


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

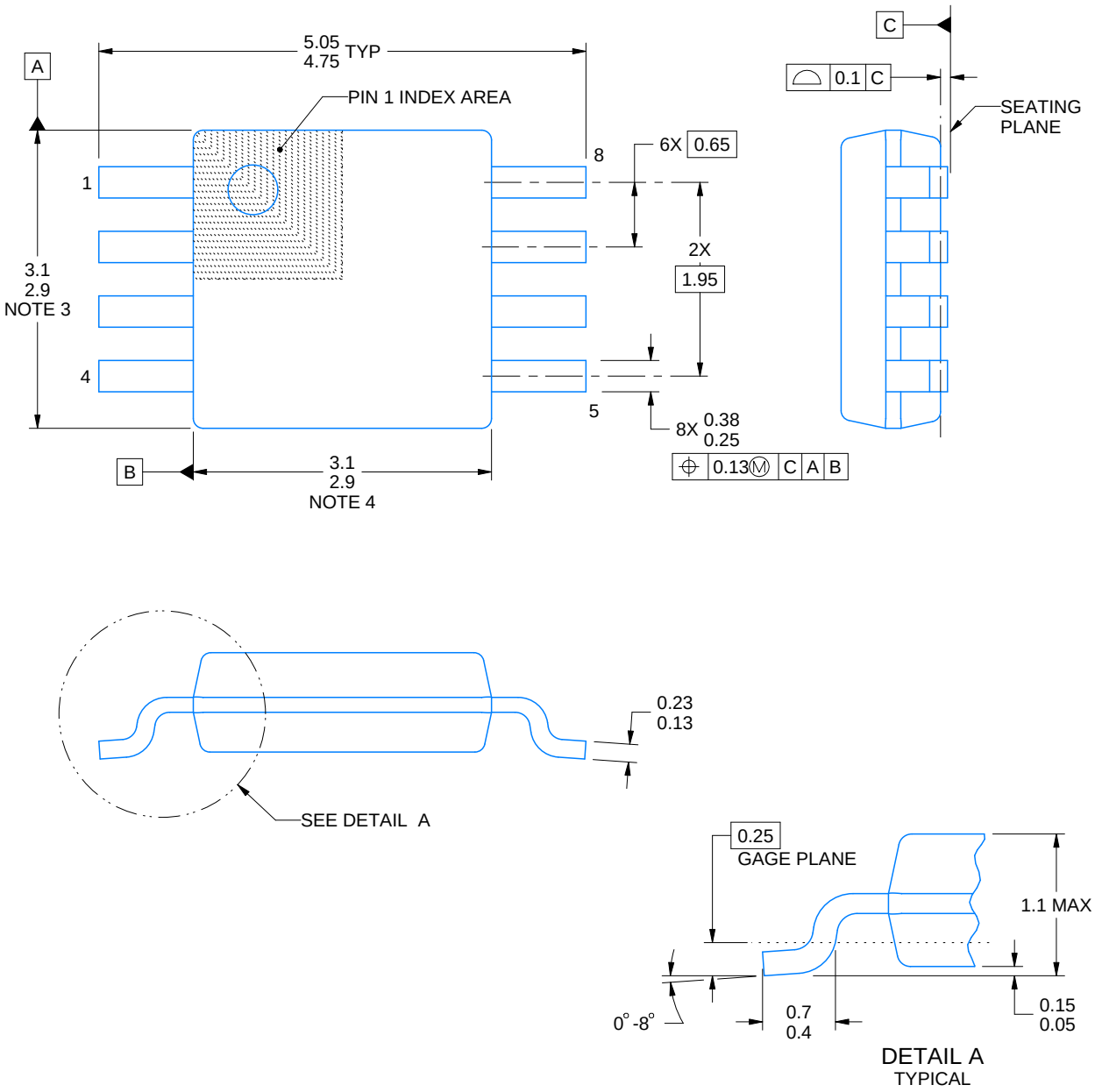
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

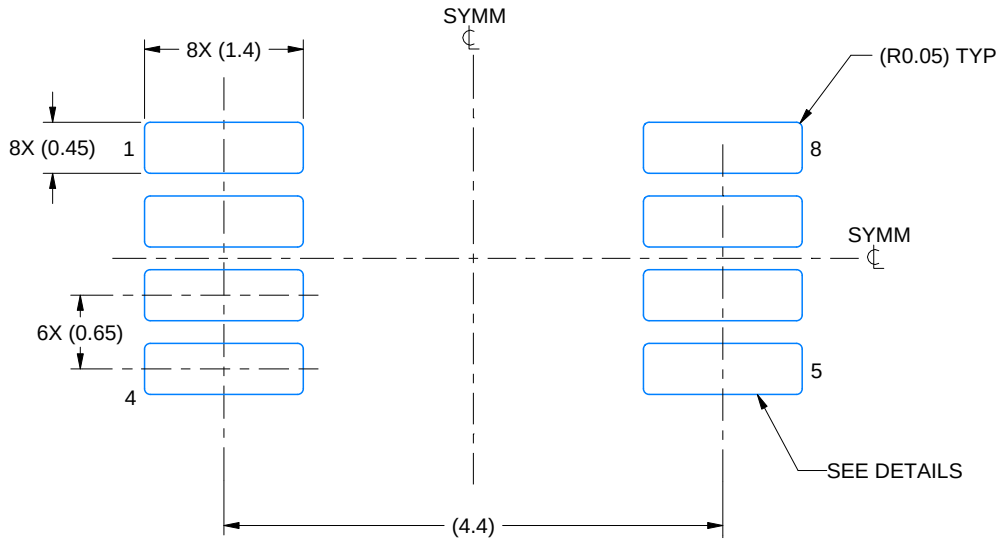
SMALL OUTLINE PACKAGE



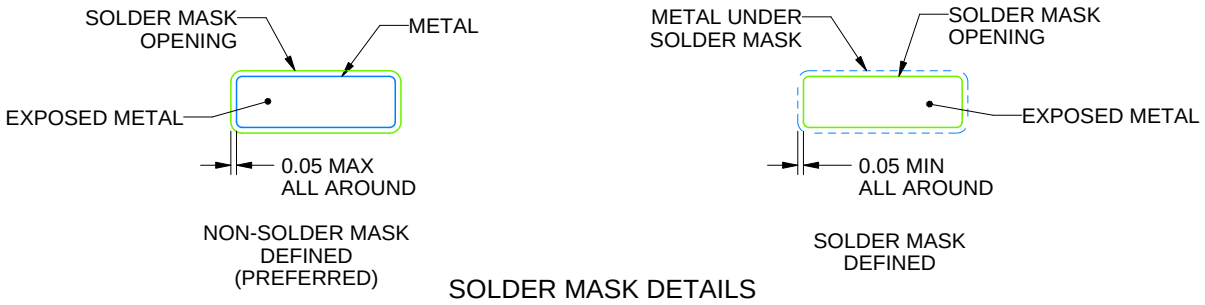
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

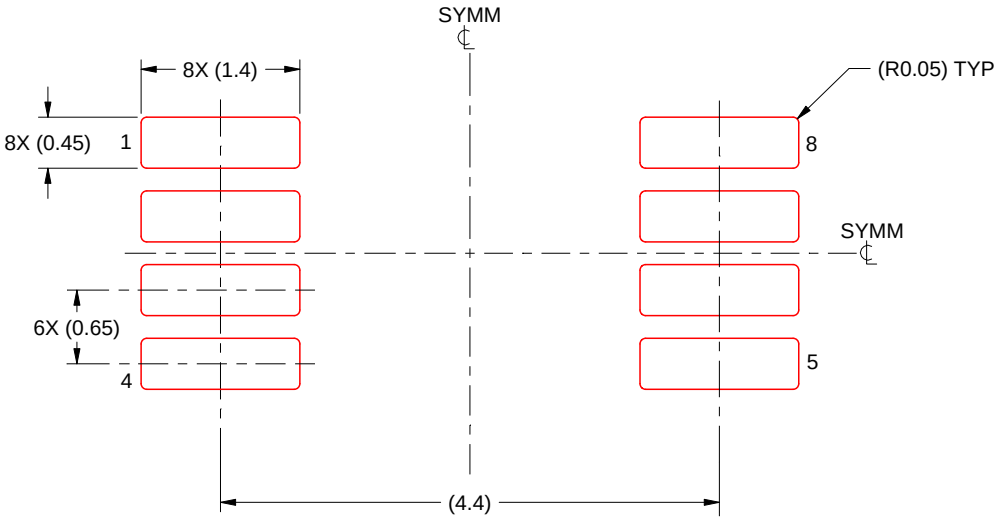


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



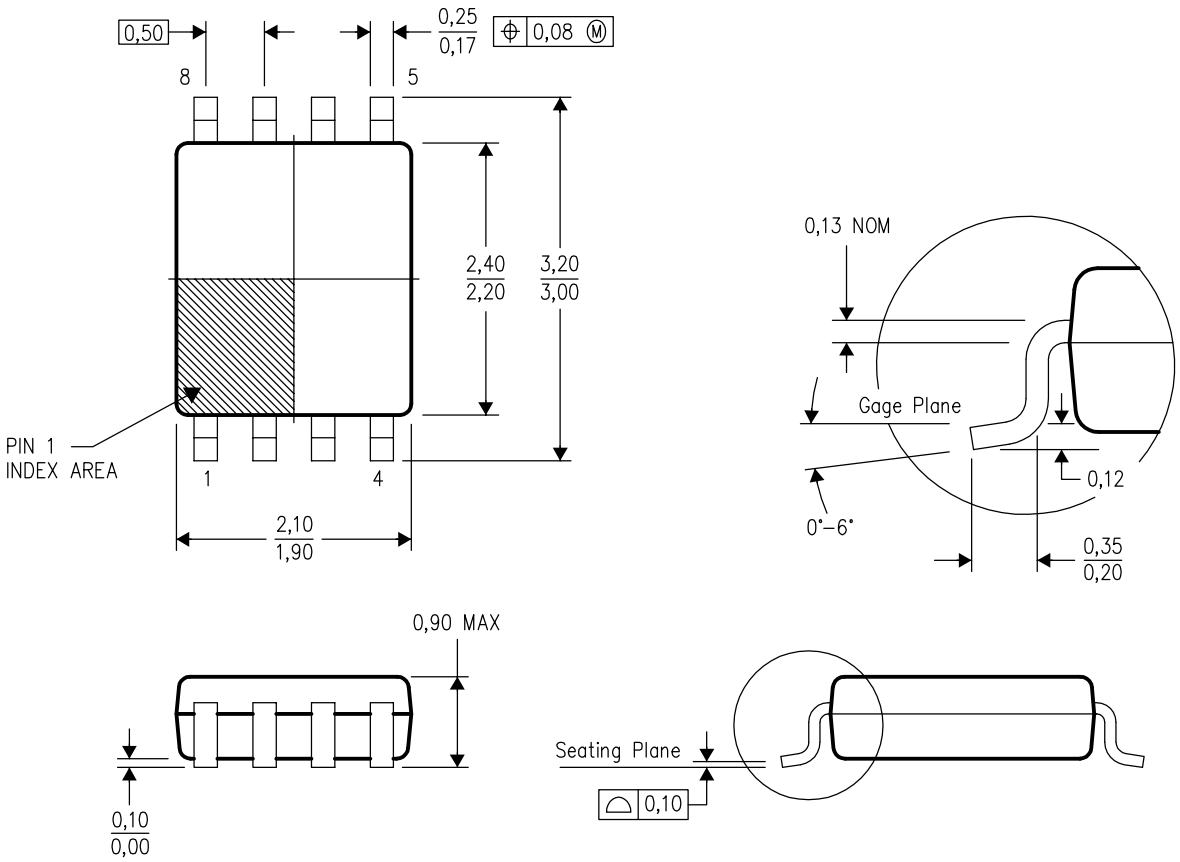
SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DDU (R–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4205140/A 05/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion.
D. Falls within JEDEC MO–187 variation CA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月