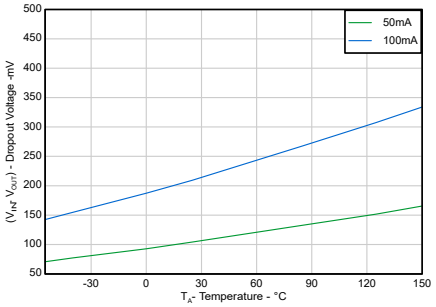
LP295x 100mA、30V 具有关断功能的可调节电压稳压器

1 特性

- 宽输入电压范围
  - V_{IN} 范围：2V 至 30V
- 宽输出电压范围 V_{OUT}
  - 固定电压：3V（旧芯片）、3.3V、5.0V
  - 可调节电压：V_{REF} 至 29V
- 输出电流：100mA
- V_{OUT} 精度：
  - 根据线路、负载和温度 ±2%（旧芯片）
  - 根据线路、负载和温度 ±1%（新芯片）
- 静态电流 I_Q（新芯片）：50 µA（典型值）
- 低压降（新芯片）：340mV（典型值）
- 输出电流限制和热关断
- 在各种陶瓷输出电容值范围内可保持稳定
  - C_{OUT} 范围：1 µF 至 100 µF（新芯片）
  - ESR 范围：0 至 2 Ω（新芯片）
- 工作结温：-40°C 至 125°C
- 封装选项：
  - LP（3 引脚 TO-92）
  - D（8 引脚 SOIC）
  - DRG（8 引脚 WSON）

2 应用

- 电网基础设施
- 工厂自动化
- 电机驱动器
- 楼宇自动化



V_{IN} = 4.9V

压降电压与温度间的关系（新芯片）

3 说明

LP2951 是一款具有宽输入范围的低压降稳压器 (LDO)，支持 2V 至 30V 的输入电压，可提供高达 100mA 的负载电流。LP2951 能够通过同一器件提供固定或可调输出。通过将 OUTPUT 和 SENSE 引脚连接在一起，以及将 FEEDBACK 和 V_{TAP} 引脚连接在一起，LP2951 输出可以提供 3.3V 或 5V 的固定输出。或者，将 SENSE 和 V_{TAP} 引脚保持在断开状态，同时将 FEEDBACK 连接至一个外部电阻分压器。此配置允许将输出设置为 V_{REF} 至 29V 之间的任何值（有关 V_{REF} 详细信息，请参阅电气特性（旧芯片和新芯片））。

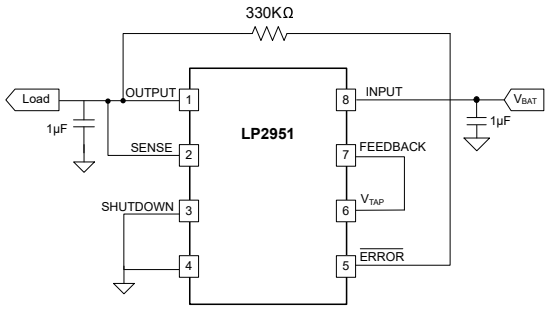
LP2951 具有可监控反馈引脚电压的 $\overline{\text{ERROR}}$ 输出，用于指示输出电压状态。SHUTDOWN 输入和 $\overline{\text{ERROR}}$ 输出用于对系统中的多个电源进行时序控制。

封装信息

器件型号	封装(1)	封装尺寸(2)
LP2950	LP（TO-92，3）	4.83mm × 4.83mm
LP2951	D（SOIC，8）	4.90mm x 6.00mm
	DRG（SON，8）	3.00mm x 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性（旧芯片和新芯片） 5
5.6 时序要求（仅限新芯片） 10
5.7 典型特性 11
6 详细说明 22
6.1 概述 22
6.2 功能方框图 22
6.3 特性说明 23
6.4 器件功能模式 24
7 应用和实施 24
7.1 应用信息 24
7.2 典型应用 26
7.3 电源相关建议 29
7.4 布局 29
8 器件和文档支持 30
8.1 器件支持 30
8.2 接收文档更新通知 30
8.3 器件命名规则 30
8.4 文档支持 30
8.5 支持资源 30
8.6 商标 30
8.7 静电放电警告 31
8.8 术语表 31
9 修订历史记录 31
10 机械、封装和可订购信息 31

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

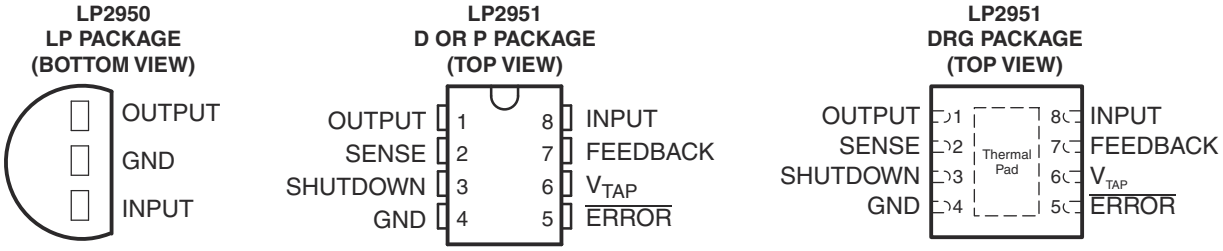


表 4-1. 引脚功能

引脚			类型(1)	说明
名称	LP2950	LP2951		
$\overline{\text{ERROR}}$	—	5	O	低电平有效开漏故障输出。V_{OUT} 下降标称值的 6% 时，变为低电平。
反馈	—	7	I	确定输出电压。连接到 V_{TAP}（OUTPUT 连接到 SENSE）以获得固定输出选项，或者连接到电阻分压器以获得可调输出选项。
GND	2	4	—	接地
输入	3	8	I	输入电源引脚。建议在此引脚到接地之间使用一个值不低于 1μF 的电容器。有关更多信息，请参阅节 7.1.2 部分。
输出	1	1	O	需要在 OUTPUT 到 GND 之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUTPUT 到 GND (2) 的更大陶瓷电容器。将此输出电容器尽可能靠近器件输出端放置。有关更多详细信息，请参阅节 7.1.2。
SENSE	—	2	I	检测输出电压。连接到 OUTPUT（FEEDBACK 连接到 V_{TAP}），仅用于固定输出选项。如果使用该器件作为可调输出，则该引脚必须保持悬空。
SHUTDOWN	—	3	I	高电平有效输入。高电平信号禁用器件；低电平信号启用器件。
V_{TAP}	—	6	I	对于固定输出选项，连接到 FEEDBACK。如果使用该器件作为可调输出，则该引脚必须保持悬空。

(1) I = 输入；O = 输出
(2) 标称输出电容必须大于 1 μ F。在本文档中，这些电容器的标称降额为 50%。验证引脚上的有效电容是否大于 1 μ F。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{IN}	连续输入电压（旧芯片）	-0.3	35	V
	连续输入电压（新芯片）	-0.3	42	
V_{OUT}	输出电压	-0.3	VIN+0.3(4)	
V_{SHDN}	SHUTDOWN 输入电压（旧芯片）	-1.5	35	
	SHUTDOWN 输入电压（新芯片）	-0.3	42	
$V_{\overline{ERROR}}$	$\overline{ERROR}$ 比较器输出电压（旧芯片）(2)	-1.5	30	
	$\overline{ERROR}$ 比较器输出电压（新芯片）(2)	-0.3	39	
V_{FDBK}	FEEDBACK 输入电压（旧芯片）(2) (3)	-1.5	30	
	FEEDBACK 输入电压（新芯片）(2) (3)	-0.3	5	
V_{TAP}	内部电阻分压器（仅限固定电压选项，新芯片）	-0.3	5	
V_{SENSE}	输出电压检测（仅限固定电压选项，新芯片）	-0.3	6	
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 可以超出输入电源电压。
(3) 如果负载返回到负电源，则输出必须将二极管钳位到 GND。
(4) 绝对最大额定值为 V_{IN} + 0.3V 或 39V（以较小者为准）。

5.2 ESD 等级

			值（旧芯片）	值（新芯片）	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2500	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1000	±1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压	2.0		30	V
V_{EN}	启用电压	0		30	
V_{OUT}	输出电压	1.2		30	
I_L	输出电流	0		100	mA
C_{OUT}	输出电容器(1)	1	2.2	100	µF
C_{OUT} ESR	输出电容器 ESR（旧芯片）	30m		5	Ω
	输出电容器 ESR（新芯片）(3)	0		2	
C_{IN}	输入电容器		1		µF
C_{FF}	前馈电容器（可选(2)，仅适用于可调器件）		10		pF
$I_{FB_DIVIDER}$	反馈分压器电流(2)（仅适用于可调器件）	12			µA
T_J	结温	-40		125	°C

(1) 为了实现稳定性，需要最小值为 0.5µF 的有效输出电容。
(2) 如果反馈分压器电流小于 12µA，则需要 C_{FF} 才能保持稳定。反馈分压器电流 = V_{OUT} / (R_1 + R_2)。有关详细信息，请参阅*前馈电容器 (C_{FF})* 部分。
(3) 新芯片支持的最大 ESR 范围为 2Ω。对于 ESR 值较高的输出电容器，可使用一个低 ESR MLCC 电容器。

5.4 热性能信息

热指标(1) (2)		旧芯片			新芯片			单位
		D	DRG	LP	D	DRG	LP	
		8 引脚	8 引脚	3 引脚	8 引脚	8 引脚	3 引脚	
$R_{\theta JA}$	结至环境热阻	97	52.44	140	123	61.7	132.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	-	-	-	67.8	63.1	114.4	°C/W
$R_{\theta JB}$	结至电路板热阻	-	-	-	70.7	31.0	94.9	°C/W
Ψ_{JT}	结至顶部特征参数	-	-	-	18.0	2.2	26.9	°C/W
Ψ_{JB}	结至电路板特征参数	-	-	-	69.8	30.9	94.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	-	-	-	不适用	2.9	不适用	°C/W

(1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。具有 2oz 覆铜的双信号、双平面、四层电路板。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性（旧芯片和新芯片）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）
8 引脚版本：FEEDBACK 连接至 V_{TAP}，OUTPUT 连接至 SENSE，$V_{SHUTDOWN}$ ≤ 0.7V

参数	测试条件		T_J	最小值	典型值	最大值	单位
3.3V 版本 (LP295x-33)							
输出电压	I_L = 100µA	旧芯片	25°C	3.267	3.3	3.333	V
			-40°C 至 125°C	3.234	3.3	3.366	
		新芯片	25°C	3.2868	3.3	3.3132	
			-40°C 至 125°C	3.2736	3.3	3.3264	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（旧芯片和新芯片）（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）
8 引脚版本：FEEDBACK 连接至 V_{TAP}，OUTPUT 连接至 SENSE，$V_{SHUTDOWN}$ ≤ 0.7V

参数	测试条件		T_J	最小值	典型值	最大值	单位
3.3-V ADJ 版本 (LP295x-33ADJ)							
输出电压	I_L = 100µA	新芯片 (LP295x-33ADJ)	25°C	3.3451	3.37	3.3923	V
			-40°C 至 125°C	3.3283	3.37	3.4091	V
5V 版本 (LP295x-50)							
输出电压	I_L = 100µA	旧芯片	25°C	4.95	5	5.05	V
			-40°C 至 125°C	4.900	5	5.100	
		新芯片	25°C	4.98	5	5.02	
			-40°C 至 125°C	4.96	5	5.04	
5-V ADJ 版本 (LP295x-50ADJ)							
输出电压	I_L = 100µA	新芯片 (LP295x-50ADJ)	25°C	5.0608	5.1	5.1475	V
			-40°C 至 125°C	5.0353	5.1	5.1731	V
所有电压选项							
输出电压精度	V_{IN} = [$V_{OUT(NOM)}$ + 1V] 至 30V，I_L = 100µA 至 100mA	新芯片	-40°C 至 125°C	-1		1	%
		新芯片 (LP295x-XXADJ)		-1.35		1.35	%
	V_{IN} = [$V_{OUT(NOM)}$ + 1V] 至 30V，I_L = 100µA 至 100mA，LP (TO-92) 封装	新芯片		-1.2		1.2	
输出电压温度系数(1)	I_L = 100µA	旧芯片	-40°C 至 125°C		20	100	ppm/°C
		新芯片			20	60	
线性调整率(2)	V_{IN} = [$V_{OUT(NOM)}$ + 1V] 至 30V	旧芯片	25°C		0.03	0.2	%/V
			-40°C 至 125°C			0.4	
		新芯片	25°C		0.0006	0.01	
			-40°C 至 125°C			0.015	
负载调整率(2)	I_L = 100µA 至 100mA	旧芯片	25°C		0.04	0.2	%
			-40°C 至 125°C			0.3	
		新芯片	25°C		0.04	0.1	
			-40°C 至 125°C			0.2	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（旧芯片和新芯片）（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）
8 引脚版本：FEEDBACK 连接至 V_{TAP}，OUTPUT 连接至 SENSE，$V_{SHUTDOWN}$ ≤ 0.7V

参数	测试条件		T_J	最小值	典型值	最大值	单位
压降电压	V_{IN} = 2V，I_L = 100µA	旧芯片	25°C		50	80	mV
			-40°C 至 125°C			150	
		新芯片	25°C		1	4	
			-40°C 至 125°C			5	
	V_{IN} = 2V，I_L = 100mA	旧芯片	25°C		380	450	
			-40°C 至 125°C			600	
		新芯片	25°C		340	420	
			-40°C 至 125°C			570	
GND 电流	I_L = 100µA	旧芯片	25°C		75	120	µA
			-40°C 至 125°C			140	
		新芯片	25°C		50	65	
			-40°C 至 125°C			80	
	I_L = 100mA	旧芯片	25°C		8	12	mA
			-40°C 至 125°C			14	
		新芯片	25°C			0.8	
			-40°C 至 125°C			0.9	
压降接地电流	V_{IN} = $V_{OUT(NOM)}$ – 0.5V，I_L = 100µA	旧芯片	25°C		110	170	µA
			-40°C 至 125°C			200	
		新芯片	25°C		78	120	
			-40°C 至 125°C			150	
UVLO V_{IN} 上升	I_L = 100µA	新芯片	-40°C 至 125°C	1.8	1.9	2.0	V
UVLO V_{IN} 下降				1.7	1.8	1.9	
迟滞					100		mV
电流限制	V_{OUT} = 0V	旧芯片	25°C		160	200	mA
			-40°C 至 125°C			220	
		新芯片	25°C		180	200	
			-40°C 至 125°C			230	
热调节(3)	I_L = 100µA	旧芯片	25°C		0.05	0.2	%/W
		新芯片			0.05	0.2	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（旧芯片和新芯片）（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100μA，C_L = 1μF（针对新芯片），C_L = 2.2μF（针对旧芯片）
8 引脚版本：FEEDBACK 连接至 V_{TAP}，OUTPUT 连接至 SENSE，$V_{SHUTDOWN}$ ≤ 0.7V

参数	测试条件		T_J	最小值	典型值	最大值	单位
输出噪声 (RMS)，10Hz 至 100kHz	C_L = 1μF（仅限 5V）	旧芯片	25°C		430		μV
		新芯片			265		
	C_L = 200μF	旧芯片	25°C		160		
	C_L = 100μF	新芯片			250		
	C_L = 3.3μF，引脚 1 和 7 之间的 C_{Bypass} = 0.01μF	旧芯片	25°C		100		
		新芯片			100		
电源纹波抑制	V_{IN} - V_{OUT} = 1V，频率 = 100Hz，I_{OUT} ≥ 5mA	新芯片	25°C		80		dB
（LP2951-xx 和 LP2951-xxADJ）仅 8 引脚版本可调							
基准电压		旧芯片	25°C	1.218	1.235	1.252	V
			-40°C 至 125°C	1.212		1.257	
		新芯片	25°C	1.192	1.2	1.208	
			-40°C 至 125°C	1.189		1.211	
		新芯片 (LP295x-XXADJ)	25°C	1.215	1.23	1.245	
			-40°C 至 125°C	1.205		1.255	
基准电压	V_{IN} = 2.3V 至 30V，I_L = 100μA 至 100mA	旧芯片	-40°C 至 125°C	1.2		1.272	
		新芯片		1.188		1.212	
		新芯片 (LP295x-XXADJ)		1.212		1.257	
基准电压温度系数[1]		旧芯片	25°C		20		ppm/°C
		新芯片			5		
反馈偏置电流		旧芯片	25°C		20	40	nA
			-40°C 至 125°C			60	
		新芯片	25°C		10	50	
			-40°C 至 125°C			60	
FEEDBACK 偏置电流温度系数		旧芯片	25°C		0.1		nA/°C
		新芯片			0.1		
误差比较器							
输出泄漏电流	V_{OUT} = 30V	旧芯片	25°C		0.01	1	μA
			-40°C 至 125°C			2	
		新芯片	25°C		0.2	0.5	
			-40°C 至 125°C			1	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（旧芯片和新芯片）（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）
8 引脚版本：FEEDBACK 连接至 V_{TAP}，OUTPUT 连接至 SENSE，$V_{SHUTDOWN}$ ≤ 0.7V

参数	测试条件		T_J	最小值	典型值	最大值	单位
输出低电压	V_{IN} ≥ 2V I_{OL} = 400µA	旧芯片	25°C		150	250	mV
			-40°C 至 125°C			400	
		新芯片	25°C		180	250	
			-40°C 至 125°C			350	
阈值上限电压（$\overline{ERROR}$ 输出高电平）(4)		旧芯片	25°C	40	60		mV
			-40°C 至 125°C	25			
		新芯片	25°C	40	60		
			-40°C 至 125°C	25			
阈值下限电压（$\overline{ERROR}$ 输出低电平）(4)		旧芯片	25°C		75	95	mV
			-40°C 至 125°C			140	
		新芯片	25°C		75	95	
			-40°C 至 125°C			140	
迟滞(4)		旧芯片	25°C		15		mV
		新芯片			15		
关断输入							
输入逻辑电压	低（稳压器打开）	旧芯片	-40°C 至 125°C			0.7	V
		新芯片				0.7	
	高（稳压器关闭）	旧芯片	-40°C 至 125°C	2			
		新芯片		2			
SHUTDOWN 输入电流	SHUTDOWN = 2.4V	旧芯片	25°C		30	50	µA
			-40°C 至 125°C			100	
		新芯片	25°C		0.2	0.5	
			-40°C 至 125°C			1	
	SHUTDOWN = 30V	旧芯片	25°C		450	600	
			-40°C 至 125°C			750	
		新芯片	25°C		0.3	0.5	
			-40°C 至 125°C			1	
关断时稳压器输出电流	$V_{SHUTDOWN}$ ≥ 2V， V_{IN} ≥ 30V，V_{OUT} = 0， FEEDBACK 连接到 V_{TAP}	旧芯片	25°C		3	10	µA
			-40°C 至 125°C			20	
		新芯片	25°C		4	6	
			-40°C 至 125°C			7.5	

(1) 输出或基准电压温度系数定义为最坏情况下的电压变化除以总温度范围。
(2) 调整率是在恒定结温下使用低占空比脉冲测试进行测量的。热调节规格中涵盖了由发热效应引起的输出电压变化。

Copyright © 2026 Texas Instruments Incorporated

(3) 热调节是指施加功率耗散变化后某一时间 (T) 内输出电压的变化，不包括负载调整率或线性调整率的影响。规格适用于 V_{IN} = 30V、V_{OUT} = 5V（1.25W 脉冲）且 t = 10ms 时的 50mA 负载脉冲。

(4) 比较器阈值表示为标称基准电压（在 V_{IN} – V_{OUT} = 1V 下测得）减去反馈端子电压得到的电压差。为了根据输出电压变化来表示这些阈值，乘以误差放大器增益 = V_{OUT}/V_{REF} = (R1 + R2)/R2。例如，在经过编程的 5V 输出电压下，当输出下降 95mV × 5V/V_{REF} 时，$\overline{\text{ERROR}}$ 输出被指定为低电平。阈值以 V_{OUT}（当 V_{OUT} 变化时）的百分比保持恒定，低于标称值（典型值）6% 和（最大值）7.7% 时会发生低输出警告。

5.6 时序要求（仅限新芯片）

参数	测试条件	最小值	典型值	最大值	单位
t_{PGDH}	PG 延迟时间上升，从 92% V_{OUT} 到 PG 的 20% 的时间(1)		40		µs
t_{PGDL}	PG 延迟时间下降，从 90% V_{OUT} 到 PG 的 80% 的时间(1)		10		µs

(1) 输出过驱 = 10%。

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

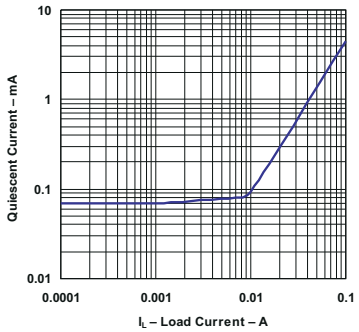
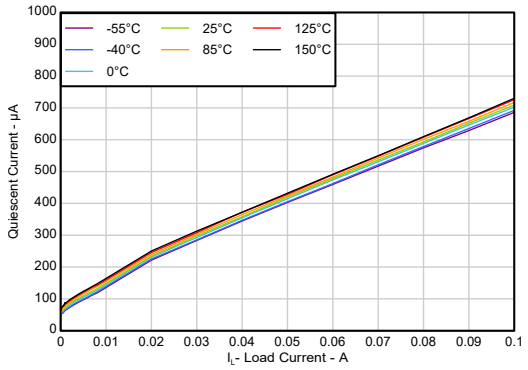


图 5-1. 静态电流与负载电流之间的关系（旧芯片）



V_{IN} = 6V，V_{OUT} = 5V

图 5-2. 静态电流与负载电流之间的关系（新芯片）

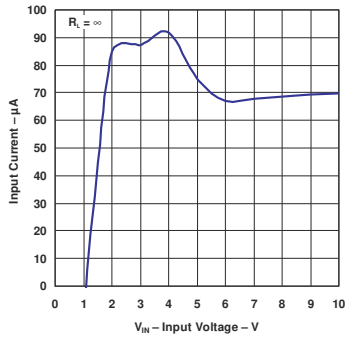
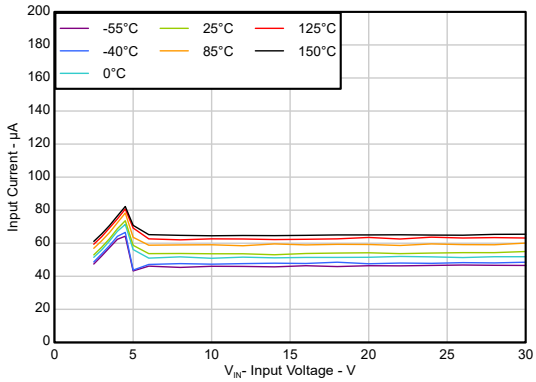


图 5-3. 输入电流与输入电压之间的关系 (R_L = OPEN)（旧芯片）



V_{OUT} = 5V、I_L= 0mA

图 5-4. 输入电流与输入电压之间的关系 (R_L = OPEN)（新芯片）

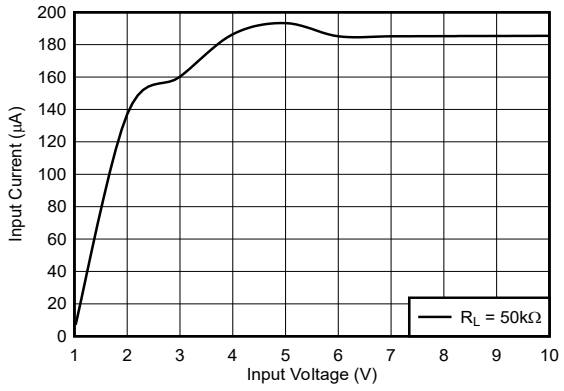
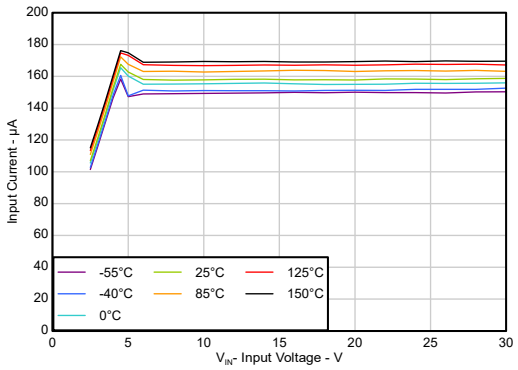


图 5-5. 输入电流与输入电压之间的关系 (R_L = 50kΩ)



V_{OUT} = 5V、I_L=100 µA

图 5-6. 输入电流与输入电压之间的关系 (R_L = 50kΩ)（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 μA，C_L = 1μF（针对新芯片），C_L = 2.2μF（针对旧芯片）（除非另有说明）

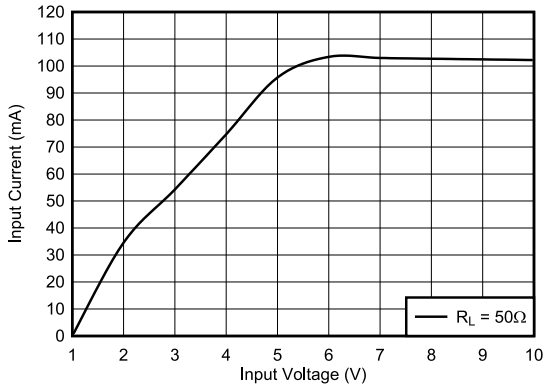
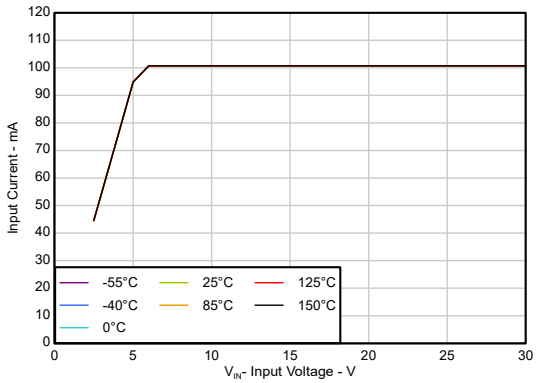


图 5-7. 输入电流与输入电压之间的关系 (R_L = 50 Ω)（旧芯片）



V_{OUT} = 5V、I_L=100mA

图 5-8. 输入电流与输入电压之间的关系 (R_L = 50 Ω)（新芯片）

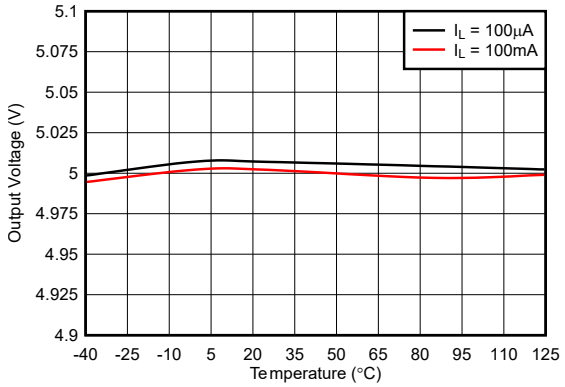
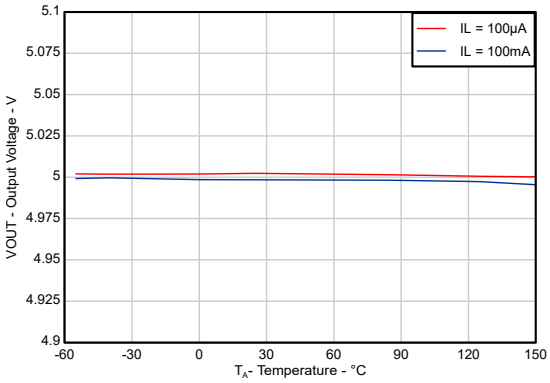


图 5-9. 输出电压与温度之间的关系（旧芯片）



V_{IN} = 6V，V_{OUT} = 5V

图 5-10. 输出电压与温度之间的关系（新芯片）

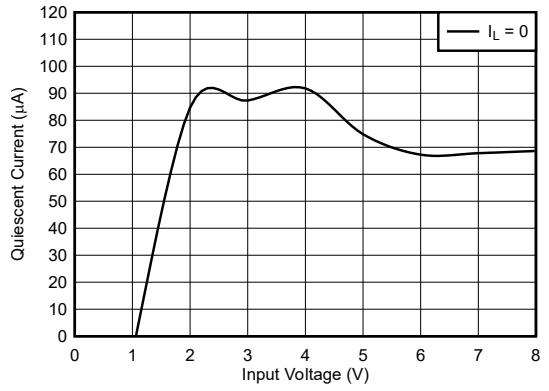
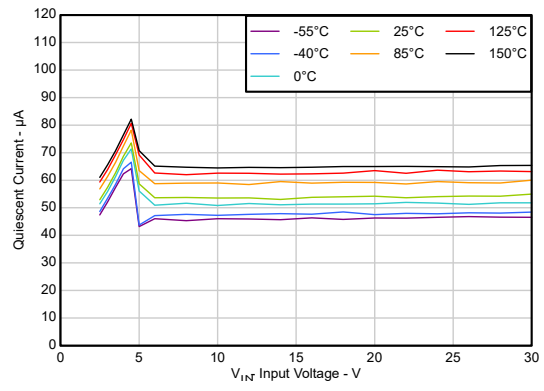


图 5-11. 静态电流与输入电压之间的关系 (I_L = 0)（旧芯片）



V_{OUT} = 5V

图 5-12. 静态电流与输入电压之间的关系 (I_L = 0)（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 μA，C_L = 1μF（针对新芯片），C_L = 2.2μF（针对旧芯片）（除非另有说明）

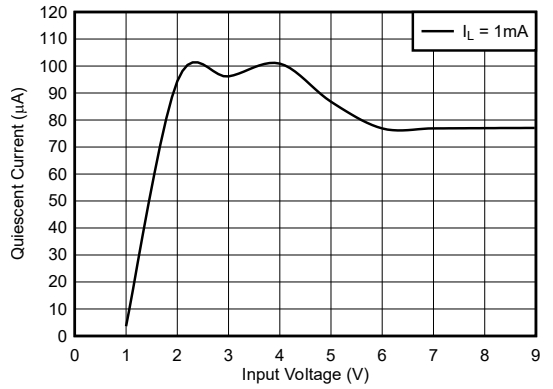
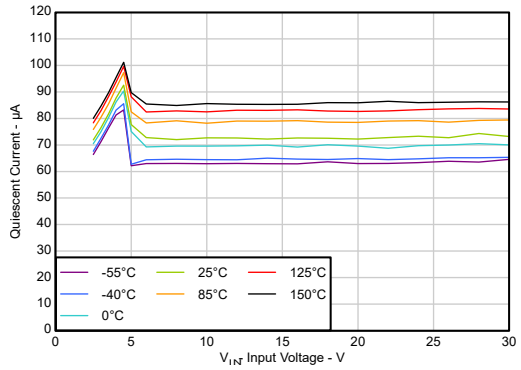


图 5-13. 静态电流与输入电压之间的关系 (I_L = 1mA)（旧芯片）



V_{OUT} = 5V

图 5-14. 静态电流与输入电压之间的关系 (I_L = 1mA)（新芯片）

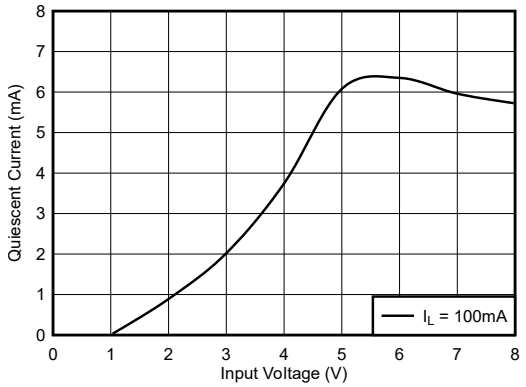
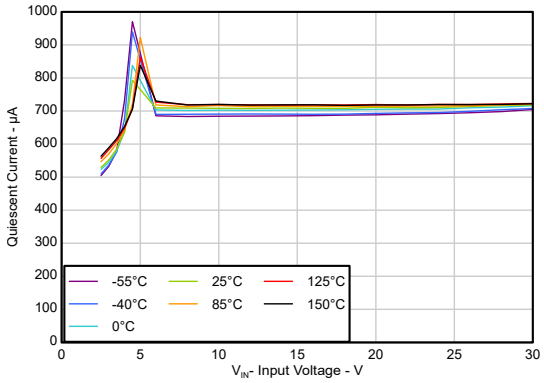


图 5-15. 静态电流与输入电压之间的关系 (I_L = 100mA)（旧芯片）



V_{OUT} = 5V

图 5-16. 静态电流与输入电压之间的关系 (I_L = 100mA)（新芯片）

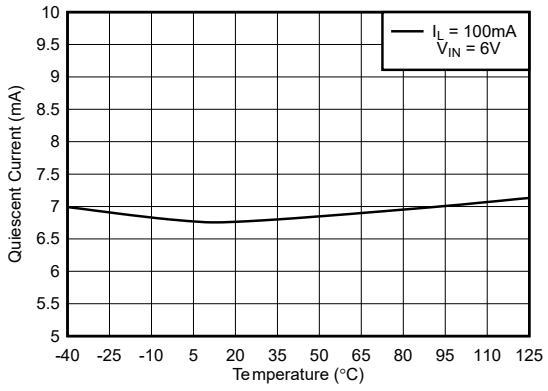
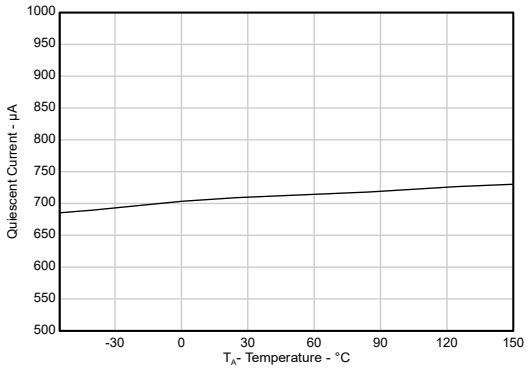


图 5-17. 静态电流与温度之间的关系 (I_L = 100mA)（旧芯片）



V_{IN} = 6V，V_{OUT} = 5V

图 5-18. 静态电流与温度之间的关系 (I_L = 100mA)（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µ A，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

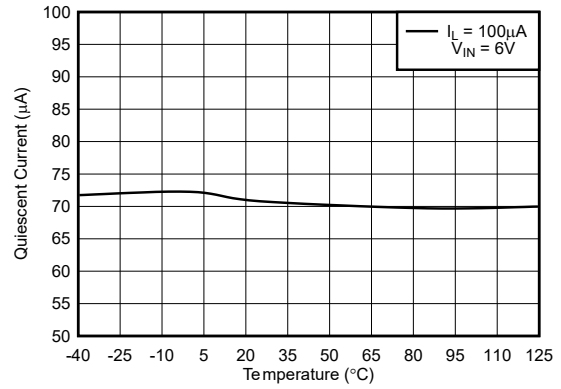
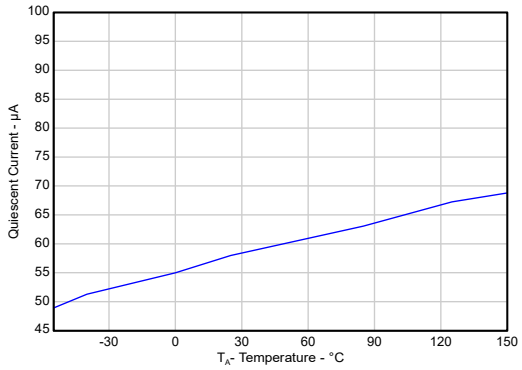


图 5-19. 静态电流与温度之间的关系 (I_L = 100 µ A)（旧芯片）



V_{IN} = 6V，V_{OUT} = 5V

图 5-20. 静态电流与温度之间的关系 (I_L = 100 µ A)（新芯片）

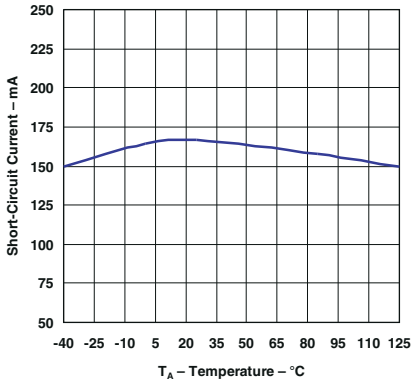
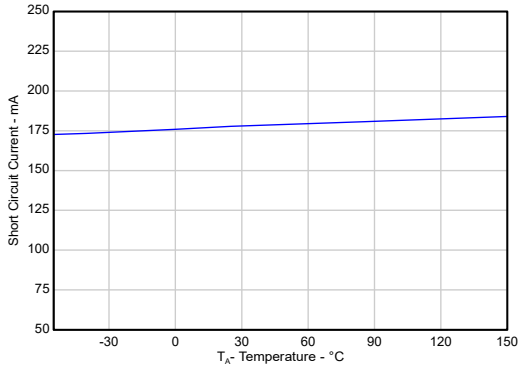


图 5-21. 短路电流与温度之间的关系（旧芯片）



V_{IN} = 6V，V_{OUT} = 0V

图 5-22. 短路电流与温度之间的关系（新芯片）

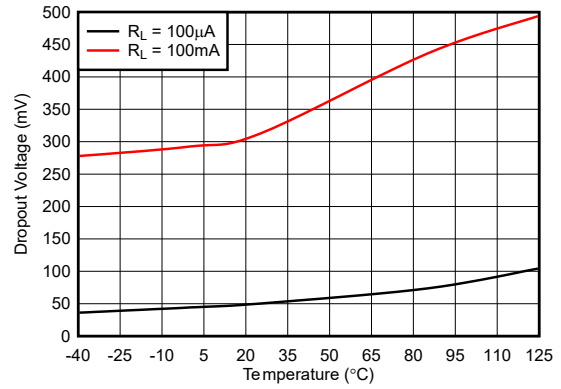
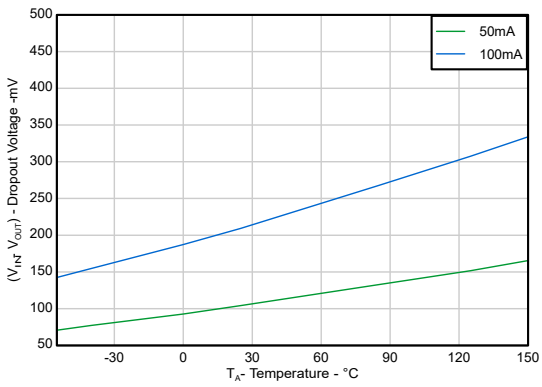


图 5-23. 压降电压与温度之间的关系（旧芯片）



V_{IN} = 4.9V

图 5-24. 压降电压与温度间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

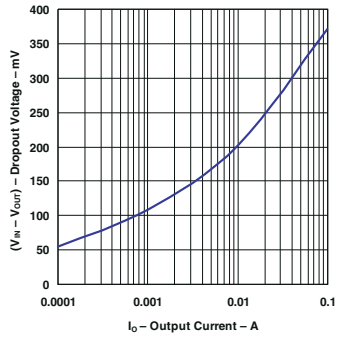
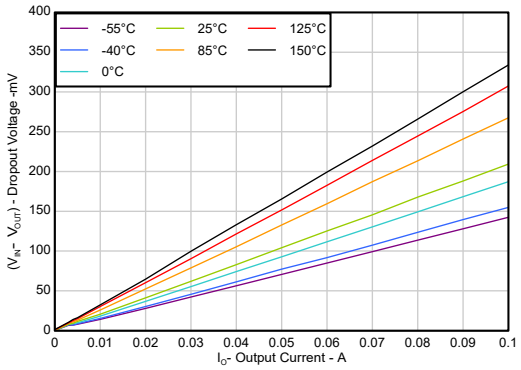


图 5-25. 压降电压与压降电流之间的关系（旧芯片）



V_{IN} = 4.9V

图 5-26. 压降电压与压降电流之间的关系（新芯片）

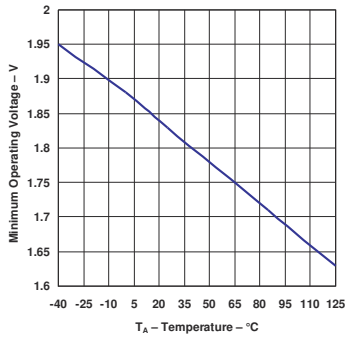


图 5-27. 最低工作电压与温度之间的关系（旧芯片）

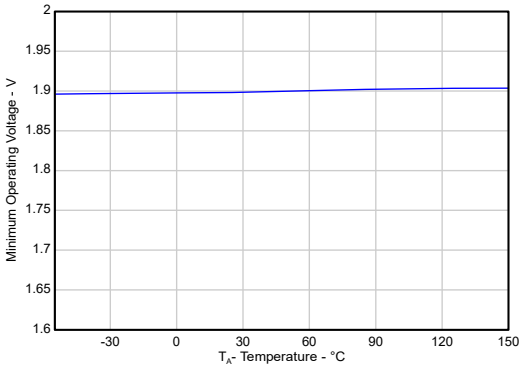


图 5-28. 最低工作电压与温度之间的关系（新芯片）

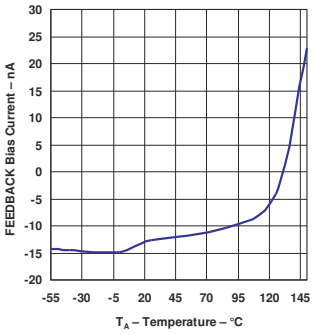


图 5-29. LP2951 FEEDBACK 偏置电流与温度之间的关系（旧芯片）

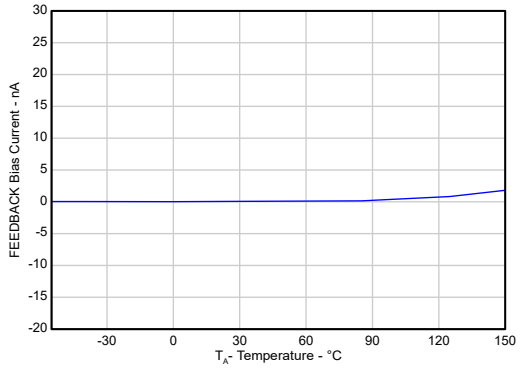


图 5-30. FEEDBACK 偏置电流与温度之间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

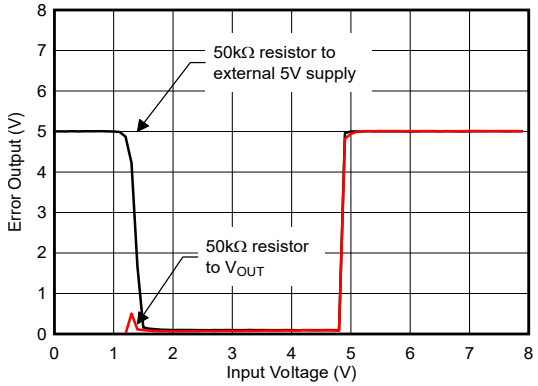


图 5-31. LP2951 $\overline{\text{ERROR}}$ 比较器输出与输入电压之间的关系（旧芯片）

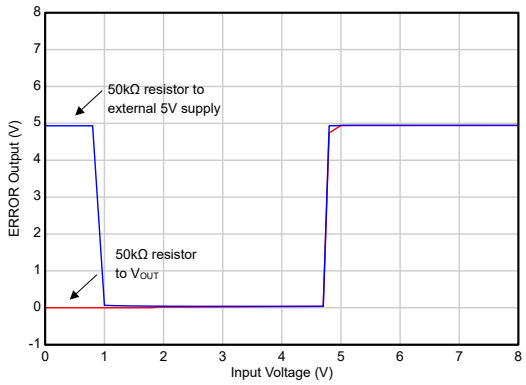


图 5-32. $\overline{\text{ERROR}}$ 比较器输出与输入电压之间的关系（新芯片）

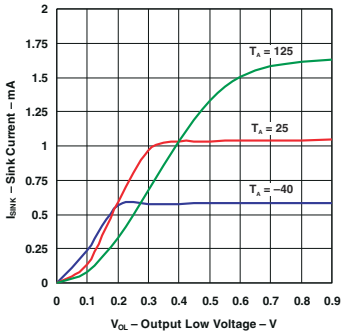


图 5-33. LP2951 $\overline{\text{ERROR}}$ 比较器灌电流与输出低电压之间的关系（旧芯片）

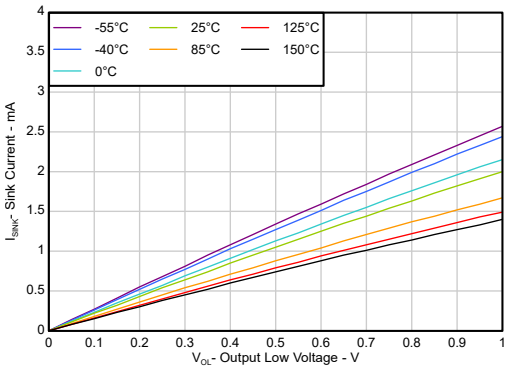


图 5-34. $\overline{\text{ERROR}}$ 比较器灌电流与输出低电压之间的关系（新芯片）

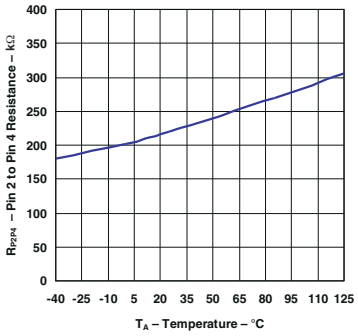


图 5-35. LP2951 分压器电阻与温度之间的关系（旧芯片）

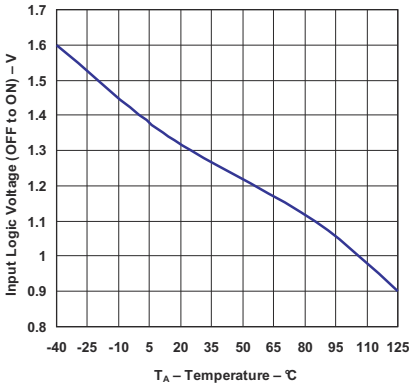


图 5-36. 关断阈值电压（从关断变为导通）与温度之间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

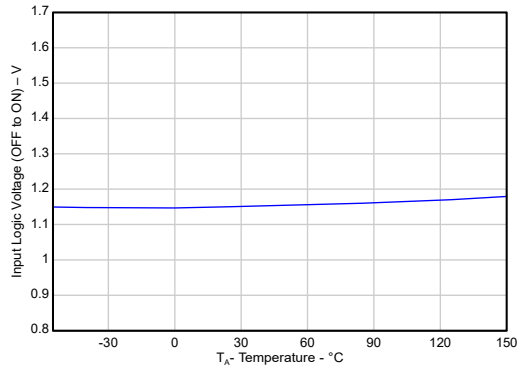


图 5-37. 关断阈值电压（从关断变为导通）与温度之间的关系（新芯片）

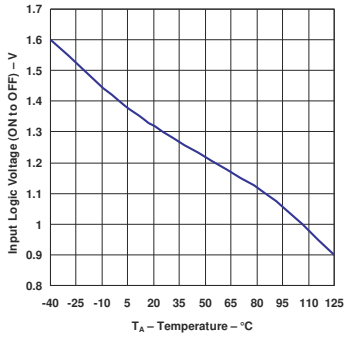


图 5-38. 关断阈值电压（从导通变为关断）与温度之间的关系（旧芯片）

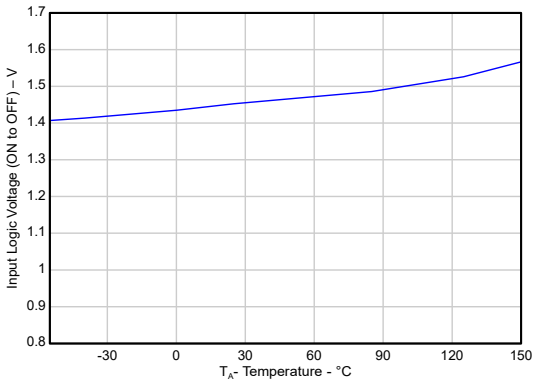


图 5-39. 关断阈值电压（从导通变为关断）与温度之间的关系（新芯片）

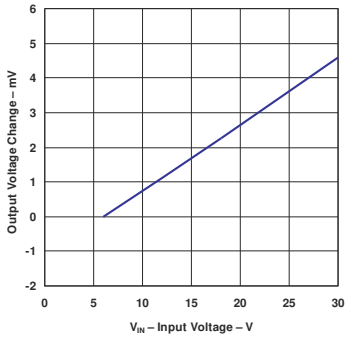
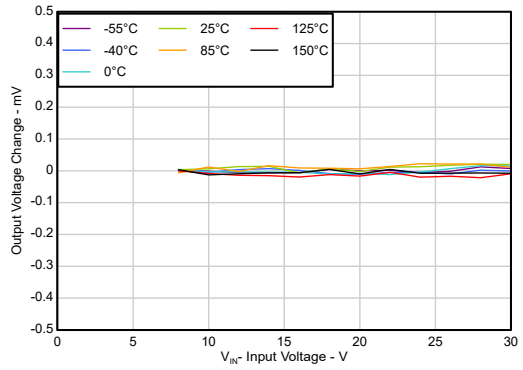
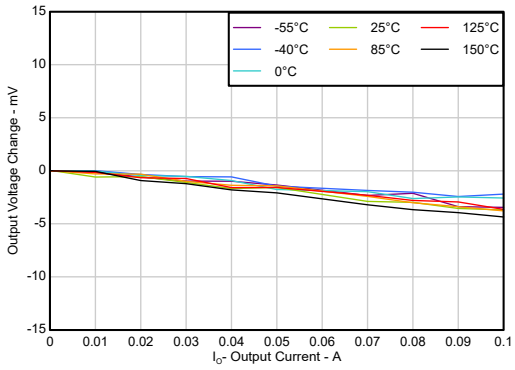


图 5-40. 线性调整率与输入电压之间的关系（旧芯片）



VOUT = 5V、IOUT = 100 µA

图 5-41. 线性调整率与输入电压之间的关系（新芯片）



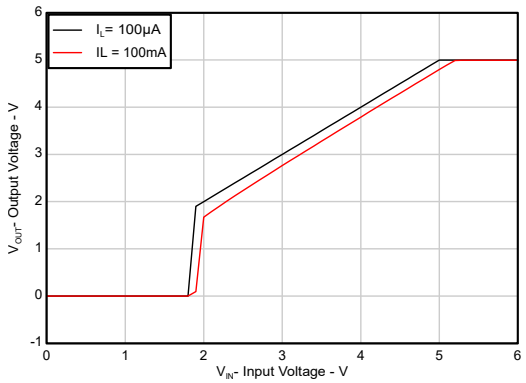
VIN = 6V，VOUT = 5V

图 5-42. 负载调整率与负载电流之间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

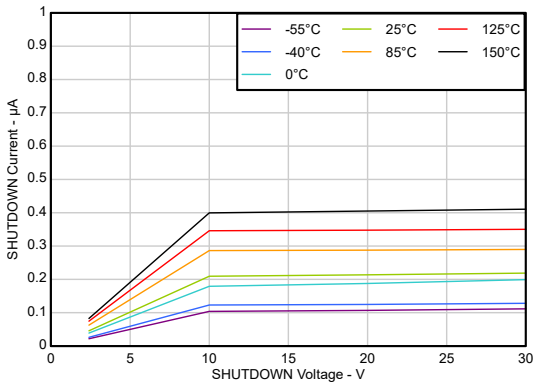
5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）



V_{IN} = 6V，V_{OUT} = 5V

图 5-43. 输出电压与输入电压之间的关系（新芯片）



V_{IN} = 6V，V_{OUT} = 5V

图 5-44. SHUTDOWN 输入电流与 SHUTDOWN 电压之间的关系（新芯片）

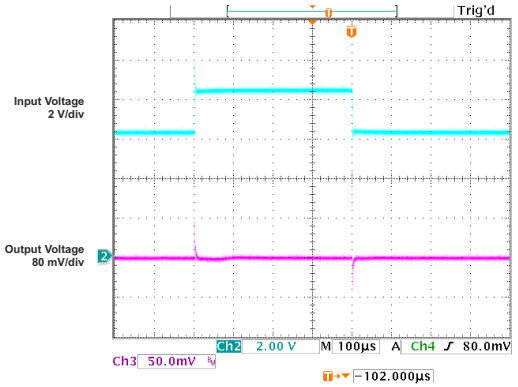
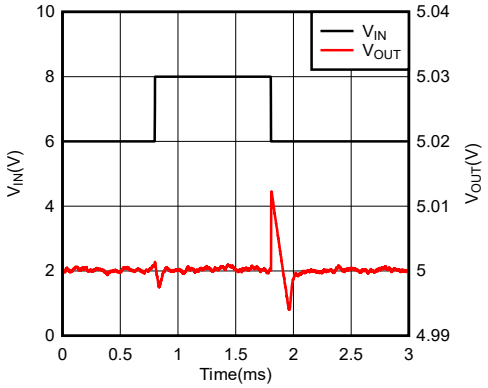


图 5-45. 线路瞬态响应与时间之间的关系（旧芯片）



V_{IN}= 6V 至 8V、V_{OUT}= 5V、C_{OUT}= 1 µF、I_{OUT}= 100 µA

图 5-46. 线路瞬态响应与时间之间的关系（新芯片）

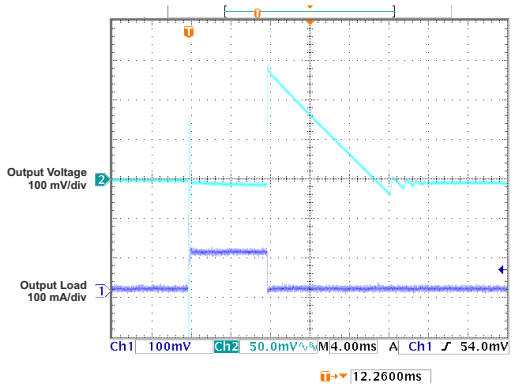
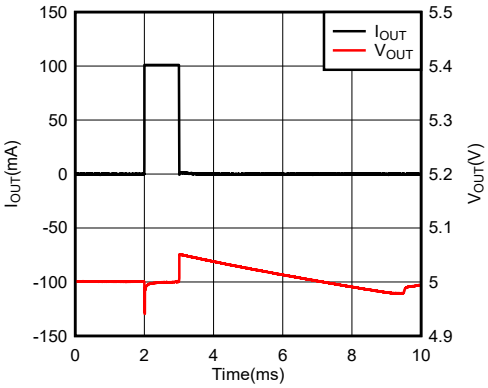


图 5-47. 负载瞬态响应与时间之间的关系（V_{OUT} = 5V、C_L = 10µF）（旧芯片）



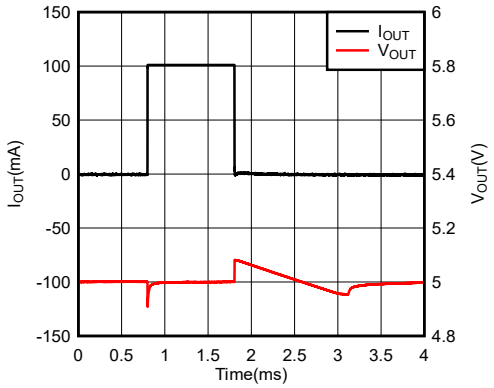
V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 0 至 100mA、C_{OUT}= 10 µF

图 5-48. 负载瞬态响应与时间之间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 μA，C_L = 1μF（针对新芯片），C_L = 2.2μF（针对旧芯片）（除非另有说明）



V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 0 至 100mA、C_{OUT}= 1 μF

图 5-49. 负载瞬态响应与时间之间的关系（新芯片）

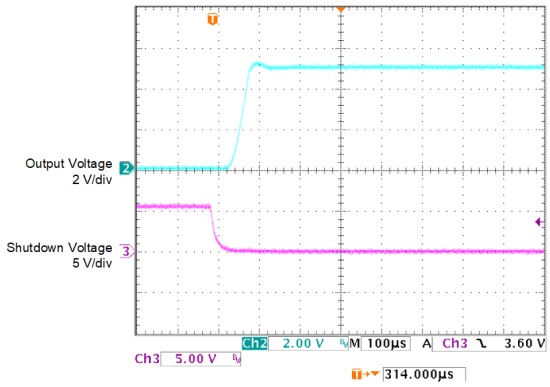
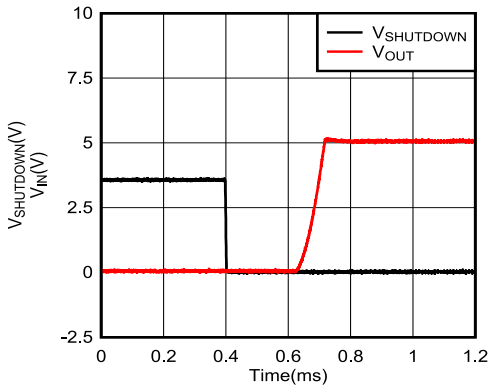


图 5-50. 使能瞬态响应与时间之间的关系（I_L = 1mA、C_L = 1μF）（旧芯片）



V_{IN}= 6V、V_{OUT}= 5V、C_{OUT}= 1 μF、I_{OUT}= 1mA

图 5-51. 使能瞬态响应与时间之间的关系（新芯片）

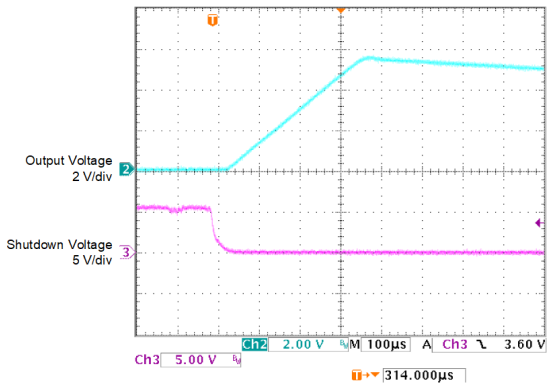
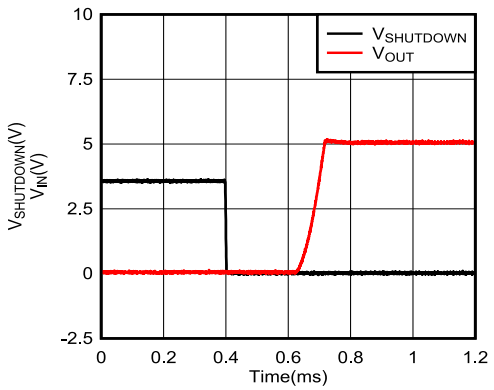


图 5-52. 使能瞬态响应与时间之间的关系（I_L = 1mA、C_L = 10μF）



V_{IN}= 6V、V_{OUT}= 5V、C_{OUT}= 10 μF、I_{OUT}= 1mA

图 5-53. 使能瞬态响应与时间之间的关系（新芯片）

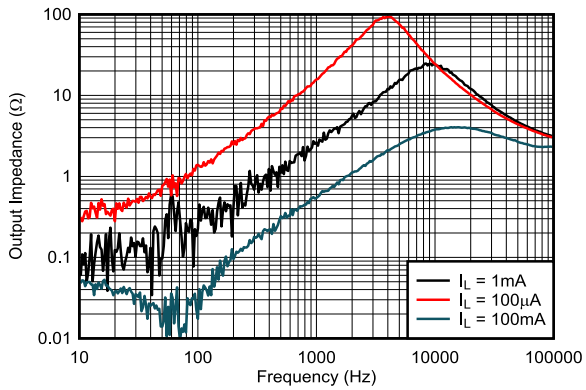


图 5-54. 输出阻抗与频率间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 μA，C_L = 1μF（针对新芯片），C_L = 2.2μF（针对旧芯片）（除非另有说明）

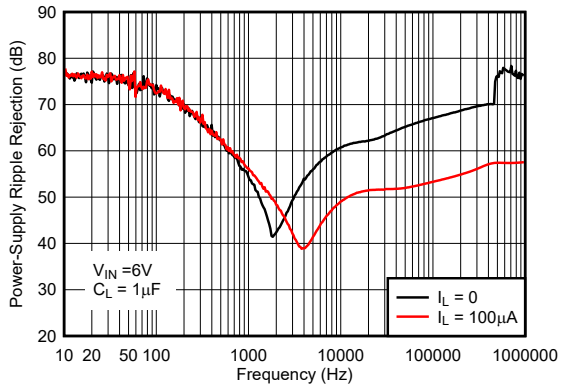


图 5-55. 纹波抑制与频率之间的关系（旧芯片）

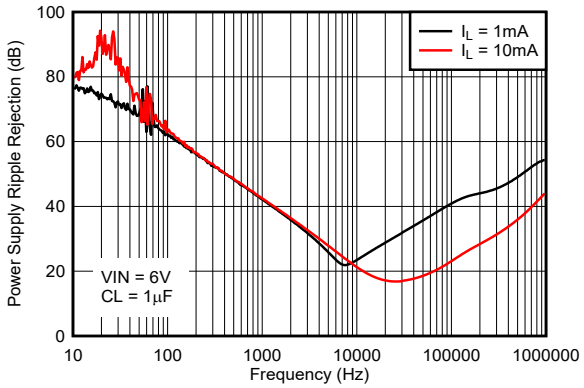


图 5-56. 纹波抑制与频率之间的关系（旧芯片）

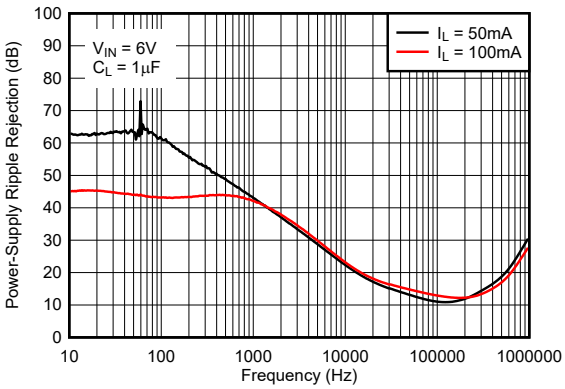
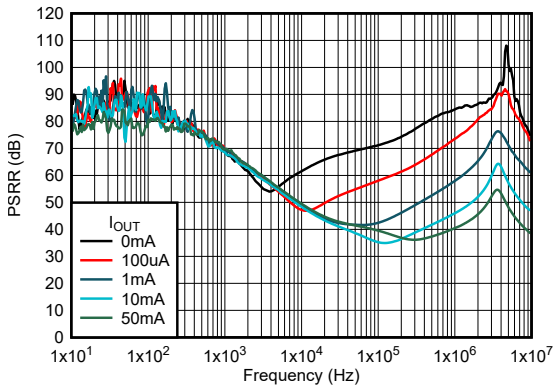
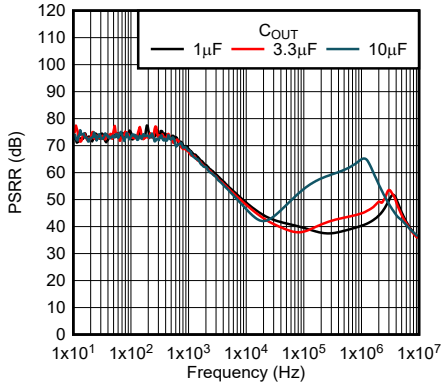


图 5-57. 纹波抑制与频率之间的关系（旧芯片）



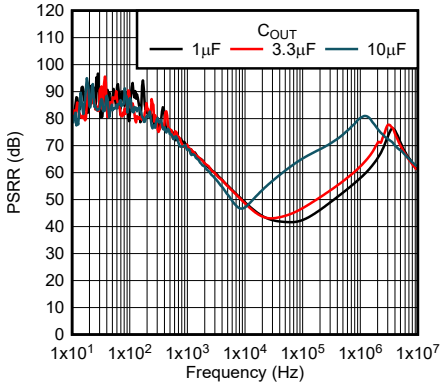
V_{IN}= 6V、V_{OUT}= 5V、C_{OUT}= 1 μF

图 5-58. 纹波抑制与频率之间的关系（新芯片）



V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 100mA

图 5-59. 纹波抑制与频率之间的关系（新芯片）



V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 1mA

图 5-60. 纹波抑制与频率之间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

V_{IN} = V_{OUT}（标称值）+ 1V，I_L = 100 µA，C_L = 1µF（针对新芯片），C_L = 2.2µF（针对旧芯片）（除非另有说明）

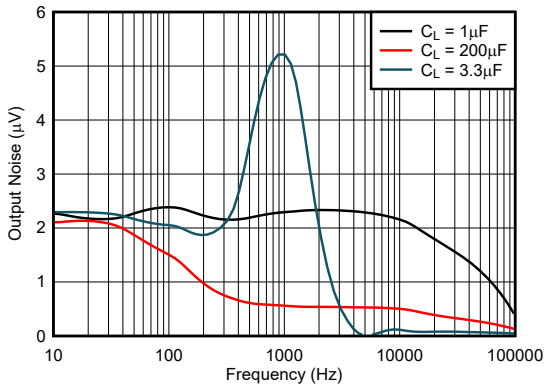
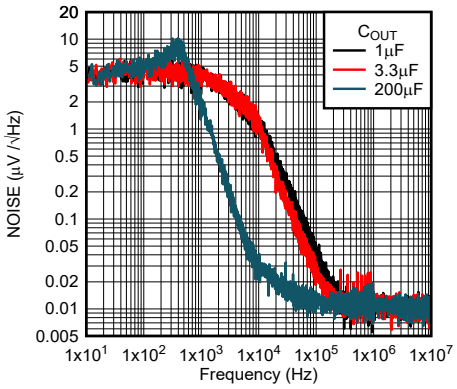
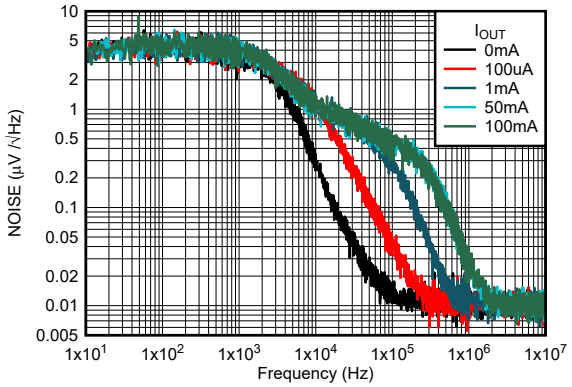


图 5-61. 输出噪声与频率之间的关系（旧芯片）



V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 100 µA

图 5-62. 输出噪声与频率间的关系（新芯片）



V_{IN}= 6V、V_{OUT}= 5V、C_{OUT}= 1 µF

图 5-63. 输出噪声与频率间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

LP2950 和 LP2951 器件是低压降电压稳压器，可适应高达 30V 的宽输入电源电压范围。这款易于使用的 3 引脚 LP2950 提供 5V 和 3.3V 固定输出电压。但是，8 引脚 LP2951 器件能够通过同一器件提供固定或可调输出。通过将 OUTPUT 和 SENSE 引脚连接在一起，以及将反馈和 V_{TAP} 引脚连接在一起，LP295x 器件输出可以提供 5V 或 3.3V 的固定输出（具体取决于版本）。或者，通过将 SENSE 和 V_{TAP} 引脚保持断开状态，并且将反馈引脚连接至外部电阻分压器，可将输出设定为 V_{REF} 至 30V 之间的任一值（关于 V_{REF} 的详细信息，请参阅电气特性（旧芯片和新芯片））。

LP295x 具有可监控反馈引脚电压的故障指示输出 ($\overline{ERROR}$)，用于指示输出电压状态。SHUTDOWN 输入和 $\overline{ERROR}$ 输出可用于对系统中多个电源进行时序控制。

LP295x 器件在与支持小尺寸总体解决方案的小型陶瓷输出电容器搭配使用时，可保持稳定。LP295x 器件在整个线路、负载和温度变化范围内具有 1% 的输出容差（新芯片），并且能够提供 100mA 的连续负载电流。该器件包括集成的热关断、电流限制和欠压锁定 (UVLO) 功能。这些器件可提供出色的线路和负载瞬态性能。该器件的工作环境温度范围为 –40°C 至 125°C。

6.2 功能方框图

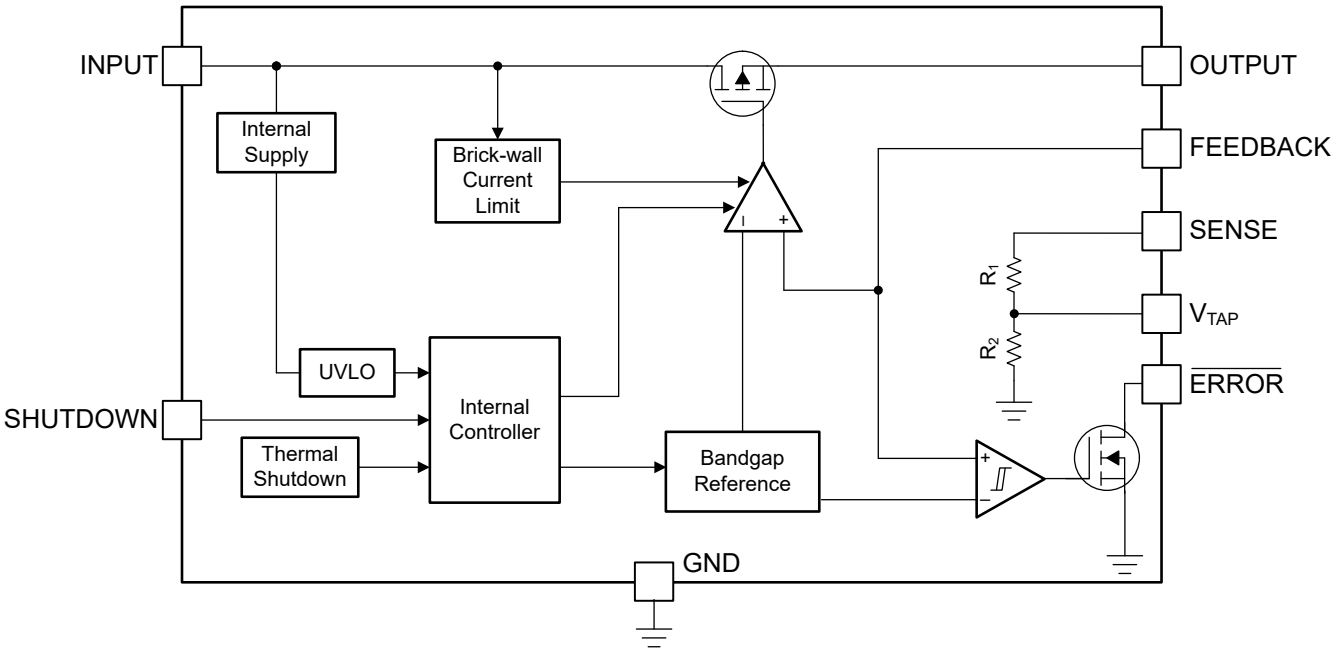


图 6-1. LP2951 功能框图

Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 输出使能

器件的 SHUTDOWN 使能引脚是高电平有效引脚。当 SHUTDOWN 引脚电压低于 SHUTDOWN 引脚的低电平输入电压时，输出电压被禁用。当 SHUTDOWN 引脚电压高于 SHUTDOWN 引脚的高电平输入电压时，输出电压被禁用。如果不需要独立控制输出电压，则将 SHUTDOWN 引脚连接至器件的接地端。

6.3.2 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压、V_{OUT} 是输出电压、I_{RATED} 是 *节 5.3* 表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。*节 5.5* 表中列出了 I_{CL}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

图 6-2 展示了电流限制图。

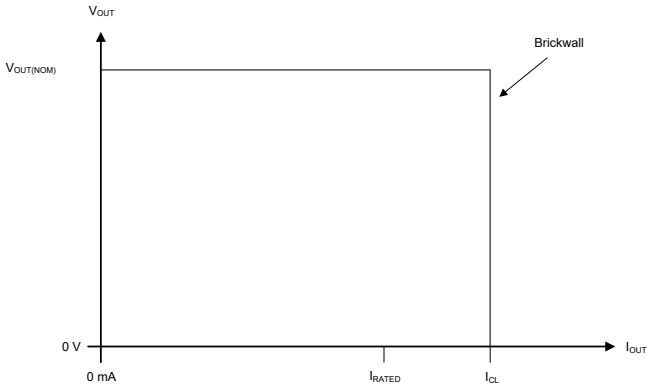


图 6-2. 电流限制

6.3.4 欠压锁定 (UVLO)

该器件具有一个独立的欠压锁定 (UVLO) 电路，可监控输入电压，从而以可控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如 *节 5.5* 表中所示。

6.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确认在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

Copyright © 2026 Texas Instruments Incorporated

半导体芯片的热时间常数相当小，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降可能较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 *节 5.3* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

6.4.1 关断模式

这些器件可以置于关断模式，同时 SHUTDOWN 引脚上为逻辑高电平。如果未使用此功能，则返回逻辑低电平以恢复运行或将 SHUTDOWN 接地。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

LP295x 器件用作具有宽输入电压范围的低压降稳压器。

7.1.1 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN} + 0.3V$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

图 7-1 展示了保护器件的一种方法。

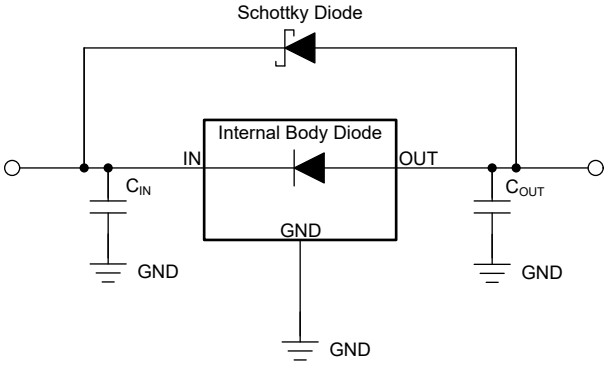


图 7-1. 使用肖特基二极管的反向电流保护示例电路

Copyright © 2026 Texas Instruments Incorporated

7.1.2 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5Ω，请使用输入电容器。如果预计会发生较大、快速上升时间的负载或线路瞬变或者器件距离输入电源几英寸，有可能需要一个电容值更大的电容器。

可通过使用输出电容器来提升器件的动态性能。为确保稳定性，请在*节 5.3* 表中指定的范围内使用输出电容器。

7.1.3 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*节 5.4* 该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \quad (2)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (3)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标* 应用手册。

7.1.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确保此焊盘区域包含一组电镀过孔，这些过孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。根据以下公式，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*节 5.4* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。热阻用作封装热性能的相对测量值。

Copyright © 2026 Texas Instruments Incorporated

7.2 典型应用

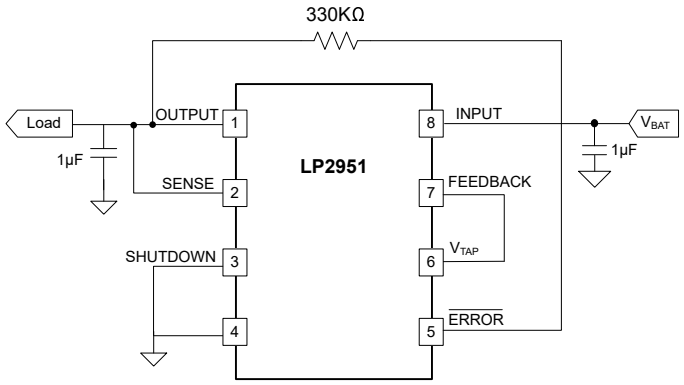


图 7-2. 12V 至 5V 转换器

7.2.1 设计要求

可确保稳定性的最小 C_{OUT} 值（可增大至 100 µF 以改善稳定性和瞬态响应）

必须主动终止 SHUTDOWN。如果不使用关断功能，可连接到 GND。

7.2.1.1 建议的电容器类型

7.2.1.1.1 适用于旧芯片的推荐电容器

输入端大多使用钽或铝电解电容器。也可以使用薄膜型电容器，但成本较高。输出端可以使用陶瓷电容器，但其较低的 ESR（低至 5mΩ 至 10mΩ）可能导致输出无法满足最低 ESR 要求。如果使用陶瓷电容器，必须在其上串联一个 0.1Ω 至 2Ω 的电阻，以满足最低 ESR 的要求。

可以使用陶瓷电容器，但其较低的 ESR（低至 5mΩ 至 10mΩ）可能导致无法满足前面所说的最低 ESR 要求。如果使用陶瓷电容器，必须在其上串联一个 0.1Ω 至 2Ω 的电阻，以满足最低 ESR 的要求。此外，陶瓷电容器有一个必须考虑的明显缺点，即温度系数较差，其电容值随温度发生明显变化。例如，当环境温度从 25°C 上升到 85°C 时，大容量的陶瓷电容器 (≥2.2 µF) 的电容值可能会损失一半以上。因此，在 25°C 时 2.2 µF 的电容器在环境温度升高时可能会降至远低于保持稳定所需的最小电容值 C_L。因此，应选择在整个工作温度范围内能够保持稳定性所需的最低 2.2 µF 容量的电容器作为输出电容器。

7.2.1.1.1.1 ESR 范围（旧芯片）

稳压器控制环路依赖输出电容器的 ESR 提供一个零点，以添加相位裕度，确保稳压器的无条件稳定性。这一条件要求闭环增益在开环响应上截取的区域是开环增益以 20dB/十倍频的速率滚降的区域。此滚降特性确保在单位增益时的相位始终小于 180°（相位裕度大于 0°）。因此，必须设定 ESR 的范围。

此 ESR 范围的上限是通过以下事实确定的：ESR 过高可能会导致零点出现过早，从而导致增益滚降太慢。如此一来，在单位增益之前就会出现第三个极点，并引入足够的相移，导致不稳定。这种相移通常会将最大 ESR 限制为约 5Ω。

相反，ESR 范围的下限与这样一个事实有关：ESR 过低会将零点移到单位增益之后，使得在单位增益时的增益滚降速率变为 40dB/十倍频，从而引起超过 180° 的相移。通常将最低 ESR 限制在约 20mΩ 至 30mΩ 之间。

有关具体的 ESR 要求，请参阅 *节 5.7* 部分。

7.2.1.1.2 适用于新芯片的推荐电容器

新芯片需要一个至少为 1 µF 的输出电容器来实现稳定性，并需要一个介于 0Ω 和 2Ω 之间的等效串联电阻 (ESR)。如果没有输出电容器，稳压器将振荡。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容器为 100 µF。无需输入电容器即可

Copyright © 2026 Texas Instruments Incorporated

实现稳定性，但良好的模拟做法是在 GND 和 IN 引脚之间连接一个电容器（500nF 或更高电容值）。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.2.2 详细设计过程

7.2.2.1 反馈电阻器选型

V_{OUT} 根据以下公式由外部反馈电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \quad (6)$$

有关 V_{REF} 的详细信息，请参阅节 5.5 表。

为了忽略 V_{OUT} 公式中的反馈引脚电流 (I_{FB}) 误差项，请将反馈分压器电流设置为节 5.5 表中所列反馈引脚电流 (I_{FB}) 的 100 倍。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \quad (7)$$

7.2.2.2 前馈电容器

在 OUT 引脚和反馈引脚之间连接前馈电容器 (C_{FF})。C_{FF} 可改善瞬态、噪声和 PSRR 性能。可以使用更高的电容 C_{FF}，但是，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点 应用手册*。

如在反馈引脚上形成寄生电容器 所示，不良的布局做法以及在反馈引脚上使用长布线会导致形成寄生电容器 (C_{FB})。

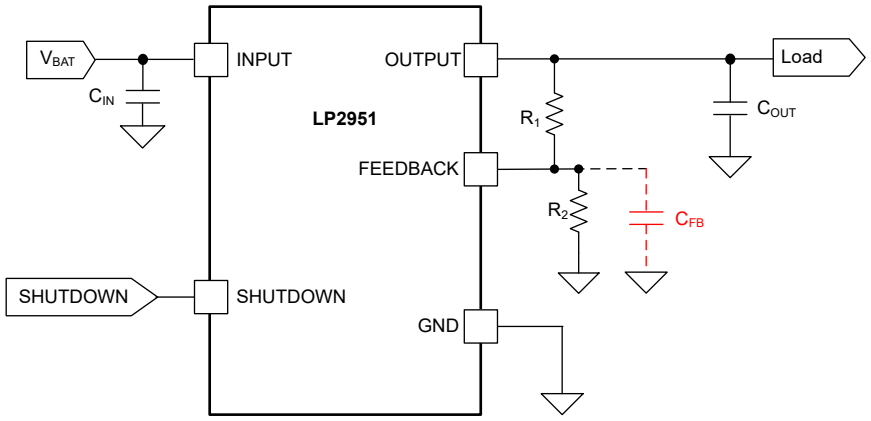


图 7-3. 在反馈引脚上形成寄生电容器

C_{FB} 以及反馈电阻器 R_1 和 R_2 可能会导致在环路增益的传递函数中形成一个未补偿的极点。当 C_{FB} 值只有 6pF 时，可能会导致由方程式 8 给出的寄生极点频率处于 LDO 带宽范围内并导致不稳定。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \quad (8)$$

添加前馈电容器 (C_{FF})，如图 7-4 所示，会在环路增益传递函数中产生零点，可补偿 C_{FB} 产生的寄生极点。方程式 9 和方程式 10 用于计算极点和零点频率。

Copyright © 2026 Texas Instruments Incorporated

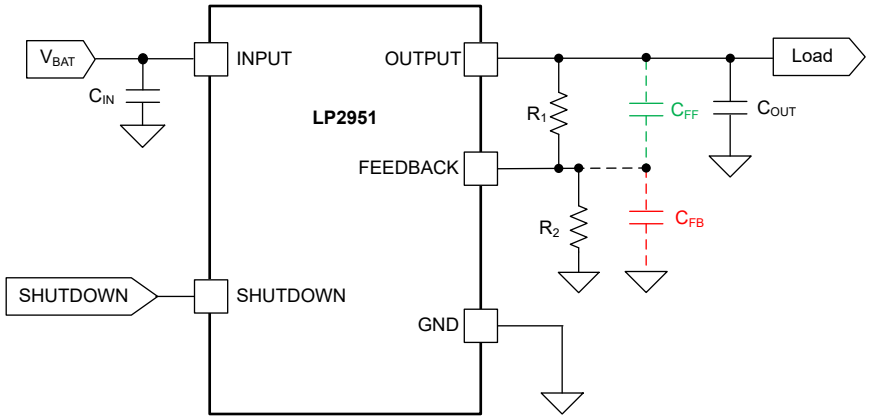


图 7-4. 前馈电容器可补偿寄生电容器的影响

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \quad (9)$$

$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \quad (10)$$

要让 f_P 等于 f_Z，同时极点消除，应根据 C_{FB} 的值以及应用中使用的反馈电阻器确定 C_{FF} 值。或者，如果选择前馈电容器以使 $C_{FF} \gg C_{FB}$，则方程式 9 和方程式 10 中极点频率和零点频率的关系如下：

$$\frac{f_p}{f_z} \cong \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{REF}} \quad (11)$$

在大多数应用中，尤其是生成 3.3V 或 5V V_{OUT} 的情况下，该比率不是很大，这意味着频率彼此靠近，因此寄生极点得到补偿。即使 V_{OUT} 值较大（此比率可高达 20），100pF ≤ C_{FF} ≤ 10nF 范围内的 C_{FF} 值通常也有助于防止反馈节点上的寄生电容器造成的不稳定。

7.2.3 应用曲线

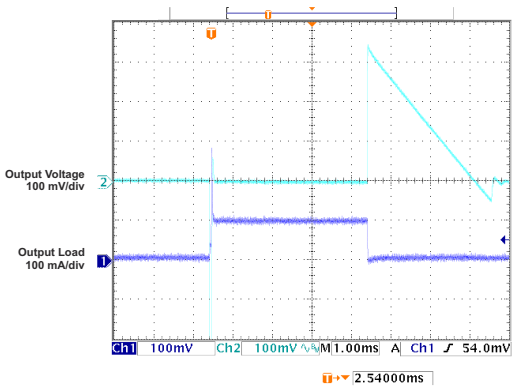
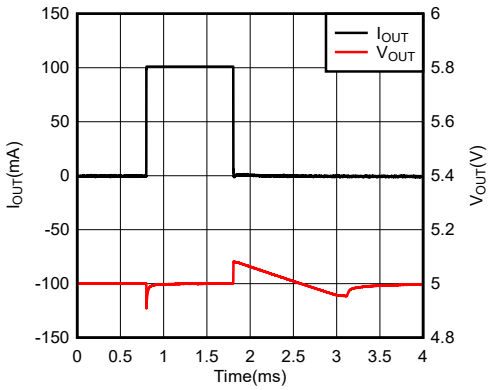


图 7-5. 负载瞬态响应与时间之间的关系（旧芯片）



V_{IN}= 6V、V_{OUT}= 5V、I_{OUT}= 0 至 100mA、C_{OUT}= 1 µ F

图 7-6. 负载瞬态响应与时间之间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

7.3 电源相关建议

最大输入电压必须限制为 30V 才能正常运行。将输入和输出电容器放置在尽可能靠近器件的位置，以利用高频噪声滤波特性。

7.4 布局

7.4.1 布局指南

确保器件输入和输出端的布线足够宽，以处理所需的电流。对于该器件，必须使用较大的输出布线来适应更大的可用电流。

将输入和输出电容器放置在尽可能靠近器件的位置，以利用高频噪声滤波特性。

7.4.2 布局示例

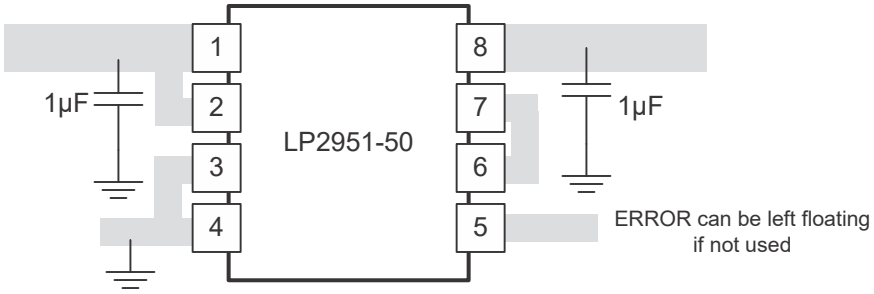


图 7-7. LP2951 布局示例（D 或 P 封装）

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

提供了评估模块 (EVM)，您可以借此来对电路性能进行初始评估。LP2951EVM（以及相关的用户指南）可在德州仪器 (TI) 网站上的产品文件夹中获取，也可直接从 TI 网上商店购买。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 器件命名规则

表 8-1. 器件命名规则

产品(1)	V_{OUT}
LP2951-**xxyyyz**	**xx** 为标称输出电压（例如，50 = 5.0V、33 = 3.3V）。 **yyy** 为封装指示符。 **z** 为封装数量。 此器件可配置为具有可调输出或固定输出。 器件可随附旧芯片（CSO：SHE）或新芯片（CSO：RFB）。卷带封装标签提供 CSO 信息以区分正在使用的芯片。整个数据表对新芯片和旧芯片的器件性能进行了说明。
LP2951DR	可调选项。 器件可以随附旧芯片（CSO：SHE）或新芯片（CSO：RFB）。卷带封装标签提供 CSO 信息以区分正在使用的芯片。整个数据表对新芯片和旧芯片的器件性能进行了说明。
LP2951-**xxADJyyyz**	**xx** 是标称输出电压（例如，50 = 5.0V、33 = 3.3V）。 **yyy** 为封装标识符。 **z** 为封装数量。 该器件可配置为具有可调输出或固定输出。 **ADJ** 表示该器件仅随附新芯片，并在可调配置中保留了旧芯片内部基准 (VREF) 限制。
LP2950-**xxyyyz**	**xx** 为标称输出电压（例如，50 = 5.0V、33 = 3.3V）。 **yyy** 为封装指示符。 **z** 为封装数量。 器件可随附旧芯片（CSO：SHE）或新芯片（CSO：RFB）。卷带封装标签提供 CSO 信息以区分正在使用的芯片。整个数据表对新芯片和旧芯片的器件性能进行了说明。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.4 文档支持

8.4.1 相关文档

- 德州仪器 (TI)，*LP2951EVM*，EVM 用户指南

8.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.6 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

8.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (December 2024) to Revision L (June 2026)	Page
• 更新了可调配置的输出范围	1
• 更新了可调配置的输出范围。	1
• 更新了 DRG 封装的热性能详细信息	5
• 添加了 LP295X-XXADJ 型号的电气限制	5
• 更新了有关可调配置的 V_{REF} 的详细信息。	22
• 更新了有关可调配置的 V_{REF} 的详细信息。	27
• 更正了有关反馈引脚和 I_{FB} 的详细信息	27
• 添加了 LP2951-xxADJ OPN 的命名规则详细信息	30

Changes from Revision J (August 2024) to Revision K (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了 LP 封装的精度和压降规格	1
• 添加了 LP 封装的热性能信息	1
• 在“建议运行条件”部分更新并添加了工作温度范围的更正	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2950-30LP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-33LPE3	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPE3.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPRE3.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-50LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5050
LP2950-50LPRE3.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5050
LP2951-30D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUD
LP2951-30DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUD
LP2951-33ADJDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	33AJDC
LP2951-33ADJDRGR	Active	Production	SON (DRG) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	33ADRC
LP2951-33D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUE
LP2951-33DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUE
LP2951-50ADJDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	50AJDC
LP2951-50ADJDRGR	Active	Production	SON (DRG) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	50ADRC
LP2951-50D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5150

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2951-50D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5150
LP2951-50DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUF
LP2951-50DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUF
LP2951D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LP2951 :

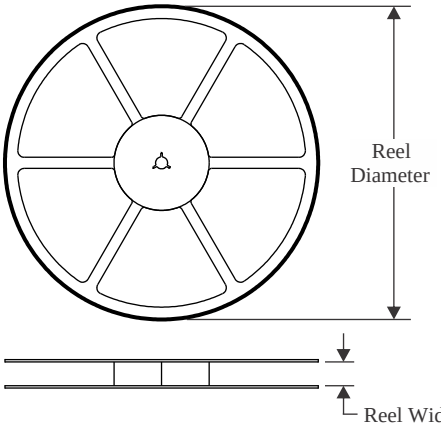
- Automotive : LP2951-Q1

NOTE: Qualified Version Definitions:

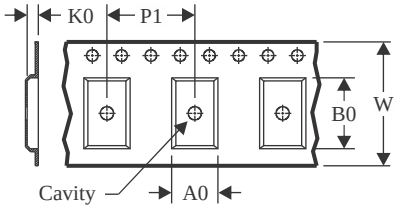
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

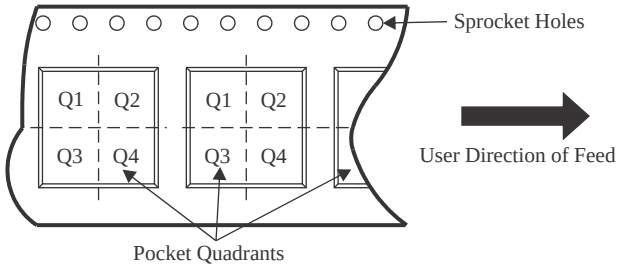


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

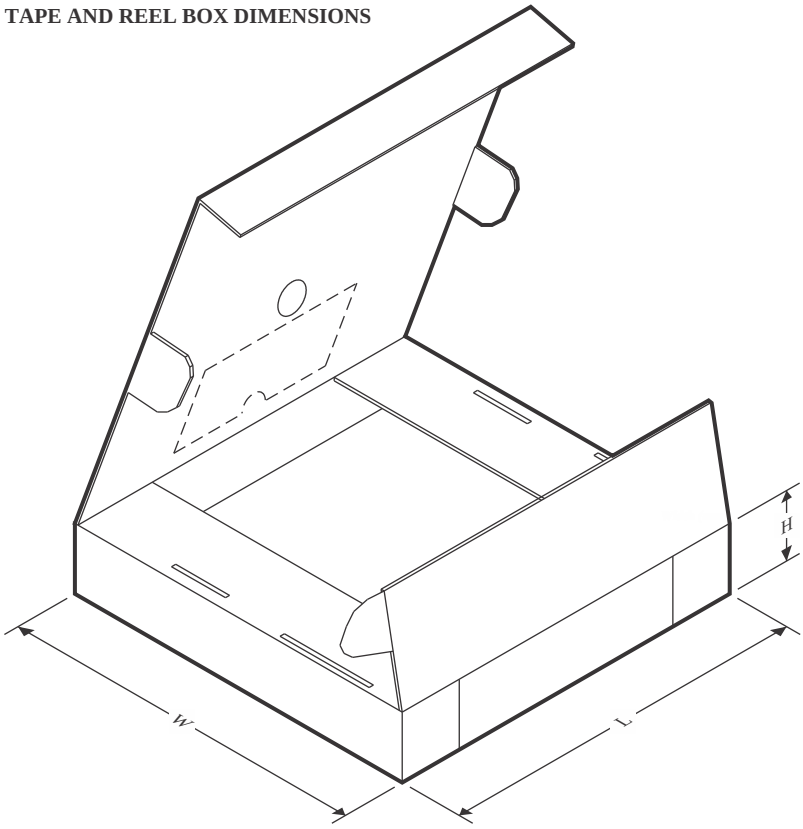
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP2951-30DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-30DRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951-33ADJDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-33ADJDRGR	SON	DRG	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951-33DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-50ADJDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-50ADJDRGR	SON	DRG	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951-50DRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

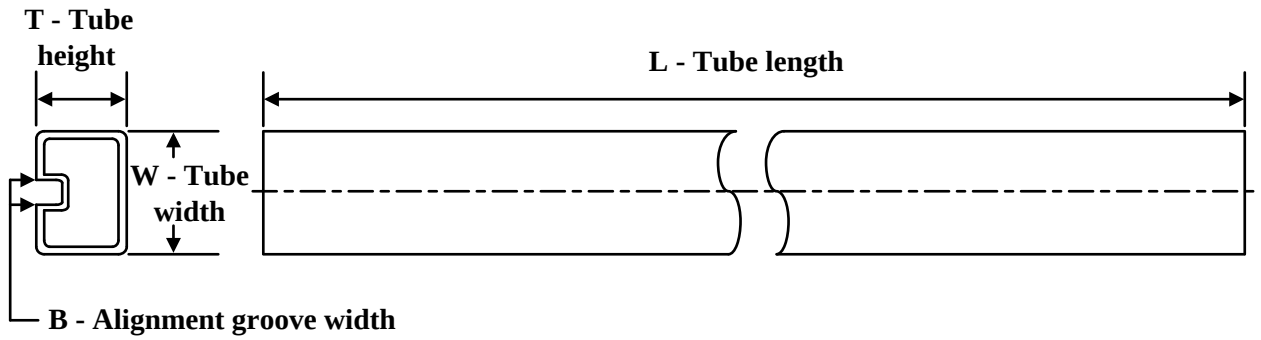
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP2951-30DR	SOIC	D	8	2500	353.0	353.0	32.0
LP2951-30DRGR	SON	DRG	8	3000	353.0	353.0	32.0
LP2951-33ADJDR	SOIC	D	8	3000	340.5	338.1	20.6
LP2951-33ADJDRGR	SON	DRG	8	5000	346.0	346.0	33.0
LP2951-33DR	SOIC	D	8	2500	340.5	338.1	20.6
LP2951-50ADJDR	SOIC	D	8	3000	340.5	338.1	20.6
LP2951-50ADJDRGR	SON	DRG	8	5000	346.0	346.0	33.0
LP2951-50DRGR	SON	DRG	8	3000	353.0	353.0	32.0
LP2951DR	SOIC	D	8	2500	353.0	353.0	32.0
LP2951DR	SOIC	D	8	2500	340.5	338.1	20.6

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LP2951-30D	D	SOIC	8	75	507	8	3940	4.32
LP2951-30D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951-33D	D	SOIC	8	75	507	8	3940	4.32
LP2951-33D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951-50D	D	SOIC	8	75	507	8	3940	4.32
LP2951-50D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951D	D	SOIC	8	75	507	8	3940	4.32
LP2951D.A	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

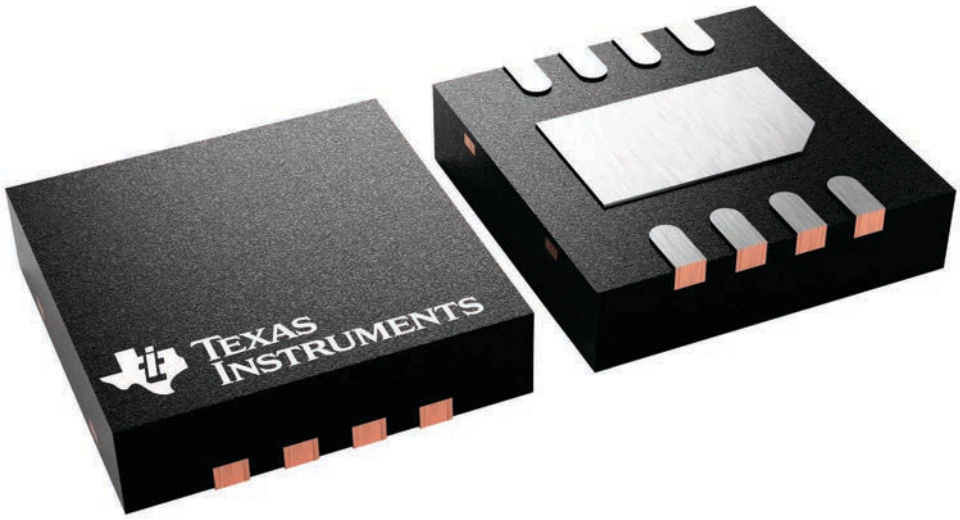
DRG 8

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



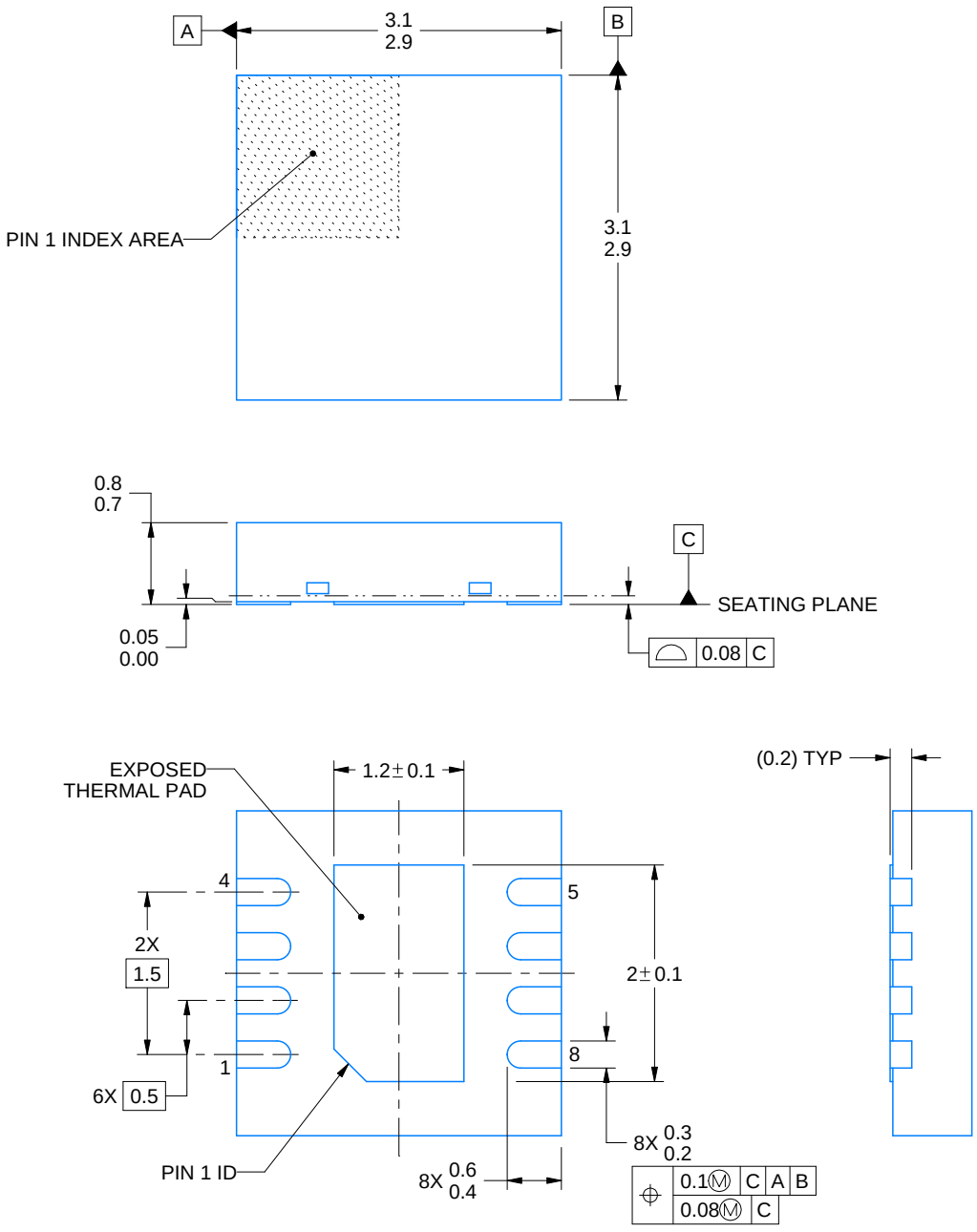
4225794/A

PACKAGE OUTLINE

DRG0008A

WSON - 0.8 mm max height

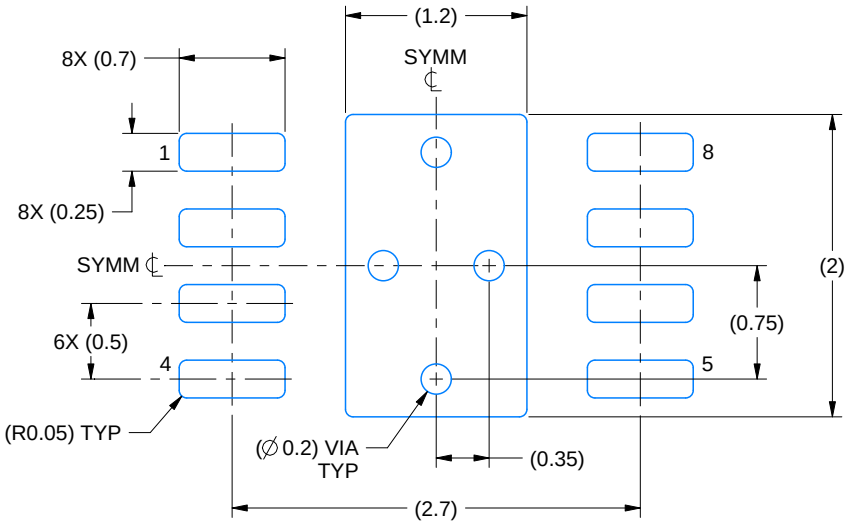
PLASTIC SMALL OUTLINE - NO LEAD



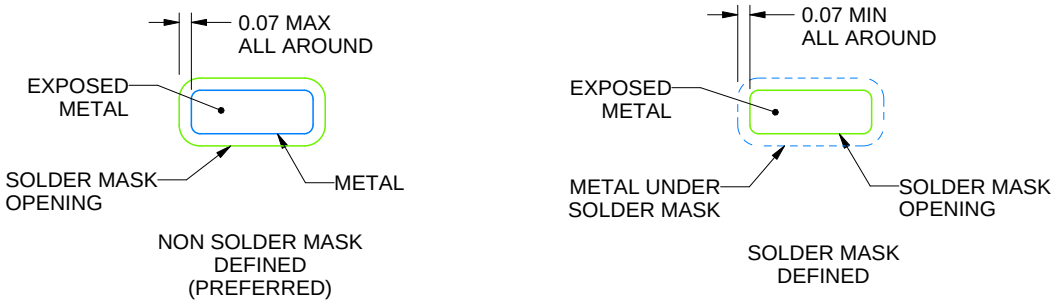
4218885/A 03/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

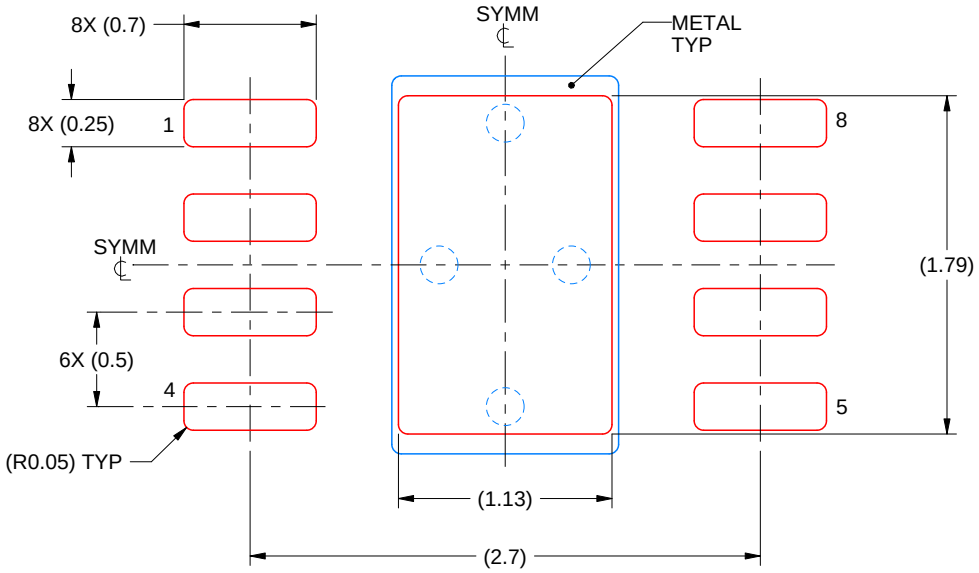


SOLDER MASK DETAILS

4218885/A 03/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



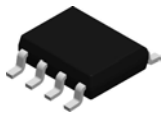
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218885/A 03/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

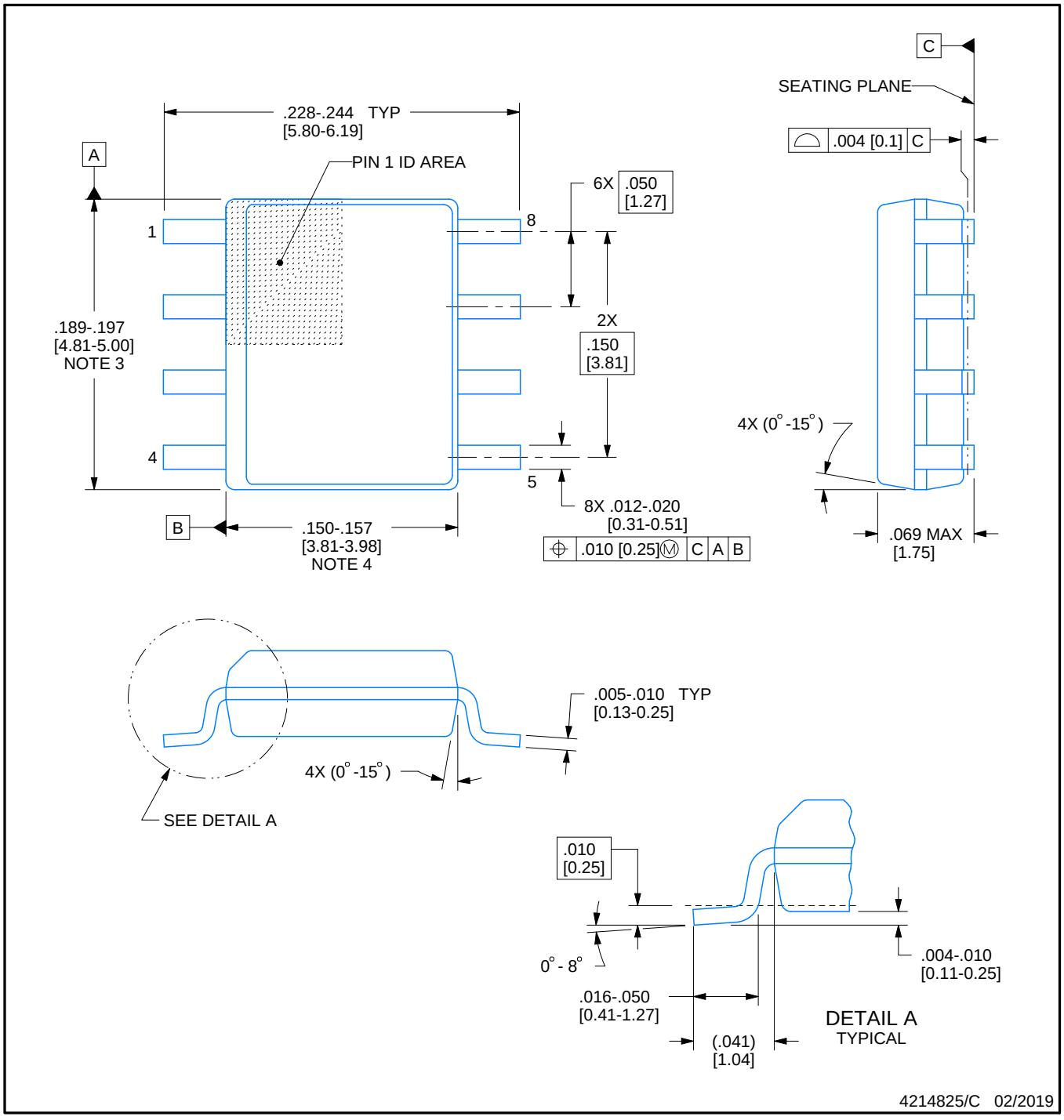


PACKAGE OUTLINE

D0008A

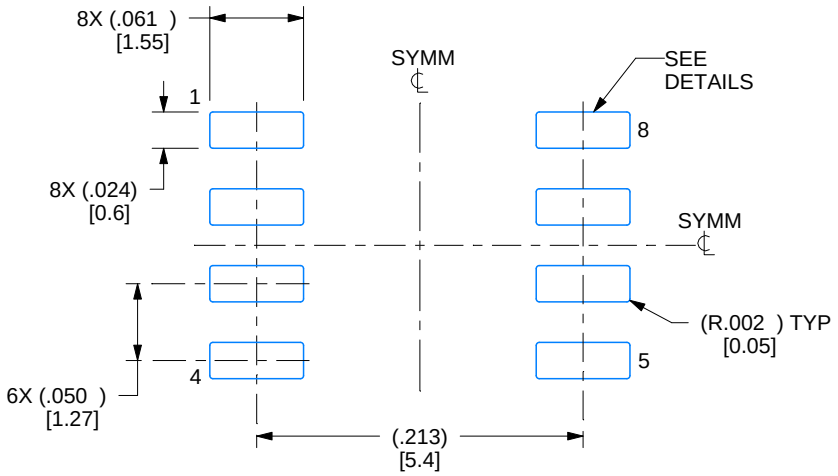
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

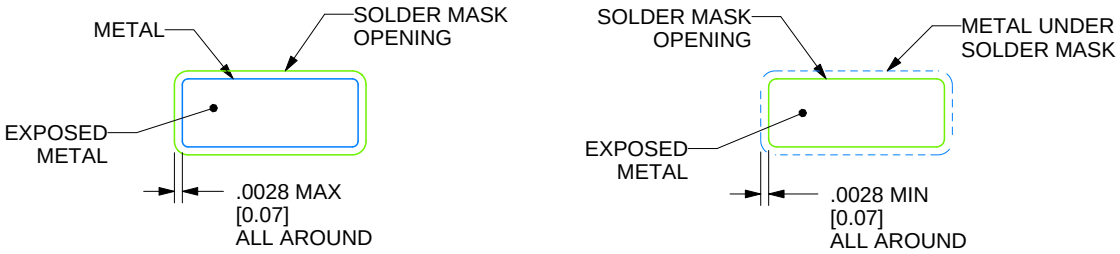


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

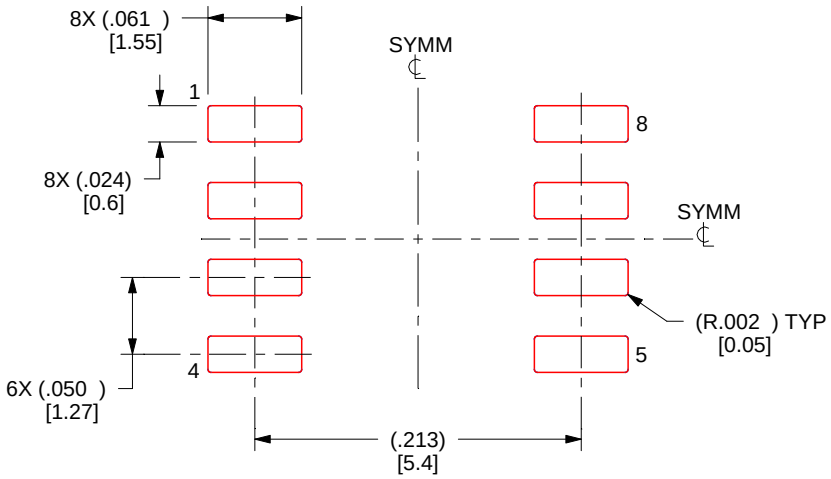
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

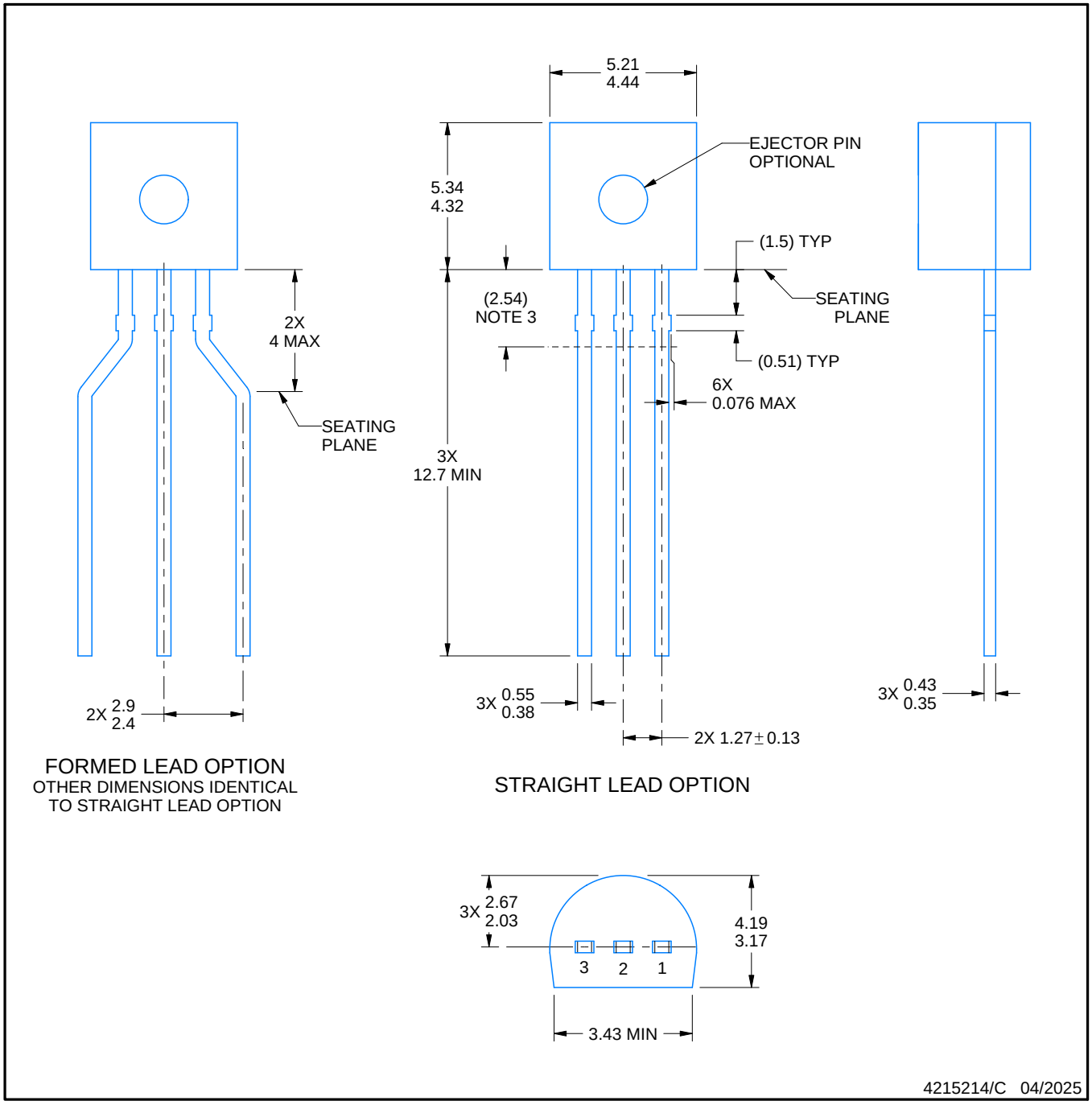
LP0003A



PACKAGE OUTLINE

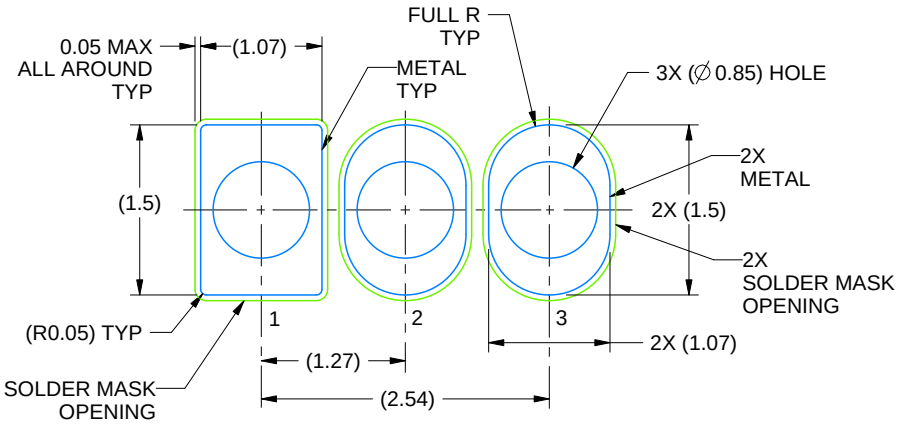
TO-92 - 5.34 mm max height

TO-92

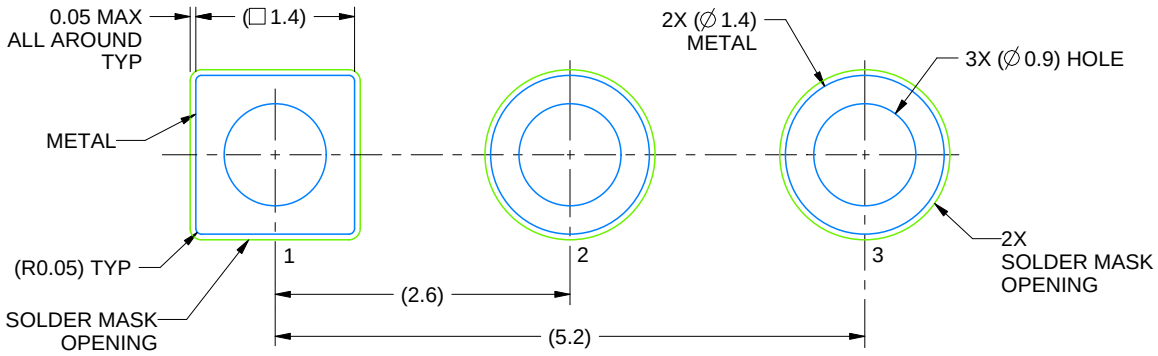


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



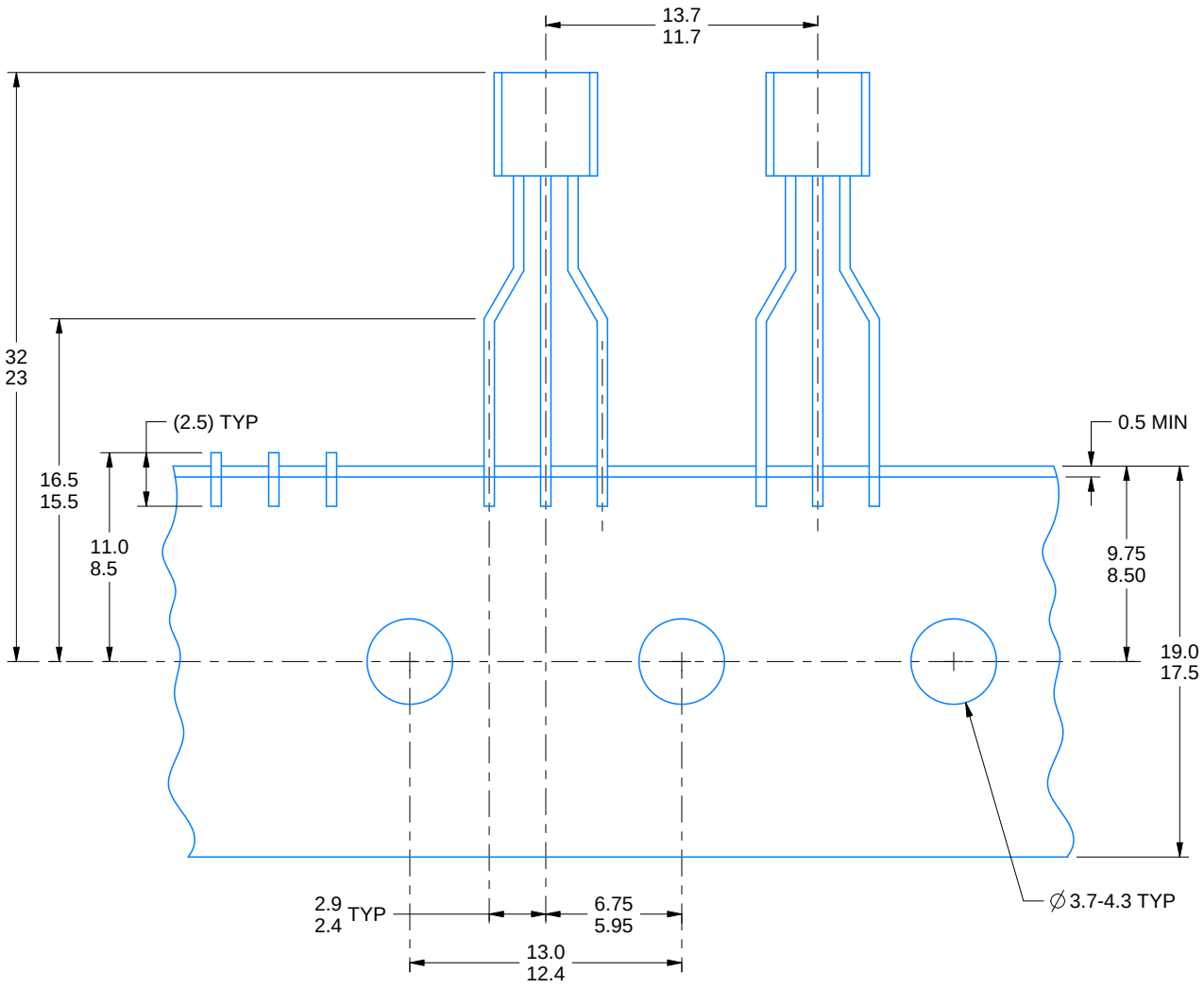
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

4215214/C 04/2025

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月