具有关断功能的 OPAx320x 高精度 20MHz、0.9pA、低噪声、RRIO、CMOS 运算放大器

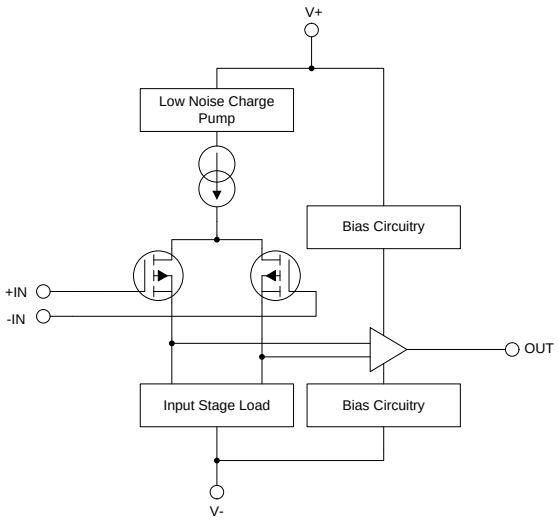
1 特性

- 高精度，具有零交越失真：
  - 低失调电压：150μV（最大值）
  - 高共模抑制比 (CMRR)：114dB
  - 轨至轨 I/O
- 低输入偏置电流：0.9pA（最大值）
- 低噪声：10kHz 时为 7nV/√Hz
- 高带宽：20MHz
- 压摆率：10V/μs
- 静态电流：1.45mA/通道
- 单电源电压范围：1.8V 至 5.5V
- OPA320S 和 OPA2320S：
  - 关断模式下的 I_Q：0.1μA
- 单位增益稳定
- 小型封装：
  - SOT-23、VSSOP、SON 和 SOIC

2 应用

- 高阻抗传感器信号调节
- 互阻抗放大器
- 测试和测量设备
- 可编程逻辑控制器 (PLC)
- 电机控制环路
- 通信
- 输入/输出 AD/DA 缓冲器
- 有源滤波器

框图



Copyright © 2016, Texas Instruments Incorporated

3 说明

OPA320（单通道）和 OPA2320（双通道）是经过优化的新一代精密低压 CMOS 运算放大器，具有极低噪声和高带宽，静态电流低，仅为 1.45mA。

OPA320 系列非常适合低功耗、单电源 应用。低噪声 (7nV/√Hz) 和高速运行特性使它们同样非常适合驱动采样模数转换器 (ADC)。其他 应用 包括信号调节和传感器放大。

OPA320 采用了 具有零交越失真的线性输入级，能够在整个输入范围内提供 114dB（典型值）的出色共模抑制比 (CMRR)。输入共模电压范围在正负电源轨基础上向外扩展了 100mV。输出电压摆幅通常在电源轨的 10mV 范围内。

此外，OPAx320 还具有 1.8V 至 5.5V 的宽电源电压范围，而且整个电源电压范围内的 PSRR 都极为出色 (106dB)，因此非常适合不经稳压而直接由电池供电的高精度低功耗 应用 。

OPA320（单通道版本）采用 5 引脚 SOT23 封装；OPA320S 关断单通道版本采用 6 引脚 SOT23 封装。双通道的 OPA2320 采用 8 引脚 SOIC、VSSOP 和 SON 封装，而 OPA2320S（具有关断功能的双通道版本）采用 10 引脚 VSSOP 封装。

Device Information(1)

PART NUMBER	PACKAGE	BODY SIZE (NOM)
OPA320	SOT-23 (5)	2.90mm × 1.60mm
OPA320S	SOT-23 (6)	2.90mm x 1.60mm
OPA2320	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm x 3.91mm
	SON (10)	3.00mm × 3.00mm
OPA2320S	VSSOP (10)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 4
6 规格 ... 6
6.1 绝对最大额定值 ... 6
6.2 ESD 额定值 ... 6
6.3 建议的工作条件 ... 6
6.4 热性能信息：OPA320 和 OPA320S ... 6
6.5 热性能信息：OPA2320 ... 7
6.6 热性能信息：OPA2320S ... 7
6.7 电气特性 ... 7
6.8 典型特性 ... 10
7 详细 说明 ... 16
7.1 概述 ... 16
7.2 功能框图 ... 16
7.3 特性 说明 ... 16
7.4 器件功能模式 ... 20
8 应用和实现 ... 21
8.1 应用信息 ... 21
8.2 典型应用 ... 25
9 电源建议 ... 27
10 布局 ... 27
10.1 布局指南 ... 27
10.2 布局示例 ... 27
11 器件和文档支持 ... 28
11.1 器件支持 ... 28
11.2 Documentation Support ... 29
11.3 相关链接 ... 29
11.4 Receiving Notification of Documentation Updates 29
11.5 社区资源 ... 29
11.6 商标 ... 29
11.7 静电放电警告 ... 29
11.8 Glossary ... 30
12 机械、封装和可订购信息 ... 30

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision E (June 2013) to Revision F **Page**

- 已添加 *ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1
- 已更改 整个数据表中的封装系列：DFN 更改成了 SON、MSOP 更改成了 VSSOP 以及 SO 更改成了 SOIC ... 1

Changes from Revision D (November 2011) to Revision E **Page**

- 已删除 *订购信息* 表 ... 1
- 已更改 更改了“电气特性”表中的*关断*、V_{IH} 和 V_{IL} 参数 ... 8
- 已添加 图 29 和 图 30 ... 13
- 已添加 图 31 和 图 32 ... 14

Changes from Revision C (August 2011) to Revision D **Page**

- 已更改 将 OPA2320 SO-8 (D) 的状态从“产品预览”更改成了“产品数据”。 ... 1

Changes from Revision B (March 2010) to Revision C **Page**

- 已删除 *引脚配置和功能* 中的 D (SO-8) 封装引脚图 ... 4
- 更改了 DGS (MSOP-10) 封装的引脚 2 和 6 的名称 ... 5
- 在*热性能信息* 表中添加值、移到新页面并更新格式 ... 6
- 在电气特性条件行中添加了 $\overline{SHDN}$ 值 ... 7
- 为“输入偏置电流过热”参数添加了新的测试条件 ... 7
- 更改了“电气特性”中的“相位裕度”参数的测试条件 ... 8
- 在“电气特性”中为*短路电流* 参数添加了测试条件 ... 8
- 更改了“电气特性”的*关断* 分段以及相关注意事项 ... 8
- 已更改 更改了“电气特性”的*电源* 分段 ... 9

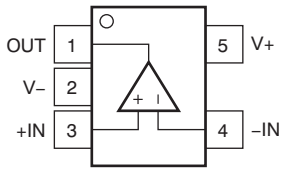
版权 © 2010–2016, Texas Instruments Incorporated

- 已更改图 4 10
- 已更改图 18 11
- 将*过载恢复时间* 部分第一段中的 100µs 更改成了 100ns 19
- 已更改图 38 19
- 已更改图 39 19
- 将图 44 中的 R_2 值从 500Ω 更改成了 50kΩ 24

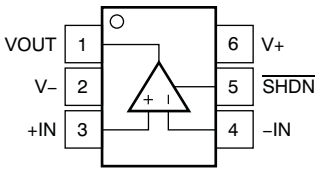
版权 © 2010–2016, Texas Instruments Incorporated

5 引脚配置和功能

OPA320 DBV 封装
5 引脚 SOT-23
俯视图



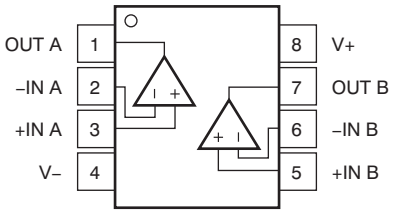
OPA320S DBV 封装
6 引脚 SOT-23
俯视图



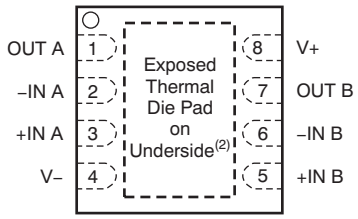
引脚功能：**OPA320** 和 **OPA320S**

引脚			I/O	说明
名称	OPA320	OPA320S		
–IN	4	4	I	负（反相）输入
+IN	3	3	I	正（同相）输入
OUT、VOUT	1	1	O	输出
$\overline{\text{SHDN}}$	—	5	I	关断，低电平有效
V–	2	2	—	负电源（最低）
V+	5	6	—	正电源（最高）

OPA2320 D 和 DGK 封装
8 引脚 SOIC 和 VSSOP
俯视图



OPA2320 DRG 封装
带有外露散热焊盘的 8 引脚 SON 封装
俯视图



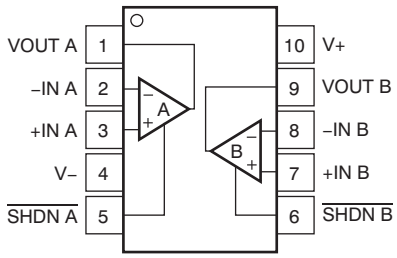
(1) 无内部连接。
(2) 将散热焊盘连接至 V–。

引脚功能：**OPA2320**

引脚			I/O	说明
名称	SOIC、VSSOP	SON		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
OUT A、VOUT A	1	1	O	输出，通道 A
OUT B、VOUT B	7	7	O	输出，通道 B
$\overline{\text{SHDN A}}$	—	—	I	关断，低电平有效，通道 A
$\overline{\text{SHDN B}}$	—	—	I	关断，低电平有效，通道 B
V–	4	4	—	负电源（最低）
V+	8	8	—	正电源（最高）

版权 © 2010–2016, Texas Instruments Incorporated

OPA2320S DGS 封装
10 引脚 VSSOP
俯视图



引脚功能：**OPA2320S**

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	8	I	反相输入，通道 B
+IN B	7	I	同相输入，通道 B
OUT A、VOUT A	1	O	输出，通道 A
OUT B、VOUT B	9	O	输出，通道 B
$\overline{\text{SHDN A}}$	5	I	关断，低电平有效，通道 A
$\overline{\text{SHDN B}}$	6	I	关断，低电平有效，通道 B
V–	4	—	负电源（最低）
V+	10	—	正电源（最高）

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源，V_S = (V+) – (V–)		6	V
	信号输入引脚(2)	(V–) – 0.5	(V+) + 0.5	
电流	信号输入引脚(2)	-10	10	mA
	输出短路电流(3)	持续		
工作	温度范围，T_A	–40	150	°C
	结温，T_J		150	
	贮存温度，T_{stg}	–65	150	

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下器件的功能性操作以及在超出*建议的工作条件*下的任何其它操作，在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。
(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流应该被限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	
	机器模型 (MM)	±200	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	额定电压	1.8	5.5	V
T_A	额定温度范围	-40	125	°C

6.4 热性能信息：OPA320 和 OPA320S

热指标		OPA320 DBV (SOT-23) 5 引脚	OPA320S DBV (SOT-23) 6 引脚	单位
$R_{\theta JA}$	结至环境热阻(1)	219.3	177.5	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	107.5	108.9	°C/W
$R_{\theta JB}$	结至电路板热阻	57.5	27.4	°C/W
ψ_{JT}	结至顶部的特征参数	7.4	13.3	°C/W
ψ_{JB}	结至电路板的特征参数	56.9	26.9	°C/W
$R_{\theta JC(bot)}$	Junction至外壳（底部）热阻	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

版权 © 2010–2016, Texas Instruments Incorporated

6.5 热性能信息：OPA2320

热指标(1)		OPA2320			单位
		D (SOIC)	DGK (VSSOP)	DRG (SON)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	122.6	174.8	50.6	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	67.1	43.9	54.9	°C/W
$R_{\theta JB}$	结至电路板热阻	64	95	25.2	°C/W
ψ_{JT}	结至顶部的特征参数	13.2	2	0.6	°C/W
ψ_{JB}	结至电路板的特征参数	63.4	93.5	25.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	5.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

6.6 热性能信息：OPA2320S

热指标(1)		OPA2320S	单位
		DGS (VSSOP)	
		10 引脚	
$R_{\theta JA}$	结至环境热阻	171.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	43	°C/W
$R_{\theta JB}$	结至电路板热阻	91.4	°C/W
ψ_{JT}	结至顶部的特征参数	1.9	°C/W
ψ_{JB}	结至电路板的特征参数	89.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.7 电气特性

V_S = 1.8V 至 5.5V 或 ±0.9V 至 ±2.75V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，V_{OUT} = V_S/2，且 $\overline{SHDN}$ x = V_{S+}（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压				40	150	μV
dV_{OS}/dT	输入失调电压与温度间的关系	V_S = 5.5V，T_A = –40°C 至 125°C			1.5	5	μV/°C
PSR	输入失调电压与电源间的关系	V_S = 1.8V 至 5.5V，T_A = 25°C			5	20	μV/V
		V_S = 1.8V 至 5.5V，T_A = –40°C 至 125°C			15		
	通道分离	1kHz			130		dB
输入电压							
V_{CM}	共模电压			(V–) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V，T_A = 25°C		100	114		dB
		V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V，T_A = –40°C 至 125°C		96			
输入偏置电流							
I_B	输入偏置电流	T_A = 25°C			±0.2	±0.9	pA
		T_A = –40°C 至 85°C				±50	
		T_A = –40°C 至 125°C	OPA2320 和 OPA2320S			±400	
			OPA320 和 OPA320S			±600	
I_{OS}	输入失调电流	T_A = 25°C			±0.2	±0.9	pA
		T_A = –40°C 至 85°C				±50	
		T_A = –40°C 至 125°C				±400	

电气特性 (接下页)

V_S = 1.8V 至 5.5V 或 ±0.9V 至 ±2.75V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，V_{OUT} = V_S/2，且 $\overline{SHDN}$ x = V_{S+}（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
噪声						
	输入电压噪声	f = 0.1Hz 至 10Hz		2.8		μV_{PP}
e_n	输入电压噪声密度	f = 1kHz		8.5		$nV/\sqrt{Hz}$
		f = 10kHz		7		
i_n	输入电流噪声密度	f = 1kHz		0.6		$fA/\sqrt{Hz}$
输入电容值						
	差模			5		pF
	共模			4		pF
开环增益						
A_{OL}	开环电压增益	0.1V < V_O < (V+) – 0.1V，R_L = 10kΩ，T_A = 25°C	114	132		dB
		0.1V < V_O < (V+) – 0.1V，R_L = 10kΩ，T_A = –40°C 至 125°C	100	130		
		0.2V < V_O < (V+) – 0.2V，R_L = 2kΩ，T_A = 25°C	108	123		
		0.2V < V_O < (V+) – 0.2V，R_L = 2kΩ，T_A = –40°C 至 125°C	96	130		
PM	相位裕度	V_S = 5V，C_L = 50pF		47		°
频率响应，V_S = 5V，C_L = 50pF						
GBP	增益带宽积	单位增益		20		MHz
SR	压摆率	G = +1		10		V/μs
t_S	建立时间	达到 0.1%，2V 阶跃，G = +1		0.25		μs
		达到 0.01%，2V 阶跃，G = +1		0.32		
		达到 0.0015%，2V 阶跃，G = +1(1)		0.5		
	过载恢复时间	V_{IN} × G > V_S		100		ns
THD+N	总谐波失真 + 噪声(2)	V_O = 4V_{PP}，G = 1，f = 10kHz，R_L = 10kΩ		0.0005%		
		V_O = 2V_{PP}，G = 1，f = 10kHz，R_L = 600Ω		0.0011%		
输出						
V_O	距离两个轨的电压输出摆幅	R_L = 10kΩ，T_A = 25°C		10	20	mV
		R_L = 2kΩ，T_A = 25°C		25	35	
		R_L = 10kΩ，T_A = –40°C 至 125°C			30	
		R_L = 2kΩ，T_A = –40°C 至 125°C			45	
I_{SC}	短路电流	V_S = 5.5V		±65		mA
C_L	容性负载驱动			请参阅 *典型特性*		
R_O	开环输出电阻	I_O = 0mA，f = 1MHz		90		Ω
关断 (3)						
I_{QSD}	静态电流（每个放大器）	所有放大器均为禁用状态，$\overline{SHDN}$ = V–		0.1	0.5	μA
		仅限 OPA2320S，$\overline{SHDN\ A}$ = $V_{S–}$，$\overline{SHDN\ B}$ = V_{S+}		1.6		mA
		仅限 OPA2320S，$\overline{SHDN\ A}$ = V_{S+}，$\overline{SHDN\ B}$ = $V_{S–}$		1.6		
V_{IH}	高电平输入电压	放大器为启用状态，$V_{S–}$ + 0.7 [(V_{S+}) + |$V_{S–}$|]	0.7 × V_{S+}		5.5	V
V_{IL}	低电平输入电压	放大器为禁用状态，$V_{S–}$ + 0.3 [(V_{S+}) + |$V_{S–}$|]			0.3 × V_{S+}	V
t_{ON}	放大器启用时间(4)	G = 1，V_{OUT} = 0.1 × V_S/2，完全关断(5)		20		μs
		仅限 OPA2320S，部分关断(5)		6		
t_{OFF}	放大器禁用时间(4)	G = 1，V_{OUT} = 0.1 × V_S/2		3		μs
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）	V_{IH} = 5V		0.13		μA
		V_{IL} = 0V		0.04		

(1) 基于仿真。
(2) 三阶滤波器；–3dB 时的带宽 = 80kHz。
(3) 根据设计和特征确定；未经生产测试。
(4) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的时间。
(5) 完全关断是指双通道 OPA2320S 的通道 A 和 B 均为禁用状态 ($\overline{SHDN\ A}$ = $\overline{SHDN\ B}$ = $V_{S–}$)。部分关断是指仅使用一个 $\overline{SHDN}$ 引脚；在这种模式下，内部偏置和振荡器保持工作状态，并且启用时间更短。

版权 © 2010–2016, Texas Instruments Incorporated

电气特性 (接下页)

V_S = 1.8V 至 5.5V 或 ±0.9V 至 ±2.75V，T_A = 25°C，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，V_{OUT} = V_S/2，且 $\overline{SHDN}$ x = V_{S+}（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_S	额定电压		1.8		5.5	V
I_Q	静态电流（每个放大器），OPA320 和 OPA320S	I_O = 0mA，V_S = 5.5V，T_A = 25°C		1.5	1.75	mA
		I_O = 0mA，V_S = 5.5V，T_A = –40°C 至 125°C			1.85	
	静态电流（每个放大器），OPA2320 和 OPA2320S	I_O = 0mA，V_S = 5.5V，T_A = 25°C		1.45	1.6	mA
		I_O = 0mA，V_S = 5.5V，T_A = –40°C 至 125°C			1.7	
	上电时间	V+ = 0V 至 5V，达到 90% I_Q 电平		28		µs

6.8 典型特性

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

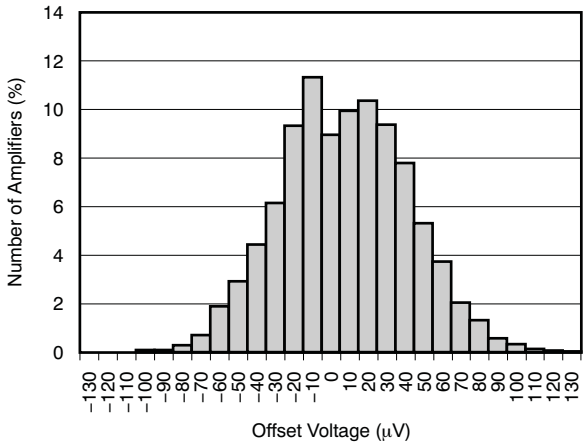


图 **1.** 失调电压分布

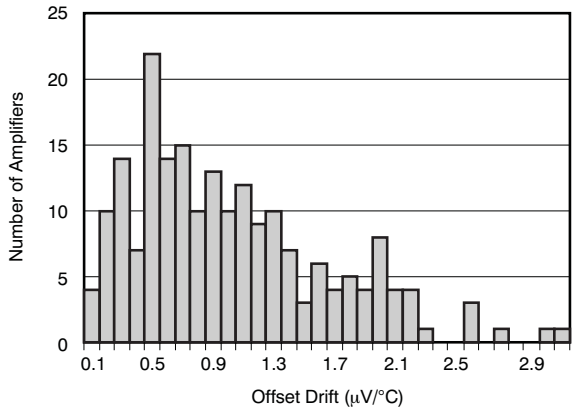


图 **2.** 失调电压漂移分布

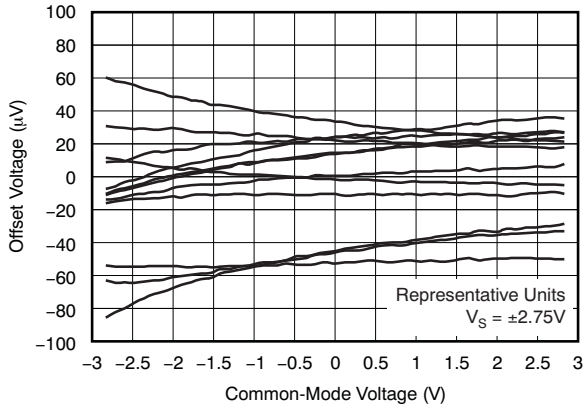


图 **3.** 失调电压与共模电压间的关系

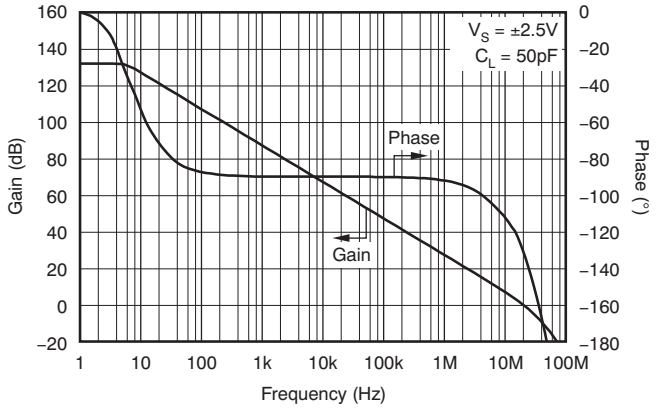


图 **4.** 开环增益/相位与频率间的关系

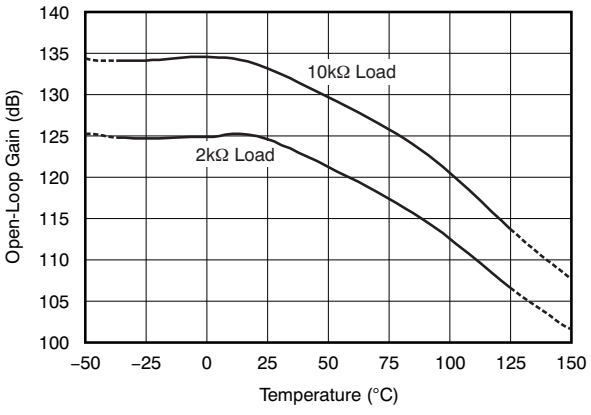


图 **5.** 开环增益与温度间的关系

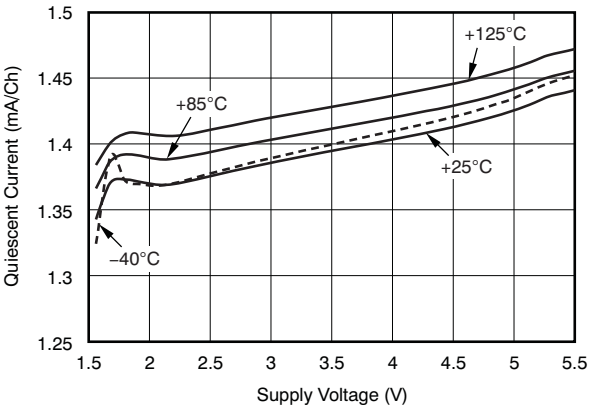


图 **6.** 静态电流与电源电压间的关系

版权 © 2010–2016, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

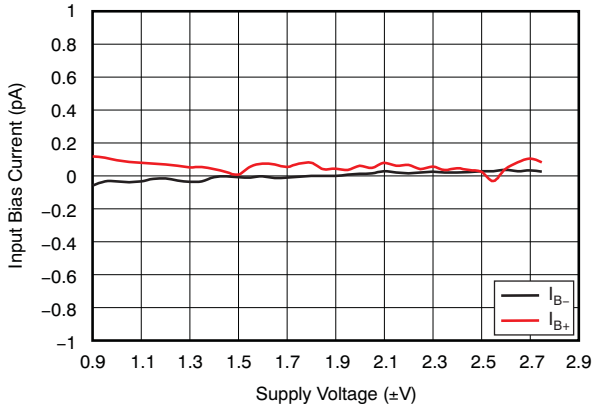


图 **7.** 输入偏置电流与电源电压间的关系

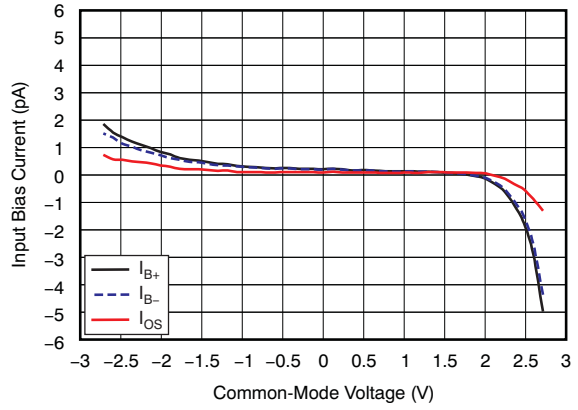


图 **8.** 输入偏置电流与共模电压间的关系

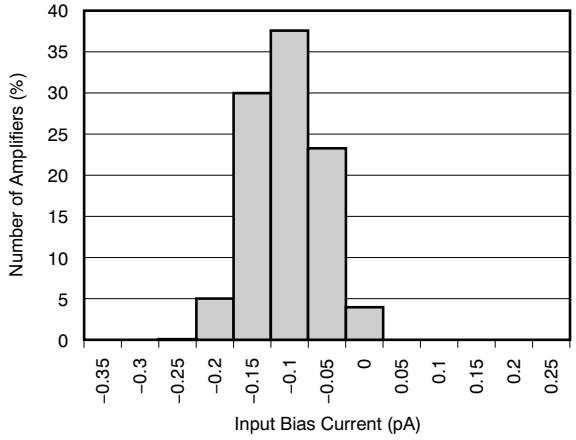


图 **9.** 输入偏置电流分布

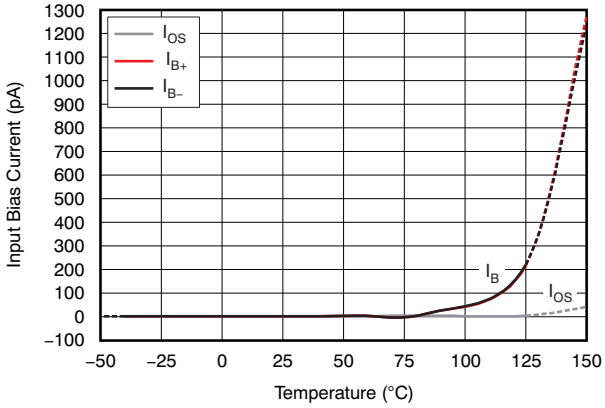


图 **10.** 输入偏置电流与温度间的关系

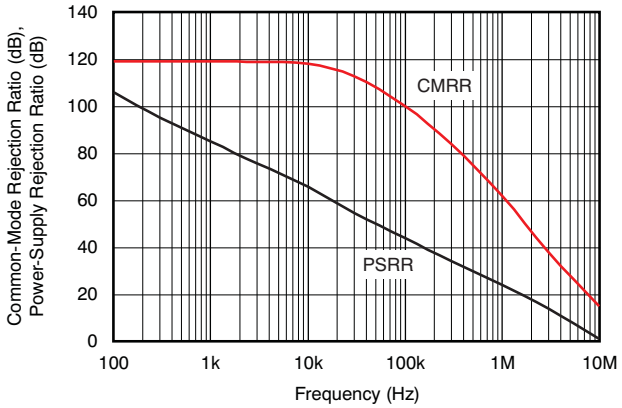


图 **11. CMRR** 和 **PSRR** 与频率间的关系

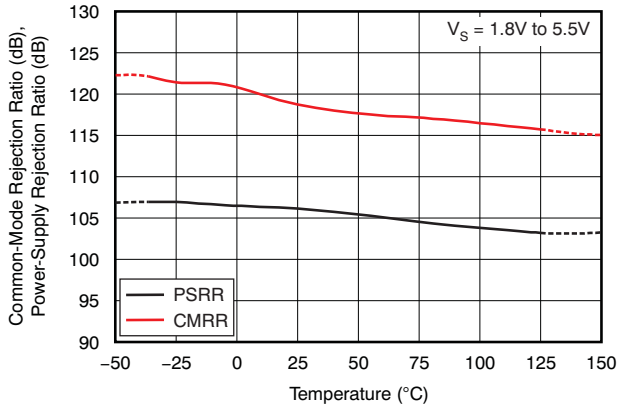


图 **12. CMRR** 和 **PSRR** 与温度间的关系

典型特性 (接下页)

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

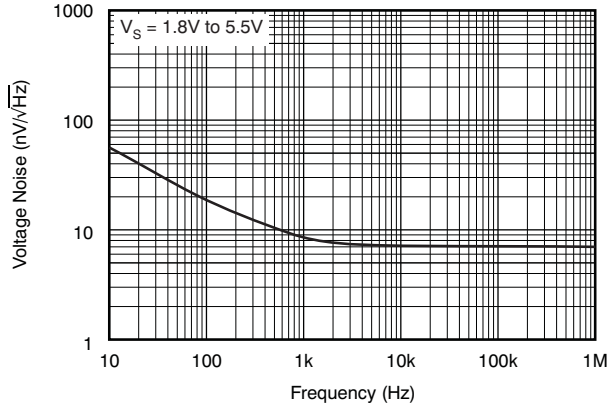


图 **13.** 输入电压噪声频谱密度与频率间的关系

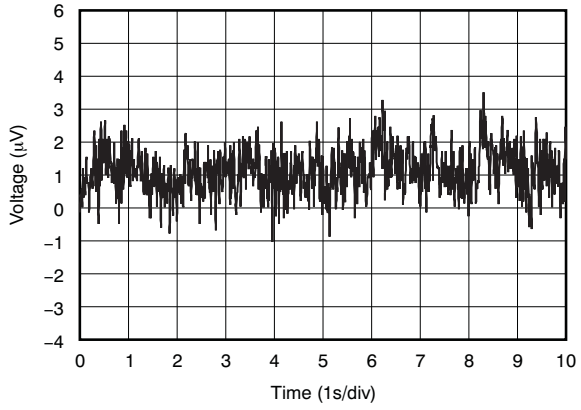


图 **14. 0.1Hz** 至 **10Hz** 输入电压噪声

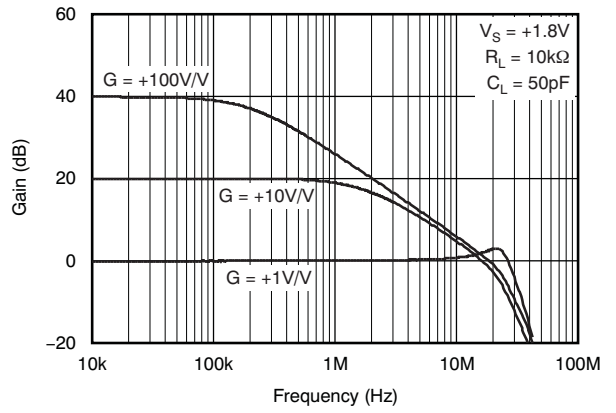


图 **15.** 闭环增益与频率间的关系

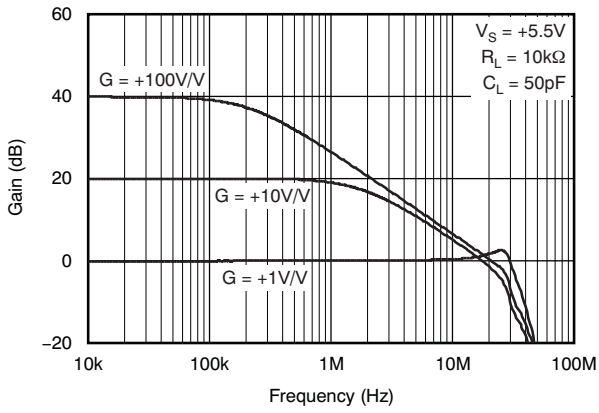


图 **16.** 闭环增益与频率间的关系

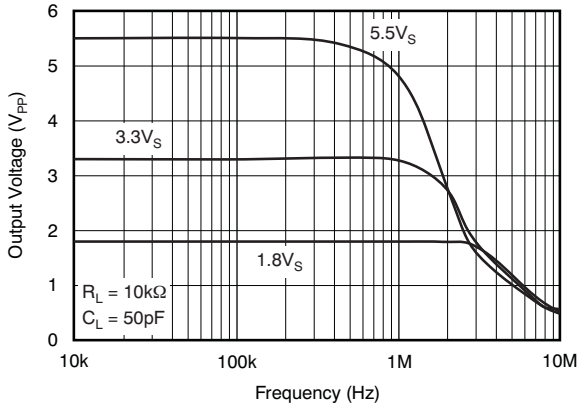


图 **17.** 最大输出电压与频率间的关系

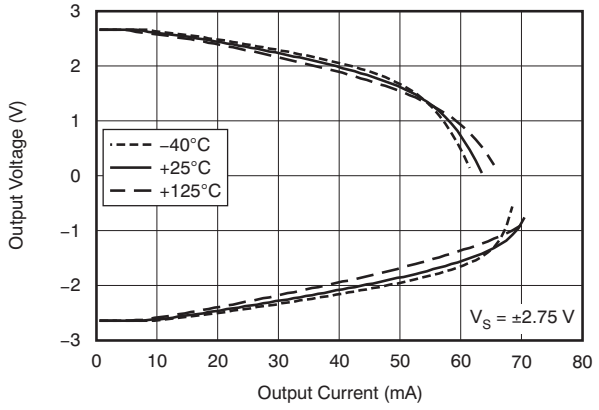


图 **18.** 输出电压摆幅与输出电流间的关系（**8** 引脚 **VSSOP**）

版权 © 2010–2016, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

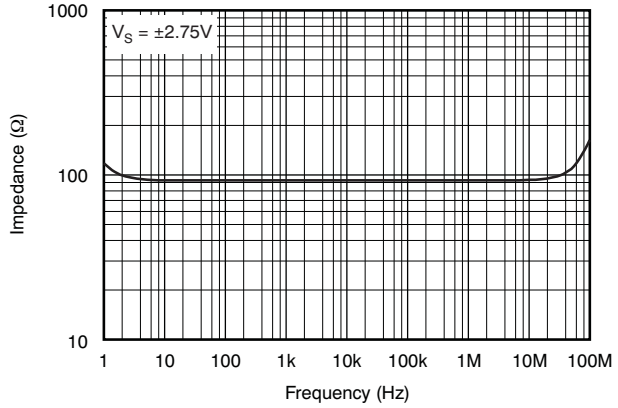


图 **19.** 开环输出阻抗与频率间的关系

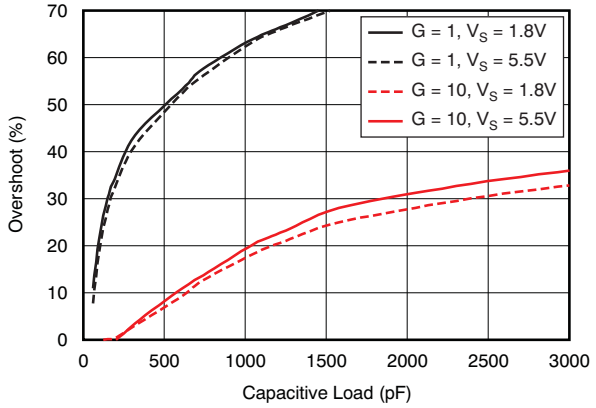


图 **20.** 小信号过冲与负载电容间的关系

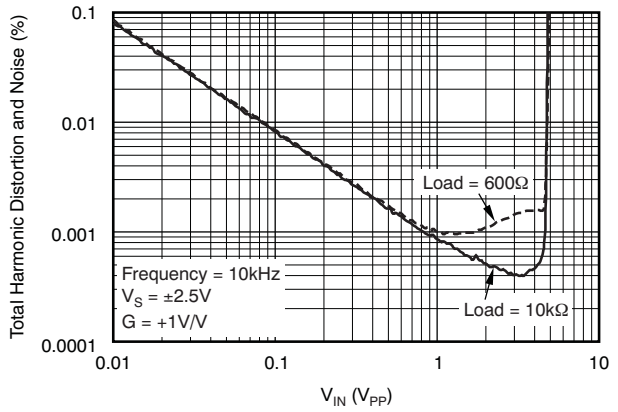


图 **21. THD+N** 与幅度间的关系

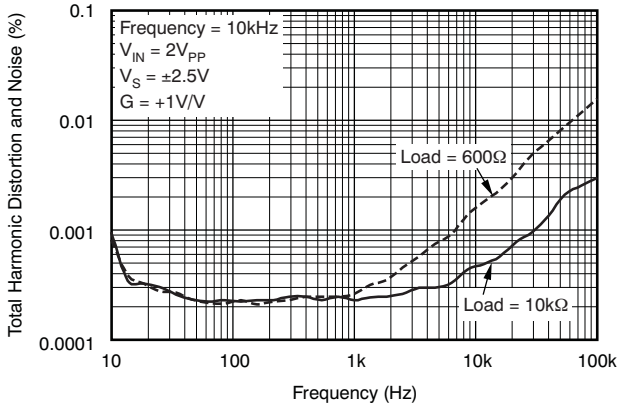


图 **22. THD+N** 与频率间的关系

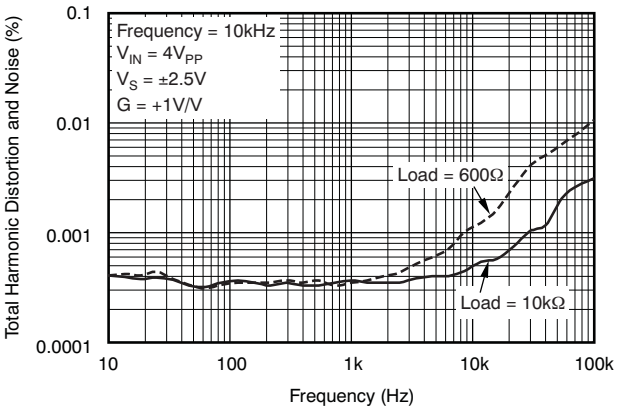


图 **23. THD+N** 与频率间的关系

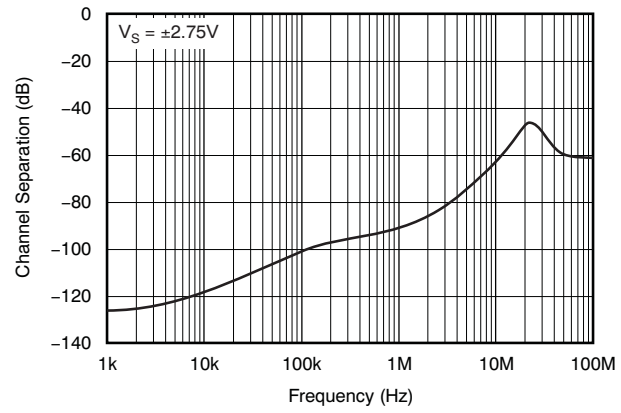


图 **24.** 通道分离与频率间的关系
（适用于双通道版本）

典型特性 (接下页)

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

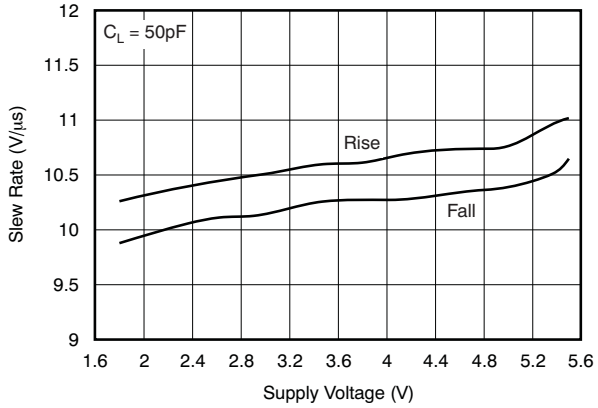


图 **25.** 压摆率与电源电压间的关系

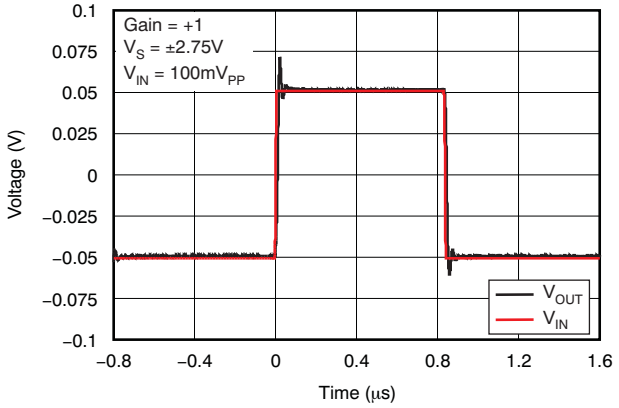


图 **26.** 小信号阶跃响应

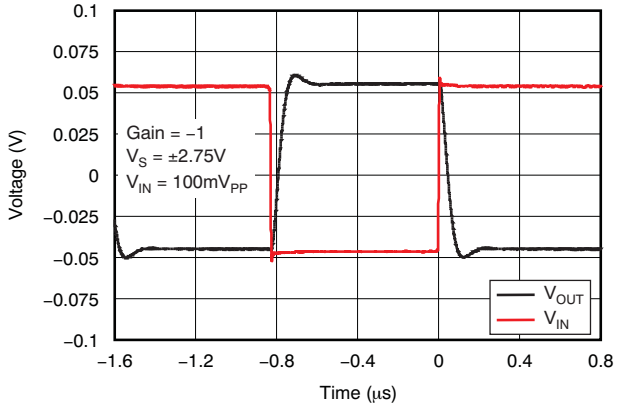


图 **27.** 小信号阶跃响应

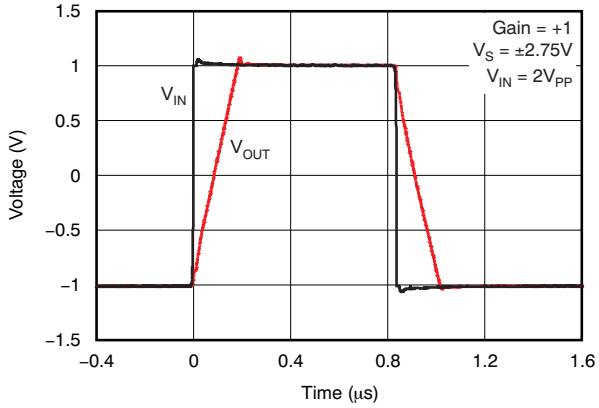


图 **28.** 大信号阶跃响应与时间间的关系

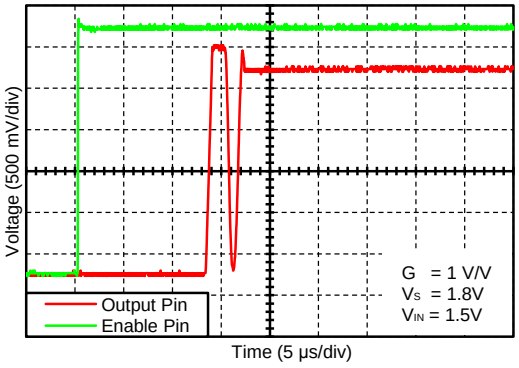


图 **29.** 启用启动

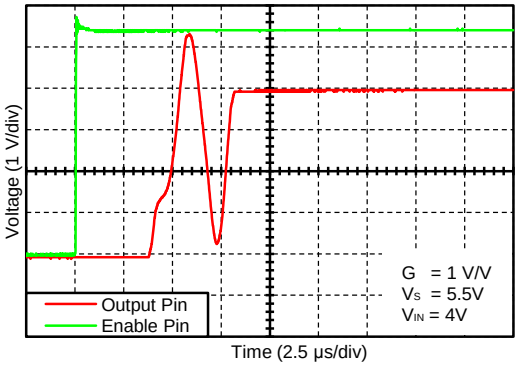


图 **30.** 启用启动

版权 © 2010–2016, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_{CM} = V_{OUT} = 中间电源，且 R_L = 10kΩ（除非另有说明）。

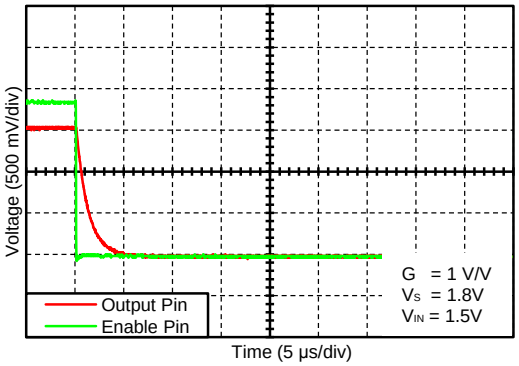


图 **31.** 启用关断

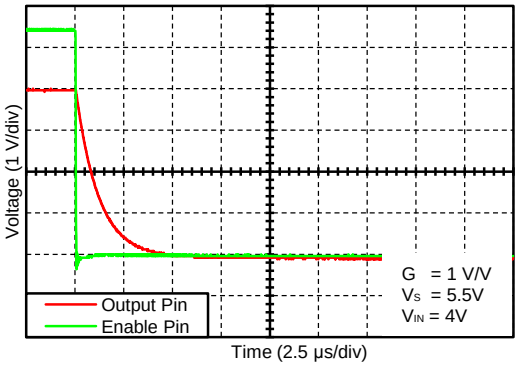


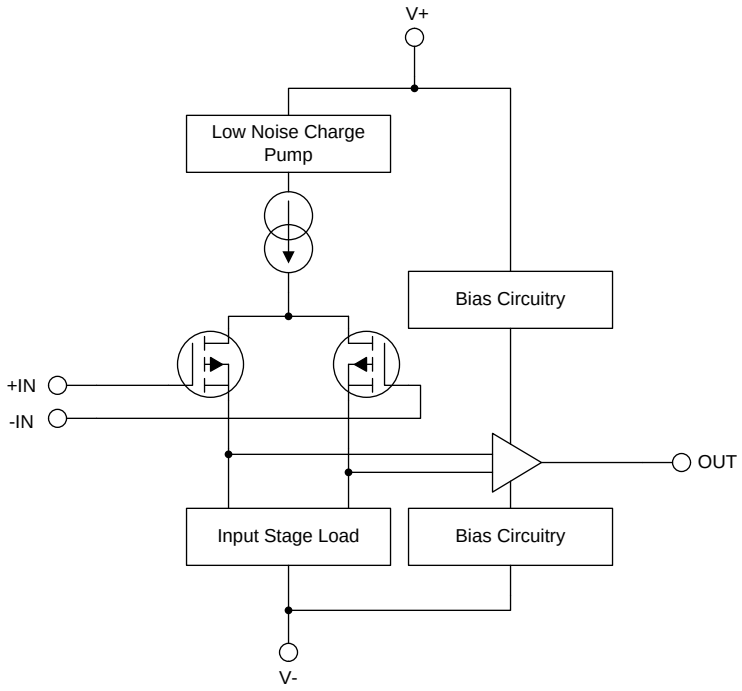
图 **32.** 启用关断

7 详细 说明

7.1 概述

OPA320 系列运算放大器是高速精密放大器，非常适合驱动 12 位、14 位和 16 位模数转换器。具有平坦的频率特性的低输出阻抗以及零交越失真电路可确保在整个输入共模范围内获得高线性度，从而通过 1.8V 至 5.5V 的单电源实现真正的轨至轨输入。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

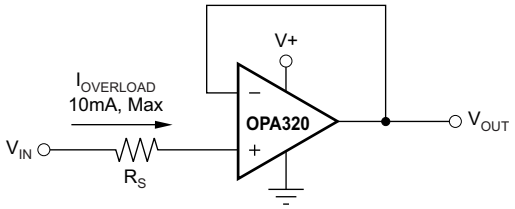
OPA320 系列运算放大器具有单位增益稳定特性，可在单电源电压（1.8V 至 5.5V）或双电源电压（±0.9V 至 ±2.75 V）下工作，因此具有极高的通用性和易用性。电源引脚应具有本地旁路陶瓷电容器（通常为 0.001µF 至 0.1µF）。OPA320 放大器的额定工作电压为 1.8V 至 5.5V，并具有 –40°C 至 +125°C 的扩展工作温度范围。*典型特性* 中提供的参数可能会随工作电压或温度的不同而出现变化。

版权 © 2010–2016, Texas Instruments Incorporated

特性 说明 (接下页)

7.3.2 输入和 ESD 保护

OPA320 在所有引脚上均整合了内部静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值* 表中所述不超过 10mA，这些 ESD 保护二极管还能提供电路内输入过驱保护。许多输入信号本身就会将电流限制在 10mA 以下；因此不需要使用限流电阻器。图 33 显示了如何通过将串联输入电阻器 (R_S) 添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的 应用中，该值应保持在最低值。



Copyright © 2016, Texas Instruments Incorporated

图 **33.** 输入电流保护

7.3.3 轨至轨输入

OPA320 产品系列 采用 真正的轨至轨输入运行，电源电压低至 ±0.9V (1.8V)。OPA320 放大器的设计中包括一个内部电荷泵，该内部电荷泵使用超出外部电源 (V_{S+}) 约 1.6V 的内部电源轨为放大器输入级供电。这个内部电源轨可确保单个差分输入对运行，并使其在非常宽的输入共模范围内保持非常高的线性度。独特的零交越输入拓扑消除了许多轨至轨互补输入级运算放大器通常具有的输入失调电压转换区域。该拓扑可让 OPA320 在整个共模输入范围内（在两个电源轨的基础上向外扩展 100mV）提供出色的共模性能（CMRR > 110dB，典型值）。当驱动模数转换器 (ADC) 时，OPA320 的高线性度 V_{CM} 范围可确保最高线性性能和最低失真。

7.3.4 相位反转

OPA320 运算放大器根据设计可在输入引脚电压超过电源电压时不受相位反转的影响，所以能够提供更高的系统内稳定性和可预测性。图 34 显示了输入电压超过电源电压而未出现任何相位反转的情况。

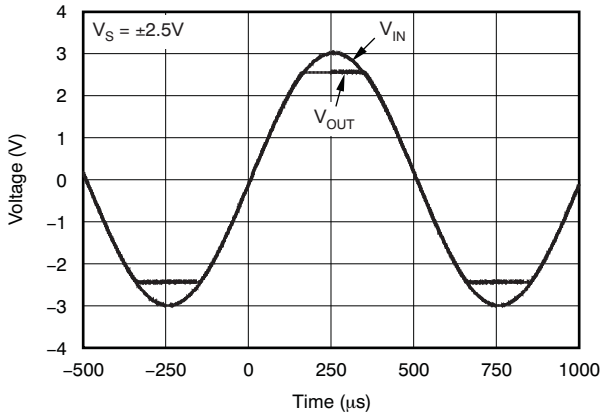
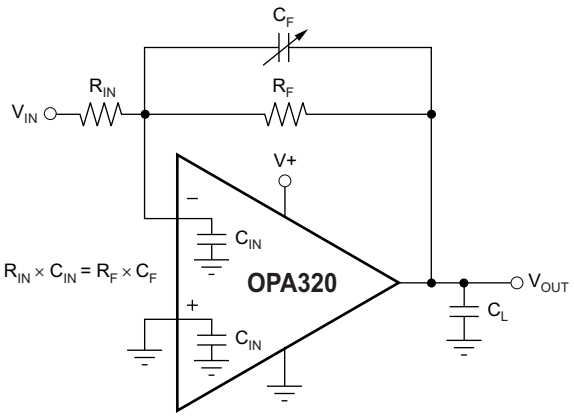


图 **34.** 无相位反转

7.3.5 反馈电容器改善响应

为了在使用高阻抗反馈网络时获得最佳的建立时间和稳定性，可能需要在反馈电阻器 R_F 上添加一个反馈电容器，如图 35 所示。该电容器可补偿反馈网络阻抗和 OPA320 输入电容（以及任何寄生布局电容）产生的零。网络阻抗越高，影响越明显。

特性 说明 (接下页)



其中的 C_{IN} 等于 OPA320 输入电容（大约 9pF）加上任何寄生布局电容。

图 35. 反馈电容器提高动态性能

对于图 35 所示的电路，选择可变反馈电容器的电容值时，应使 OPA320 的输入电阻乘以输入电容（通常是 9pF）与寄生布局电容估算值之和所得的值，等于反馈电容乘以反馈电阻所得的值，计算公式如公式 1 所示。

$$R_{IN} \times C_{IN} = R_F \times C_F \quad (1)$$

其中

- C_{IN} 等于 OPA320 输入电容（差模与共模电容之和）加上布局电容。

可以调节电容器的电容值，直到获得最佳性能。

7.3.6 EMI 易感性和输入滤波

不同的运算放大器对于电磁干扰 (EMI) 的易感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流偏移值在有 EMI 存在时可能偏离标称值。这个偏离是内部半导体结相关的信号整流引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是输入引脚可能是最易受影响的。OPA320 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此输入滤波器提供共模和差模滤波。此滤波器支持大约 580MHz (–3dB) 的截止频率，具有每十倍频 20dB 的下降率。

7.3.7 输出阻抗

OPA320 共源输出级的开环输出阻抗大概为 90Ω。当运算放大器与反馈连接时，环路增益会使该值显著减小。例如，开环增益为 130dB（典型值）时，单位增益中的输出阻抗减小到低于 0.03Ω。闭环增益每升高十倍频，环路增益减少相同的量，使得有效输出阻抗增加十倍。虽然 OPA320 输出阻抗在较宽的频率范围内保持得非常平坦，但在频率较高时，随着运算放大器的开环增益降低，输出阻抗将升高。但是，在这些频率下，输出也因为寄生电容而变为容性。这种架构进而可以防止输出阻抗过高（这会导致在驱动大型容性负载时出现稳定性问题）。正如先前所述，对于一个具有同等带宽的运算放大器而言，OPA320 具有出色的容性负载驱动能力。

7.3.8 容性负载和稳定性

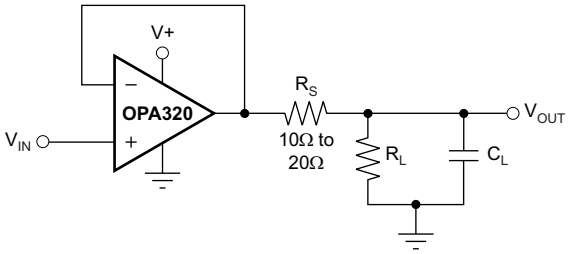
OPA320 旨在用于 需要驱动 容性负载的应用。与所有运算放大器一样，在某些特定情况下，OPA320 可能会变得不稳定。当确定放大器在运行中能否保持稳定时，需要考虑特定运算放大器电路配置、布局、增益和输出负载等因素。与在更高噪声增益下工作的放大器相比，采用单位增益 (1V/V) 缓冲器配置并驱动容性负载的运算放大器更容易出现不稳定的情况。与运算放大器输出电阻结合在一起的容性负载在反馈环路内生成一个使相位裕量减小的极点。相位裕量的减小随着负载电容的增加而增加。OPA320 在单位增益配置下运行时，在纯容性负载达到大约 1nF 时仍然保持稳定。

版权 © 2010–2016, Texas Instruments Incorporated

特性 说明 (接下页)

某些电容值很高的电容器 (C_L > 1μF) 的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使放大器能够驱动越来越大的电容。如果在电压增益更高时观察放大器的过冲响应，可发现此能力的增长十分明显，如图 37 所示。放大器在单位增益配置下运行时增大容性负载驱动能力的一种方法就是插入一个与输出串联的小电阻器（R_S，其大小通常为 10Ω 到 20Ω），如图 36 所示。

这个电阻器将大大减少与大容性负载相关的过冲和振铃。但这个方法可能会带来一个问题，即增加的串联电阻器和任何与容性负载并联的电阻器会产生一个分压器。此分压器会在输出端引入一个可减小输出摆幅的增益误差。分压器导致的误差可能不大。例如，负载电阻为 R_L = 10kΩ 和 R_S = 20Ω 时，增益误差仅为约 0.2%。但是，当 R_L 减小到 600Ω（OPA320 可以驱动的负载）时，误差会增加到 7.5%。



Copyright © 2016, Texas Instruments Incorporated

图 **36.** 增强容性负载驱动能力

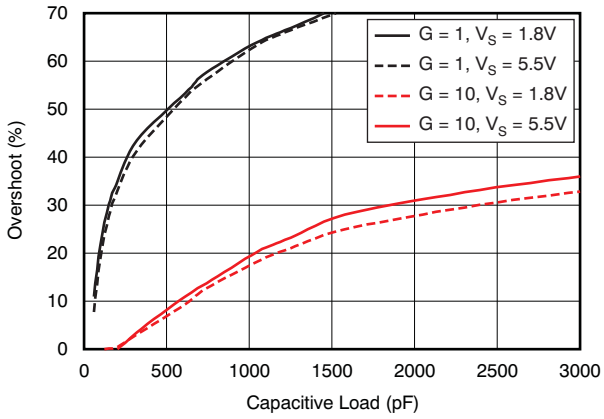


图 **37.** 小信号过冲与容性负载间的关系（**100mV$_{PP}$** 输出阶跃）

7.3.9 过载恢复时间

过载恢复时间是指放大器输出脱离饱和状态并恢复到线性区域所需的时间。在有大型瞬态的情况下必须将小信号放大的 应用 中，过载恢复尤为重要。图 38 和图 39 分别显示了 OPA320 的正负过载恢复时间。在这两种情况下，OPA320 脱离饱和状态所需的时间都小于 100ns。另外，正负恢复时间之间的对称性可实现出色的信号整流，而输出信号也不失真。

特性 说明 (接下页)

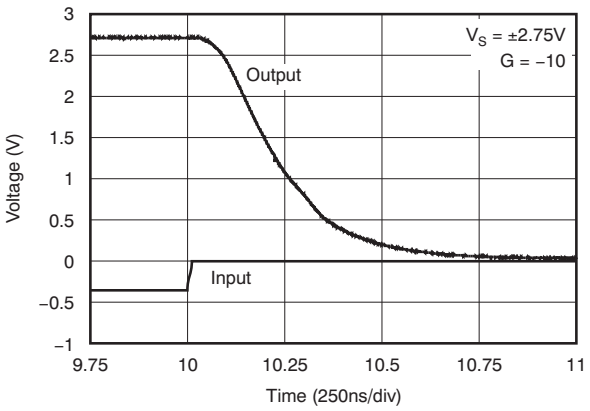


图 **38.** 正恢复时间

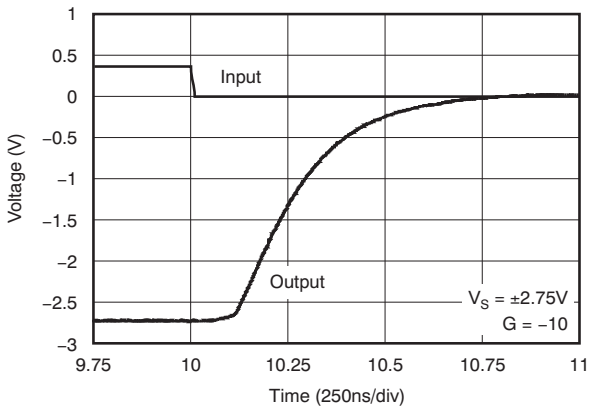


图 **39.** 负恢复时间

7.3.10 关断功能

OPAx320S 的 SHDN（使能）引脚功能以运算放大器的负电源电压为基准。逻辑高电平将启用运算放大器。有效逻辑高电平是指施加到 SHDN 引脚上的电压 [(V+) – 0.1V]，最大为 (V+)。有效逻辑低电平是指施加到使能引脚上的电压 [(V–) + 0.1 V]，最低为 (V–)。施加到 SHDN 的最大允许电压相对于负电源为 5.5V（与正电源电压无关）。该引脚必须连接到有效的高电压或低电压或者被驱动，而不是保留开路。

逻辑输入是高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电的 应用，这种特性可能用于大幅降低平均电流并延长电池使用寿命。所有通道全部关闭时，启用时间为 10µs；禁用时间为 3µs。禁用时，输出呈现高阻抗状态。该架构允许将 OPAx320S 作为*门控*放大器（或将器件输出复用到公共模拟输出总线上）。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为确保在特定的关断时间内关断（禁用），需要将 10kΩ 额定负载连接到中间电源 (V_S/2)。如果在没有负载的情况下使用 OPAx320S，则所需的关断时间会显著增加。

7.3.11 无引线 SON 封装

OPA320 系列使用 SON 样式封装（也称为 *SON*），这是一种仅在封装底部两侧有触点的 QFN 封装。这种无引线封装最大限度增加了印刷电路板 (PCB) 空间，并通过外露散热焊盘来增强散热和电气特性。SON 封装的主要优点之一是其高度低 (0.8mm)。

SON 封装物理尺寸小，具有更小的布线面积、更高的散热性能以及更低的寄生参数，并且所采用的引脚分配机制与常用封装（如 SOIC 和 VSSOP）一致。此外，无外部引线也消除了引线弯曲问题。

SON 封装可使用标准 PCB 组装技巧轻松安装。请参阅应用报告*《QFN/SON PCB 连接》*(SLUA271) 和应用报告*《四方扁平无引线逻辑封装》*(SCBA017)，两者均可从 www.ti.com.cn 下载。

注

SON 封装底部的外露引线框芯片焊盘应连接至最低负电位 (V–)。

7.4 器件功能模式

OPA320 系列运算放大器可在电源电压介于 1.8V 至 5.5V 的条件下正常工作。带有 *S* 后缀的器件具有关断功能。有关关断功能的详细 说明 ，请参阅*关断功能*。

版权 © 2010–2016, Texas Instruments Incorporated

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

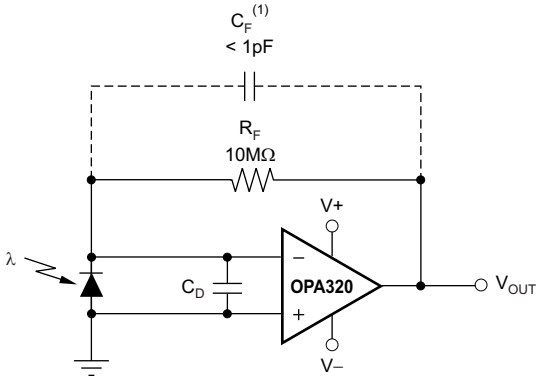
8.1 应用信息

OPA320 系列具有出色的直流和交流性能。这些器件采用高达 5.5V 的电源供电，并提供超低输入偏置电流和 20MHz 带宽。这些 特性 使 OPA320 系列成为适用于电池供电类应用和工业 应用的强大运算放大器。

8.1.1 跨导放大器

OPA320 具有宽增益带宽、低输入偏置电流、低输入电压和电流噪声，因此是理想的宽带光电二极管跨阻放大器。低电压噪声十分重要，因为光电二极管电容会在高频时导致电路的有效噪声增益增加。

如图 40 中所示，跨导设计的关键在于期望的二极管电容（C_D，其中应包括寄生输入共模和差模输入电容，对于 OPA320 而言为 4pF + 5pF）、所需的跨阻增益 (R_F) 以及 OPA320 的增益带宽积 (GBW) (20MHz)。在确定好这三个变量后，可通过设置反馈电容器值 (C_F) 来控制频率响应。C_F 包括 R_F 的杂散电容（对于典型的表面贴装电阻器，此电容为 0.2pF）。



(1) C_F 是可选的，可防止增益峰化。它包括 R_F 的杂散电容。

图 **40.** 双电源跨导放大器

为实现尽可能平稳的二阶巴特沃斯型频率响应，应按照公式 2 所示设置反馈极点。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBW}{4\pi R_F C_D}} \tag{2}$$

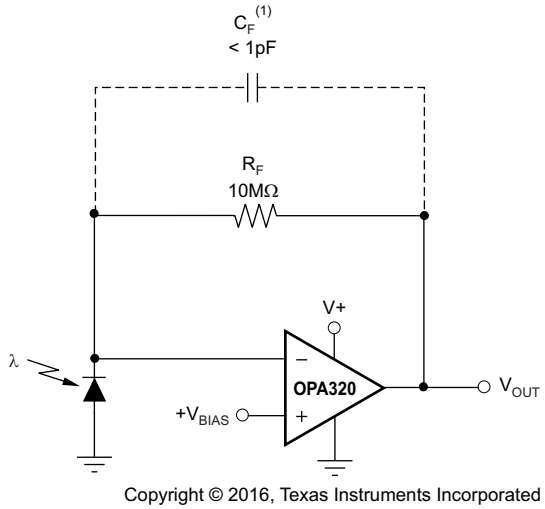
利用公式 3 来计算带宽。

$$f_{-3dB} = \sqrt{\frac{GBW}{2\pi R_F C_D}} \quad (Hz) \tag{3}$$

对于更高的跨阻带宽，请考虑高速 CMOS OPA380 (90MHz GBW)、OPA354 (100MHz GBW)、OPA300 (180MHz GBW)、OPA355 (200MHz GBW) 或 OPA656/57 (400MHz GBW)。

应用信息 (接下页)

对于单电源 应用，可使用正的直流电压对 +IN 输入进行偏置，从而使输出在光电二极管不受任何光线照射时达到真正的零点，并且在响应时不会出现由负电源轨导致的额外延迟；此配置如图 41 所示。该偏置电压也会出现在光电二极管上，从而提供反向偏置以加快运行速度。



(1) C_F 是可选的，可防止增益峰化。它包括 R_F 的杂散电容。

图 **41.** 单电源跨导放大器

有关其他信息，请参阅应用报告*《用直观方式补偿跨阻放大器》*(SBOA055)；可从 www.ti.com.cn 下载该文档。

8.1.2 优化跨导电路

要达到最佳性能，应根据以下准则选择组件：

1. 为了获得最低噪声，请选择 R_F 来生成所需的总增益。使用较低的 R_F 值以及在跨阻放大器之后增加增益，通常会产生较差的噪声性能。R_F 产生的噪声随 R_F 的平方根值增加而增加，而该信号是呈线性增加的。所以，在跨导级设置所有需要的增益后，信噪比会提高。
2. 最大限度减小求和点（反相输入）处的光电二极管电容和杂散电容。该电容会导致运算放大器的电压噪声放大（在高频时增加放大系数）。使用低噪声电压源对光电二极管进行反向偏置可以显著降低其电容。较小的光电二极管具有较低的电容。应使用光学器件将光线集中在小型光电二极管上。
3. 噪声随着带宽增加而增加。将电路带宽限制在必要大小。应在 R_F 上使用电容器来限制带宽（即使不需要使用它来实现稳定性）。
4. 电路板泄漏会降低设计良好的放大器的性能。仔细清洁电路板。环绕求和点并以相同电压驱动的电路板防护迹线可以帮助控制泄漏。

有关其他信息，请参阅应用报告*《FET 跨阻放大器噪声分析》*(SBOA060) 和*《高速运算放大器噪声分析》*(SBOA066)；可从 www.ti.com.cn 下载这些文档。

版权 © 2010–2016, Texas Instruments Incorporated

应用信息 (接下页)

8.1.3 高阻抗传感器接口

许多传感器的源阻抗很高，最高可达 10MΩ 甚至更高。传感器的输出信号通常必须通过放大器进行放大或调节。该放大器的输入偏置电流可以加载传感器输出，并在源电阻两端产生电压降，如图 42 所示，其中 ($V_{IN+} = V_S – I_{BIAS} \times R_S$)。最后一项 $I_{BIAS} \times R_S$ 表示 R_S 两端的电压降。为防止由于此电压而导致系统误差，必须使用具有极低输入偏置电流的运算放大器来搭配高阻抗传感器。这个低电流使 $I_{BIAS} \times R_S$ 产生的误差小于放大器的输入电压噪声，所以它不会成为主导的噪声因子。OPA320 系列运算放大器具有极低的输入偏置电流（通常为 200fA），因此是此类 应用的理想选择。

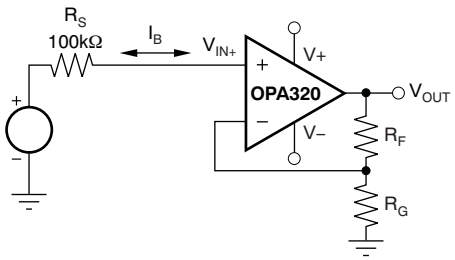


图 **42.** I_{BIAS} 导致的噪声

8.1.4 驱动 ADC

OPA320 系列运算放大器非常适合驱动采样速率高达 1MSPS 的采样模数转换器 (ADC)。零交越失真输入级拓扑使 OPA320 能够驱动 ADC，而不会降低微分线性度和 THD。

OPA320 可用于缓冲 ADC 开关输入电容并实现电荷注入，同时提供信号增益。图 44 显示 OPA320 已配置为驱动 ADS8326。

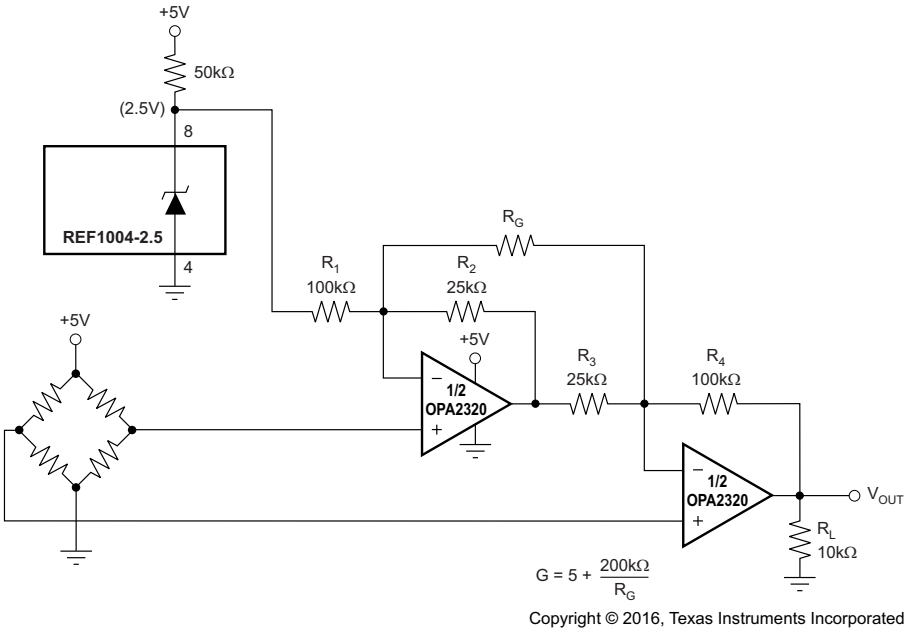
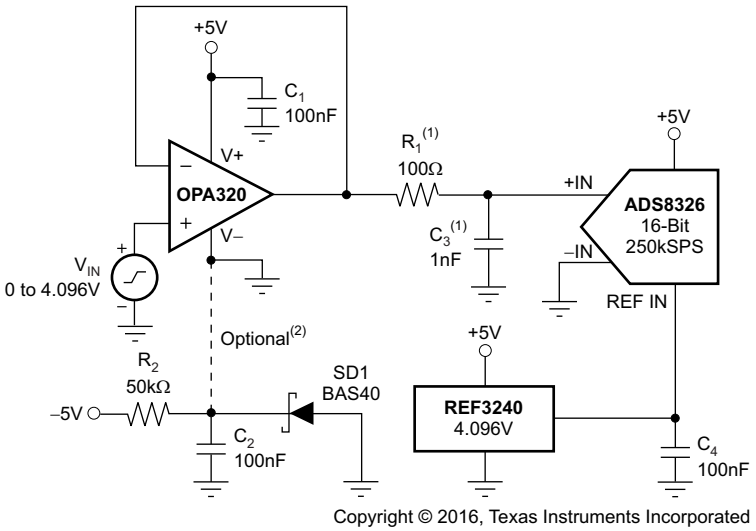


图 **43.** 具有更强高频共模抑制的两级运算放大器仪表放大器

应用信息 (接下页)



(1) 建议值；可能需要根据具体应用进行调整。

(2) 单电源 应用 由于运算放大器输出摆幅限制而在接近接地时丢失少量的 ADC 代码。如果提供负电源，这个简单电路可以产生 –0.3V 电源，使输出摆动到真正的接地电位。

图 44. 驱动 ADS8326

8.1.5 有源滤波器

OPA320 非常适合 需要 宽带宽、高压摆率、低噪声、单电源运算放大器的有源滤波器应用。图 45 显示了采用多反馈 (MFB) 拓扑的 500kHz 二阶低通滤波器。这些组件经过挑选，旨在提供最大平坦度的巴特沃斯型响应。超过截止频率时，具有每十倍频 –40dB 的下降率。巴特沃斯型响应非常适合 需要 可预测增益特征的应用（例如在 ADC 之前使用的抗混叠滤波器）。

在考虑使用 MFB 滤波器时，一个值得注意的地方是输出相对于输入反相。如果不需要或不想反相，可以通过下面的其中一种选项实现同相输出：

1. 增加反相放大器；
2. 额外增加一个二阶 MFB 级；或
3. 使用同相滤波器拓扑，如 Sallen-Key（如图 46 所示）。

使用 TI 的 FilterPro™ 程序可快速实现 MFB 和 Sallen-Key 低通和高通滤波器合成。此软件可从 www.ti.com.cn 免费下载。

版权 © 2010–2016, Texas Instruments Incorporated

应用信息 (接下页)

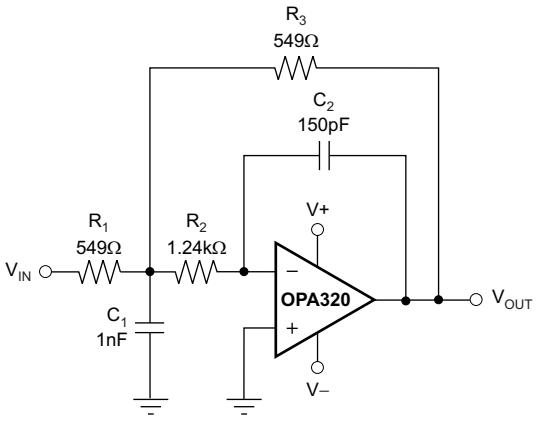


图 **45.** 二阶巴特沃斯型 **500kHz** 低通滤波器

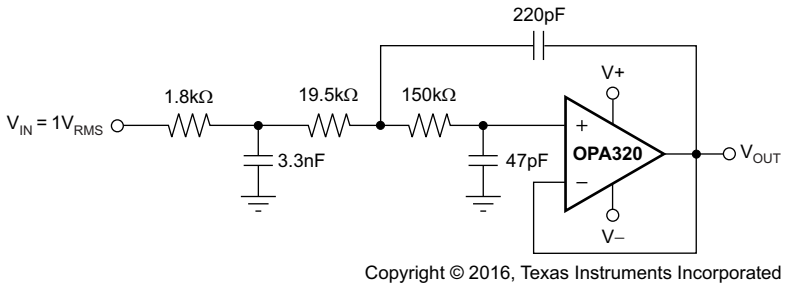


图 **46. OPA320** 配置为三极 **20kHz Sallen-Key** 滤波器

8.2 典型应用

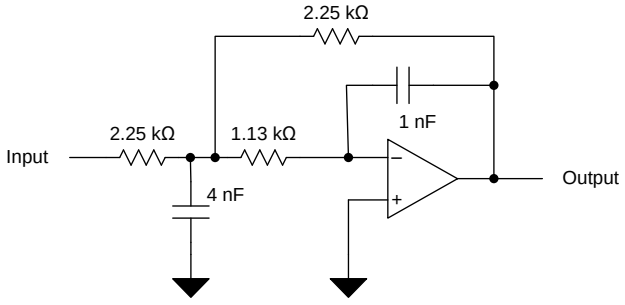


图 **47.** 二阶低通滤波器原理图

8.2.1 设计要求

- 增益 = 1V/V
- 低通截止频率 = 50kHz
- –40dB/十倍频的滤波器响应
- 在增益与频率响应间的关系图中保持低于 3dB 的增益峰值

典型应用 (接下页)

8.2.2 详细设计流程

展示了用于低通网络功能的无限增益多反馈电路。使用公式 4 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1R_3C_2C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3R_4C_2C_5} \quad (4)$$

该电路将产生信号反转。对于该电路，使用公式 5 计算直流增益和低通截止频率。

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_C = \frac{1}{2\pi}\sqrt{(1/R_3R_4C_2C_5)} \quad (5)$$

可使用现成的软件工具简化滤波器设计。 WEBENCH®滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH® 滤波器设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

WEBENCH 设计中心以基于网络的工具形式提供 WEBENCH 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

8.2.3 应用曲线

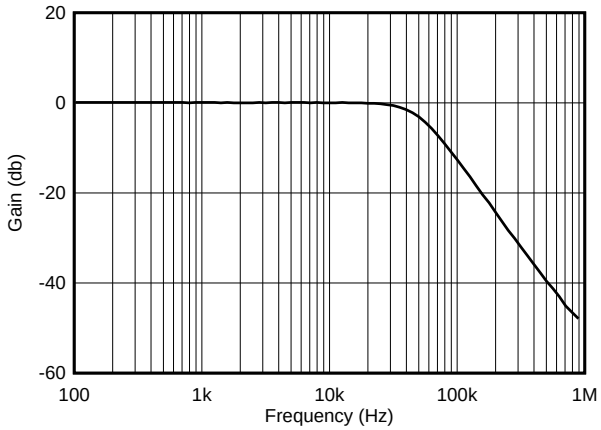


图 48. OPA320 二阶 50kHz 低通滤波器

版权 © 2010–2016, Texas Instruments Incorporated

9 电源建议

OPA320 系列的额定工作电压范围是 1.8V 至 5.5V（±0.9V 至 ±2.75V）；许多规格在 –40°C 至 125°C 的温度下适用。*典型特性* 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压超过 6V 可能会对器件造成永久损坏；请参阅*绝对最大额定值*。

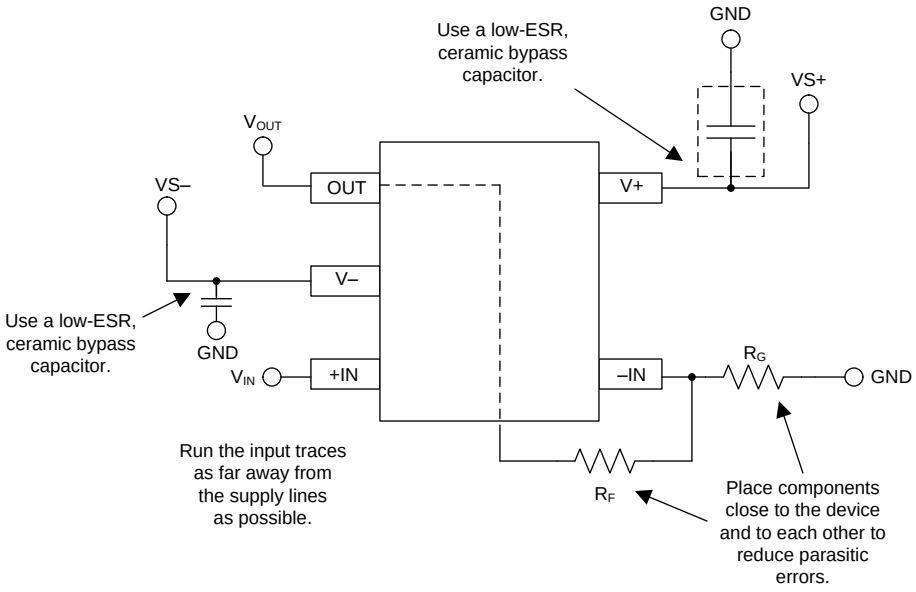
将 0.1μF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅*布局*。

10 布局

10.1 布局指南

OPA320 是宽带放大器。为了获得器件的完整工作性能，需要遵循良好的高频 PCB 布局规范。必须在每个电源引脚和接地端之间连接旁路电容器，位置应尽量靠近器件。旁路电容器走线应采用具有最小电感的设计。

10.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 **49.** 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™（免费软件下载）

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。 TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI 软件。请从 TINA-TI 文件夹 中下载免费的 TINA-TI 软件。

11.1.1.2 DIP 适配器 EVM

DIP 适配器 EVM 工具提供了一种简单而低成本的方式来针对小型表面贴装 IC 进行原型设计。该评估工具支持以下 TI 封装：D 或 U（8 引脚 SOIC）、PW（8 引脚 TSSOP）、DGK（8 引脚 VSSOP）、DBV（6 引脚 SOT-23、5 引脚 SOT23 和 3 引脚 SOT-23）、DCK（6 引脚 SC-70 和 5 引脚 SC-70）和 DRL（6 引脚 SOT-563）。DIP 适配器 EVM 也可搭配端子板使用或直接与现有电路相连。

11.1.1.3 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种 IC 封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、VSSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供 IC。TI 建议您在订购通用运放 EVM 时申请几个运放器件样品。

11.1.1.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 http://www.ti.com.cn/ww/analog/precision-designs/。

11.1.1.5 WEBENCH® 滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH 滤波器设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

版权 © 2010–2016, Texas Instruments Incorporated

11.2 Documentation Support

11.2.1 Related Documentation

使用 OPAx320 和 OPAx320S 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com.cn 下载（除非另外说明）：

- *《OPA320、OPA320S、OPA2320、OPA2320S EMI 抗干扰性能》*(SBOZ017)
- *《软件起搏器检测设计指南》*(TIDUB75)
- *《TIDA-00378 原理图和框图》*(TIDRJ21)
- *《用于空气质量监测的 PM2.5/PM10 颗粒传感器模拟前端设计》*(TIDUB65)
- *《QFN/SON PCB 连接》*（文献编号：SLUA271）
- *《四方扁平无引线逻辑器件封装》*（文献编号：SCBA017）
- *《用直观方式补偿跨阻放大器》*(SBOA055)
- *《FET 跨阻放大器噪声分析》*(SBOA060)
- *《高速运算放大器噪声分析》*(SBOA066)

11.3 相关链接

表 1 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA320	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2320	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA320S	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2320S	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** 此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 ***TI 参考设计支持*** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.6 商标

FilterPro, TINA-TI, E2E are trademarks of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

11.7 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

版权 © 2010–2016, Texas Instruments Incorporated

11.8 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

版权 © 2010–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2320AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2320A
OPA2320AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2320A
OPA2320AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 125	OCLQ
OPA2320AIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OCLQ
OPA2320AIDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 125	OCLQ
OPA2320AIDGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OCLQ
OPA2320AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2320A
OPA2320AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O2320A
OPA2320AIDRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320AIDRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320AIDRGRG4	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320AIDRGRG4.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320AIDRGT	Active	Production	SON (DRG) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320AIDRGT.A	Active	Production	SON (DRG) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCMQ
OPA2320SAIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA2320SAIDGSR.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA2320SAIDGSRG4	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA2320SAIDGSRG4.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA2320SAIDGST	Active	Production	VSSOP (DGS) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA2320SAIDGST.A	Active	Production	VSSOP (DGS) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPAI
OPA320AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320AIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320AIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320AIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320AIDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	RAC
OPA320SAIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE
OPA320SAIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA320SAIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE
OPA320SAIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE
OPA320SAIDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE
OPA320SAIDBVT.A	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2320, OPA320 :

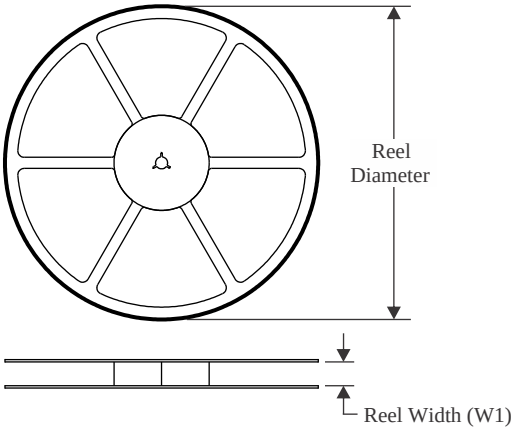
- Automotive : OPA2320-Q1, OPA320-Q1

NOTE: Qualified Version Definitions:

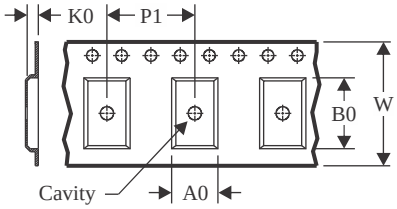
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

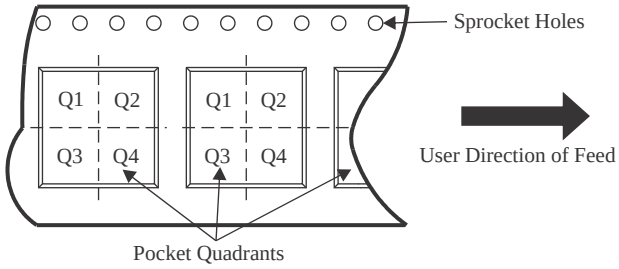


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

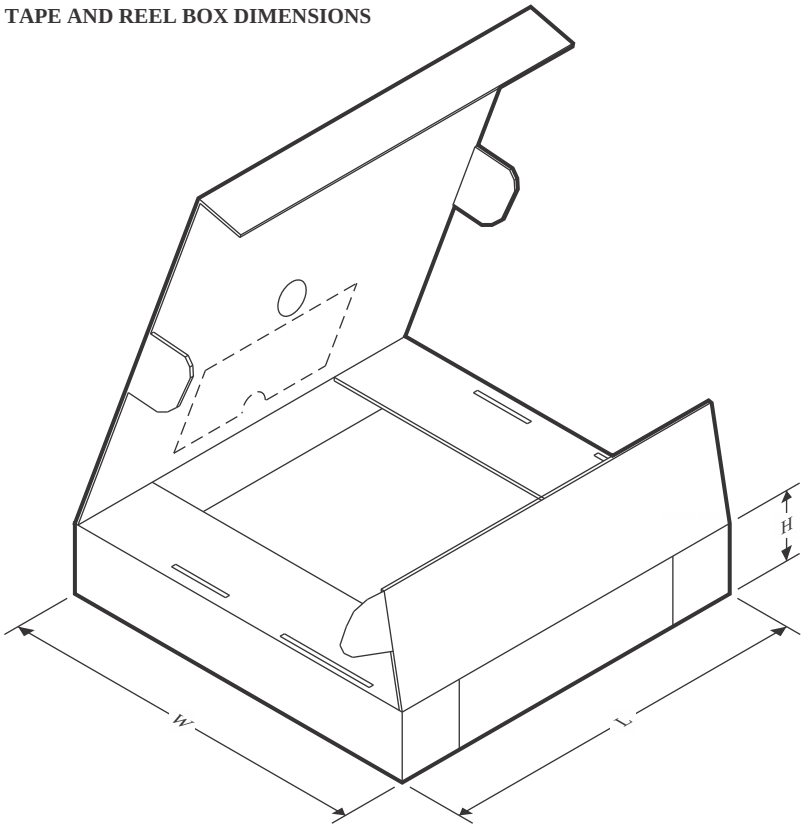


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2320AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2320AIDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2320AIDRGRG4	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2320AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2320SAIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320SAIDGSRG4	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2320SAIDGST	VSSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA320AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA320AIDBVRG4	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA320AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA320SAIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
OPA320SAIDBVT	SOT-23	DBV	6	250	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3

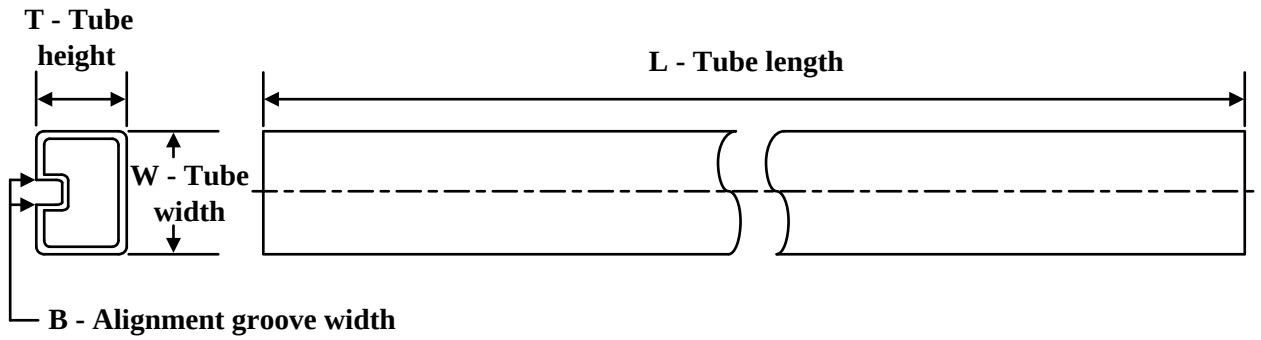
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2320AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2320AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2320AIDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA2320AIDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2320AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA2320AIDGKT	VSSOP	DGK	8	250	202.0	201.0	28.0
OPA2320AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2320AIDRGR	SON	DRG	8	3000	353.0	353.0	32.0
OPA2320AIDRGRG4	SON	DRG	8	3000	353.0	353.0	32.0
OPA2320AIDRGT	SON	DRG	8	250	213.0	191.0	35.0
OPA2320SAIDGSR	VSSOP	DGS	10	2500	353.0	353.0	32.0
OPA2320SAIDGSRG4	VSSOP	DGS	10	2500	353.0	353.0	32.0
OPA2320SAIDGST	VSSOP	DGS	10	250	213.0	191.0	35.0
OPA320AIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA320AIDBVRG4	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA320AIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
OPA320SAIDBVRG4	SOT-23	DBV	6	3000	213.0	191.0	35.0
OPA320SAIDBVT	SOT-23	DBV	6	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2320AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2320AID.A	D	SOIC	8	75	506.6	8	3940	4.32

GENERIC PACKAGE VIEW

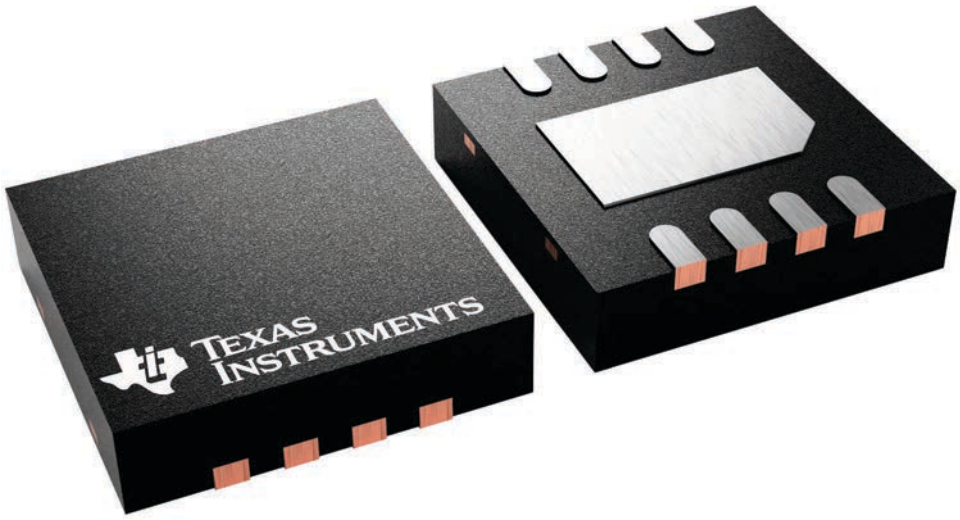
DRG 8

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



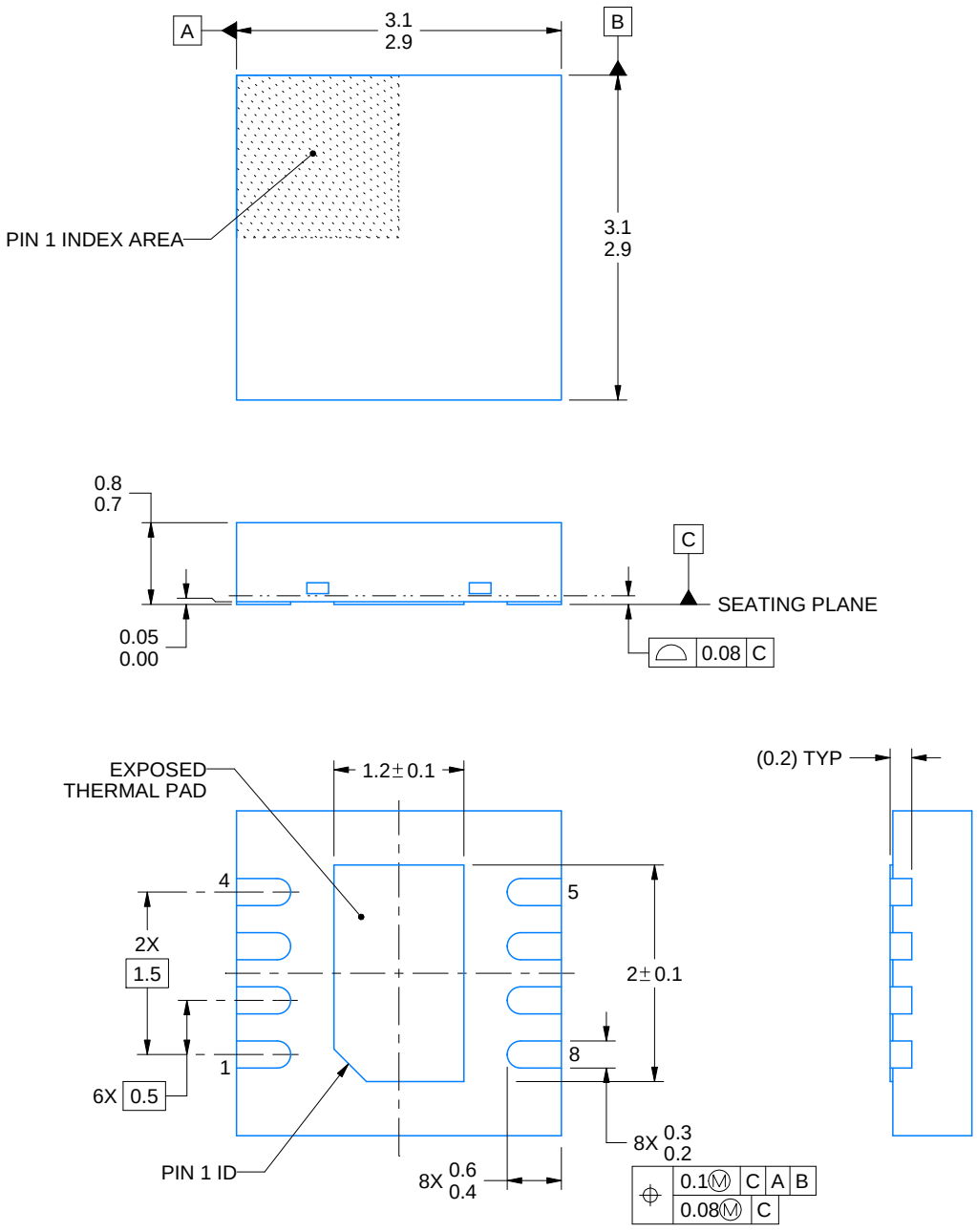
4225794/A

PACKAGE OUTLINE

DRG0008A

WSON - 0.8 mm max height

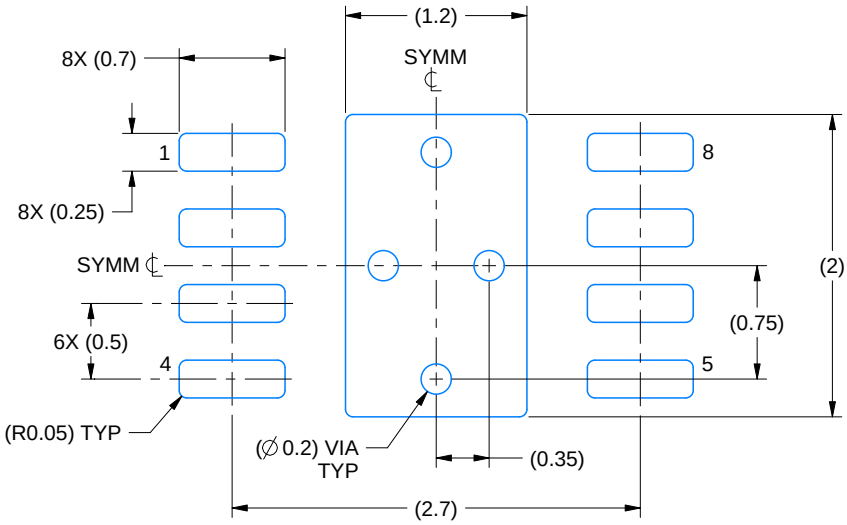
PLASTIC SMALL OUTLINE - NO LEAD



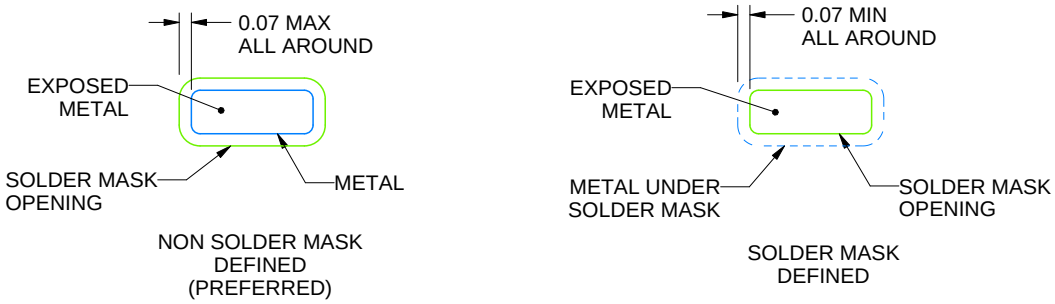
4218885/A 03/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

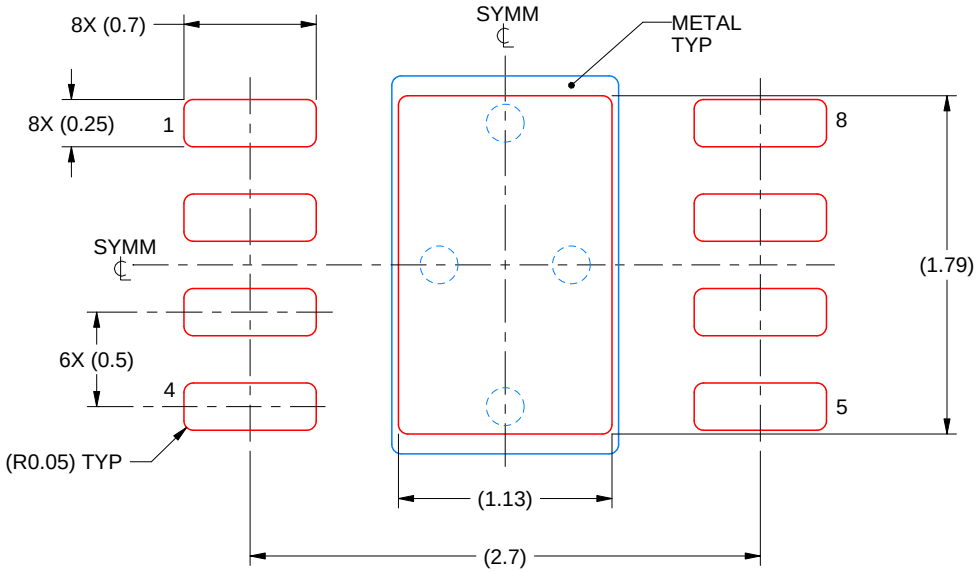


SOLDER MASK DETAILS

4218885/A 03/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218885/A 03/2020

NOTES: (continued)

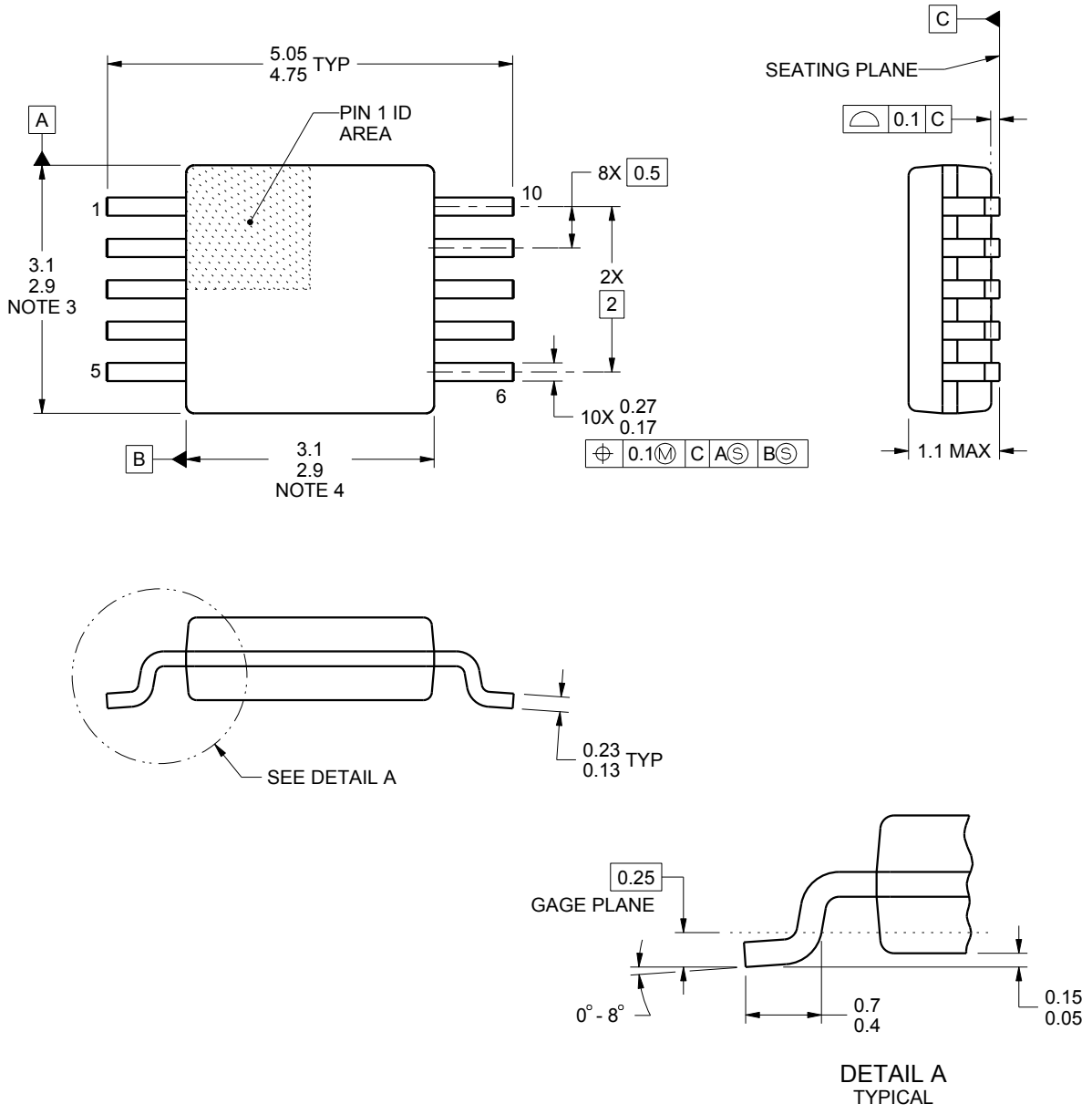
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

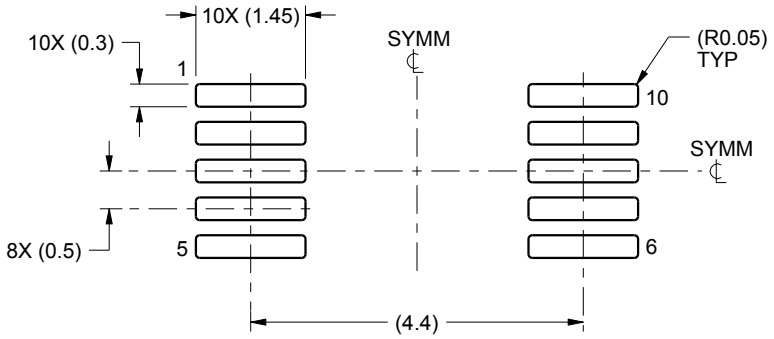
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

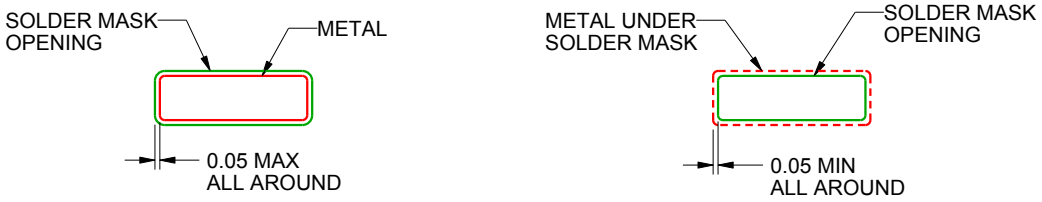


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

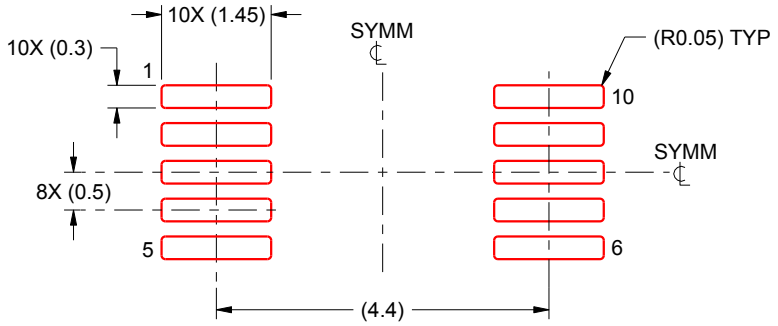


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

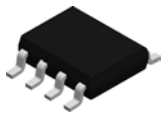


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

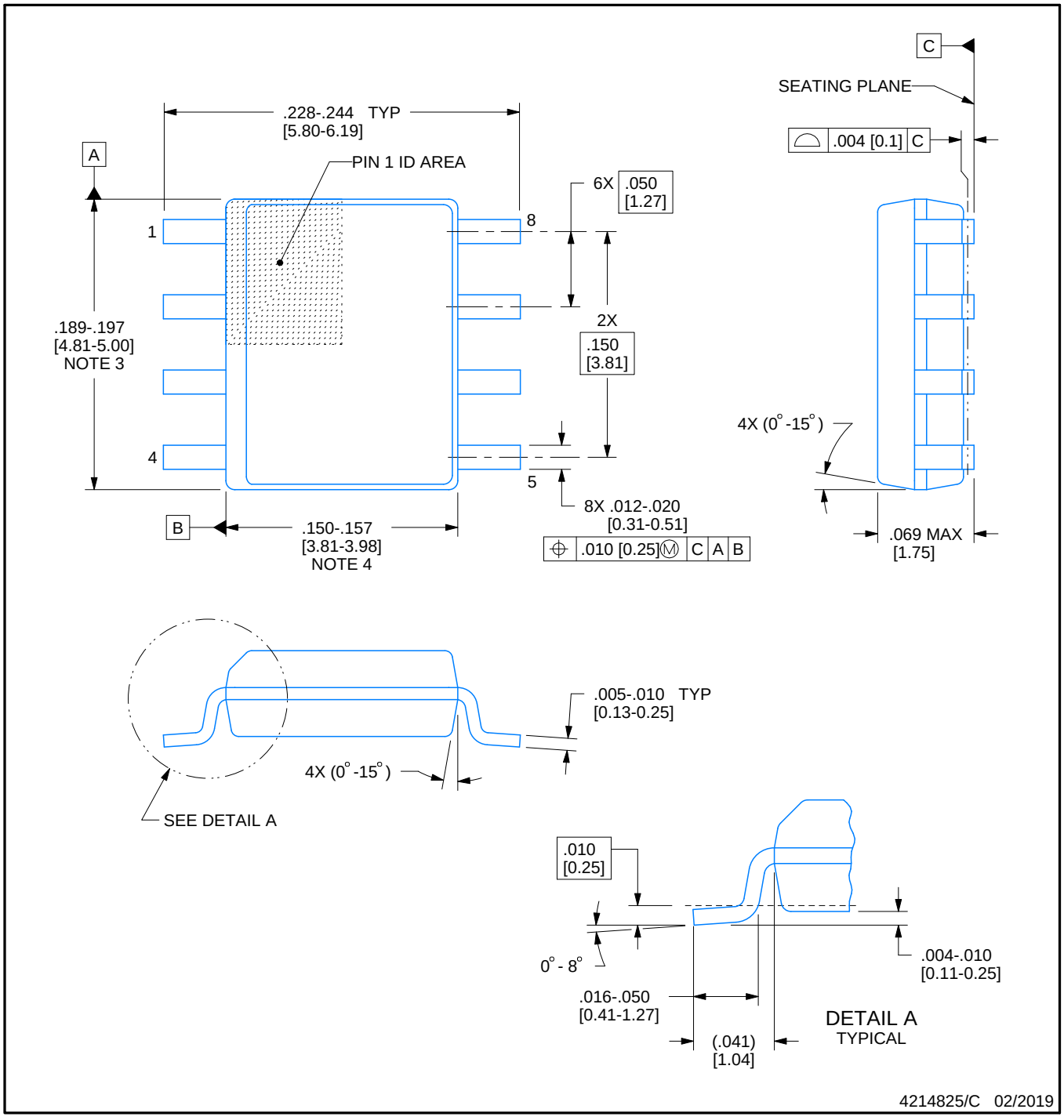


PACKAGE OUTLINE

D0008A

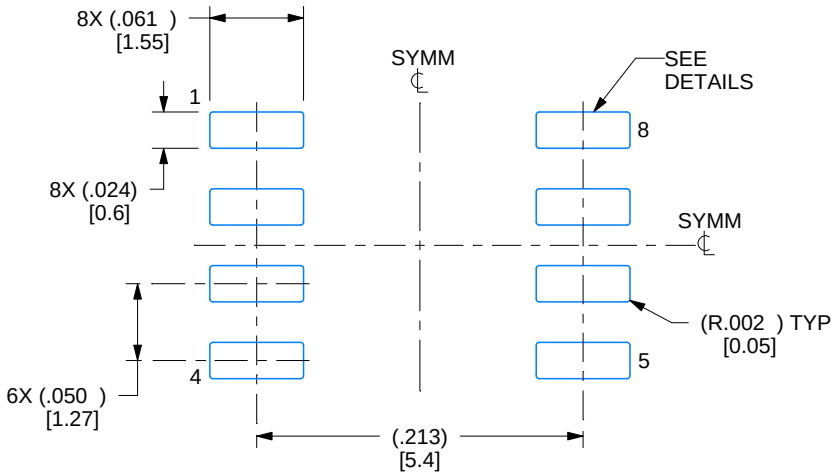
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

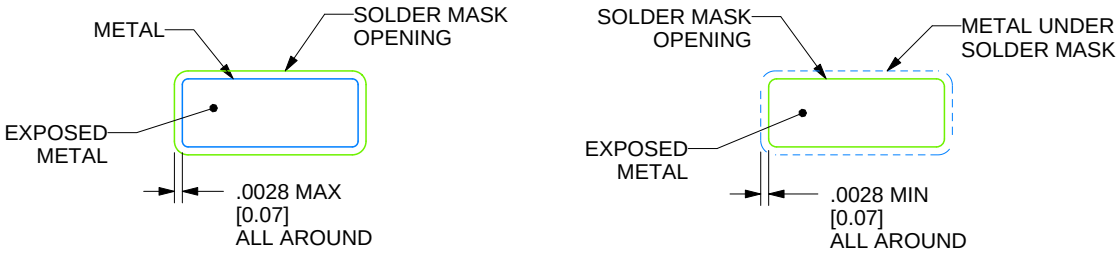


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

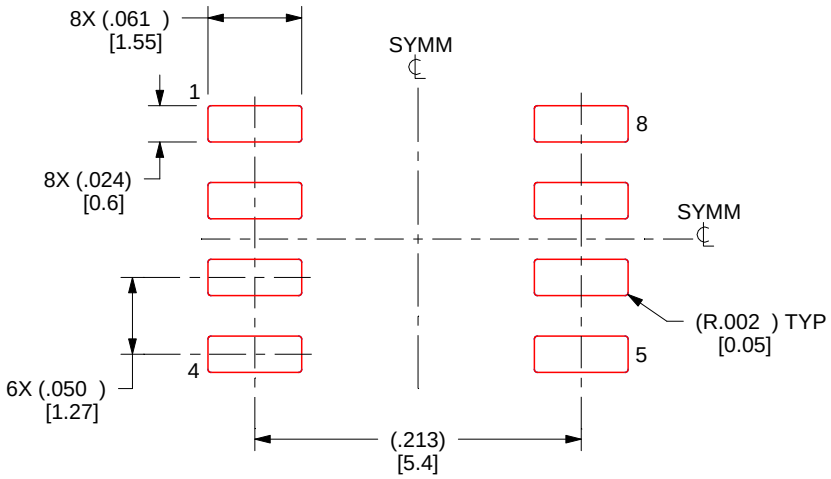
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

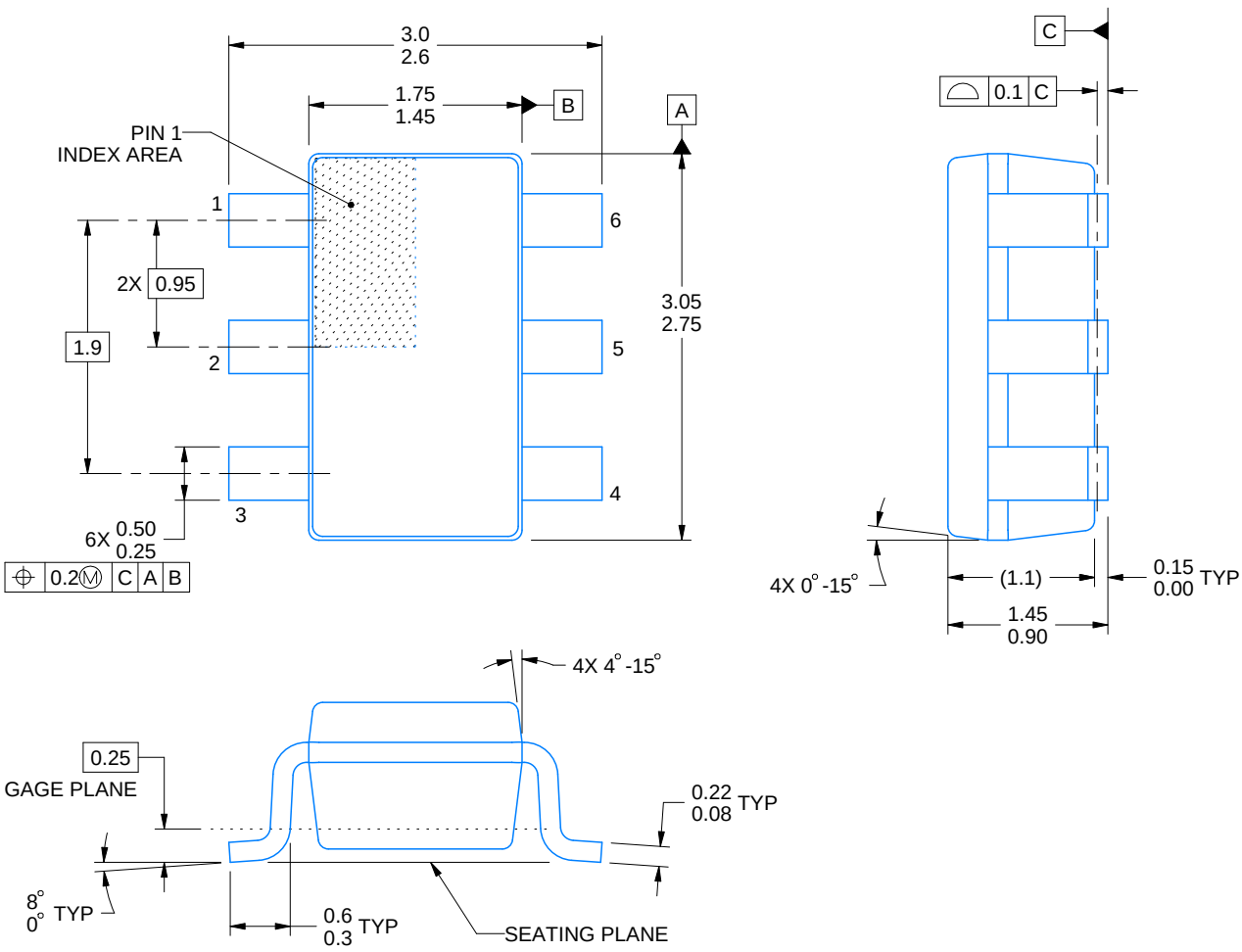
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

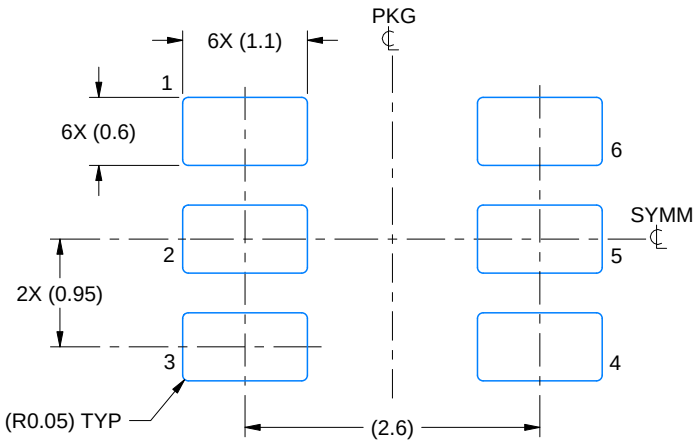
SMALL OUTLINE TRANSISTOR



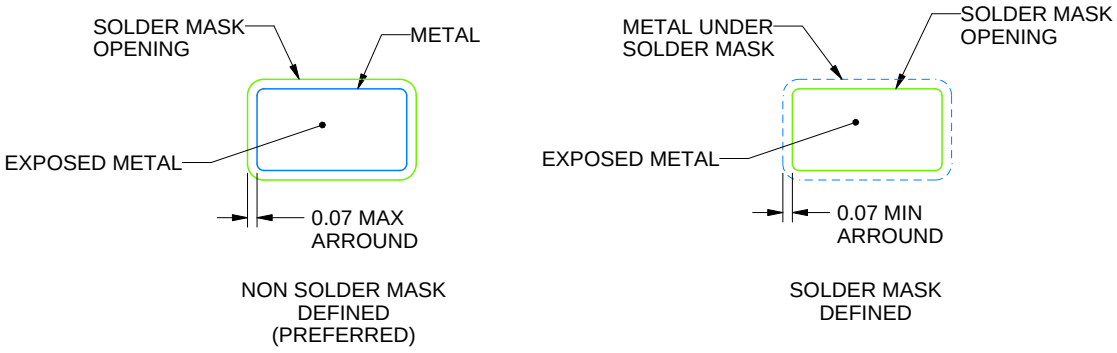
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

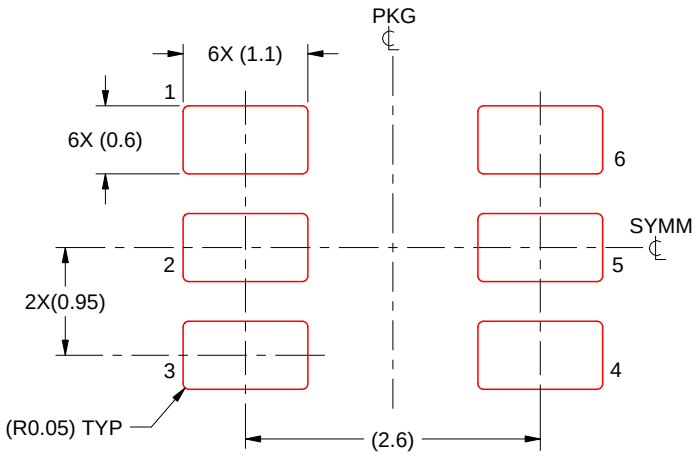


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

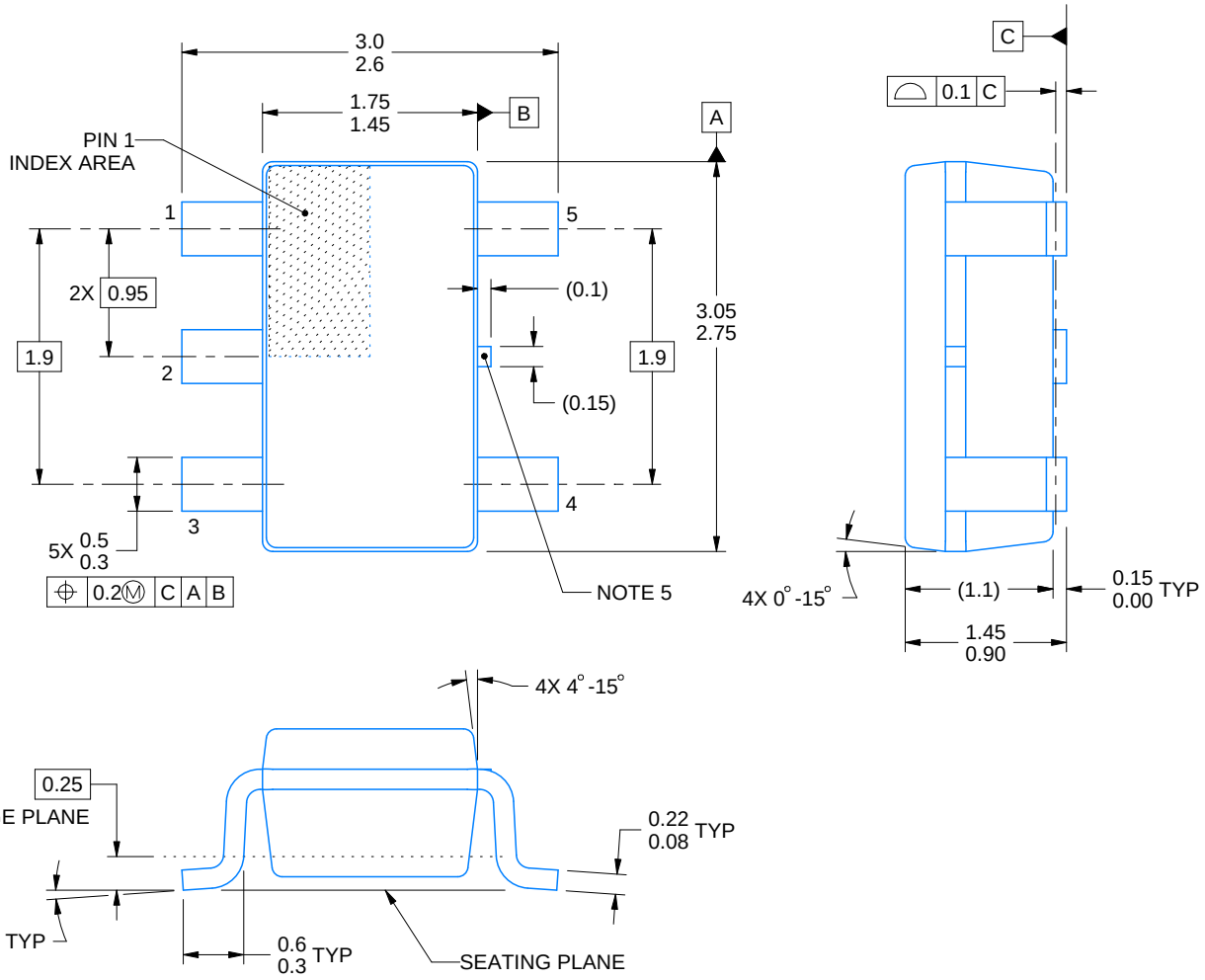
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

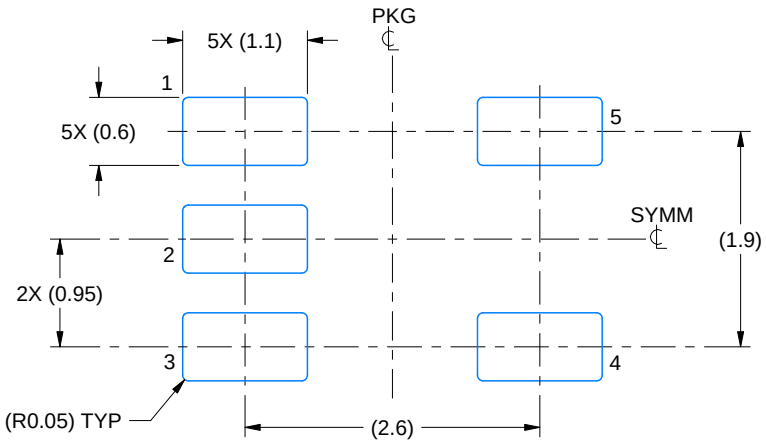
SMALL OUTLINE TRANSISTOR



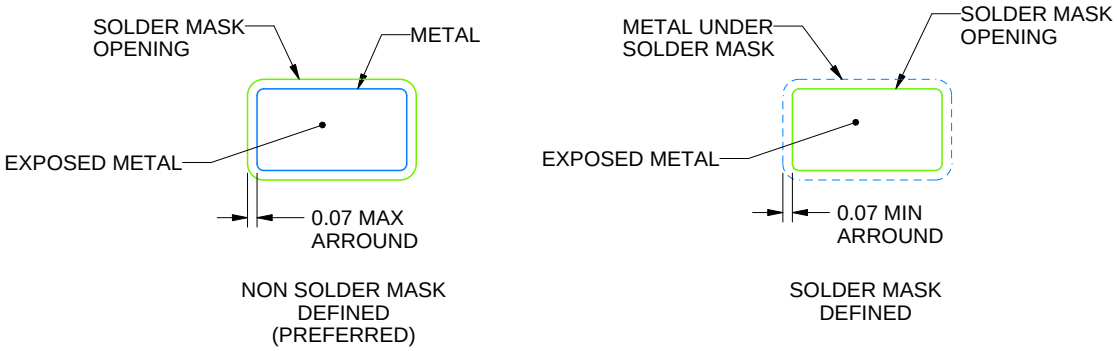
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

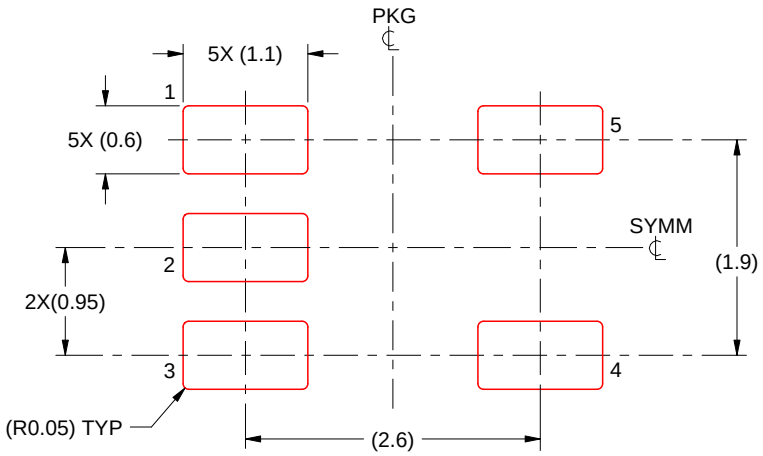


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

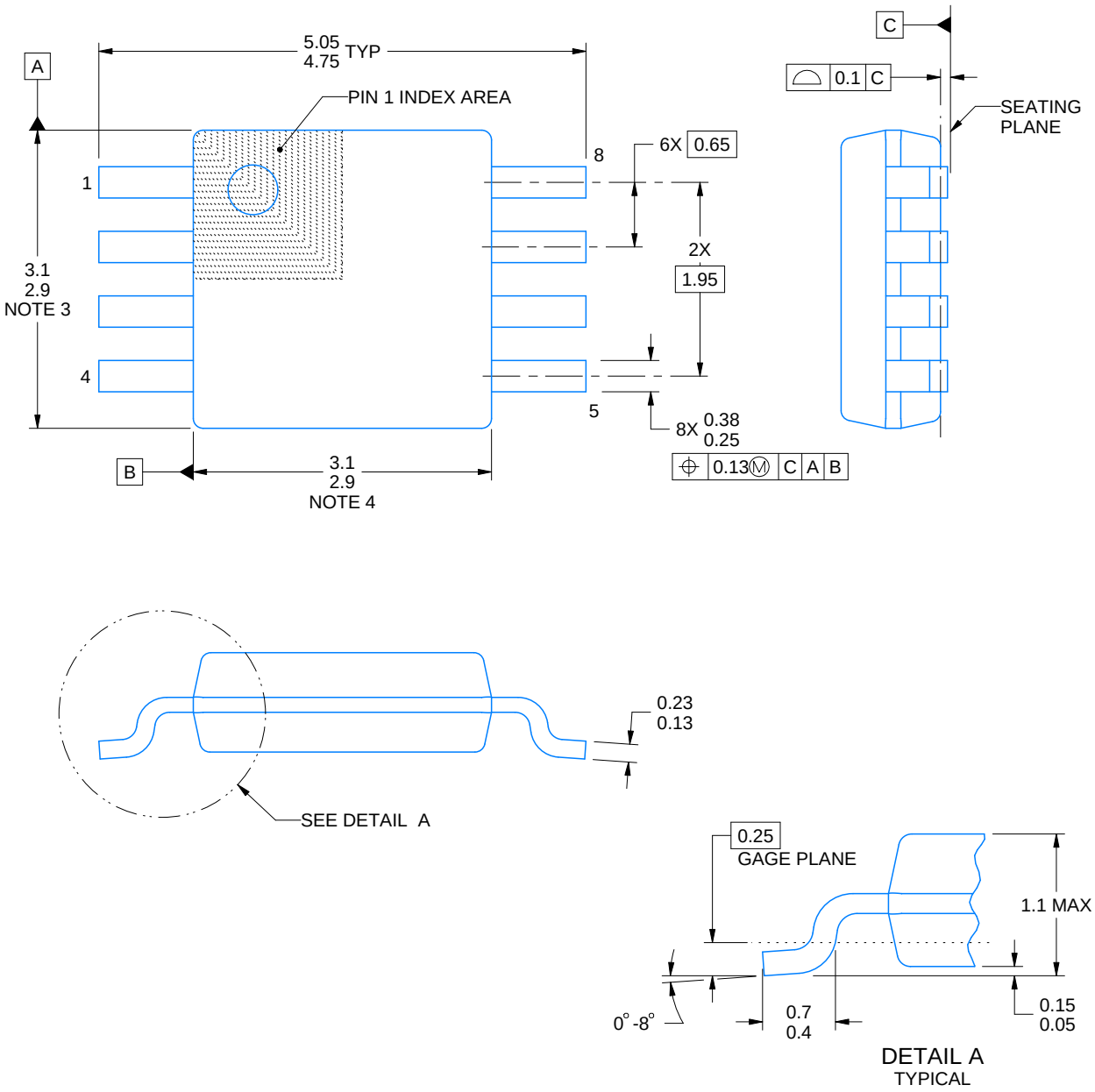
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

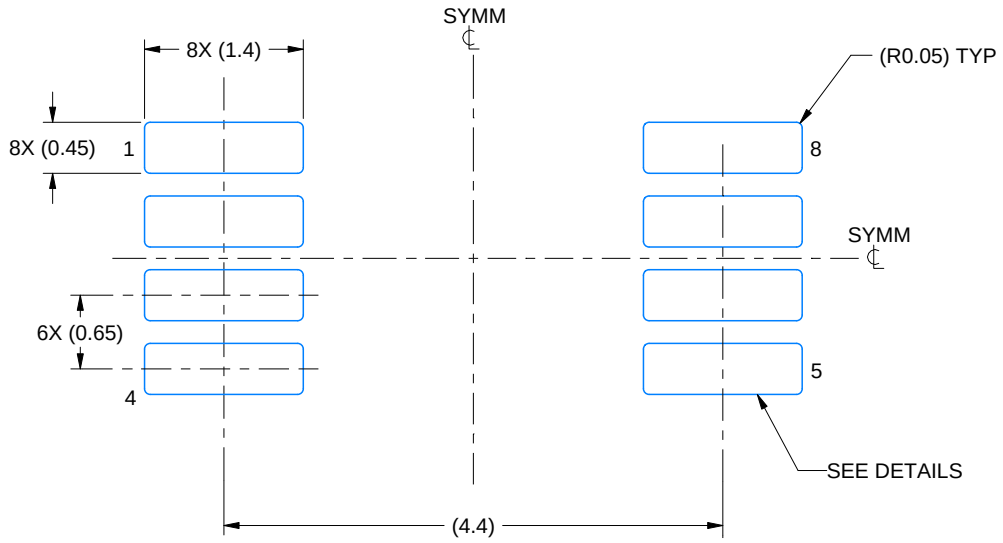
SMALL OUTLINE PACKAGE



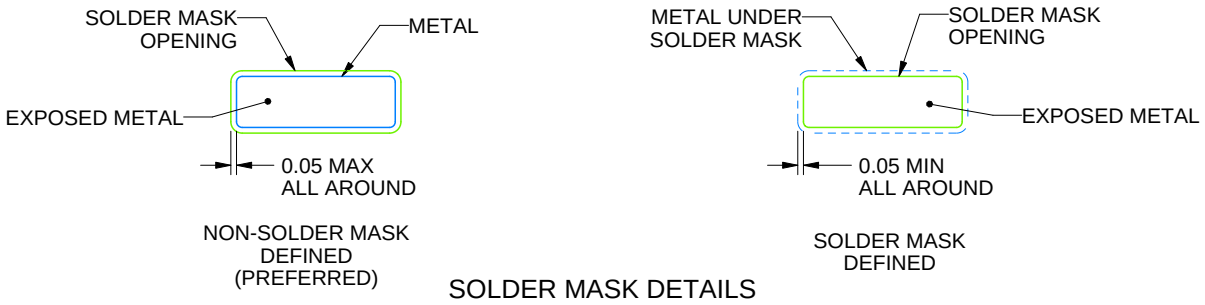
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

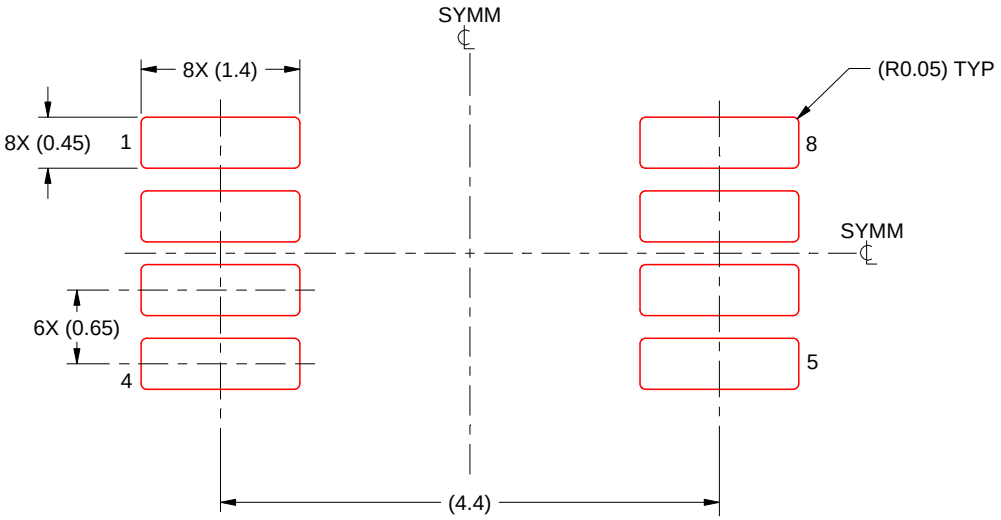


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月