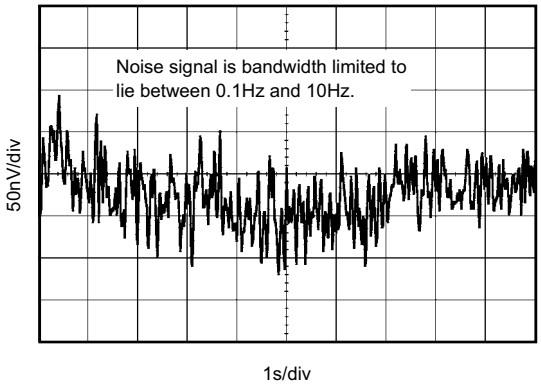
OPAx277 高精度运算放大器

1 特性

- 超低失调电压：10 µ V
- 超低温漂：±0.1 µ V/°C
- 高开环增益：134dB
- 高共模抑制：140dB
- 高电源抑制：130dB
- 低偏置电流：1nA（最大值）
- 宽电源电压范围：±2V 至 ±18V
- 低静态电流：800 µ A/放大器
- 单通道、双通道和四通道版本
- OP-07、OP-77 和 OP-177 的升级换代设计
- 有关与 ±40V 过压保护类似的性能，请参阅 OPA2206

2 应用

- 模拟输入模块
- 称重计
- 温度变送器
- 压力变送器
- 数据采集 (DAQ)
- 实验室和现场仪表
- 电池测试



0.1Hz 至 10Hz 噪声

3 说明

OPAx277 系列精密运算放大器取代了业界通用的 OP-177。OPAx277 器件提供得到改善的噪声性能、更宽的输出电压摆幅，并且速度是原来的两倍，静态电流只有原来的一半。特性包括超低失调电压和温漂、低偏置电流、高共模抑制及高电源抑制。

OPAx277 可在 ±2V 至 ±18V 电源电压下实现出色性能。大多数运算放大器规定仅由一种电源电压供电，而 OPAx277 系列有所不同，其电源电压取决于实际应用；仅有的限制条件适用于 ±5V (10V) 至 ±15V (30V) 电源电压范围。在放大器的摆幅接近额定限值时，仍可保持高性能。由于初始失调电压非常低（最高 ±20 µ V），因此通常无需用户调整。不过，单通道版本 (OPA277) 针对特殊应用提供了外部修整引脚。

OPAx277 易于使用，而且不存在其他某些运算放大器中出现的相位反转和过载问题。这些器件不但单位增益稳定，而且可在各种负载条件下提供优异的动态特性。双通道和四通道版本有完全独立的电路，即使在过驱或过载时，也可尽可能减少串扰并消除相互干扰。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
OPA277、OPA2277	D（SOIC，8）	3.91mm × 4.90mm
	DRM（VSON，8）	4.00mm x 4.00mm
	P（PDIP，8）	6.35mm × 9.81mm
OPA4277	D（SOIC，14）	3.91mm × 8.65mm
	P（PDIP，14）	6.35mm × 19.30mm

(1) 要了解所有可用封装，请参见数据表末尾的可订购产品附录。

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息：OPA277 7
6.5 热性能信息：OPA2277 7
6.6 热性能信息：OPA4277 7
6.7 电气特性 8
6.8 典型特性 10
7 详细说明 14
7.1 概述 14
7.2 功能方框图 14
7.3 特性说明 14
7.4 器件功能模式 17
8 应用和实施 18
8.1 应用信息 18
8.2 典型应用 18
8.3 电源相关建议 20
8.4 布局 21
9 器件和文档支持 23
9.1 器件支持 23
9.2 文档支持 23
9.3 接收文档更新通知 24
9.4 支持资源 24
9.5 商标 24
9.6 静电放电警告 24
9.7 术语表 24
10 机械、封装和可订购信息 24

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2015) to Revision C (February 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更改了*应用*要点以包含链接	1
• 删除了有关单通道、双通道和四通道版本相同规格的文本	1
• 将失调电压修整引脚类型从“输入”更改为“—”	3
• 将 *OPA2277 引脚功能*表中的“DFN”更改为“DRM (VSON)”	3
• 在*绝对最大额定值*中添加了针对输入引脚上 10mA 电流限制的表注	6
• 从*绝对最大额定值*中删除了工作温度	6
• 从*绝对最大额定值*中删除了引线温度	6
• 更改了 OPA2277 和 OPA4277 SOIC 封装的*热性能信息*值	7
• 向*电气特性*标题添加了测试条件	8
• 更改了*电气特性*的格式以提高可读性	8
• 将*电气特性*中的输入失调电压随时间变化改为长期温漂	8
• 将输入偏置电流测试条件更改为单独的过热规格	8
• 删除了*开环增益*参数中的冗余行	8
• 将 C_{LOAD} 更改为 C_L 以保持一致性	8
• 更改了图 6-14 *输入偏置电流变化与共模电压间的关系*，以更正注释中的拼写错误	10
• 将“DFN 封装”更改为“DRM 封装（8 引脚 VSON）”	21
• 将“DFN 封装”更改为“DRM 封装”并添加了“8 引脚 VSON”	21
• 更改了*开发支持*部分以显示更新后的链接和资源	23

Changes from Revision A (April 2005) to Revision B (April 2015)	Page
• 添加了 *ESD 等级*表、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分	1

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

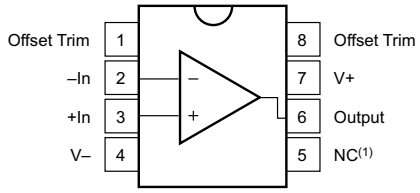


图 5-1. OPA277 P 封装，8 引脚 PDIP 和 D 封装，8 引脚 SOIC（顶视图）

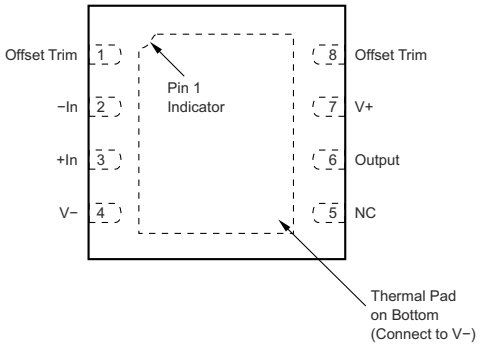


图 5-2. OPA277 DRM 封装，8 引脚 VSON（顶视图）

表 5-1. 引脚功能：OPA277

引脚		类型	说明
名称	编号		
–In	2	输入	反相输入
+In	3	输入	同相输入
NC	5	—	未进行内部电路连接（可以悬空）
Offset Trim	1	—	输入失调电压修整（如果未使用，则保持悬空）
Offset Trim	8	—	输入失调电压修整（如果未使用，则保持悬空）
输出	6	输出	输出
V–	4	—	负电源（最低）
V+	7	—	正（最高）电源

Copyright © 2023 Texas Instruments Incorporated

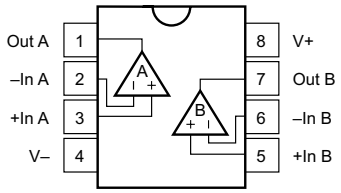


图 5-3. OPA2277 P 封装，8 引脚 PDIP 和 D 封装，8 引脚 SOIC（顶视图）

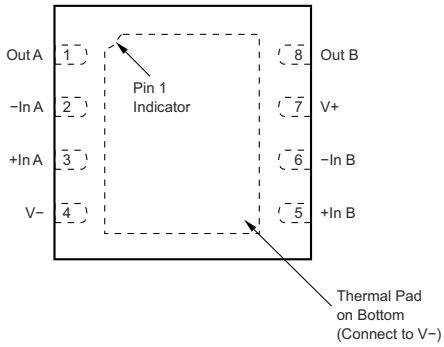


图 5-4. OPA2277 DRM 封装，8 引脚 VSON（顶视图）

表 5-2. 引脚功能：OPA2277

引脚			类型	说明
名称	D (SOIC)、P (PDIP)	DRM (VSON)		
–In A	2	2	输入	反相输入通道 A
–In B	6	6	输入	反相输入通道 B
+In A	3	3	输入	同相输入通道 A
+In B	5	5	输入	同相输入通道 B
Out A	1	1	输出	输出通道 A
Out B	7	8	输出	输出通道 B
V–	4	4	—	负电源（最低）
V+	8	7	—	正（最高）电源

Copyright © 2023 Texas Instruments Incorporated

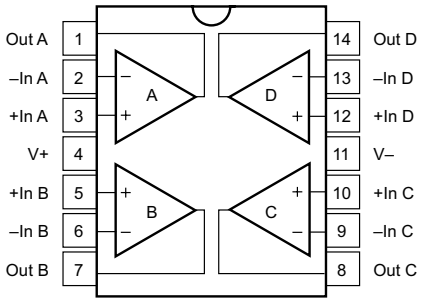


图 5-5. OPA4277 P 封装，14 引脚 PDIP 和 D 封装，14 引脚 SOIC（顶视图）

表 5-3. 引脚功能：OPA4277

引脚		类型	说明
名称	编号		
–In A	2	输入	反相输入通道 A
–In B	6	输入	反相输入通道 B
–In C	9	输入	反相输入通道 C
–In D	13	输入	反相输入通道 D
+In A	3	输入	同相输入通道 A
+In B	5	输入	同相输入通道 B
+In C	10	输入	同相输入通道 C
+In D	12	输入	同相输入通道 D
Out A	1	输出	输出通道 A
Out B	7	输出	输出通道 B
Out C	8	输出	输出通道 C
Out D	14	输出	输出通道 D
V+	4	—	正（最高）电源
V –	11	—	负（最低）电源

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)		36	V
	输入电压(2)	(V–) – 0.7	(V+) + 0.7	V
I_{SC}	输出短路(3)	持续		
T_J	结温		150	°C
T_{STG}	存储温度	-55	125	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 对于摆幅可能超过电源轨 0.7V 的输入信号，应将其限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源	4	30	36	V
		双通道电源	±2	±15	±18	
T_A	环境温度		–40		85	°C

Copyright © 2023 Texas Instruments Incorporated

6.4 热性能信息：OPA277

热指标(1)		OPA277			单位
		D (SOIC)	DRM (VSON)	P (PDIP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	110.1	40.7	49.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	52.2	41.3	39.4	°C/W
$R_{\theta JB}$	结至电路板热阻	52.3	16.7	26.4	°C/W
ψ_{JT}	结至顶部特征参数	10.4	0.6	15.4	°C/W
ψ_{JB}	结至电路板特征参数	51.5	16.9	26.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	3.3	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告

6.5 热性能信息：OPA2277

热指标(1)		OPA2277			单位
		D (SOIC)	DRM (VSON)	P (PDIP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	126.9	39.3	47.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.1	36.9	36.0	°C/W
$R_{\theta JB}$	结至电路板热阻	70.3	15.4	24.4	°C/W
ψ_{JT}	结至顶部特征参数	18.8	0.4	13.4	°C/W
ψ_{JB}	结至电路板特征参数	69.5	15.6	24.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	2.2	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告

6.6 热性能信息：OPA4277

热指标(1)		OPA4277		单位
		D (SOIC)	P (PDIP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	86.5	66.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	38.5	20.5	°C/W
$R_{\theta JB}$	结至电路板热阻	43.5	26.8	°C/W
ψ_{JT}	结至顶部特征参数	7.4	2.1	°C/W
ψ_{JB}	结至电路板特征参数	42.9	26.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告

Copyright © 2023 Texas Instruments Incorporated

6.7 电气特性

T_A = 25°C，V_S = 10V 至 30V，V_{CM} = V_{OUT} = V_S / 2 且 R_L = 2kΩ 连接至 V_S / 2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	OPA277P、U			±10	±20	μV
		OPA2277P、U			±10	±25	
		OPAx277PA、UA			±20	±50	
		OPAx277AIDRM			±35	±100	
		T_A = –40°C 至 +85°C	OPA277P、U			±30	
			OPA2277P、U			±50	
			OPAx277PA、UA			±100	
			OPAx277AIDRM			±165	
dV_{OS}/dT	输入失调电压温漂	T_A = –40°C 至 +85°C	OPA277P、U		±0.1	±0.15	μV/°C
			OPA2277P、U		±0.1	±0.25	
			OPAx277AIDRM、PA、UA		±0.15	±1	
	长期温漂				0.2		μV/mo
PSRR	电源抑制比	V_S = ±2V 至 ±18V	OPA277P、U		±0.3	±0.5	μV/V
			OPAx277AIDRM、PA、UA		±0.3	±1	
		V_S = ±2V 至 ±18V，T_A = –40°C 至 +85°C	OPA277P、U			±0.5	
			OPAx277AIDRM、PA、UA			±1	
	通道分离（双通道、四通道）	dc			0.1		μV/V
输入偏置电流							
I_B	输入偏置电流	OPAx277P、U			±0.5	±1	nA
		OPAx277AIDRM、PA、UA			±0.5	±2.8	
		T_A = –40°C 至 +85°C	OPA277P、U			±2	
			OPAx277AIDRM、PA、UA			±4	
I_{OS}	输入失调电流	OPAx277P、U			±0.5	±1	nA
		OPAx277AIDRM、PA、UA			±0.5	±2.8	
		T_A = –40°C 至 +85°C	OPA277P、U			±2	
			OPAx277AIDRM、PA、UA			±4	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			0.22		$μV_{PP}$
e_n	输入电压噪声密度	f = 10Hz			12		nV/√Hz
		f = 100Hz			8		
		f = 1kHz			8		
		f = 10kHz			8		
i_n	输入电流噪声密度	f = 1kHz			0.2		pA/√Hz
输入电压							
V_{CM}	共模电压范围			(V–) + 2		(V+) – 2	V
CMRR	共模抑制比	V_{CM} = (V–) + 2V 至 (V+) – 2V	OPAx277P、U	130	140		dB
			OPAx277AIDRM、PA、UA	115	140		
		V_{CM} = (V–) + 2V 至 (V+) – 2V，T_A = –40°C 至 +85°C	OPA277P、U	128			
			OPAx277AIDRM、PA、UA	115			
输入阻抗							
Z_{ID}	差分				100 ‖ 3		MΩ ‖ pF
Z_{IC}	共模	V_{CM} = (V–) + 2V 至 (V+) – 2V			250 ‖ 3		GΩ ‖ pF

Copyright © 2023 Texas Instruments Incorporated

6.7 电气特性 (continued)

T_A = 25°C，V_S = 10V 至 30V，V_{CM} = V_{OUT} = V_S / 2 且 R_L = 2kΩ 连接至 V_S / 2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_O = (V–) + 0.5V 至 (V+) – 1.2V，R_L = 10kΩ			140		dB
		V_O = (V–) + 1.5V 至 (V+) – 1.5V，R_L = 2kΩ		126	134		
			T_A = –40°C 至 +85°C	126			
频率响应							
GBW	增益带宽积				1		MHz
SR	压摆率				0.8		V/µs
t_s	建立时间	V_S = ±15V，G = 1，10V 阶跃	达 0.1%		14		µs
			达 0.01%		16		
t_{OR}	过载恢复时间	V_{IN} × G = V_S			3		µs
THD+N	总谐波失真 + 噪声	G = 1，f = 1kHz，V_O = 3.5V_{RMS}			0.002%		
输出							
V_O	电压输出	R_L = 10kΩ		(V–) + 0.5		(V+) – 1.2	V
			T_A = –40°C 至 +85°C	(V–) + 0.5		(V+) – 1.2	
		R_L = 2kΩ		(V–) + 1.5		(V+) – 1.5	
			T_A = –40°C 至 +85°C	(V–) + 1.5		(V+) – 1.5	
I_{SC}	短路电流				±35		mA
C_L	容性负载驱动				请参阅典型特性		
Z_O	开环输出阻抗	f = 1MHz			40		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			±790	±825	µA
			T_A = –40°C 至 +85°C			±900	

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性

T_A = 25°C，V_S = ±15V，且 R_L = 2kΩ（除非另有说明）。

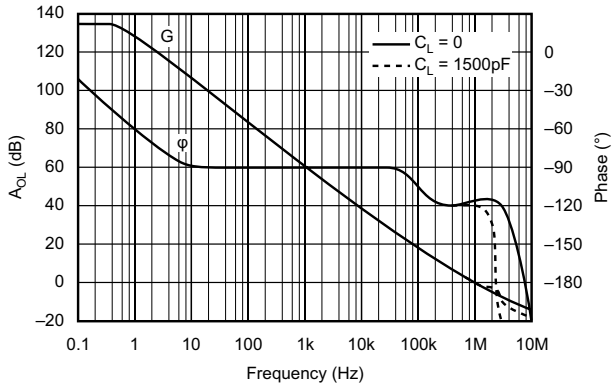


图 6-1. 开环增益和相位与频率间的关系

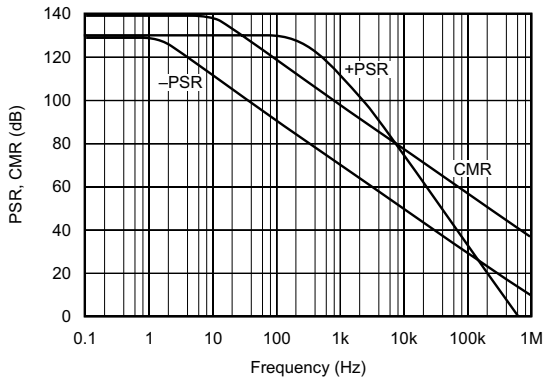


图 6-2. 电源和共模抑制与频率间的关系

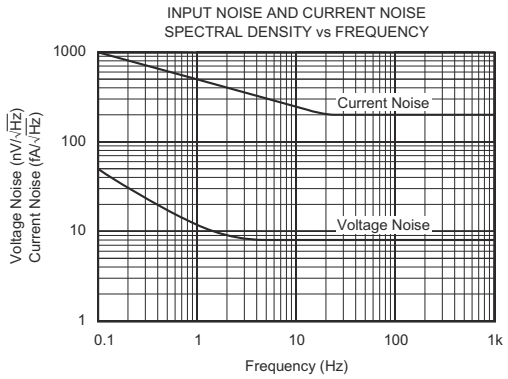


图 6-3. 输入噪声和电流噪声频谱密度与频率间的关系

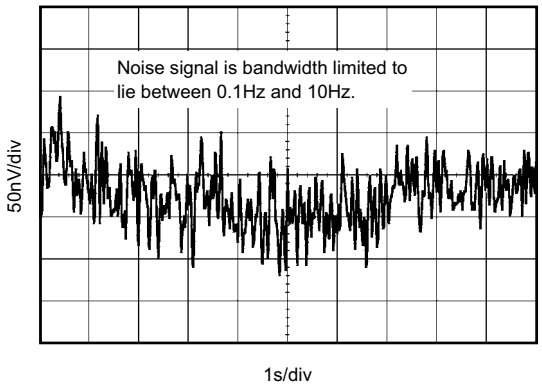


图 6-4. 输入噪声电压与时间间的关系

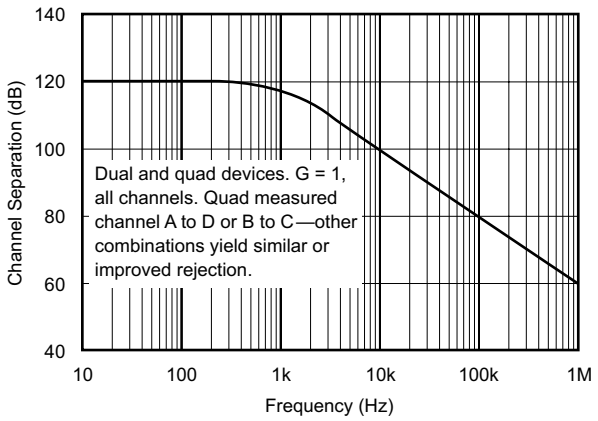


图 6-5. 通道隔离与频率间的关系

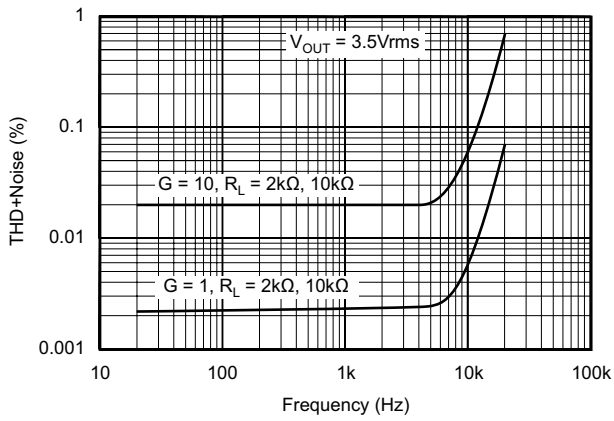


图 6-6. 总谐波失真 + 噪声与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±15V，且 R_L = 2kΩ（除非另有说明）。

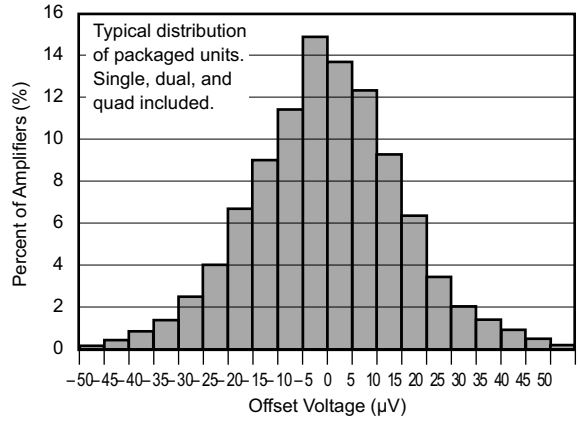


图 6-7. 失调电压生产分配

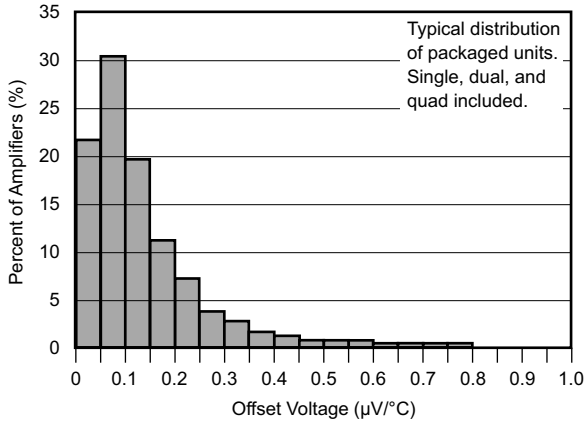


图 6-8. 失调电压温漂产生分布

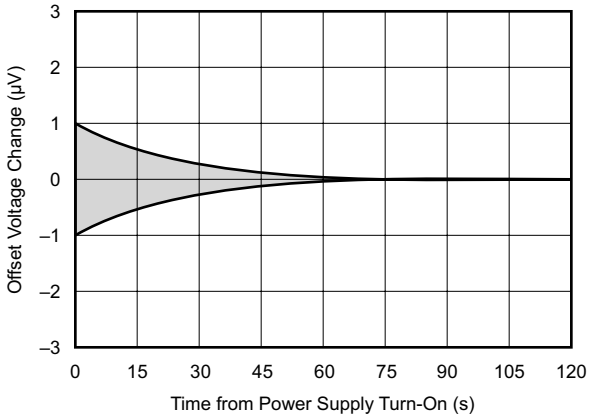


图 6-9. 预热失调电压温漂

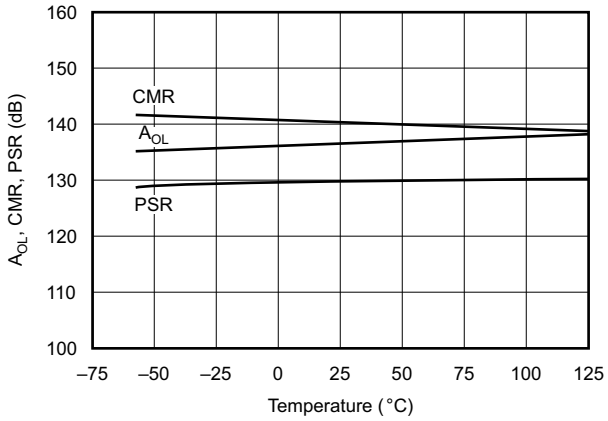


图 6-10. A_{OL}、CMR、PSR 与温度间的关系

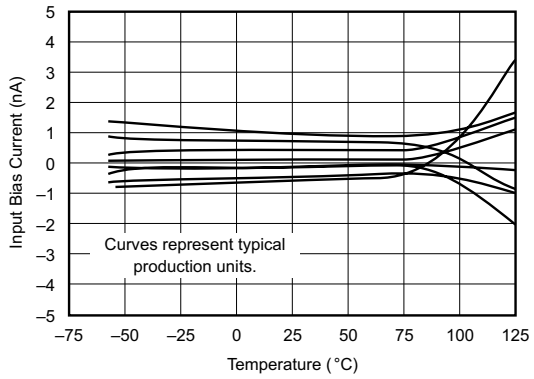


图 6-11. 输入偏置电流与温度间的关系

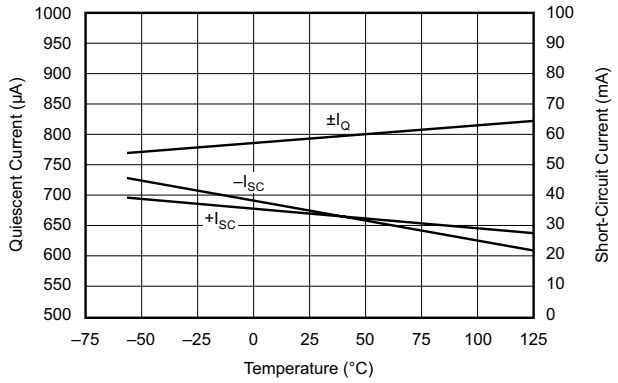


图 6-12. 静态电流和短路电流与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±15V，且 R_L = 2kΩ（除非另有说明）。

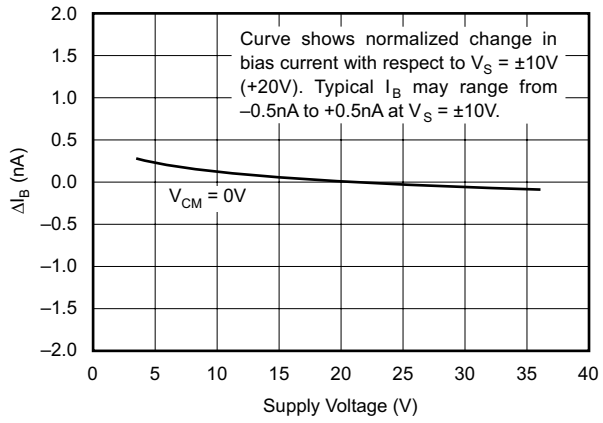


图 6-13. 输入偏置电流变化与电源电压间的关系

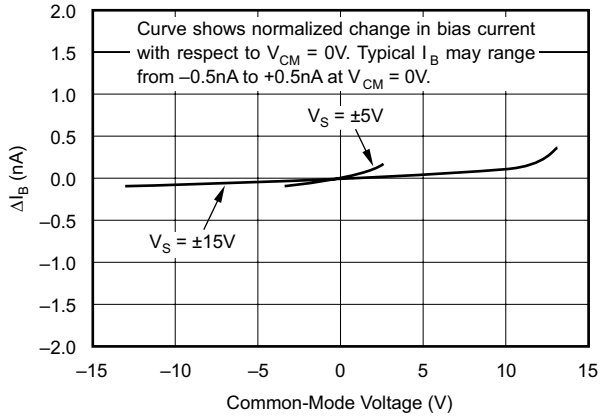


图 6-14. 输入偏置电流变化与共模电压间的关系

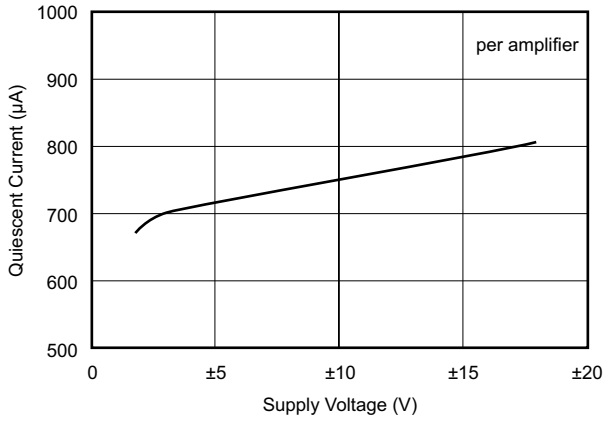


图 6-15. 静态电流与电源电压间的关系

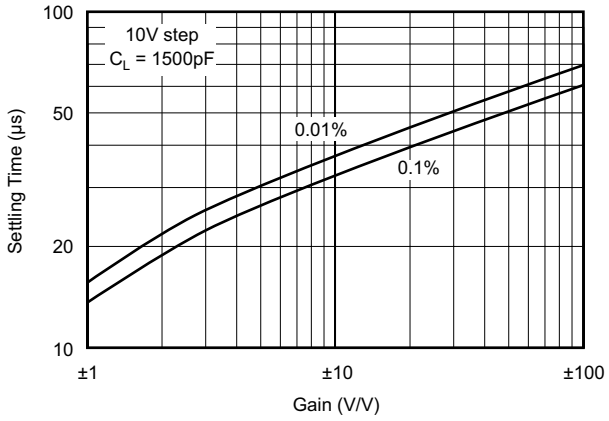


图 6-16. 建立时间与闭环增益间的关系

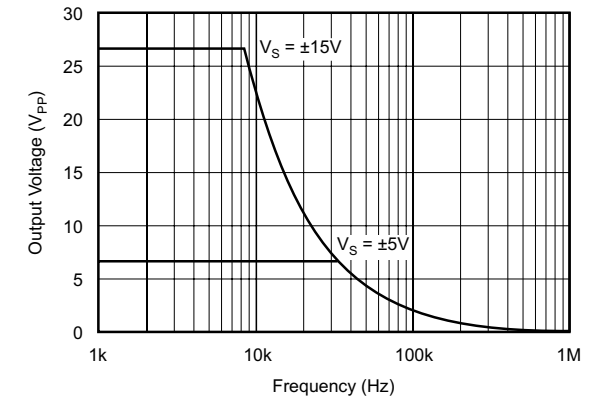


图 6-17. 最大输出电压与频率间的关系

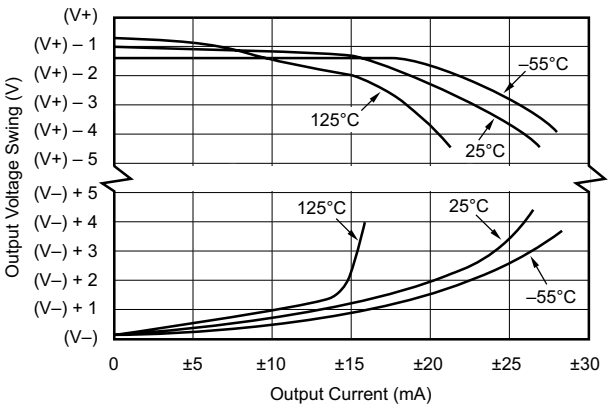


图 6-18. 输出电压摆幅与输出电流间的关系

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性 (continued)

T_A = 25°C，V_S = ±15V，且 R_L = 2kΩ（除非另有说明）。

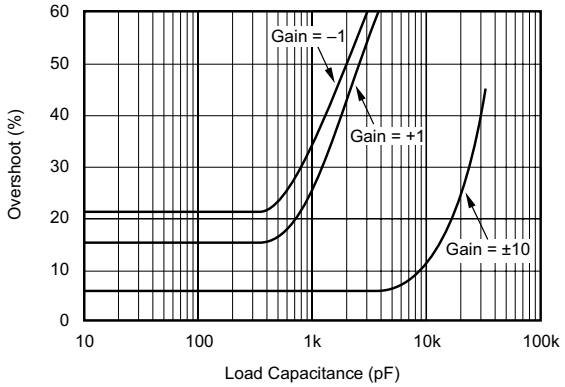
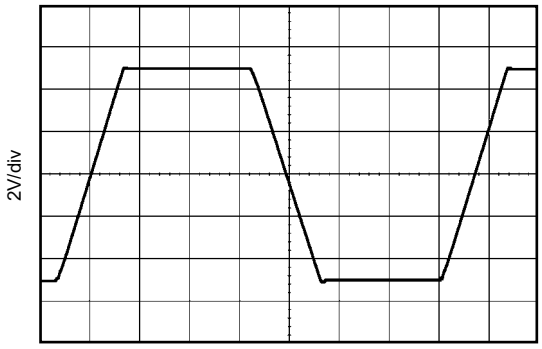
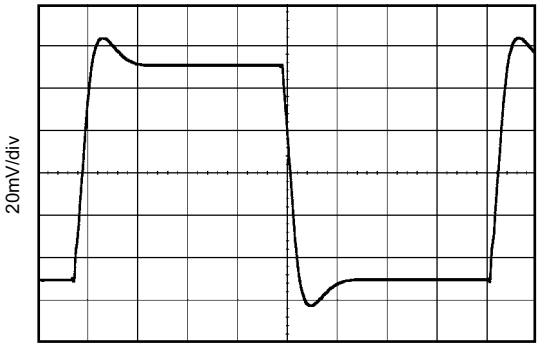


图 6-19. 小信号过冲与负载电容间的关系



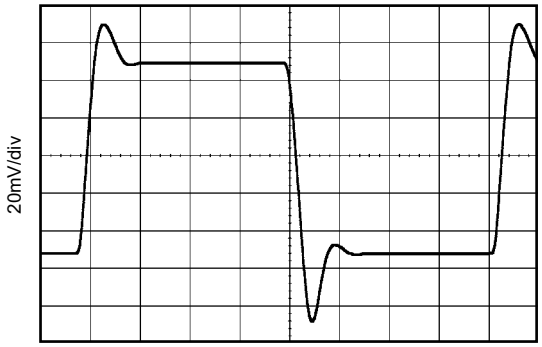
G = 1，C_L = 1500pF，V_S = ±15V

图 6-20. 大信号阶跃响应



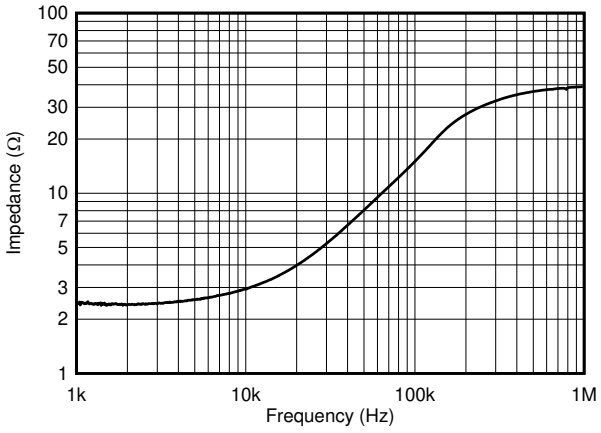
G = 1，C_L = 0，V_S = ±15V

图 6-21. 小信号阶跃响应



G = 1，C_L = 1500pF，V_S = ±15V

图 6-22. 小信号阶跃响应



V_S = ±15V

图 6-23. 开环输出阻抗

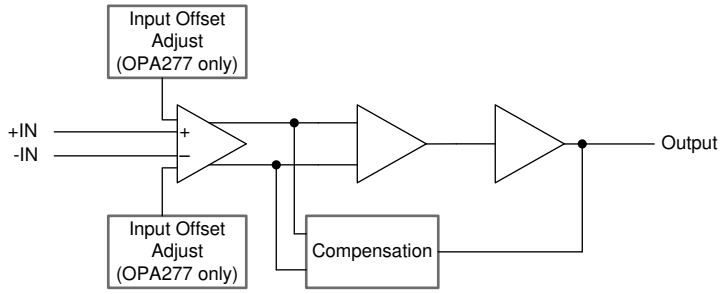
Copyright © 2023 Texas Instruments Incorporated

7 详细说明

7.1 概述

OPAx277 系列精密运算放大器取代了业界通用的 OP-177。这些器件提供得到改善的噪声性能、更宽的输出电压摆幅，并且速度是原来的两倍，静态电流只有原来的一半。特性包括超低失调电压和温漂、低偏置电流、高共模抑制及高电源抑制。

7.2 功能方框图



7.3 特性说明

OPAx277 系列具有稳定的单位增益，并且不会意外出现输出相位反转，因此这些器件可轻松运用于各种应用。采用高噪声或高阻抗电源的应用可能要求去耦电容器靠近器件引脚。大多数情况下，0.1 µ F 电容器已足够满足需求。

OPAx277 系列具有低失调电压和温漂。为了实现出色的性能，应优化电路布局和机械条件。可以通过在运算放大器输入处实现小幅热电势来降低失调电压和温漂。连接不同的金属会产生热电势，这可能会降低 OPAx277 系列的最终性能。要消除这些热电势，请确保两个输入引脚的热电势相等。

- 保持与两个输入引脚的连接的热质量相似
- 让热源尽可能远离关键输入电路
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离

7.3.1 工作电压

OPAx277 系列运算放大器可由 ±2V 至 ±18V 电源电压供电，并实现出色性能。大多数运算放大器规定仅由一种电源电压供电，而 OPAx277 系列有所不同，其电源电压取决于实际应用；仅有的限制条件适用于 ±5V 至 ±15V 电源电压范围。此限制允许客户使用 V_S = ±10V 供电，获得与客户使用 ±15V 电源相同的额定性能。此外，关键参数的额定温度范围为 –40°C 至 +85°C。大多数特性在 ±2V 至 ±18V 的完整工作电压范围内保持不变。*节 6.8* 中显示了随工作电压或温度的变化而显著变化的参数。

7.3.2 失调电压调整

OPAx277 系列经过激光调整，可实现低失调电压和温漂，因此大多数电路不需要外部调整。但是，对于 OPA277，引脚 1 和 8 上提供了失调电压修整连接。图 7-1 显示了如何通过连接电位器来调整失调电压。这种调整只用于消除运算放大器的失调电压。请勿使用这种调整来补偿系统中其他地方产生的偏移，因为这会引起额外的温漂。

Copyright © 2023 Texas Instruments Incorporated

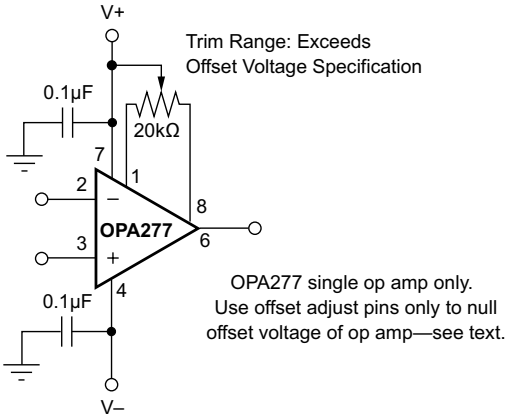


图 7-1. OPA277 失调电压修整电路

7.3.3 输入保护

OPAx277 器件的输入由 1kΩ 串联输入电阻器和二极管钳位提供保护。输入可以承受 ±30V 差分输入而不会损坏。当输入被过驱时，保护二极管会传导电流。这种传导电流会干扰单位增益跟随器应用的转换行为，但不会损坏运算放大器。

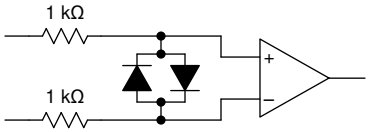


图 7-2. OPAx277 输入保护

7.3.4 输入偏置电流消除

OPAx277 系列的输入级基极电流在内部用相等且相反的消除电路进行补偿。得到的输入偏置电流是输入级基极电流与消除电流之间的差值。此残余输入偏置电流可以是正的或负的。

以这种方式消除偏置电流时，输入偏置电流和输入失调电流具有大致相同的幅度。因此，不需要偏置电流消除电阻器，这与其他运算放大器的做法一样。图 7-3 显示了一个具有外部偏置电流消除电阻器的传统运算放大器，而 OPA277 没有外部偏置电流消除电阻器。添加一个电阻器来消除输入偏置电流误差实际上会增加失调电压和噪声。

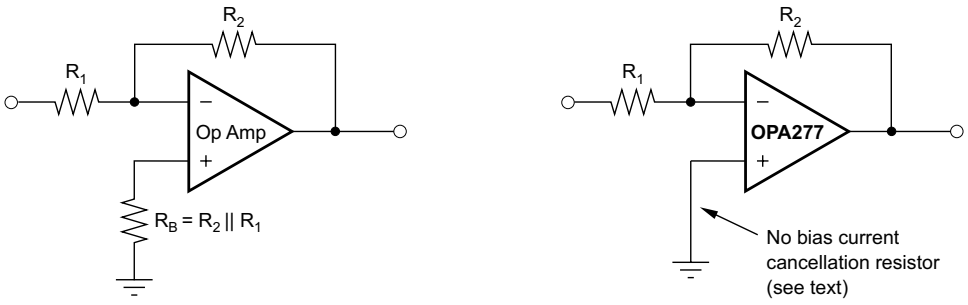


图 7-3. 输入偏置电流消除

7.3.5 EMI 抑制比 (EMIRR)

电磁干扰 (EMI) 抑制比 (EMIRR) 描述了运算放大器的 EMI 抗扰性。许多运算放大器常见的不利影响是由射频信号整流引起的失调电压变化。如果一个运算放大器能更有效地抑制由 EMI 引起的失调电压变化，该放大器会具有较

Copyright © 2023 Texas Instruments Incorporated

高的 EMIRR 并由分贝值量化。测量 EMIRR 可用多种方法来完成，但该报告提供了 EMIRR IN+，当射频信号施加到运算放大器的同相输入引脚时，可使用该指标来具体描述 EMIRR 性能。一般情况下，仅出于以下三点原因对同相输入进行 EMIRR 的测试：

1. 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
2. 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
3. 在同相引脚上测量 EMIRR 比在其他引脚上测量更容易，因为在印刷电路板 (PCB) 上可以隔离同相输入端子。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 迹线发生复杂的相互作用。

有关 EMIRR IN+ 定义和测试方法的更正式的讨论，请参阅*运算放大器的 EMI 抑制比* 应用手册，可从 www.ti.com 下载该文档。图 7-4 显示了 OPA277 的 EMIRR IN+ 与频率间的关系图。

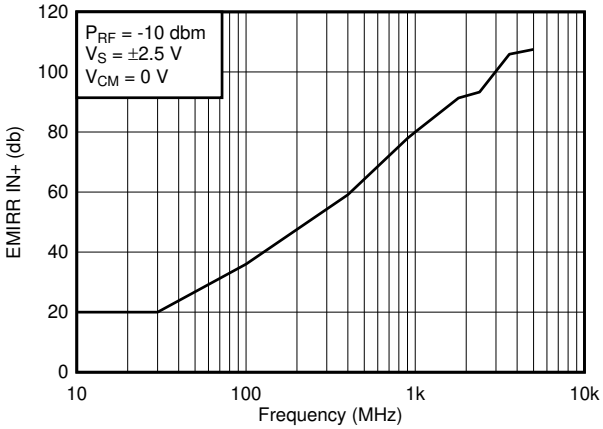


图 7-4. OPA277 EMIRR IN+ 与频率间的关系

任何双路和四路运算放大器器件版本（如果可用）具有几乎相似的 EMIRR IN+ 性能。OPA277 单位增益带宽为 1MHz。低于该频率的 EMIRR 性能表示存在位于运算放大器带宽内的干扰信号。

Copyright © 2023 Texas Instruments Incorporated

表 7-1 展示了 OPA277 在实际应用中通常会遇到的特定频率下的 EMIRR IN+ 值。表 7-1 列出的应用可在下图给出的特定频率或其近似频率下运行。对于从事此类应用，或在可能遇到各种来源射频干扰的其他领域（例如工业、科学和医疗 (ISM) 无线电频带）工作的设计人员而言，此信息特别重要。

表 7-1. OPA277 在相关频率下的 EMIRR IN+

频率	应用/分配	EMIRR IN+
400MHz	移动无线电、移动卫星/太空操作、气象、雷达、UHF	59.1dB
900MHz	GSM、无线电通信/导航/GPS（最高可达 1.6GHz）、ISM、航空移动通信、UHF	77.9dB
1.8GHz	GSM、移动个人通信宽带、卫星、L 波段	91.3dB
2.4GHz	802.11b/g/n、Bluetooth®、个人移动通信、ISM、业余无线电/卫星、S 波段	93.3dB
3.6GHz	无线电定位、航空通信导航、卫星、移动、S 波段	105.9dB
5.0GHz	802.11a/n、航空通信/导航、移动通信、太空/卫星操作、C 波段	107.5dB

7.3.5.1 EMIRR IN+ 测试配置

图 7-5 显示了用于测试 EMIRR IN+ 的电路配置。射频源用传输线连接到运算放大器同相输入端子。该运算放大器采用单位增益缓冲器拓扑，其输出端连接到低通滤波器 (LPF) 和数字万用表 (DMM)。该运算放大器输入端的大阻抗失配会导致电压反射；但是，在确定 EMIRR IN+ 时会表征和考虑这种效应。产生的直流失调电压由万用表采样并测量。LPF 将万用表与可能干扰万用表精度的残余射频信号隔离开。有关详细信息，请参阅*运算放大器的 EMI 抑制比 应用手册*。

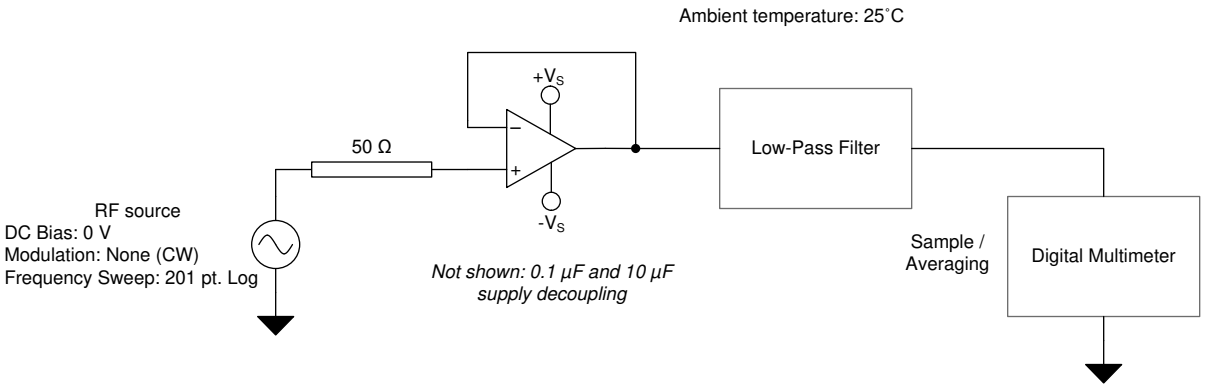


图 7-5. EMIRR IN+ 测试配置原理图

7.4 器件功能模式

OPAx277 具有单一功能模式，可在电源电压大于 4V (±2V) 时工作。OPAx277 的最大电源电压为 36V (±18V)。

Copyright © 2023 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx277 系列具有出色的直流精度和交流性能。这些器件的工作电压高达 36V，并提供超低失调电压和失调电压温漂以及 1MHz 带宽和高容性负载驱动。这些特性使 OPAx277 成为一款适用于高电压工业应用且稳定可靠的高性能运算放大器。

8.2 典型应用

8.2.1 二阶低通滤波器

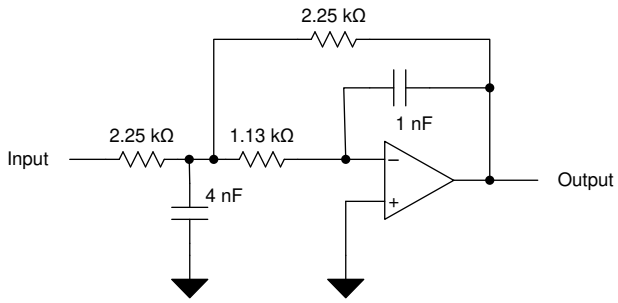


图 8-1. 二阶低通滤波器

8.2.1.1 设计要求

- 增益 = 1V/V
- 低通截止频率 = 50kHz
- –40db/dec 滤波器响应
- 在增益与频率响应间的关系图中保持低于 3dB 的增益峰值

8.2.1.2 详细设计过程

滤波器设计工具是一款简单、功能强大且便于使用的有源滤波器设计程序。借助滤波器设计工具，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源器件，来创建经过优化的滤波器设计方案。

设计工具和仿真网站以基于网页的工具形式提供滤波器设计工具，借助该工具，您在数分钟内便能设计、优化和仿真一套完整的多级有源滤波器解决方案。

Copyright © 2023 Texas Instruments Incorporated

8.2.1.3 应用曲线

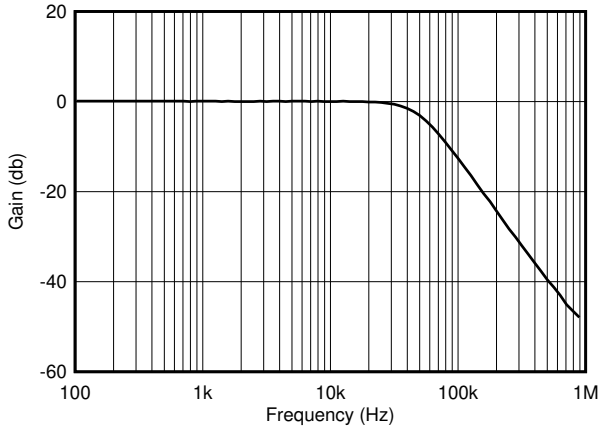
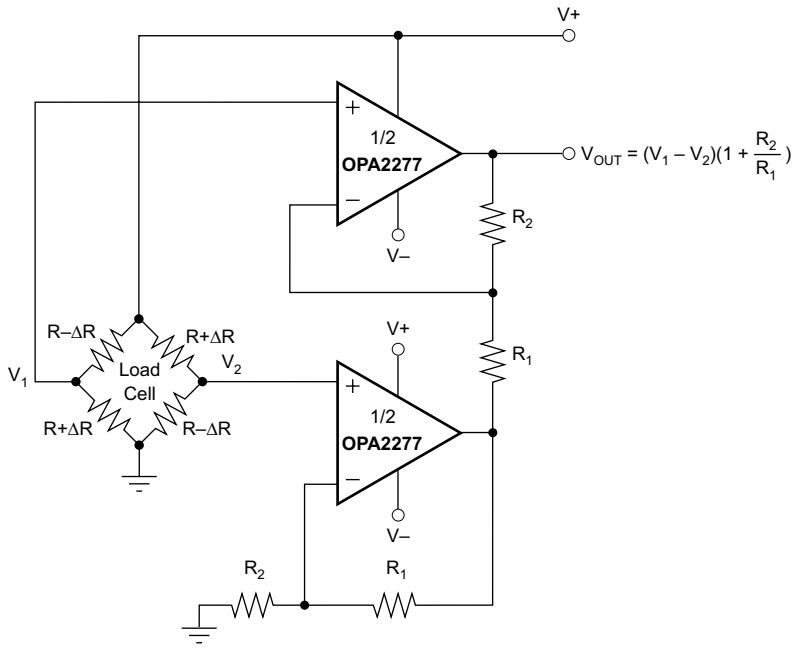


图 8-2. OPA277 二阶 50kHz 低通滤波器

8.2.2 称重传感器放大器



For integrated solution see: INA126, INA2126 (dual)
INA125 (on-board reference)
INA122 (single-supply)

图 8-3. 称重传感器放大器

8.2.3 具有二极管冷端补偿的热电偶低失调电压、低温漂环路测量

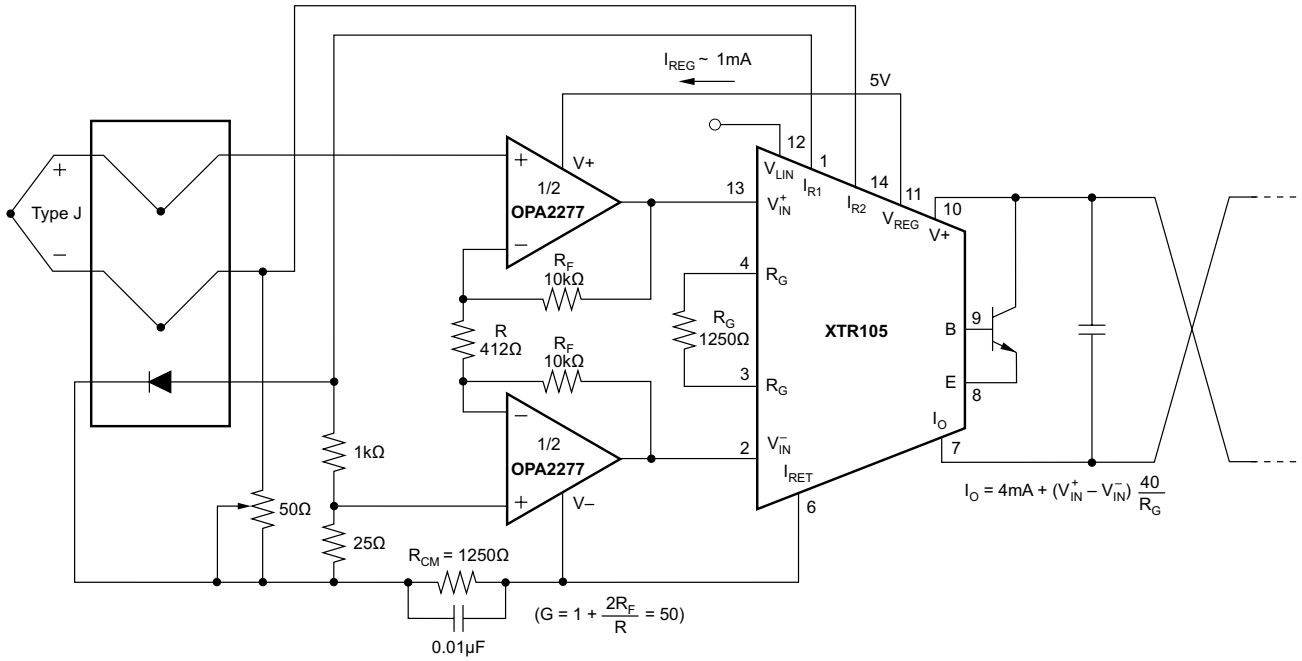


图 8-4. 具有二极管冷端补偿的热电偶低失调电压、低温漂环路测量

8.3 电源相关建议

OPAx277 的额定工作电压为 4V 至 36V（±2V 至 ±18V）；多种规格适用于 –40°C 至 85°C 的温度范围。*节 6.8* 中介绍了随工作电压或温度变化而显著变化的参数。

CAUTION

电源电压超过 36V 可能会对器件造成永久损坏；请参阅 *节 6.1*。

将 0.1 µF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 *节 8.4.1*。

Copyright © 2023 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

为了实现器件的卓越运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端之间的单个旁路电容适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如*节 8.4.2* 所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在任何水必 PCB 清洁过程之后，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。
- *仅限 DRM 封装（8 引脚 VSON）：*将引线框芯片焊盘焊接到 PCB 上的散热焊盘上。该产品数据表末尾的机械制图列出了封装和焊盘的物理尺寸。
- *仅限 DRM 封装（8 引脚 VSON）：*焊接外露焊盘可在温度循环、主要推动、封装剪切及类似板级测试过程中极大地提高板级可靠性。即使是功率耗散较低的应用，外露焊盘也必须焊接到 PCB 上，实现结构完整性和长期可靠性。

8.4.1.1 DRM 封装（8 引脚 VSON）

OPAx277 系列使用 DRM 封装（也称为 8 引脚 VSON），这是一种仅在封装底部两侧有触点的无引线封装。这种近芯片级封装可更大限度地增加布板空间，并通过外露焊盘来增强散热和电气特性。

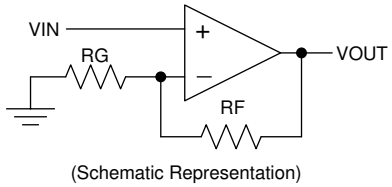
DRM 封装物理尺寸小，具有更小的布线面积、更高的散热性能以及更低的电气寄生，并且所采用的引脚分配机制与 SOIC 和 VSSOP 等常用封装一致。此外，无外部引线也消除了引线弯曲问题。

DRM 封装可使用标准印刷电路板 (PCB) 组装技术轻松安装。请参阅 *QFN/SON PCB 连接* 和 *Quad Flatpack No-Lead 逻辑封装* 应用手册，两者均可从 www.ti.com 下载。

该封装底部的外露引线框芯片焊盘必须连接至 V–。

Copyright © 2023 Texas Instruments Incorporated

8.4.2 布局示例



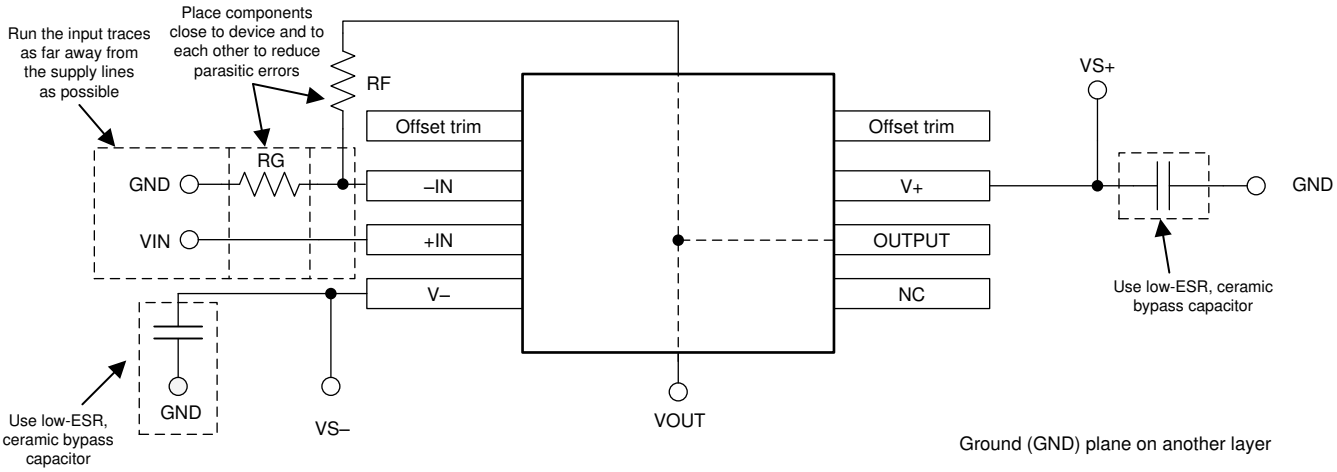


图 8-5. 针对同相配置的 OPA277 布局示例

Copyright © 2023 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

9.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计工具和仿真网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

9.1.1.3 DIP-Adapter-EVM

借助 DIP-Adapter-EVM 加快运算放大器的原型设计和测试，该 EVM 有助于快速轻松地连接小型表面贴装器件并且价格低廉。使用随附的 Samtec 端子板连接任何受支持的运算放大器，或者将这些端子板直接连接至现有电路。DIP-Adapter-EVM 套件支持以下业界通用封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV（SOT-23-6、SOT-23-5 和 SOT-23-3）、DCK（SC70-6 和 SC70-5）和 DRL (SOT563-6)。

9.1.1.4 DIYAMP-EVM

DIYAMP-EVM 是一款独特的评估模块 (EVM)，可提供真实的放大器电路，使用户能够快速评估设计概念并验证仿真。此 EVM 采用 3 种业界通用封装选项（SC70、SOT23 和 SOIC）并提供 12 种流行的放大器配置，包括放大器、滤波器、稳定性补偿以及同时适用于单电源和双电源的比较器配置。

9.1.1.5 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 https://www.ti.com/reference-designs。

9.1.1.6 滤波器设计工具

滤波器设计工具是一款简单、功能强大且便于使用的有源滤波器设计程序。利用滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源器件来打造理想滤波器设计方案。

设计工具和仿真网页以基于网络的工具形式提供滤波设计工具。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2 文档支持

9.2.1 相关文档

如需相关文档，请参阅以下应用报告和出版物（可从 www.ti.com 下载）：

- 德州仪器 (TI)，*QFN/SON PCB 连接*
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装*
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比*

Copyright © 2023 Texas Instruments Incorporated

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2277AIDRMT	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	BHZ
OPA2277AIDRMT.B	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BHZ
OPA2277AIDRMT1G4	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BHZ
OPA2277AIDRMT1G4.B	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BHZ
OPA2277P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	OPA2277P
OPA2277P.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA2277P
OPA2277PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	OPA2277PA
OPA2277PA.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA2277PA
OPA2277U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-	OPA 2277U
OPA2277U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2277U
OPA2277U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2277U
OPA2277U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2277U
OPA2277UA	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2277U A
OPA2277UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2277U A
OPA2277UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2277U A
OPA2277UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2277U A
OPA2277UA1G4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 2277U A
OPA277AIDRMR	Active	Production	VSON (DRM) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	NSS
OPA277AIDRMR.A	Active	Production	VSON (DRM) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NSS

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA277AIDRMT	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	NSS
OPA277AIDRMT.A	Active	Production	VSON (DRM) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NSS
OPA277P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	OPA277P
OPA277P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA277P
OPA277PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	OPA277P A
OPA277PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA277P A
OPA277PAG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	See OPA277PA	OPA277P A
OPA277U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-	OPA 277U
OPA277U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 277U
OPA277U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-	OPA 277U
OPA277U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 277U
OPA277UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 277U A
OPA277UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 277U A
OPA277UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 277U A
OPA277UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 277U A
OPA277UA/2K51G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	OPA 277U A
OPA277UAG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	
OPA4277PA	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	OPA4277PA

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA4277PA.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA4277PA
OPA4277UA	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA4277UA
OPA4277UA/2K5	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA4277UA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2277, OPA4277 :

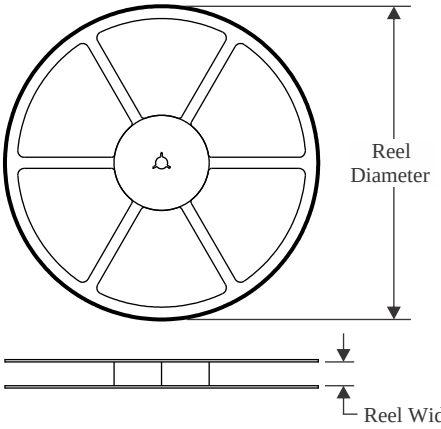
- Enhanced Product : OPA2277-EP, OPA4277-EP
- Space : OPA4277-SP

NOTE: Qualified Version Definitions:

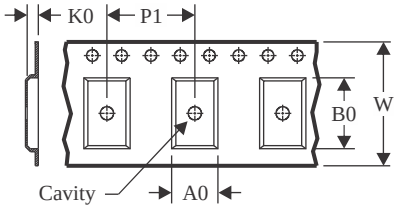
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

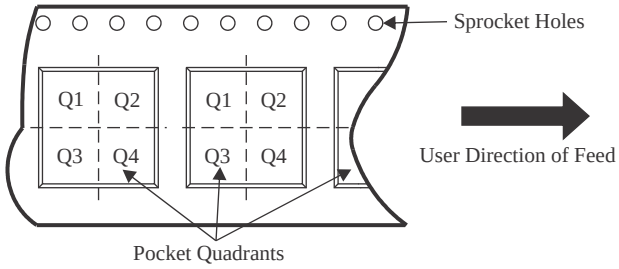


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

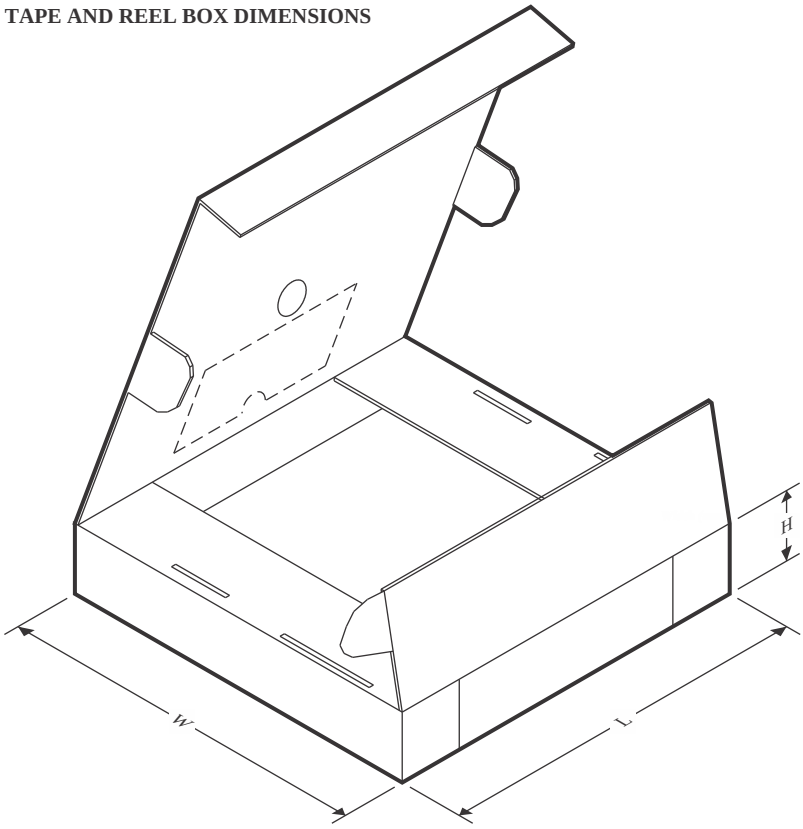
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2277AIDRMT	VSON	DRM	8	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA2277AIDRMT1G4	VSON	DRM	8	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA2277U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2277UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA277AIDRMR	VSON	DRM	8	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA277AIDRMT	VSON	DRM	8	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA277U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA277UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4277UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

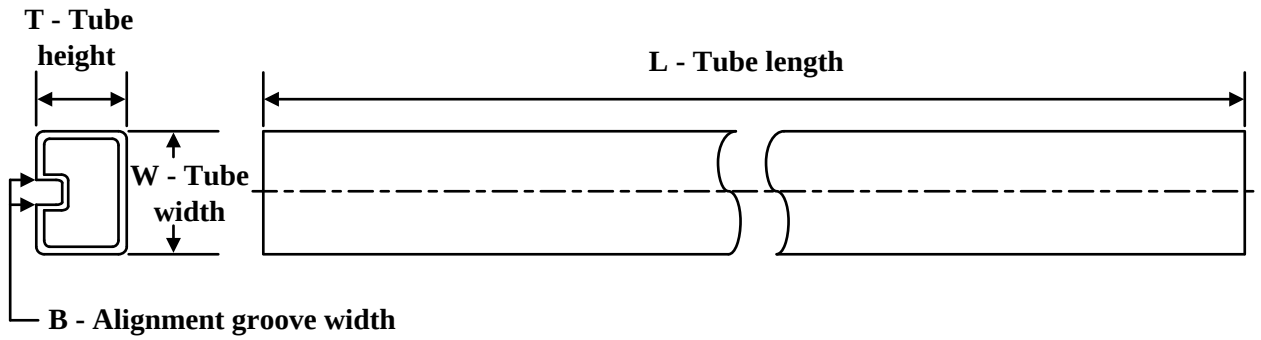
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

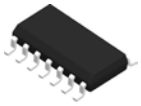
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2277AIDRMT	VSON	DRM	8	250	210.0	185.0	35.0
OPA2277AIDRMT1G4	VSON	DRM	8	250	210.0	185.0	35.0
OPA2277U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2277UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA277AIDRMR	VSON	DRM	8	3000	353.0	353.0	32.0
OPA277AIDRMT	VSON	DRM	8	250	213.0	191.0	35.0
OPA277U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA277UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA4277UA/2K5	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2277P	P	PDIP	8	50	506	13.97	11230	4.32
OPA2277P.B	P	PDIP	8	50	506	13.97	11230	4.32
OPA2277PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA2277PA.B	P	PDIP	8	50	506	13.97	11230	4.32
OPA2277U	D	SOIC	8	75	506.6	8	3940	4.32
OPA2277U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2277UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA2277UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA277P	P	PDIP	8	50	506	13.97	11230	4.32
OPA277P.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA277PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA277PA.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA277PAG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA277U	D	SOIC	8	75	506.6	8	3940	4.32
OPA277U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA277UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA277UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA4277PA	N	PDIP	14	25	506	13.97	11230	4.32
OPA4277PA.A	N	PDIP	14	25	506	13.97	11230	4.32
OPA4277UA	D	SOIC	14	50	506.6	8	3940	4.32

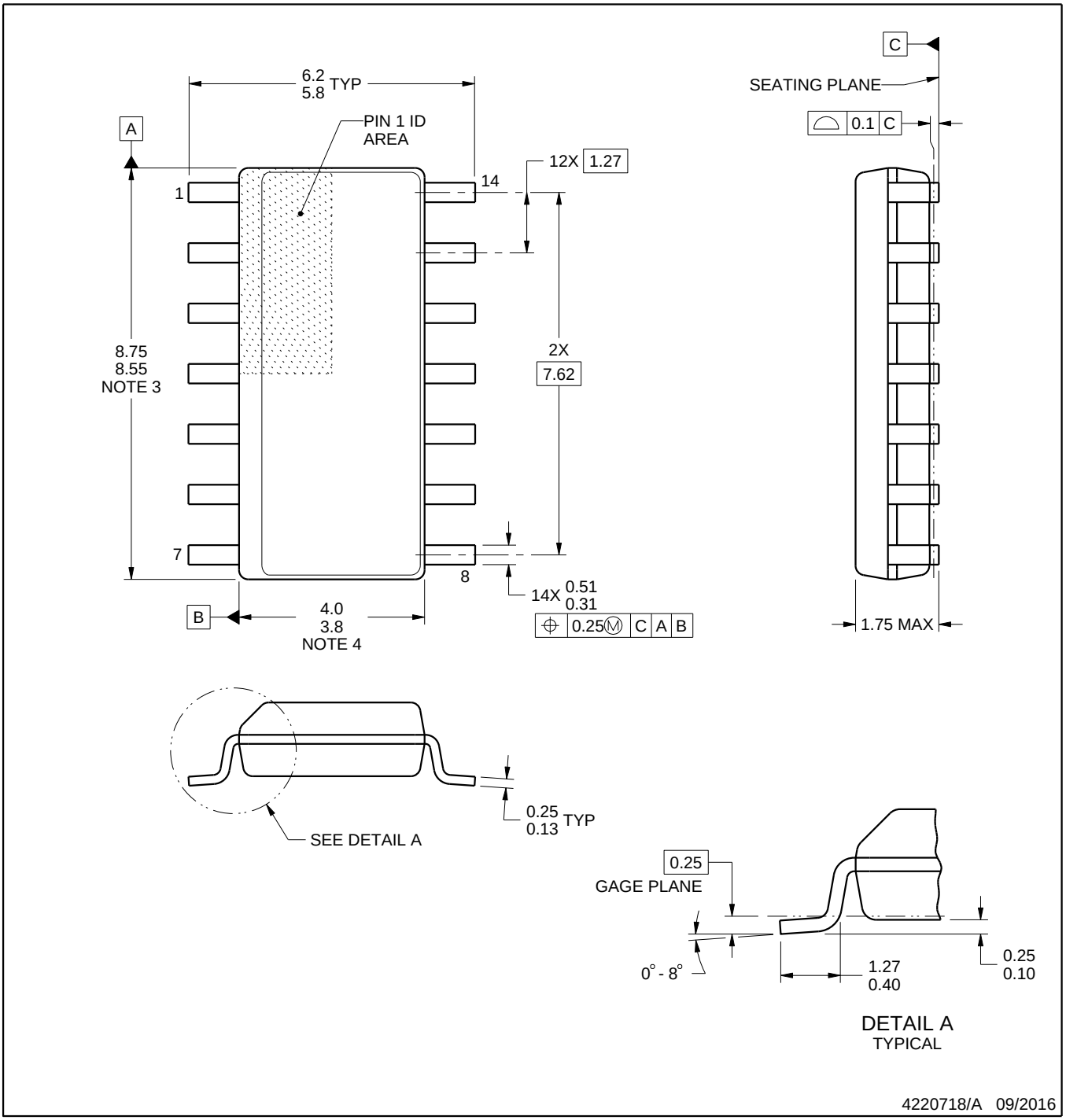


PACKAGE OUTLINE

D0014A

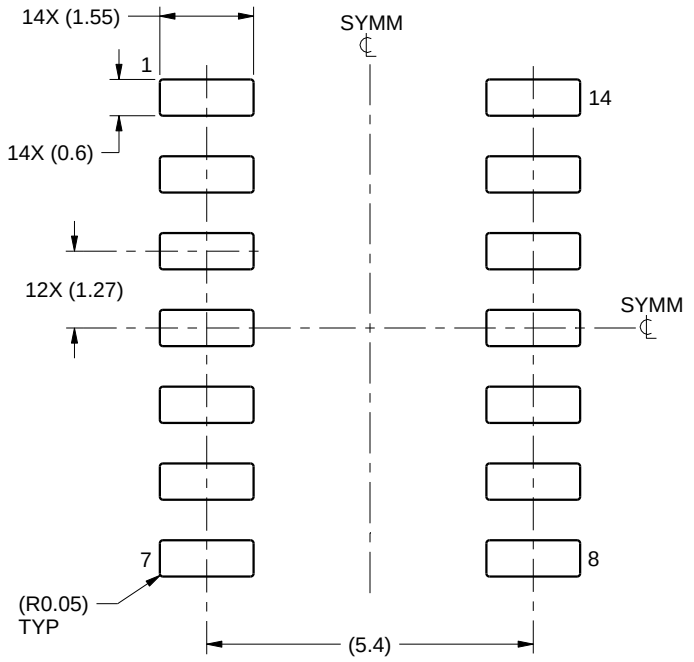
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

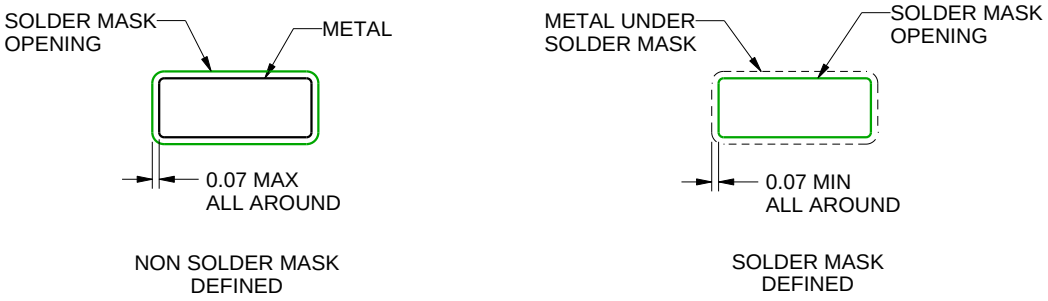


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

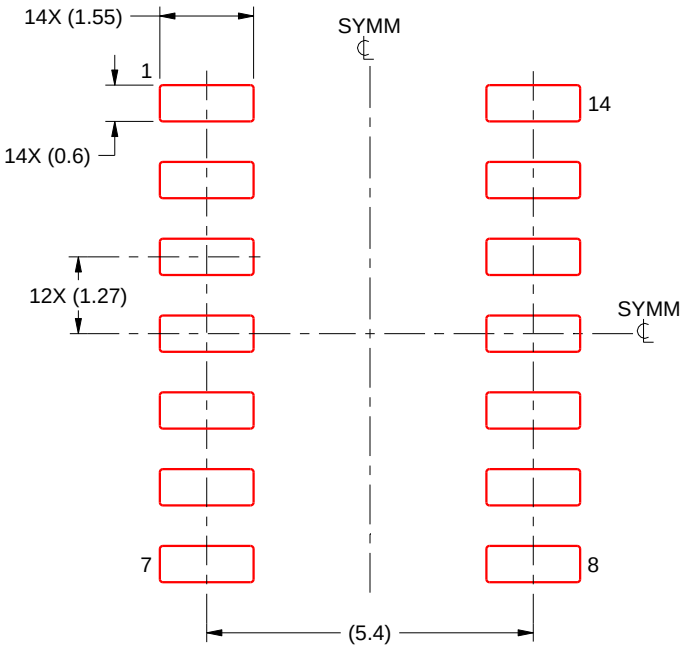
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

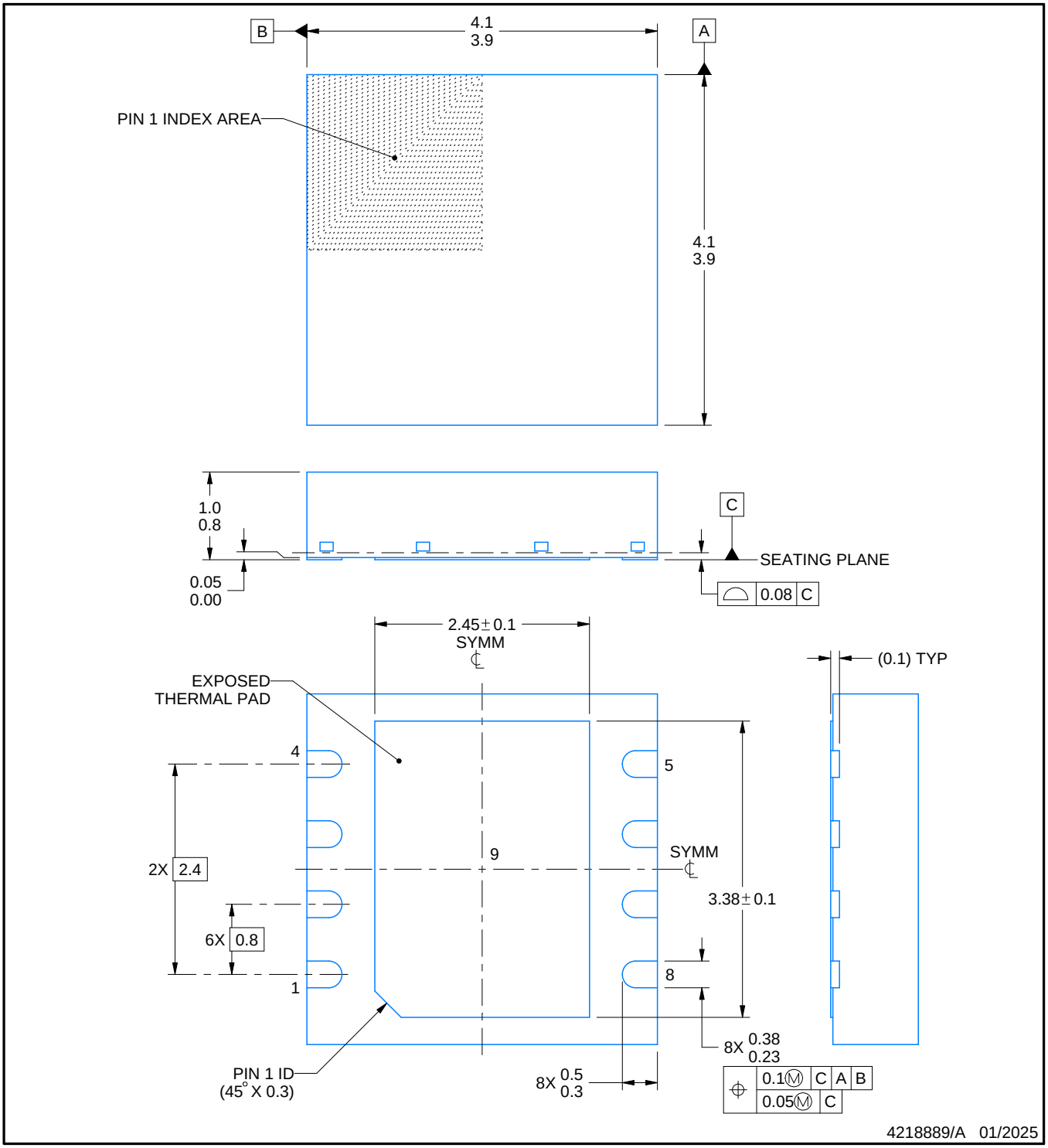
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DRM0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

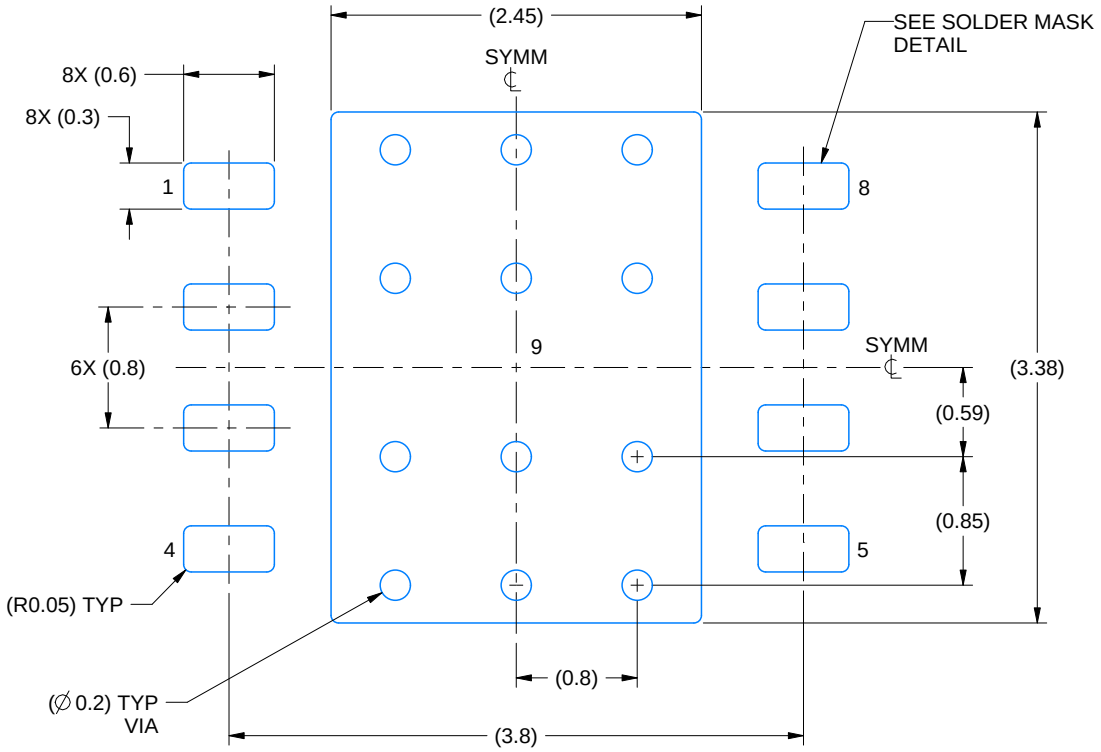
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

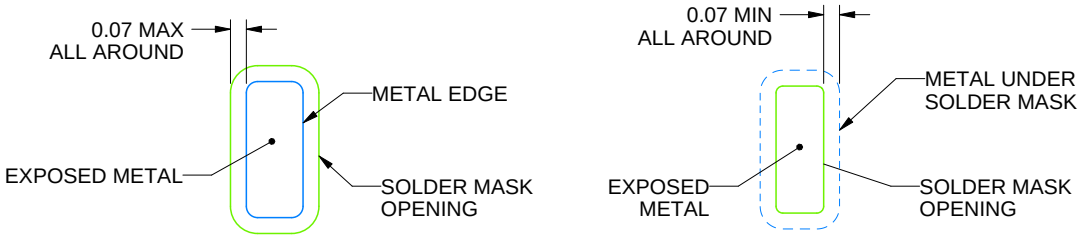
DRM0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON SOLDER MASK DEFINED (PREFERRED)

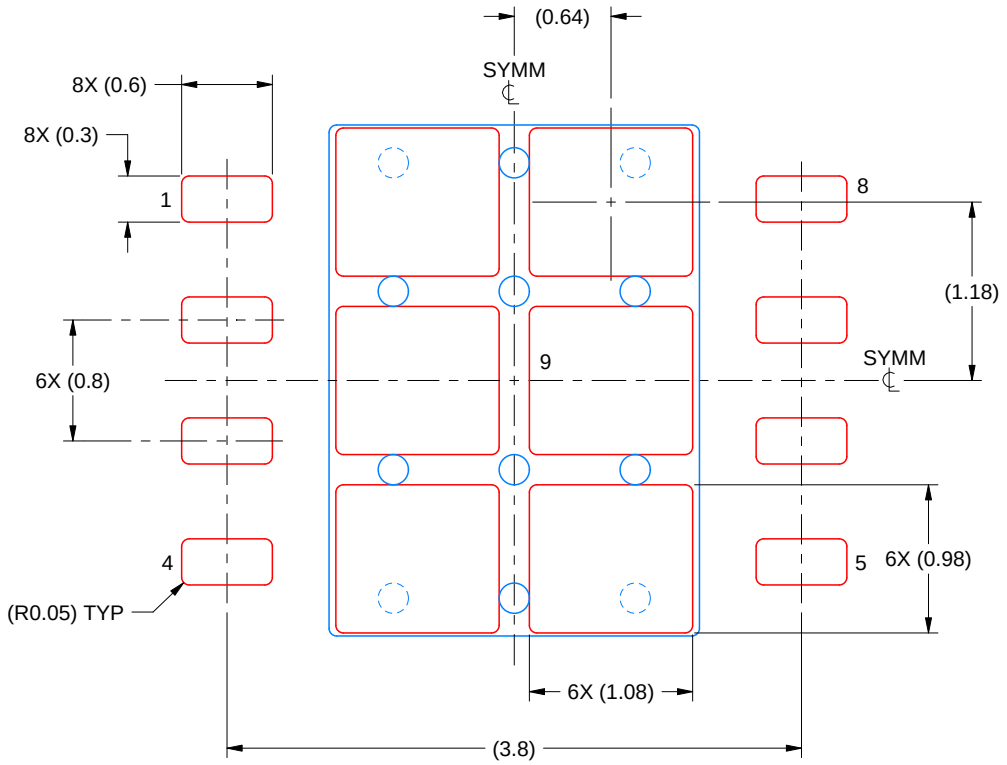
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4218889/A 01/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



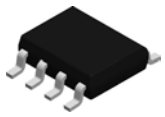
SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 9
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4218889/A 01/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

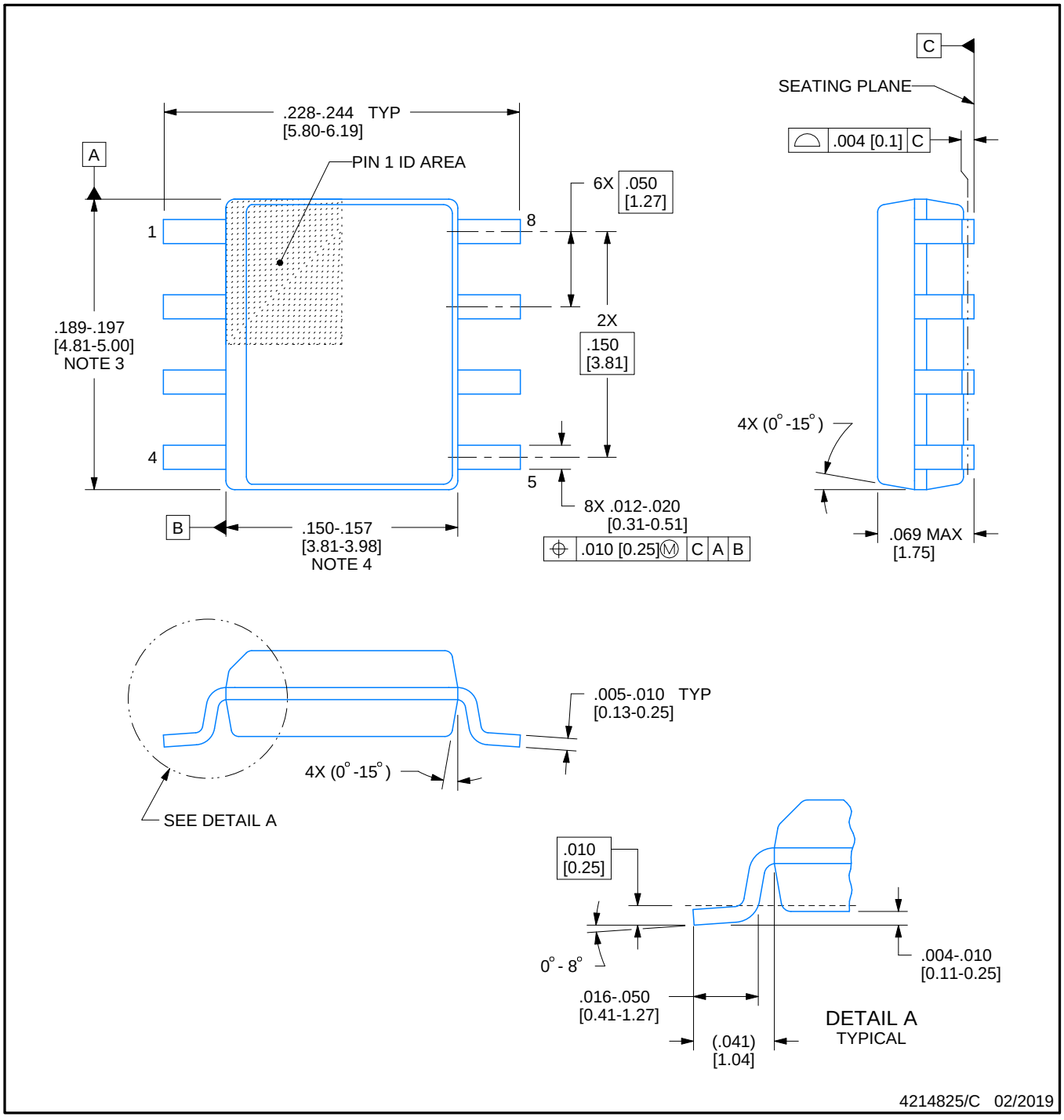


PACKAGE OUTLINE

D0008A

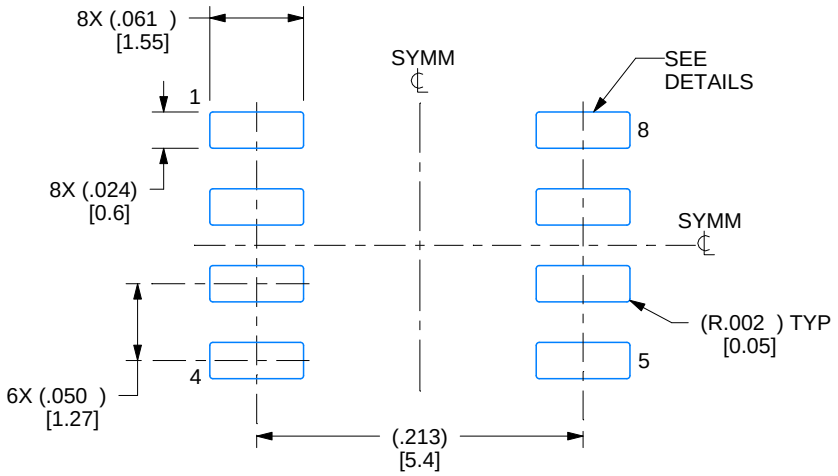
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

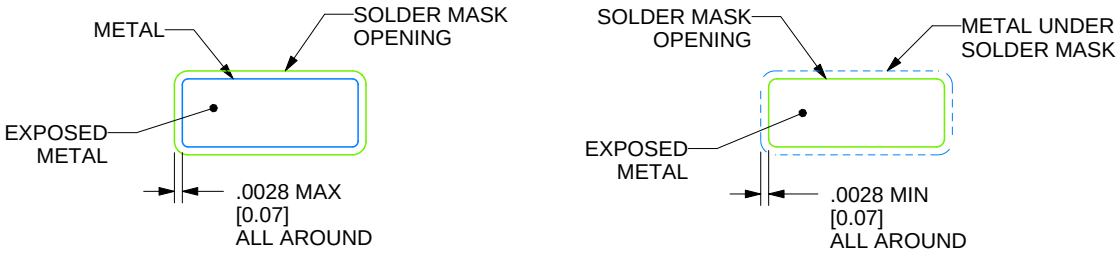


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

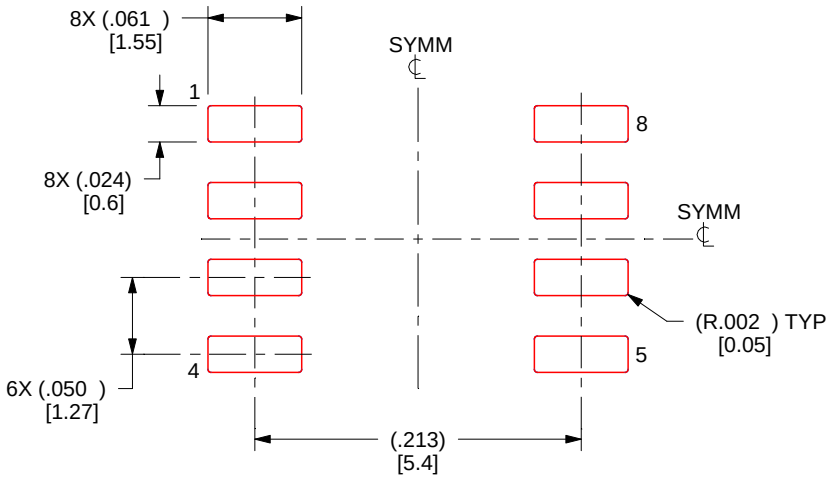
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



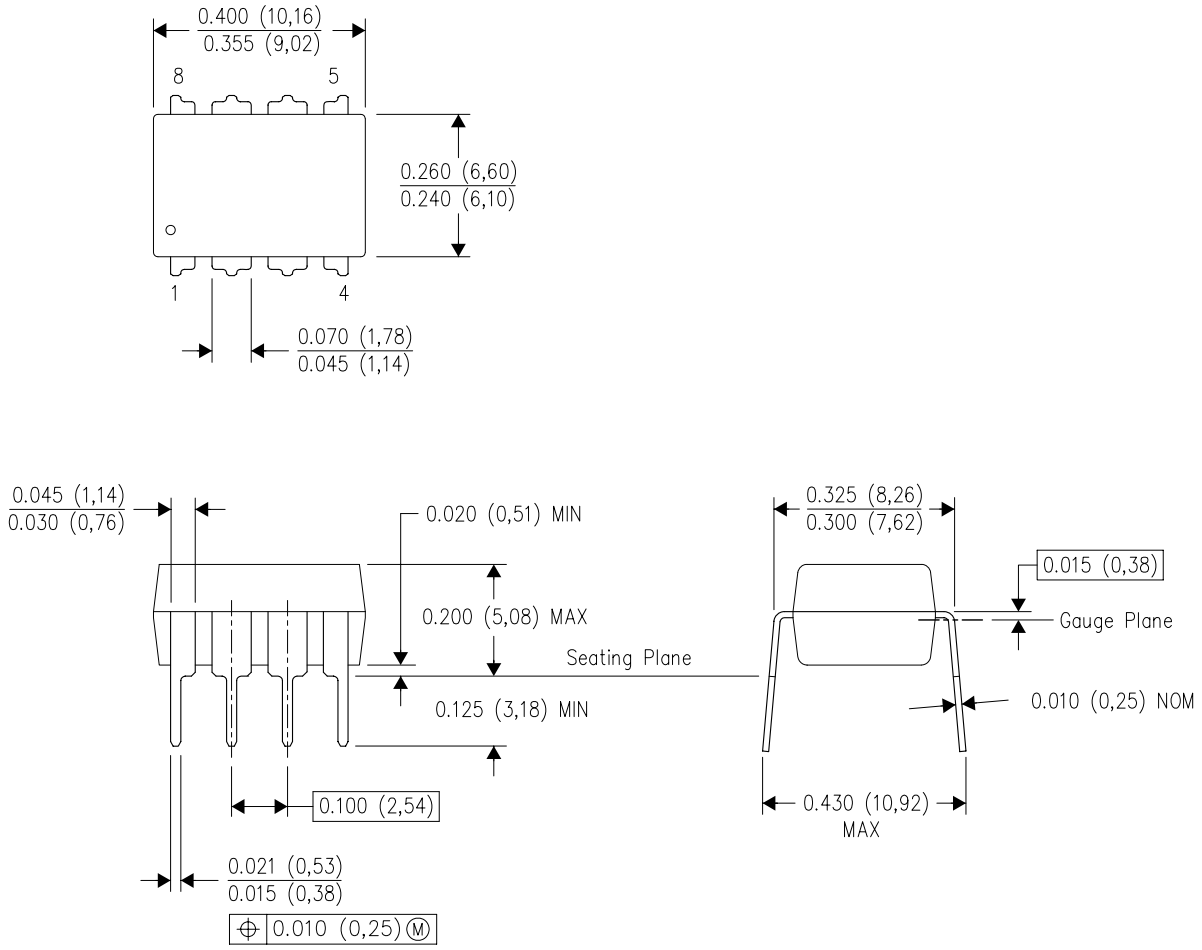
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

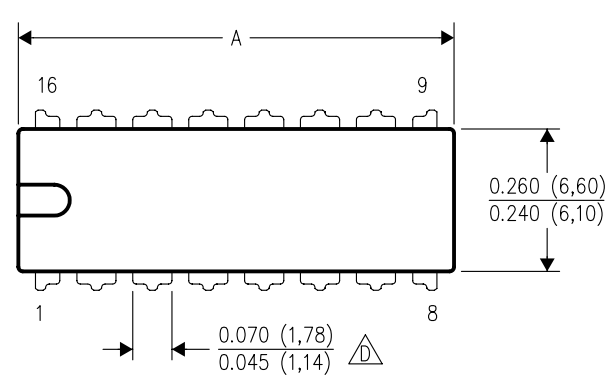


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

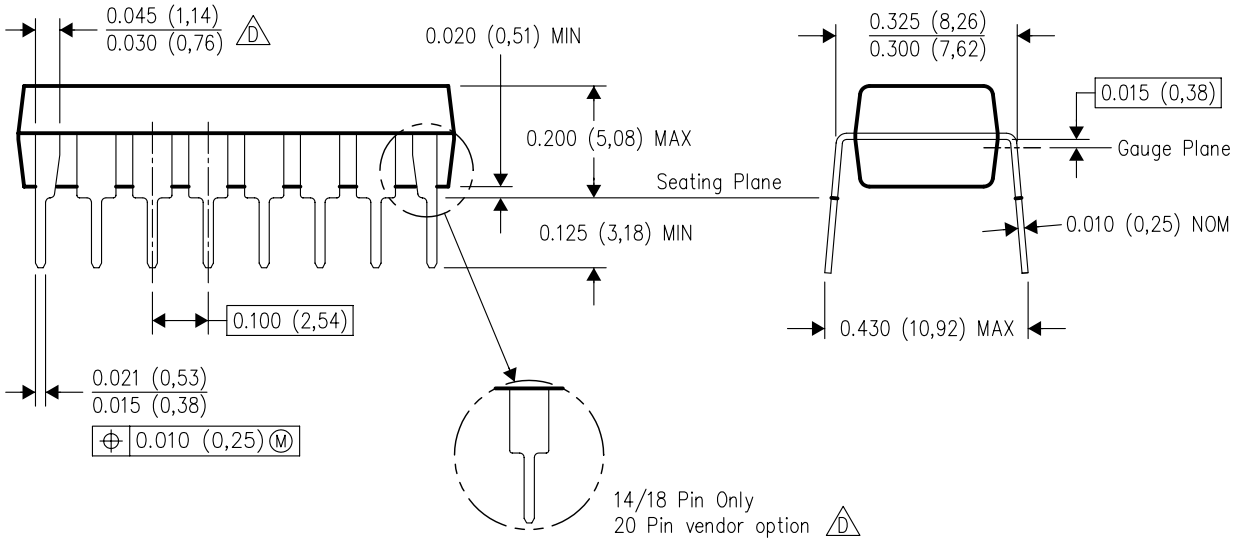
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月