RM46Lx40 16 和 32 位精简指令集计算机 (RISC) 闪存微控制器

查询样片: RM46L440, RM46L840

1 RM46Lx40 16 和 32 位精简指令集计算机 (RISC) 闪存微控制器

1.1 特性

- 针对安全关键应用的高性能微控制器
  - 运行在锁步中的双中央处理单元 (CPU)
  - 闪存和 RAM 接口上的 ECC
  - 内置 CPU 和片上 RAM 自检
  - 带有错误引脚的错误信令模块
  - 电压和时钟监视
- ARM® Cortex™ – R4F 32 位 RISC CPU
  - 具有 8 级流水线的 1.66DMIPS/MHz
  - 支持单精度和双精度的浮点运算单元 (FPU)
  - 12 区域内存保护单元
  - 带有第三方支持的开放式架构
- 运行条件
  - 200MHz 系统时钟
  - 内核电源电压(VCC)：1.14V 至 1.32V
  - I/O 电源电压 (VCCIO)：3.0V 至 3.6V
- 集成存储器
  - 最高 1.25MB 具有纠错码 (ECC) 的程序闪存
  - 最高 192KB 具有 ECC 的 RAM
  - 针对具有 ECC 的仿真 EERPOM 的 64KB 闪存
- 16 位外部存储器接口 (EMIF)
- 通用平台架构
  - 系列间一致的存储器映射
  - 实时中断 (RTI) 定时器（操作系统 (OS) 定时器）
  - 128 通道矢量中断模块 (VIM)
  - 2 通道循环冗余校验器 (CRC)
- 直接内存访问 (DMA) 控制器
  - 16 通道和 32 控制数据包
  - 针对控制数据包 RAM 的奇偶校验保护
  - 由专用 MPU 保护的 DMA 访问
- 带有内置跳周检测器的调频锁相环 (FMPLL)
- 独立的非调制 PLL
- IEEE 1149.1 JTAG，边界扫描和 ARM CoreSight™ 组件
- 高级 JTAG 安全模块 (AJSM)
- 跟踪和校准功能
  - 参数覆盖模块 (POM)
- 16 个能够生成中断的通用输入/输出 (GPIO) 引脚
- 针对电机控制的增强型时序外设
  - 7 个增强型脉宽调制器 (ePWM) 模块
  - 6 个增强型捕捉 (eCAP) 模块
  - 2 个增强型正交编码器脉冲 (eQEP) 模块
- 2 个高端定时器 (N2HET) 模块
  - N2HET1：32 个可编程通道
  - N2HET2：18 个可编程通道
  - 160 个字指令 RAM，每个都带有奇偶校验保护
  - 每个 N2HET 包括硬件角发生器
  - N2HET 上的专用传输单元 (HTU)
- 2 个10 和 12 位复用 模数转换器 (MibADC) 模块
  - ADC1：24 个通道
  - ADC2：与 ADC1 共用的 16 个通道
  - 64 个结果缓冲器，每个缓冲器具有奇偶校验保护
- 多通信接口
  - 10/100Mbps 以太网 MAC (EMAC)
    - IEEE 802.3 兼容（只适用于 3.3V I/O）
    - 支持 MII，RMII 和 MDIO
  - 3 个 CAN 控制器 (DCAN)
    - 64 个邮箱，每个邮箱具有奇偶校验保护
    - 与 CAN 协议版本 2.0A 和 2.0B 兼容
  - 内部集成电路 (I^2C)
  - 3 个复用串行外设接口 (MibSPI) 模块
    - 128 个字，每个字具有奇偶校验保护
    - 8 个传输组
  - 多达 2 个标准串行外设接口 (SPI) 模块
  - 2 个通用异步收发器 (UART)(SCI) 接口，其中一个支持本地互连网络 (LIN 2.1) 接口
- 封装
  - 144 引脚四方扁平封装 (PGE)[绿色环保]
  - 337 球状引脚栅格阵列封装 (ZWT) [绿色环保]

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

1.2 应用范围

- 工业安全应用
  - 工业自动化
  - 安全可编程逻辑控制器 (PLC)
  - 发电和配电
  - 涡轮机和风力发动机
  - 电梯和自动扶梯
- 医疗应用
  - 呼吸机
  - 除颤器
  - 输液泵和胰岛素泵
  - 放射治疗
  - 机器人外科手术

版权 © 2012–2013, Texas Instruments Incorporated

1.3 说明

RM46Lx40 器件是一款高性能 安全系统微控制器系列。 此安全架构包括：

- 以锁步模式运行的双核 CPU
- CPU 和存储器内置自检 (BIST) 逻辑
- 闪存和数据 SRAM 上的 ECC
- 外设存储器的奇偶校验
- 外设 I/O 上的回路功能

RM46Lx40 器件集成了 ARM Cortex-R4F 浮点 CPU，此 CPU 提供一个高效 1.66 DMIPS/MHz，并且 能够以高达 200 MHz 运行的配置，从而提供高达 332 DMIPS。 此器件支持小端序 [LE] 格式。

RM46Lx40 器件具有 最高 1.25MB 集成闪存和 最高 192KB 数据 RAM ，此配置具有单个位纠错和双位纠错功能。 这个器件上的闪存存储器是一个由 64 位宽数据总线接口实现的非易失性、电可擦除并且可编程的存储器。 为了实现所有读取、编程和擦除操作，此闪存运行在一个 3.3V 电源输入上（与 I/O 电源一样的电平）。 当处于管线模式中时，闪存可在高达 200MHz 的系统时钟频率下运行。 SRAM 在整个支持的频率范围内支持字节、半子、字和双字模式的单周期读取和写入访问。

RM46Lx40 器件特有针对基于实时控制的外设，其中包括 2 个 下一代高端 定时器 (N2HET) 时序 协处理器，此协处理器具有多达 44 个 I/O 端子，7 个支持多达 14 个输出的增强型脉宽调制器 (ePWM) 模块，6 个增强型捕捉 (eCAP) 模块，2 个增强型正交编码器脉冲 (eQEP) 模块，以及 2 个支持多达 24 个输入的 12 位模数转换器 (ADC)。

N2HET1 是一款高级智能定时器，此定时器能够为实时应用提供精密的计时功能。 该定时器为软件控制型，采用一个精简指令集，并具有一个专用的定时器微级机和一个连接的 I/O 端口。 N2HET 可被用于脉宽调制输出、捕捉或者比较输入，或者通用 I/O。N2HET 特别适合于那些需要多种传感器信息的应用，以及那些要求具有复杂和准确时间脉冲的驱动致动器的应用。 一个高端定时器传输单元 (HTU) 能够执行 DMA 类型处理来与主存储器之间传输 N2HET 数据。 一个内存保护单元 (MPU) 被内置于 HTU 内。

ePWM 模块能够用最少的 CPU 开销或干预来生成复杂脉宽波形。 ePWM 易于使用，并且支持高侧和低侧 PWM 和死区生成。 借助于集成触发区保护以及与片载 MibADC 的同步，ePWM 模块非常适合于数字电机控制应用。

eCAP 模块在外部事件的精确定时捕捉十分重要的系统中是必不可少的。 在不被用于捕捉应用时，eCAP 还可被用于监视 ePWM 输出或用于简单的 PWM 生成。

eQEP 模块用于与一个线性或旋转递增编码器进行直接连接以从一个高性能运动和位置控制系统中正在旋转的机械中获得位置、方向和速度信息。

此器件具有212 位分辨率MibADC，每个 MibADC 总共具有 24 个 通道和受 64 字奇偶校验保护的缓冲器 RAM。 MibADC 通道可被独立转换或者可针对顺序转换序列由软件成组。 16 个输入可在 2 个 MibADC 间共用。有三个独立的组。 每个组可在被触发时被转换一次，或者通过配置以执行连续转换模式。 MibADC1 还支持外部模拟复用器的使用。

此器件有多个通信接口：3 个 MibSPI，2 个 SPI，1 个 LIN1 个SCI，3 个DCAN，1 个 I^2C， 和 1 个以太网。 SPI 为相似移位寄存器类型器件之间的高速通信提供了一种便捷方法。 LIN 支持本地互联标准 2.0 并可被用作一个使用标准不归零码 (NRZ) 格式的全双工模式 UART。 DCAN 支持 CAN 2.0（A 和 B）协议标准并使用一个串行、多主控通信协议，此协议用高达 1Mbps 的稳健耐用通信速率有效支持分布式实时控制。 DCAN 非常适合工作于嘈杂和恶劣环境中的系统（例如：汽车和工业领域），此类应用需要可靠的串行通信或多路复用布线。这个以太网模块支持 MII，RMII 和 MDIO 接口。

I2C 模块是一个多主控通信模块，此模块通过 I^2C 串行总线在微控制器和一个 I^2C 兼容器件之间提供一个接口。 此 I^2C 支持 100Kbps 和 400Kbps 的速度。

一个调频锁相环 (FMPLL) 时钟模块被用来将外部频率基准与一个内部使用的更高频率相乘。 此全局时钟模块 (GCM) 管理可用时钟源与器件时钟域间的映射。

此器件还有一个外部时钟前置分频器 (ECP) 模块，当被启用时，此模块在 ECLK 端子上输出一个连续外部时钟。 ECLK 频率是一个外设接口时钟 (VCLK) 频率的用户可编程比例。 这个可被外部监视的低频输出作为此器件运行频率的指示器。

版权 © 2012–2013, Texas Instruments Incorporated

直接内存访问 (DMA) 控制器有 16 个通道，32 个控制数据包和对其内存的奇偶校验保护。 MPU 被内置在 DMA 中，以保护内存不受错误传输的影响。

错误信令模块 (ESM) 监控所有器件错误并在检测到一个故障时确定是触发一个中断还是触发一个外部错误引脚/球状引脚。 可从外部监视的 nERROR 端子可作为一个微控制器中故障条件的指示器。

外部内存接口 (EMIF) 提供到异步和同步内存或者其它从器件的内存扩展。

一个参数覆盖模块 (POM) 被用来提高应用代码的校准功能。 POM 能够将闪存访问重新路由至内部存储器或 EMIF，从而避免了闪存内参数更新所需的重编程步骤。

借助于集成安全特性以及通信和控制外设的广泛选择，RM46Lx40 是对于安全有严格要求的高性能实时控制应用的理想解决方案。

版权 © 2012–2013, Texas Instruments Incorporated

1.4 功能方框图

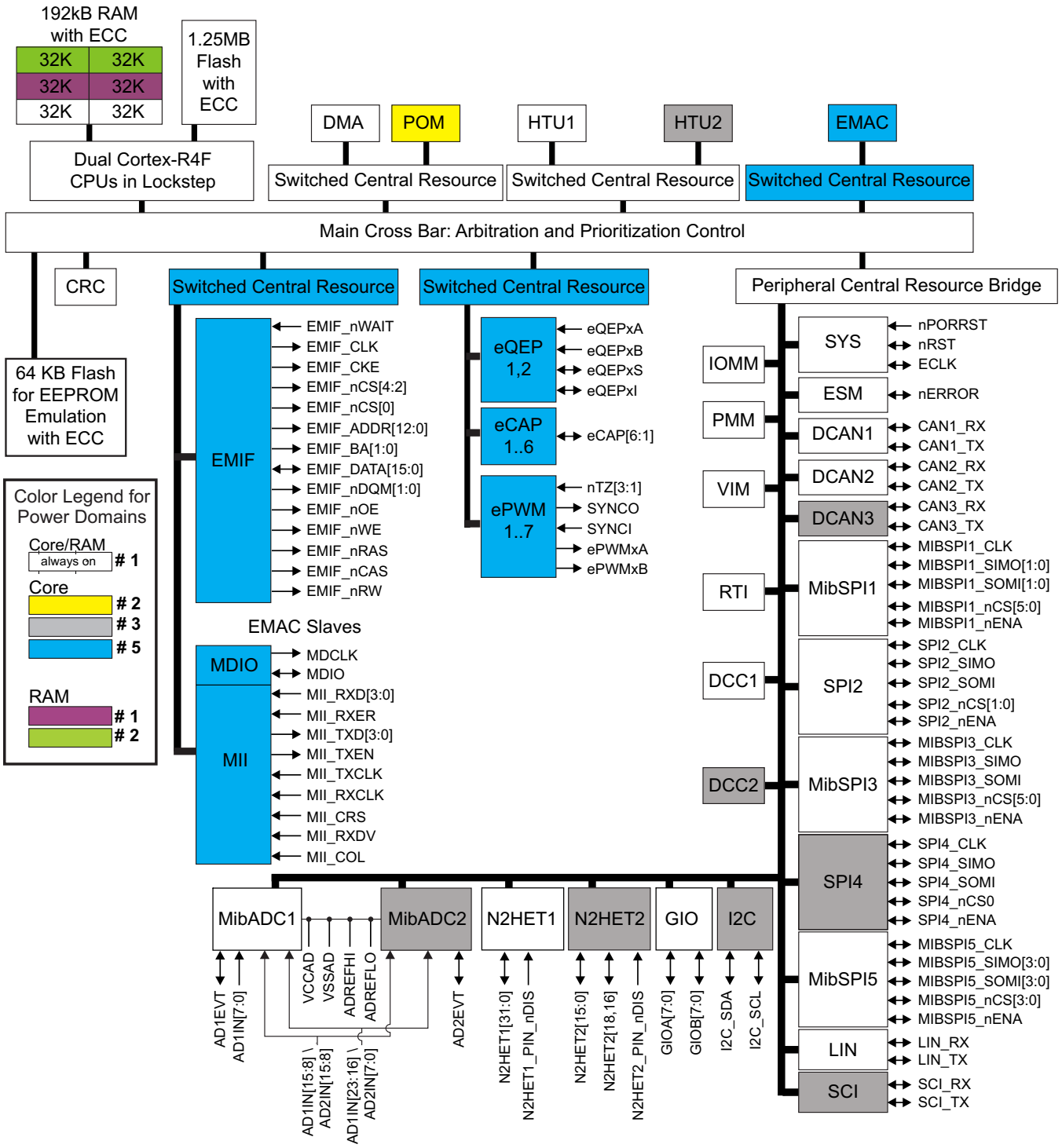


图 **1-1.** 功能方框图

表 **1-1.** 器件比较表

可订购部件 #	器件 #	闪存	RAM	EMAC	USB	封装
RM46L440PGET	RM46L440	1MB	128kB	10/100	-	144 引脚 QFP
RM46L440ZWTT	RM46L440	1MB	128kB	10/100	-	337 球栅阵列
RM46L840PGET	RM46L840	1.25MB	192kB	10/100	-	144 引脚 QFP
RM46L840ZWTT	RM46L840	1.25MB	192kB	10/100	-	337 球栅阵列

版权 © 2012–2013, Texas Instruments Incorporated

内容

1 RM46Lx40 16 和 32 位精简指令集计算机 (RISC) 闪存微控制器 1
1.1 特性 1
1.2 应用范围 2
1.3 说明 3
1.4 功能方框图 5
2 修订历史记录 8
3 器件封装和引脚功能 9
3.1 PGE 四方扁平 (QFP) 封装引脚分配（144 引脚） 9
3.2 ZWT BGA 封装球状引脚图（337 球栅阵列） 10
3.3 引脚功能 11
4 器件运行条件 43
4.1 自然通风运行温度范围内的最大绝对值， 43
4.2 器件建议的运行条件 43
4.3 建议时钟域运行条件下的开关特性 44
4.4 要求等待状态 44
4.5 推荐运行条件内的功耗 45
4.6 推荐运行条件下的输入/输出电气特性 46
4.7 输出缓冲器驱动强度 46
4.8 输入时序 47
4.9 输出时序 48
4.10 低 EMI 输出缓冲器 50
5 系统信息和电气技术规范 51
5.1 器件电源域 51
5.2 电压监视器特性 51
5.3 电源排序和加电复位 53
5.4 热复位 (nRST) 55
5.5 ARM©Cortex-R4F™CPU 信息 56
5.6 时钟 59
5.7 时钟监视 68
5.8 去毛刺脉冲滤波器 70
5.9 器件存储器映射 71
5.10 闪存存储器 77
5.11 紧耦合 RAM 接口模块 80
5.12 用于外设 RAM 访问的奇偶校验保护 80
5.13 片载 SRAM 初始化和测试 82
5.14 外部存储器接口 (EMIF) 84
5.15 矢量中断管理器 92
5.16 DMA 控制器 96
5.17 实时中断模块 98
5.18 错误信令模块 100
5.19 复位/异常中断/错误状态 104
5.20 数字窗口式看门狗 107
5.21 调试子系统 108
6 外设信息和电气技术规范 113
6.1 增强型转换器脉宽调制 (PWM) 模块 (ePWM) 113
6.2 增强型捕捉模块 (eCAP) 117
6.3 增强型正交编码器 (eQEP) 119
6.4 多缓冲 12位模数转换器 121
6.5 通用输入/输出 132
6.6 增强型高端定时器 (N2HET) 133
6.7 控制器局域网络 (DCAN) 137
6.8 本地互连网络接口 (LIN) 138
6.9 串行通信接口 (SCI) 139
6.10 内部集成电路 (I2C) 140
6.11 多缓冲/标准串行外设接口 142
6.12 以太网介质访问控制器 154
7 器件和文档支持 158
7.1 设备和开发支持工具命名规则 158
7.2 社区资源 158
7.3 器件识别 159
8 机械数据 166
8.1 散热数据 166
8.2 封装信息 166

版权 © 2012–2013, Texas Instruments Incorporated

2 修订历史记录

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

这个数据手册修订历史记录强调了对器件专用数据手册的最初修订版本的修改，这些修改使其成为 一份 A 修订版本。

文档修订历史记录

部分	更改内容	从	至
Section 4.1	已增加绝对最大电压 V_{CCIO} 和输入电压	4.1V	4.6V
Section 4.1	最大结温	150C	130C
Section 4.2	已添加最大电源电压转换率		1V/µs
	已添加针对可编程 8mA - 2mA 缓冲器的控制位表		
节 4.4	已修改等待状态要求		
Section 4.5	闪存电流		已删除所有条目，除了在编辑或擦除另外一个组的同时从一个组中读取
Section 4.5	I_{CCIO}	15mA	10mA
Section 4.5	已添加注释，PBIST 和 LBIST 电流通常不用于热计算		
Section 4.6	V_{OH}，I_{OH} = 50µA，标准输出模式	V_{CCIO} - 0.2	V_{CCIO} - 0.3
Section 4.6	输入钳位电流	-2mA	-3.5mA
Section 4.6	输入钳位电流	2mA	3.5mA
表 4-4	已修正 8mA 模式下，8/2mA 缓冲器的上升/下降时间		
表 5-1	Vmon Vcc 低电平最小值	0.8V	0.75V
表 5-1	Vmon Vcc 低电平最小值	1.0V	1.13V
表 5-1	Vmon Vccio 低电平最小值	1.9V	1.85V
表 5-11	已添加 PLL VCO 最小频率		150MHz
表 5-9	已更改 OSCIN 最大方波	12.5ns	50ns
表 5-10	已添加 HFLPO 已经被调整时的限值		
表 5-6	已修改 nRST 时序	$8t_{c(VCLK)}$	$32t_{c(VCLK)}$
表 5-20	已更改针对 nRST，nPORRST 和 TEST 的毛刺脉冲滤波最短时间	500	475ns
表 5-24	已更新扇区/组擦除时间		
节 5.14	已更新 EMIF 时序		
表 5-36	已修改活锁 ESM 事件的标题	闪存 (ATCM) - ECC 活锁检测	TCM - ECC 活锁检测
表 5-40	JTAG #2	24ns	26ns
表 5-40	JTAG #5	10ns	12ns
表 6-21	已将 $t_{d(PU-ADV)}$ 参数添加到 ADC 中		
表 6-20	已更新 ADC 泄露表		
表 6-27	已修改 I^2C 技术规范中的单位	ms	µs
节 6.11.4 节 6.11.5	已更新 SPI 时序		
Table 7-2	已更新芯片 ID 寄存器		
	已增加模块认证部分		

版权 © 2012–2013, Texas Instruments Incorporated

3 器件封装和引脚功能

3.1 PGE 四方扁平 (QFP) 封装引脚分配（144 引脚）

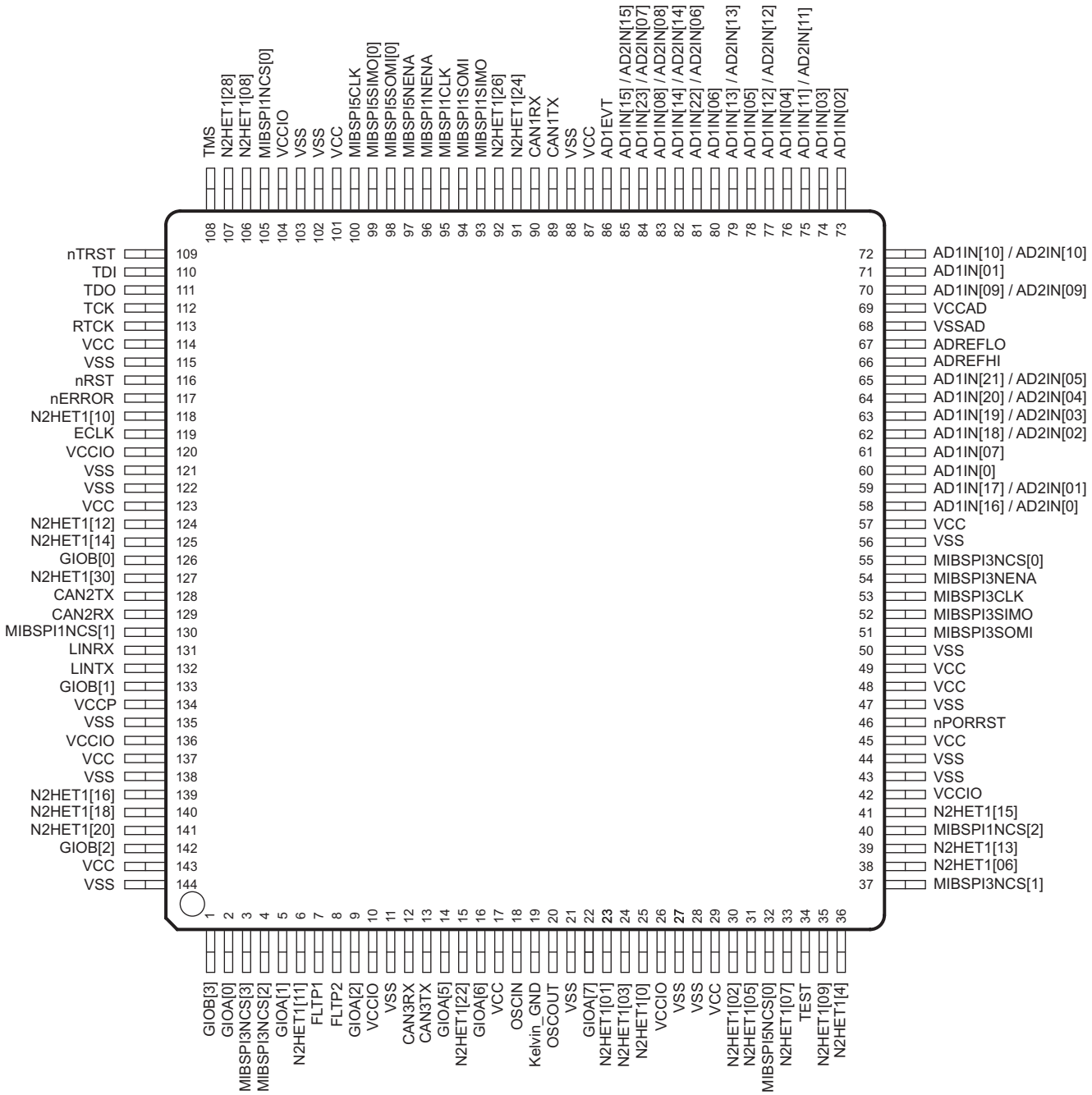


图 3-1. PGE QFP 封装引脚分配（144 引脚）

请注意：引脚可具有复用功能。 上面的图中只显示了缺省功能。

3.2 ZWT BGA 封装球状引脚图（337 球栅阵列）

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	
19	VSS	VSS	TMS	N2HET1 [10]	MIBSPI5 NCS[0]	MIBSPI1 SIMO	MIBSPI1 NENA	MIBSPI5 CLK	MIBSPI5 SIMO[0]	N2HET1 [28]	NC	CAN3RX	AD1EVT	AD1IN[15] / AD2IN[15]	AD1IN[22] / AD2IN[06]	AD1IN [06]	AD1IN[11] / AD2IN[11]	VSSAD	VSSAD	19
18	VSS	TCK	TDO	nTRST	N2HET1 [08]	MIBSPI1 CLK	MIBSPI1 SOMI	MIBSPI5 NENA	MIBSPI5 SOMI[0]	N2HET1 [0]	NC	CAN3TX	NC	AD1IN[08] / AD2IN[08]	AD1IN[14] / AD2IN[14]	AD1IN[13] / AD2IN[13]	AD1IN [04]	AD1IN [02]	VSSAD	18
17	TDI	nRST	NC	EMIF_ nWE	MIBSPI5 SOMI[1]	NC	MIBSPI5 SIMO[3]	MIBSPI5 SIMO[2]	N2HET1 [31]	EMIF_ nCS[3]	EMIF_ nCS[2]	EMIF_ nCS[4]	EMIF_ nCS[0]	NC	AD1IN [05]	AD1IN [03]	AD1IN[10] / AD2IN[10]	AD1IN [01]	AD1IN[09] / AD2IN[09]	17
16	RTCK	NC	NC	EMIF_ BA[1]	MIBSPI5 SIMO[1]	NC	MIBSPI5 SOMI[3]	MIBSPI5 SOMI[2]	NC	NC	NC	NC	NC	NC	AD1IN[23] / AD2IN[07]	AD1IN[12] / AD2IN[12]	AD1IN[19] / AD2IN[03]	ADREFLO	VSSAD	16
15	NC	NC	NC	NC	NC	NC	NC	NC	NC	EMIF_ DATA[0]	EMIF_ DATA[1]	EMIF_ DATA[2]	EMIF_ DATA[3]	NC	NC	AD1IN[21] / AD2IN[05]	AD1IN[20] / AD2IN[04]	ADREFHI	VCCAD	15
14	N2HET1 [26]	nERROR	NC	NC	NC	VCCIO	VCCIO	VCCIO	VCC	VCC	VCCIO	VCCIO	VCCIO	VCCIO	NC	NC	AD1IN[18] / AD2IN[02]	AD1IN [07]	AD1IN [0]	14
13	N2HET1 [17]	N2HET1 [19]	NC	NC	EMIF_BA[0]	VCCIO								VCCIO	NC	NC	AD1IN[17] / AD2IN[01]	AD1IN[16] / AD2IN[0]	NC	13
12	ECLK	N2HET1 [04]	NC	NC	EMIF_nOE	VCCIO		VSS	VSS	VCC	VSS	VSS		VCCIO	NC	MIBSPI5 NCS[3]	NC	NC	NC	12
11	N2HET1 [14]	N2HET1 [30]	NC	NC	EMIF_ nDQM[1]	VCCIO		VSS	VSS	VSS	VSS	VSS		VCCPLL	NC	NC	NC	NC	NC	11
10	CAN1TX	CAN1RX	EMIF_ ADDR[12]	NC	EMIF_ nDQM[0]	VCC		VCC	VSS	VSS	VSS	VCC		VCC	NC	NC	NC	MIBSPI3 NCS[0]	GIOB[3]	10
9	N2HET1 [27]	NC	EMIF_ ADDR[11]	NC	EMIF_ ADDR[5]	VCC		VSS	VSS	VSS	VSS	VSS		VCCIO	EXTCLKIN2	NC	NC	MIBSPI3 CLK	MIBSPI3 NENA	9
8	NC	NC	EMIF_ ADDR[10]	NC	EMIF_ ADDR[4]	VCCP		VSS	VSS	VCC	VSS	VSS		VCCIO	EMIF_ DATA[15]	NC	NC	MIBSPI3 SOMI	MIBSPI3 SIMO	8
7	LINRX	LINTX	EMIF_ ADDR[9]	NC	EMIF_ ADDR[3]	VCCIO								VCCIO	EMIF_ DATA[14]	NC	NC	N2HET1 [09]	nPORRST	7
6	GIOA[4]	MIBSPI5 NCS[1]	EMIF_ ADDR[8]	NC	EMIF_ ADDR[2]	VCCIO	VCCIO	VCCIO	VCCIO	VCC	VCC	VCCIO	VCCIO	VCCIO	EMIF_ DATA[13]	NC	NC	N2HET1 [05]	MIBSPI5 NCS[2]	6
5	GIOA[0]	GIOA[5]	EMIF_ ADDR[7]	EMIF_ ADDR[1]	EMIF_ DATA[4]	EMIF_ DATA[5]	EMIF_ DATA[6]	FLTP2	FLTP1	EMIF_ DATA[7]	EMIF_ DATA[8]	EMIF_ DATA[9]	EMIF_ DATA[10]	EMIF_ DATA[11]	EMIF_ DATA[12]	NC	NC	MIBSPI3 NCS[1]	N2HET1 [02]	5
4	N2HET1 [16]	N2HET1 [12]	EMIF_ ADDR[6]	EMIF_ ADDR[0]	NC	NC	NC	N2HET1 [21]	N2HET1 [23]	NC	NC	NC	NC	NC	EMIF_ nCAS	NC	NC	NC	NC	4
3	N2HET1 [29]	N2HET1 [22]	MIBSPI3 NCS[3]	SPI2 NENA	N2HET1 [11]	MIBSPI1 NCS[1]	MIBSPI1 NCS[2]	GIOA[6]	MIBSPI1 NCS[3]	EMIF_ CLK	EMIF_ CKE	N2HET1 [25]	SPI2 NCS[0]	EMIF_ nWAIT	EMIF_ nRAS	NC	NC	NC	N2HET1 [06]	3
2	VSS	MIBSPI3 NCS[2]	GIOA[1]	SPI2 SOMI	SPI2 CLK	GIOB[2]	GIOB[5]	CAN2TX	GIOB[6]	GIOB[1]	KELVIN_ GND	GIOB[0]	N2HET1 [13]	N2HET1 [20]	MIBSPI1 NCS[0]	NC	TEST	N2HET1 [01]	VSS	2
1	VSS	VSS	GIOA[2]	SPI2 SIMO	GIOA[3]	GIOB[7]	GIOB[4]	CAN2RX	N2HET1 [18]	OSCIN	OSCOUT	GIOA[7]	N2HET1 [15]	N2HET1 [24]	NC	N2HET1 [07]	N2HET1 [03]	VSS	VSS	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	

图 **3-2. ZWT** 封装引脚分配。 顶视图

请注意：球状引脚可具有复用功能。 上面的图中只显示了缺省功能。

版权 © 2012–2013, Texas Instruments Incorporated

3.3 引脚功能

节 3.3.1 和 节 3.3.2 识别外部信号名称、相关的引脚/球状引脚数量以及机械封装标识符、引脚/球状引脚类型（输入，输出，IO，电源或接地）、引脚/球状引脚是否有内部上拉/下拉电阻器、引脚/球状引脚是否可被配置为一个通用输入输出 (GPIO)，以及一个功能引脚/球状引脚说明。 列出的第一个信号名称是那个引脚的主要功能。 用 黑体字 标出的信号名称用于描述功能。 请参考技术参考手册的 I/O 复用模块 (IOMM) 章节

注

当 nPORRST 为低电平以及变为高电平后，除 nRST 之外的所有 I/O 引脚立即都被配置为输入。

在 nPORRST 为低电平时，所有只输出引脚为三态，而在 nPORRST 变为高电平后，被立即配置为输出。

当 nPORRST 为低电平时，输入缓冲器被禁用，并且输出缓冲器为三态。

在下面的引脚功能表中，“缺省拉动状态”是 nPORRST 为低电平以及 nPORRST 变为高电平后立即施加到端子上的拉动。 当软件为一个替代功能配置引脚时，缺省拉动方向也许会发生变化。 “拉动类型”是指通过IOMM 控制寄存器针对指定引脚使能黑体字标明的信号功能时生效的拉动类型。

3.3.1 PGE 封装

3.3.1.1 多缓冲模数转换器 (MibADC)

表 3-1. PGE 多缓冲模数转换器 (MibADC1，MibADC2)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	144 PGE				
ADREFHI(1)	66	电源	-	无	ADC 高基准电源
ADREFLO(1)	67	电源			ADC 低基准电源
VCCAD(1)	69	电源			针对 ADC 的工作电源
VSSAD(1)	68	接地			
AD1EVT/MII_RX_ER/RMII_RX_ER	86	I/O	下拉	可编程，20µA	ADC1 事件触发器输入，或者 GPIO
MIBSPI3NCS[0]/**AD2EVT**/GIOB[2]/ N2HET2_PIN_nDIS	55	I/O	上拉	可编程，20µA	ADC2 事件触发器输入，或者 GPIO
AD1IN[0]	60	输入	-	无	ADC1 模拟输入
AD1IN[01]	71				
AD1IN[02]	73				
AD1IN[03]	74				
AD1IN[04]	76				
AD1IN[05]	78				
AD1IN[06]	80				
AD1IN[07]	61				

(1) ADREFHI，ADREFLO，VCCAD 和 VSSAD 连接对于所有 ADC 内核通用。

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-1. PGE** 多缓冲模数转换器 **(MibADC1，MibADC2) (continued)**

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	**144 PGE**				
AD1IN[08]/AD2IN[08]	83	输入	-	无	ADC1/ADC2 共用模拟输入
AD1IN[09]/AD2IN[09]	70				
AD1IN[10]/AD2IN[10]	72				
AD1IN[11]/AD2IN[11]	75				
AD1IN[12]/AD2IN[12]	77				
AD1IN[13]/AD2IN[13]	79				
AD1IN[14]/AD2IN[14]	82				
AD1IN[15]/AD2IN[15]	85				
AD1IN[16]/AD2IN[0]	58				
AD1IN[17]/AD2IN[01]	59				
AD1IN[18]/AD2IN[02]	62				
AD1IN[19]/AD2IN[03]	63				
AD1IN[20]/AD2IN[04]	64				
AD1IN[21]/AD2IN[05]	65				
AD1IN[22]/AD2IN[06]	81				
AD1IN[23]/AD2IN[07]	84				
MIBSPI3SOMI[0]/**AWM1_EXT_ENA**	51	输出	上拉	-	AWM1 外部模拟复用使能
MIBSPI3SIMO[0]/**AWM1_EXT_SEL[0]**	52	输出	上拉	-	AWM1 外部模拟复用选择 line0
MIBSPI3CLK/**AWM1_EXT_SEL[1]**	53	输出	上拉	-	AWM1 外部模拟复用选择 line0

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.2 增强型高端定时器模块 (N2HET)

表 **3-2. PGE** 增强型高端定时器模块 **(N2HET)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
N2HET1[0]	25	I/O	下拉	可编程，20μA	N2HET1 时间输入捕捉或输出比较，或 GIO。 每个端子有一个抑制滤波器，此滤波器忽略小于一个可编程持续时间的输入脉冲。
N2HET1[01]/SPI4NENA/N2HET2[8]	23				
N2HET1[02]/SPI4SIMO[0]	30				
N2HET1[03]/SPI4NCS[0]/N2HET2[10]	24				
N2HET1[04]	36				
N2HET1[05]/SPI4SOMI[0]/N2HET2[12]	31				
N2HET1[06]/SCIRX	38				
N2HET1[07]/N2HET2[14]	33				
N2HET1[08]/MIBSPI1SIMO[1]/MII_TXD[3]/	106				
N2HET1[09]/N2HET2[16]	35				
N2HET1[10]/MII_TX_CLK/MII_TX_VCLKSA4/nTZ3	118				
N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]	6				
N2HET1[12]/MII_CRS/RMII_CRS_DV	124				
N2HET1[13]/SCITX	39				
N2HET1[14]	125				
N2HET1[15]/MIBSPI1NCS[4]	41				
N2HET1[16]	139				
MIBSPI1NCS[1]/**N2HET1[17]**/MII_COL	130		上拉		
N2HET1[18]	140		下拉		
MIBSPI1NCS[2]/**N2HET1[19]**/MDIO	40		上拉		
N2HET1[20]	141		下拉		
N2HET1[22]	15				
MIBSPI1NENA/**N2HET1[23]**/MII_RXD[2]	96		上拉		
N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]/RMII_RXD[0]	91		下拉		
MIBSPI3NCS[1]/**N2HET1[25]**/MDCLK	37		上拉		
N2HET1[26]/MII_RXD[1]/RMII_RXD[1]	92		下拉		
MIBSPI3NCS[2]/I2C_SDA/**N2HET1[27]**	4		上拉		
N2HET1[28]/MII_RXCLK/RMII_REFCLK/MII_RX_VCLKA4	107		下拉		
MIBSPI3NCS[3]/I2C_SCL/**N2HET1[29]**/nTZ1	3		上拉		
N2HET1[30]/MII_RX_DV	127		下拉		
MIBSPI3NENA/MIBSPI3NCS[5]/**N2HET1[31]**	54		上拉		
GIOA[5]/EXTCLKIN/**N2HET1_PIN_nDIS**	14	I/O	下拉	可编程，20μA	禁用选择的 PWM 输出
GIOA[2]/**N2HET2[0]**	9	I/O	下拉	可编程，20μA	N2HET2 时间输入捕捉或输出比较，或者 GPIO 每个端子有一个抑制滤波器，此滤波器忽略小于一个可编程持续时间的输入脉冲。
GIOA[6]/**N2HET2[4]**	16				
GIOA[7]/**N2HET2[6]**	22				
N2HET1[01]/SPI4NENA//**N2HET2[8]**	23				
N2HET1[03]/SPI4NCS[0]/**N2HET2[10]**	24				
N2HET1[05]/SPI4SOMI[0]/**N2HET2[12]**	31				
N2HET1[07]/**N2HET2[14]**	33				
N2HET1[09]/**N2HET2[16]**	35				
N2HET1[11]/MIBSPI3NCS[4]/**N2HET2[18]**	6				
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/**N2HET2_PIN_nDIS**	55	I/O	上拉	可编程，20μA	禁用选择的 PWM 输出

3.3.1.3 增强型捕捉模块 (eCAP)

表 3-3. PGE 增强型捕捉模块 (eCAP)(1)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
N2HET1[15]/MIBSPI1NCS[4]/**ECAP1**	41	I/O	下拉	固定，20µA	增强型捕捉模块 1 I/O
MIBSPI3SOMI[0]/AWM1_EXT_ENA/**ECAP2**	51		上拉		增强型捕捉模块 2 I/O
MIBSPI3SIMO[0]/AWM1_EXT_SEL[0]/**ECAP3**	52				增强型捕捉模块 3 I/O
MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/**ECAP4**	96				增强型捕捉模块 4 I/O
MIBSPI5NENA/MII_RXD[3]/MIBSPI5SOMI[0][1]/**ECAP5**	97				增强型捕捉模块 5 I/O
MIBSPI1NCS[0]/MIBSPI1SOMI[0][1]/MII_TXD[2]/**ECAP6**	105				增强型捕捉模块 6 I/O

(1) 当被用作输入时，这些信号是双同步的并且随后可以有选择性地由一个 6 周期基于 VCLK 4 的计数器来过滤。

3.3.1.4 增强型正交编码器脉冲模块 (eQEP)

表 3-4. PGE 增强型正交编码器脉冲模块 (eQEP)(1)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
MIBSPI3CLK/AWM1_EXT_SEL[1]/**EQEP1A**	53	输入	上拉	固定，20µA	增强型 QEP1 输入 A
MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]/**EQEP1B**	54	输入			增强型 QEP1 输入 B
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/**EQEP1I**/N2HET2_PIN_nDIS	55	I/O			增强型 QEP1 索引
MIBSPI1NCS[1]/N2HET1[17]/MII_COL/**EQEP1S**	130	I/O			增强型 QEP1 闸门
N2HET1[01]/SPI4NENA/N2HET2[8]/**EQEP2A**	23	输入	下拉		增强型 QEP2 输入 A
N2HET1[03]/SPI4NCS[0]/N2HET2[10]/**EQEP2B**	24	输入			增强型 QEP2 输入 B
GIOA[2]/N2HET2[0]/**EQEP2I**	9	I/O			增强型 QEP2 索引
N2HET1[30]/MII_RX_DV/**EQEP2S**	127	I/O			增强型 QEP2 闸门

(1) 这些信号是双同步的并且随后可以有选择性地由一个 6 周期基于 VCLK 4 的计数器来过滤。

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.5 增强型脉宽调制器模块 (ePWM)

表 **3-5. PGE** 增强型脉宽调制器模块 **(ePWM)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
GIOA[5]/EXTCLKIN/**EPWM1A**/N2HET1_PIN_nDIS	14	输出	下拉	-	增强型 PWM1 输出 A
GIOA[6]/N2HET2[4]/**EPWM1B**	16				增强型 PWM1 输出 B
N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/**EPWM1SYNCO**	6				外部 ePWM 同步脉冲输出
N2HET1[16]/**EPWM1SYNCI**/EPWM1SYNCO	139				外部 ePWM 同步脉冲输出
GIOA[7]/N2HET2[6]/**EPWM2A**	22				增强型 PWM2 输出 A
N2HET1[0]/SPI4CLK/**EPWM2B**	25				增强型 PWM2 输出 B
N2HET1[02]/SPI4SIMO[0]/**EPWM3A**	30				增强型 PWM3 输出 A
N2HET1[05]/SPI4SOMI[0]/N2HET2[12]/**EPWM3B**	31				增强型 PWM3 输出 B
MIBSPI5NCS[0]/**EPWM4A**	32		上拉		增强型 PWM4 输出 A
N2HET1[04]/**EPWM4B**	36		下拉		增强型 PWM4 输出 B
N2HET1[06]/SCIRX/**EPWM5A**	38				增强型 PWM5 输出 A
N2HET1[13]/SCITX/**EPWM5B**	39				增强型 PWM5 输出 B
N2HET1[18]/**EPWM6A**	140				增强型 PWM6 输出 A
N2HET1[20]/**EPWM6B**	141				增强型 PWM6 输出 B
N2HET1[09]/N2HET2[16]/**EPWM7A**	35				增强型 PWM7 输出 A
N2HET1[07]/N2HET2[14]/**EPWM7B**	33				增强型 PWM7 输出 B
MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]/**nTZ1**	3	输入	上拉	固定，20µA	触发区输入 1，2，和 3这些信号或者被异步连接至 ePWMx 触发区输入，或者与 VCLK4 双同步，或者双同步，然后在连接到 ePWMx 触发区输入前被一个 6 周期基于 VCLK-4 的过滤。
MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]/**nTZ2**	4				
N2HET1[10]/MII_TX_CLK/MII_TX_VCLKA4/**nTZ3**	118		下拉		

3.3.1.6 通用输入/输出 (GPIO)

表 **3-6. PGE** 通用输入/输出 **(GPIO)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
GIOA[0]	2	I/O	下拉	可编程，20µA	通用 I/O。 所有 GPIO 端子能够在上升/下降/双边沿上生成到 CPU 的中断。
GIOA[1]	5				
GIOA[2]/N2HET2[0]	9				
GIOA[5]/EXTCLKIN/N2HET1_PIN_nDIS	14				
GIOA[6]/N2HET2[4]	16				
GIOA[7]/N2HET2[6]	22				
GIOB[0]	126				
GIOB[1]	133				
GIOB[2]	142				
MIBSPI3NCS[0]/AD2EVT/**GIOB[2]**/N2HET2_PIN_nDIS	55 (1)		上拉		
GIOB[3]	1		下拉		

(1) GIOB[2] 不能输出一个到引脚 55 的接通电平。 只支持输入功能，这样应用能够在 N2HET2_PIN_nDIS 被置为有效时（被驱动为低电平）生成一个中断。 此外，一个上拉电阻器上输入上被启用。 它不能使用 GPIO 模块控制寄存器进行编程。

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.7 控制器局域网控制器 (DCAN)

表 3-7. PGE 控制器局域网控制器 (DCAN)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
CAN1RX	90	I/O	上拉	可编程，20μA	CAN1 接收，或 GPIO
CAN1TX	89				CAN1 发送，或 GPIO
CAN2RX	129				CAN2 接收，或 GPIO
CAN2TX	128				CAN2 发送，或 GPIO
CAN3RX	12				CAN3 接收，或 GPIO
CAN3TX	13				CAN3 发送，或 GPIO

3.3.1.8 本地互连网络接口模块 (LIN)

表 3-8. PGE 本地互连网络接口模块 (LIN)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
LINRX	131	I/O	上拉	可编程，20μA	LIN 接收，或 GPIO
LINTX	132				LIN 发送，或 GPIO

3.3.1.9 标准串行通信接口 (SCI)

表 3-9. PGE 标准串行通信接口 (SCI)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
N2HET1[06]/**SCIRX**	38	I/O	下拉	可编程，20μA	SCI 接收，或 GPIO
N2HET1[13]/**SCITX**	39				SCI 接收，或 GPIO

3.3.1.10 内部集成电路接口模块 (I2C)

表 3-10. PGE 内部集成电路接口模块 (I2C)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
MIBSPI3NCS[2]/**I2C_SDA**/N2HET1[27]/nTZ2	4	I/O	上拉	可编程，20μA	I2C 串行数据，或者 GPIO
MIBSPI3NCS[3]/**I2C_SCL**/N2HET1[29]/nTZ1	3				I2C 串行时钟，或 GPIO

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.11 标准串行外设接口 (SPI)

表 3-11. PGE 标准串行外设接口 (SPI)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
N2HET1[0]/**SPI4CLK**	25	I/O	下拉	可编程，20μA	SPI4 时钟，或 GPIO
N2HET1[03]/**SPI4NCS[0]**/N2HET2[10]	24				SPI4 芯片选择，或 GPIO
N2HET1[01]/**SPI4NENA**/N2HET2[8]	23				SPI4 使能，或 GPIO
N2HET1[02]/**SPI4SIMO[0]**	30				SPI4 从器件输入主器件输出，或 GPIO
N2HET1[05]/**SPI4SOMI[0]**/N2HET2[12]	31				SPI4 从器件输出主器件输入，或 GPIO

3.3.1.12 多缓冲串行外设接口模块 (MibSPI)

表 3-12. PGE 多缓冲串行外设接口模块 (MibSPI)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	144 PGE				
MIBSPI1CLK	95	I/O	上拉	可编程，20μA	MibSPI1 时钟，或 GPIO
MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]	105				MibSPI1 芯片选择，或 GPIO
MIBSPI1NCS[1]/N2HET1[17]/MII_COL	130				
MIBSPI1NCS[2]/N2HET1[19]/MDIO	40				
N2HET1[15]/**MIBSPI1NCS[4]**	41		下拉	可编程，20μA	MibSPI1 芯片选择，或 GPIO
N2HET1[24]/**MIBSPI1NCS[5]**/MII_RXD[0]/RMII_RXD[0]	91				
MIBSPI1NENA/N2HET1[23]/MII_RXD[2]	96		上拉	可编程，20μA	MibSPI1 使能，或 GPIO
MIBSPI1SIMO[0]	93				MibSPI1 从器件输入主器件输出，或 GPIO
N2HET1[08]/**MIBSPI1SIMO[1]**/MII_TXD[3]	106		下拉	可编程，20μA	MibSPI1 从器件输入主器件输出，或 GPIO
MIBSPI1SOMI[0]	94		上拉	可编程，20μA	MibSPI1 从器件输出主器件输入，或 GPIO
MIBSPI1NCS[0]/**MIBSPI1SOMI[1]**/MII_TXD[2]	105				
MIBSPI3CLK/AWM1_EXT_SEL[1]	53	I/O	上拉	可编程，20μA	MibSPI3 时钟，或 GPIO
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/N2HET2_PIN_nDIS	55				MibSPI3 芯片选择，或 GPIO
MIBSPI3NCS[1]/N2HET1[25]/MDCLK	37				
MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]/nTZ2	4				
MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]/nTZ1	3				
N2HET1[11]/**MIBSPI3NCS[4]**/N2HET2[18]	6		下拉	可编程，20μA	MibSPI3 芯片选择，或 GPIO
MIBSPI3NENA /**MIBSPI3NCS[5]**/N2HET1[31]	54		上拉	可编程，20μA	MibSPI3 芯片选择，或 GPIO
MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]	54				MibSPI3 使能，或 GPIO
MIBSPI3SIMO[0]/AWM1_EXT_SEL[0]	52				MibSPI3 从器件输入主器件输出，或 GPIO
MIBSPI3SOMI[0]/AWM1_EXT_ENA	51				MibSPI3 从器件输出主器件输入，或 GPIO

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-12. PGE** 多缓冲串行外设接口模块 **(MibSPI) (continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
MIBSPI5CLK/MII_TXEN/RMII_TXEN	100	I/O	上拉	可编程，20μA	MibSPI5 时钟，或 GPIO
MIBSPI5NCS[0]	32				MibSPI5 芯片选择，或 GPIO
MIBSPI5NENA/MII_RXD[3]/MIBSPI5SOMI[1]	97				MibSPI5 使能，或 GPIO
MIBSPI5SIMO[0]/MII_TXD[1]/RMII_TXD[1]/MIBSPI5SOMI[2]	99				MibSPI5 从器件输入主器件输出，或 GPIO
MIBSPI5SOMI[0]/MII_TXD[0]/RMII_TXD[0]	98				MibSPI5 从器件输出主器件输入，或 GPIO
MIBSPI5NENA/MII_RXD[3]/**MIBSPI5SOMI[1]**	97				MibSPI5 从器件输出主器件输入，或 GPIO
MIBSPI5SIMO[0]/MII_TXD[1]/RMII_TXD[1]/**MIBSPI5SOMI[2]**	99				MibSPI5 从器件输出主器件输入，或 GPIO

3.3.1.13 以太网控制器

表 **3-13. PGE** 以太网控制器：**MDIO**接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
MIBSPI3NCS[1]/N2HET1[25]/**MDCLK**	37	输出	上拉	-	串行时钟输出
MIBSPI1NCS[2]/N2HET1[19]/**MDIO**	40	I/O	上拉	固定，20μA	串行数据输入/输出

表 **3-14. PGE** 以太网控制器：简化媒体独立接口**(RMII)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
N2HET1[12]/MII_CRS/**RMII_CRS_DV**	124	输入	下拉	固定，20μA	RMII 载波感测和数据有效
N2HET1[28]/MII_RXCLK/**RMII_REFCLK**/MII_RX_VCLKA4	107				针对接收、发送和控制接口的 RMII 同步基准时钟
AD1EVT/MII_RX_ER/**RMII_RX_ER**	86				RMII 接收错误
N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]/**RMII_RXD[0]**	91				RMII 接收数据
N2HET1[26]/MII_RXD[1]/**RMII_RXD[1]**	92				
MIBSPI5SOMI[0]/MII_TXD[0]/**RMII_TXD[0]**	98	输出	上拉	-	RMII 发送数据
MIBSPI5SIMO[0]/MII_TXD[1]/**RMII_TXD[1]**/MIBSPI5SOMI[2]	99				
MIBSPI5CLK/MII_TXEN/**RMII_TXEN**	100				RMII 发送使能

表 **3-15. PGE** 以太网控制器：媒体独立接口 **(MII)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
MIBSPI1NCS[1]/N2HET1[17]/**MII_COL**	130	输入	上拉	-	碰撞检测
N2HET1[12]/**MII_CRS**/RMII_CRS_DV	124		下拉	固定，20μA	载波感测和接收有效
N2HET1[28]/MII_RXCLK/RMII_REFCLK/**MII_RX_VCLKA4**	107	I/O	下拉	-	MII 输出接收时钟

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-15. PGE** 以太网控制器：媒体独立接口 **(MII) (continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
N2HET1[30]/**MII_RX_DV**	127	输入	下拉	固定，20µA	接收到的数据有效
AD1EVT/**MII_RX_ER**/RMII_RX_ER	86				接收错误
N2HET1[28]/**MII_RX_CLK**/RMII_REFCLK/MII_RX_VCLKA4	107	I/O			接收错误
N2HET1[24]/MIBSPI1NCS[5]/**MII_RXD[0]**/RMII_RXD[0]	91	输入			接收数据
N2HET1[26]/**MII_RXD[1]**/RMII_RXD[1]	92				
MIBSPI1NENA/N2HET1[23]/**MII_RXD[2]**	96		上拉	固定，20µA	
MIBSPI5NENA/**MII_RXD[3]**	97				
N2HET1[10]/MII_TX_CLK/**MII_TX_VCLKA4**/nTZ3	118	I/O	下拉	-	MII 输出发送时钟
N2HET1[10]/**MII_TX_CLK**/MII_TX_VCLKA4/nTZ3	118				发送时钟
MIBSPI5SOMI[0]/**MII_TXD[0]**/RMII_TXD[0]	98	输出	上拉	-	发送数据
MIBSPI5SIMO[0]/**MII_TXD[1]**	99				
MIBSPI1NCS[0]/MIBSPI1SOMI[1]/**MII_TXD[2]**	105				
N2HET1[08]/MIBSPI1SIMO[1]/**MII_TXD[3]**	106		下拉	-	
MIBSPI5CLK/**MII_TXEN**/RMII_TXEN	100		上拉	-	发送使能

3.3.1.14 系统模块接口

表 **3-16. PGE** 系统模块接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
nPORRST	46	输入	下拉	100µA	加电复位，冷复位 外部电源监视器电路必须当任何微控制器电源下降到额定范围之外时将 nPORRST 驱动为低电平。 这个端子有一个毛刺脉冲滤波器。 请见节 5.8。
nRST	116	I/O	上拉	100µA	系统复位，热复位，双向。 内部电路通过将 nRST 驱动为低电平来表示任一复位条件。 外部电路必须通过将 nRST 驱动为低电平来将一个系统复位置为有效。 为了确保外部复位不会随意产生，一个外部复位不是通过仲裁生成的，TI 建议将一个外部上拉电阻器连接到这个端子。 这个端子有一个毛刺脉冲滤波器。 请参考节 5.8。
nERROR	117	I/O	下拉	20µA	ESM 错误信号 表示十分严重的错误。 请参考节 5.18。

3.3.1.15 时钟输入和输出

表 **3-17. PGE** 时钟输入和输出

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
OSCIN	18	输入	-	无	从外部晶振/谐振器，或者外部时钟输入
KELVIN_GND	19	输入			针对振荡器的开尔文接地。
OSCOUT	20	输出			到外部晶振/谐振器
ECLK	119	I/O	下拉	可编程，20µA	外部预分频时钟输出，或 GPIO。
GIOA[5]/**EXTCLKIN** /N2HET1_PIN_nDIS	14	输入	下拉	20µA	外部时钟输入 #1

3.3.1.16 测试和调试模块接口

表 **3-18. PGE** 测试和调试模块接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
TEST	34	输入	下拉	固定，100µA	测试使能
nTRST	109	输入			JTAG 测试硬件复位
RTCK	113	输出	-	无	JTAG 返回测试时钟
TCK	112	输入	下拉	固定，100µA	JTAG 测试时钟
TDI	110	输入	上拉		JTAG 测试数据输入
TDO	111	输出	下拉		JTAG 测试数据输出
TMS	108	输入	上拉		JTAG 测试选择

3.3.1.17 闪存电源和测试垫

表 **3-19. PGE** 闪存电源和测试垫

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
VCCP	134	3.3V 电源	-	无	闪存泵电源
FLTP1	7	-	-	无	闪存测试垫。 这些端子被保留只由 TI 使用。 为了使这些端子正常运行，必须只连接到测试垫或者根本就不连接 [无连接 (NC)]。
FLTP2	8				

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.18 针对内核逻辑的电源： 标称值 1.2V

表 **3-20.** 针对内核逻辑的 **PGE** 电源： 标称值 **1.2V**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
VCC	17	1.2V 电源	-	无	内核电源
VCC	29				
VCC	45				
VCC	48				
VCC	49				
VCC	57				
VCC	87				
VCC	101				
VCC	114				
VCC	123				
VCC	137				
VCC	143				

3.3.1.19 针对 I/O 单元的电源：标称值 3.3V

表 **3-21.** 针对 **I/O** 单元的 **PGE** 电源：标称值 **3.3V**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
VCCIO	10	3.3V 电源	-	无	针对 I/O 的运行电源
VCCIO	26				
VCCIO	42				
VCCIO	104				
VCCIO	120				
VCCIO	136				

版权 © 2012–2013, Texas Instruments Incorporated

3.3.1.20 针对除 VCCAD 之外所有电源的接地基准

表 **3-22.** 针对除 **VCCAD** 之外所有电源的 **PGE** 接地基准

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**144 PGE**				
VSS	11	接地	-	无	接地基准
VSS	21				
VSS	27				
VSS	28				
VSS	43				
VSS	44				
VSS	47				
VSS	50				
VSS	56				
VSS	88				
VSS	102				
VSS	103				
VSS	115				
VSS	121				
VSS	122				
VSS	135				
VSS	138				
VSS	144				

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2 ZWT 封装

3.3.2.1 多缓冲模数转换器 (MibADC)

表 **3-23. ZWT** 多缓冲模数转换器 **(MibADC1，MibADC2)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
ADREFHI(1)	V15	电源	-	无	ADC 高基准电源
ADREFLO(1)	V16	电源			ADC 低基准电源
VCCAD(1)	W15	电源			针对 ADC 的工作电源
VSSAD	V19	接地	-	无	ADC 电源
	W16				
	W18				
	W19				
AD1EVT/MII_RX_ER/RMII_RX_ER	N19	I/O	下拉	可编程，20μA	ADC1 事件触发器输入，或者 GPIO
MIBSPI3NCS[0]/**AD2EVT**/GIOB[2]/N2HET2_PIN_nDIS	V10	I/O	上拉	可编程，20μA	ADC2 事件触发器输入，或者 GPIO
AD1IN[0]	W14	输入	-	无	ADC1 模拟输入
AD1IN[01]	V17				
AD1IN[02]	V18				
AD1IN[03]	T17				
AD1IN[04]	U18				
AD1IN[05]	R17				
AD1IN[06]	T19				
AD1IN[07]	V14				
AD1IN[08]/AD2IN[08]	P18	输入	-	无	ADC1/ADC2 共用模拟输入
AD1IN[09]/AD2IN[09]	W17				
AD1IN[10]/AD2IN[10]	U17				
AD1IN[11]/AD2IN[11]	U19				
AD1IN[12]/AD2IN[12]	T16				
AD1IN[13]/AD2IN[13]	T18				
AD1IN[14]/AD2IN[14]	R18				
AD1IN[15]/AD2IN[15]	P19				
AD1IN[16]/AD2IN[0]	V13				
AD1IN[17]/AD2IN[01]	U13				
AD1IN[18]/AD2IN[02]	U14				
AD1IN[19]/AD2IN[03]	U16				
AD1IN[20]/AD2IN[04]	U15				
AD1IN[21]/AD2IN[05]	T15				
AD1IN[22]/AD2IN[06]	R19				
AD1IN[23]/AD2IN[07]	R16				
MIBSPI3SOMI[0]/**AWM1_EXT_ENA**	V8	输出	上拉	-	AWM1 外部模拟复用使能
MIBSPI3SIMO[0]/**AWM1_EXT_SEL[0]**	W8				AWM1 外部模拟复用选择 line0
MIBSPI3CLK/**AWM1_EXT_SEL[1]**	V9				AWM1 外部模拟复用选择 line0

(1) ADREFHI，ADREFLO，VCCAD 和 VSSAD 连接对于所有 ADC 内核通用。

3.3.2.2 增强型高端定时器模块 (N2HET)

表 **3-24. ZWT** 增强型高端定时器模块 **(N2HET)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
N2HET1[0]/SPI4CLK/	K18	I/O	下拉	20μA	N2HET1 时间输入捕捉或输出比较，或 GIO。 每个端子有一个抑制滤波器，此滤波器忽略小于一个可编程持续时间的输入脉冲。
N2HET1[01]/SPI4NENA/N2HET2[8]	V2				
N2HET1[02]/SPI4SIMO[0]	W5				
N2HET1[03]/SPI4NCS[0]/N2HET2[10]	U1				
N2HET1[04]	B12				
N2HET1[05]/SPI4SOMI[0]/N2HET2[12]	V6				
N2HET1[06]/SCIRX	W3				
N2HET1[07]/N2HET2[14]	T1				
N2HET1[08]/MIBSPI1SIMO[1]/MII_TXD[3]	E18				
N2HET1[09]/N2HET2[16]	V7				
N2HET1[10]/MII_TX_CLK/MII_TX_VCLKA4/nTZ3	D19				
N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]	E3				
N2HET1[12]/MII_CRS/RMII_CRS_DV	B4				
N2HET1[13]	N2				
N2HET1[14]	A11				
N2HET1[15]/MIBSPI1NCS[4]	N1				
N2HET1[16]	A4				
N2HET1[17]	A13				
N2HET1[18]	J1				
N2HET1[19]	B13				
N2HET1[20]	P2				
N2HET1[21]	H4				
N2HET1[22]	B3				
N2HET1[23]	J4				
N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]/RMII_RXD[0]	P1				
N2HET1[25]	M3				
N2HET1[26]/MII_RXD[1]/RMII_RXD[1]	A14				
N2HET1[27]	A9				
N2HET1[28]/MII_RX_CLK/RMII_REFCLK/MII_RX_VCLKA4	K19				
N2HET1[29]	A3				
N2HET1[30]/MII_RX_DV	B11				
N2HET1[31]	J17				
GIOA[5]/EXTCLKIN/**N2HET1_PIN_nDIS**	B5	输入	下拉	固定，20μA	禁用选择的 PWM 输出

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-24. ZWT** 增强型高端定时器模块 **(N2HET) (continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
GIOA[2]/**N2HET2[0]** C1	I/O 下拉	可编程，20μA			N2HET2 时间输入捕捉或输出比较，或者 GIO。每个端子有一个抑制滤波器，此滤波器忽略小于一个可编程持续时间的输入脉冲。
EMIF_ADDR[0]/**N2HET2[1]** D4					
GIOA[3]/**N2HET2[2]** E1					
EMIF_ADDR[1]/**N2HET2[3]** D5					
GIOA[6]/**N2HET2[4]** H3					
EMIF_BA[1]/**N2HET2[5]** D16					
GIOA[7]/**N2HET2[6]** M1					
EMIF_nCS[0]/**N2HET2[7]** N17					
N2HET1[01]/SPI4NENA/**N2HET2[8]** V2					
EMIF_nCS[3]/**N2HET2[9]** K17					
N2HET1[03]/SPI4NCS[0]/**N2HET2[10]** U1					
EMIF_ADDR[6]/**N2HET2[11]** C4					
N2HET1[05]/SPI4SOMI[0]/**N2HET2[12]** V6					
EMIF_ADDR[7]/**N2HET2[13]** C5					
N2HET1[07]/**N2HET2[14]** T1					
EMIF_ADDR[8]/**N2HET2[15]** C6					
N2HET1[09]/**N2HET2[16]** V7					
N2HET1[11]/MIBSPI3NCS[4]/**N2HET2[18]** E3					
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/**N2HET2_PIN_nDIS**	V10	I/O	上拉	可编程，20μA	禁用选择的 PWM 输出

3.3.2.3 增强型捕捉模块 (eCAP)

表 **3-25. ZWT** 增强型捕捉模块 **(eCAP)**(1)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
N2HET1[15]/MIBSPI1NCS[4]/**ECAP1**	N1	I/O	下拉	固定，20μA	增强型捕捉模块 1 I/O
MIBSPI3SOMI[0]/AWM1_EXT_ENA/**ECAP2**	V8	std缓冲器	上拉		增强型捕捉模块 2 I/O
MIBSPI3SIMO[0]/AWM1_EXT_SEL[0]/**ECAP3**	W8	std 缓冲器			增强型捕捉模块 3 I/O
MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/**ECAP4**	G19	std 缓冲器			增强型捕捉模块 4 I/O
MIBSPI5NENA/MII_RXD[3]/MIBSPI5SOMI[1]/**ECAP5**	H18	std缓冲器			增强型捕捉模块 5 I/O
MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/**ECAP6**	R2	std 缓冲器			增强型捕捉模块 6 I/O

(1) 当被用作输入时，这些信号是双同步的并且随后可以有选择性地由一个 6 周期基于 VCLK 4 的计数器来过滤。

3.3.2.4 增强型正交编码器脉冲模块 (eQEP)

表 **3-26. ZWT** 增强型正交编码器脉冲模块 **(eQEP)**(1)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
MIBSPI3CLK/AWM1_EXT_SEL[1]/**EQEP1A**	V9	输入	上拉	固定，20μA	增强型 QEP1 输入 A
MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]/**EQEP1B**	W9	输入			增强型 QEP1 输入 B
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/**EQEP1I**/N2HET2_PIN_nDIS	V10	I/O			增强型 QEP1 索引
MIBSPI1NCS[1]/N2HET1[17]/MII_COL/**EQEP1S**	F3	I/O			增强型 QEP1 闸门
N2HET1[01]/SPI4NENA/N2HET2[8]/**EQEP2A**	V2	输入	下拉		增强型 QEP2 输入 A
N2HET1[03]/SPI4NCS[0]/N2HET2[10]/**EQEP2B**	U1	输入	下拉		增强型 QEP2 输入 B
GIOA[2]/N2HET2[0]/**EQEP2I**	C1	I/O	下拉		增强型 QEP2 索引
N2HET1[30]/MII_RX_DV/**EQEP2S**	B11	I/O	下拉		增强型 QEP2 闸门

(1) 这些信号是双同步的并且随后可以有选择性地由一个 6 周期基于 VCLK 4 的计数器来过滤。

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.5 增强型脉宽调制器模块 (ePWM)

表 **3-27. ZWT** 增强型脉宽调制器模块 **(ePWM)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
GIOA[5]/EXTCLKIN/**EPWM1A**/N2HET1_PIN_nDIS	B5	输出	下拉	-	增强型 PWM1 输出 A
GIOA[6]/N2HET2[4]/**EPWM1B**	H3				增强型 PWM1 输出 B
N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/**EPWM1SYNCO**	E3				外部 ePWM 同步脉冲输出
N2HET1[16]/**EPWM1SYNCI**/EPWM1SYNCO	A4	输入			外部 ePWM 同步脉冲输出
GIOA[7]/N2HET2[6]/**EPWM2A**	M1	输出			增强型 PWM2 输出 A
N2HET1[0]/SPI4CLK/**EPWM2B**	K18				增强型 PWM2 输出 B
N2HET1[02]/SPI4SIMO[0]/**EPWM3A**	W5				增强型 PWM3 输出 A
N2HET1[05]/SPI4SOMI[0]/N2HET2[12]/**EPWM3B**	V6				增强型 PWM3 输出 B
MIBSPI5NCS[0]/**EPWM4A**	E19		上拉		增强型 PWM4 输出 A
N2HET1[04]/**EPWM4B**	B12		下拉		增强型 PWM4 输出 B
N2HET1[06]/SCIRX/**EPWM5A**	W3				增强型 PWM5 输出 A
N2HET1[13]/SCITX/**EPWM5B**	N2				增强型 PWM5 输出 B
N2HET1[18]/**EPWM6A**	J1				增强型 PWM6 输出 A
N2HET1[20]/**EPWM6B**	P2				增强型 PWM6 输出 B
N2HET1[09]/N2HET2[16]/**EPWM7A**	V7				增强型 PWM7 输出 A
N2HET1[07]/N2HET2[14]/**EPWM7B**	T1				增强型 PWM7 输出 B
MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]/**nTZ1**	C3	输入	上拉	固定，20μA	触发区输入 1，2 和 3，这些信号或者被异步连接至 ePWMx 触发区输入，或者与 VCLK 4 双同步，或者双同步，然后在连接到 ePWMx 触发区输入前被一个 6 周期基于 VCLK-4 的计数器过滤。
MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]/**nTZ2**	B2				
N2HET1[10]/MII_TX_CLK/MII_TX_VCLKA4/**nTZ3**	D19		下拉		

3.3.2.6 通用输入/输出 (GPIO)

表 **3-28. ZWT** 通用输入/输出 **(GPIO)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
GIOA[0]	A5	I/O	下拉	可编程，20μA	通用 I/O。 所有 GPIO 端子能够在上升/下降/双边沿上生成到 CPU 的中断。
GIOA[1]	C2				
GIOA[2]/N2HET2[0]	C1				
GIOA[3]/N2HET2[2]	E1				
GIOA[4]	A6				
GIOA[5]/EXTCLKIN/N2HET1_PIN_nDIS	B5				
GIOA[6]/N2HET2[4]	H3				
GIOA[7]/N2HET2[6]	M1				
GIOB[0]	M2				
GIOB[1]	K2				
GIOB[2]	F2				
MIBSPI3NCS[0]/AD2EVT/**GIOB[2]**/N2HET2_PIN_nDIS	V10 (1)				
GIOB[3]	W10				
GIOB[4]	G1				
GIOB[5]	G2				
GIOB[6]	J2				
GIOB[7]	F1				

(1) GIOB[2] 不能输出一个到端子 10 的接通电平。 只支持输入功能，这样应用能够在 N2HET2_PIN_nDIS 被置为有效时（被驱动为低电平）生成一个中断。 此外，一个上拉电阻器上输入上被启用。 它不能使用 GPIO 模块控制寄存器进行编程。

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.7 控制器局域网控制器 (DCAN)

表 **3-29. ZWT** 控制器局域网控制器 **(DCAN)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
CAN1RX	B10	I/O	上拉	可编程，20μA	CAN1 接收，或 GPIO
CAN1TX	A10				CAN1 发送，或 GPIO
CAN2RX	H1				CAN2 接收，或 GPIO
CAN2TX	H2				CAN2 发送，或 GPIO
CAN3RX	M19				CAN3 接收，或 GPIO
CAN3TX	M18				CAN3 发送，或 GPIO

3.3.2.8 本地互连网络接口模块 (LIN)

表 **3-30. ZWT** 本地互连网络接口模块 **(LIN)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
LINRX	A7	I/O	上拉	可编程，20μA	LIN 接收，或 GPIO
LINTX	B7				LIN 发送，或 GPIO

3.3.2.9 标准串行通信接口 (SCI)

表 **3-31. ZWT** 标准串行通信接口 **(SCI)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
N2HET1[06]/**SCIRX**	W3	I/O	下拉	可编程，20μA	SCI 接收，或 GPIO
N2HET1[13]/**SCITX**	N2				SCI 发送，或 GPIO

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.10 内部集成电路接口模块 (I2C)

表 **3-32. ZWT** 内部集成电路接口模块 **(I2C)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
MIBSPI3NCS[2]/**I2C_SDA**/N2HET1[27]/nTZ2	B2	I/O	上拉	可编程，20μA	I2C 串行数据，或者 GPIO
MIBSPI3NCS[3]/**I2C_SCL**/N2HET1[29]/nTZ1	C3				I2C 串行时钟，或 GPIO

3.3.2.11 标准串行外设接口 (SPI)

表 **3-33. ZWT** 标准串行外设接口 **(SPI)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
SPI2CLK	E2	I/O	上拉	可编程，20μA	SPI2 时钟，或 GPIO
SPI2NCS[0]	N3				SPI2 芯片选择，或 GPIO
SPI2NENA/**SPI2NCS[1]**	D3				SPI2 芯片选择，或 GPIO
SPI2NENA/SPI2NCS[1]	D3				SPI2 使能，或 GPIO
SPI2SIMO[0]	D1				SPI2 从器件输入主器件输出，或 GPIO
SPI2SOMI[0]	D2				SPI2 从器件输出主器件输入，或 GPIO
N2HET1[0]/**SPI4CLK**	K18	I/O	下拉	可编程，20μA	SPI4 时钟，或 GPIO
N2HET1[03]/**SPI4NCS[0]**/N2HET2[10]	U1				SPI4 芯片选择，或 GPIO
N2HET1[01]/**SPI4NENA**/N2HET2[8]	V2				SPI4 使能，或 GPIO
N2HET1[02]/**SPI4SIMO[0]**	W5				SPI4 从器件输入主器件输出，或 GPIO
N2HET1[05]/**SPI4SOMI[0]**/N2HET2[12]	V6				SPI4 从器件输出主器件输入，或 GPIO

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.12 多缓冲串行外设接口模块 (MibSPI)

表 **3-34. ZWT** 多缓冲串行外设接口模块 **(MibSPI)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
MIBSPI1CLK	F18	I/O	上拉	可编程，20μA	MibSPI1 时钟，或 GPIO
MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]	R2				MibSPI1 芯片选择，或 GPIO
MIBSPI1NCS[1]/N2HET1[17]/MII_COL	F3				
MIBSPI1NCS[2]/N2HET1[19]/MDIO	G3				
MIBSPI1NCS[3]/N2HET1[21]	J3				
N2HET1[15]/**MIBSPI1NCS[4]**	N1		下拉	可编程，20μA	MibSPI1 芯片选择，或 GPIO
N2HET1[24]/**MIBSPI1NCS[5]**/MII_RXD[0]/RMII_RXD[0]	P1				
MIBSPI1NENA/N2HET1[23]/MII_RXD[2]	G19		上拉	可编程，20μA	MibSPI1 使能，或 GPIO
MIBSPI1SIMO[0]	F19				MibSPI1 从器件输入主器件输出，或 GPIO
N2HET1[08]/**MIBSPI1SIMO[1]**/MII_TXD[3]	E18		下拉	可编程，20μA	MibSPI1 从器件输入主器件输出，或 GPIO
MIBSPI1SOMI[0]	G18		上拉	可编程，20μA	MibSPI1 从器件输出主器件输入，或 GPIO
MIBSPI1NCS[0]/**MIBSPI1SOMI[1]**/MII_TXD[2]	R2				
MIBSPI3CLK/AWM1_EXT_SEL[1]	V9	I/O	上拉	可编程，20μA	MibSPI3 时钟，或 GPIO
MIBSPI3NCS[0]/AD2EVT/GIOB[2]/N2HET2_PIN_nDIS	V10				MibSPI3 芯片选择，或 GPIO
MIBSPI3NCS[1]/N2HET1[25]/MDCLK	V5				
MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]/nTZ2	B2				
MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]/nTZ1	C3				
N2HET1[11]/**MIBSPI3NCS[4]**/N2HET2[18]	E3		下拉	可编程，20μA	MibSPI3 芯片选择，或 GPIO
MIBSPI3NENA/**MIBSPI3NCS[5]**/N2HET1[31]	W9		上拉	可编程，20μA	MibSPI3 芯片选择，或 GPIO
MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]	W9				MibSPI3 使能，或 GPIO
MIBSPI3SIMO[0]/AWM1_EXT_SEL[0]	W8				MibSPI3 从器件输入主器件输出，或 GPIO
MIBSPI3SOMI[0]/AWM1_EXT_ENA	V8				MibSPI3 从器件输出主器件输入，或 GPIO
MIBSPI5CLK/MII_TXEN/RMII_TXEN	H19	I/O	上拉	可编程，20μA	MibSPI5 时钟，或 GPIO
MIBSPI5NCS[0]	E19				MibSPI5 芯片选择，或 GPIO
MIBSPI5NCS[1]	B6				
MIBSPI5NCS[2]	W6				
MIBSPI5NCS[3]	T12				
MIBSPI5NENAMII_RXD[3]/MIBSPI5SOMI[1]	H18				MibSPI5 使能，或 GPIO
MIBSPI5SIMO[0]/MII_TXD[1]/RMII_TXD[1]	J19				MibSPI5 从器件输入主器件输出，或 GPIO
MIBSPI5SIMO[1]	E16				
MIBSPI5SIMO[2]	H17				
MIBSPI5SIMO[3]	G17				
MIBSPI5SOMI[0]/MII_TXD[0]/RMII_TXD[0]	J18				
MIBSPI5SOMI[1]	E17				
MIBSPI5SOMI[2]	H16				
MIBSPI5SOMI[3]	G16				

3.3.2.13 以太网控制器

表 **3-35. ZWT** 以太网控制器：**MDIO** 接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
MIBSPI3NCS[1]/N2HET1[25]/**MDCLK**	V5	输出	上拉	-	串行时钟输出
MIBSPI1NCS[2]/N2HET1[19]/**MDIO**	G3	I/O	上拉	固定，20μA	串行数据输入/输出

表 **3-36. ZWT** 以太网控制器：简化媒体独立接口**(RMII)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
N2HET1[12]/MII_CRS/**RMII_CRS_DV**	B4	输入	下拉	固定，20μA	RMII 载波感测和数据有效
N2HET1[28]/MII_RX_CLK/**RMII_REFCLK**/MII_RX_VCLKA4	K19				针对接收、发送和控制接口的 RMII 同步基准时钟
AD1EVT/MII_RX_ER/**RMII_RX_ER**	N19				RMII 接收错误
N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]/**RMII_RXD[0]**	P1				RMII接收数据
N2HET1[26]/MII_RXD[1]/**RMII_RXD[1]**	A14				
MIBSPI5SOMI[0]/MII_TXD[0]/**RMII_TXD[0]**	J18	输出	上拉	-	RMII 发送数据
MIBSPI5SIMO[0]/MII_TXD[1]/**RMII_TXD[1]**	J19				
MIBSPI5CLK//MII_TXEN/**RMII_TXEN**	H19				RMII 发送使能

表 **3-37. ZWT** 以太网控制器：媒体独立接口 **(MII)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
MIBSPI1NCS[1]/N2HET1[17]/**MII_COL**	F3	输入	上拉	-	碰撞检测
N2HET1[12]/**MII_CRS**/RMII_CRS_DV	B4		下拉	固定，20μA	载波感测和接收有效
N2HET1[28]/MII_RXCLK/RMII_REFCLK/**MII_RX_VCLKA4**	K19	I/O	下拉	-	MII 输出接收时钟
N2HET1[30]/**MII_RX_DV**	B11	输入	下拉	固定，20μA	接收到的数据有效
AD1EVT/**MII_RX_ER**/RMII_RX_ER	N19				接收错误
N2HET1[28]/**MII_RX_CLK**/RMII_REFCLK/MII_RX_VCLKA4	K19	I/O			接收错误
N2HET1[24]/MIBSPI1NCS[5]/**MII_RXD[0]**/RMII_RXD[0]	P1	输入			接收数据
N2HET1[26]/**MII_RXD[1]**/RMII_RXD[1]	A14				
MIBSPI1NENA/N2HET1[23]/**MII_RXD[2]**	G19		上拉	固定，20μA	
MIBSPI5NENA/**MII_RXD[3]**/MIBSPI5SOMI[1]	H18				
N2HET1[10]/MII_TX_CLK/**MII_TX_VCLKA4**/nTZ3	D19	I/O	下拉	-	MII 输出发送时钟
N2HET1[10]/**MII_TX_CLK**/MII_TX_VCLKA4/nTZ3	D19				发送时钟
MIBSPI5SOMI[0]/**MII_TXD[0]**/RMII_TXD[0]	J18	输出	上拉	-	发送数据
MIBSPI5SIMO[0]/**MII_TXD[1]**	J19				
MIBSPI1NCS[0]/MIBSPI1SOMI[1]/**MII_TXD[2]**	R2				
N2HET1[08]/MIBSPI1SIMO[1]/**MII_TXD[3]**	E18		下拉	-	
MIBSPI5CLK/**MII_TXEN**/RMII_TXEN	H19		上拉	-	发送使能

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.14 外部存储器接口 (EMIF)

表 3-38. 外部存储器接口 (EMIF)

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	337 ZWT				
EMIF_CKE	L3	输出	-	-	EMIF 时钟使能
EMIF_CLK	K3	I/O			EMIF 时钟。 这是一个功能模式中的输出信号。 缺省情况下，此信号被选通关闭，这样它就为三态信号。 PINMUX29[8] 必须被清零以启用这个输出。
EMIF_nWE/**EMIF_RNW**	D17	输出			EMIF 读取不写入
EMIF_nOE	E12				EMIF 读取使能
EMIF_nWAIT	P3	I/O	上拉	固定，20µA	EMIFExtended Wait Signal扩展写入信号
EMIF_nWE/EMIF_RNW	D17	输出	-	-	EMIF 写入使能。
EMIF_nCAS	R4	输出			EMIF 列地址选通
EMIF_nRAS	R3	输出			EMIF 行地址选通
EMIF_nCS[0]/N2HET2[7](1)	N17	输出			EMIF 芯片选择，同步
EMIF_nCS[2]	L17	输出			EMIF 芯片选择，异步 它被应用于芯片选择 2，3 和 4
EMIF_nCS[3]/N2HET2[9](1)	K17	输出			
EMIF_nCS[4]	M17	输出			
EMIF_nDQM[0]	E10	输出	-	-	EMIF 数据屏蔽或写入闸门。 针对 SDRAM 器件的数据屏蔽，针对已连接的异步器件的写入闸门。
EMIF_nDQM[1]	E11	输出			
EMIF_BA[0]	E13	输出			EMIF 组地址或地址线路
EMIF_BA[1]/N2HET2[5](1)	D16	输出			EMIF 组地址或地址线路
EMIF_ADDR[0]/N2HET2[1](1)	D4	输出			EMIF 地址
EMIF_ADDR[1]/N2HET2[3](1)	D5	输出			
EMIF_ADDR[2]	E6	输出			
EMIF_ADDR[3]	E7	输出			
EMIF_ADDR[4]	E8	输出			
EMIF_ADDR[5]	E9	输出			
EMIF_ADDR[6]/N2HET2[11](1)	C4	输出			
EMIF_ADDR[7]/N2HET2[13](1)	C5	输出			
EMIF_ADDR[8]/N2HET2[15](1)	C6	输出			
EMIF_ADDR[9]	C7	输出			
EMIF_ADDR[10]	C8	输出			
EMIF_ADDR[11]	C9	输出			
EMIF_ADDR[12]	C10	输出			

(1) 这些信号为三态并且缺省情况下，加电后被下拉。 任何需要 EMIF 的应用必须将系统模块通用寄存器 GPREG1 的位 31 置位。

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-38.** 外部存储器接口 **(EMIF) (continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
EMIF_DATA[0]	K15	I/O	上拉	固定，20μA	EMIF 数据
EMIF_DATA[1]	L15	I/O			
EMIF_DATA[2]	M15	I/O			
EMIF_DATA[3]	N15	I/O			
EMIF_DATA[4]	E5	I/O			
EMIF_DATA[5]	F5	I/O			
EMIF_DATA[6]	G5	I/O			
EMIF_DATA[7]	K5	I/O			
EMIF_DATA[8]	L5	I/O			
EMIF_DATA[9]	M5	I/O			
EMIF_DATA[10]	N5	I/O			
EMIF_DATA[11]	P5	I/O			
EMIF_DATA[12]	R5	I/O			
EMIF_DATA[13]	R6	I/O			
EMIF_DATA[14]	R7	I/O			
EMIF_DATA[15]	R8	I/O			

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.15 系统模块接口

表 **3-39. ZWT** 系统模块接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
nPORRST	W7	输入	下拉	100µA	加电复位，冷复位 外部电源监视器电路必须当任何微控制器电源下降到额定范围之外时将 nPORRST 驱动为低电平。 这个端子有一个毛刺脉冲滤波器。 请见节 5.8。
nRST	B17	I/O	上拉	100µA	系统复位，热复位，双向。 内部电路通过将 nRST 驱动为低电平来表示任一复位条件。 外部电路必须通过将 nRST 驱动为低电平来将一个系统复位置为有效。 为了确保外部复位不会随意产生，一个外部复位不是通过仲裁生成的，TI 建议将一个外部上拉电阻器连接到这个端子。 这个端子有一个毛刺脉冲滤波器。 请参考节 5.8。
nERROR	B14	I/O	下拉	20µA	ESM 错误信号 表示十分严重的错误。 请参考节 5.18。

3.3.2.16 时钟输入和输出

表 **3-40. ZWT** 时钟输入和输出

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
OSCIN	K1	输入	-	无	从外部晶振/谐振器，或者外部时钟输入
KELVIN_GND	L2	输入			针对振荡器的开尔文接地。
OSCOUT	L1	输出			到外部晶振/谐振器
ECLK	A12	I/O	下拉	可编程，20µA	外部预分频时钟输出，或 GIO。
GIOA[5]/**EXTCLKIN**/N2HET1_PIN_nDIS	B5	输入	下拉	20µA	外部时钟输入 #1
EXTCLKIN2	R9	输入			外部时钟输入 #2
VCCPLL	P11	1.2V 电源		-	针对PLL 的专用内核电源

3.3.2.17 测试和调试模块接口

表 **3-41. ZWT** 测试和调试模块接口

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
TEST	U2	输入	下拉	固定，100μA	测试使能
nTRST	D18	输入			JTAG 测试硬件复位
RTCK	A16	输出	-	无	JTAG 返回测试时钟
TCK	B18	输入	下拉	固定，100μA	JTAG 测试时钟
TDI	A17	输入	上拉		JTAG 测试数据输入
TDO	C18	输出	下拉		JTAG 测试数据输出
TMS	C19	输入	上拉		JTAG 测试选择

3.3.2.18 闪存电源和测试垫

表 **3-42. ZWT** 闪存电源和测试垫

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
VCCP	F8	3.3V 电源	-	无	闪存泵电源
FLTP1	J5	-	-	无	闪存测试垫。 这些端子被保留只由 TI 使用。 为了使这些端子正常运行，必须只连接到测试垫或者根本就不连接 [无连接 (NC)]。
FLTP2	H5				

3.3.2.19 无连接

表 **3-43.** 无连接

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
NC	A8	-	-	-	无连接。 这些球状引脚未被连接到任何内部逻辑上并且可被连接至 PCB 接地，而不会影响器件的功能性。
未连接 (NC)	A15	-	-	-	
NC	B8	-	-	-	
NC	B9	-	-	-	
NC	B15	-	-	-	
NC	B16	-	-	-	

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-43.** 无连接 **(continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
NC	C11	-	-	-	无连接。 这些球状引脚未被连接到任何内部逻辑上并且可被连接至 PCB 接地，而不会影响器件的功能性。
NC	C12	-	-	-	
NC	C13	-	-	-	
NC	C14	-	-	-	
NC	C15	-	-	-	
NC	C16	-	-	-	
NC	C17	-	-	-	
NC	D6	-	-	-	
NC	D7	-	-	-	
NC	D8	-	-	-	
NC	D9	-	-	-	
NC	D10	-	-	-	
NC	D11	-	-	-	
NC	D12	-	-	-	
NC	D13	-	-	-	
NC	D14	-	-	-	
NC	D15	-	-	-	
NC	E4	-	-	-	
NC	F4	-	-	-	
NC	F15	-	-	-	
NC	F16	-	-	-	
NC	F17	-	-	-	
NC	G4	-	-	-	
NC	K4	-	-	-	
NC	K16	-	-	-	
NC	L4	-	-	-	
NC	L16	-	-	-	
NC	L18	-	-	-	
NC	L19	-	-	-	
NC	M4	-	-	-	
NC	M16	-	-	-	
NC	N4	-	-	-	
NC	N16	-	-	-	
NC	N18	-	-	-	
NC	P4		-		
NC	P15	-	-	-	
NC	P16	-	-	-	
NC	P17	-	-	-	
NC	R1	-	-	-	
NC	R10	-	-	-	
NC	R11	-	-	-	
NC	R12	-	-	-	
NC	R13	-	-	-	
NC	R14	-	-	-	

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-43.** 无连接 **(continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
NC	R15	-	-	-	无连接。 这些球状引脚未被连接到任何内部逻辑上并且可被连接至 PCB 接地，而不会影响器件的功能性。
NC	T2	-	-	-	
NC	T3	-	-	-	
NC	T4	-	-	-	
NC	T5	-	-	-	
NC	T6	-	-	-	
NC	T7	-	-	-	
NC	T8	-	-	-	
NC	T9	-	-	-	
NC	T10	-	-	-	
NC	T11	-	-	-	
NC	T13	-	-	-	
NC	T14	-	-	-	
NC					

版权 © 2012–2013, Texas Instruments Incorporated

表 **3-43.** 无连接 **(continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
U3	-				
-	-				
NC	U4				
-	-				
-	NC				
U5	-				
-	-				
NC	U6				
-	-				
-	NC				
U7	-				
-	-				
NC	U8				
-	-				
-	NC				
U9	-				
-	-				
NC	U10				
-	-				
-	NC				
U11	-				
-	-				
NC	U12				
-	-				
-	NC				
V3	-				
-	-				
NC	V4				
-	-				
-	NC				
V11	-				
-	-				
NC	V12				
-					

表 **3-43.** 无连接 **(continued)**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
-	-				
-	NC				
W4	-				
-	-				
NC	W11				
-	-				
-	NC				
W12	-				
-	-				
NC	W13				
-	-				
-					

3.3.2.20 针对内核逻辑的电源： 标称值 1.2V

表 **3-44.** 针对内核逻辑的 **ZWT** 电源： 标称值 **1.2V**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
VCC	F9	1.2V 电源	-	无	内核电源
VCC	F10				
VCC	H10				
VCC	J14				
VCC	K6				
VCC	K8				
VCC	K12				
VCC	K14				
VCC	L6				
VCC	M10				
VCC	P10				

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.21 针对 I/O 单元的电源：标称值 3.3V

表 **3-45.** 针对 **I/O** 单元的 **ZWT** 电源：标称值 **3.3V**

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
VCCIO	F6	3.3V 电源	-	无	针对 I/O 的运行电源
VCCIO	F7				
VCCIO	F11				
VCCIO	F12				
VCCIO	F13				
VCCIO	F14				
VCCIO	G6				
VCCIO	G14				
VCCIO	H6				
VCCIO	H14				
VCCIO	J6				
VCCIO	L14				
VCCIO	M6				
VCCIO	M14				
VCCIO	N6				
VCCIO	N14				
VCCIO	P6				
VCCIO	P7				
VCCIO	P8				
VCCIO	P9				
VCCIO	P12				
VCCIO	P13				
VCCIO	P14				

版权 © 2012–2013, Texas Instruments Incorporated

3.3.2.22 针对除 VCCAD 之外所有电源的接地基准

表 **3-46.** 针对除 **VCCAD** 之外所有电源的 **ZWT** 接地基准

端子		信号类型	缺省拉状态	拉类型	说明
信号名称	**337 ZWT**				
VSS	A1	接地	-	无	接地基准
VSS	A2				
VSS	A18				
VSS	A19				
VSS	B1				
VSS	B19				
VSS	H8				
VSS	H9				
VSS	H11				
VSS	H12				
VSS	J8				
VSS	J9				
VSS	J10				
VSS	J11				
VSS	J12				
VSS	K9				
VSS	K10				
VSS	K11				
VSS	L8				
VSS	L9				
VSS	L10				
VSS	L11				
VSS	L12				
VSS	M8				
VSS	M9				
VSS	M11				
VSS	M12				
VSS	V1				
VSS	W1				
VSS	W2				

版权 © 2012–2013, Texas Instruments Incorporated

4 器件运行条件

4.1 自然通风运行温度范围内的最大绝对值，(1)

电源电压范围：	V_{CC} (2)	-0.3V 至 1.43V
	V_{CCIO}，V_{CCP} (2)	-0.3V 至 4.6V
	V_{CCAD}	-0.3V 至 5.5V
输入电压范围：	所有的输入引脚，除 ADC 引脚之外	-0.3V 至 4.6V
	ADC 输入引脚	-0.3V 至 5.5V
输入钳位电流：	除 AD1IN[23:0] 之外的所有引脚，I_{IK}（V_I < 0 或 V_I > V_{CCIO}）	±20mA
	I_{IK}（V_I < 0 或 V_I > V_{CCAD}） AD1IN[23:0]	±10mA
	总计	±40mA
自然通风运行温度范围，T_A：		-40°C 至105°C
运行结温范围，T_J:		-40°C 至 130°C
储存温度范围，T_{stg}		-65°C 至 150°C

(1) 超出“最大绝对额定值”下列出的值的应力可能会对器件造成永久损坏。 这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作或者在超出“推荐的操作条件”下的任何其它情况，在此并未说明。 长时间运行在最大绝对额定条件下会影响设备的可靠性。
(2) 长时间在最大额定值条件下运行有可能会影响器件可靠性。 所有电压值均是相对于和他们相连的地线。

4.2 器件建议的运行条件(1)

		最小值	标称值	最大值	单位
V_{CC}	数字逻辑电源电压（内核）	1.14	1.2	1.32	V
V_{CCPLL}	PLL 电源电压	1.14	1.2	1.32	V
V_{CCIO}	数字逻辑电源电压 (I/O)	3	3.3	3.6	V
V_{CCAD}	MibADC 电源电压	3		5.25	V
V_{CCP}	闪存泵电源电压	3	3.3	3.6	V
V_{SS}	数字逻辑电源接地		0		V
V_{SSAD}	MibADC 电源接地	-0.1		0.1	V
$V_{ADREFHI}$	A 至 D 高电压基准源	V_{SSAD}		V_{CCAD}	V
$V_{ADREFLO}$	A 至 D 低电压基准源	V_{SSAD}		V_{CCAD}	V
V_{SLEW}	针对 V_{CCIO}，V_{CCAD} 和 V_{CCP} 电源的最大正转换率			1	V/µs
T_A	自然通风工作温度范围	-40		105	°C
T_J	工作结温 (2)	-40		130	°C

(1) 所有的电压都以 V_{SS}为基准，除了 V_{CCAD}以V_{SSAD}为基准
(2) 可靠性数据基于与 100000 小时加电小时（结温温度 105°C）等效的温度系统配置

4.3 建议时钟域运行条件下的开关特性

表 **4-1.** 时钟域时序规范

参数	说明	工作条件		最大值	单位
f_{HCLK}	HCLK - 系统时钟频率		管道模式被启用	200	MHz
			管道模式被禁用	50	MHz
f_{GCLK}	GCLK - CPU 时钟频率			f_{HCLK}	MHz
f_{VCLK}	VCLK - 初级外设时钟频率			100	MHz
f_{VCLK2}	VCLK2 - 次级外设时钟频率			100	MHz
f_{VCLK3}	VCLK3 - 次级外设时钟频率			100	MHz
f_{VCLKA1}	VCLKA1- 初级异步外设时钟频率			100	MHz
f_{VCLKA2}	VCLKA2 - 次级异步外设时钟频率			100	MHz
f_{VCLKA3}	VCLKA3 - 初级异步外设时钟频率			100	MHz
f_{VCLKA4}	VCLKA4 - 次级异步外设时钟频率			100	MHz
f_{RTICLK}	RTICLK - 时钟频率			f_{VCLK}	MHz

4.4 要求等待状态

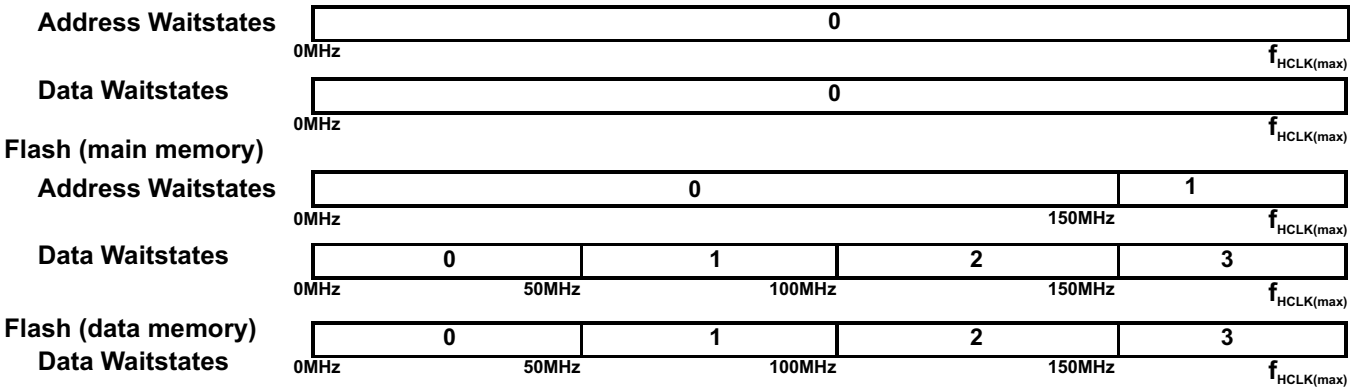


图 **4-1.** 等待状态机制

如上图所示，TCM RAM 能够支持 CPU 全速编程和取数据，而无需任何地址或数据等待状态。

TCM 闪存能够支持零地址和非管道模式中高达 50MHz CPU 速度的数据等待状态。 闪存在管线模式中支持200MHz 的最大 CPU 时钟速度，具有一个地址等待状态和三个数据等待状态。

闪存包装程序缺省为非管道模式，具有零个地址等待状态和一个随机读取数据等待状态。

版权 © 2012–2013, Texas Instruments Incorporated

4.5 推荐运行条件内的功耗

参数		测试条件	最小值	典型值	最大值	单位
I_{CC}	V_{CC}数字电源电流（工作模式） $f_{VCLK} = f_{HCLK}/2$；闪存处于管道模式；V_{CCmax}	f_{HCLK} = 200MHz		205 (1)	340 (2)	mA
	V_{CC} 数字电源电流（LBIST/PBIST 模式）	LBIST/PBIST 时钟频率 = 100MHz		265 (1)	455 (3)(4)	mA
I_{CCPLL}	VCCPLL 数字电源电流（运行模式）	$V_{CCPLL} = V_{CCPLLmax}$			10	mA
I_{CCIO}	V_{CCIO} 数字电源电流（工作模式）。	无直流负载，V_{CCmax}			10	mA
I_{CCAD}	V_{CCAD}电源电流（工作模式）	单个 ADC 可用，$V_{CCADmax}$			15	mA
		两个 ADC 均可用，$V_{CCADmax}$			30	
$I_{ADREFHI}$	AD_{REFHI} 电源电流（工作模式）	单个 ADC 可用，$AD_{REFHImax}$			3	mA
		两个 ADC 均可用，$AD_{REFHImax}$			6	
I_{CCP}	V_{CCP} 电源电流	从组 1 读取，编辑另外的组，V_{CCPmax}			55	mA

(1) 此典型值是针对标称工艺角以及 25C 结温温度的平均电流。
(2) The maximum I_{CC} value can be derated
- 随电压线性变化
- 对于较低频率运行，在 $f_{HCLK} = 2 * f_{VCLK}$ 时，减少比率为 1ma/MHz
- 对于较低结温温度，减小比率由以下等式给出，其中，T_{JK} 是单位为开 (Kelvin) 的结温温度，结果的单位为毫安培。
  $120 - 0.068\ e^{0.0185\ T_{JK}}$

(3) 可降低最大 $I_{CC,}$ 值
- 随电压线性变化
- 对于较低频率运行，减少比率为 1ma/MHz
- 对于较低结温温度，减小比率由以下等式给出，其中，T_{JK} 是单位为开 (Kelvin) 的结温温度，结果的单位为毫安培。
  $120 - 0.068\ e^{0.0185\ T_{JK}}$

(4) LBIST 和 PBIST 电流持续时间短，通常少于 10ms。 通常在器件和电压稳压器的热计算中将它们忽略

4.6 推荐运行条件下的(1)输入/输出电气特性

参数			测试条件	最小值	典型值	最大值	单位
V_{hys}	输入滞后	所有输入		180			mV
V_{IL}	低电平输入电压	所有输入		-0.3		0.8	V
V_{IH}	高电平输入电压	所有输入		2		V_{CCIO} + 0.3	V
V_{OL}	低电平输出电压		I_{OL} = I_{OLmax}			0.2 V_{CCIO}	V
			I_{OL} = 50μA，标准输出模式			0.2	
			I_{OL} = 50μA，低电磁干扰 (EMI) 输出模式（请见节 4.10）			0.2 V_{CCIO}	
V_{OH}	高电平输出电压		I_{OH} = I_{OHmax}	0.8 V_{CCIO}			V
			I_{OH} = 50μA，标准输出模式	V_{CCIO} - 0.3			
			I_{OH} = 50μA，低 EMI 输出模式（请见节 4.10）	0.8 V_{CCIO}			
I_{IC}	输入钳位电流（I/O 引脚）		V_I < V_{SSIO} - 0.3 或 V_I> V_{CCIO} + 0.3	-3.5		3.5	mA
I_I	输入电流（I/O 引脚）	I_{IH} 下拉20μA	V_I = V_{CCIO}	5		40	μA
		I_{IH} 下拉100μA	V_I = V_{CCIO}	40		195	
		I_{IL} 上拉 20μA	V_I = V_{SS}	-40		-5	
		I_{IL} 上拉 100μA	V_I = V_{SS}	-195		-40	
		所有其他引脚	没有上拉或下拉	-1		1	
C_I	输入电容				2		pF
C_O	输出电容				3		pF

(1) 源电流（器件输出）为负，而灌电流（器件输入）为正。

4.7 输出缓冲器驱动强度

表 **4-2.** 输出缓冲器驱动强度

低电平输出电流， I_{OL}，此时 V_I = V_{OLmax} 或 高电平输出电流， I_{OH}此时，V_I = V_{OHmin}	信号
8mA	MIBSPI5CLK，MIBSPI5SOMI[0]，MIBSPI5SOMI[1]，MIBSPI5SOMI[2]，MIBSPI5SOMI[3]，MIBSPI5SIMO[0]，MIBSPI5SIMO[1]，MIBSPI5SIMO[2]，MIBSPI5SIMO[3]， TMS，TDI，TDO，RTCK， SPI4CLK，SPI4SIMO，SPI4SOMI，nERROR， N2HET2[1]，N2HET2[3]，N2HET2[5]，N2HET2[7]，N2HET2[9]，N2HET2[11]，N2HET2[13]，N2HET2[15] ECAP1，ECAP4，ECAP5，ECAP6 EQEP1I，EQEP1S，EQEP2I，EQEP2S EPWM1A，EPWM1B，EPWM1SYNCO，ETPW2A，EPWM2B，EPWM3A，EPWM3B，EPWM4A，EPWM4B，EPWM5A，EPWM5B，EPWM6A，EPWM6B，EPWM7A，EPWM7B EMIF_ADDR[0:12]，EMIF_BA[0:1]，EMIF_CKE，EMIF_CLK，EMIF_DATA[0:15]，EMIF_nCAS，EMIF_nCS[0:4]，EMIF_nDQM[0:1]，EMIF_nOE，EMIF_nRAS，EMIF_nWAIT，EMIF_nWE，EMIF_RNW MDCLK，MDIO，MII_RX_VCLKA4，MII_TX_VCLKA4，MII_TXD[0:3]，MII_TXEN，RMII_REFCLK，RMII_TXD[0:1]，RMII_TXEN

版权 © 2012–2013, Texas Instruments Incorporated

表 **4-2.** 输出缓冲器驱动强度 **(continued)**

低电平输出电流，I_{OL}，此时 $V_I = V_{OLmax}$ 或 高电平输出电流，I_{OH}此时，$V_I = V_{OHmin}$	信号
4mA	TEST， MIBSPI3SOMI，MIBSPI3SIMO，MIBSPI3CLK，MIBSPI1SIMO，MIBSPI1SOMI，MIBSPI1CLK， ECAP2，ECAP3 nRST
2mA 零主导	AD1EVT， CAN1RX，CAN1TX，CAN2RX，CAN2TX， CAN3RX，CAN3TX， GIOA[0-7]，GIOB[0-7]， LINRX，LINTX， MIBSPI1NCS[0]，MIBSPI1NCS[1-3]，MIBSPI1NENA，MIBSPI3NCS[0-3]，MIBSPI3NENA，MIBSPI5NCS[0-3]，MIBSPI5NENA， N2HET1[0-31]，N2HET2[0]，N2HET2[2]，N2HET2[4]，N2HET2[5]，N2HET2[6]，N2HET2[7]，N2HET2[8]，N2HET2[9]，N2HET2[10]，N2HET2[11]，N2HET2[12]，N2HET2[13]，N2HET2[14]，N2HET2[15]，N2HET2[16]，N2HET2[18]， SPI2NCS[0]，SPI2NENA， SPI4NCS[0]，SPI4NENA
可选择 8mA/2mA	ECLK， SPI2CLK，SPI2SIMO，SPI2SOMI 对于这些信号的缺省输出缓冲器驱动强度为 8mA。

可选择 **8mA/2mA** 控制

信号	控制位	地址	**8mA**	**2mA**
ECLK	SYSPC10[0]	0xFFFF FF78	0	1
SPI2CLK	SPI2PC9[9] (1)	0xFFF7 F668	0	1
SPI2SIMO	SPI2PC9[10] (1)	0xFFF7 F668	0	1
SPI2SOMI	SPI2PC9[11] (1)	0xFFF7 F668	0	1

(1) 不要对 SPI2PC9[31.16] 进行字节或半字写入操作，这是因为这样会不小心改变 SPI2 引脚的驱动强度

4.8 输入时序



图 **4-2. TTL -** 电平输入

表 **4-3.** 对于输入的时序要求 **(1)**

参数		最小值	最大值	单位
t_{pw}	输入最小脉冲宽度	$t_{c(VCLK)}$+ 10 (2)		ns
t_{in_slew}	输入信号的时间为从 V_{IL} 至 V_{IH} 或从 V_{IH} 至 V_{IL}		1	ns

(1) $t_{c(VCLK)}$ = 外设 VBUS 时钟周期时间 = $1/f_{(VCLK)}$
(2) 上面显示的时序仅对在通用输入模式中使用的引脚有效。

4.9 输出时序

表 4-4. 输出时序与负载电容间关系的开关特性 (C_L)

参数				最小值	最大值	单位
上升时间，t_r	8mA 低 EMI 引脚（请见表 4-2）		CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
下降时间，t_f			CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
上升时间，t_r	4mA 低 EMI 引脚（请见表 4-2）		CL = 15pF		5.6	ns
			CL = 50pF		10.4	
			CL = 100pF		16.8	
			CL = 150pF		23.2	
下降时间，t_f			CL = 15pF		5.6	ns
			CL = 50pF		10.4	
			CL = 100pF		16.8	
			CL = 150pF		23.2	
上升时间，t_r	2mA-z 低 EMI 引脚（请见表 4-2）		CL = 15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	
下降时间，t_f			CL = 15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	
上升时间，t_r	可选 8mA / 2mA-z 引脚（请见表 4-2）	8mA 模式	CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
下降时间，t_f			CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
上升时间，t_r		2mA-z 模式	CL = 15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	
下降时间，t_f			CL = 15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	

版权 © 2012–2013, Texas Instruments Incorporated

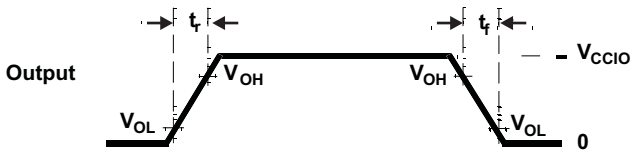


图 **4-3. CMOS** 电平输出

表 **4-5.** 对于输入的时序要求(1)

参数		最小值	最大值	单位
t_d（并行输出）	通用输出信号的低到高，或者高到低转换可通过一个并行应用来配置，例如 GIOA 端口中的所有信号，或所有 N2HET1 信号等。		6	ns

(1) 这个技术规格并未将任何输出缓冲器驱动强度差异或者任何外部电容负载差异计算在内。 检查表 4-2每个信号上的输出缓冲器驱动强度信息。

4.10 低 EMI 输出缓冲器

低 EMI 输出缓冲器被专门设计用于解决来自它们驱动的引脚辐射源的去耦合问题。 这是通过自适应控制输出缓冲器的阻抗来完成的，并且它对容性负载尤为有效。

这并不是低 EMI 输出缓冲器的缺省运行模式，而必须如 所示，针对所需的模块或信号来设置系统模块 GPCR1 寄存器来启用。 自适应阻抗控制电路监视输出信号的直流偏置点。 缓冲器内部生成两个基准电平，VREFLOW 和 VREFHIGH，这两个电平分别被设置为 VCCIO 的 10% 和 90%。

一旦输出缓冲器将输出驱动为一个低电平，如果输出电压低于 VREFLOW，那么输出缓冲器的阻抗将增加到高阻抗 (hi-Z)。 内部接地总线和输出引脚间的高度去耦合将随电容负载或者没有电流流过的负载一起产生，例如，缓冲器正在将一个阻性路径上的低电平驱动至接地。 缓冲器上尝试将输出电压拉高于 VREFLOW 的电流负载将受到缓冲器输出阻抗的抵消，其目的是保持输出电压在 VREFLOW 上或者低于 VREFLOW。

相反的，一旦输出缓冲器已经将输出驱动至一个高电平，如果输出电压高于 VREFHIGH，那么输出缓冲器的阻抗将再次增加至 hi-Z。 内部电源总线和输出引脚间的高度去耦合将随电容负载或者没有电流流过的负载一起产生，例如，缓冲器正在将一个阻性路径上的高电平驱动至 VCCIO。 缓冲器上尝试将输出电压拉低至低于 VREFHIGH 的电流负载将受到缓冲器输出阻抗的抵消，其目的是保持输出电压在 VREFHIGH 上或者高于 VREFHIGH。

控制电路的带宽相对较低，这样处于自适应阻抗控制模式中的输出缓冲器不能对耦合进入缓冲器电源总线的高频噪声做出响应。 在这个方式下，接近 VCCIO 的 20% 峰值到峰值的内部总线噪声可被抑制。

与标准输出缓冲器固定在电源轨上不同，一个处于阻抗控制模式中的输出缓冲器将使得一个正电流负载在没有阻抗的情况下将输出电压拉高至 VCCIO + 0.6V。 此外，一个负电流负载将在没有阻抗的情况下将输出电压拉低至 VSSIO - 0.6V。 由于实际的钳位电流功能一直大于 IOH / IOL 技术规格，这并不是一个问题。

当器件进入一个低功耗模式时，低 EMI 输出缓冲器被自动配置为标准缓冲器模式。

表 4-6. 低 EMI 输出缓冲器接线

模块或信号名称	控制寄存器以启用低 EMI 模式
模块: MibSPI1	GPREG1.0
模块：SPI2	GPREG1.1
模块：MibSPI3	GPREG1.2
被保留	GPREG1.3
模块：MibSPI5	GPREG1.4
被保留	GPREG1.5
模块：EMIF	GPREG1.6
被保留	GPREG1.7
信号：TMS	GPREG1.8
信号：TDI	GPREG1.9
信号：TDO	GPREG1.10
信号：RTCK	GPREG1.11
信号：TEST	GPREG1.12
信号：nERROR	GPREG1.13
信号：AD1EVT	GPREG1.14

版权 © 2012–2013, Texas Instruments Incorporated

5 系统信息和电气技术规范

5.1 器件电源域

此器件的内核逻辑被分成几个电源域，以便优化针对一个指定应用使用实例的电源。 总共有 6 个内核电源域：PD1，PD2，PD3，PD5，RAM_PD1，和 RAM_PD2。 请参考节 1.4以了解更多信息。

PD1 是一个“常开”电源域，不能将此电源域关闭。 按照应用需求，在器件初始化期间，每个其他核心电源域可被关闭 (OFF) 一次。 更多细节请参考电源管理模块 (PMM) 的器件技术参考手册一章。

注

在将包含此模块的核心域断电前，必须将到这个模块的时钟关闭。

注

被断电模块内的逻辑电路完全断电。 任何到被断电模块的访问将导致一个生成的异常中断。 当电源被恢复时，模块加电至它们的缺省状态（在正常加电之后）。 被关闭的核心域中的寄存器或者存储器内容不会被保存。

5.2 电压监视器特性

在这个器件上执行一个电压监视器。 这个电压监视器的目的是，当给内核电源和 I/O 电源电压上电时，消除对一个特定序列的要求。

5.2.1 重要考虑

- 当电源电压在范围之外时，电压监视器仍然需要一个电压监控器来保证器件被保留在复位状态。
- 电压监视器只监视内核电源 (VCC) 和I/O 电源 (VCCIO)。 其它电源不受 VMON 监视。 例如，如果 VCCAD 或 VCCP 由一个 VCCIO 以外的电源供电，那么就没有针对 VCCAD 和 VCCP 电源的内部电压监视器。

5.2.2 电压监视器运行

电压监视器在器件上生成电源正常微控制器 (MCU) 信号 (PGMCU) 以及 I/O电源正常 IO 信号 (PGIO)。 在加电或断电期间，当内核或者 I/O 电源低于额定最小监视阀值的时候，PGMCU 和 PGIO 被驱动为低电平。 PGIO 和 PGMCU 成为低电平，在电源加电或者断电期间，隔离内核逻辑以及 I/O 控制。 这样可以使得内核和 I/O 电源能够以任一顺序加电或断电。

当电压监视器在 I/O 电源上检测到一个低电压时，它将一个加电复位置为有效。 当电压监视器在内核电源上检测到一个范围以外的电压时，它以异步方式使所有输出引脚高阻抗，并将一个加电复位置为有效。 当器件进入一个低功耗模式时，电压监视器被禁用。

VMON 还包含一个针对 nPORRST 输入的毛刺脉冲滤波器。 有关这个毛刺脉冲滤波器的时序信息请参考节 5.3.3.1。

表 5-1. 电压监视技术规格

参数			最小值	典型值	最大值	单位
V_{MON}	电压监视阀值	VCC 低电平-低于这个阀值的 VCC 电平会由于过低而被删除。	0.75	0.9	1.13	V
		VCC 高电平-高于这个阀值的 VCC 电平会由于过高而被删除。	1.40	1.7	2.1	
		VCCIO 低电平-低于这个阀值的 VCCIO 电平会由于过低而被删除。	1.85	2.4	2.9	

5.2.3 电源过滤

VMON 具有过滤 VCC 和 VCCIO 电源上毛刺买车的功能。

下面的表格显示了电源滤波的特性。 电源中大于最大技术参数的毛刺脉冲不能被滤除。

表 **5-2. VMON** 电源毛刺脉冲滤波功能

参数	最小值	最大值
VCC 上可以被滤除的毛刺脉冲的宽度	250ns	1µs
VCCIO 上可以被滤除的毛刺脉冲的宽度	250ns	1µs

版权 © 2012–2013, Texas Instruments Incorporated

5.3 电源排序和加电复位

5.3.1 加电顺序

VCCIO 的斜升和 VCC 电源间没有时序关系。 加电序列随着 I/O 电压上升到高于最小 I/O 电源阀值，（详细信息请见表 5-4），内核电压上升到高于最小内核电源阀值和加电复位的释放开始。 高频振荡器将首先启动并且其振幅将上升到一个可接受的水平。 振荡器启动时间取决于振荡器的类型并且由振荡器销售商提供。 到器件的不同电源可以以任何顺序加电。

加电期间，此器件经过下列顺序阶段。

表 **5-3.** 加电阶段

振荡器启动和有效性检查	1032 个振荡器周期
熔丝自动载入	1160 个振荡器周期
闪存泵加电	688 个振荡器周期
闪存组加电	617 个振荡器周期
总计	**3497 个振荡器周期**

在上述序列的末尾 CPU 复位被释放并且从地址 0x00000000 中取出第一条指令。

5.3.2 断电序列

到器件的不同电源可以以任一顺序断电。

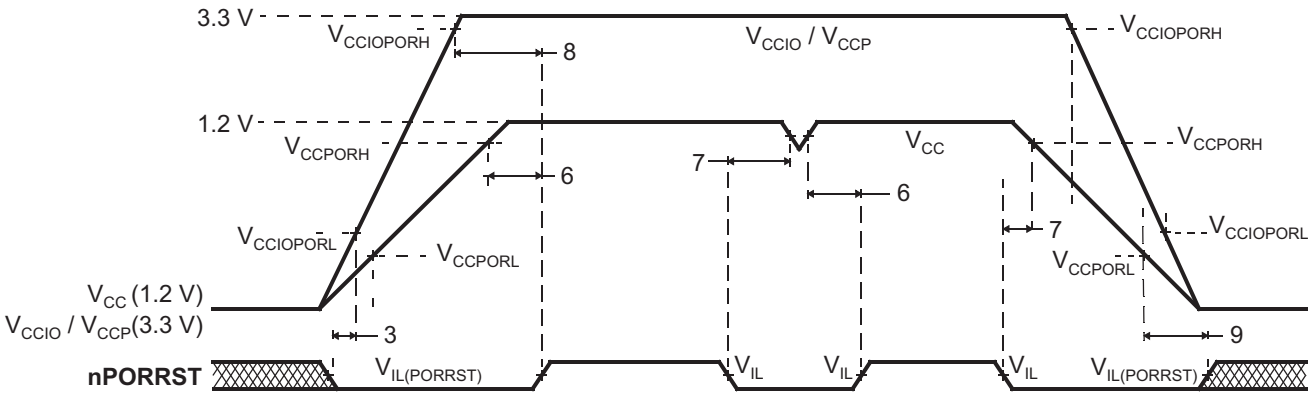
5.3.3 加电复位：nPORRST

这个是加电复位。 只要 I/O 或内核电源在额定推荐范围之外，这个复位就必须由一个外部电路置为有效。 这个信号的上面有一个毛刺脉冲滤波器。 它还有一个内部下拉电阻器。

5.3.3.1 nPORRST 电气和时序要求

表 **5-4. nPORRST** 的电气要求

编号	参数		最小值	最大值	单位
	V_{CCPORL}	当 nPORRST 在加电期间必须有效时，V_{CC}的低电源电平		0.5	V
	V_{CCPORH}	当 nPORRST 在加电期间必须保持有效并在断电期间变为有效时，V_{CC}的高电源电平	1.14		V
	$V_{CCIOPORL}$	当 nPORRST 在加电期间必须有效时，V_{CCIO}/V_{CCP}的低电源电平		1.1	V
	$V_{CCIOPORH}$	当 nPORRST 在加电期间保持有效并且在断电期间变为有效时，V_{CCIO}/V_{CCP}高电源电平	3.0		V
	$V_{IL(PORRST)}$	nPORRST V_{CCIO}的低电平输入电压 > 2.5V		0.2 *V_{CCIO}	V
		nPORRSTV_{CCIO}的低电平输入电压 > 2.5V		0.5	V
3	$t_{su(PORRST)}$	建立时间，加电期间，在 V_{CCIO}和 V_{CCP}> $V_{CCIOPORL}$前的 nPORRST 有效时间	0		ms
6	$t_{h(PORRST)}$	保持时间，V_{CC}>V_{CCPORH}后，nPORRST 的有效时间	1		ms
7	$t_{su(PORRST)}$	建立时间，断电期间，在 V_{CC}<V_{CCPORH}前，nPORRST 的有效时间	2		µs
8	$t_{h(PORRST)}$	保持时间，在 V_{CCIO}和 V_{CCP}>$V_{CCIOPORH}$后 nPORRST 的有效时间	1		ms
9	$t_{h(PORRST)}$	保持时间, 在 V_{CC}<V_{CCPORL}后 nPORRST 的有效时间	0		ms
	$t_{f(nPORRST)}$	滤波时间 nPORRST 引脚； 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位.	475	2000	ns



NOTE: There is no timing dependency between the ramp of the VCCIO and the VCC supply voltage; this is just an exemplary drawing.

图 **5-1. nPORRST** 时序图

版权 © 2012–2013, Texas Instruments Incorporated

5.4 热复位 (nRST)

这是一个双向复位信号。 内部电路在检测到任何器件复位条件时将此信号驱动为低电平。 一个外部电路能够通过将此信号强制为低电平来将一个器件复位置为有效。 在这个端子上，输出缓冲器被执行为一个开漏器件（只驱动低电平）。 为了确保外部复位不会随意产生，TI 建议将一个外部上拉电阻连接到该引脚。

这个端子有一个毛刺脉冲滤波器。 它还有一个内部上拉电阻。.

5.4.1 热复位的原因

表 **5-5.** 热复位的原因

器件事件	系统状态标志
加电复位	异常状态寄存器，位 15
振荡器故障	全局状态寄存器，位 0
PLL 跳周	全局状态寄存器，位 8 和 9
看门狗异常/调试器复位	例外状态寄存器，位 13
软件复位	异常状态寄存器，位 4
外部复位	异常状态寄存器，位 3

5.4.2 nRST 时序要求

表 **5-6. nRST** 时序要求

参数		最小值	最大值	单位
$t_{v(RST)}$	有效时间，nPORRST 无效之后 nRST 的有效时间	$2256t_{c(OSC)}$ (1)		ns
	有效时间，nRST 有效的时间（所有其它系统复位条件）	$32t_{c(VCLK)}$		
$t_{f(nRST)}$	滤波器时间 nRST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位	475	2000	ns

(1) 假定振荡器已经在 nPORRST 被释放前启动且稳定。

5.5 ARM©Cortex-R4F™CPU 信息

5.5.1 ARM Cortex-R4F™ CPU 特性汇总

ARM Cortex-R4F™ CPU 的特性包括：

- 一个具有积分 EmbeddedICE-RT 逻辑的整数单元。
- 高速高级微处理器总线架构 (AMBA) 高级 eXtensible 接口 (AXI)，用于二级 (L2) 主器件和从器件接口。
- 浮点协处理器
- 具有一个全局历史缓冲器的动态分支预计，和一个 4 入口返回堆栈
- 低中断延迟。
- 不可屏蔽中断
- 一个具有如下组件的哈弗一级存储器系统：
  - 支持纠错或奇偶校验检查存储器的紧耦合存储器 (TCM) 接口
  - ARMv7-R 架构存储器保护单元 (MPU)，此单元带有12 个区域
- 安全应用中针对故障检测的双内核逻辑
- 一个 L2 存储器接口：
  - 单个 64 位 AXI 接口
  - 64 位到 TCM RAM 块的受控 AXI 接口
- 一个到 CoreSlight 调试访问端口 (DAP) 的调试接口
- 一个性能监视单元 (PMU)。
- 一个矢量化中断控制器 (VIC) 端口，

要获得更多与 ARM Cortex-R4F™ CPU 有关的信息，请参阅www.arm.com。

5.5.2 ARM Cortex-R4F™ CPU 特性由软件实现

以下的 CPU 特性在复位时被禁用并且必须在需要时由应用启用。

- 紧耦合存储器 (TCM) 访问上的纠错码 (ECC)
- 硬件矢量化中断 (VIC) 端口
- 浮点协处理器
- 内存保护单元 (MPU)

5.5.3 双内核执行

此器件有两个 Cortex-R4 内核，在此比较 CCM-R4 单元中的两个 CPU 输出信号。 为了避免共模影响，将被进行比较的 CPU 的信号被延迟 2 个时钟周期，如图 5-3所示。

CPU 有一个由下列要求指定的不同的 CPU 布局：

- 不同的方向；例如 CPU1 = 朝“北”，CPU2 = 朝向“偏西”
- 针对每个 CPU 的专用保护环



图 **5-2.** 双 **- CPU**方向

5.5.4 GCLK 之后的双重 CPU 时钟树

CPU 时钟域被分成两个时钟树，每个 CPU 一个，其中第二个 CPU 的时钟的运行频率一样并且与 CPU1 的时钟协同工作。 请参考 图 5-3。

版权 © 2012–2013, Texas Instruments Incorporated

5.5.5 针对安全性的 ARM Cortex-R4F™ CPU 比较模块 (CCM-R4)

这个器件有两个 ARM Cortex-R4F™ CPU 内核，在这两个内核之中，CPU 的输出信号在 CCM-R4 中进行比较。 为了避免共模影响，将要进行比较的 CPU 的信号，以下面图表中所示的不同方式将这些信号延迟。

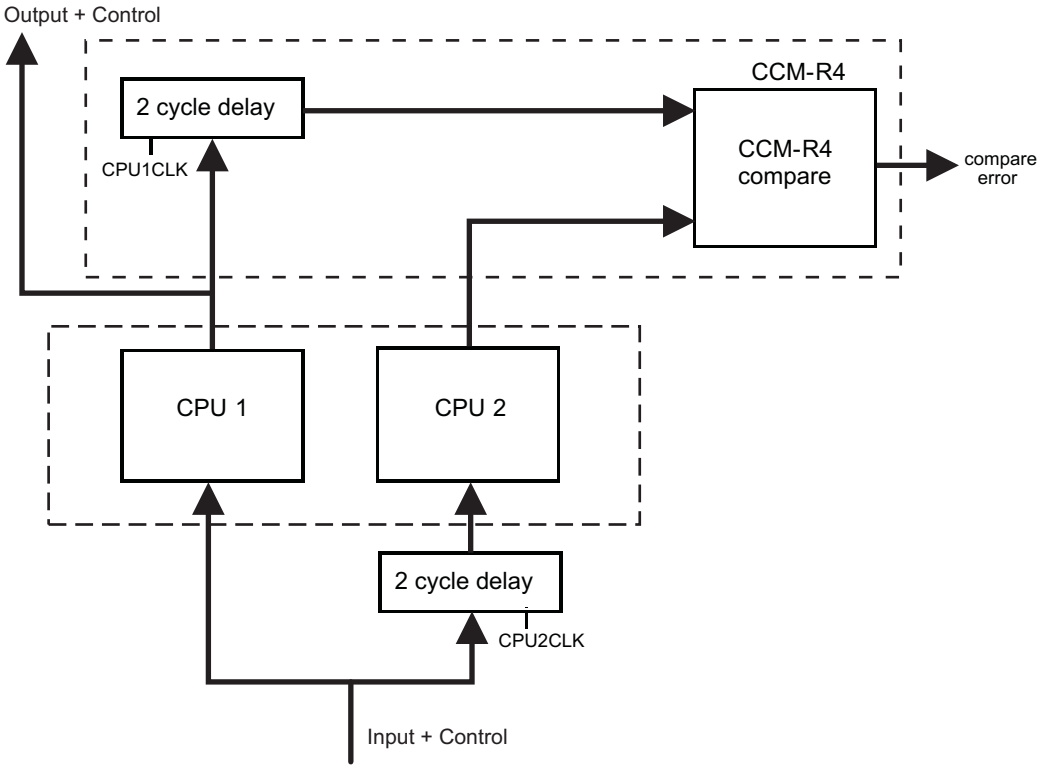


图 **5-3.** 双内核执行

为了避免不正确的 CCM-R4 比较错误，应用软件必须在寄存器被读取前初始化两个 CPU 的寄存器，其中包括将寄存器值压入堆栈的函数调用。

5.5.6 CPU 自检

通过将确定性逻辑内置自检 (BIST) 控制器用作测试引擎，CPU STC（自检控制器）被用于测试两个 Cortex-R4F CPU。

自检控制器的主要特性包括：

- 能够将完整测试运行分频成独立的测试间隔
- 能够运行完整测试并一次运行几个间隔
- 能够从最后一个被执行的间隔（测试集）继续执行并且能够从开始处（测试集）重新开始执行
- 在自检运行期间将被自检测试的 CPU 内核从系统的其余部分完全隔离
- 捕捉故障间隔号的功能
- 针对 CPU 自检的超时计数器具有一个故障安全特性

5.5.6.1 针对 CPU 自检的应用序列

1. 配置时钟域频率。
2. 选择将被运行的测试间隔的数量。
3. 配置针对自检运行的超时周期。
4. 启用自检。
5. 等待 CPU 复位。
6. 在复位处理器中，读取 CPU 自检状态来识别任何故障。

7. 按需要检索 CPU 状态。

更多信息请参阅器件技术参考手册。

5.5.6.2 CPU 自检时钟配置

自检的最大时钟速率为100MHz。 STCCLK 由 CPU 时钟分频获得。 这个分频器由位于地址 0xFFFFE108 上的 STCCLKDIV 寄存器 配置。

更多信息请参阅器件技术参考手册。

5.5.6.3 CPU 自检范围

表 5-7显示了每个自检间隔实现的 CPU 测试范围。 它还列出了累积测试周期。 通过将测试周期数量与 STC 时钟周期相乘可以计算出测试时间。

表 **5-7. CPU** 自检范围

间隔	测试覆盖率, %	测试周期
0	0	0
1	62.13	1365
2	70.09	2730
3	74.49	4095
4	77.28	5460
5	79.28	6825
6	80.90	8190
7	82.02	9555
8	83.10	10920
9	84.08	12285
10	84.87	13650
11	85.59	15015
12	86.11	16380
13	86.67	17745
14	87.16	19110
15	87.61	20475
16	87.98	21840
17	88.38	23205
18	88.69	24570
19	88.98	25935
20	89.28	27300
21	89.50	28665
22	89.76	30030
23	90.01	31395
24	90.21	32760

版权 © 2012–2013, Texas Instruments Incorporated

5.6 时钟

5.6.1 时钟源

下面的表列出了器件上可用的时钟源。 可使用系统模块中的 CSDISx 寄存器来启用或禁用每个时钟源。 表中的时钟源数量与针对那个时钟源的 CSDISx 寄存器中的控制位相对应。

此表还显示了每个时钟源的缺省状态。

表 **5-8.** 可用时钟源

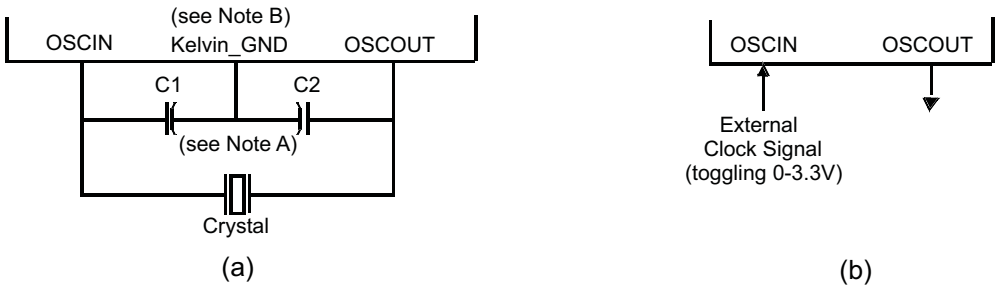
时钟源 #	名称	说明	缺省值
0	OSCIN	主振荡器	被启用
1	PLL1	PLL1的输出	被禁用
2	被保留	被保留	被禁用
3	EXTCLKIN1	外部时钟输入 #1	被禁用
4	LFLPO	内部基准振荡器的低频输出	被启用
5	HFLPO	内部基准振荡器的高频输出	被启用
6	PLL2	PLL2的输出	被禁用
7	EXTCLKIN2	外部时钟输入 #2	被禁用

5.6.1.1 主振荡器

如所示，通过在外部 OSCIN 和 OSCOUT 引脚之间连接适合的基本谐振器/晶振图 5-4和负载电容来启用此振荡器。 振荡器是一种单级变换器，由一个集成的偏置电阻器保持在偏置状态。 该电阻在泄漏测试测量期间和低功耗模式中被禁用。

TI 强烈建议顾客提交该器件的样品让谐振器/晶振供应商测试其性能。 供应商有专门设备来确定多大的负载电容能够最好的调节他们的谐振器/晶振来满足微控制器在温度/电压极值范围内对于最优启动和运行的要求。

通过在 OSCIN 引脚上连接一个 3.3V 的时钟信号并使 OSCOUT 引脚悬空（断开）（如下面的图标所示），可使用一个外部振荡器源。



Note A: The values of C1 and C2 should be provided by the resonator/crystal vendor.
Note B: Kelvin_GND should not be connected to any other GND.

图 **5-4.** 推荐的晶振/时钟连接

5.6.1.1.1 针对主振荡器的时序要求

表 **5-9.** 针对主振荡器的时序要求

参数		最小值	类型	最大值	单位
tc(OSC)	周期时间，OSCIN（当使用一个正弦波输入时）	50		200	ns
tc(OSC_SQR)	周期时间，OSCIN，（当到 OSCIN 的输入是一个方波时）	50		200	ns
tw(OSCIL)	脉冲持续时间，OSCIN 低电平的时间（当到 OSCIN 的输入是一个方波时）	15			ns
tw(OSCIH)	脉冲持续时间，OSCIN 高电平的时间（当到 OSCIN 的输入是一个方波时）	15			ns

版权 © 2012–2013, Texas Instruments Incorporated

5.6.1.2 低功耗振荡器

低功耗振荡器 (LPO) 由一个单宏中的两个振荡器 - 高频 (HF) LPO 和低频 (LF) LPO 组成。

5.6.1.2.1 特性

LPO 的主要特性有：

- 针对省电模式，以极低功耗为一个时钟供源。 这个被连接为全局时钟模块的时钟源 #4。
- 针对非时序关键系统，为一个高频时钟供源。 这个被连接为全局时钟模块的时钟源 #5。
- 为晶体振荡器故障检测电路提供一个比较时钟。

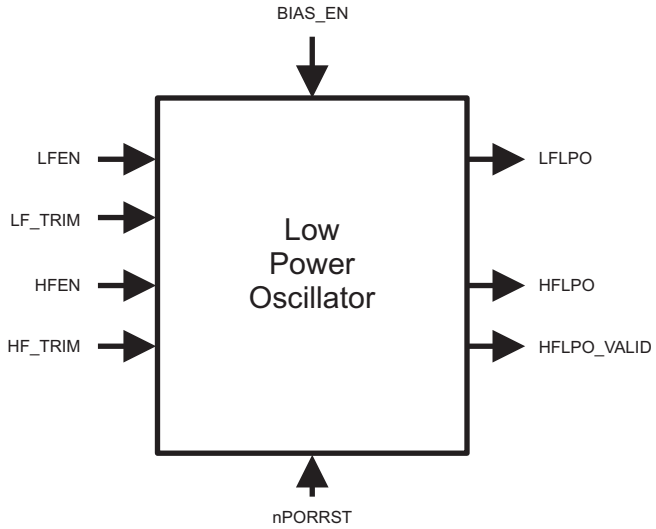


图 **5-5. LPO** 方框图

图 5-5显示了一个内部基准振荡器的方框图。 这是一个低功耗振荡器 (LPO) 并且提供两个时钟源：一个的标称值为 80KHz，而另一个的标称值为 10MHz。

表 **5-10. LPO** 技术规格

参数		最小值	典型	最大值	单位
时钟检测	振荡器故障频率 - 更低的阀值，使用未经修整的 LPO 输出	1.375	2.4	4.875	MHz
	振荡器故障频率 - 更高的阀值，使用未经修整的 LPO 输出	22	38.4	78	MHz
LPO-HF 振荡器 (f_{HFLPO})	未经修整的频率	5.5	9	19.5	MHz
	已修整的频率	8	9.6	11	MHz
	从待机 (STANDBY) 的启动时间（LPO BIAS_EN 高电平时间至少为 900µs）			10	µs
	冷启动时间			900	µs
LPO-LF 振荡器	未经修整的频率	36	85	180	kHz
	从待机 (STANDBY) 的启动时间（LPO BIAS_EN 高电平时间至少为 900µs）			100	µs
	冷启动时间			2000	µs

版权 © 2012–2013, Texas Instruments Incorporated

5.6.1.3 锁相环 (PLL) 时钟模块

PLL 用于将输入频率倍乘以获得更高的频率。

PLL 的主要特性为：

- 频率调制可被有选择性地添加到 PLL1 的合成频率上。 PLL 的这个频率调制功能被永久禁用。
- 可配置频率倍频器和分频器。
- 内置 PLL 跳周监视电路。
- 检测到一个 PLL 跳周时将器件复位的选项。

5.6.1.3.1 方框图

图 5-6显示了这个微控制器上两个 PLL 宏的高级方框图。 PLLCTL1 和 PLLCTL2 被用于配置用于PLL 的倍频器和分频器。 PLLCTL3 被用于配置用于 PLL2 的倍频器和分频器。

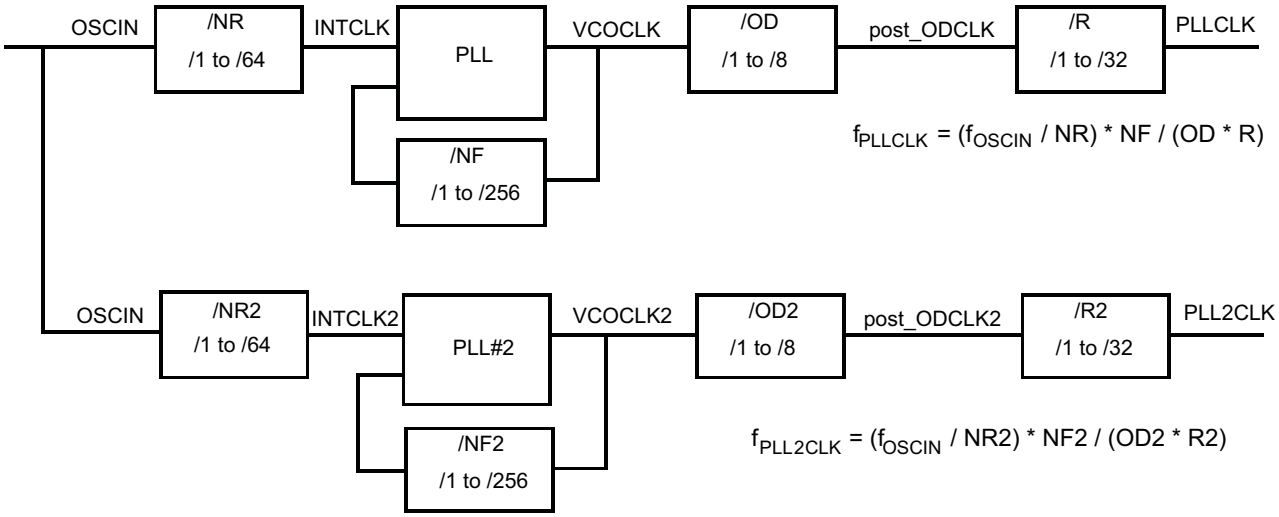


图 **5-6. PLLx** 方框图

5.6.1.3.2 PLL 时序技术规格

表 **5-11. PLL** 时序技术规格

参数		最小值	最大值	单位
f_{INTCLK}	PLL1 基准时钟频率	1	$f_{(OSC_SQR)}$	MHz
f_{post_ODCLK}	Post-ODCLK-PLL1 后置分频器输入时钟基准		400	MHz
f_{VCOCLK}	VCOCLK-PLL1 输出分频器 (OD) 输入时钟基准	150	550	MHz
$f_{INTCLK2}$	PLL2 基准时钟基准	1	$f_{(OSC_SQR)}$	MHz
f_{post_ODCLK2}	Post-ODCLK-PLL2 后置分频器输入时钟基准		400	MHz
$f_{VCOCLK2}$	VCOCLK-PLL2 输出分频器 (OD) 输入时钟基准	150	550	MHz

版权 © 2012–2013, Texas Instruments Incorporated

5.6.1.4 外部时钟输入

此器件最多支持两个外部时钟输入。 这个时钟输入必须是一个方波输入。 这些时钟输入的电气和时序要求在下方进行了指定。 不对外部时钟源进行有效性检查。 它们在启用时被认为是有效的。

表 5-12. 外部时钟时序和电气技术规格

参数	说明	最小值	最大值	单位
$f_{EXTCLKx}$	外部时钟输入频率		80	MHz
$t_{w(EXTCLKIN)H}$	EXTCLK 高脉冲持续时间	6		ns
$t_{w(EXTCLKIN)L}$	EXTCLK 低脉冲持续时间	6		ns
$v_{iL(EXTCLKIN)}$	低电平输入电压	-0.3	0.8	V
$v_{iH(EXTCLKIN)}$	高电平输入电压	2	VCCIO+0.3	V

5.6.2 时钟域

5.6.2.1 时钟域说明

下面的表格列出了器件时钟域和它们的缺省时钟源。 这个表还显示了被用于为每个时钟域选择一个可用时钟源的系统模块控制寄存器。

表 5-13. 时钟域说明

时钟域，名称	缺省时钟源	时钟源选择寄存器	说明
HCLK	OSCIN	GHVSRC	• 由 CDDISx 寄存器位 1 禁用 • 用于包括 DMA，ESM 在内的所有系统模块
GCLK	OSCIN	GHVSRC	• 一直与HCLK 的频率保持一致 • 与 HCLK 同相 • 可由 CDDISx 寄存器位 0 与 HCLK 分别被禁用 • 通过使用地址 0xFFFFE108 上的 STCCLKDIV 寄存器的 CLKDIV 字段，当运行 CPU 自检 (LBIST) 时，可被 1 到最高 8 分频。
GCLK2	OSCIN	GHVSRC	• 一直与 GCLK 的频率保持一致 • 比 GCLK 晚 2 个周期 • 与 GCLK 一起被禁用 • 当运行 CPU 自检 (LBIST) 时，使用与GCLK 一样的分频器设置进行分频。
VCLK	OSCIN	GHVSRC	• 由 HCLK 分频获得 • 可以为 HCLK/1，HCLK/2， ... 或 HCLK/16 • 可由 CDDISx 寄存器位 2 与 HCLK 分别被禁用
VCLK2	OSCIN	GHVSRC	• 由 HCLK 分频获得 • 可以为 HCLK/1，HCLK/2， ... 或 HCLK/16 • 频率必须为 VCLK 频率的整数倍数。 • 可由 CDDISx 寄存器位 3 与 HCLK 分别被禁用
VCLK3	OSCIN	GHVSRC	• 由 HCLK 分频获得 • 可以为 HCLK/1，HCLK/2， ... 或 HCLK/16 • 可由 CDDISx 寄存器位 8 与 HCLK 分别被禁用
VCLK4	OSCIN	GHVSRC	• 由 HCLK 分频获得 • 可以为 HCLK/1，HCLK/2， ... 或 HCLK/16 • 可由 CDDISx 寄存器位 9 与 HCLK 分别被禁用
VCLKA1	VCLK	VCLKASRC	• 缺省将VCLK 作为一个源 • 由 CDDISx 寄存器位4 禁用
VCLKA2	VCLK	VCLKASRC	• 缺省将VCLK 作为一个源 • 由 CDDISx 寄存器位5 禁用

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-13.** 时钟域说明 **(continued)**

时钟域，名称	缺省时钟源	时钟源选择寄存器	说明
VCLKA3_S	VCLK	VCLKACON	• 缺省将VCLK 作为一个源 • 频率速度可与 HCLK频率一样. • 由 CDDISx 寄存器位10 禁用
VCLKA3_DIVR	VCLK	VCLKACON1	• 使用位于地址 0xFFFFE140 上的 VCLKACON1 寄存器的 VCLKA3R 字段从 VCLK3A_S 分频获得。 • 频率可以为 VCLKA3_S/1，VCLKA3_S/2，...或 VCLKA3_S/8 • 缺省频率为 VCLKA3_S/2 • 只有当 VCLKA3_S 时钟未被禁用，才可以由 VCLKACON1 寄存器 VCLKA3_DIV_CDDIS 位单独禁用
VCLKA4_S	VCLK	VCLKACON1	• 缺省将 VCLK 作为一个源 • 频率速度可与 HCLK 频率一样 • 由 CDDISx 寄存器位 11 禁用
VCLKA4_DIVR	VCLK	VCLKACON1	• 使用位于地址 0xFFFFE140 上的 VCLKACON1 寄存器的 VCLKA4R 字段从 VCLK4A_S 分频获得。 • 频率可以为 VCLKA4_S/1，VCLKA4_S/2，...或 VCLKA4_S/8 • 缺省频率为 VCLKA4_S/2。 • 只有当 VCLKA4_S 时钟未被禁用，才可以由 VCLKACON1 寄存器 VCLKA4_DIV_CDDIS 位单独禁用
RTICLK	VCLK	RCLKSRC	• 缺省将 VCLK 作为一个源 • 如果一个 VCLK 以外的时钟源被选为 RTICLK，那么 RTICLK 频率必须小于或等于 VCLK/3。 – 如果需要的话，应用可以通过编辑 RCLKSRC 寄存器的 RTI1DIV 字段来确保这一要求。 • 由 CDDISx 寄存器位6 禁用

版权 © 2012–2013, Texas Instruments Incorporated

5.6.2.2 将时钟域映射到器件模块

每个时钟模块有一个显示在下面图标中的专用功能。

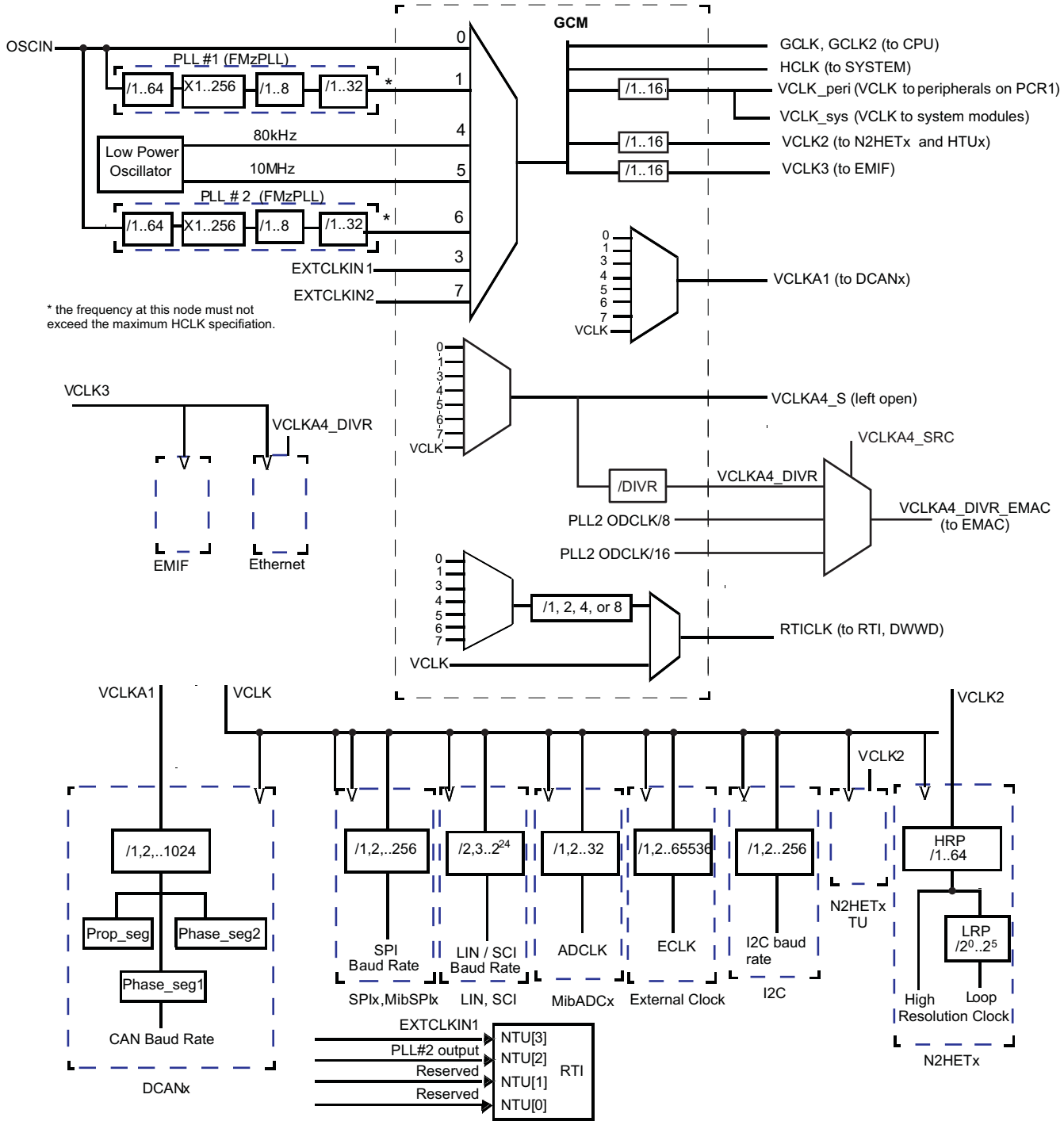


图 **5-7.** 器件时钟域

5.6.2.3 针对 VCLKA4_DIVR_EMAC 的特别时钟源选择方案

某些应用也许需要使用两个以太网接口。 MII 接口要求 VCLKA4_DIVR_EMAC 的频率为 25MHz，而 RMII 要求 VCLKA4_DIVR_EMAC 的频率为 50MHz。

通过为 VCLKA4_DIVR_EMAC 时钟域添加特别专用时钟源选择选项可支持这些不同的频率。 中显示了这个逻辑电路。

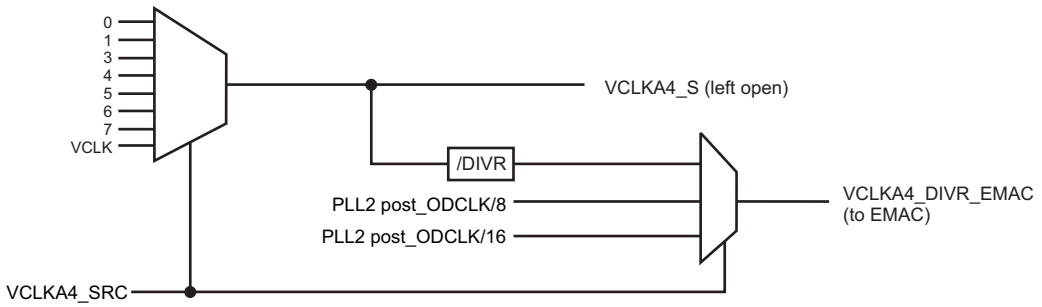


图 **5-8. VLCKA4_DIVR 源选择选项**

PLL2 post_ODCLK 被生成为一个来自 PLL 包装程序模块的独立输出。 在器件级上执行两个额外的分频器来将 PLL post_ODCLK8 分频和 16 分频。

如所示，由系统模块 VCLKACON1 控制寄存器配置的 VCLKA4_SRC 被用来确定用于 VCLKA4_S 和 VCLKA4_DIVR 的时钟源。 一个额外的倍频器被执行来在 VCLKA4_DIVR 和两个额外的时钟源 - PLL2post_ODCLK/8 和 post_ODCLK/16 间进行选择。

选择的完成如以下表格所示。

表 **5-14. VCLKA4_DIVR_EMAC 时钟源源**

VCLKA4_SRC 取自 VCLKACON1[19-16]	用于 **VCLKA4_DIVR_EMAC 的时钟源**
0x0	OSCIN/VCLKA4R
0x1	PLL1CLK/VCLKA4R
0x2	被保留
0x3	EXTCLKIN1/VCLKA4R
0x4	LF LPO/VCLKA4R
0x5	HF LPO/VCLKA4R
0x6	PLL2CLK/VCLKA4R
0x7	EXTCLKIN2/VCLKA4R

版权 © 2012–2013, Texas Instruments Incorporated

5.6.3 时钟测试模式

TMS570平台架构定义了一个特别模块，此模块允许在 ECLK 引脚和 N2HET1 [12] 器件输出上生成不同的时钟信号。 这个模块被称为时钟测试模块 它对于调试十分有用并且可由系统模块中的 CLKTEST 寄存器配置。

表 **5-15.** 时钟测试模式选项

SEL_ECP_PIN = CLKTEST[3-0]	**ECLK** 上的信号		**SEL_GIO_PIN = CLKTEST[11-8]**	**N2HET1[12]** 上的信号
0000	振荡器		0000	振荡器有效状态
0001	主 PLL自由运行时钟输出		0001	主 PLL 有效状态
0010	被保留		0010	被保留
0011	EXTCLKIN1		0011	被保留
0100	LFLPO		0100	被保留
0101	HFLPO		0101	HFLPO 有效状态
0110	次级 PLL 自由运行时钟输出		0110	次级 PLL 有效状态
0111	EXTCLKIN2		0111	被保留
1000	GCLK		1000	LFLPO
1001	RTI时基		1001	振荡器有效状态
1010	被保留		1010	振荡器有效状态
1011	VCLKA1		1011	振荡器有效状态
1100	被保留		1100	振荡器有效状态
1101	VCLKA3_DIVR		1101	VCLKA3_S
1110	VCLKA4_DIVR		1110	VCLKA4_S
1111	被保留		1111	振荡器有效状态

版权 © 2012–2013, Texas Instruments Incorporated

5.7 时钟监视

LPO 时钟检测 (LPOCLKDET) 模块由一个时钟监视器 (CLKDET) 和一个内部低功耗振荡器 (LPO) 组成。

LPO 提供两个时钟源-一个低频 (LFLPO) 和一个高频 (HFLPO)。

CLKDET 是为一个针对外部提供的时钟信号 (OSCIN) 的监控电路。 在OSCIN 频率下降到低于一个频率窗口的情况下，CLKDET 在全局状态寄存器中标记这个情况（GLBSTAT 位 0：振荡器故障 (OSC FAIL)）并且将所有由 OSCIN 供源的时钟域切换至HFLPO 时钟（跛行模式时钟）。

有效 OSCIN 频率范围被定义为：$f_{HFLPO}/4<f_{OSCIN}<f_{HFLPO}*4$。

5.7.1 时钟监视时序

有关 LPO 和时钟检测的更多信息，请参考表 5-10。

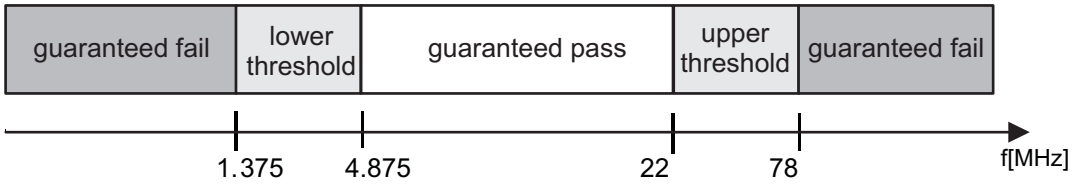


图 **5-9. LPO** 和时钟检测，未修整的 **HFLPO**

5.7.2 外部时钟 (ECLK) 输出功能

ECLK 引脚可被配置为输出一个预分频时钟信号，此信号表示一个内部器件时钟。 这个输出可被外部监视为一个安全诊断。

5.7.3 双时钟比较器

双时钟比较器 (DCC) 模块通过计数两个独立时钟源（计数器 0 和计数器 1）的脉冲数来确定所选时钟源的准确性。 如果一个时钟在技术参数之外，那么就生成一个错误信号。 例如，DCC1 可被配置为使用 HFLPO 作为基准时钟（用于计数器 0），而 VCLK 作为“测试中的时钟”（用于计数器 1）。 这个配置使得 DCC1 能够在 VCLK 正在使用 PLL输出作为其时钟源的时候监视 PLL 输出时钟。

这个模块的一个另外的用途是测量一个可选时钟源的频率，方法是使用输入时钟作为一个基准，通过计算两个独立时钟源的脉冲来测量。 计数器 0 在一个预先设定的脉冲数量之后生成一个定宽计数窗口。 计数器 1 在一个预先设定的脉冲数量之后生成一个定宽脉冲（1 个周期）。 如果计数器 1 在由计数器 0 生成的计数窗口内没有达到 0， 那么这个脉冲被设定为一个错误信号。

5.7.3.1 特性

- 将两个不同的时钟源作为到两个独立计数器块的输入。
- 时钟源中的一个为已知正常，或基准时钟；第二个时钟源是“测试中的时钟。”
- 每个计数器可使用初始的，或者种子值进行编程。
- 计数器块同时从它们的种子值开始倒计数；与针对测试中时钟的预计频率的不匹配将生成一个错误信号，此信号被用于中断 CPU。

5.7.3.2 DCC 时钟源中断的映射

表 **5-16. DCC1** 计数器 **0** 时钟源

时钟源 [3:0]	时钟名称
其它	振荡器 (OSCIN)
0x5	高频 LPO
0xA	测试时钟 (TCK)

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-17. DCC1** 计数器 **1** 时钟源

键 [3:0]	时钟源 [3:0]	时钟名称
其它	-	N2HET1[31]
0xA	0x0	主 PLL自由运行时钟输出
	0x1	PLL#2 自由运行时钟输出
	0x2	低频LPO
	0x3	高频 LPO
	0x4	被保留
	0x5	EXTCLKIN1
	0x6	EXTCLKIN2
	0x7	被保留
	0x8-0xF	VCLK

表 **5-18. DCC2** 计数器 **0** 时钟源

时钟源 [3:0]	时钟名称
其它	振荡器 (OSCIN)
0xA	测试时钟 (TCK)

表 **5-19. DCC2** 计数器 **1** 时钟源

键 [3:0]	时钟源 [3:0]	时钟名称
其它	-	N2HET2[0]
0xA	00x0-0x7	被保留
	0x8-0xF	VCLK

版权 © 2012–2013, Texas Instruments Incorporated

5.8 去毛刺脉冲滤波器

一个毛刺脉冲滤波器出现在以下信号上。

表 **5-20.** 毛刺脉冲滤波器时序技术规格

引脚	参数		最小值	最大值	单位
nPORRST	$t_{f(nPORRST)}$	滤波时间 nPORRST 引脚； 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位 (1)	475	2000	ns
nRST	$t_{f(nRST)}$	滤波器时间 nRST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位	475	2000	ns
TEST	t_{f}（测试）	滤波器时间 TEST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将通过	475	2000	ns

(1) nPORRST 信号上的毛刺脉冲滤波器被设计成振幅脉冲将不会复位微控制器的任何部件（闪存泵，I/O 引脚等）。无也生成一个到 CPU 的有效复位。

版权 © 2012–2013, Texas Instruments Incorporated

5.9 器件存储器映射

5.9.1 存储器映射图

下面的图标显示了器件存储器映射。

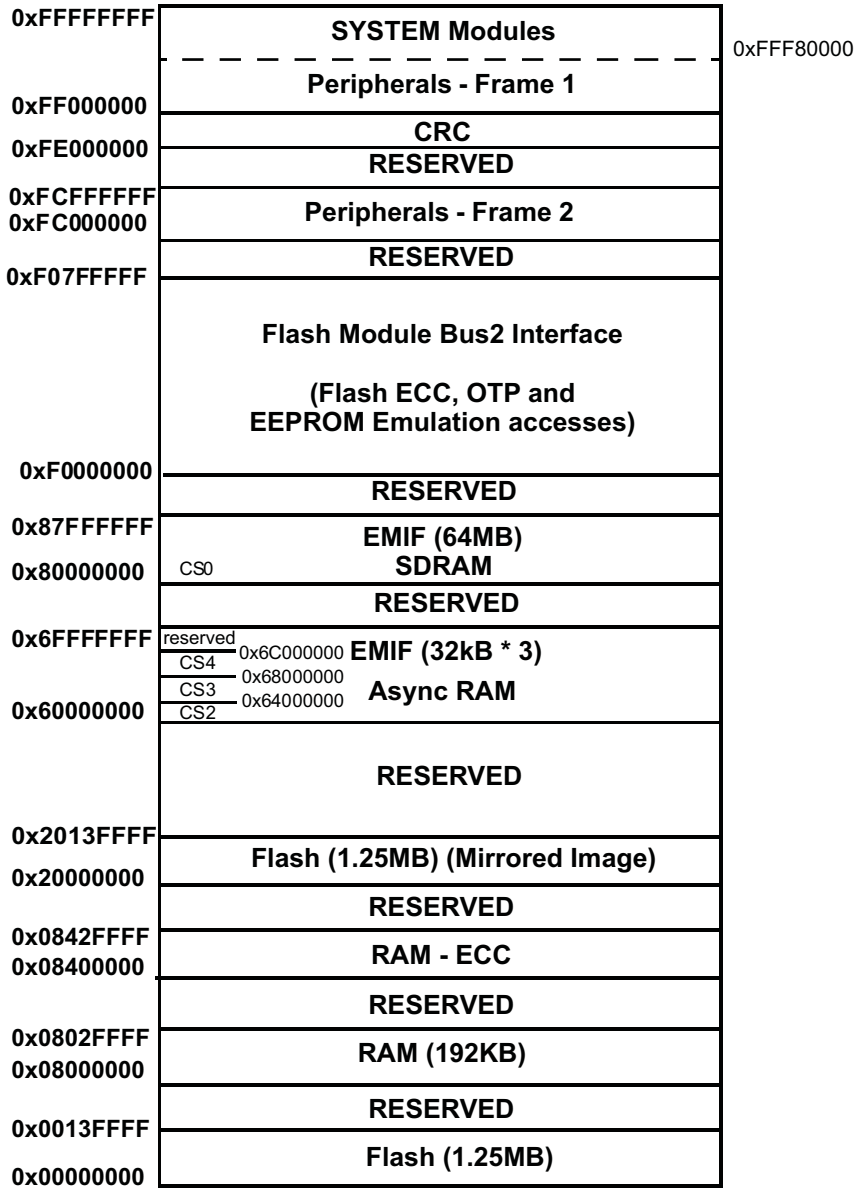


图 **5-10.** 内存映射

闪存存储器被镜像来支持 ECC 逻辑测试。 被镜像的闪存映像的基地址为 0x2000 0000。

5.9.2 存储器映射表

显示器件互连的方框图，请参考和。

表 **5-21.** 器件存储器映射

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 (START)	结束 (END)			
紧耦合至 **ARM Cortex-R4F CPU** 的存储器						
TCM 闪存	CS0	0x0000_0000	0x00FF_FFFF	16MB	1.25MB	异常中断
TCM RAM + RAMECC	CSRAM0	0x0800_0000	0x0BFF_FFFF	64MB	192kB	
被镜像的闪存	闪存镜像帧	0x2000_0000	0x20FF_FFFF	16MB	1.25MB	
外部存储器访问						
EMIF 芯片选择 2（异步）	EMIF 选择2	0x6000_0000	0x63FF_FFFF	64MB	32kB	访问“被保留”的空间将生成异常中断
EMIF 芯片选择 3（异步）	EMIF 选择3	0x6400_0000	0x67FF_FFFF	64MB	32kB	
EMIF 芯片选择 4（异步）	EMIF 选择4	0x6800_0000	0x6BFF_FFFF	64MB	32kB	
EMIF 芯片选择 0（同步）	EMIF 选择0	0x8000_0000	0x87FF_FFFF	128MB	64MB	
闪存模块总线 **2** 接口						
用户一次性可编程 (OTP)，TCM 闪存组		0xF000_0000	0xF000_1FFF	8kB	4KB	异常中断
用户 OTP，组 7		0xF000_E000	0xF000_FFFF	8kB	4KB	
用户 OTP-ECC，TCM 闪存组		0xF004_0000	0xF004_03FF	1kB	512B	
用户 OTP-ECC，组 7		0xF004_1C00	0xF004_1FFF	1kB	256B	
TI OTP，TCM 闪存组		0xF008_0000	0xF008_1FFF	8kB	4kB	
TI OTP，组 7		0xF008_E000	0xF008_FFFF	8kB	4kB	
TI OTP-ECC，TCM 闪存组		0xF00C_0000	0xF00C_03FF	1kB	512B	
TI OTP-ECC，组 7		0xF00C_1C00	0xF00C_1FFF	1kB	512B	
组 7-ECC		0xF010_0000	0xF013_FFFF	256kB	8kB	
组7		0xF020_0000	0xF03F_FFFF	2MB	64kB	
闪存数据空间 ECC		0xF040_0000	0xF04F_FFFF	1MB	160kB	
以太网和**EMIF** 从器件接口						
CPPI 存储器从器件（以太网 RAM）		0xFC52_0000	0xFC52_1FFF	8kB	8kB	异常中断
CPGMAC 从器件（以太网从器件）		0xFCF7_8000	0xFCF7_87FF	2kB	2kB	无错误
CPGMACSS 包装程序（以太网包装程序）		0xFCF7_8800	0xFCF7_88FF	256B	256B	无错误
以太网 MDIO 接口		0xFCF7_8900	0xFCF7_89FF	256B	256B	无错误
EMIF 寄存器		0xFCFF_E800	0xFCFF_E8FF	256B	256B	异常中断

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-21.** 器件存储器映射 **(continued)**

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 **(START)**	结束 **(END)**			
SCR5：增强型计时器外设						
ePWM1		0xFCF7_8C00	0xFCF7_8CFF	256B	256B	异常中断
ePWM2		0xFCF7_8D00	0xFCF7_8DFF	256B	256B	异常中断
ePWM3		0xFCF7_8E00	0xFCF7_8EFF	256B	256B	异常中断
ePWM4		0xFCF7_8F00	0xFCF7_8FFF	256B	256B	异常中断
ePWM5		0xFCF7_9000	0xFCF7_90FF	256B	256B	异常中断
ePWM6		0xFCF7_9100	0xFCF7_91FF	256B	256B	异常中断
ePWM7		0xFCF7_9200	0xFCF7_92FF	256B	256B	异常中断
eCAP1		0xFCF7_9300	0xFCF7_93FF	256B	256B	异常中断
eCAP2		0xFCF7_9400	0xFCF7_94FF	256B	256B	异常中断
eCAP3		0xFCF7_9500	0xFCF7_95FF	256B	256B	异常中断
eCAP4		0xFCF7_9600	0xFCF7_96FF	256B	256B	异常中断
eCAP5		0xFCF7_9700	0xFCF7_97FF	256B	256B	异常中断
eCAP6		0xFCF7_9800	0xFCF7_98FF	256B	256B	异常中断
eQEP1		0xFCF7_9900	0xFCF7_99FF	256B	256B	异常中断
eQEP2		0xFCF7_9A00	0xFCF7_9AFF	256B	256B	异常中断
循环冗余校验 (CRC) 模块寄存器						
CRC	CRC帧	0xFE00_0000	0xFEFF_FFFF	16MB	512B	对 0x200 以上的访问生成异常中断。
外设存储器						
MIBSPI5RAM	PCS[5]	0xFF0A_0000	0xFF0B_FFFF	128kB	2kB	针对到2kB 以上访问的异常中断
MIBSPI3 RAM	PCS[6]	0xFF0C_0000	0xFF0D_FFFF	128kB	2kB	针对到 2kB 以上访问的异常中断
MIBSPI1 RAM	PCS[7]	0xFF0E_0000	0xFF0F_FFFF	128kB	2kB	针对到 2kB 以上访问的异常中断
DCAN3 RAM	PCS[13]	0xFF1A_0000	0xFF1B_FFFF	128kB	2kB	到偏移低于 0x7FF 的未实现地址的内存连续访问 偏移 0x800 之上的访问生成的异常中断。
DCAN2 RAM	PCS[14]	0xFF1C_0000	0xFF1D_FFFF	128kB	2kB	到偏移低于 0x7FF 的未实现地址的内存连续访问 偏移 0x800 之上的访问生成的异常中断。
DCAN1 RAM	PCS[15]	0xFF1E_0000	0xFF1F_FFFF	128kB	2kB	到偏移低于 0x7FF 的未实现地址的内存连续访问 偏移 0x800 之上的访问生成的异常中断。
MIBADC2 RAM	MIBADC2 RAM	0xFF3A_0000	0xFF3B_FFFF	128kB	8kB	到偏移低于 0x1FFF 的未实现地址的内存连续访问。 0x1FFF 之上的访问生成的异常中断。
MIBADC2 查询表					384B	针对 ADC2 包装程序的查找表。 在地址偏移 0x2000 上开始，在地址偏移 0x217F 上结束。 针对偏移 0x0180 和 0x3FFF 间访问的内存连续 偏移 0x4000 之上的访问生成的异常中断。
MIBADC1 RAM	PCS[31]	0xFF3E_0000	0xFF3F_FFFF	128kB	8kB	到偏移低于 0x1FFF 的未实现地址的内存连续访问。 0x1FFF 之上的访问生成的异常中断。
MibADC1 查找表					384B	针对 ADC1 包装程序的查找表。 在地址偏移 0x2000 上开始，在地址偏移 0x217F 上结束。 针对偏移 0x0180 和 0x3FFF 间访问的内存连续 偏移 0x4000 之上的访问生成的异常中断。
N2HET2RAM	PCS[34]	0xFF44_0000	0xFF45_FFFF	128kB	16kB	到偏移低于 0x3FFF 的未实现地址的内存连续访问。 0x3FFF 之上的访问生成的异常中断。
N2HET1RAM	PCS[35]	0xFF46_0000	0xFF47_FFFF	128kB	16kB	到偏移低于 0x3FFF 的未实现地址的内存连续访问。 0x3FFF 之上的访问生成的异常中断。

表 **5-21.** 器件存储器映射 **(continued)**

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 **(START)**	结束 **(END)**			
HTU2 RAM	PCS[38]	0xFF4C_0000	0xFF4D_FFFF	128kB	1kB	异常中断
HTU1 RAM	PCS[39]	0xFF4E_0000	0xFF4F_FFFF	128kB	1kB	异常中断
调试组件						
CoreSight 调试 ROM	CSCS0	0xFFA0_0000	0xFFA0_0FFF	4kB	4kB	读取返回 0，写入无影响
Cortex-R4F 调试	CSCS1	0xFFA0_1000	0xFFA0_1FFF	4kB	4kB	读取返回 0，写入无影响
POM	CSCS4	0xFFA0_4000	0xFFA0_4FFF	4kB	4kB	异常中断
外设控制寄存器						
HTU1	PS[22]	0xFFF7_A400	0xFFF7_A4FF	256B	256B	读取返回 0，写入无影响
HTU2	PS[22]	0xFFF7_A500	0xFFF7_A5FF	256B	256B	读取返回 0，写入无影响
N2HET1	PS[17]	0xFFF7_B800	0xFFF7_B8FF	256B	256B	读取返回 0，写入无影响
N2HET2	PS[17]	0xFFF7_B900	0xFFF7_B9FF	256B	256B	读取返回 0，写入无影响
GIO	PS[16]	0xFFF7_BC00	0xFFF7_BDFF	512B	256B	读取返回 0，写入无影响
MIBADC1	PS [15]	0xFFF7_C000	0xFFF7_C1FF	512B	512B	读取返回 0，写入无影响
MIBADC2	PS [15]	0xFFF7_C200	0xFFF7_C3FF	512B	512B	读取返回 0，写入无影响
IC2	PS[10]	0xFFF7_D400	0xFFF7_D4FF	256B	256B	读取返回 0，写入无影响
DCAN1	PS[8]	0xFFF7_DC00	0xFFF7_DDFF	512B	512B	读取返回 0，写入无影响
DCAN2	PS[8]	0xFFF7_DE00	0xFFF7_DFFF	512B	512B	读取返回 0，写入无影响
DCAN3	PS[7]	0xFFF7_E000	0xFFF7_E1FF	512B	512B	读取返回 0，写入无影响
LIN	PS[6]	0xFFF7_E400	0xFFF7_E4FF	256B	256B	读取返回 0，写入无影响
SCI	PS[6]	0xFFF7_E500	0xFFF7_E500	256B	256B	读取返回 0，写入无影响
MibSPI1	PS[2]	0xFFF7_F400	0xFFF7_F5FF	512B	512B	读取返回 0，写入无影响
SPI2	PS[2]	0xFFF7_F600	0xFFF7_F7FF	512B	512B	读取返回 0，写入无影响
MibSPI3	PS[1]	0xFFF7_F800	0xFFF7_F9FF	512B	512B	读取返回 0，写入无影响
SPI4	PS[1]	0xFFF7_FA00	0xFFF7_FBFF	512B	512B	读取返回 0，写入无影响
MibSPI5	PS[0]	0xFFF7_FC00	0xFFF7_FDFF	512B	512B	读取返回 0，写入无影响
系统模块控制寄存器和存储器						
DMA RAM	PPCS0	0xFFF8_0000	0xFFF8_0FFF	4kB	4kB	异常中断
VIM RAM	PPCS2	0xFFF8_2000	0xFFF8_2FFF	4kB	1kB	针对 1kB 和 4kB 之间未实现地址偏移访问的内存连续
闪存模块	PPCS7	0xFFF8_7000	0xFFF8_7FFF	4kB	4kB	异常中断
熔丝控制器	PPCS12	0xFFF8_C000	0xFFF8_CFFF	4kB	4kB	异常中断
电源管理模块 (PMM)	PPSE0	0xFFFF_0000	0xFFFF_01FF	512B	512B	异常中断
PCR 寄存器	PPS0	0xFFFF_E000	0xFFFF_E0FF	256B	256B	读取返回 0，写入无影响
系统模块-帧 2（请参见器件 TRM）	PPS0	0xFFFF_E100	0xFFFF_E1FF	256B	256B	读取返回 0，写入无影响
PBIST	PPS1	0xFFFF_E400	0xFFFF_E5FF	512B	512B	读取返回 0，写入无影响
STC	PPS1	0xFFFF_E600	0xFFFF_E6FF	256B	256B	如果被启用，生成地址错误中断
IOMM 复用控制模块	PPS2	0xFFFF_EA00	0xFFFF_EBFF	512B	512B	读取返回 0，写入无影响
DCC1	PPS3	0xFFFF_EC00	0xFFFF_ECFF	256B	256B	读取返回 0，写入无影响
DMA	PPS4	0xFFFF_F000	0xFFFF_F3FF	1kB	1kB	读取返回 0，写入无影响
DCC2	PPS5	0xFFFF_F400	0xFFFF_F4FF	256B	256B	读取返回 0，写入无影响
ESM	PPS5	0xFFFF_F500	0xFFFF_F5FF	256B	256B	读取返回 0，写入无影响
CCMR4	PPS5	0xFFFF_F600	0xFFFF_F6FF	256B	256B	读取返回 0，写入无影响
RAM ECC 偶数	PPS6	0xFFFF_F800	0xFFFF_F8FF	256B	256B	读取返回 0，写入无影响

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-21.** 器件存储器映射 **(continued)**

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 **(START)**	结束 **(END)**			
RAM ECC 奇数	PPS6	0xFFFF_F900	0xFFFF_F900	256B	256B	读取返回 0，写入无影响
RTI+DWWD	PPS7	0xFFFF_FC00	0xFFFF_FCFF	256B	256B	读取返回 0，写入无影响
VIM 奇偶校验	PPS7	0xFFFF_FD00	0xFFFF_FDFF	256B	256B	读取返回 0，写入无影响
VIM	PPS7	0xFFFF_FE00	0xFFFF_FEFF	256B	256B	读取返回 0，写入无影响
系统模块-帧 1（请参见器件 TRM）	PPS7	0xFFFF_FF00	0xFFFF_FFFF	256B	256B	读取返回 0，写入无影响

5.9.3 对于 CPU 访问错误导致的模糊异常中断的特别考虑

到正常或器件类型存储器的任何产生故障的 CPU 写入访问，将生成一个模糊异常中断。 模糊异常中断缺省情况下被禁用并且必须被启用以使得 CPU 能够处理这个异常情况。 模糊异常中断处理通过清零 CPU 程序状态寄存器 (CPSR) 的'A'位来启用。

5.9.4 主器件/从器件访问权限

下面的表格中列出了器件上每个总线主控的访问许可。 一个总线主控是一个能够在器件上启动一个读取或写入操作的模块。

表中列出了主互连上的每个受控模块。 一个"支持"表示列于"主控"列的模块能够访问受控模块。

表 **5-22.** 主器件/从器件访问矩阵

主器件	访问模式	主 **SCR** 上的从器件				
		闪存模块总线 **2** 接口：**OTP**，**ECC**，组 **7**	到程序闪存和 **CPU** 数据**RAM** 的非 **CPU** 访问	**CRC**	**EMIF**，以太网，从器件接口	外设控制寄存器，所有外设寄存器，以及所有系统模块控制寄存器和存储器
CPU 读取	用户/权限	是	支持	支持	支持	是
CPU 写入	用户/权限	否	是	支持	支持	是
DMA	用户	是	支持	支持	支持	是
POM	用户	是	支持	支持	支持	是
DAP	权限	是	支持	支持	支持	是
HTU1	权限	否	是	支持	支持	是
HTU2	权限	否	是	支持	支持	是
EMAC	用户	否	支持	否	支持	否

5.9.5 访问特定从器件的特别注释

到电源域管理模块 (PMM) 控制寄存器的写入访问只能由 CPU 进行（主器件 id=1）。 其它主器件只能从这些寄存器中读取数据。

一个调试器也可写入 PMM 寄存器。 主器件 id 检查在调试模式中被禁用。

此器件包含专用逻辑电路，此逻辑电路可在访问已被关闭的电源域中的模块时生成一个错误响应。

5.9.6 参数覆盖模块 (POM) 注意事项

- POM 能够映射到高达 8MB 的内部或外部存储器空间。 起始地址和存储器覆盖的尺寸可由POM 控制寄存器配置。 配置时必须小心以确保覆盖被映射到可用的存储器上。
- 在 POM 覆盖被启用时，ECC 必须用过 CP15 由软件禁用；否则将生成 ECC 错误。
- 当闪存和内部 RAM 存储器通过总线矩阵模块控制寄存器 1 (BMMCR1) 的 MEM SWAP 字段交换数据时，一定不能启用 POM 覆盖。

- 当 POM 被用来将闪存覆盖在内部或外部 RAM 之上时，当另外主器件访问 TCM 闪存时有可能发生总线竞争。 这将导致一个系统挂起。
  - POM 执行一个超时功能来严格检测这个情况。 只要 POM 覆盖被启用，这个超时就需要被启用。
  - 可以通过将 1010 写入到 POM 全局控制寄存器（POMGLBCTRL，地址 = 0xFFA04000）的使能超时(ETO) 字段来启用此超时。
  - 在 POM 的读取请求无法在 32 个HCLK 周期内完成的情况下，POM 标志寄存器（POMFLG，地址 = 0xFFA0400C）中的超时 (TO) 标志被置位。 此外，还生成一个到 CPU 的异常中断。 这可以是一个针对指令预取预取异常中断或者一个针对数据预取的数据异常中断。
  - 预取和数据异常中断处理器必须被修改以检查 POM 中的 TO 标志是否被置位。 如果被置位，那么应用可以假定超时由 POM 操作和其它访问同一存储器区域的主器件之间的总线竞争引起。 异常中断处理器需要清零 TO 标志，这样任何进一步异常中断就不会被解释为由来自POM 的超时导致。

版权 © 2012–2013, Texas Instruments Incorporated

5.10 闪存存储器

5.10.1 闪存存储器配置

闪存组：一个包含 1 至 16 个扇区的独立逻辑块。 每个闪存组通常有一个用户 OTP 和一个 TI-OTP 区域。 这些闪存扇区共用输入/输出缓冲器、数据路径、感测放大器、和控制逻辑。

闪存扇区：闪存存储器的一个连续区域，由于物理结构限制，此区域必须被同时擦除。

闪存泵：一个生成读取、编程、或擦除闪存组全部所需电压的电荷泵。

闪存模块：主机 CPU 和闪存组以及泵模块将所需的接口电路。

表 **5-23.** 闪存存储器组组和扇区

存储器阵列（或组）	扇区编号	段	低位地址	高位地址
组 0 (1.25MB)	0	16K 字节	0x0000_0000	0x0000_3FFF
	1	16K 字节	0x0000_4000	0x0000_7FFF
	2	16K 字节	0x0000_8000	0x0000_BFFF
	3	16K 字节	0x0000_C000	0x0000_FFFF
	4	16K 字节	0x0001_0000	0x0001_3FFF
	5	16K 字节	0x0001_4000	0x0001_7FFF
	6	32K 字节	0x0001_8000	0x0001_FFFF
	7	128K 字节	0x0002_0000	0x0003_FFFF
	8	128K 字节	0x0004_0000	0x0005_FFFF
	9	128K 字节	0x0006_0000	0x0007_FFFF
	10	128K 字节	0x0008_0000	0x0009_FFFF
	11	128K 字节	0x000A_0000	0x000B_FFFF
	12	128K 字节	0x000C_0000	0x000D_FFFF
	13	128K 字节	0x000E_0000	0x000F_FFFF
	14	128K 字节	0x0010_0000	0x0011_FFFF
	15	128K 字节	0x0012_0000	0x0013_FFFF
组 7 (64kB) 用于 EEPROM 仿真	0	16K 字节	0xF020_0000	0xF020_3FFF
	1	16K 字节	0xF020_4000	0xF020_7FFF
	2	16K 字节	0xF020_8000	0xF020_BFFF
	3	16K 字节	0xF020_C000	0xF020_FFFF

5.10.2 闪存模块的主要特性

- 支持多个闪存组的编程和/或数据存储
- 在读取访问一个组的同时在其它组上执行编程或者擦除操作
- 集成的状态机时闪存擦除和编程操作自动进行
- 管线模式运行以提升指令访问接口带宽
- 支持 Cortex-R4F CPU 内的单纠错双纠错(SECDED) 块
  - 错误地址被捕捉用于主机系统调试
- 支持丰富的诊断特性集

5.10.3 针对闪存访问的 ECC 保护

所有到程序闪存存储器的访问受到 CPU 内嵌的单纠错双纠错 (SECDED) 逻辑的保护。 针对 64 位指令或者从闪存存储器的取数据，闪存模块提供 8 位ECC 代码。 根据接收到的 64 位，CPU 计算出预计的 ECC 代码，并且将此代码与闪存模块返回的 ECC 代码相比较。 一个单位错误由 CPU 纠正和标记，而只标记一个多位错误。 CPU 通过其事件总线发出一个 ECC 错误。 这个信令机制缺省情况下并不被启用，并且必须通过将性能监视控制寄存器，c9 的 'X' 位置位来启用。

```
MRC p15,#0,r1,c9,c12,#0    ;Enabling Event monitor states
```

```
ORR r1, r1, #0x00000010
MCR p15,#0,r1,c9,c12,#0    ;Set 4th bit (‘X’) of PMNC register
MRC p15,#0,r1,c9,c12,#0
```

应用必须明确地启用 CPU 的 ECC 校验对CPU ATCM 和 BTCM 接口上的访问进行检查。 这些分别被连接到程序闪存和数据 RAM。 可通过将系统控制协处理器的辅助控制寄存器，c1 的 B1TCMPCEN，B0TCMPCEN 和 ATCMPCEN 位置位来完成对这些接口的 ECC 检查。

```
MRC p15, #0, r1, c1, c0, #1
ORR r1, r1, #0x0e000000        ;Enable ECC checking for ATCM and BTCMs
DMB
MCR p15, #0, r1, c1, c0, #1
```

5.10.4 闪存访问速度

闪存存储器访问速度和所需相关等待状态，请参考节 4.4。

版权 © 2012–2013, Texas Instruments Incorporated

5.10.5 程序闪存

表 **5-24.** 程序闪存的时序要求

参数			最小值	标称值	最大值	单位
$t_{prog(144bit)}$	宽字（144 位）编程实践			40	300	µs
$t_{prog(Total)}$	1.25MB 编程时间 (1)	-40°C 至105°C			13	s
		对于头 25 个周期，0°C 至 60°C		3.3	6.6	s
$t_{erase(bank0)}$	扇区/组擦除时间 (2)	-40°C 至105°C		0.03	4	s
		对于头 25 个周期，0°C 至 60°C		16	100	ms
t_{wec}	具有 15 年数据保持要求的写入/擦除周期	-40°C 至105°C			1000	周期

(1) 编程时间包括状态机的的开销，但不包括数据传输时间。 编程时间假定在最大额定运行频率上一次编辑 144 个位。
(2) 组擦除期间，所选择的扇区被同时擦除。 组擦除时间被规定为与扇区擦除时间相等。

5.10.6 数据闪存

表 **5-25.** 数据闪存的时序要求

参数			最小值	标称值	最大值	单位
$t_{prog(144bit)}$	宽字（144 位）编程时间			40	300	µs
t_{prog}（总）	EEPROM 仿真（组 7）64kB 编程时间 (1)	-40°C 至105°C			660	ms
		对于头 25 个周期，0°C 至 60°C		165	330	ms
$t_{erase(bank7)}$	EEPROM 仿真（组 7）扇区/组擦除时间 (2)	-40°C 至105°C		0.2	8	s
		对于头 25 个周期，0°C 至 60°C		14	100	ms
t_{wec}	具有 15 年数据保持要求的写入/擦除周期	-40°C 至105°C			100000	周期

(1) 编程时间包括状态机的的开销，但不包括数据传输时间。 编程时间假定在最大额定运行频率上一次编辑 144 个位。
(2) 组擦除期间，所选择的扇区被同时擦除。 组擦除时间被规定为与扇区擦除时间相等。

版权 © 2012–2013, Texas Instruments Incorporated

5.11 紧耦合 RAM 接口模块

图 5-11图示了紧耦合 RAM (TCRAM) 到 Cortex-R4F™ CPU 的连接。

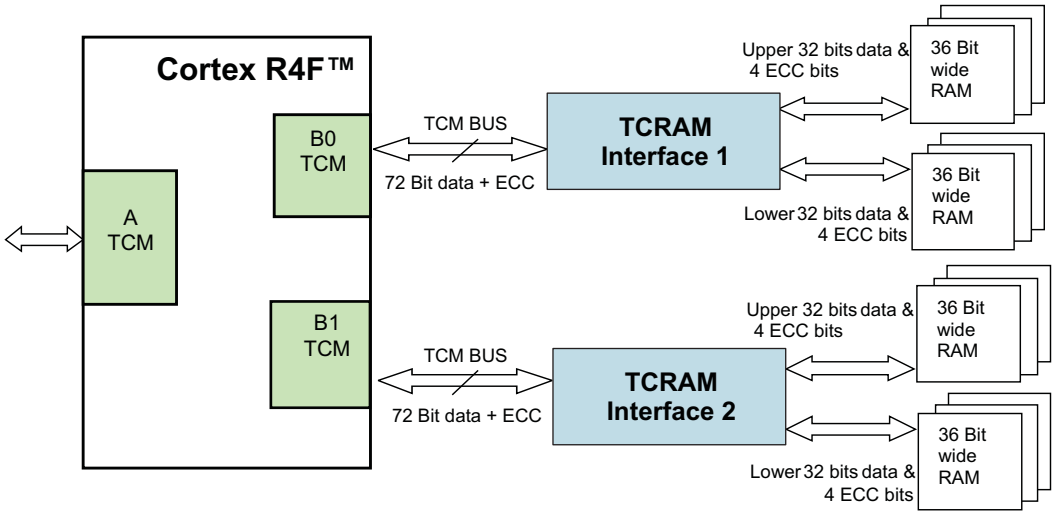


图 **5-11. TCRAM** 方框图

5.11.1 特性

紧耦合 RAM (TCRAM) 模块的特性有：

- 运行为到 Cortex-R4F CPU BTCM 接口的从器件
- 通过提供 64 位数据和 8 位ECC 代码来支持 CPU 内部 ECC 机制
- 监视 CPU 事件总线并生成单或双错误中断
- 存储针对单和多位错误的地址
- 支持 RAM 跟踪模块
- 通过支持地址总线上的奇偶校验来提供 CPU 地址总线完整性检查
- 执行针对 RAM 组芯片选择和 ECC 选择生成逻辑的冗余地址解码
- 通过执行两个 36 位宽字节交叉 RAM 组并且生成到两个组的独立的 RAM 访问控制信号来提供针对 RAM 增强型安全性。
- 支持 RAM 组连同 ECC 位的自动初始化。
- 不支持位元 RAM访问

5.11.2 TCRAMW ECC 支持

针对 Cortex-R4F CPU 从RAM 读取的每个数据，TCRAMW 传递 ECC 代码。 它还在 CPU 进行到RAM 的写入操作时将 CPU ECC 端口内容存储在 ECC RAM 中。 TCRAMW 监视 CPU 事件总线并且为寄存器指示单/多位错误并且使寄存器识别导致单或多位错误的地址。 针对 RAM 访问的事件信令和 ECC 检查必须在 CPU 内部被启用。

更多信息请参阅器件技术参考手册。

5.12 用于外设 RAM 访问的奇偶校验保护

对某些外设 RAM 的访问由偶数/奇数校验检查保护。 在一个读取访问期间，根据从外设 RAM 中读取的数据计算奇偶校验并且将其与存储在针对那个外设的奇偶校验 RAM 中的正确奇偶校验值相比较。 如果有任一字使奇偶校验检查失败，模块将生成一个被映射到错误信令模块的奇偶校验错误信号。 此模块还捕捉导致奇偶校验错误的外设 RAM 地址。

缺省情况下，针对外设 RAM 的奇偶校验保护并不启用，而必须由应用启用。 每个独立的外设包含控制寄存器来启用针对到它的 RAM 访问的奇偶校验保护。

版权 © 2012–2013, Texas Instruments Incorporated

注

CPU 读取访问从外设获得真实的数据。 应用可以选择在一个外设 RAM 奇偶校验错误被检测到时生成一个中断。

5.13 片载 SRAM 初始化和测试

5.13.1 使用 PBIST 的片载 SRAM 自检

5.13.1.1 特性

- 扩展指令集以支持不同的存储器测试算法
- 基于 ROM 的算法使得应用能够运行 TI生产级存储器测试
- 所有片载 SRAM 的独立测试

5.13.1.2 PBIST RAM 组

表 **5-26. PBIST RAM** 分组

内存	**RAM** 组	测试时钟	存储器类型	测试模式（算法）			
				三倍读取 慢速读取	三倍读取 快速读取	**March 13N** 算法(1) 两个端口（周期）	**March 13N** 算法(1) 单端口（周期）
				ALGO MASK 0x1	**ALGO MASK 0x2**	**ALGO MASK 0x4**	**ALGOMASK 0x8**
PBIST_ROM	1	ROMCLK	ROM	24578	8194		
STC_ROM	2	ROMCLK	ROM	19586	6530		
DCAN1	3	VCLK	双端口			25200	
DCAN2	4	VCLK	双端口			25200	
DCAN3	5	VCLK	双端口			25200	
ESRAM1	6	HCLK	单端口				266280
MIBSPI1	7	VCLK	双端口			33440	
MIBSPI3	8	VCLK	双端口			33440	
MIBSPI5	9	VCLK	双端口			33440	
VIM	10	VCLK	双端口			12560	
MIBADC1	11	VCLK	双端口			4200	
DMA	12	HCLK	双端口			18960	
N2HET1	13	VCLK	双端口			31680	
HTU1	14	VCLK	双端口			6480	
MIBADC2	18	VCLK	双端口			4200	
N2HET2	19	VCLK	双端口			31680	
HTU2	20	VCLK	双端口			6480	
ESRAM5	21	HCLK	单端口				266280
ESRAM6	22	HCLK	单端口				266280
以太网	23	VCLK3	双端口			8700	
	24					6360	
	25		单端口				133160

(1) 在PBIST ROM 中存储了几个存储器测试算法。 然而，TI 将 March13N 算法用于应用测试。

如果 100MHz < HCLK <= HCLK 最大值，如果 HCLK <= 100MHz，PBIST ROM 时钟频率被限制为 100MHz。

PBIST ROM 时钟由 HCLK 分频所得。 通过编辑地址 0xFFFFFF58 上存储器自检全局控制寄存器 (MSTGCR) 的 ROM_DIV 字段来选择此分频器。

版权 © 2012–2013, Texas Instruments Incorporated

5.13.2 片载 SRAM 自动初始化

这个微控制器允许通过系统模块中的存储器硬件初始化机制来初始化某些片载存储器。 这个硬件机制使得一个应用能够根据存储器阵列的错误检测机制（偶数/奇数奇偶校验或 ECC）来将带有错误检测功能的存储器阵列设定为一个已知状态。

MINITGCR 寄存器启用内存初始化序列，并在 MSINENA 寄存器选择要初始化的内存。

有关这些寄存器的更多信息请参阅器件技术参考手册。

不同片载存储器到 MSINENA寄存器特定位的映射显示在表 5-27中。

表 5-27. 存储器初始化

连接模块	地址范围		MSINENA 寄存器位 #
	基址	结束地址	
RAM(PD#1)	0x08000000	0x0800FFFF	0(1)
RAM(RAM_PD#1)	0x08010000	0x0801FFFF	0(1)
RAM(RAM_PD#2)	0x08020000	0x0802FFFF	0(1)
MIBSPI5RAM	0xFF0A0000	0xFF0BFFFF	12(2)
MIBSPI3 RAM	0xFF0C0000	0xFF0DFFFF	11(2)
MIBSPI1 RAM	0xFF0E0000	0xFF0FFFFF	7(2)
DCAN3 RAM	0xFF1A0000	0xFF1BFFFF	10
DCAN2 RAM	0xFF1C0000	0xFF1DFFFF	6
DCAN1 RAM	0xFF1E0000	0xFF1FFFFF	5
MIBADC2 RAM	0xFF3A0000	0xFF3BFFFF	14
MIBADC1 RAM	0xFF3E0000	0xFF3FFFFF	8
N2HET2RAM	0xFF440000	0xFF57FFFF	15
N2HET1RAM	0xFF460000	0xFF47FFFF	3
HTU2 RAM	0xFF4C0000	0xFF4DFFFF	16
HTU1 RAM	0xFF4E0000	0xFF4FFFFF	4
DMA RAM	0xFFF80000	0xFFF80FFF	1
VIM RAM	0xFFF82000	0xFFF82FFF	2
以太网 RAM（CPPI 存储器从器件）	0xFC520000	0xFC521FFF	不可用

(1) TCM RAM 包装程序有独立的控制位来选择将被自动初始化的 RAM 电源域。
(2) 一旦模块从其本地复位中被释放，MibSPIx 模块就执行一个发送和接收 RAM 的初始化。 这与应用是否使用系统模块自动初始化方法来选择初始化 MibSPIx RAM 无关。 为了使用系统模块自动初始化方法，MibSPIx 模块必须首先生成其本地复位。

版权 © 2012–2013, Texas Instruments Incorporated

5.14 外部存储器接口 (EMIF)

5.14.1 特性

EMIF 包括了很多特性来提高连接至外部异步存储器或者 SDRAM 器件的简便性和灵活性。 EMIF 特性包括对于以下功能的支持：

- 针对异步存储器的 3 个可寻址芯片选择，每个存储器最大 16MB
- 高达 128MB 的针对 SDRAM 的 1 个可寻址芯片选择
- 8 或 16 位数据总线宽度
- 可编程周期时序例如建立、选通 和保持时间以及周转时间
- 选择选通模式
- 扩展等待模式
- 数据总线驻留

5.14.2 电气和时序技术规格

5.14.2.1 异步 RAM

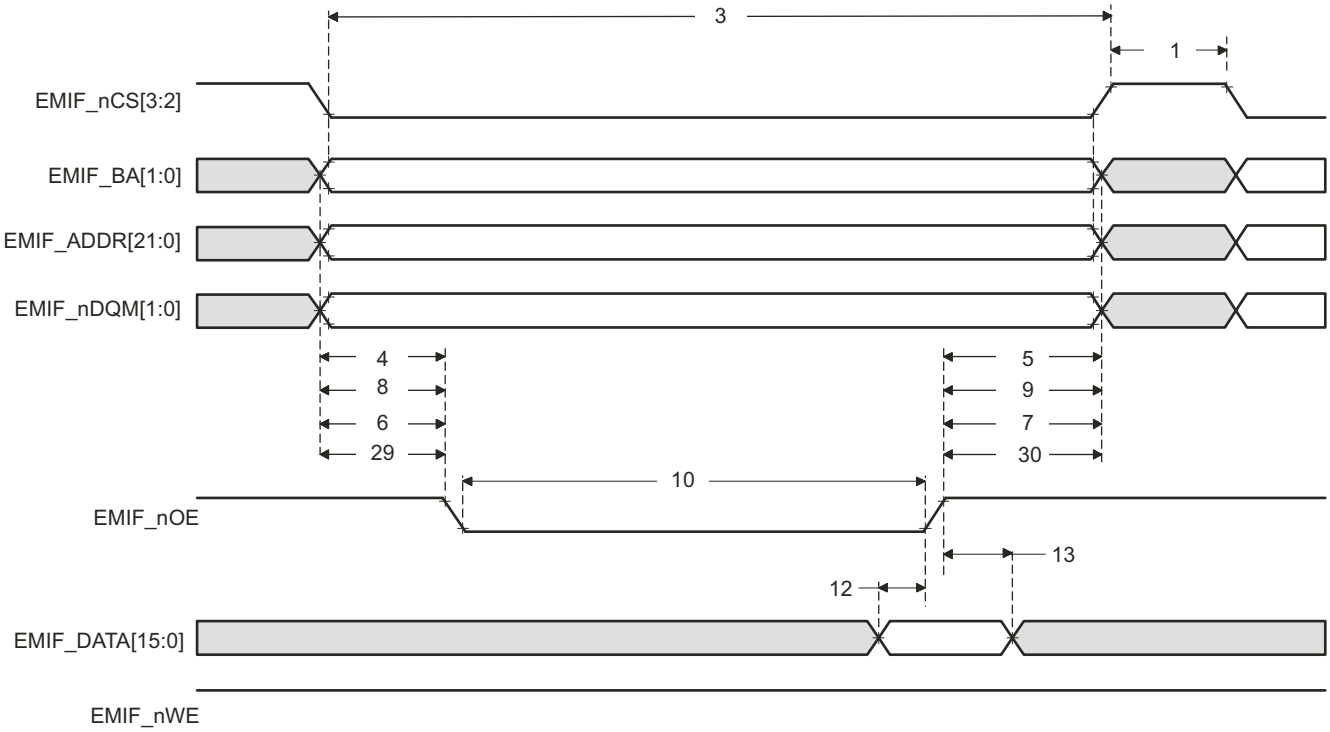


图 **5-12.** 异步存储器读取时序

版权 © 2012–2013, Texas Instruments Incorporated

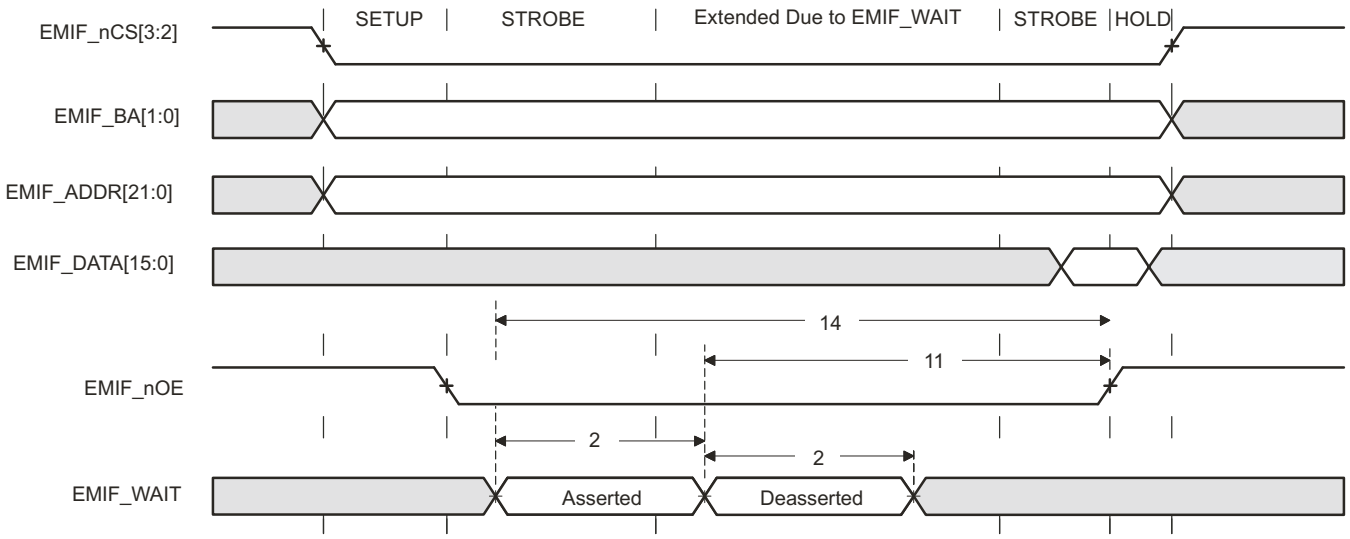


图 **5-13. EMIFnWAIT** 读取时序要求

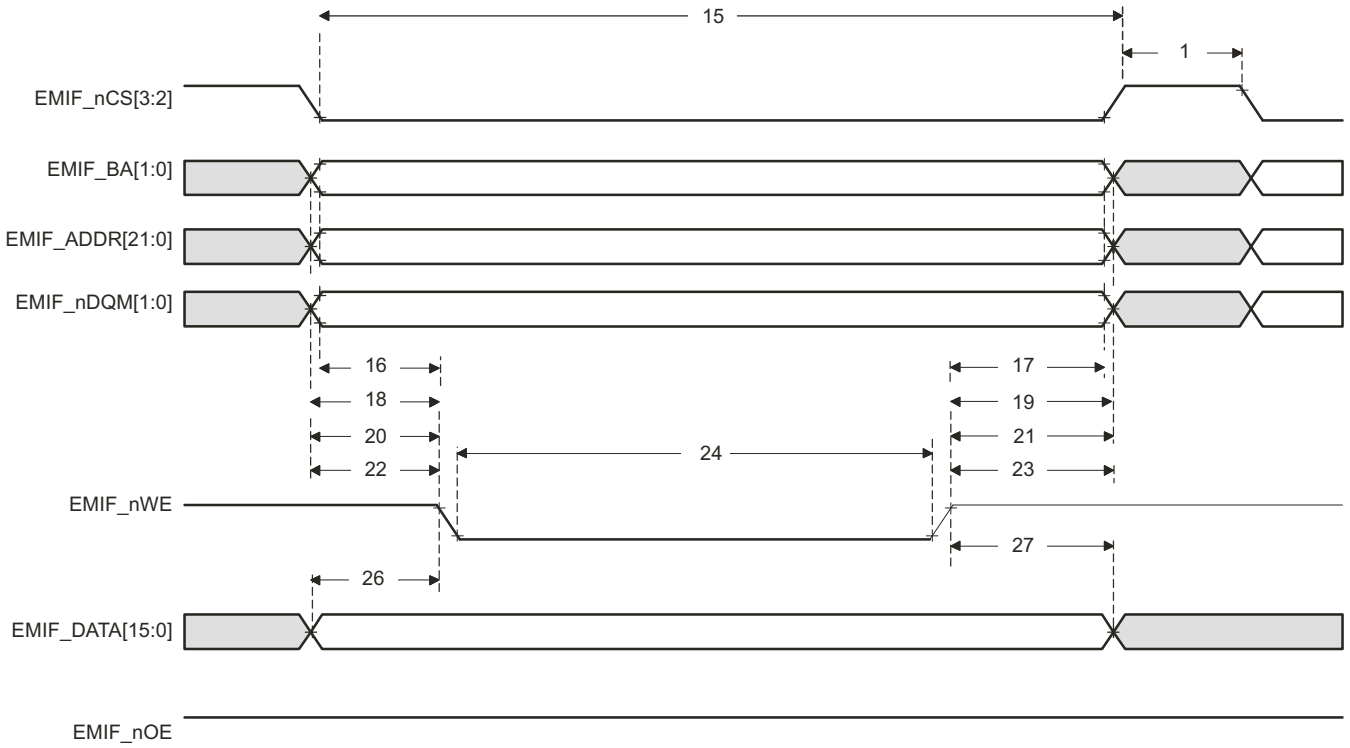


图 **5-14.** 异步存储器写入时序

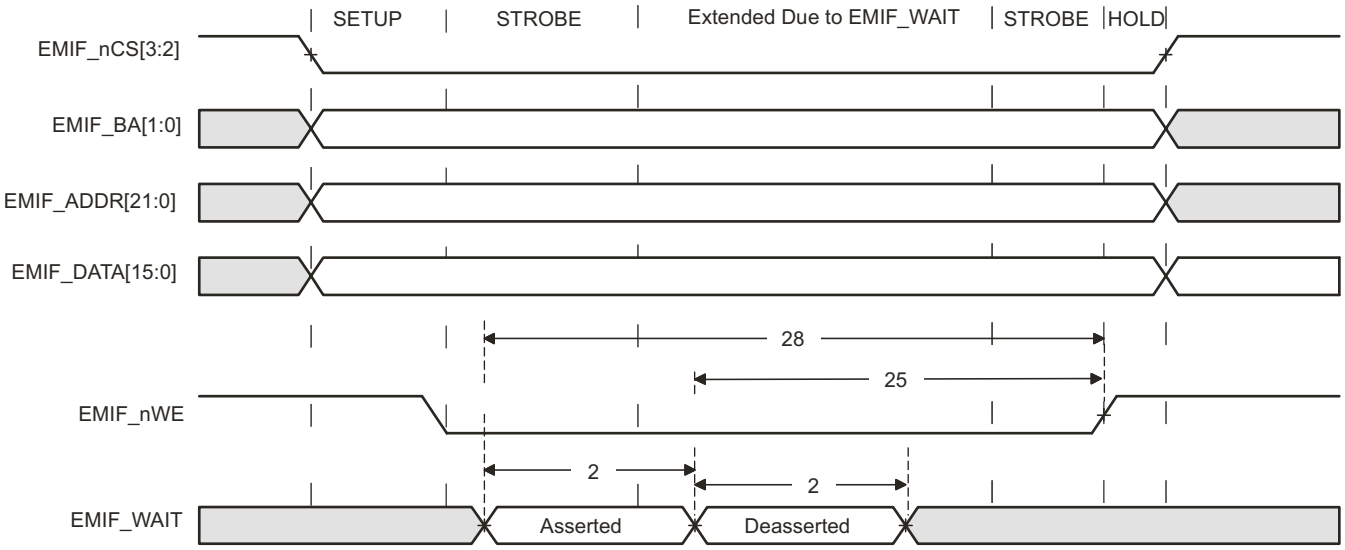


图 **5-15. EMIFnWAIT**写入时序要求

表 **5-28. EMIF** 异步存储器时序要求

编号			值			单位
			最小值	标称值	最大值	
读取和写入						
	E	EMIF 时钟周期	10			ns
2	$t_{w(EM_WAIT)}$	脉冲持续时间，EMIFnWAIT 置为有效和置为无效的时间	2E			ns
读取						
12	$t_{su(EMDV-EMOEH)}$	建立时间，EMIFnOE 高电平前，EMIFDATA[15:0] 有效的时间	30			ns
13	$t_{h(EMOEH-EMDIV)}$	保持时间，EMIFnOE 高电平后，EMIFDATA[15:0] 有效的时间	0.5			ns
14	$t_{su(EMOEL-EMWAIT)}$	建立时间，选通阶段结束前，EMIFnWAIT 被置为有效的时间(1)	4E+30			ns
写入						
28	$t_{su(EMWEL-EMWAIT)}$	建立时间，选通阶段结束前，EMIFnWAIT 被置为有效的时间(1)	4E+30			ns

(1) 在 STROBE 阶段的末尾前建立（如果没有扩展等待状态被插入），此时 EMIFnWAIT 必须被置为有效来添加扩展等待状态。 图表图 5-13 和图表图 5-15描述了 EMIF 操作，此操作包括选通 (STROBE) 阶段的扩展等待状态被插入。 然而，被插入这个扩展等待周期中作为其一部分的周期不应被计算在内；如果没有扩展等待周期，4E 要求是从保持 (HOLD) 阶段将开始的位置启动。

表 **5-29. EMIF** 异步存储器开关特性(1)(2)(3)

编号	参数	值			单位
		最小值	标称值	最大值	
读取和写入					

(1) TA = 周转，RS = 读取建立，RST = 读取选通，RH =读取保持，WS = 写入建立，WST = 写入选通，WH = 写入保持，MEWC = 最大外部等待周期。 这些参数由异步组和异步等待周期配置寄存器来设定。 这些参数支持以下范围内的值：TA[4–1]，RS[16–1]，RST[64–1]，RH[8–1]，WS[16–1]，WST[64–1]，WH[8–1] 和 MEWC[1–256]。 要获得更多信息，请参见《TMS570LS31X/21X 技术参考手册》（文献编号：SPNU499）。
(2) E = 以 ns 单位的 EMIF_CLK 周期。
(3) EWC = 由 EMIFnWAIT 输入信号确定的外部等待周期。 EWC 支持下列范围的值： EWC[256–1]。 请注意，超时之前的最大等待时间由异步等待周期配置寄存器内的位字段 MEWC 指定。 要获得更多信息，请参见 《TMS570LS31X/21X 技术参考手册》（文献编号：SPNU499）。

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-29. EMIF** 异步存储器开关特性[(1)(2)(3)] **(continued)**

编号	参数		值			单位
			最小值	标称值	最大值	
1	t_d（周转）	周转时间	(TA)*E-4	(TA)*E	(TA)*E+3	ns
读取						
3	$t_{c(EMRCYCLE)}$	EMIF 读取周期时间(EW=0)	(RS+RST+RH)*E-3	(RS+RST+RH)*E	(RS+RST+RH)*E+3	ns
		EMIF 读取周期时间 (EW=1)	(RS+RST+RH+(EWC*16))*E-3	(RS+RST+RH+(EWC*16))*E	(RS+RST+RH+(EWC*16))*E+3	ns
4	$t_{su(EMCEL-EMOEL)}$	输出等待时间，EMIFnCS[4:2] 低电平到 EMIFnOE 低电平 (SS=0) 的时间	(RS)*E-5	(RS)*E	(RS)*E+3	ns
		输出等待时间，EMIFnCS[4:2] 低电平到 EMIFnOE 低电平 (SS=1) 的时间	-5	0	+3	ns
5	$t_{h(EMOEH-EMCEH)}$	输出保持时间，EMIFnOE 高电平至 EMIFnCS[4:2] 高电平的时间（SS= 0）	(RH)*E-4	(RH)*E	(RH)*E+4	ns
		输出保持时间，EMIFnOE 高电平至 EMIFnCS[4:2] 高电平的时间（SS= 1）	-4	0	+4	ns
6	$t_{su(EMBAV-EMOEL)}$	输出建立时间，EMIFBA[1:0] 有效至 EMIFnOE 低电平的时间	(RS)*E-5	(RS)*E	(RS)*E+3	ns
7	$t_{h(EMOEH-EMBAIV)}$	输出保持时间，EMIFnOE 高电平至 EMIFBA[1:0] 无效的时间	(RH)*E-4	(RH)*E	(RH)*E+5	ns
8	$t_{su(EMAV-EMOEL)}$	输出建立时间，EMIFADDR[21:0] 有效至 EMIFnOE 低电平的时间	(RS)*E-5	(RS)*E	(RS)*E+3	ns
9	$t_{h(EMOEH-EMAIV)}$	输出保持时间，EMIFnOE 高电平至 EMIFADDR[21:0] 无效的时间	(RH)*E-4	(RH)*E	(RH)*E+5	ns
10	$t_{w(EMOEL)}$	EMIFnOE 有效低电平宽度 (EW=0)	(RST)*E-3	(RST)*E	(RST)*E+3	ns
		EMIFnOE 有效低电平宽度 (EW=1)	(RST+(EWC*16))*E-3	(RST+(EWC*16))*E	(RST+(EWC*16))*E+3	ns
11	$t_{d(EMWAITH-EMOEH)}$	延迟时间，从 EMIFnWAIT 被置为无效到 EMIFnOE 高电平的时间	3E-3	4E	4E+30	ns
29	$t_{su(EMDQMV-EMOEL)}$	输出建立时间，EMIFnDQM[1:0] 有效至 EMIFnOE 低电平的时间	(RS)*E-5	(RS)*E	(RS)*E+3	ns
30	$t_{h(EMOEH-EMDQMIV)}$	输出保持时间，EMIFnOE 高电平至 EMIFnDQM[1:0] 无效的时间	(RH)*E-4	(RH)*E	(RH)*E+5	ns
写入						
15	$t_{c(EMWCYCLE)}$	EMIF 写入周期时间(EW=0)	(WS+WST+WH)*E-3	(WS+WST+WH)*E	(WS+WST+WH)* E+3	ns
		EMIF 写入周期时间 (EW=1)	(WS+WST+WH+(EWC*16))*E-3	(WS+WST+WH+(EWC*16))*E	(WS+WST+WH+(EWC*16))*E + 3	ns
16	$t_{su(EMCEL-EMWEL)}$	输出建立时间，EMIFnCS[4:2] 低电平到 EMIFnWE 低电平 (SS=0) 的时间	(WS)*E-4	(WS)*E	(WS)*E + 3	ns
		输出建立时间，EMIFnCS[4:2] 低电平到 EMIFnWE 低电平 (SS=1) 的时间	-4	0	+3	ns
17	$t_{h(EMWEH-EMCEH)}$	输出保持时间，EMIFnWE 高电平至 EMIFnCS [4:2] 高电平 (SS=0) 的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
		输出保持时间，EMIFnWE 高电平至 EMIFCS[4:2] 高电平 (SS=1) 的时间	-4	0	+3	ns

表 **5-29. EMIF** 异步存储器开关特性[(1)(2)(3)] **(continued)**

编号	参数		值			单位
			最小值	标称值	最大值	
18	$t_{su(EMDQMV-EMWEL)}$	输出建立时间，EMIFBA[1:0] 有效至 EMIFnWE 低电平的时间	(WS)*E-4	(WS)*E	(WS)*E+3	ns
19	$t_{h(EMWEH-EMDQMIV)}$	输出保持时间，EMIFnWE 高电平至 EMIFBA[1:0] 无效的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
20	$t_{su(EMBAV-EMWEL)}$	输出建立时间，EMIFBA[1:0] 有效至 EMIFnWE 低电平的时间	(WS)*E-4	(WS)*E	(WS)*E+3	ns
21	$t_{h(EMWEH-EMBAIV)}$	输出保持时间，EMIFnWE 高电平至 EMIFBA[1:0] 无效的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
22	$t_{su(EMAV-EMWEL)}$	输出建立时间，EMIFADDR[21:0] 有效至 EMIFnWE 低电平的时间	(WS)*E-4	(WS)*E	(WS)*E+3	ns
23	$t_{h(EMWEH-EMAIV)}$	输出保持时间，EMIFnWE 高电平至 EMIFADDR[21:0] 无效的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
24	$t_{w(EMWEL)}$	EMIFnWE 有效低电平宽度 (EW=0)	(WST)*E-3	(WST)*E	(WST)*E+3	ns
		EMIFnWE 有效低电平宽度 (EW=1)	(WST+(EWC*16)) *E-3	(WST+(EWC*16))*E	(WST+(EWC*16))*E+3	ns
25	$t_{d(EMWAITH-EMWEH)}$	延迟时间，从 EMIFnWAIT 被置为无效到 EMIFnWE 高电平的时间	3E-4	4E	4E+30	ns
26	$t_{su(EMDV-EMWEL)}$	输出建立时间，EMIFDATA[15:0] 有效到 EMIFnWE 低电平的时间	(WS)*E-4	(WS)*E	(WS)*E+3	ns
27	$t_{h(EMWEH-EMDIV)}$	输出保持时间，EMIFnWE 高电平到 EMIFDATA[15:0] 无效的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
31	$t_{su(EMDQMV-EMWEL)}$	输出建立时间，EMIFnDQM[1:0] 有效至 EMIFnWE 低电平的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns
32	$t_{h(EMWEH-EMDQMIV)}$	输出保持时间，EMIFnWE 高电平至 EMIFnDQM[1:0] 无效的时间	(WH)*E-4	(WH)*E	(WH)*E+3	ns

版权 © 2012–2013, Texas Instruments Incorporated

5.14.2.2 同步时序

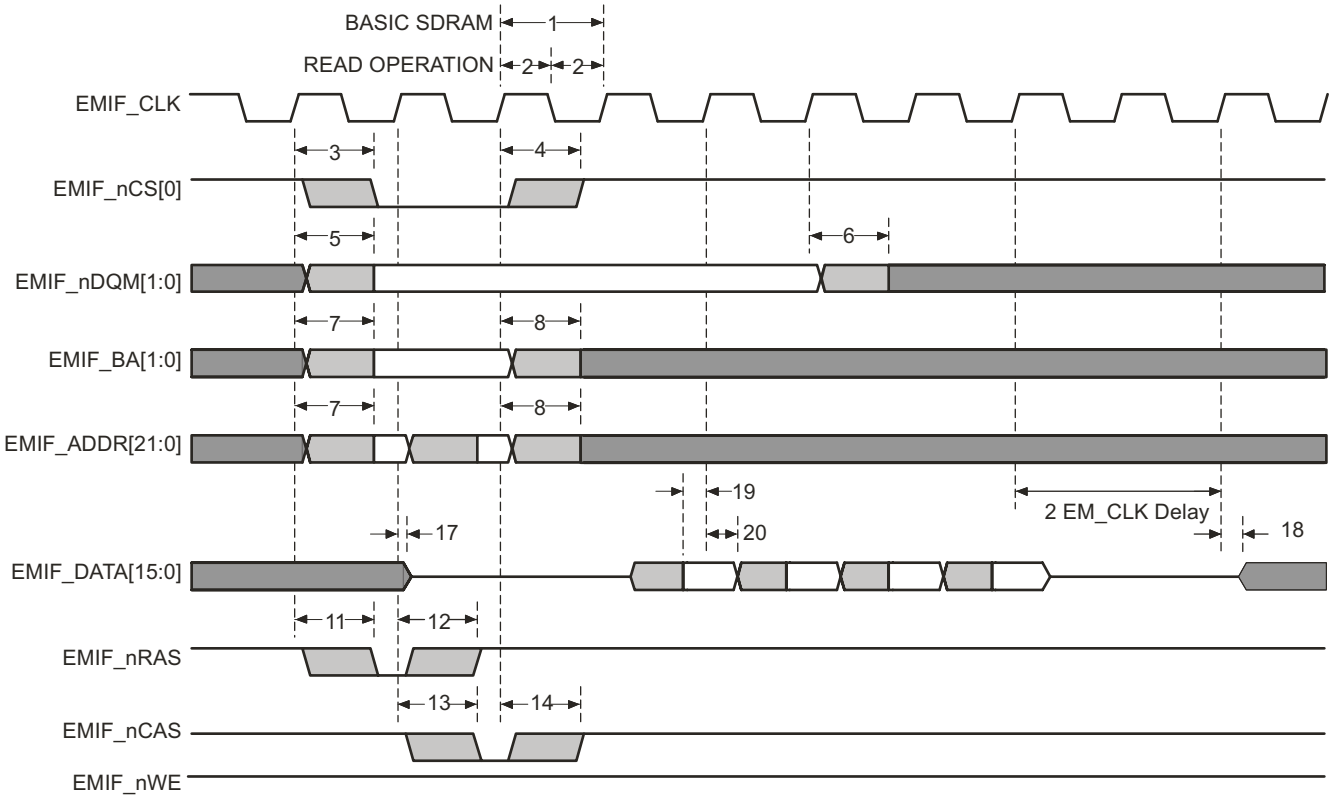


图 **5-16.** 基本 **SDRAM** 读取操作

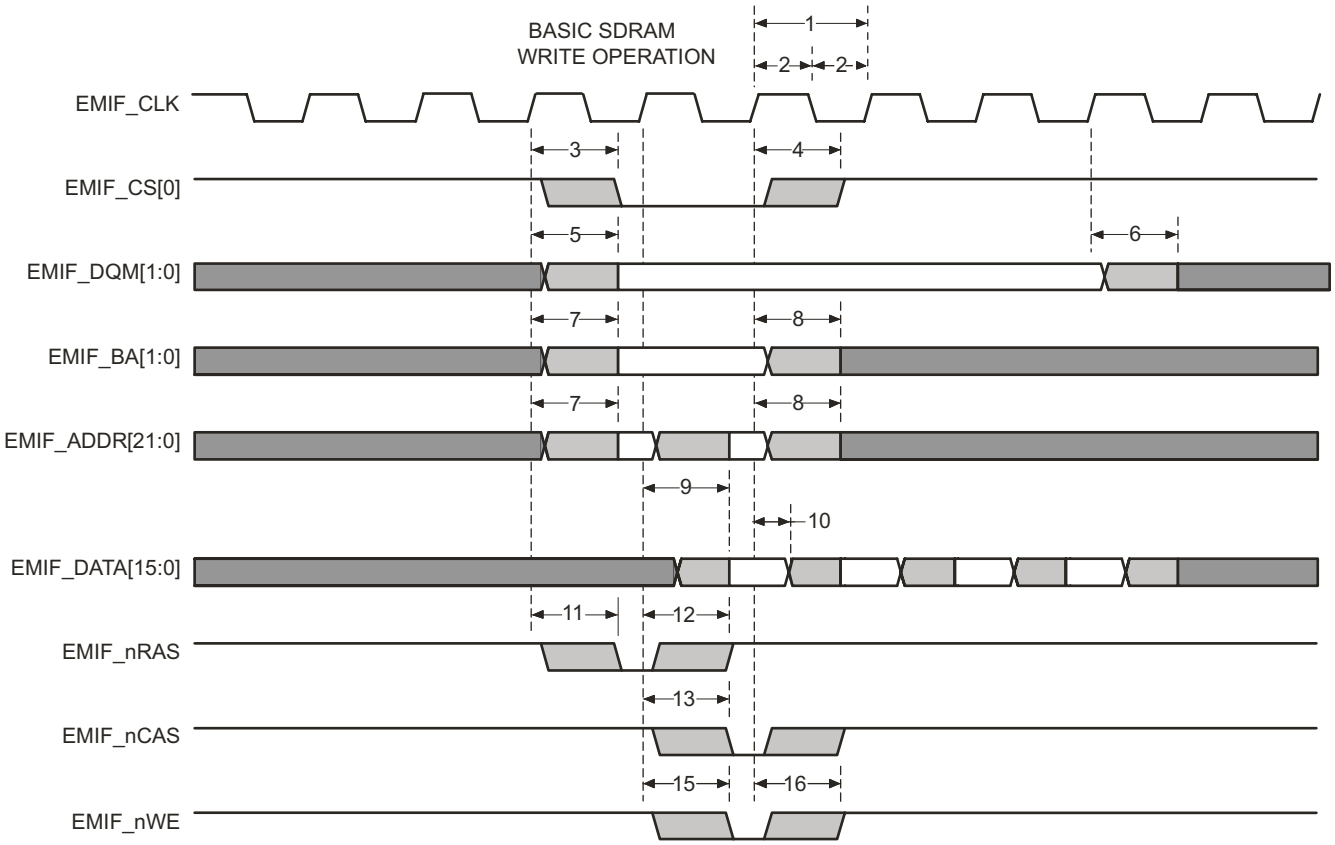


图 **5-17.** 基本 **SDRAM** 写入操作

表 **5-30. EMIF** 同步存储器时序要求

编号	参数		最小值	最大值	单位
19	$t_{su(EMIFDV-EM_CLKH)}$	输入建立时间，EMIF_CLK上升前，EMIFDATA[15:0] 上的读取数据有效时间	2		ns
20	$t_{h(CLKH-DIV)}$	输入保持时间，EMIF_CLK上升前，EMIFDATA[15:0] 上的读取数据有效时间	2		ns

表 **5-31. EMIF** 同步存储器开关特性

编号	参数		最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间，EMIF 时钟 EMIF_CLK	20		ns
2	$t_{w(CLK)}$	脉冲宽度，EMIF 时钟 EMIF_CLK 高电平或低电平	5		ns
3	$t_{d(CLKH-CSV)}$	延迟时间，EMIF_CLK 上升至 EMIFnCS[0] 有效的时间		13	ns
4	$t_{oh(CLKH-CSIV)}$	输出保持时间，EMIF_CLK 上升到 EMIFnCS[0] 无效的时间	1		ns
5	$t_{d(CLKH-DQMV)}$	延迟时间，EMIF_CLK 上升至 EMIFnDQM[1:0] 有效的时间		13	ns
6	$t_{oh(CLKH-DQMIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFnDQM[1:0] 无效的时间	1		ns
7	$t_{d(CLKH-AV)}$	延迟时间，EMIF_CLK 上升至 EMIFADDR[21:0] 并且 EMIFBA[1:0] 有效的时间		13	ns

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-31. EMIF** 同步存储器开关特性 **(continued)**

编号	参数		最小值	最大值	单位
8	$t_{oh(CLKH-AIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFADDR[21:0] 并且 EMIFBA[1:0] 无效的时间	1		ns
9	$t_{d(CLKH-DV)}$	延迟时间，EMIF_CLK 上升至 EMIFDATA[15:0] 有效的时间		13	ns
10	$t_{oh(CLKH-DIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFDATA[15:0] 无效的时间	1		ns
11	$t_{d(CLKH-RASV)}$	延迟时间，EMIF_CLK 上升至 EMIFnRAS 有效的时间		13	ns
12	$t_{oh(CLKH-RASIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFnRAS 无效的时间	1		ns
13	$t_{d(CLKH-CASV)}$	延迟时间，EMIF_CLK 上升至 EMIFnCAS 有效的时间		13	ns
14	$t_{oh(CLKH-CASIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFnCAS 无效的时间	1		ns
15	$t_{d(CLKH-WEV)}$	延迟时间，EMIF_CLK 上升至 EMIFnWE 有效的时间		13	ns
16	$t_{oh(CLKH-WEIV)}$	输出保持时间，EMIF_CLK 上升至 EMIFnWE 无效的时间	1		ns
17	$t_{dis(CLKH-DHZ)}$	延迟时间，EMIF_CLK 上升至 EMIFDATA[15:0] 三态的时间		7	ns
18	$t_{ena(CLKH-DLZ)}$	输出保持时间，EMIF_CLK 上升至 EMIFDATA[15:0]驱动的时间	1		ns

版权 © 2012–2013, Texas Instruments Incorporated

5.15 矢量中断管理器

矢量中断管理器 (VIM) 为器件上的许多中断源进行优先级排序以及控制这些中断源提供了硬件支持。 中断由正常程序执行流程以外的事件引起。 这些事件通常要求一个来自中央处理单元 (CPU) 的及时的响应；因此，当一个中断发生时，CPU 从正常程序流程切换至中断处理例程 (ISR)。

5.15.1 VIM 特性

VIM 模块有下列特性：

- 支持 128 个中断通道。
  - 提供可编程优先级和针对中断请求线路的使能。
- 提供一个针对最快速 IRQ 调度的直接硬件调度机制。
- 当 CPU VIC 端口未被使用时提供两个软件调度机制。
  - 索引中断
  - 寄存器矢量化中断
- 由奇偶校验保护的矢量中断表预防软件错误。

5.15.2 中断请求分配

表 **5-32.** 中断请求分配

模块	中断源	缺省 **VIM** 中断通道
ESM	ESM 高级中断 (NMI)	0
被保留	被保留	1
RTI	RTI 比较中断 0	2
RTI	RTI 比较中断 1	3
RTI	RTI 比较中断 2	4
RTI	RTI 比较中断 3	5
RTI	RTI 溢出中断 0	6
RTI	RTI 溢出中断 1	7
RTI	RTI 时基中断	8
GIO	GIO 中断 A	9
N2HET1	N2HET1 0 级中断	10
HTU1	HTU1 0 级中断	11
MIBSPI1	MIBSPI1 0 级中断	12
LIN	LIN 0 级中断	13
MIBADC1	MIBADC1 事件组中断	14
MIBADC1	MIBADC1 sw 组 1 中断	15
DCAN1	DCAN1 0 级中断	16
SPI2	SPI20 级中断	17
被保留	被保留	18
CRC	CRC 中断	19
ESM	ESM 低级中断	20
系统	软件中断 (SSI)	21
CPU	PMU 中断	22
GIO	GIO 中断 B	23
N2HET1	N2HET1 1 级中断	24
HTU1	HTU1 1 级中断	25
MIBSPI1	MIBSPI1 1 级中断	26
LIN	LIN 1 级中断	27
MIBADC1	MIBADC1 sw 组 2 中断	28
DCAN1	DCAN1 1 级中断	29

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-32.** 中断请求分配 **(continued)**

模块	中断源	缺省 VIM 中断通道
SPI2	SPI21 级中断	30
MIBADC1	MIBADC1 量级比较中断	31
被保留	被保留	32
DMA	FTCA 中断	33
DMA	LFSA 中断	34
DCAN2	DCAN2 0 级中断	35
被保留	被保留	36
MIBSPI3	MIBSPI3 0 级中断	37
MIBSPI3	MIBSPI3 1 级中断	38
DMA	HBCA 中断	39
DMA	BTCA 中断	40
EMIF	AEMIFINT3	41
DCAN2	DCAN2 1 级中断	42
被保留	被保留	43
DCAN1	DCAN1 IF3 中断	44
DCAN3	DCAN3 0 级中断	45
DCAN2	DCAN2 IF3 中断	46
FPU	FPU 中断	47
被保留	被保留	48
SPI4	SPI4 0 级中断	49
MIBADC2	MibADC2 事件组中断	50
MIBADC2	MibADC1 sw 组 1 中断	51
被保留	被保留	52
MIBSPI5	MIBSPI5 0 级中断	53
SPI4	SPI4 1 级中断	54
DCAN3	DCAN3 1 级中断	55
MIBSPI5	MIBSPI5 1 级中断	56
MIBADC2	MibADC2 sw 组 2 中断	57
被保留	被保留	58
MIBADC2	MibADC2 量级比较中断	59
DCAN3	DCAN3 IF3 中断	60
FMC	FSM_DONE 中断	61
被保留	被保留	62
N2HET2	N2HET2 0 级中断	63
SCI	SCI 0 级中断	64
HTU2	HTU2 0 级中断	65
IC2	I2C 0 级中断	66
被保留	被保留	67-72
N2HET2	N2HET2 1 级中断	73
SCI	SCI 1 级中断	74
HTU2	HTU2 1 级中断	75
以太网	C0_MISC_PULSE	76
以太网	C0_TX_PULSE	77
以太网	C0_THRESH_PULSE	78
以太网	C0_RX_PULSE	79
HWAG1	HWA_INT_REQ_H	80
HWAG2	HWA_INT_REQ_H	81

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-32.** 中断请求分配 **(continued)**

模块	中断源	缺省 VIM 中断通道
DCC1	DCC 完成中断	82
DCC2	DCC2 完成中断	83
被保留	被保留	84
PBIST 控制器	PBIST 完成中断	85
被保留	被保留	86-87
HWAG1	HWA_INT_REQ_L	88
HWAG2	HWA_INT_REQ_L	89
ePWM1INTn	ePWM1 中断	90
ePWM1TZINTn	ePWM1 触发区中断	91
ePWM2INTn	ePWM2 中断	92
ePWM2TZINTn	ePWM2 触发区中断	93
ePWM3INTn	ePWM3 中断	94
ePWM3TZINTn	ePWM3 触发区中断	95
ePWM4INTn	ePWM4 中断	96
ePWM4TZINTn	ePWM4 触发区中断	97
ePWM5INTn	ePWM5 中断	98
ePWM5TZINTn	ePWM5 触发区中断	99
ePWM6INTn	ePWM6 中断	100
ePWM6TZINTn	ePWM6 触发区中断	101
ePWM7INTn	ePWM7 中断	102
ePWM7TZINTn	ePWM7 触发区中断	103
eCAP1INTn	eCAP1 中断	104
eCAP2INTn	eCAP2 中断	105
eCAP3INTn	eCAP3 中断	106
eCAP4INTn	eCAP4 中断	107
eCAP5INTn	eCAP5 中断	108
eCAP6INTn	eCAP6 中断	109
eQEP1INTn	eQEP1 中断	110
eQEP2INTn	eQEP2 中断	111
被保留	被保留	112-127

注

VIM RAM 中的地址位置 0x00000000 为幻影中断 ISR 入口所保留；因此，只可使用请求通道 0..126 并且在 VIMRAM 中偏移 1 个地址。

注

EMIF_nWAIT 信号上有一个上拉电阻器。 只要它在 EMIF_nWAIT 信号上检测到一个上升边沿，EMIF 模块就生成一个“等待上升”中断。 一旦器件被加电，此中断条件就被标出。 如果 EMIF_nWAIT 信号未在应用中使用，这可被忽略。 如果在应用中确实使用了 EMIF_nWAIT 信号，那么外部受控存储器必须一直驱动 EMIF_nWAIT 信号，这样由于这个信号上的缺省上拉，并不会导致一个中断。

注

低位中断通道具有比高位中断通道高的优先级。

版权 © 2012–2013, Texas Instruments Incorporated

注

应用能够通过 VIM模块内的中断通道控制寄存器 (CHANCTRLx) 来改变中断源到中断通道的映射。

5.16 DMA 控制器

DMA 控制器被用于在 CPU 运行后台中的存储器映射中的两个位置间传输数据。 通常情况下，DMA 被用于：

- 在外部和内部数据存储器间传输数据块。
- 内部数据存储器的重建部分
- 继续处理一个外设

5.16.1 DMA 特性

- CPU 独立数据传输
- 一个 64 位主器件端口，此端口与TMS570存储器系统对接。
- FIFO缓冲器（4 入口深，每个入口 64 位宽）
- 通道控制信息被存储在受奇偶校验保护的 RAM 中。
- 具有独立使能的 16 个通道
- 通道链接功能
- 32 个外设 DMA请求
- 硬件和软件 DMA 请求
- 支持 8，16，32 或 64 位处理
- 针对源/地址的多寻址模式（固定、增量、偏移）
- 自动启动
- 电源管理模式
- 具有四个可配置存储器区域的存储器保护

版权 © 2012–2013, Texas Instruments Incorporated

5.16.2 缺省 DMA 请求映射

这个微控制器上的 DMA 模块有 16 个通道以及高达 32 个硬件 DMA请求。 此模块包含 DREQASIx 寄存器，此寄存器被用于将 DMA 请求映射到 DMA通道。 缺省情况下，通道 0 被映射到请求 0，通道 1 被映射到请求 1，以此类推。

某些 DMA 请求有多个源，如表 5-33所示。 应用必须确保每次只有一个 DMA 请求源被启用。

表 **5-33. DMA** 请求线连接

模块	DMA 请求源	DMA 请求
MIBSPI1	MIBSPI1[1](1)	DMAREQ[0]
MIBSPI1	MIBSPI1[0](2)	DMAREQ[1]
SPI2	SPI2 接收	DMAREQ[2]
SPI2	SPI2 发送	DMAREQ[3]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI3[2]/MIBSPI3[2]/ DCAN2 IF1	DMAREQ[4]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI2[3]/MIBSPI3[3]/ DCAN2 IF1	DMAREQ[5]
DCAN1/MIBSPI5	DCAN1 IF2/MIBSPI5[2]	DMAREQ[6]
MIBADC1/MIBSPI5	MIBADC1 事件/MIBSPI5[3]	DMAREQ[7]
MIBSPI1/MIBSPI3/DCAN1	MIBSPI1[4]/MIBSPI3[4]/DCAN1 IF1	DMAREQ[8]
MIBSPI1/MIBSPI3/DCAN2	MIBSPI1[5]/MIBSPI3[5]/ DCAN2 IF1	DMAREQ[9]
MIBADC1/I2C/MIBSPI5	MIBADC1G1/I2C 接收/MIBSPI5[4]	DMAREQ[10]
MIBADC1/I2C/MIBSPI5	MIBADC1G2/I2C 发送/MIBSPI5[5]	DMAREQ[11]
RTI/MIBSPI1/MIBSPI3	RTI DMAREQ0/MIBSPI1[6]/MIBSPI3[6]	DMAREQ[12]
RTI/MIBSPI1/MIBSPI3	RTI DMAREQ1/MIBSPI1[7]/MIBSPI3[7]	DMAREQ[13]
MIBSPI3/MibADC2/ MIBSPI5	MIBSPI3[1](1)/MibADC2 事件 / MIBSPI5[6]	DMAREQ[14]
MIBSPI3/MIBSPI5	MIBSPI3[0](2)/ MIBSPI5[7]	DMAREQ[15]
MIBSPI1/MIBSPI3/DCAN1/MibADC2	MIBSPI1[8]/MIBSPI3[8]/DCAN1 IF3/MibADC2 G1	DMAREQ[16]
MIBSPI1/MIBSPI3/ DCAN3/MibADC2	MIBSPI1[9]/MIBSPI3[9]/DCAN3 IF1/MibADC2 G2	DMAREQ[17]
RTI/MIBSPI5	RTI DMAREQ2/MIBSPI5[8]	DMAREQ[18]
RTI/MIBSPI5	RTI DMAREQ3/ MIBSPI5[9]	DMAREQ[19]
N2HET1/N2HET2/DCAN3	N2HET1 DMAREQ[4]/N2HET2 DMAREQ[4]/DCAN2IF3	DMAREQ[20]
N2HET1/N2HET2/DCAN3	N2HET1 DMAREQ[5]/N2HET2 DMAREQ[5]/DCAN3IF3	DMAREQ[21]
MIBSPI1/MIBSPI3/MIBSPI5	MIBSPI1[10]/MIBSPI3[10]/MIBSPI5[10]	DMAREQ[22]
MIBSPI1/MIBSPI3/MIBSPI5	MIBSPI1[11]/MIBSPI3[11]/MIBSPI5[11]	DMAREQ[23]
N2HET1/N2HET2/SPI4/MIBSPI5	N2HET1 DMAREQ[6]/N2HET2 DMAREQ[6]/SPI4 接收/MIBSPI5[12]	DMAREQ[24]
N2HET1/N2HET2/SPI4/MIBSPI5	N2HET1 DMAREQ[7]/N2HET2 DMAREQ[7]/SPI4 发送/MIBSPI5[13]	DMAREQ[25]
CRC/MIBSPI1/MIBSPI3	CRC DMAREQ[0]/MIBSPI1[12]/MIBSPI3[12]	DMAREQ[26]
CRC/MIBSPI1/MIBSPI3	CRC DMAREQ[1]/MIBSPI1[13]/MIBSPI3[13]	DMAREQ[27]
LIN / MIBSPI5	LIN 接收/ MIBSPI5[14]	DMAREQ[28]
LIN / MIBSPI5	LIN 发送/ MIBSPI5[15]	DMAREQ[29]
MIBSPI1/MIBSPI3/SCI/MIBSPI5	MIBSPI1[14]/ MIBSPI3[14]/SCI 接收 / MIBSPI5[1](1)	DMAREQ[30]
MIBSPI1/MIBSPI3/SCI/MIBSPI5	MIBSPI1[15]/MIBSPI3[15]/SCI 发送 / MIBSPI5[0](2)	DMAREQ[31]

(1) 当被配置为标准 SPI 模式时，SPI1，SPI3，SPI5 接收。
(2) 当被配置为标准 SPI 模式时，SPI1，SPI3，SPI5 发送。

5.17 实时中断模块

实时中断 (RTI) 模块为操作系统和基准代码提供定时器功能。 RTI 模块可包含几个计数器，这些计数器定义了调度操作系统所需的时基。

定时器还使得您能够通过在所需代码范围的开始和末尾读取计数器的值并计算这些值之间的不同来重构代码的特定区域。

5.17.1 特性

RTI 模块有下列特性：

- 两个独立的 64 位计数器块
- 针对生成操作系统时隙或 DMA 请求的四个可配置比较。 每个事件可由计数器块 0 或计数器块 1 驱动。
- 事件的快速启用/禁用
- 两个针对系统或外设中断的时间戳（捕捉）功能，每个计数器块一个

5.17.2 方框图

图 5-18显示了一个针对 RTI 模块内部两个 64 位计数器块的其中一个的高级方框图。 两个计数器块完全一样，除了网络时间单元 (NTUx) 输入只可用作针对计数器块 0 的时基输入。

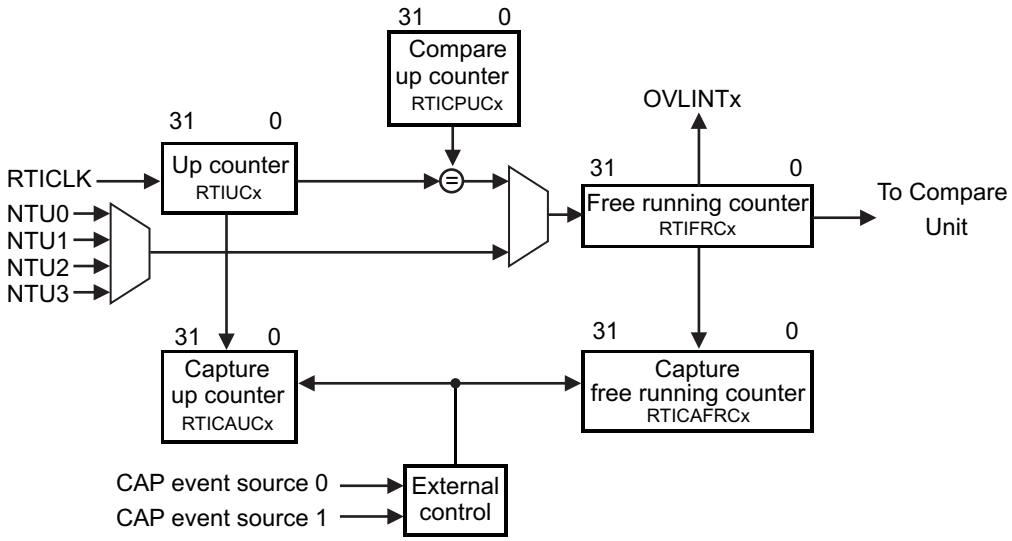


图 **5-18.** 计数器块图

版权 © 2012–2013, Texas Instruments Incorporated

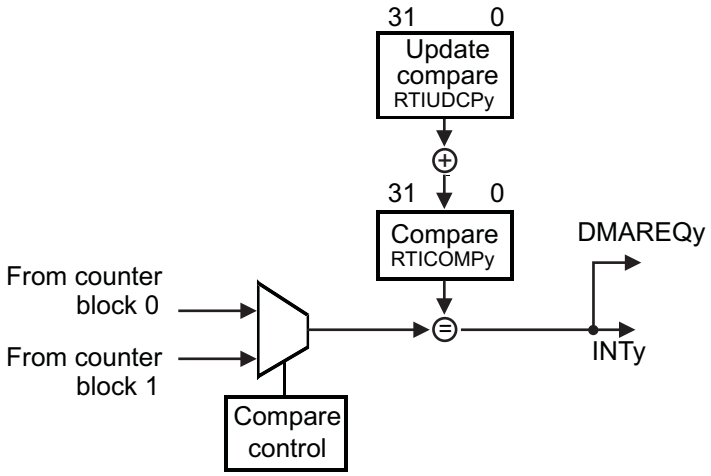


图 **5-19.** 比较块图

5.17.3 时钟源选项

RTI 模块使用 RTI1CLK 时钟域来生成 RTI 时基。

应用可通过配置系统模块（地址为 0xFFFFFF50）内的 RCLKSRC 寄存器来为 RTI1CLK 选择时钟源。RTI1CLK 缺省时钟源为 VCLK。

时钟源的更多信息请参考表 5-8和表 5-13。

5.17.4 网络时间同步输入

RTI 模块支持 4 个网络时间单元 (NTU) 输入，此输入可发出内部系统事件，这些事件可被用于同步 RTI 模块使用的时基。 在这个器件上，这些 NTU 输入连接方式如下所示。

表 **5-34.** 网络时间同步输入

NTU 输入	源
0	被保留
1	被保留
2	PLL2时钟输出
3	EXTCLKIN1时钟输入

5.18 错误信令模块

错误信令模块 (ESM) 管理TMS570微控制器上不同的错误条件。 错误条件按照分配给它的固定严重等级被处理。 任何严重的错误条件可被配置成在一个被称为 nERROR 的专用器件端子上驱动一个低电平。 这可被用作一个对外部监视器电路的指示，使此电路将系统置于一个故障安全模式。

5.18.1 特性

错误信令模块的特性为：

- 支持 128 个中断/错误通道，这些通道分成 3 个不同的组
  - 64 个具有可屏蔽中断和可配置错误引脚运行方式的通道
  - 32 个错误通道，这些通道具有不可屏蔽中断和预先设定的错误引脚运行方式
  - 32 个只具有预先设定的错误引脚运行方式的通道
- 发出严重器件故障信号的错误引脚
- 用于错误信号的可配置时基
- 错误强制功能

5.18.2 ESM 通道分配

错误信令模块 (ESM) 集成了所有器件错误条件并将它们按照严重顺序分组。 组 1 用于最低严重程度的错误，而组 3 被用于最高严重程度的错误。 器件对每个错误的响应由它所连接到严重程度组别确定。表 5-36 显示了针对每个组的通道分配。

表 5-35. ESM 组

错误组	中断特性	对错误引脚的影响
组 1	可屏蔽，低或高优先级	可配置的
组 2	不可屏蔽的，高 优先级	固定的
组 3	没有中断被生成	固定的

表 5-36. ESM 通道分配

错误条件	组	通道
被保留	组 1	0
MibADC2-RAM 奇偶校验错误	组 1	1
DMA - MPU配置违反	组 1	2
DMA - 控制数据包 RAM 奇偶校验错误	组 1	3
被保留	组 1	4
DMA - DMA 读取访问时错误，模糊错误	组 1	5
FMC - 可校正的 ECC 错误：总线 1 和总线 2 接口（不包括到组7 的访问）	组 1	6
N2HET1 - RAM 奇偶校验错误	组 1	7
HTU1/HTU2 - 双控制数据包 RAM 奇偶校验错误	组 1	8
HTU1/HTU2 - MPU 配置违反	组 1	9
PLL - 跳周	组 1	10
时钟监视器-振荡器故障	组 1	11
被保留	组 1	12
DMA-DMA 写入访问时错误，模糊错误	组 1	13
被保留	组 1	14
VIM RAM - 奇偶校验 错误	组 1	15
被保留	组 1	16
MibSPI1 - RAM 奇偶校验错误	组 1	17
MibSPI3 - RAM 奇偶校验错误	组 1	18
MibADC1 - RAM 奇偶校验错误	组 1	19

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-36. ESM** 通道分配 **(continued)**

错误条件	组	通道
被保留	组 1	20
DCAN1 - RAM 奇偶校验错误	组 1	21
DCAN3 - RAM 奇偶校验错误	组 1	22
DCAN2 - RAM 奇偶校验错误	组 1	23
MibSPI5 - RAM 奇偶校验错误	组 1	24
被保留	组 1	25
RAM 偶数组 (B0TCM) - 可纠正的 ECC 错误	组 1	26
CPU - 自检失败	组 1	27
RAM 奇数组 (B1TCM) - 可纠正的 ECC 错误	组 1	28
被保留	组 1	29
DCC1 - 错误	组 1	30
CCM-R4 - 自检失败	组 1	31
被保留	组 1	32
被保留	组 1	33
N2HET2 - RAM 奇偶校验错误	组 1	34
FMC - 可纠正的 ECC 错误（组 7 访问）	组 1	35
FMC - 不可纠正的 ECC 错误（组 7 访问）	组 1	36
IOMM - 访问 IOMM 帧中未实现的位置，或者检测到未授权模式下的写入访问	组 1	37
电源域控制器比较错误	组 1	38
电源域控制器自检错误	组 1	39
电子熔丝控制器错误 - 当电子熔丝控制器错误状态寄存器中的任何位被置位时，这个错误信号生成。 只要这个位被置位，此应用可选择生成一个中断来处理任何电子熔丝控制器错误条件。	组 1	40
电子熔丝控制器 - 自检错误。 只有当一个电子熔丝控制器上的自检生成一个错误条件时，才生成这个错误信号。 当检测到一个 ECC 自检错误时，组 1 通道 40 错误信号也将被置位。	组 1	41
PLL#2- 跳周	组 1	42
以太网控制器总线主控访问错误	组 1	43
被保留	组 1	44
被保留	组 1	45
被保留	组 1	46
被保留	组 1	47
被保留	组 1	48
被保留	组 1	49
被保留	组 1	50
被保留	组 1	51
被保留	组 1	52
被保留	组 1	53
被保留	组 1	54
被保留	组 1	55
被保留	组 1	56
被保留	组 1	57
被保留	组 1	58
被保留	组 1	59
被保留	组 1	60
被保留	组 1	61
DCC2 - 错误	组 1	62
被保留	组 1	63

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-36. ESM** 通道分配 **(continued)**

错误条件	组	通道
被保留	组 2	0
被保留	组 2	1
CCMR4 - 双 CPU 锁步错误	组 2	2
被保留	组 2	3
FMC - 访问主闪存时不可纠正的地址奇偶校验错误	组 2	4
被保留	组 2	5
RAM 偶数组 (B0TCM) - 不可纠正的冗余地址解码错误	组 2	6
被保留	组 2	7
RAM 奇数组 (B1TCM) - 不可纠正的冗余地址解码错误	组 2	8
被保留	组 2	9
RAM 偶组合 (B0TCM) - 地址总线奇偶校验错误	组 2	10
被保留	组 2	11
RAM 奇数组 (B1TCM) - 地址总线奇偶校验错误	组 2	12
被保留	组 2	13
被保留	组 2	14
被保留	组 2	15
TCM - ECC 活锁检测	组 2	16
被保留	组 2	17
被保留	组 2	18
被保留	组 2	19
被保留	组 2	20
被保留	组 2	21
被保留	组 2	22
被保留	组 2	23
窗口式看门狗 (WWD) 违反	组 2	24
被保留	组 2	25
被保留	组 2	26
被保留	组 2	27
被保留	组 2	28
被保留	组 2	29
被保留	组 2	30
被保留	组 2	31
被保留	组 3	0
熔丝组 - 自动载入错误	组 3	1
被保留	组 3	2
RAM 偶数组 (B0TCM) - ECC 不可纠正的错误	组 3	3
被保留	组 3	4
RAM 奇数组 (B1TCM) - ECC 不可纠正的错误	组 3	5
被保留	组 3	6
FMC - 不可纠正的 ECC 错误：总线 1 和总线 2 接口 （不包括地址奇偶校验错误和访问组 7 时的错误）	组 3	7
被保留	组 3	8
被保留	组 3	9
被保留	组 3	10
被保留	组 3	11
被保留	组 3	12
被保留	组 3	13
被保留	组 3	14

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-36. ESM** 通道分配 **(continued)**

错误条件	组	通道
被保留	组 3	15
被保留	组 3	16
被保留	组 3	17
被保留	组 3	18
被保留	组 3	19
被保留	组 3	20
被保留	组 3	21
被保留	组 3	22
被保留	组 3	23
被保留	组 3	24
被保留	组 3	25
被保留	组 3	26
被保留	组 3	27
被保留	组 3	28
被保留	组 3	29
被保留	组 3	30
被保留	组 3	31

版权 © 2012–2013, Texas Instruments Incorporated

5.19 复位/异常中断/错误状态

表 5-37. 复位/异常中断/错误状态

错误源	系统模式	错误回应	ESM 接线，组.通道
CPU 处理			
精确的写入错误（NCNB / 强序）	用户/权限	精确中止 (CPU)	不可用
精确的读取错误（NCB / 器件或正常）	用户/权限	精确中止 (CPU)	不可用
模糊的写入错误（NCB / 器件或正常）	用户/权限	模糊中止（CPU）	不可用
无效指令	用户/权限	未定义指令陷阱 (CPU)(1)	不可用
MPU 访问冲突	用户/权限	中止（CPU）	不可用
SRAM			
B0 TCM（奇数）ECC 单一错误（可纠正）	用户/权限	ESM	1.26
B0 TCM（偶）ECC 双错误（不可纠正）	用户/权限	中止 (CPU)，ESM => nERROR	3.3
B0 TCM（偶）无法更正的错误（即冗余地址解码）	用户/权限	ESM => NMI => nERROR	2.6
B0 TCM（偶）地址总线奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.10
B1 TCM（奇数）单一错误（可更正）	用户/权限	ESM	1.28
B1 TCM（奇数）双错误（不可更正）	用户/权限	中止（CPU），ESM => nERROR	3.5
B1 TCM（奇数）无法更正的错误（即冗余地址解码）	用户/权限	ESM => NMI => nERROR	2.8
B1 TCM（奇数）地址总线奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.12
带有基于 CPUECC 的闪存			
FMC 可纠正的 ECC 错误-总线 1 和总线 2 接口（不包括到组 7 的访问）	用户/权限	ESM	1.6
FMC 不可纠正的 ECC 错误-总线 1 和总线 2 访问（不包括到地址奇偶校验错误）	用户/权限	中止 (CPU)，ESM => nERROR	3.7
FMC 不可纠正的错误-总线 1 访问时的地址奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.4
FMC 可纠正的错误-到组 7 的访问	用户/权限	ESM	1.35
FMC 不可纠正的错误-到组 7 的访问	用户/权限	ESM	1.36
DMA 处理			
读取的外部不准确错误（使用 OK 响应的非法处理）	用户/权限	ESM	1.5
写入的外部不准确错误（使用 OK 响应的非法处理）	用户/权限	ESM	1.13
内存访问允许违规	用户/权限	ESM	1.2
内存奇偶校验错误	用户/权限	ESM	1.3
高端定时器传输单元 1 (HTU1)			
具有从器件错误响应的 NCNB（强序）处理	用户/权限	中断 => VIM	不可用
外部的模糊错误（带有 ok 响应的非法处理）	用户/权限	中断 => VIM	不可用
内存访问允许违反	用户/权限	ESM	1.9
内存奇偶校验错误	用户/权限	ESM	1.8
高端定时器传输单元 2 (HTU2)			
具有从器件错误响应的 NCNB（强序）处理	用户/权限	中断 => VIM	不可用
外部的模糊错误（带有 ok 响应的非法处理）	用户/权限	中断 => VIM	不可用
内存访问允许违反	用户/权限	ESM	1.9
内存奇偶校验错误	用户/权限	ESM	1.8
N2HET1			
内存奇偶校验错误	用户/权限	ESM	1.7
N2HET2			
内存奇偶校验错误	用户/权限	ESM	1.34
以太网主控接口			

(1) CPU 之外无法检测到未定义的指令陷阱。 陷阱只有当代码到达 CPU 的执行阶段才会被检测到。

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-37.** 复位/异常中断/错误状态 **(continued)**

错误源	系统模式	错误回应	**ESM** 接线，组.通道
任何由被访问的从器件报告的错误	用户/权限	ESM	1.43
MIBSPI			
MibSPI1 内存奇偶校验错误	用户/权限	ESM	1.17
MibSPI3 内存奇偶校验错误	用户/权限	ESM	1.18
MibSPI5 内存奇偶校验错误	用户/权限	ESM	1.24
MIBADC			
MibADC1 内存奇偶校验错误	用户/权限	ESM	1.19
MibADC2 内存奇偶校验错误	用户/权限	ESM	1.1
DCAN			
DCAN1 内存奇偶校验错误	用户/权限	ESM	1.21
DCAN2 内存奇偶校验错误	用户/权限	ESM	1.23
DCAN3 内存奇偶校验错误	用户/权限	ESM	1.22
PLL			
PLL 跳周错误	用户/权限	ESM	1.10
PLL #2 跳周错误	用户/权限	ESM	1.42
时钟监视器			
时钟监视器中断	用户/权限	ESM	1.11
DCC			
DCC1 错误	用户/权限	ESM	1.30
DCC2 错误	用户/权限	ESM	1.62
CCM-R4			
自检故障	用户/权限	ESM	1.31
比较故障	用户/权限	ESM => NMI => nERROR	2.2
VIM			
内存奇偶校验错误	用户/权限	ESM	1.15
电压监控器			
VMON 超出电压范围	不可用	复位	不可用
CPU 自检 **(LBIST)**			
CPU 自检 (LBIST) 错误	用户/权限	ESM	1.27
引脚复用控制			
复用配置错误	用户/权限	ESM	1.37
电源域控制			
PSCON 比较错误	用户/权限	ESM	1.38
PSCON 自检错误	用户/权限	ESM	1.39
熔丝控制器			
电子熔丝控制器自动载入错误	用户/权限	ESM=>nERROR	3.1
电子熔丝控制器-在错误状态寄存器内置位的任何位	用户/权限	ESM	1.40
电子熔丝控制器自检错误	用户/权限	ESM	1.41
窗口式看门狗			
WWD 不可屏蔽的中断异常	不可用	ESM => NMI => nERROR	2.24
错误 **SYSESR** 寄存器中反映的错误			
加电复位	不可用	复位	不可用
振荡器故障 / PLL 跳周 (2)	不可用	复位	不可用
看门狗异常	不可用	复位	不可用
CPU 复位（由 CPUSTC 驱动）	不可用	复位	不可用
软件复位	不可用	复位	不可用

(2) 振荡器故障 / PLL 跳周 (SYS.PLLCTL1) 可在系统寄存器中被配置成产生复位。

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-37.** 复位/异常中断/错误状态 **(continued)**

错误源	系统模式	错误回应	**ESM** 接线，组.通道
外部复位	不可用	复位	不可用

版权 © 2012–2013, Texas Instruments Incorporated

5.20 数字窗口式看门狗

这个器件包含一个数字窗口式看门狗 (DWWD) 模块，此模块防止代码执行失控。

DWWD 模块使得应用能够配置时间窗口，在这个窗口内 DWWD 模块要求应用来处理看门狗。 如果应用在这个窗口之外处理看门狗，或者根本就没有成功处理看门狗，一个看门狗违反就会发生。 应用能够在一个看门狗违反的情况下选择生成一个系统复位或者一个 ESM 组 2 信号。

缺省情况下，看门狗被禁用并且必须由应用启用。 一旦被启用，看门狗只能在系统复位时被禁用。

版权 © 2012–2013, Texas Instruments Incorporated

5.21 调试子系统

5.21.1 方框图

器件包含一个 ICEPICK 模块来允许到扫描链的 JTAG 访问。

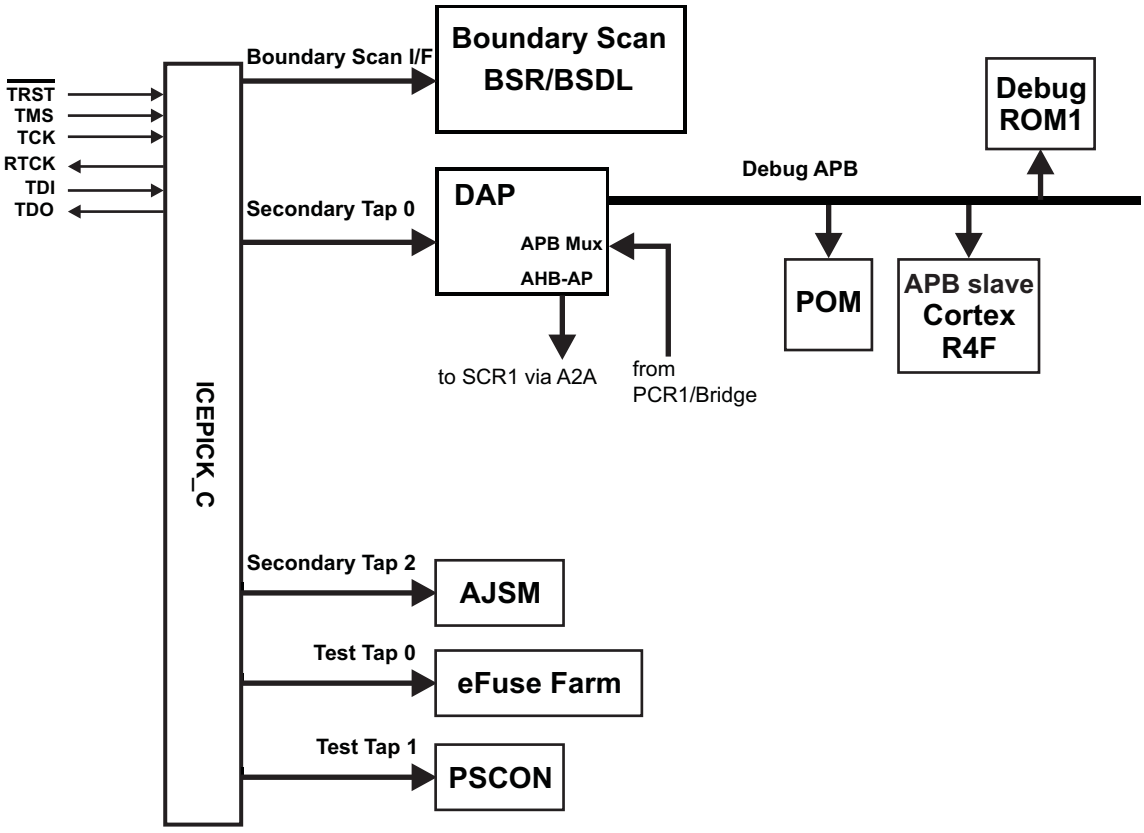


图 **5-20.** 调试子系统方框图

5.21.2 调试组件内存映射

表 **5-38.** 调试组件内存映射

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 (START)	结束 (END)			
CoreSight 调试ROM	CSCS0	0xFFA0_0000	0xFFA0_0FFF	4kB	4kB	读取返回 0，写入无影响
Cortex-R4F 调试	CSCS1	0xFFA0_1000	0xFFA0_1FFF	4kB	4kB	读取返回 0，写入无影响

5.21.3 JTAG 初始化代码

该器件的 JTAG ID 代码是 0x0B95502F。 此代码与器件 ICEPick 初始化代码一样。

5.21.4 调试 ROM

调试 ROM 存储了调试 APB 总线上组件的位置：

表 **5-39.** 调试 **ROM** 表

地址	说明	值
0x000	到 Cortex-R4 的指针F	0x0000 1003

版权 © 2012–2013, Texas Instruments Incorporated

表 **5-39.** 调试 **ROM** 表 **(continued)**

地址	说明	值
0x001	被保留	0x0000 2002
0x002	被保留	0x0000 3002
0x003	POM	0x0000 4003
0x004	表尾	0x0000 0000

5.21.5 JTAG 扫描接口时序

表 **5-40. JTAG** 扫描接口时序(1)

编号	参数		最小值	最大值	单位
	fTCK	TCK 频率（在 HCLKmax 上）		12	MHz
	fRTCK	RTCK 频率（在 TCKmax 和 HCLKmax 上）	10		MHz
1	td(TCK -RTCK)	延迟时间, TCK 到 RTCK 的时间		24	ns
2	tsu(TDI/TMS - RTCKr)	建立时间，TDI, TMS 在 RTCK 上升 (RTCKr) 前的时间	26		ns
3	th(RTCKr -TDI/TMS)	保持时间，TDI，TMS 在 RTCKr 后的时间	0		ns
4	th(RTCKr -TDO)	保持时间，TDO 在 RTCKf 后的时间	0		ns
5	td(TCKf -TDO)	延迟时间，RTCK 下降 (RTCKf) 后 TDO 的有效时间		12	ns

(1) TDO 的时序被指定为 TDO 上的一个最大 50pF 负载

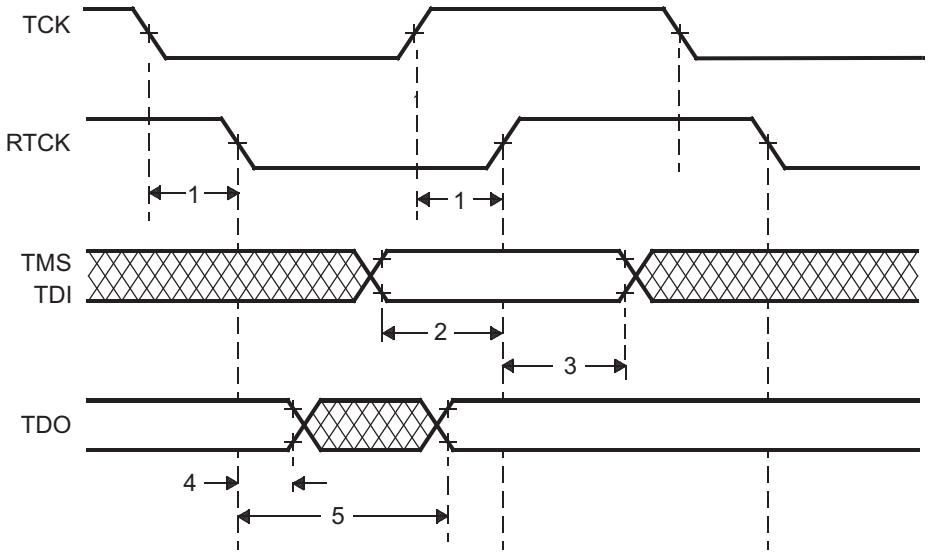


图 **5-21. JTAG** 时序

版权 © 2012–2013, Texas Instruments Incorporated

5.21.6 高级 JTAG 安全模块

这个器件包含一个高级 JTAG 安全模块 (AJSM)。此模块通过允许用户在编程后锁定器件来为器件的存储器内容提供最大的安全性。

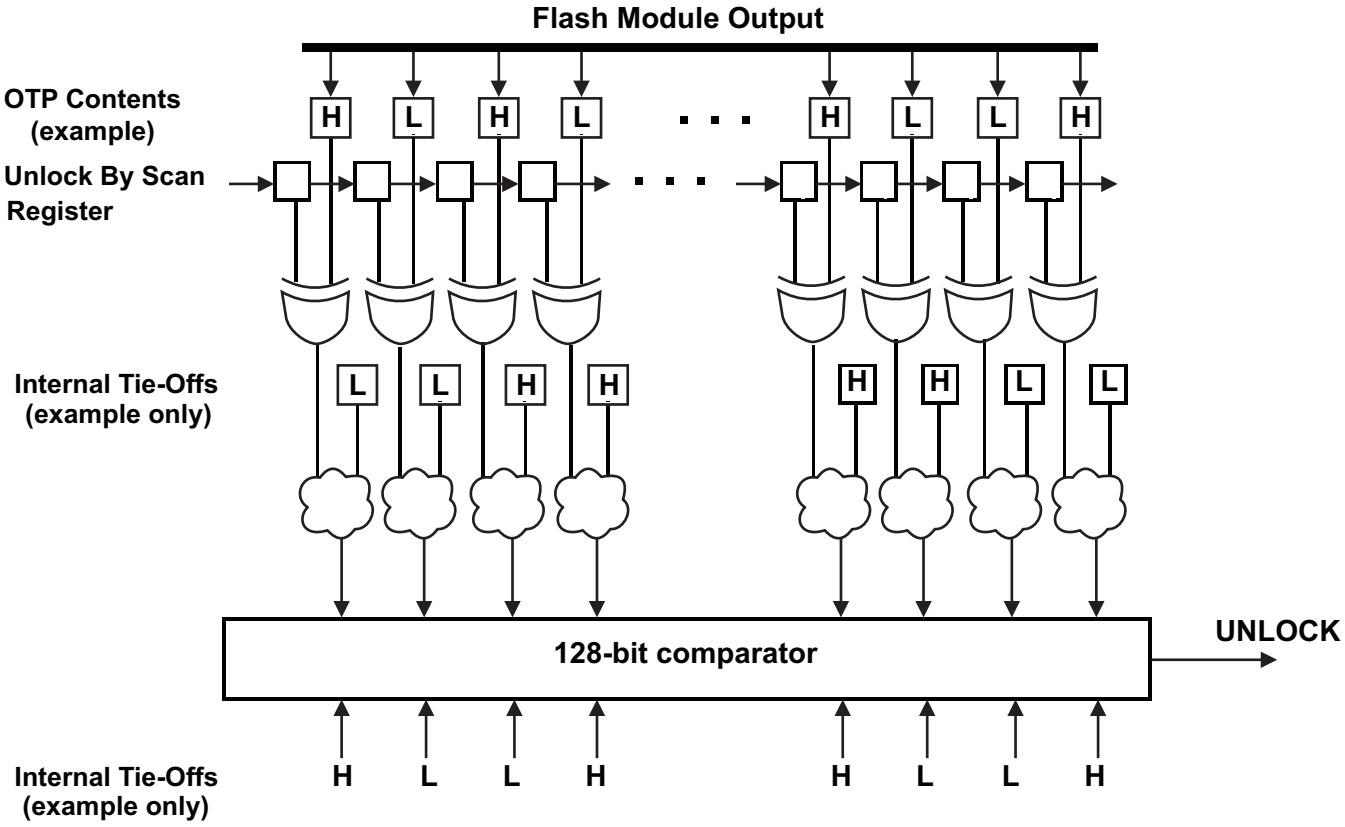


图 **5-22. AJSM 解锁**

缺省情况下，器件由一个在 OTP 地址 0xF0000000 内设定的 128 位可见解锁代码来解锁。OTP 内容与“扫描解锁”寄存器内容进行异或 (XOR) 运算。 这些 XOR 门的输出重新与一组加密内部打结相组合。 这个组合逻辑输出与一个加密硬编码 128 位值相比较。 一个解锁 (UNLOCK) 信号内的匹配信号被置为有效，这样此器件现在被解锁。

用户可通过将可见解锁代码中至少一个位从 1 改为 0 来将器件解锁。由于可见解锁代码被存储在一次性可编程 (OTP) 闪存区域内，所以不能将这个位从 0 改为 1。 此外，将所有 128 位改为零不是一个有效条件并且将永久锁住器件。

一旦被锁定，用户可以通过扫描一个适当的值进入AJSM 模块中的“由扫描解锁”寄存器来解锁器件。 可通过在 AJSM TAP 上配置一个 0b1011 的 IR 值来访问这个寄存器。 被扫描的值是 OTP 内容的 XOR，而由扫描解锁寄存器内容得到原始可见解锁代码。

由扫描解锁寄存器只有当加电复位 (nPORRST) 被置为有效时才复位。

一个受保护器件只允许由 ICEPick 模块的次级抽头 #2 到 AJSM 扫描链的 JTAG 访问。 所有其它次级抽头、试验抽头和边界扫描接口都不能在这个状态下访问。

版权 © 2012–2013, Texas Instruments Incorporated

5.21.7 边界扫描链

为了测试引脚到引脚兼容性，器件支持与边界扫描描述语言 (BSDL) 兼容的边界扫描。 边界扫描链被连接到 ICEPICK 模块的边界扫描接口上。

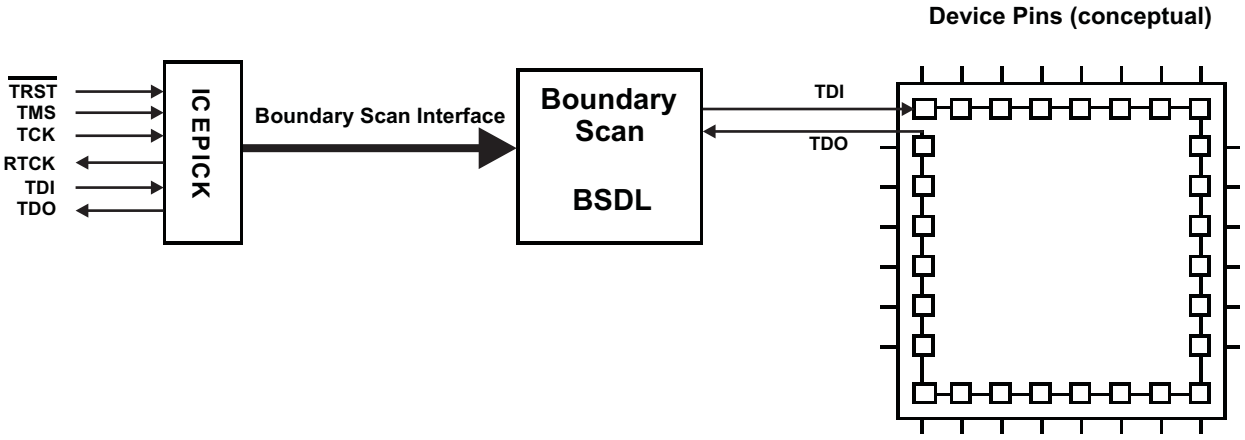


图 **5-23.** 边界扫描实现（概念图）

输入分别由 TDI 和 TDO 串行移入和移出所有边界扫描缓冲器。

版权 © 2012–2013, Texas Instruments Incorporated

6 外设信息和电气技术规范

6.1 增强型转换器脉宽调制 (PWM) 模块 (ePWM)

图 6-1 图示了器件上 7 个 PWM 模块 (ePWM1，2，3，4，5，6，7) 之间的连接。

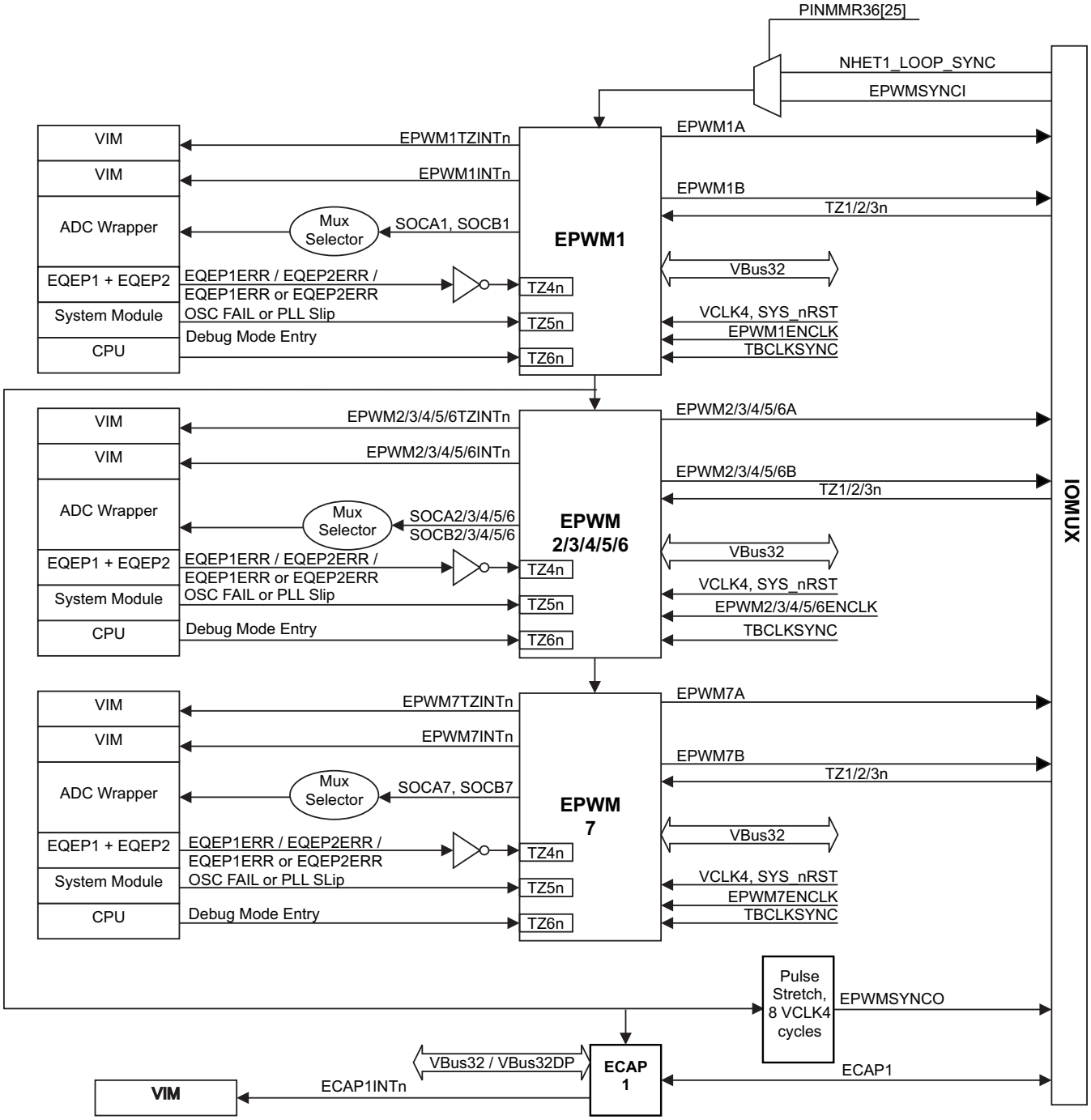


图 6-1. ePWMx 模块互连

6.1.1 *ePWM 计时和复位*

每个 ePWM 模块有一个时钟使能 (EPWMxENCLK)。 当 SYS_nRST 为低电平有效时，时钟使能被忽略并且 ePWM 逻辑被锁定，这样它可复位到一个合适的状态。 当 SYS_nRST 变为高电平无效时，时钟使能的状态被保持。

表 **6-1. ePWM** 时钟使能控制

ePWM 模块实例	使能时钟的控制寄存器	缺省值
ePWM1	PINMMR37[8]	1
ePWM2	PINMMR37[16]	1
ePWM3	PINMMR37[24]	1
ePWM4	PINMMR38[0]	1
ePWM5	PINMMR38[8]	1
ePWM6	PINMMR38[16]	1
ePWM7	PINMMR38[24]	1

控制寄存器启用到 ePWMx 模块时钟的缺省值为 1。这意味着缺省情况下，连接到 ePWMx 模块的 VCLK4 时钟被启用。 应用可选择通过清零各自的控制寄存器位来单独断开到任何 ePWMx 模块的 VCLK4 时钟。

6.1.2 *ePWMx 时基计数器的同步*

一个时基同步机制连接器件上的所有 ePWM 模块。 每个ePWM 模块有一个同步输入 (EPWMxSYNCI) 和一个同步输出 (EPWMxSYNCO)。 针对第一个示例 (ePWM1) 的输入同步来自一个外部引脚。图 6-1 显示了所有 ePWMx 模块的同步连接。 每个 ePWM模块可被配置为使用或忽略此同步输入。 更多信息请参考器件技术参考手册的 ePWM 一章。

6.1.3 *将所有 ePWM 模块同步至 N2HET1 模块时基*

N2HET1_LOOP_SYNC 和 ePWM1 模块的 SYNCI 输入间的连接如 图 6-2 中所示。

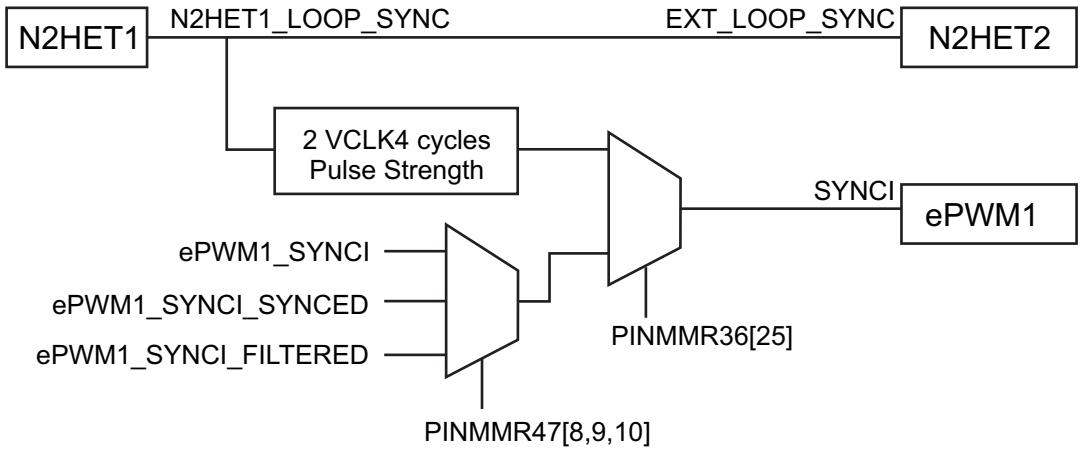


图 **6-2. N2HET1，N2HET2** 和 **ePWMx** 间的同步时基

6.1.4 *多个 ePWM 模块的相位锁定时基时钟*

TBCLKSYNC 位可被用于在全局同步一个器件上的所有被启用的 ePWM 模块的时基时钟。 这个位被执行为 PINMMR37 寄存器位 1。

当 TBCLKSYNC=0 时，所有 ePWM 模块的时基时钟被停止。 这个是缺省条件。

当 TBCLKSYNC=1 时，所有 ePWM 时基时钟在 TBCLK 的上升沿对齐时启动。

版权 © 2012–2013, Texas Instruments Incorporated

为了更好地同步 TBCLK，每个ePWM 模块的 TBCTL 寄存器中的预分频器位必须进行相同设置。 启用 ePWM 时钟的正确过程如下：

1. 使用 表 6-1 中显示的控制寄存器来启用单独的 ePWM 模块时钟（如果禁用的话）。
2. 配置 TBCLKSYNC=0。 这将停止任何被启用的 ePWM 模块内的时基时钟。
3. 配置预分频器值和所需的 ePWM 模式。
4. 配置 TBCLKSYNC=1。

6.1.5 ePWM 与外部器件的同步

EPWM1 模块的输出同步也被输出到一个器件输出端子，这样多个器件可一起被同步。 这个信号脉冲在被输出到端子用作 EPWM1SYNCO 信号之前被延长 8 个 VCLK4 周期。

6.1.6 ePWM 触发区

每个 ePWM 有六个触发区输入。 这些是低电平有效信号。 应用可单独地控制 ePWM 模块到每个触发区输入的响应。 在 节 6.1.8 中规定了从触发器输入的置为有效到实际响应的时序要求。

6.1.6.1 触发区 TZ1n，TZ2n，TZ3n

这三个触发区输入由外部电路驱动并且被连接到器件级输入。 这些信号异步连接至 ePWMx 触发区输入，或者与 VCLK4 双同步，又或者先双同步，然后在连接到 ePWMx 之前由一个 6 周期基于 VCLK4 的计数器进行过滤。 缺省情况下，触发区输入被异步连接至 ePWMx 模块。

表 **6-2.** 针对器件级触发区输入的 **ePWMx** 模块连接

触发区输入	到 **ePWMx** 的异步连接的控制	到 **ePWMx** 双同步连接的控制	到 **ePWMx** 双同步和滤波连接的控制
TZ1n	PINMMR46[16]=1	PINMMR46[16] = 0 与 PINMMR46[17] = 1	PINMMR46[16]=0 与 PINMMR46[17]=0 与 PINMMR46[18]=1
TZ2n	PINMMR46[24]=1	PINMMR46[24] = 0 与 PINMMR46[25] = 1	PINMMR46[24]=0 与 PINMMR46[25]=0 与 PINMMR46[26]=1
TZ3n	PINMMR47[0]=1	PINMMR47[0] = 0 与 PINMMR47[1] = 1	PINMMR47[0]=0 与 PINMMR47[1]=0 与 PINMMR47[2]=1

6.1.6.2 触发区 TZ4n

这个触发区输入专门用于 eQEPx 错误指示。 这个器件上有两个 eQEP 模块。 每个 eQEP 模块通过将其 EQEPxERR 输出驱动为高电平来表示一个相位错误。 下面的控制寄存器使得应用能够根据应用需要将触发区输入 (TZ4n) 配置给每个 ePWMx 模块。

表 **6-3.** 针对 **ePWMx** 模块的 **TZ4n** 连接

ePWMx	对于 **TZ4n =** 非 **(EQEP1ERR** 或 **EQEP2ERR)** 的控制	对于 **TZ4n =** 非 **(EQEP1ERR)** 的控制	对于 **TZ4n =** 非 **(EQEP2ERR)** 的控制
ePWM1	PINMMR41[0]=1	PINMMR41[0] = 0 与 PINMMR41[1] = 1	PINMMR41[0]=1 与 PINMMR41[1]=0 与 PINMMR41[2]=1
ePWM2	PINMMR41[8]	PINMMR41[8] = 0 与 PINMMR41[9] = 1	PINMMR41[8]=1 与 PINMMR41[9]=0 与 PINMMR41[10]=1
ePWM3	PINMMR41[16]	PINMMR41[16] = 0 与 PINMMR41[17] = 1	PINMMR41[16]=1 与 PINMMR41[17]=0 与 PINMMR41[18]=1
ePWM4	PINMMR41[24]	PINMMR41[24] = 0 与 PINMMR41[25] = 1	PINMMR41[24]=1 与 PINMMR41[25]=0 与 PINMMR41[26]=1
ePWM5	PINMMR42[0]	PINMMR42[0] = 0 与 PINMMR42[1] = 1	PINMMR42[0]=1 与 PINMMR42[1]=0 与 PINMMR42[2]=1
ePWM6	PINMMR42[8]	PINMMR42[8] = 0 与 PINMMR42[9] = 1	PINMMR42[8]=1 与 PINMMR42[9]=0 与 PINMMR42[10]=1
ePWM7	PINMMR42[16]	PINMMR42[16] = 0 与 PINMMR42[17] = 1	PINMMR42[16]=1 与 PINMMR42[17]=0 与 PINMMR42[18]=1

版权 © 2012–2013, Texas Instruments Incorporated

6.1.6.3 触发区 TZ5n

这个触发区输入专门用于器件上的一个时钟故障。 也就是说，只要在器件上检测到一个振荡器故障或者一个 PLL 跳周的话，这个触发区输入就被置为有效。 当器件时钟不在预计的范围内的时候，为了防止外部系统失控，应用可以使用这个针对每个 ePWMx 模块的触发区输入（系统运行在跛行时钟上）。

用于这个触发区输入的振荡器故障和 PLL 跳周信号取自系统模块的状态标志。 这些电平信号在被应用清零前被置位。

6.1.6.4 触发区 TZ6n

这个到 ePWMx 模块的触发区输入专门用于 CPU 的一个调试模式入口。 如果被启用，当仿真器停止 CPU 时，用户能够将 PWM 输出强制为一个已知状态。 这防止当 CPU 被停止时，外部系统失控。

6.1.7 使用 ePWMx SOCA 和 SOCB 输出来触发 ADC 转换开始

一个专门机制被执行来选择用于触发这个器件上两个 ADC 开始转换的实际信号。 在 节 6.4.2.3 中定义了这个机制。

6.1.8 增强型转换器 - 脉宽调制器 (ePWMx) 时序

表 6-4. ePWMx 时序要求

参数		测试条件	最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉宽	异步	2 $t_{c(VCLK4)}$		周期
		同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期

表 6-5. ePWMx 开关特性

参数		测试条件	最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，ePWMx 输出高电平或低电平的时间		33.33		ns
$t_{w(SYNCOUT)}$	同步输出脉宽		8 $t_{c(VCLK4)}$		周期
$t_{d(PWM)tza}$	延迟时间，触发输入有效到 PWM 强制为高电平，或延迟时间，触发输入有效到 PWM 被强制为低电平的时间	无引脚负载		25	ns
$t_{d(TZ-PWM)HZ}$	延迟时间，触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间			20	ns

表 6-6. ePWMx 触发区时序要求

参数		测试条件	最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，TZn 输入低电平的时间	异步	2 * TBePWMx		周期
		同步	2 tc(VCLK4)		周期
		同步，带有输入滤波器	2 tc(VCLK4) + 滤波器宽度		周期

版权 © 2012–2013, Texas Instruments Incorporated

6.2 增强型捕捉模块 (eCAP)

图 6-3显示了在这个微控制器上 eCAP 模块如何互连。

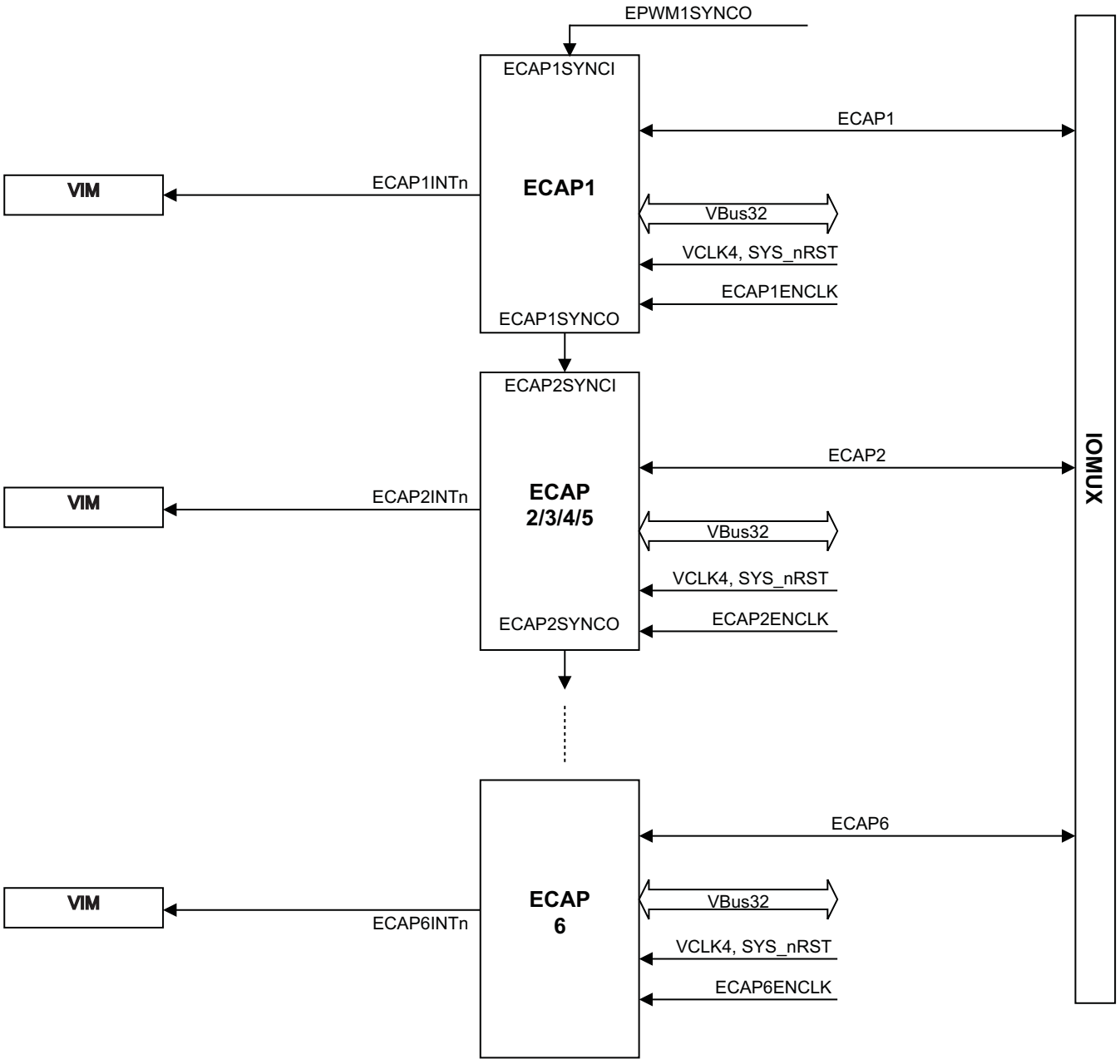


图 **6-3. eCAP** 模块连接

6.2.1 针对 eCAPx 模块的时钟使能控制

每个 ECAPx 模块有一个时钟使能 (ECAPxENCLK)。 这些信号需要从一个器件级控制寄存器中生成。 当 SYS_nRST 低电平有效时，时钟使能被忽略并且 ECAPx 逻辑被计时，这样它能够复位至一个适当的状态。 当 SYS_nRST 变为高电平无效时，时钟使能的状态被保持。

版权 © 2012–2013, Texas Instruments Incorporated

表 **6-7. eCAPx** 时钟使能控制

ePWM 模块实例	使能时钟的控制寄存器	缺省值
eCAP1	PINMMR39[0]	1
eCAP2	PINMMR39[8]	1
eCAP3	PINMMR39[16]	1
eCAP4	PINMMR39[24]	1
eCAP5	PINMMR40[0]	1
eCAP6	PINMMR40[8]	1

控制寄存器启用到 eQEPx 模块的时钟的缺省值为 1。这意味着连接到 eCAPx 模块的 VCLK4 时钟缺省情况下被启用。 应用可选择通过清零各自的控制寄存器位来单独断开到任何 eCAPx 模块的 VCLK4 时钟。

6.2.2 eCAPx 的 PWM 输出功能

当未被用在捕捉模式中时，每个 eCAPx 模块可被用作一个单通道 PWM 输出。 这个被称为 eCAP 模块的辅助 PWM (APWM) 运行模式。 更多信息请参考器件技术参考手册的 eCAP 一章。

6.2.3 到 eCAPx 模块的输入连接

如 表 6-8 所示，可以在一个双 VCLK4 同步输入或者一个双 VCLK4 同步和已滤波输入之间选择到每个 eCAP 模块的输入连接。

表 **6-8.** 到 **eCAPx**模块的器件级输入连接

输入信号	对于到 **eCAPx** 双同步连接的控制	对于到 **eCAPx** 的双同步和已滤波连接的控制
eCAP1	PINMMR43[0]=1	PINMMR43[0] = 0 与 PINMMR43[1] = 1
eCAP2	PINMMR43[8]=1	PINMMR43[8] = 0 与 PINMMR43[9] = 1
eCAP3	PINMMR43[16]=1	PINMMR43[16] = 0 与 PINMMR43[17] = 1
eCAP4	PINMMR43[24]=1	PINMMR43[24] = 0 与 PINMMR43[25] = 1
eCAP5	PINMMR44[0]=1	PINMMR44[0] = 0 与 PINMMR44[1] = 1
eCAP6	PINMMR44[8]=1	PINMMR44[8] = 0 与 PINMMR44[9] = 1

6.2.4 增强型捕捉模块 (eCAP) 时序

表 **6-9. eCAPx** 时序要求

参数		测试条件	最小值	最大值	单位
$t_{w(CAP)}$	捕捉输入脉冲宽度	同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期

表 **6-10. eCAPx** 开关特性

参数		测试条件	最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平或低电平的时间		20		ns

版权 © 2012–2013, Texas Instruments Incorporated

6.3 增强型正交编码器 (eQEP)

图 6-4显示了器件上的 eQEP 模块互连。

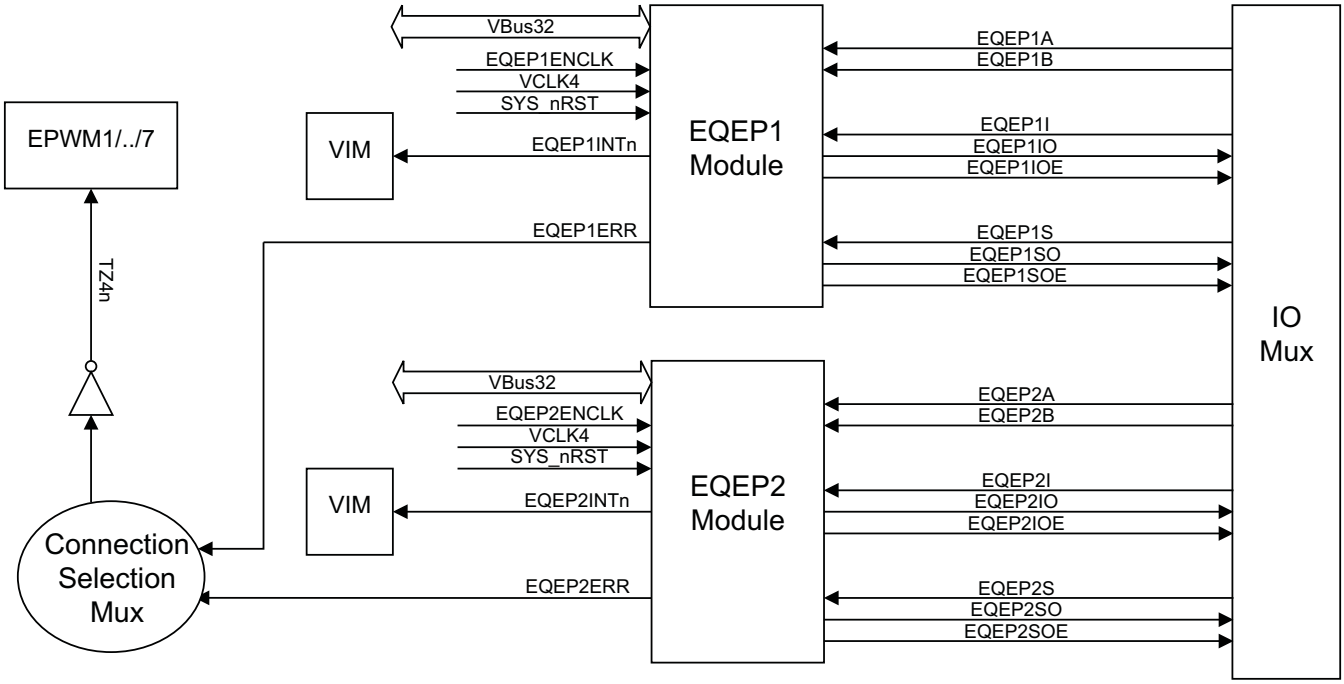


图 **6-4. eQEP** 模块互连

6.3.1 针对 eQEPx 模块的时钟使能控制

器件级控制寄存器被执行以生成 EQEPxENCLK 信号。 当 SYS_nRST 为低电平有效时，时钟使能被忽略并且 eQEPx 逻辑被计时，这样它能够复位至一个适当的状态。 当 SYS_nRST 变为高电平无效时，时钟使能的状态被保持。

表 **6-11. eQEPx** 时钟使能控制

ePWM 模块实例	使能时钟的控制寄存器	缺省值
eQEP1	PINMMR40[16]	1
eQEP2	PINMMR40[24]	1

控制寄存器来启用到 eQEPx 模块的时钟的缺省值为 1。这意味着连接到 eQEPx 模块的 VCLK4 时钟缺省情况下被启用。 应用可选择通过清零各自的控制寄存器位来单独断开到任何 eQEPx 模块的 VCLK4 时钟。

6.3.2 使用 eQEPx 相位错误来触发 ePWMx 输出

只要在它的输入 EQEPxA 和 EQEPxB 中检测到一个相位错误，eQEP 模块就设定 EQEPERR 信号输出。这个来自 eQEP 模块的错误信号都被输入到连接选择复用器中。 在 表 6-3 中定义了这个复用器。 如 图 6-1 所示，这个选择复用器的输出被反相并且被连接至所有 EPWMx 模块的 TZ4n 触发区输入上。 这个连接使得应用能够定义每个 ePWMx 模块对于由 eQEP 模块表示的相位错误的响应方式。

6.3.3 到 eQEPx 模块的输入连接

如 表 6-12 所示，可以在一个双 VCLK4 同步输入或者一个双 VCLK4 同步和已滤波输入之间选择到每个 eQEP 模块的输入连接。

表 **6-12.** 到 **eCAPx** 模块的器件级输入连接

输入信号	针对到**eQEPx** 的双同步连接的控制	对于到 **eQEPx** 的双同步和已滤波连接的控制
eQEP1A	PINMMR44[16]=1	PINMMR44[16]=0 与 PINMMR44[17]=1
eQEP1B	PINMMR44[24]=1	PINMMR44[24]=0 与 PINMMR44[25]=1
eQEP1I	PINMMR45[0]=1	PINMMR45[0]=0 与 PINMMR45[1]=1
eQEP1S	PINMMR45[8]=1	PINMMR45[8]=0 与 PINMMR45[9]=1
eQEP2A	PINMMR45[16]=1	PINMMR45[16]=0 与 PINMMR45[17]=1
eQEP2B	PINMMR45[24]=1	PINMMR45[24]=0 与 PINMMR45[25]=1
eQEP2I	PINMMR46[0]=1	PINMMR46[0]=0 与 PINMMR46[1]=1
eQEP2S	PINMMR46[8]=1	PINMMR46[8]=0 与 PINMMR46[9]=1

6.3.4 增强型正交编码器脉冲 (eQEPx) 时序

表 **6-13. eQEPx** 时序要求

参数		测试条件	最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步的	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期
$t_{w(STROBH)}$	QEP 选通输入高电平时间	同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步	2 $t_{c(VCLK4)}$		周期
		同步，带有输入滤波器	2 $t_{c(VCLK4)}$ + 滤波器宽度		周期

表 **6-14. eQEPx** 开关特性

参数		最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量的时间		4 $t_{c(VCLK4)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出的时间		6 $t_{c(VCLK4)}$	周期

版权 © 2012–2013, Texas Instruments Incorporated

6.4 多缓冲 12位模数转换器

多缓冲模数转换器 (MibADC) 有一个用于其模拟电路的独立电源总线，此电源总线通过防止逻辑电路上的数字开关噪声（可能出现在 V_{SS}和 V_{CC}上）耦合进入模数转换模拟级来提高模数转换的性能。 所有模数转换技术规范相对于 AD_{REFLO}指定，除非另外注明。

表 **6-15. MibADC** 概述

说明	值
分辨率	12位
单片	保证
输出转换代码	00h 至 3FFh [$V_{AI} \le AD_{REFLO}$ 时为 00；$V_{AI} \ge AD_{REFHI}$ 时为 3FFh]

6.4.1 特性

- 12 位分辨率
- AD_{REFHI}和 AD_{REFLO} 引脚（高和低基准电压）
- 总体采样/保持/转换时间：30MHz ADCLK 时，最小值 600ns
- 每个转换组提供一个内存区域（事件，组 1，组 2）
- 转换组的通道分配完全可编程
- 支持灵活的通道转换顺序
- 内存区域由中断或 DMA 进行处理
- 每个组有一个可编程中断阀值计数器
- 任一通道内，针对每个组的可编程量级阀值中断
- 从内存区域读取 8 位，10 位和 12 位值的选项
- 单次或连续转换模式
- 嵌入式自检
- 嵌入式校准逻辑
- 增强型断电模式
  - 当没有进行中的转换时，自动为 ADC 内核断电的可选特性
- 外部事件引脚 (ADxEVT) 可被设定为通用 I/O

6.4.2 事件触发选项

ADC 模块支持 3 个转换组：事件组，组 1，组 2。 这 3 个组中的每一个可被配置为由硬件事件触发。 在这个情况下，应用能够从将被用来触发一个组的转换的 8 个事件源中选择事件源。

6.4.2.1 MIBADC1 事件触发接线

表 **6-16. MIBADC1** 事件触发接线

组源选择，**G1SRC**，**G2SRC** 或 **EVSRC**	事件 #	触发事件信号				
		PINMMR30[0]=1（缺省）	**PINMMR30[0]=0** 与 **PINMMR30[1]=1**			
			选项 **A**	控制选项 **A**	选项 **B**	控制选项 **B**
000	1	AD1EVT	AD1EVT	—	AD1EVT	—
001	2	N2HET1[8]	N2HET2[5]	PINMMR30[8] = 1	ePWM_B	PINMMR30[8]=0 与 PINMMR30[9]=1
010	3	N2HET1[10]	N2HET1[27]	—	N2HET1[27]	—
011	4	RTI 比较 0 中断	RTI 比较 0 中断	PINMMR30[16]=1	ePWM_A1	PINMMR30[16]=0 和 PINMMR30[17]=1
100	5	N2HET1[12]	N2HET1[17]	—	N2HET1[17]	—

表 **6-16. MIBADC1** 事件触发接线 **(continued)**

101	6	N2HET1[14]	N2HET1[19]	PINMMR30[24] = 1	N2HET2[1]	PINMMR30[24]=0 和 PINMMR30[25]=1
110	7	GIOB[0]	N2HET1[11]	PINMMR31[0] = 1	ePWM_A2	PINMMR31[0]=0 与 PINMMR31[1]=1
111	8	GIOB[1]	N2HET2[13]	PINMMR32[16] = 1	ePWM_AB	PINMMR31[8]=0 与 PINMMR31[9]=1

注

如果 ADEVT，N2HET1 或 GIOB 被用作一个触发源，到MibADC1 模块触发输入的连接被接在输入缓冲器的输出一侧上。 用这种方法，通过将功能配置为垫上的输出（由复用控制），或者通过将一个外部触发源的功能驱动为输入，一个触发条件可被生成。 如果复用控制模块被用于选择不同的功能性，而不是 ADVET，N2HET1[x] 或 GIOB[x] 信号，那么从触发转换中禁用这些信号时应该小心；在输入连接上没有复用。

如果 N2HET2[1]，N2HET2[5]，N2HET2[13]，N2HET1[11]，N2HET1[17] 或 N2HET1[19] 被用来触发 ADC，直接从 N2HET 模块输出接至 ADC。 因此，ADC 可在不必启用一个从器件端子上输出的信号的前提下被触发。

注

对于 RTI 比较 0 中断源，从 RTI 模块的输出直接连接。 也就是说，中断条件可被用作一个触发源，即使实际的中断并未传送给 CPU 也是这样。

6.4.2.2 MIBADC2 事件触发接线

表 **6-17. MIBADC2** 事件触发接线

组源选择，**G1SRC**，**G2SRC** 或**EVSRC**	事件 #	触发事件信号				
		PINMMR30[0]=1（缺省）	**PINMMR30[0]=0** 与 **PINMMR30[1]=1**			
			选项 **A**	控制选项 **A**	选项 **B**	控制选项 **B**
000	1	AD2EVT	AD2EVT	—	AD2EVT	—
001	2	N2HET1[8]	N2HET2[5]	PINMMR31[16] = 1	ePWM_B	PINMMR31[16]=0 与 PINMMR31[17]=1
010	3	N2HET1[10]	N2HET1[27]	—	N2HET1[27]	—
011	4	RTI 比较 0 中断	RTI 比较 0 中断	PINMMR31[24]=1	ePWM_A1	PINMMR31[24]=0 与 PINMMR31[25]=1
100	5	N2HET1[12]	N2HET1[17]	—	N2HET1[17]	—
101	6	N2HET1[14]	N2HET1[19]	PINMMR32[0] = 1	N2HET2[1]	PINMMR32[0]=0 与 PINMMR32[1]=1
110	7	GIOB[0]	N2HET1[11]	PINMMR32[8] = 1	ePWM_A2	PINMMR32[8]=0 与 PINMMR32[9]=1
111	8	GIOB[1]	N2HET2[13]	PINMMR32[16] = 1	ePWM_AB	PINMMR32[16]=0 与 PINMMR32[17]=1

版权 © 2012–2013, Texas Instruments Incorporated

注

如果 AD2EVT，N2HET1 或 GIOB 被用作一个触发源，到 MibADC2 模块触发输入的连接被接在输入缓冲器的输出一侧上。 用这种方法，通过将功能配置为垫上的输出（由复用控制），或者通过将一个外部触发源的功能驱动为输入，一个触发条件可被生成。 如果复用控制模块被用于选择不同的功能性，而不是 AD2VET，N2HET1[x]或 GIOB[x]信号，那么从触发转换中禁用这些信号时应该小心；在输入连接上没有复用。

如果 N2HET2[5]，N2HET2[1]，N2HET2[13]，N2HET1[11]，N2HET1[17] 或 N2HET1[19] 被用来触发 ADC，直接从 N2HET 模块输出接至 ADC。 因此，ADC 可在不必启用一个从器件端子上输出的信号的前提下被触发。

注

对于 RTI 比较 0 中断源，从 RTI 模块的输出直接连接。 也就是说，中断条件可被用作一个触发源，即使实际的中断并未传送给 CPU 也是这样。

6.4.2.3 使用来自 ePWM 模块的 SOC 输入来控制 ADC1 和 ADC2 事件触发选项

如 图 6-5 所示，来自每个 ePWM 模块的 ePWMxSOCA 和 ePWMxSOCB 输出被用来生成 4 个信号 - ePWM_B，ePWM_A1，ePWM_A2 和 ePWM_AB，这些信号被用来根据应用需要来触发 ADC。

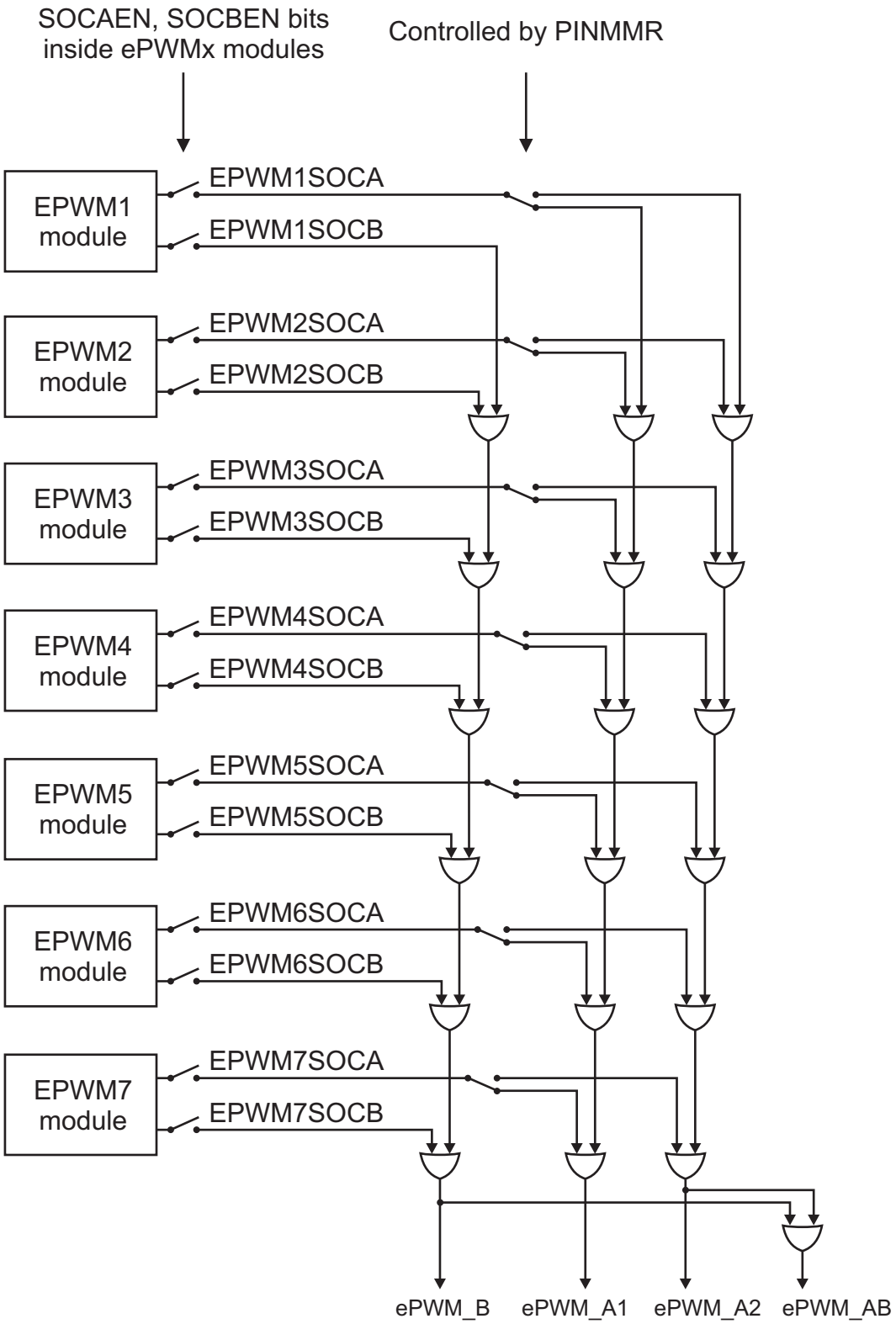


图 **6-5.** 从 **ePWMx** 生成 **ADC** 触发源

版权 © 2012–2013, Texas Instruments Incorporated

表 **6-18.** 到 **SOC** 输出的控制位

控制位	**SOC** 输出
PINMMR35[0]	SOC1A_SEL
PINMMR35[8]	SOC2A_SEL
PINMMR35[16]	SOC3A_SEL
PINMMR35[24]	SOC4A_SEL
PINMMR36[0]	SOC5A_SEL
PINMMR36[8]	SOC6A_SEL
PINMMR36[16]	SOC7A_SEL

每个 ePWM 模块的 SOCA 输出被连接到一个图 6-5中显示的“开关”上。

针对组合逻辑 4 个输出的逻辑等式显示在图 6-5中：

ePWM_B = SOC1B 或 SOC2B 或 SOC3B 或 SOC4B 或 SOC5B 或 SOC6B 或 SOC7B

ePWM_A = [SOC1A 与非 (SOC1A_SEL)] 或 [SOC2A 与非 (SOC2A_SEL)] 或 [SOC3A 与非 (SOC3A_SEL)] 或 [SOC4A 与非 (SOC4A_SEL)] 或 [SOC5A 与非 (SOC5A_SEL)] 或 [SOC6A 与非 (SOC6A_SEL)] 或 [SOC7A 与非 (SOC7A_SEL)]

ePWM_A2= [SOC1A 与 SOC1A_SEL] 或 [SOC2A 与 SOC2A_SEL] 或 [SOC3A 与 SOC3A_SEL] 或 [SOC4A 与 SOC4A_SEL] 或 [SOC5A 与 SOC5A_SEL] 或 [SOC6A 与 SOC6A_SEL] 或 [SOC7A 与 SOC7A_SEL]

ePWM_AB = ePWM_B 或 ePWM_A2

6.4.3 ADC 电气和时序技术规格

表 6-19. MibADC 建议工作条件

参数		最小值	最大值	单位
AD_{REFHI}	模数高电压基准源	AD_{REFLO}	V_{CCAD}	V
AD_{REFLO}	模数低电压基准源	V_{SSAD}	AD_{REFHI}	V
V_{AI}	模拟输入电压	AD_{REFLO}	AD_{REFHI}	V
I_{AIC}	模拟输入钳位电流 (VAI<VSSAD-0.3 或 VAI>VCCAD+0.3)	-2	2	mA

表 6-20. 在整个推荐运行条件范围内的 MibADC 电气特性

参数		说明/条件		最小值	标称值	最大值	单位
$R_{复用}$	模拟输入多路复用接通电阻	请参阅图 6-6				250	Ω
R_{samp}	ADC 采样开关导通电阻	请参阅图 6-6				250	Ω
$C_{复用}$	输入多路复用电容	请参阅图 6-6				16	pF
C_{samp}	ADC 采样电容	请参阅图 6-6				13	pF
I_{AIL}	模拟关闭状态输入泄露漏电流	V_{CCAD} = 3.6V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 100mV	-300		200	nA
			V_{SSAD} + 100mV ≤ $V_{IN} \le V_{CCAD}$ - 200mV	-200		200	nA
			V_{CCAD} - 200mV < $V_{IN} \le V_{CCAD}$	-200		500	nA
I_{AIL}	模拟关闭状态输入泄露漏电流	V_{CCAD} = 5.5V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 300mV	-1000		250	nA
			V_{SSAD} + 300mV ≤ $V_{IN} \le V_{CCAD}$ - 300mV	-250		250	nA
			V_{CCAD} - 300mV < $V_{IN} \le V_{CCAD}$	-250		1000	nA
I_{AOSB1} (1)	ADC1 模拟关闭状态输入偏置电流	V_{CCAD} = 3.6V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 100mV	-8		2	µA
			V_{SSAD}+100mV<V_{IN}<V_{CCAD}-200mV	-4		2	µA
			V_{CCAD}-200mV<V_{IN}<V_{CCAD}	-4		12	µA
I_{AOSB2} (1)	ADC2 模拟关闭状态输入偏置电流	V_{CCAD} = 3.6V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 100mV	-7		2	µA
			V_{SSAD} + 100mV ≤ $V_{IN} \le V_{CCAD}$ - 200mV	-4		2	µA
			V_{CCAD} - 200mV < $V_{IN} \le V_{CCAD}$	-4		10	µA
I_{AOSB1} (1)	ADC1 模拟关闭状态输入偏置电流	V_{CCAD} = 5.5V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 300mV	-10		3	µA
			V_{SSAD} + 300mV ≤ $V_{IN} \le V_{CCAD}$ - 300mV	-5		3	µA
			V_{CCAD} - 300mV < $V_{IN} \le V_{CCAD}$	-5		14	µA
I_{AOSB2} (1)	ADC2 模拟关闭状态输入偏置电流	V_{CCAD} = 5.5V 最大值	$V_{SSAD} \le V_{IN} < V_{SSAD}$ + 300mV	-8		3	µA
			V_{SSAD} + 300mV ≤ $V_{IN} \le V_{CCAD}$ - 300mV	-5		3	µA
			V_{CCAD} - 300mV < $V_{IN} \le V_{CCAD}$	-5		12	µA
$I_{ADREFHI}$	AD_{REFHI}输入电流	AD_{REFHI}=V_{CCAD}，AD_{REFLO}=V_{SSAD}				3	mA
I_{CCAD}	静态电源电流	正常运行模式				15	mA
		断电模式中的 ADC 内核				5	µA

(1) 如果两个 ADC 转换器同时转换一个共用通道，接通状态泄露等于 I_{AOSB1} + I_{AOSB2}

版权 © 2012–2013, Texas Instruments Incorporated

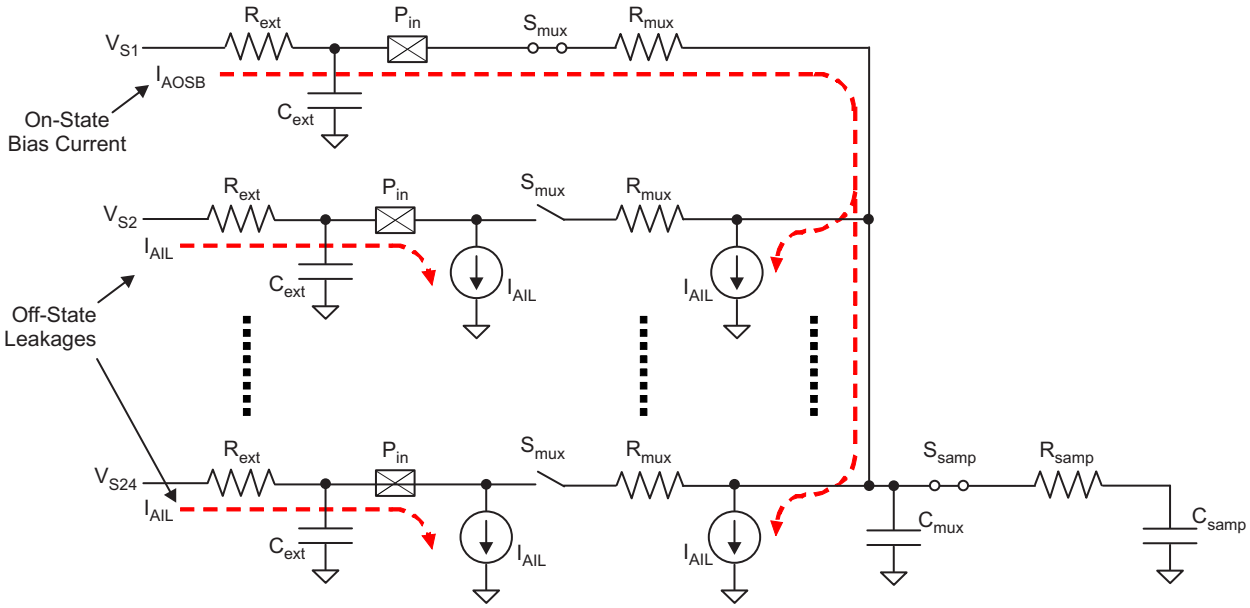


图 **6-6. MibADC** 输入等效电路

表 **6-21. MibADC** 时序技术规格

参数		最小值	标称值	最大值	单位
$t_{c(ADCLK)}$ (1)	周期，MibADC 时钟	0.033			μs
$t_{d(SH)}$ (2)	延迟时间，采样和保持时间	0.2			μs
$t_{d(PU-ADV)}$	从 ADC 加电到可以对输入进行首次采样的延迟时间	1			μs
12 位模式					
$t_{d©)}$	延迟时间，转换时间	0.4			μs
$t_{d(SHC)}$ (3)	延迟时间，总采样/保持和转换时间	0.6			μs
10 位模式					
$t_{d©)}$	延迟时间，转换时间	0.33			μs
$t_{d(SHC)}$ (3)	延迟时间，总采样/保持和转换时间	0.53			μs

(1) MibADC 时钟为 ADCLK，由 ADCLOCKCR 寄存器位 4:0 定义的一个预分频因子将 VCLK 分频生成。
(2) 针对 ADC 转换的采样和保持时间由 ADCLK 频率和针对每个转换组的 AD<GP>SAMP 寄存器定义。 采样时间的确定需要考虑连接到输入通道上的外部阻抗以及 ADC 的内部阻抗。
(3) 该是可以达到的最低采样/保持和转换时间。 这些参数取决于许多因素，如预分频器设置。

表 **6-22.** 在整个推荐运行条件范围内的 **MibADC** 运行特性[(1)(2)]

参数		说明/条件		最小值	类型	最大值	单位
CR	额定精度被保持时的转换范围	AD_{REFHI}- AD_{REFLO}		3		5.5	V
Z_{SET}	零量程偏移	第一个理想转换（从代码 000h 至 001h）和实际转换间的差异	10 位模式			1	LSB
			12 位模式			2	LSB
F_{SET}	满量程偏移	测得的代码转换范围（从第一个到最后一个）与理想代码转换范围间的差异	10 位模式			2	LSB
			12 位模式			3	LSB
E_{DNL}	微分非线性误差	实际步长宽度和理想值之间的差异。（请参见图表 76）	10 位模式			± 1.5	LSB
			12 位模式			± 2	最低有效位 (LSB)
E_{INL}	积分非线性误差	从穿过 MibADC 的最佳直线的最大偏差。MibADC 传输特性，但不包括量化误差。	10 位模式			± 2	LSB
			12 位模式			± 2	LSB
E_{TOT}	总未调整误差	模拟值和理想中值之间的最大差值。	10 位模式			± 2	LSB
			12 位模式			± 4	LSB

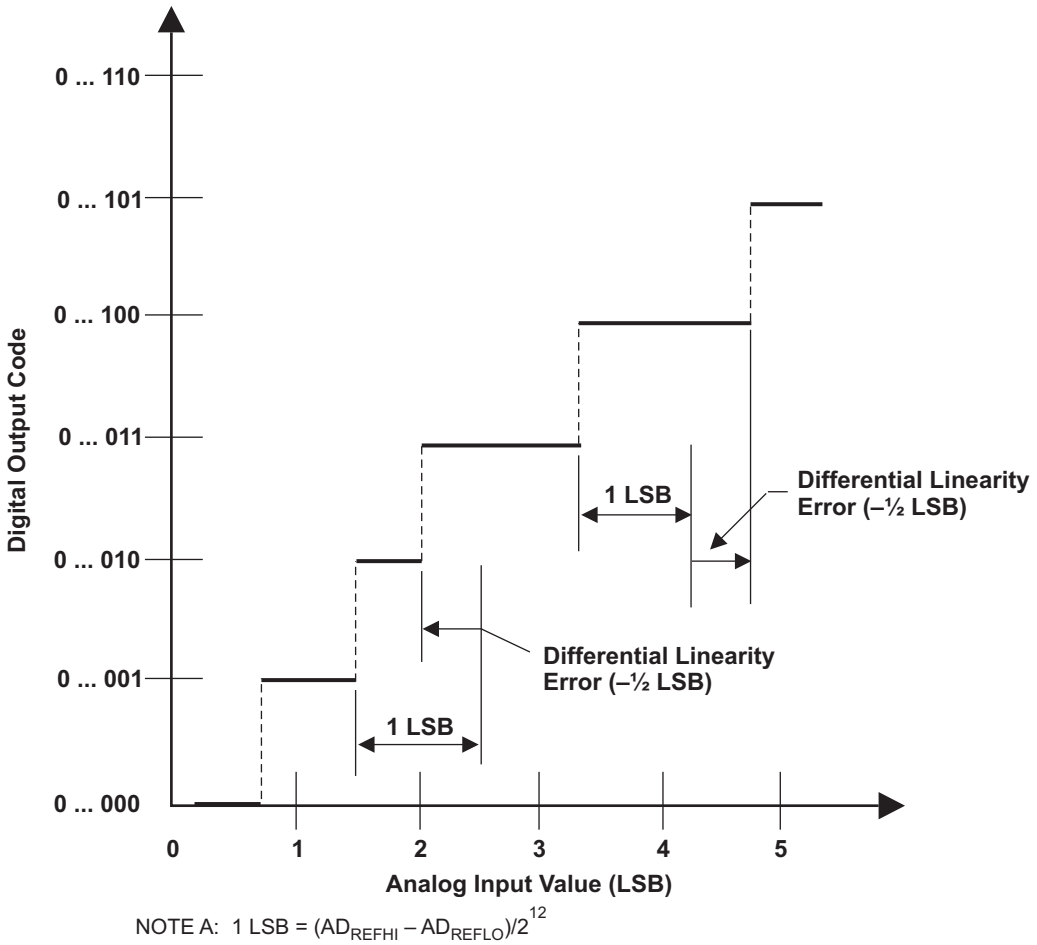
(1) 对于 12 位模式，1 LSB = $(AD_{REFHI} – AD_{REFLO})/ 2^{12}$
(2) 对于 10 位模式，1 LSB = $(AD_{REFHI} – AD_{REFLO})/ 2^{10}$

版权 © 2012–2013, Texas Instruments Incorporated

6.4.4 性能（精度）技术规格

6.4.4.1 MibADC 非线性误差

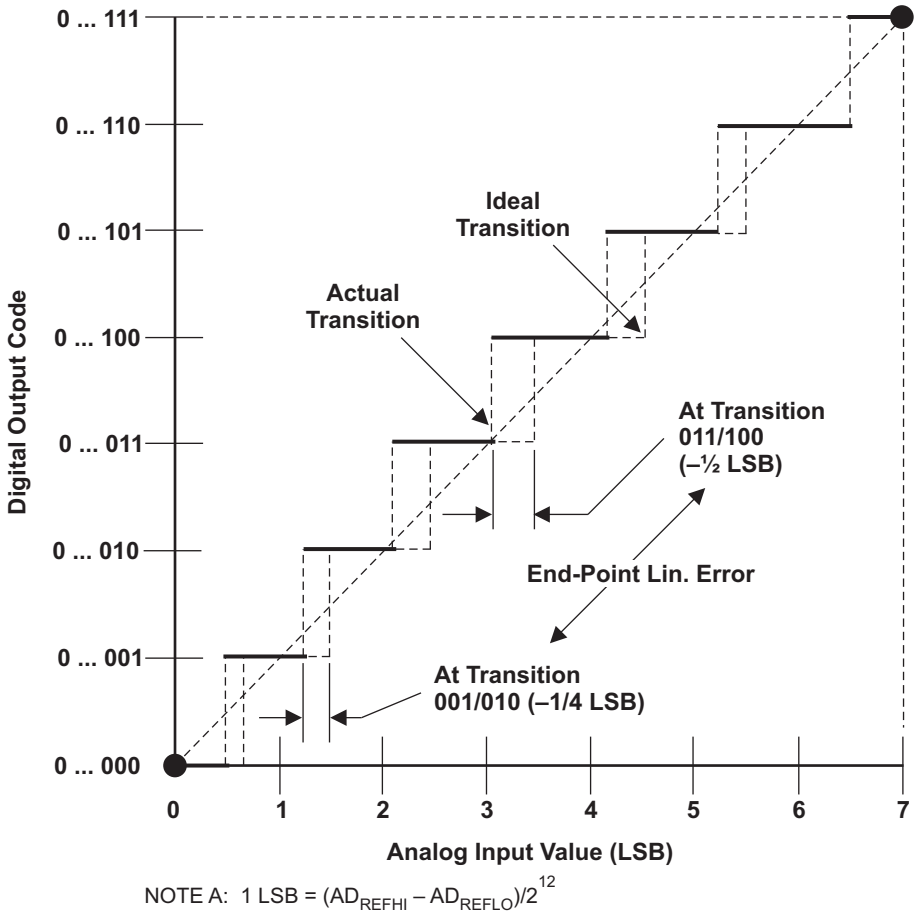
在 图 6-7 中所示的微分非线性误差（有时也被称为微分线性）是实际步长宽度与 1 LSB 理想值之间的差异。



NOTE A: 1 LSB = $(AD_{REFHI} - AD_{REFLO})/2^{12}$

图 **6-7.** 微分非线性 **(DNL)** 误差

在 图 6-8 中所示的积分非线性误差（有时称为线性误差）是实际传送函数上的值的与一条直线的偏差。



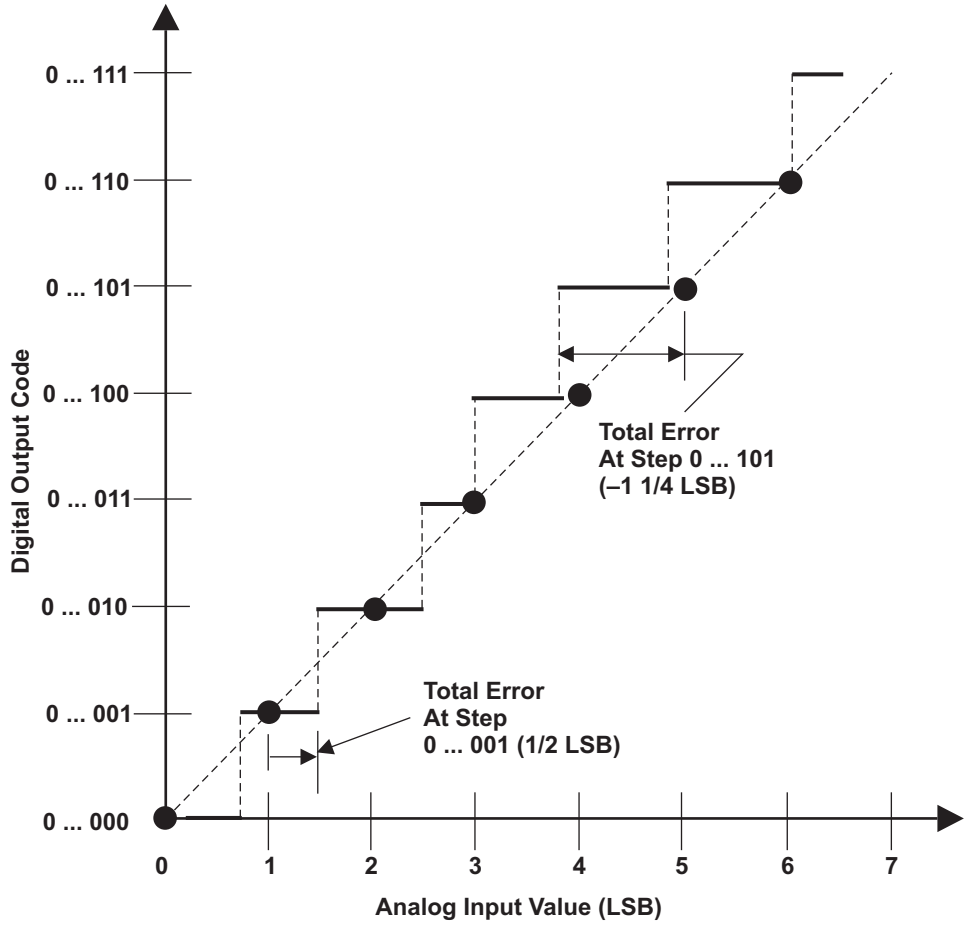
NOTE A: 1 LSB = $(AD_{REFHI} - AD_{REFLO})/2^{12}$

图 **6-8.** 积分非线性 **(INL)** 误差

版权 © 2012–2013, Texas Instruments Incorporated

6.4.4.2 MibADC 总误差

图 6-9 所示的 MibADC 的绝对精度或总误差是模拟值和理想中值之间的差值。



NOTE A: 1 LSB = $(AD_{REFHI} - AD_{REFLO})/2^{12}$

图 **6-9.** 绝对精度（总）误差

6.5 通用输入/输出

这个器件上的 GPIO 模块支持两个部件，GIOA 和 GIOB。 I/O 引脚是双向的并且位可编程。 GIOA 和 GIOB 都支持外部中断功能。

6.5.1 特性

GPIO 模块具有如下特性：

- 每个 IO 引脚可被配置为：
  - 输入
  - 输出
  - 开漏
- 中断有如下特性：
  - 可编程中断检测或者在两个边沿上或者在一个单边沿上（在 GIOINTDET 中设定）
  - 可编程边沿检测极性，上升或下降边沿（在 GIOPOL 寄存器内设定）
  - 独立中断 标志（在 GIOFLG 寄存器内设定）
  - 独立中断使能，分别通过 GIOENASET 和 GIOENACLR 寄存器置位和清零
  - 可编程中断极性，通过 GIOLVLSET 和 GIOLVLCLR 寄存器设定
- 内部上拉/下拉允许未使用的 I/O 引脚保持未连接

有关输入和输出时序的信息，请参阅节 4.8和节 4.9

版权 © 2012–2013, Texas Instruments Incorporated

6.6 增强型高端定时器 (N2HET)

N2HET1 是一款高级智能定时器，此定时器能够为实时应用提供精密的计时功能。 该定时器为软件控制型，采用一个精简指令集，并具有一个专用的定时器微级机和一个连接的 I/O 端口。 N2HET 可被用于脉宽调制输出、捕捉或者比较输入、或者通用 I/O。它特别适合于那些需要多种传感器信息和驱动传动器并具有复杂和准确时间脉冲的应用。

6.6.1 特性

N2HET 模块有以下特性：

- 可编程定时器用于输入和输出定时功能
- 精简指令集（30 条指令）用于专用时间和角函数
- 由奇偶校验保护的160 字指令 RAM
- 用户定义的
- 针对每个引脚的 7 位硬件计数器支持高达 32 位分辨率与25 位虚拟计数器协同运行
- 多达 32 个 引脚可用于输入信号测量或输出信号生成
- 针对每个具有可调限制频率引脚的可编程抑制滤波器
- 低 CPU 开销和中断负载
- 带有专用高端定时器传输单元 (HTU) 的 CPU 内存间的高效数据传输或 DMA
- 支持不同回路机制和引脚状态回读功能的诊断功能

6.6.2 N2HET RAM 组织结构

定时器 RAM 使用 4 个 RAM 组，每个组有两个端口访问功能。 这意味着一个 RAM 地址被写入时，另外一个地址被读取。 RAM 字是 96 位宽，它被分成三个 32 位字段（程序、控制、和数据）。

6.6.3 输入时序技术规格

N2HET 指令 PCNT 和 WCAP 将一些时序限制施加到输入信号上。

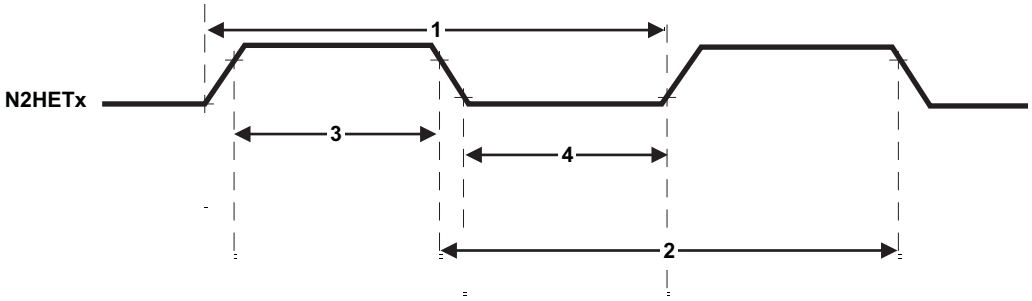


图 **6-10. N2HET** 输入捕捉时序

表 **6-23.** 针对 **N2HET** 输入捕捉功能的动态特性

参数		最小值	最大值	单位
1	输入信号周期，针对上升边沿到上升边沿的 PCNT 或 WCAP	(HRP) (LRP) $tc_{(VCLK2)}$ + 2	2^{25} (HRP) (LRP) $tc_{(VCLK2)}$ - 2	ns
2	输入信号周期，针对下降边沿到下降边沿的 PCNT 或 WCAP	(HRP) (LRP) $tc_{(VCLK2)}$ + 2	2^{25} (HRP) (LRP) $tc_{(VCLK2)}$ - 2	ns
3	输入信号高相位，针对上升边沿到上升边沿的 PCNT 或 WCAP	2 (HRP) $tc_{(VCLK2)}$ + 2	2^{25} (HRP) (LRP) $tc_{(VCLK2)}$ - 2	ns
4	输入信号低相位，针对下降边沿到下降边沿的 PCNT 或 WCAP	2 (HRP) $tc_{(VCLK2)}$ + 2	2^{25} (HRP) (LRP) $tc_{(VCLK2)}$ - 2	ns

6.6.4 N2HET1-N2HET2 同步

在某些应用中，N2HET 分辨率必须被同步。 某些其它应用要求一个单时基用于所有 PWM 输出和输入时序捕捉。

N2HET 提供这样一个同步机制。 Clk_master/slave (HETGCR.16) 将 N2HET 配置为主控或受控模式（缺省为受控模式）。 一个处于主控模式的 N2HET 提供一个信号来同步受控 N2HET 的预分频器。 受控 N2HET 将它的环路分辨率与主控发出的环路分辨率信号同步。 在它接收到第一个同步信号后，从器件不再需要这个信号。 然而，只要从器件接收到主器件发出的重新同步信号，从器件就必须再次进行自身同步。

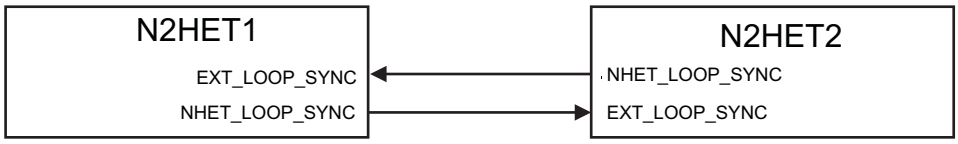


图 **6-11. N2HET1–N2HET2** 同步接线

6.6.5 N2HET 校验

6.6.5.1 内部监视

为了确保高端定时器运行和输出信号的正确性，两个N2HET 模块可被用于监视对方的信号，如 图 6-12 所示。 监视的方向由 I/O 复用控制模块控制。

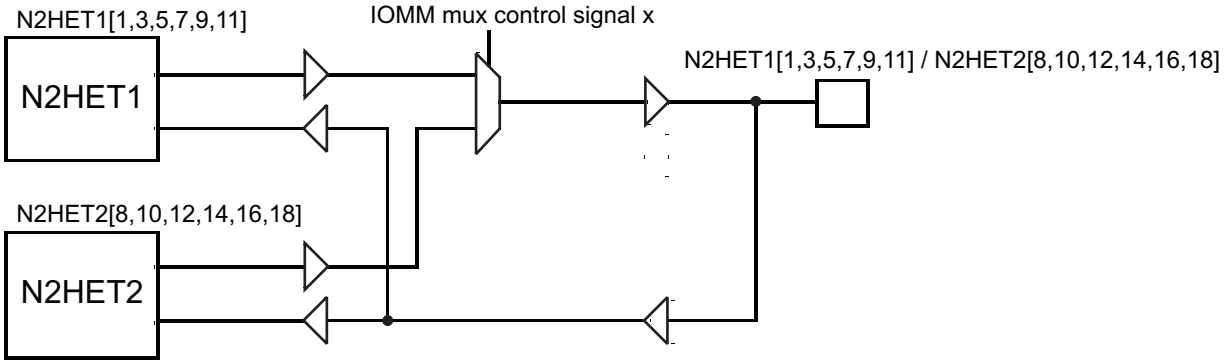


图 **6-12. N2HET** 监视

6.6.5.2 使用双时钟比较器 (DCC) 的输出监视

N2HET1[31] 被连接作为 DCC1 内计数器 1 的时钟源。 这样使得应用能够测量 N1HET2[31] 上的脉宽调制 (PWM) 信号的频率。

相似的，N2HET2[0] 被连接作为 DCC2 内计数器 1 的时钟源。 这样使得应用能够测量 N2HET2[0] 上的脉宽调制 (PWM) 信号的频率。

版权 © 2012–2013, Texas Instruments Incorporated

N2HET1[31] 和 N2HET2[0] 都可被配置为只有内部可用通道。 也就是说，N2HETx 模块的输出被直接连接到 DCC 模块上（从输出缓冲器的输入）。

有关 DCC 的更多信息，请参阅节 5.7.3。

6.6.6 禁用 N2HET 输出

一些应用要求在某些故障条件下禁用 N2HET 输出。 N2HET 模块通过“可禁用的引脚”输入信号来提供这个功能。 当被驱动为低电平时，这个信号 “N2HET 引脚禁用”特性的更多细节请参考器件端子参考手册。

GIOA[5] 被连接至 N2HET1 的“引脚禁用”输入， 而 GIOB[2] 被连接至 N2HET2 的“引脚禁用”输入。

6.6.7 高端定时器传输单元 (HTU)

一个高端定时器传输单元 (HTU) 可以执行 DMA 类型处理来与主内存进行 N2HET 数据交换。 一个内存保护单元 (MPU) 被内置于 HTU 内。

6.6.7.1 特性

- CPU 和 DMA 无关
- 访问系统内存的主控端口
- 支持双缓冲配置的 8 个控制数据包
- 控制数据包信息被存储在受奇偶校验保护的 RAM 中
- 事件同步（HET 传输请求）
- 支持 32 或 64 位处理
- 针对 HET 地址（8 字节或 16 字节）和系统内存地址（固定，32 位或 64 位）的寻址模式
- 单次、循环和自动切换缓冲器传输模式
- 请求丢失检测

6.6.7.2 触发连接

表 **6-24. HTU1** 请求线路连接

模块	请求源	**HTU1** 请求
N2HET1	HTUREQ[0]	HTU1 DCP[0]
N2HET1	HTUREQ[1]	HTU1 DCP[1]
N2HET1	HTUREQ[2]	HTU1 DCP[2]
N2HET1	HTUREQ[3]	HTU1 DCP[3]
N2HET1	HTUREQ[4]	HTU1 DCP[4]
N2HET1	HTUREQ[5]	HTU1 DCP[5]
N2HET1	HTUREQ[6]	HTU1 DCP[6]
N2HET1	HTUREQ[7]	HTU1 DCP[7]

表 **6-25. HET TU2** 请求线路连接

模块	请求源	**HET TU2** 请求
N2HET2	HTUREQ[0]	HTU2 DCP[0]
N2HET2	HTUREQ[1]	HTU2 DCP[1]
N2HET2	HTUREQ[2]	HTU2 DCP[2]
N2HET2	HTUREQ[3]	HTU2 DCP[3]
N2HET2	HTUREQ[4]	HTU2 DCP[4]
N2HET2	HTUREQ[5]	HTU2 DCP[5]
N2HET2	HTUREQ[6]	HTU2 DCP[6]
N2HET2	HTUREQ[7]	HTU2 DCP[7]

版权 © 2012–2013, Texas Instruments Incorporated

6.7 控制器局域网络 (DCAN)

DCAN 支持 CAN 2.0B 协议标准并使用一个串行、多主机通信协议，此协议有效支持对速率高达 1 兆位每秒 (Mbps) 的稳健通信的分布式实时控制。 DCAN 非常适合于工作于嘈杂和严酷环境中的应用 （例如：汽车和工业领域），此类应用需要可靠的串行通信或多路复用线路。

6.7.1 特性

DCAN 模块的特性包括：

- 支持 CAN 协议版本 2.0 部分 A.B
- 高达 1M 位每秒的比特率
- CAN内核能够由用于波特率生成的振荡器计时。
- 每个 DCAN 上 64 个邮箱
- 针对每个消息目标的独立标识符掩码
- 针对消息目标的可编程先进先出 (FIFO) 模式
- 针对自检运行的可编程回路模式
- 由一个可编程 32 位定时器实现的总线关闭状态后的自动总线打开
- 受奇偶校验保护的消息 RAM
- 测试模式中到消息 RAM 的直接访问
- 可配置为通用 IO 引脚的 CAN Rx/Tx 引脚
- 消息 RAM 自动初始化
- DMA 支持

有关 DCAN 的更多信息，请参阅器件技术参考手册。

6.7.2 电气和时序技术规格

表 **6-26.** 针对 **DCANx TX**和 **RX** 引脚的动态特性

参数		最小值	最大值	单位
$t_{d(CANnTX)}$	延迟时间，传输移位寄存器到 CANnTX 引脚的时间(1)		15	ns
$t_{d(CANnRX)}$	延迟时间，CANnRX 引脚接收移位寄存器的时间		5	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

6.8 本地互连网络接口 (LIN)

SCI/LIN 模块可被设定运行为一个 SCI 或者一个 LIN。 模块的内核是一个 SCI。 增加了 SCI 的硬件特性以实现 LIN 兼容性。

SCI 是一个执行 标准非归零码格式的通用异步收发器。 例如，SCI 可被用于通过一个RS-232 端口或一条 K 线路进行通信。

LIN 标准基于 SCI (UART) 串行数据连接格式。 通信概念是任何网络节点间带有一个消息标识的单主控/多受控的多播传输。

6.8.1 LIN 特性

LIN 模块的特性如下：

- 与 LIN1.3，2.0 和 2.1 协议兼容
- 用于实现最小 CPU 干预的多缓冲接收和发送单元 DMA 功能
- 针对信息过滤的识别掩码
- 自动主控头文件生成
  - 可编程同步中断字段
  - 同步字段
  - 标识符字段
- 从器件自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 带有 7 个分数位的 2^{31}个可编程传输速率
- 错误检测
- 2 个带有优先级编码的中断线路

版权 © 2012–2013, Texas Instruments Incorporated

6.9 串行通信接口 (SCI)

6.9.1 特性

- 标准通用异步收发器 (UART) 通信
- 支持全双工或半双工运行
- 标准非归零码 (NRZ) 格式
- 双缓冲接收和发送功能
- 基于以下内容的每字符 3 至 13 位的可配置帧格式
  - 1 位至 8 位可编程数据字长度
  - 地址位模式中的附加地址位
  - 可编程为零个或一个奇偶校验位的奇偶校验，奇校验或偶校验的奇偶检验
  - 可编程为一个或两个停止位的停止
- 异步或等同步通信模式
- 两个多处理器通信格式可实现多于两个器件间的通信。
- 休眠模式可用于在多处理器通信期间释放 CPU 资源。
- 24 位可编程波特率支持 2^{24} 个不同的波特率，从而提供高精度波特率选择。
- 四个错误标志和五个状态标志提供与 SCI 时间有关的详细信息。
- 使用 DMA 用于传输和接收数据的功能

版权 © 2012–2013, Texas Instruments Incorporated

6.10 内部集成电路 (I2C)

内部集成电路 (I2C) 模块是一款多主控通信模块，此模块在 TMS570 微控制器和与飞利浦半导体 I2C 总线技术规范版本 2.1 兼容的器件之间提供一个接口并且由一个 I2C 总线连接。 这个模块将支持任何从器件或主器件 I2C 兼容器件。

6.10.1 特性

I2C 有下列特性：

- 与飞利浦 I2C 总线技术规范，v2.1兼容（I2C 技术规范，飞利浦文献编号 9398 393 40011）
  - 位/字节格式传输
  - 7 位和 10 位器件寻址模式
  - 常规调用
  - 开始字节
  - 多主控发送器/受控接收器模式
  - 多主控接收器/受控接收器模式
  - 组合主器件发送/接收和接收/发送模式
  - 10kbps 到高达 400kbps 的传输速率（飞利浦快速模式速率）
- 自由数据格式
- 两个 DMA 事件（发送和接收）
- DMA 事件启用/禁用功能
- 可由 CPU 使用的七个中断
- 模块启用/禁用功能
- 可选择将 SDA 和 SDL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

注

这个 I2C 模块不支持：

- 高速 (HS)模式
- C 总线兼容模式
- 10 位寻址模式中的组合格式（I2C 在它发送从器件地址第一个字节时发送从器件地址第二个字节）

版权 © 2012–2013, Texas Instruments Incorporated

6.10.2 I2C I/O 时序技术规格

表 6-27. I2C 信号（SDA 和 SCL）开关特性(1)

参数		标准模式		高速模式		单位
		最小值	最大值	最小值	最大值	
$t_{c(I2CCLK)}$	周期时间，针对 I2C 的内部模块时钟，从VCLK 预分频的时间	75.2	149	75.2	149	ns
$f_{(SCL)}$	SCL 时钟频率	0	100	0	400	kHz
$t_{c(SCL)}$	周期时间，SCL	10		2.5		µs
$t_{su(SCLH-SDAL)}$	建立时间，在 SDA 低电平前 SCL 高电平的时间（对于一个重复的 START 条件）	4.7		0.6		µs
$t_{h(SCLL-SDAL)}$	建立时间，在 SDA 低电平后 SCL 低电平的时间（对于一个重复的 START 条件）	4		0.6		µs
$t_{w(SCLL)}$	脉冲持续时间，SCL 低电平的时间	4.7		1.3		µs
$t_{w(SCLH)}$	脉冲持续时间，SCL 高电平的时间	4		0.6		µs
$t_{su(SDA-SCLH)}$	建立时间，在 SCL 高电平之前 SDA 有效的时间	250		100		ns
$t_{h(SDA-SCLL)}$	保持时间，在 SCL 高电平之前 SDA 有效的时间（对于 I2C 总线器件）	0	3.45(2)	0	0.9	µs
$t_{w(SDAH)}$	脉冲持续时间，在 STOP 和 START 条件之间 SDA 高电平的时间	4.7		1.3		µs
$t_{su(SCLH-SDAH)}$	建立时间，SDA 高电平之前 SCL 高电平的时间（用于 STOP 情况）	4.0		0.6		µs
$t_{w(SP)}$	脉冲持续时间，尖峰（必须被抑制）			0	50	ns
C_b(3)	每个总线的容性负载		400		400	pF

(1) I2C 引脚 SDA 和 SCL 不具备故障安全 I/O 缓冲区。 当该器材的电源关闭时，这些引脚有可能耗电。
(2) 如果器件不延长 SCL 信号的低周期 ($t_{w(SCLL)}$)，只需满足针对 I2C 总线器件的最大 $t_{h(SDA-SCL)}$。
(3) C_b = 以 pF 为单位的一条总线的总电容。

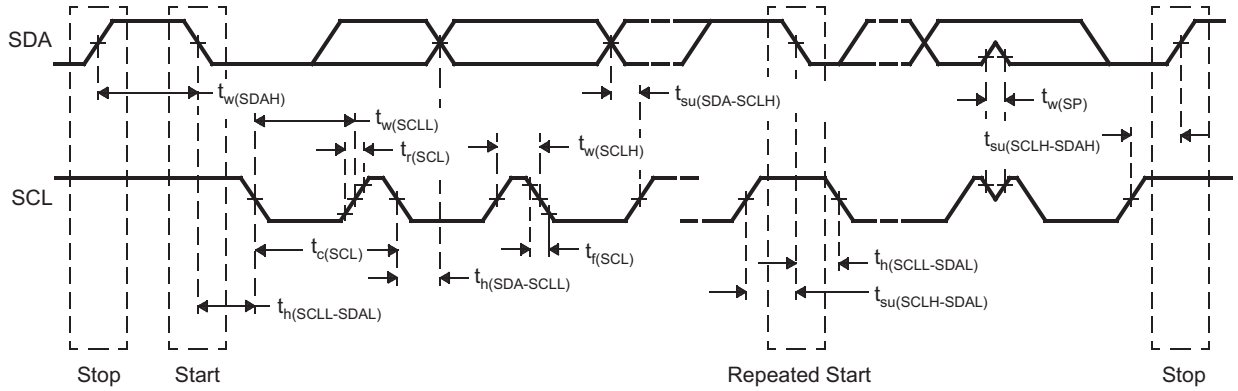


图 6-13. I2C 时序

注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间（以SCL 信号的 VIHmin 为基准）来连接 SCL下降边沿的未定义区域。
- 如果器件不延长 SCL 信号的低电平周期 ($t_{w(SCLL)}$)，只需满足最大 $t_{h(SDA-SCLL)}$。
- 一个快速模式 I2C 总线器件可被用在一个标准模式 I2C 总线系统中，但是必须满足 $t_{su(SDA-SCLH)} \geq 250ns$ 的要求。 如果该器件不延长 SCL 信号的低电平周期，将自动成为该情况。 如果器件确实延长了 SCL 信号的低电平周期，它必须将下一个数据位输出到 SDA 线路 tr 最大值 + $t_{su(SDA-SCLH)}$。
- C_b = 以 pF 为单位的一条总线的总电容。 如果与快速模式器件混合使用，可实现更快的下降时间。

版权 © 2012–2013, Texas Instruments Incorporated

6.11 多缓冲/标准串行外设接口

MibSPI 是一款高速同步串行输入/输出端口，此端口允许一个已编辑长度（2 至 16 位）的串行比特流以一个设定比特传输速率移入和移出器件。 SPI 的典型应用包括到外部外设的接口，例如 I/O，内存，显示驱动器，和模数转换器。

6.11.1 特性

标准和 MibSPI 模块有以下特性：

- 16 位移位寄存器
- 接收缓冲寄存器
- 8 位波特率生成器
- SPICLK 可由内部生成（主控模式）或者从一个外部时钟源接收（受控模式）
- 传输的每个字可有一个唯一的格式
- 未在通信中使用的 SPII/O 可被用作数字输入/输出信号

表 **6-28. MibSPI/SPI 配置**

MibSPIx/SPIx	I/O
MibSPI1	MIBSPI1SIMO[1:0]，MIBSPI1SOMI[1:0]，MIBSPI1CLK，MIBSPI1nCS[5:4,2:0]，IBSPI1nENA
MibSPI3	MIBSPI3SIMO， MIBSPI3SOMI， MIBSPI3CLK， MIBSPI3nCS[5:0]， MIBSPI3nENA
MibSPI5	MIBSPI5SIMO[3:0]， MIBSPI5SOMI[3:0]， MIBSPI5CLK， MIBSPI5nCS[3:0]， MIBSPI5nENA
SPI2	SPI2SIMO， SPI2SOMI， SPI2CLK， SPI2nCS[1:0]， SPI2nENA
SPI4	SPI4SIMO，SPI4SOMI，SPI4CLK，SPI4nCS[0]，SPI4nENA

6.11.2 MibSPI 发送和接收 RAM 组织结构

多缓冲 RAM 包含 128 个缓冲器。 多缓冲 RAM 的每个入口由 4 个部分组成：一个 16 位发送字段、一个 16 位接收字段、一个 16 位比较字段和一个 16 位状态字段。 多缓冲 RAM 可被分成多个传输组，每个组具有不同数量的缓冲器。 每个 MibSPI 模块支持 8 个传输组。

6.11.3 MibSPI 发送触发事件

每个传输组可被单独配置。 可为选择每个传输组选择一个触发事件和一个触发源。 例如，一个触发事件可以是一个上升边沿或者一个可选触发源上的永久低电平。 例如，每个传输组可使用提供的 15 个触发源。 对于 MibSPI1，MibSPi3 和 MibSPI5 的这些触发选项分别列于表 6-29，节 6.11.3.2 和 节 6.11.3.3中。

版权 © 2012–2013, Texas Instruments Incorporated

6.11.3.1 MIBSPI1 事件触发接线

表 6-29. MIBSPI1 事件触发接线

事件 #	TGxCTRL TRIGSRC[3:0]	触发
被禁用	0000	无触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	N2HET1[8]
事件 9	1010	N2HET1[10]
事件 10	1011	N2HET1[12]
事件 11	1100	N2HET1[14]
事件 12	1101	N2HET1[16]
事件 13	1110	N2HET1[18]
事件 14	1111	内部时隙计数器

注

对于 N2HET1 触发源，到 MibSPI1 模块触发输入的连接来自输出缓冲器的输入一侧（在 N2HET1 模块边界上）。 通过这种方法，可生成一个触发条件，即使 N2HET1 信号未被选为输出也是如此。

注

对于 GIOx 触发源，到 MibSPI1 模块触发输入的连接来自输入缓冲器的输出一侧。 通过这种方法，或者选择 GIOx 引脚作为一个输出引脚 并且选择此引脚为一个 GIOx 引脚，或者从一个外部触发源驱动此 GIOx 引脚来生成一个触发条件。 如果复用控制模块被用来选择 GIOx 信号以外的不同功能，那么在从触发 MibSPI1 传输中禁用 GIOx 时应该小心；在输入连接上没有复用。

6.11.3.2 MIBSPI3 事件触发接线

表 6-30. MIBSPI3 事件触发接线

事件 #	TGxCTRL TRIGSRC[3:0]	触发
被禁用	0000	无触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	N2HET1[8]
事件 9	1010	N2HET1[10]
事件 10	1011	N2HET1[12]

表 **6-30. MIBSPI3** 事件触发接线 **(continued)**

事件 #	TGxCTRL TRIGSRC[3:0]	触发
事件 11	1100	N2HET1[14]
事件 12	1101	N2HET1[16]
事件 13	1110	N2HET1[18]
事件 14	1111	内部时隙计数器

注

对于 N2HET1 触发源，到 MibSPI3 模块触发输入的连接来自输出缓冲器的输入一侧（在 N2HET1 模块边界上）。 通过这种方法，可生成一个触发条件，即使 N2HET1 信号未被选为垫上的输出也是如此。

注

对于 GIOx 触发源，到 MibSPI3 模块触发输入的连接来自输入缓冲器的输出一侧。 通过这种方法，或者选择 GIOx 引脚作为一个输出引脚 并且选择此引脚为一个 GIOx 引脚，或者从一个外部触发源驱动此 GIOx 引脚来生成一个触发条件。 如果复用控制模块被用来选择 GIOx 信号以外的不同功能，那么在从触发 MibSPI3 传输中禁用 GIOx 时应该小心；在输入连接上没有复用。

6.11.3.3 MIBSPI5 事件触发接线

表 **6-31. MIBSPI5** 事件触发接线

事件 #	TGxCTRL TRIGSRC[3:0]	触发
被禁用	0000	无触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	N2HET1[8]
事件 9	1010	N2HET1[10]
事件 10	1011	N2HET1[12]
事件 11	1100	N2HET1[14]
事件 12	1101	N2HET1[16]
事件 13	1110	N2HET1[18]
事件 14	1111	内部时隙计数器

注

对于 N2HET1 触发源，到 MibSPI5 模块触发输入的连接来自输出缓冲器的输入一侧（在 N2HET1 模块边界上）。 通过这种方法，可生成一个触发条件，即使 N2HET1 信号未被选为垫上的输出也是如此。

版权 © 2012–2013, Texas Instruments Incorporated

注

对于 GIOx 触发源，到 MibSPI5 模块触发输入的连接来自输入缓冲器的输出一侧。 通过这种方法，或者选择 GIOx 引脚作为一个输出引脚并且选择此引脚为一个 GIOx 引脚，或者从一个外部触发源驱动此 GIOx 引脚来生成一个触发条件。 如果复用控制模块被用来选择 GIOx 信号以外的不同功能，那么在从触发 MibSPI5 传输中禁用 GIOx 时应该小心；在输入连接上没有复用。

版权 © 2012–2013, Texas Instruments Incorporated

6.11.4 MibSPI/SPI 主控模式 I/O 时序规范

表 6-32. SPI 主控模式外部时序参数（时钟相位 = 0，SPICLK = 输出，SPISIMO = 输出并且 SPISOMI = 输入）(1)(2)(3)

编号	参数			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK (4)		40	$256t_{c(VCLK)}$	ns
2(5)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	
3(5)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	
4(5)	$t_{d(SPCH-SIMO)M}$	延迟时间，在 SPICLK 低电平之前 SPISIMO 有效的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 6$		ns
	$t_{d(SPCL-SIMO)M}$	延迟时间，在 SPICLK 高电平之前 SPISIMO 有效的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 6$		
5(5)	$t_{v(SPCL-SIMO)M}$	有效时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{f(SPC)} - 4$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间，SPICLK 高电平之后，SPISIMO 数据有效的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{r(SPC)} - 4$		
6(5)	$t_{su(SOMI-SPCL)M}$	建立时间，SPISOMI 在 SPICLK 低电平之前的时间 （时钟极性 = 0）		$t_{f(SPC)} + 2.2$		ns
	$t_{su(SOMI-SPCH)M}$	建立时间，SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 1）		$t_{r(SPC)} + 2.2$		
7(5)	$t_{h(SPCL-SOMI)M}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）		10		ns
	$t_{h(SPCH-SOMI)M}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）		10		
8(6)	$t_{C2TDELAY}$	建立时间，SPICLK 高电平前 CS 激活的时间（时钟极性 = 0）	CSHOLD = 0	$C2TDELAY*t_{c(VCLK)} + 2*t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	$(C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	ns
			CSHOLD =1	$C2TDELAY*t_{c(VCLK)} + 3*t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	$(C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	
		建立时间，SPICLK 低电平前 CS 激活的时间（时钟极性 = 1）	CSHOLD = 0	$C2TDELAY*t_{c(VCLK)} + 2*t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$	$(C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} + 5.5$	ns
			CSHOLD =1	$C2TDELAY*t_{c(VCLK)} + 3*t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$	$(C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} + 5.5$	
9(6)	$t_{T2CDELAY}$	保持时间 SPICLK 在 CS 无效前为低电平（时钟极性 = 0）		$0.5*t_{c(SPC)M} + T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} - 7$	$0.5*t_{c(SPC)M} + T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} + 11$	ns
		保持时间 SPICLK 在 CS 无效前为高电平 （时钟极性 = 1）		$0.5*t_{c(SPC)M} + T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + tr(SPICS) - 7$	$0.5*t_{c(SPC)M} + T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + t_{r(SPICS)} + 11$	ns
10	t_{SPIENA}	SPIENAn 采样点		$(C2TDELAY+1) * t_{c(VCLK)} - t_{f(SPICS)} - 29$	$(C1TDELAY+2)*t_{c(VCLK)}$	ns
11	$t_{SPIENAW}$	SPIENAn 写入缓冲区的采样点			$(C2TDELAY+2)*t_{c(VCLK)}$	ns

(1) 设置主控位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被清零。
(2) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$
(3) 对于上升和下降时序，请参见 表 4-4。
(4) 当 SPI 处于主控模式下时，必须满足下列条件:
对于 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(VCLK)} \geq 40ns$，其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位
对于 0 值 PS：$t_{c(SPC)M} = 2t_{c(VCLK)} \geq 40ns$。
SPICLK 引脚上的外部负载必须小于 60pF。
(5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

版权 © 2012–2013, Texas Instruments Incorporated

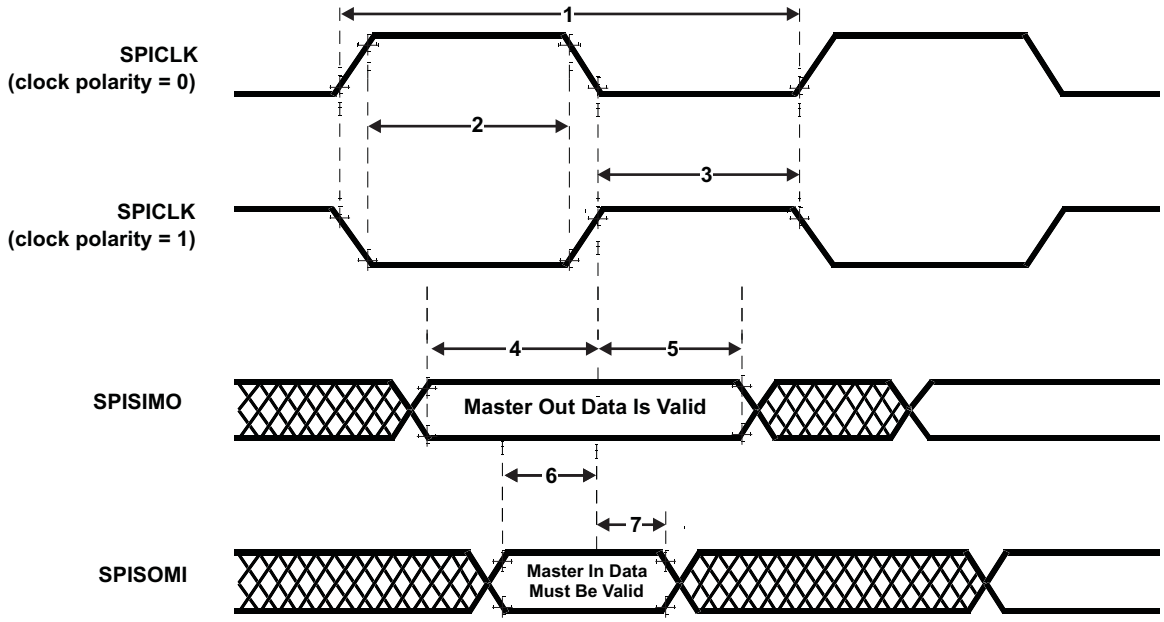


图 **6-14. SPI** 主控模式外部时序（时钟相位 **= 0**）

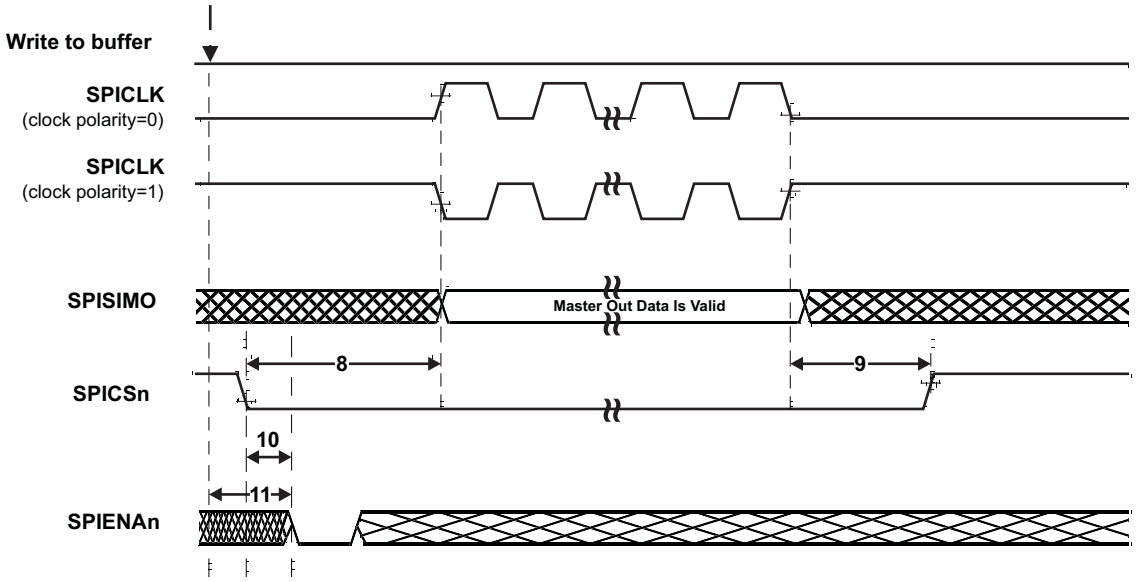


图 **6-15. SPI** 主控模式片选时序（时钟相位 **= 0**）

表 **6-33. SPI** 主控模式外部时序参数（时钟相位 **= 1**，**SPICLK =** 输出，**SPISIMO =** 输出并且 **SPISOMI =** 输入）(1)(2)(3)

编号	参数			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK (4)		40	$256t_{c(VCLK)}$	ns
2(5)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	
3(5)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	
4(5)	$t_{v(SIMO-SPCH)M}$	有效时间，SPISIMO 数据有效之后，SPICLK 为高电平的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - 6$		ns
	$t_{v(SIMO-SPCL)M}$	有效时间，SPISIMO 数据有效之后，SPICLK 为低电平的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - 6$		
5(5)	$t_{v(SPCH-SIMO)M}$	有效时间，SPICLK 高电平之后 SPISIMO 数据有效的时间（时钟极性 = 0）		$0.5t_{c(SPC)M} - t_{r(SPC)} - 4$		ns
	$t_{v(SPCL-SIMO)M}$	有效时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 1）		$0.5t_{c(SPC)M} - t_{f(SPC)} - 4$		
6(5)	$t_{su(SOMI-SPCH)M}$	建立时间，SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 0）		$t_{r(SPC)} + 2.2$		ns
	$t_{su(SOMI-SPCL)M}$	建立时间，SPISOMI 在 SPICLK 低电平之前的时间 （时钟极性 = 1）		$t_{f(SPC)} + 2.2$		
7(5)	$t_{v(SPCH-SOMI)M}$	有效时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）		10		ns
	$t_{v(SPCL-SOMI)M}$	有效时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）		10		
8(6)	$t_{C2TDELAY}$	建立时间，SPICLK 高电平前 CS 激活的时间（时钟极性 = 0）	CSHOLD = 0	$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	ns
			CSHOLD =1	$0.5*t_{c(SPC)M} + (C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	$0.5*t_{c(SPC)M} + (C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	
		建立时间，SPICLK 低电平前 CS 激活的时间（时钟极性 = 1）	CSHOLD = 0	$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$	$0.5*t_{c(SPC)M} + (C2TDELAY+2) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} + 5.5$	ns
			CSHOLD =1	$0.5*t_{c(SPC)M} + (C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$	$0.5*t_{c(SPC)M} + (C2TDELAY+3) * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} + 5.5$	
9(6)	$t_{T2CDELAY}$	保持时间 SPICLK 在 CS 无效前为低电平（时钟极性 = 0）		$T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} - 7$	$T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} + 11$	ns
		保持时间 SPICLK 在 CS 无效前为高电平 （时钟极性 = 1）		$T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + t_{r(SPICS)} - 7$	$T2CDELAY*t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + t_{r(SPICS)} + 11$	ns

(1) 设置主位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。
(2) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$
(3) 上升和下降时序，请参阅表 4-4。
(4) 当 SPI 处于主控模式下时，必须满足下列条件:
对于 1 到 255 的 PS 值：$t_{c(SPC)M} \geq (PS+1)t_{c(VCLK)} \geq 40ns$，其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位
对于 0 值 PS：$t_{c(SPC)M} = 2t_{c(VCLK)} \geq 40ns$。
SPICLK 引脚上的外部负载必须小于 60pF。
(5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

版权 © 2012–2013, Texas Instruments Incorporated

表 **6-33. SPI** 主控模式外部时序参数（时钟相位 **= 1**，**SPICLK =** 输出，**SPISIMO =** 输出并且 **SPISOMI =** 输入）(1)(2)(3) **(continued)**

编号	参数		最小值	最大值	单位
10	t_{SPIENA}	SPIENAn 采样点	(C2TDELAY+1)* $t_{c(VCLK)}$ - $t_{f(SPICS)}$ – 29	(C1TDELAY+2)*$t_{c(VCLK)}$	ns
11	$t_{SPIENAW}$	SPIENAn 写入缓冲区的采样点		(C2TDELAY+2)*$t_{c(VCLK)}$	ns

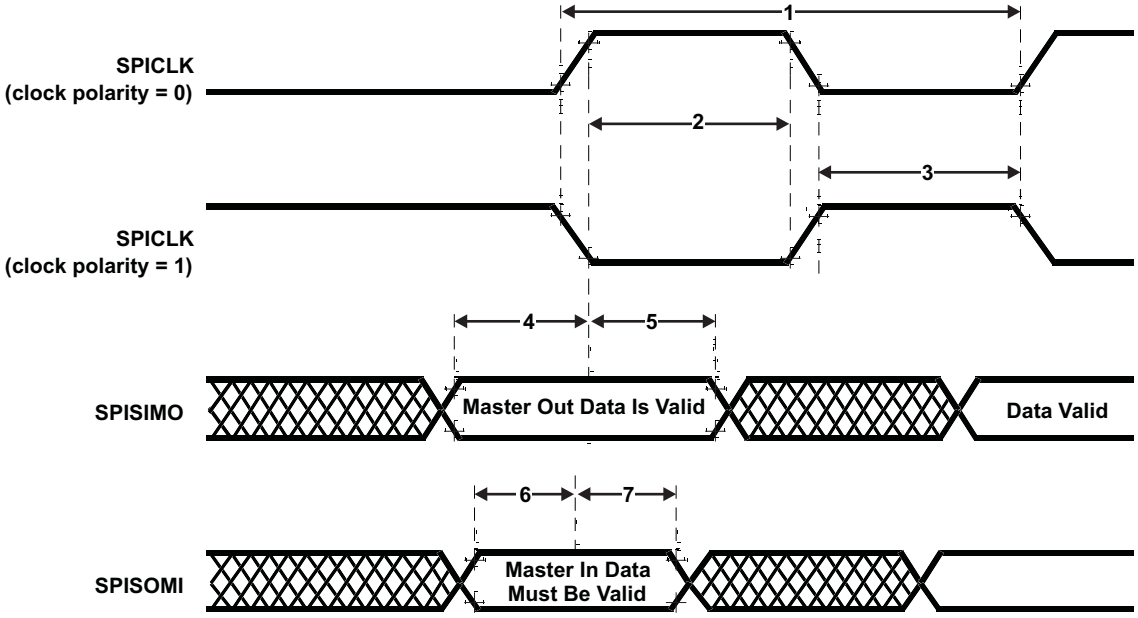


图 **6-16. SPI** 主控模式外部时序（时钟相位 **= 1**）

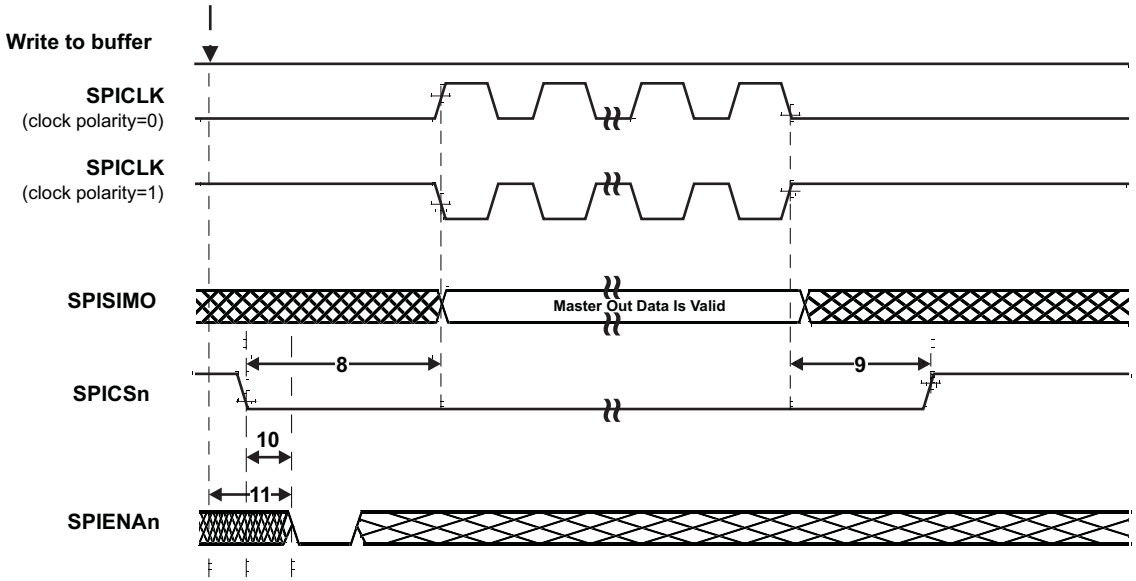


图 **6-17. SPI** 主控模式芯片选择时序（时钟相位 **= 1**）

6.11.5 SPI 受控模式 I/O 时序

表 6-34. SPI 受控模式外部时序参数（时钟相位 = 0，SPICLK = 输入，SPISIMO = 输入并且 SPISOMI = 输出）(1)(2)(3)(4)

编号	参数		最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPICLK(5)	40		ns
2(6)	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	14		
3(6)	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	14		
4(6)	$t_{d(SPCH-SOMI)S}$	延迟时间，SPICLK 高电平之后 SPISOMI 有效的时间（时钟极性 = 0）		$t_{rf(SOMI)}$ + 20	ns
	$t_{d(SPCL-SOMI)S}$	延迟时间，SPICLK 低电平之后 SPISOMI 有效的时间（时钟极性 = 1）		$t_{rf(SOMI)}$ + 20	
5(6)	$t_{h(SPCH-SOMI)S}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{h(SPCL-SOMI)S}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	2		
6(6)	$t_{su(SIMO-SPCL)S}$	建立时间，SPISIMO 在 SPICLK 低电平之前的时间（时钟极性 = 0）	4		ns
	$t_{su(SIMO-SPCH)S}$	建立时间，SPISIMO 在 SPICLK 高电平之前的时间（时钟极性 = 1）	4		
7(6)	$t_{h(SPCL-SIMO)S}$	保持时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{h(SPCH-SIMO)S}$	保持时间，SPICLK 高电平之后，SPISIMO 数据有效的时间（时钟极性 = 1）	2		
8	$t_{d(SPCL-SENAH)S}$	延迟时间，最后 SPICLK 低电平后的 SPIENAn 高电平时间（时钟极性=0）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}+22$	ns
	$t_{d(SPCH-SENAH)S}$	延迟时间，最后 SPICLK 高电平后的 SPIENAn 高电平时间（时钟极性= 1）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+ t_{r(ENAn)} + 22$	
9	$t_{d(SCSL-SENAL)S}$	延迟时间，SPICSn 低电平后 SPIENAn 低电平的时间（如果新数据已经被写入 SPI 缓冲区）	$t_{f(ENAn)}$	$t_{c(VCLK)}+t_{f(ENAn)}+27$	ns

(1) 主控位 (SPIGCR1.0) 被清零并且时钟相位位 (SPIFMTx.16) 被清零。
(2) 如果 SPI 处于受控模式中，以下必须为真：$t_{c(SPC)S} \geq (PS + 1)\ t_{c(VCLK)}$，其中 PS = SPIFMTx 中设定的预分频值。[15:8].
(3) 对上升和下降时序，请参阅表 4-4。
(4) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$
(5) 当 SPI 处于主控模式中时，下列必须为真：
对于从 1 到 255 的 PS 值：$t_{c(SPC)S} \geq (PS+1)t_{c(VCLK)} \geq 40ns$，其中 PS 为 SPIFMTx 中设定的预分频值。[15:8] 寄存器位
对于为零的 PS 值：$t_{c(SPC)S} = 2t_{c(VCLK)} \geq 40ns$。
(6) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

版权 © 2012–2013, Texas Instruments Incorporated

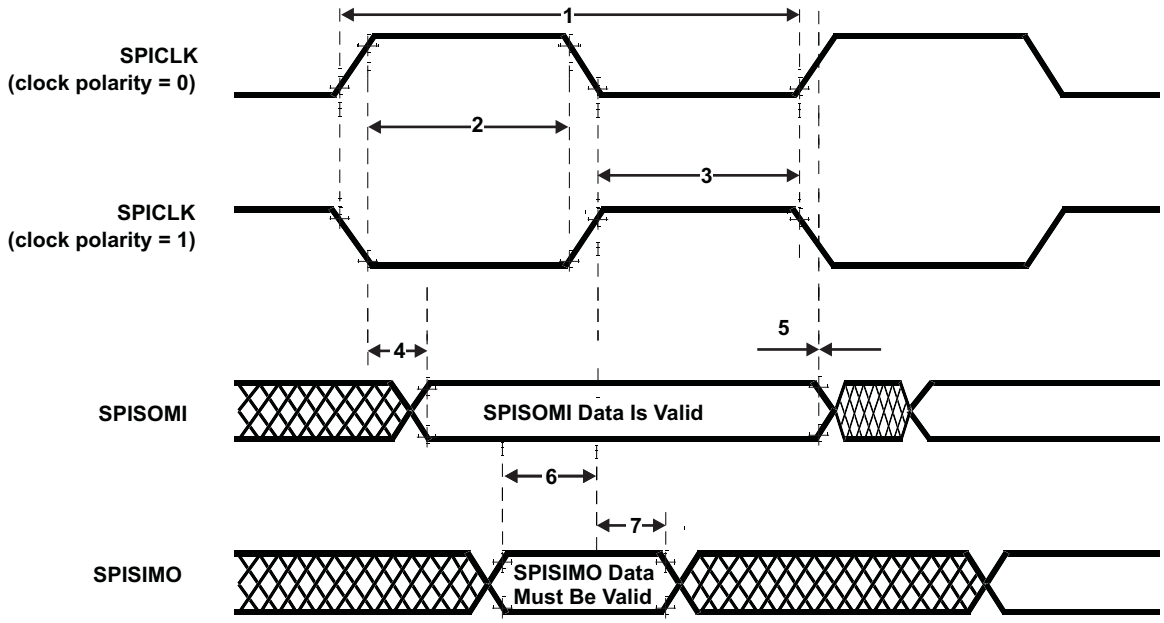


图 **6-18. SPI** 受控模式外部时序（时钟相位 **= 0**）

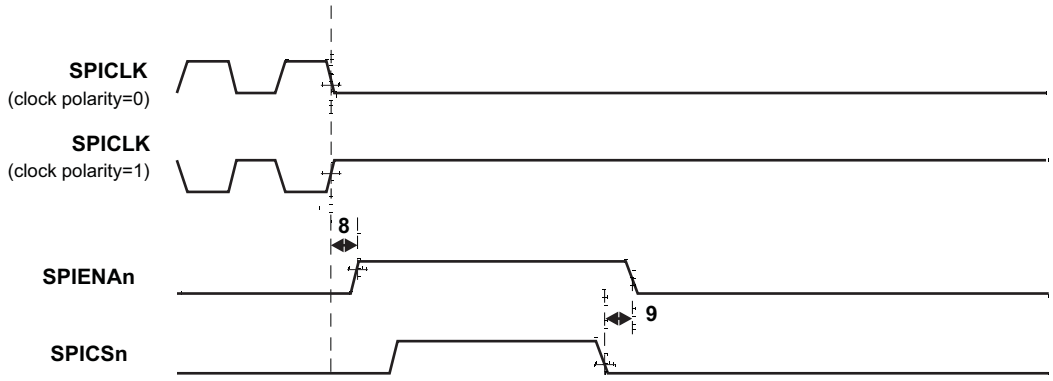


图 **6-19. SPI** 受控模式使能时序（时钟相位 **= 0**）

表 6-35. SPI 受控模式外部时序参数（时钟相位= 1，SPICLK = 输入, SPISIMO = 输入，和 SPISOMI = 输出）(1)(2)(3)(4)

编号	参数		最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPICLK(5)	40		ns
2(6)	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	14		
3(6)	$t_{w(SPCL)S}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCH)S}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	14		
4(6)	$t_{d(SOMI-SPCL)S}$	延迟时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）		$t_{rf(SOMI)}$ + 20	ns
	$t_{d(SOMI-SPCH)S}$	延迟时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）		$t_{rf(SOMI)}$ + 20	
5(6)	$t_{h(SPCL-SOMI)S}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{h(SPCH-SOMI)S}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	2		
6(6)	$t_{su(SIMO-SPCH)S}$	建立时间，SPISIMO 在 SPICLK 高电平之前的时间（时钟极性 = 0）	4		ns
	$t_{su(SIMO-SPCL)S}$	建立时间，SPISIMO 在 SPICLK 低电平之前的时间（时钟极性 = 1）	4		
7(6)	$t_{v(SPCH-SIMO)S}$	高电平时间，SPICLK 高电平之后，SPISIMO 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{v(SPCL-SIMO)S}$	高电平时间，SPICLK 低电平之后，SPISIMO 数据有效的时间（时钟极性 = 1）	2		
8	$t_{d(SPCH-SENAH)S}$	延迟时间，最后 SPICLK 高电平后的 SPIENAn 高电平时间（时钟极性= 0）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}$ + 22	ns
	$t_{d(SPCL-SENAH)S}$	延迟时间，最后 SPICLK 低电平后的 SPIENAn 高电平时间（时钟极性= 1）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)}+t_{r(ENAn)}$ + 22	
9	$t_{d(SCSL-SENAL)S}$	延迟时间，SPICSn 低电平后 SPIENAn 低电平的时间（如果新数据已经被写入 SPI 缓冲区）	$t_{f(ENAn)}$	$t_{c(VCLK)}+t_{f(ENAn)}$+ 27	ns
10	$t_{d(SCSL-SOMI)S}$	延迟时间， SPICSn 低电平后 SOMI 有效的时间（如果新数据已经被写入 SPI 缓冲区）	$t_{c(VCLK)}$	$2t_{c(VCLK)}+t_{rf(SOMI)}$+ 28	ns

(1) 主控位 (SPIGCR1.0) 被清零并且时钟相位位 (SPIFMTx.16) 被置位。
(2) 如果 SPI 处于受控模式中，以下必须为真：tc(SPC)S≤(PS + 1) tc(VCLK)，其中 PS = SPIFMTx 中设定的预分频值。[15:8].
(3) 对上升和下降时序，请参阅表 4-4。
(4) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$
(5) 当 SPI 处于主控模式中时，下列必须为真：
对于从 1 到 255 的 PS 值：$t_{c(SPC)S}$≥(PS+1)$t_{c(VCLK)}$≥ 40ns，其中 PS 为 SPIFMTx 中设定的预分频值。[15:8] 寄存器位
对于为零的 PS 值：$t_{c(SPC)S}$=2$t_{c(VCLK)}$≥40ns。
(6) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

版权 © 2012–2013, Texas Instruments Incorporated

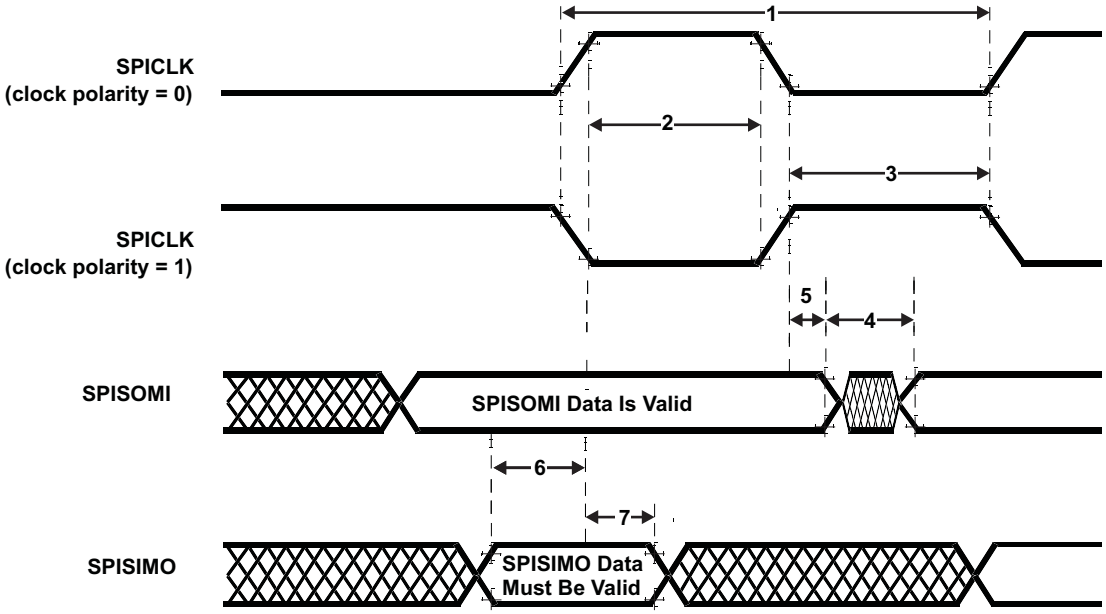


图 **6-20. SPI** 受控模式外部时序（时钟相位 **= 1**）

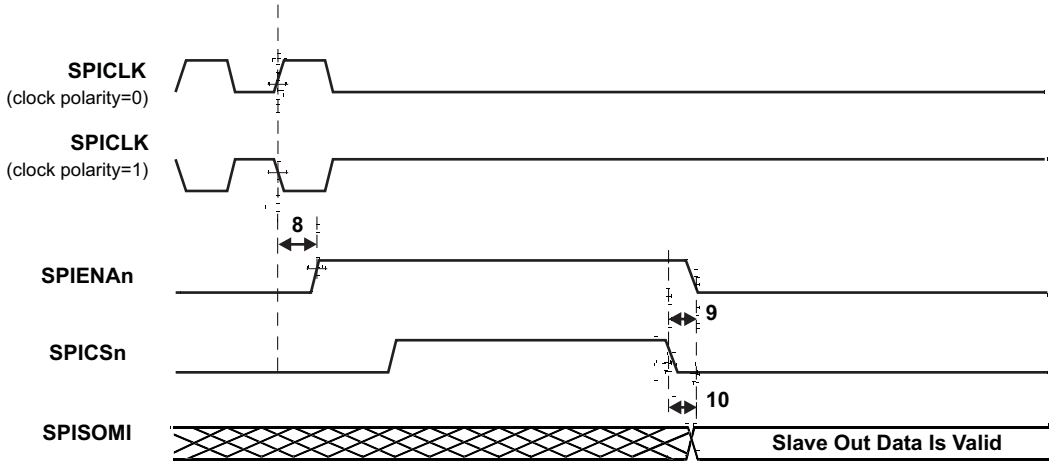


图 **6-21. SPI** 受控模式使能定时（时钟相位 **= 1**）

6.12 以太网介质访问控制器

以太网介质访问控制器 (EMAC) 在 CPU 和网络之间提供了 1 个高效接口。 EMAC 支持半双工或全双工模式下的 10Base-T 和 100Base-TX，或者 10 兆位每秒 (Mbps)和 100Mbps，并支持硬件流控和服务质量 (QoS)。

EMAC 控制从 器件到物理层 (PHY) 的数据包流量。 MDIO 模块控制 PHY 配置和状态监视。

到 器件的 EMAC 和 MDIO 模块接口都通过定制接口来实现有效数据发送和接收。 这个定制接口被称为 EMAC 控制模块，并且被认为集成在 EMAC/MDIO 外设内。 控制模块被用于复用和控制中断。

6.12.1 以太网 MII 电气和时序规范

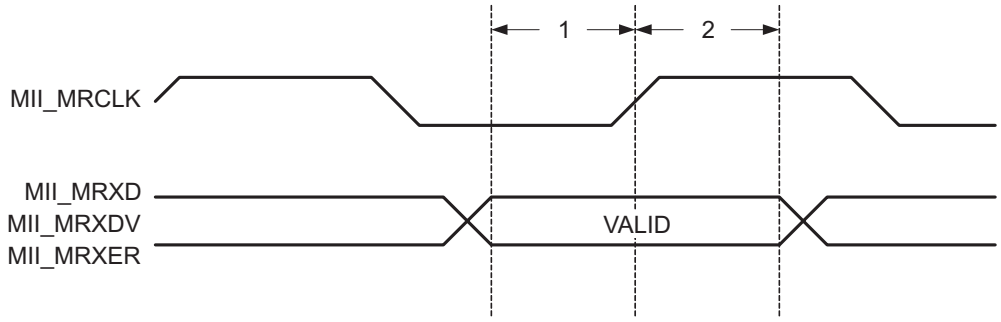


图 **6-22. MII** 接收时序

表 **6-36. MII** 接收时序

参数	说明	最小值	最大值
$t_{su(MIIMRXD)}$	建立时间，MIIMRXD 至 MIIMRCLK 上升边沿的时间	8ns	
$t_{su(MIIMRXDV)}$	建立时间，MIIMRXDV 至 MIIMRCLK 上升边沿的时间	8ns	
$t_{su(MIIMRXER)}$	建立时间，MIIMRXER 至 MIIMRCLK 上升边沿的时间	8ns	
$t_{h(MIIMRXD)}$	保持时间，MIIRCLK 上升边沿后 MIIMRXD 有效的时间	8ns	
$t_{h(MIIMRXDV)}$	保持时间，MIIRCLK 上升边沿后 MIIMRXDV 有效的时间	8ns	
$t_{h(MIIMRXER)}$	保持时间，MIIRCLK 上升边沿后 MIIMRXDV 有效的时间	8ns	

版权 © 2012–2013, Texas Instruments Incorporated

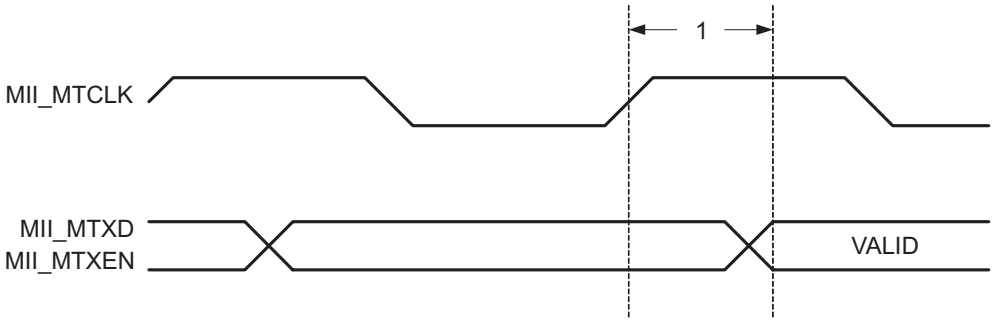


图 **6-23. MII** 发送时序

表 **6-37. MII** 发送时序

参数	说明	最小值	最大值
$t_{d(MIIMTXD)}$	延迟时间，MIIMTCLK 上升边沿至 MIIMTXD 的时间	5ns	25ns
$t_{d(MIIMTXEN)}$	延迟时间，MIIMTCLK 上升边沿至 MIIMTXEN 的时间	5ns	25ns

*6.12.2 以太网 **RMII** 时序*

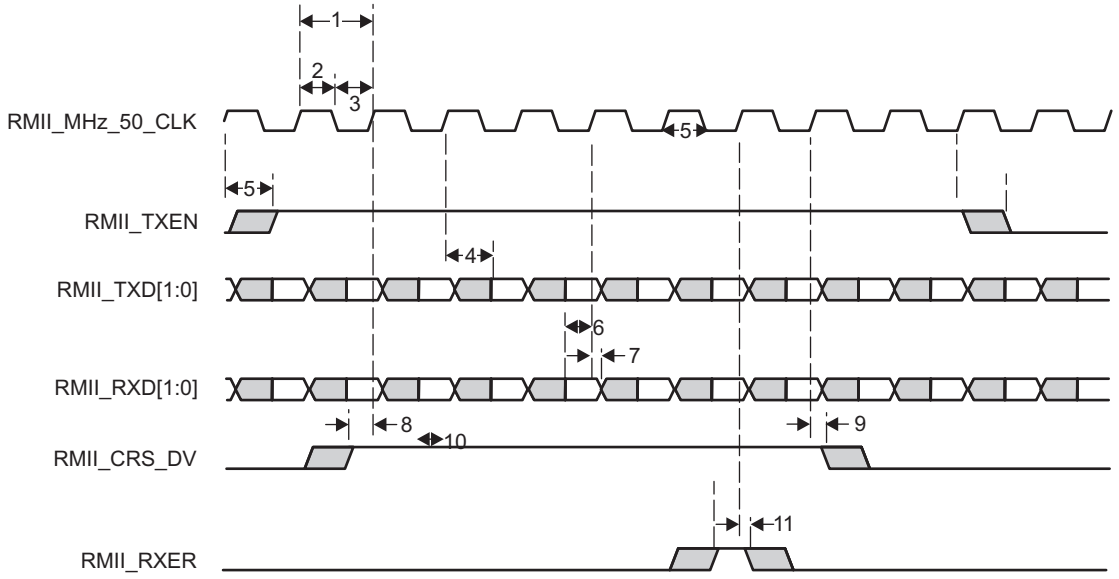


图 **6-24. RMII** 时序图

表 **6-38. RMII** 时序要求

编号	参数		值			单位
			最小值	标称值	最大值	
1	tc(REFCLK)	周期时间，RMII_REF_CLK	-	20	-	ns
2	tw(REFCLKH)	脉冲宽度，RMII_REF_CLK 高电平的时间	7	-	13	ns
3	tw(REFCLKL)	脉冲宽度，RMII_REF_CLK 低电平的时间	7	-	13	ns
6	tsu(RXD-REFCLK)	输入建立时间，RMII_REF_CLK 高电平前 RMII_RXD 有效的时间	4	-	-	ns
7	th(REFCLK-RXD)	输入保持时间，RMII_REF_CLK 高电平后 RMII_RXD 有效的时间	2	-	-	ns
8	tsu(CRSDV-REFCLK)	输入建立时间，RMII_REF_CLK 高电平前 RMII_CRSDV 有效的时间	4	-	-	ns
9	th(REFCLK-CRSDV)	输入保持时间，RMII_REF_CLK 高电平后 RMII_CRSDV 有效的时间	2	-	-	ns
10	tsu(RXER-REFCLK)	输入建立时间，RMII_REF_CLK 高电平前 RMII_RXER 有效的时间	4	-	-	ns
11	th(REFCLK-RXER)	输入保持时间，RMII_REF_CLK 高电平后 RMII_RXER 有效的时间	2	-	-	ns
4	td(REFCLK-TXD)	输出延迟时间，RMII_REF_CLK 高电平至 RMII_TXD 有效的时间	2	-	-	ns
5	td(REFCLK-TXEN)	输出延迟时间，RMII_REF_CLK 高电平至 RMII_TX_EN 的时间	2	-	-	ns

版权 © 2012–2013, Texas Instruments Incorporated

6.12.3 管理数据输入/输出 (MDIO)

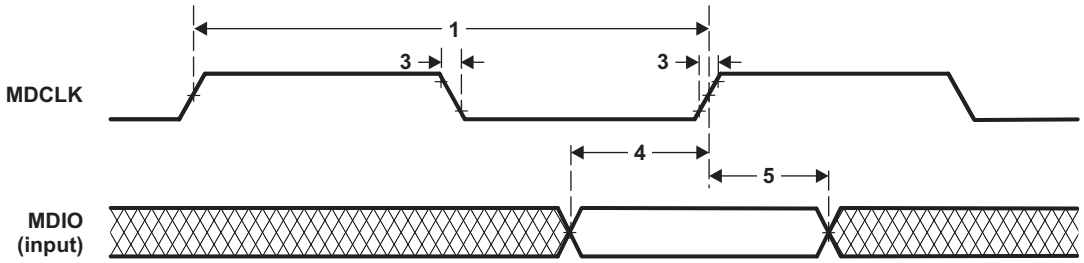


图 **6-25. MDIO** 输入时序

表 **6-39. MDIO** 输入时序要求

编号	参数		值		单位
			最小值	最大值	
1	tc(MDCLK)	周期时间，MDCLK	400	-	ns
2	tw(MDCLK)	脉冲持续时间，MDCLK 高电平/低电平的时间	180	-	ns
3	tt(MDCLK)	转换时间，MDCLK	-	5	ns
4	tsu(MDIO-MDCLKH)	建立时间，MDCLK 高电平前 MDIO 数据输入有效的时间	33(1)	-	ns
5	th(MDCLKH-MDIO)	保持时间，MDCLK 高电平后 MDIO 数据输入有效的时间	10	-	ns

(1) 这一点与 IEEE 802.3 不一致，但是与很多 PHY 器件兼容。

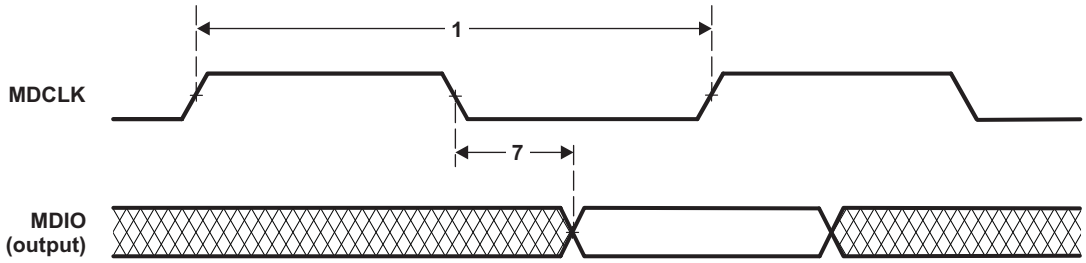


图 **6-26. MDIO** 输出时序

表 **6-40. MDIO** 输出时序要求

编号	参数		值		单位
			最小值	最大值	
1	tc(MDCLK)	周期时间，MDCLK	400	-	ns
7	td(MDCLKL-MDIO)	延迟时间，MDCLK 低电平至 MDIO 数据输出有效的时间	-7	100	ns

版权 © 2012–2013, Texas Instruments Incorporated

7 器件和文档支持

7.1 设备和开发支持工具命名规则

为了表明产品开发周期的阶段，TI 为所有 器件的部件号指定了前缀。每个器件有三个前缀中的一个：X，P 或无（无前缀）（例如，xRM46L852）。 这些前缀代表了产品开发的发展阶段，即从工程原型直到完全合格的生产器件/工具。

器件开发进化流程：

x 试验器件不一定代表最终器件的电气规范标准并且不可使用生产组装流程。

P 原型器件不一定是最终芯片模型并且不一定符合最终电气标准规范。

无 完全合格的生产器件。

x 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

生产器件已进行完全特性化，并且器件的质量和可靠性已经完全论证。 TI 的标准保修证书适用。

预测显示原型器件的故障率大于标准生产器件。 由于它们的预计的最终使用故障率仍未定义，德州仪器建议不要将这些器件用于任何生产系统。 只有合格的产品器件将被使用。

下面的图表图示了针对 RM46Lx40 器件 的编号方式和符号命名规则。

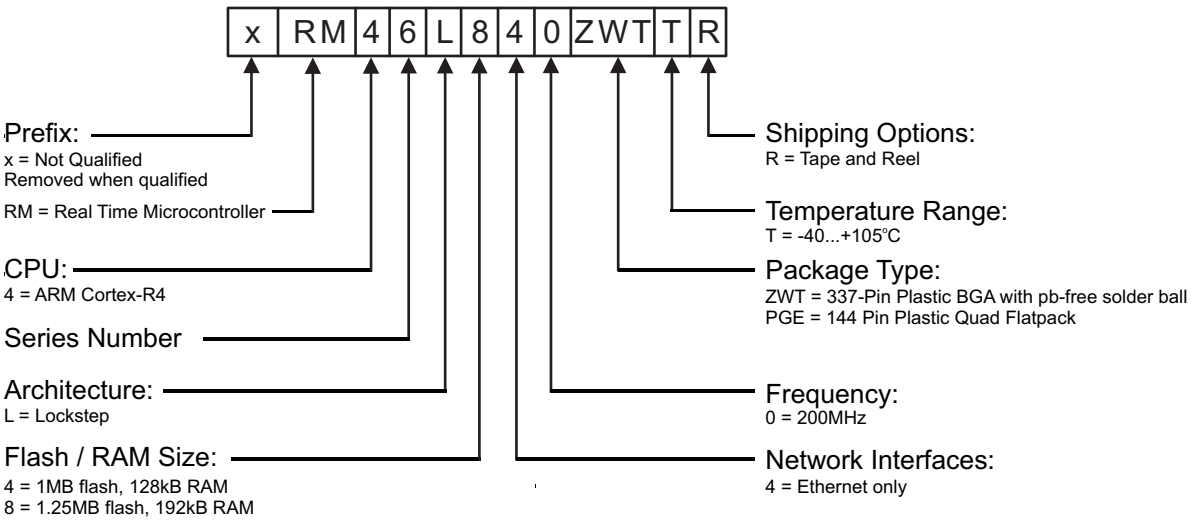


图 **7-1. RM46Lx40** 器件编号惯例

7.2 社区资源

下列链接提供到 TI 社区资源的连接。 链接的内容由各个分销商“按照原样”提供。 这些内容并不构成 TI 技术规范和标准且不一定反映 TI 的观点；请见 TI 的使用条款。

TI E2E 支持社区的 Hercules™ ARM® Cortex™ 安全微控制器部分。 ***TI 工程师间 (E2E) 社区。*** 此社区的创建目的是为了促进工程师之间协作。 在 e2e.ti.com 中，您可以咨询问题、共享知识、探索思路，在研发工程师的帮助下解决问题。

Copyright © 2012–2013, Texas Instruments Incorporated

7.3 器件识别

7.3.1 器件标识码寄存器

该器件识别码寄存器确定了器件的几个方面，包括芯片版本。 器件识别码寄存器的详细信息显示在Table 7-1中。 该器件的器件识别码寄存器值是：

- 修订版本 A = 0x8046AD05
- 修订版本 B = 0x8046AD15

Figure 7-2. 器件 ID 位分配寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CP-15	唯一 ID														技术
R-1	R-00000000100011														R-0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TECH			I/O 电压	外设奇偶校验	闪存 ECC		RAM ECC	版本					1	0	1
R-101			R-0	R-1	R-10		R-1	R-00000					R-1	R-0	R-1

图例：R/W = 读/写；R = 只读；-*n* = 复位后的值

Table 7-1. 器件 ID 位分配寄存器字段说明

位	字段	值	说明
31	CP15		表明协同处理器 15 的存在
		1	CP15 存在
30-17	唯一 ID	100011	唯一的器件标识号 这个位字段保存一个针对专用器件配置（芯片）的唯一编号。
16-13	TECH		器件的生产工艺。
		0101	F021
12	I/O 电压		该器件的 I/O 电压。
		0	I/O 是 3.3v
11	外设奇偶校验	1	外设奇偶校验 外设存储器的奇偶校验
10-9	闪存 ECC		闪存 ECC
		10	带 ECC 的程序存储器
8	RAM ECC		表示 RAM 内存 ECC 是否存在。
		1	ECC 被执行
7-3	修订版本		该器件的修订版本。
2-0	101		平台系列 ID 一直是 0b101

Copyright © 2012–2013, Texas Instruments Incorporated

7.3.2 芯片识别寄存器

地址 0xFFFFE1F0，0xFFFFE1F4，0xFFFFE1F8 和 FFFFE1FC 上的四个芯片 ID 寄存器组成了一个含有表Table 7-2中所显示信息的 128 位芯片识别号。

Table 7-2. 芯片 **- ID** 寄存器

项目	位编号	位位置
晶圆上的 X 坐标	12	0xFFFFE1F0[11:0]
晶圆上的Y 坐标	12	0xFFFFE1F0[23:12]
晶圆 #	8	0xFFFFE1F0[31:24]
批号 #	24	0xFFFFE1F4[23:0]
被保留	72	0xFFFFE1F4[31:24]，0xFFFFE1F8[31:0]，0xFFFFE1FC[31:0]

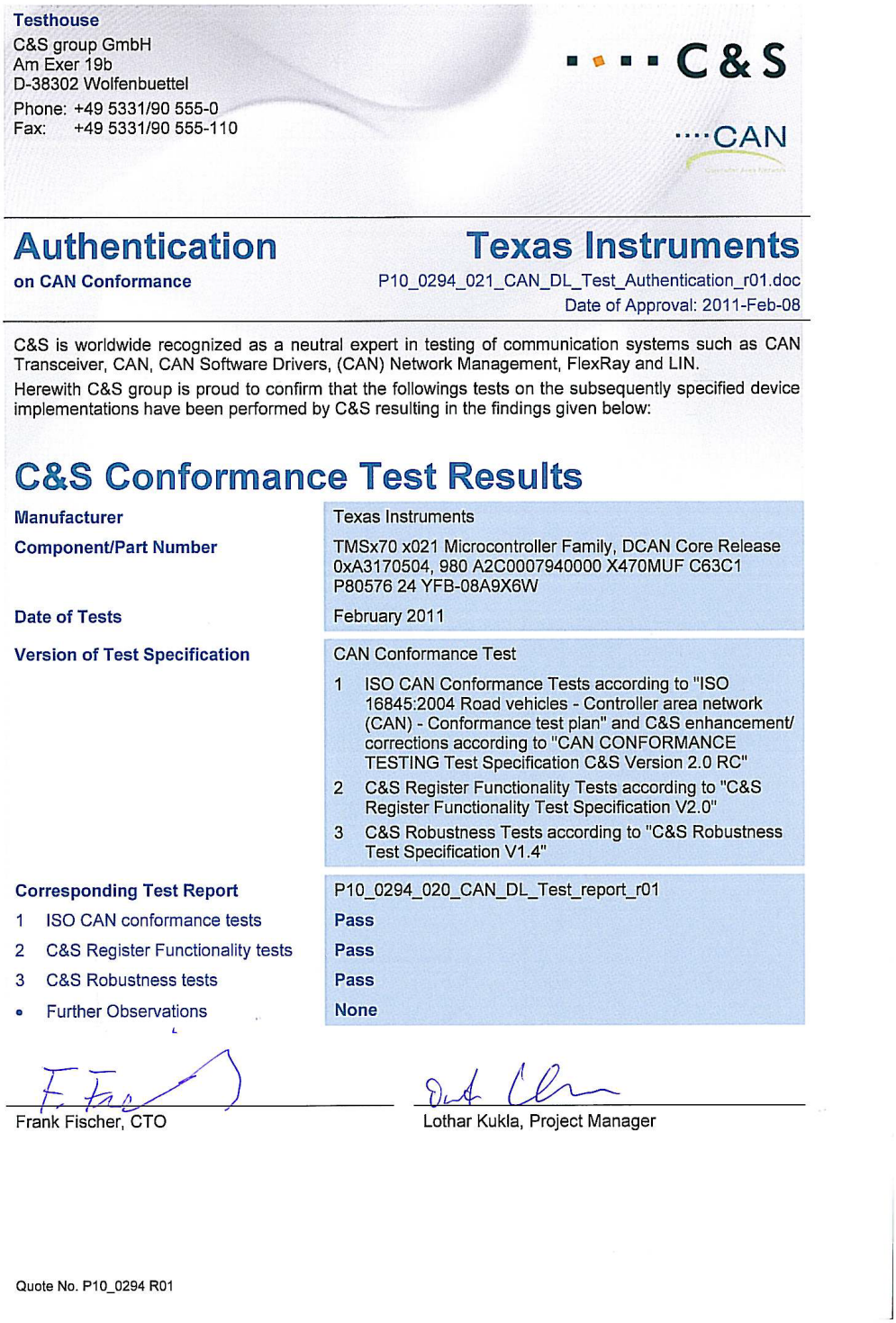
Copyright © 2012–2013, Texas Instruments Incorporated

模块认证

以下通信模块已经被授予遵守标准的认证。

Copyright © 2012–2013, Texas Instruments Incorporated

DCAN 认证



Testhouse
C&S group GmbH
Am Exer 19b
D-38302 Wolfenbuettel
Phone: +49 5331/90 555-0
Fax: +49 5331/90 555-110

C&S
CAN

Authentication
on CAN Conformance

Texas Instruments
P10_0294_021_CAN_DL_Test_Authentication_r01.doc
Date of Approval: 2011-Feb-08

C&S is worldwide recognized as a neutral expert in testing of communication systems such as CAN Transceiver, CAN, CAN Software Drivers, (CAN) Network Management, FlexRay and LIN.

Herewith C&S group is proud to confirm that the followings tests on the subsequently specified device implementations have been performed by C&S resulting in the findings given below:

C&S Conformance Test Results

Manufacturer	Texas Instruments
Component/Part Number	TMSx70 x021 Microcontroller Family, DCAN Core Release 0xA3170504, 980 A2C0007940000 X470MUF C63C1 P80576 24 YFB-08A9X6W
Date of Tests	February 2011
Version of Test Specification	CAN Conformance Test 1 ISO CAN Conformance Tests according to "ISO 16845:2004 Road vehicles - Controller area network (CAN) - Conformance test plan" and C&S enhancement/ corrections according to "CAN CONFORMANCE TESTING Test Specification C&S Version 2.0 RC" 2 C&S Register Functionality Tests according to "C&S Register Functionality Test Specification V2.0" 3 C&S Robustness Tests according to "C&S Robustness Test Specification V1.4"
Corresponding Test Report	P10_0294_020_CAN_DL_Test_report_r01
1 ISO CAN conformance tests	**Pass**
2 C&S Register Functionality tests	**Pass**
3 C&S Robustness tests	**Pass**
• Further Observations	**None**

Frank Fischer, CTO

Lothar Kukla, Project Manager

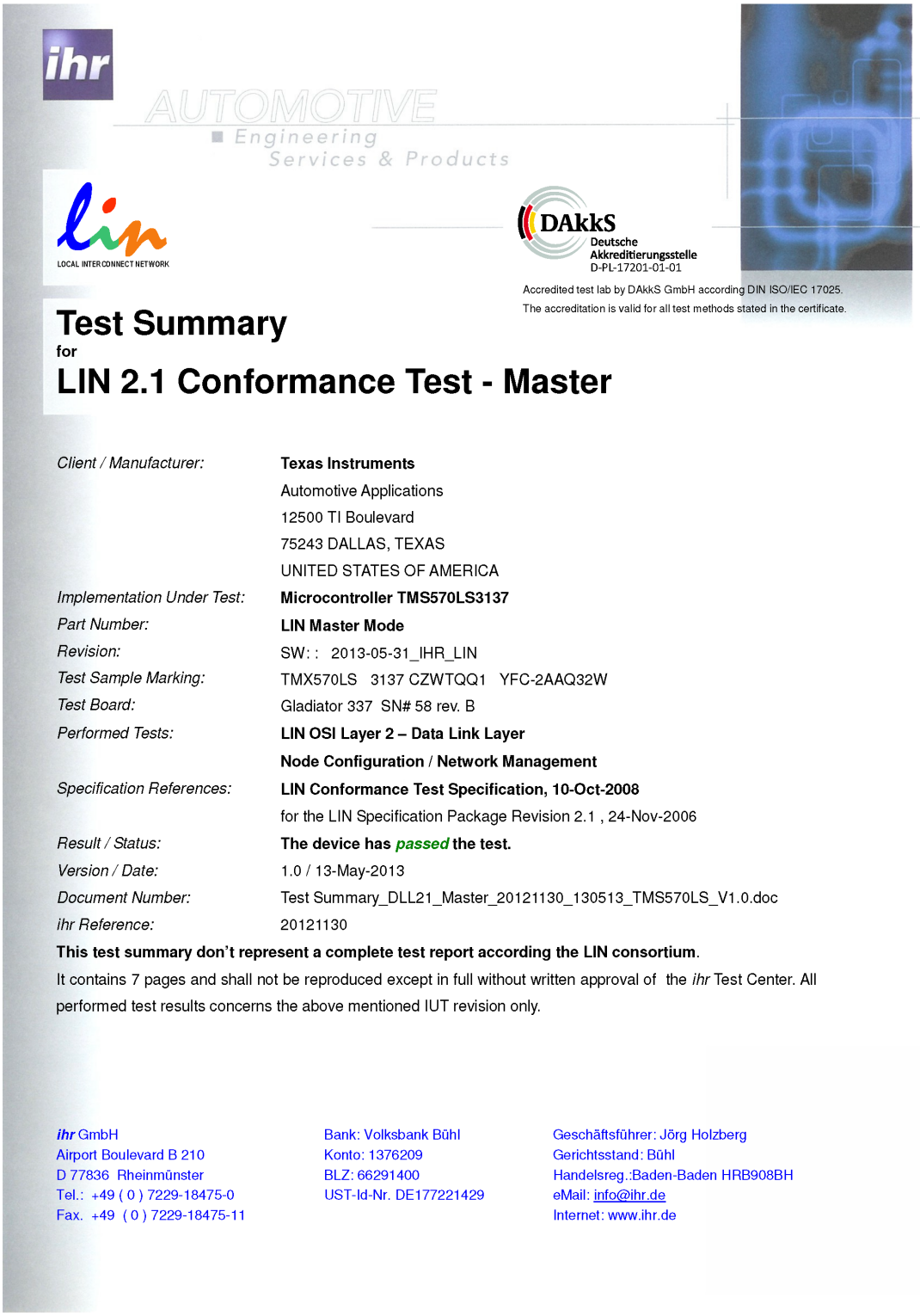
Quote No. P10_0294 R01

Figure 7-3. DCAN 认证

Copyright © 2012–2013, Texas Instruments Incorporated

LIN 认证

LIN 主控模式



ihr

AUTOMOTIVE
Engineering
Services & Products

LOCAL INTERCONNECT NETWORK

DAkkS
Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAkkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.

Test Summary
for
LIN 2.1 Conformance Test - Master

Client / Manufacturer:	**Texas Instruments**
	Automotive Applications
	12500 TI Boulevard
	75243 DALLAS, TEXAS
	UNITED STATES OF AMERICA
Implementation Under Test:	**Microcontroller TMS570LS3137**
Part Number:	**LIN Master Mode**
Revision:	SW: : 2013-05-31_IHR_LIN
Test Sample Marking:	TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W
Test Board:	Gladiator 337 SN# 58 rev. B
Performed Tests:	**LIN OSI Layer 2 – Data Link Layer**
	Node Configuration / Network Management
Specification References:	**LIN Conformance Test Specification, 10-Oct-2008**
	for the LIN Specification Package Revision 2.1 , 24-Nov-2006
Result / Status:	**The device has *passed* the test.**
Version / Date:	1.0 / 13-May-2013
Document Number:	Test Summary_DLL21_Master_20121130_130513_TMS570LS_V1.0.doc
ihr Reference:	20121130

This test summary don't represent a complete test report according the LIN consortium.
It contains 7 pages and shall not be reproduced except in full without written approval of the *ihr* Test Center. All performed test results concerns the above mentioned IUT revision only.

ihr GmbH
Airport Boulevard B 210
D 77836 Rheinmünster
Tel.: +49 (0) 7229-18475-0
Fax. +49 (0) 7229-18475-11

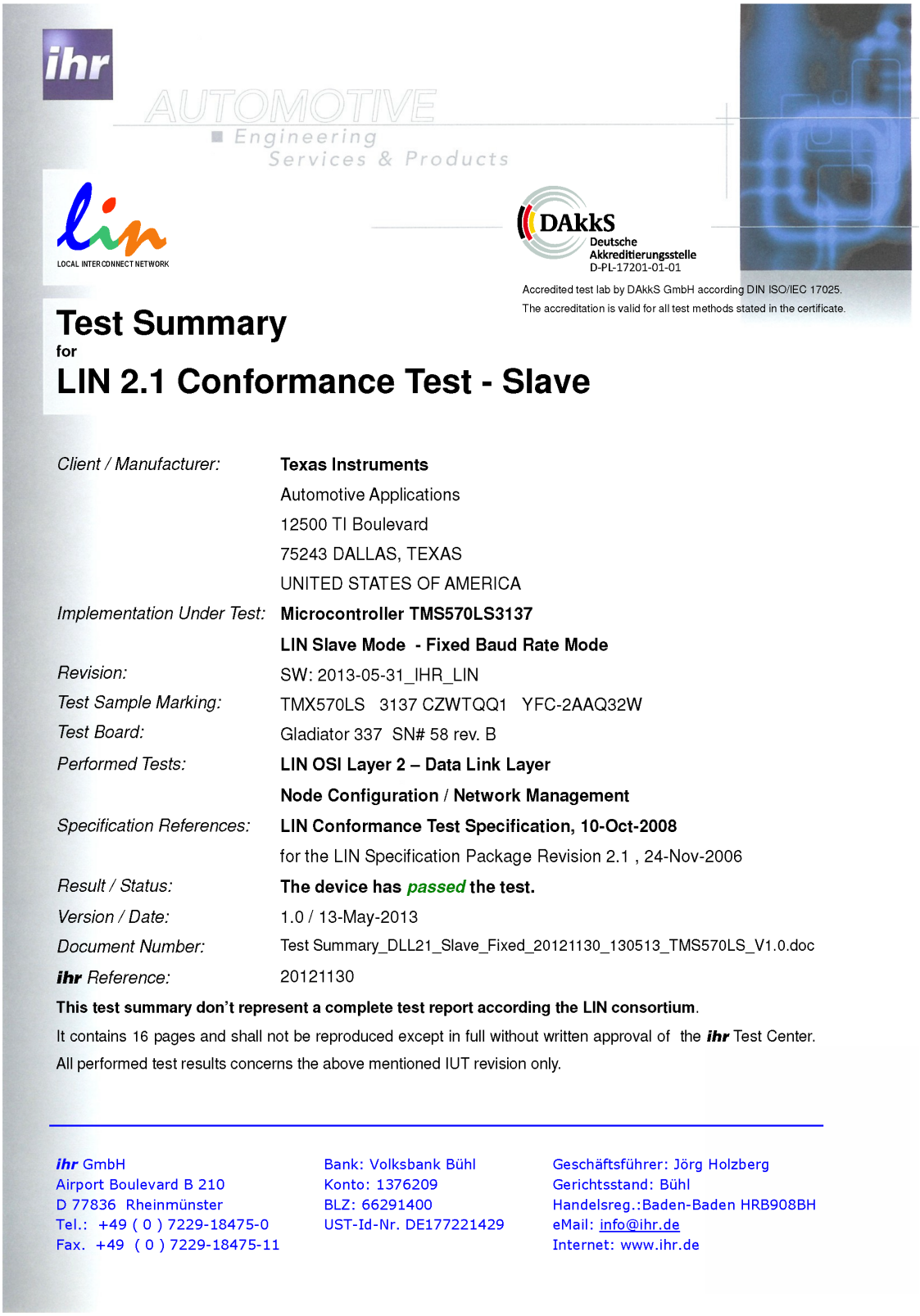
Bank: Volksbank Bühl
Konto: 1376209
BLZ: 66291400
UST-Id-Nr. DE177221429

Geschäftsführer: Jörg Holzberg
Gerichtsstand: Bühl
Handelsreg.:Baden-Baden HRB908BH
eMail: info@ihr.de
Internet: www.ihr.de

Figure 7-4. LIN 认证 - 主控模式

Copyright © 2012–2013, Texas Instruments Incorporated

LIN 受控模式 - 固定波特率



ihr

AUTOMOTIVE
Engineering
Services & Products

LOCAL INTERCONNECT NETWORK

DAkkS
Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAkkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.

Test Summary
for
LIN 2.1 Conformance Test - Slave

Client / Manufacturer:	**Texas Instruments**
	Automotive Applications
	12500 TI Boulevard
	75243 DALLAS, TEXAS
	UNITED STATES OF AMERICA
Implementation Under Test:	**Microcontroller TMS570LS3137**
	LIN Slave Mode - Fixed Baud Rate Mode
Revision:	SW: 2013-05-31_IHR_LIN
Test Sample Marking:	TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W
Test Board:	Gladiator 337 SN# 58 rev. B
Performed Tests:	**LIN OSI Layer 2 – Data Link Layer**
	Node Configuration / Network Management
Specification References:	**LIN Conformance Test Specification, 10-Oct-2008**
	for the LIN Specification Package Revision 2.1 , 24-Nov-2006
Result / Status:	**The device has *passed* the test.**
Version / Date:	1.0 / 13-May-2013
Document Number:	Test Summary_DLL21_Slave_Fixed_20121130_130513_TMS570LS_V1.0.doc
***ihr** Reference:*	20121130

This test summary don't represent a complete test report according the LIN consortium.

It contains 16 pages and shall not be reproduced except in full without written approval of the ***ihr*** Test Center.

All performed test results concerns the above mentioned IUT revision only.

ihr GmbH
Airport Boulevard B 210
D 77836 Rheinmünster
Tel.: +49 (0) 7229-18475-0
Fax. +49 (0) 7229-18475-11

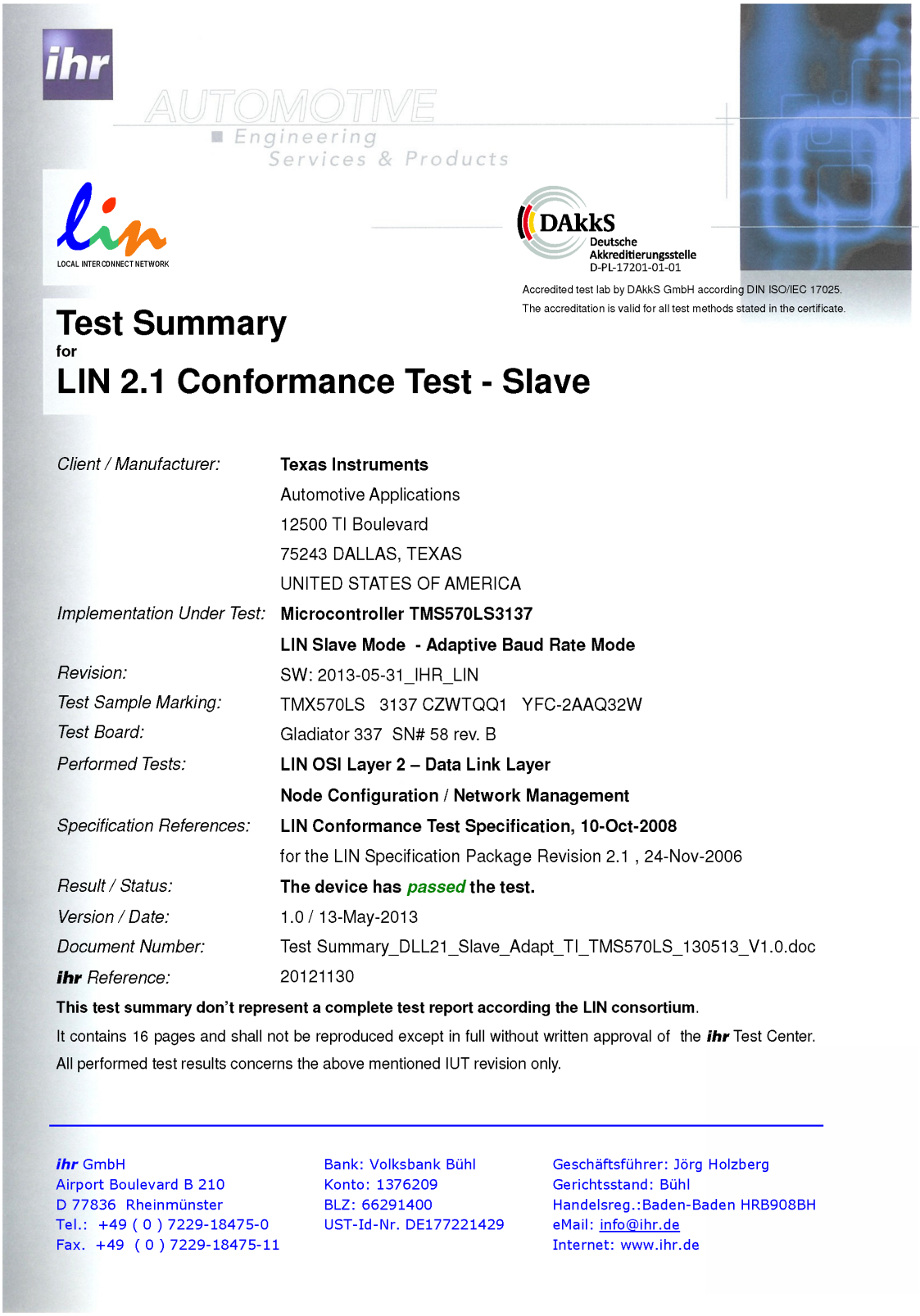
Bank: Volksbank Bühl
Konto: 1376209
BLZ: 66291400
UST-Id-Nr. DE177221429

Geschäftsführer: Jörg Holzberg
Gerichtsstand: Bühl
Handelsreg.:Baden-Baden HRB908BH
eMail: info@ihr.de
Internet: www.ihr.de

Figure 7-5. LIN 认证 - 受控模式 - 固定波特率

Copyright © 2012–2013, Texas Instruments Incorporated

LIN 受控模式 - 自适应波特率



ihr

AUTOMOTIVE
Engineering
Services & Products

LOCAL INTERCONNECT NETWORK

DAkkS
Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAkkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.

Test Summary
for
LIN 2.1 Conformance Test - Slave

Client / Manufacturer:	**Texas Instruments**
	Automotive Applications
	12500 TI Boulevard
	75243 DALLAS, TEXAS
	UNITED STATES OF AMERICA
Implementation Under Test:	**Microcontroller TMS570LS3137**
	LIN Slave Mode - Adaptive Baud Rate Mode
Revision:	SW: 2013-05-31_IHR_LIN
Test Sample Marking:	TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W
Test Board:	Gladiator 337 SN# 58 rev. B
Performed Tests:	**LIN OSI Layer 2 – Data Link Layer**
	Node Configuration / Network Management
Specification References:	**LIN Conformance Test Specification, 10-Oct-2008**
	for the LIN Specification Package Revision 2.1 , 24-Nov-2006
Result / Status:	**The device has *passed* the test.**
Version / Date:	1.0 / 13-May-2013
Document Number:	Test Summary_DLL21_Slave_Adapt_TI_TMS570LS_130513_V1.0.doc
***ihr** Reference:*	20121130

This test summary don't represent a complete test report according the LIN consortium.

It contains 16 pages and shall not be reproduced except in full without written approval of the ***ihr*** Test Center.

All performed test results concerns the above mentioned IUT revision only.

ihr GmbH
Airport Boulevard B 210
D 77836 Rheinmünster
Tel.: +49 (0) 7229-18475-0
Fax. +49 (0) 7229-18475-11

Bank: Volksbank Bühl
Konto: 1376209
BLZ: 66291400
UST-Id-Nr. DE177221429

Geschäftsführer: Jörg Holzberg
Gerichtsstand: Bühl
Handelsreg.:Baden-Baden HRB908BH
eMail: info@ihr.de
Internet: www.ihr.de

Figure 7-6. LIN 认证 - 受控模式 - 自适应波特率

Copyright © 2012–2013, Texas Instruments Incorporated

8 机械数据

8.1 散热数据

Table 8-1 显示了针对 QFP-PGE 机械封装的热阻特性。

Table 8-2 显示了针对 BGA-ZWT 机械封装的热阻特性。

Table 8-1. 热阻特性
（**PGE** 封装）

参数	°C/W
$R\Theta_{JA}$	40
$R\Theta_{JB}$	27.2
$R\Theta_{JC}$	7.3

Table 8-2. 热阻特性
（**ZWT** 封装）

参数	°C/W
$R\Theta_{JA}$	18.8
$R\Theta_{JB}$	14.1
$R\Theta_{JC}$	7.1

8.2 封装信息

以下封装信息反映了可用于指定器件的最新发布数据。 这些数据在无通知且不对本文档进行修订的情况下发生改变。

Copyright © 2012–2013, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
RM46L440CPGET	Active	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	RM46 L440CPGET
RM46L440CPGET.B	Active	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	RM46 L440CPGET
RM46L440CZWTT	Active	Production	NFBGA (ZWT) | 337	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	RM46 L440CZWTT
RM46L440CZWTT.B	Active	Production	NFBGA (ZWT) | 337	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	RM46 L440CZWTT
RM46L840CPGET	Active	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	RM46 L840CPGET
RM46L840CPGET.B	Active	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	RM46 L840CPGET
RM46L840CZWTT	Active	Production	NFBGA (ZWT) | 337	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	RM46 L840CZWTT
RM46L840CZWTT.B	Active	Production	NFBGA (ZWT) | 337	90 | JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 105	RM46 L840CZWTT
TMS470R1A288PGEA	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A288PGEA TMS
TMS470R1A288PGEA.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A288PGEA	470R1A288PGEA TMS
TMS470R1A288PGET	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A288PGET TMS
TMS470R1A288PGET.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A288PGET	470R1A288PGET TMS
TMS470R1A288PGETR	NRND	Production	LQFP (PGE) | 144	500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A288PGET TMS
TMS470R1A288PGETR.A	NRND	Production	LQFP (PGE) | 144	500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A288PGETR	470R1A288PGET TMS
TMS470R1A288PGETR.B	NRND	Production	LQFP (PGE) | 144	500 | LARGE T&R	-	Call TI	Call TI	See TMS470R1A288PGETR	
TMS470R1A288PZ-T	NRND	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A288PZ-T TMS

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS470R1A288PZ-T.A	NRND	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A288PZ-T	470R1A288PZ-T TMS
TMS470R1A384PGET	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A384PGET TMS
TMS470R1A384PGET.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A384PGET	470R1A384PGET TMS
TMS470R1A384PZ-T	NRND	Production	LQFP (PZ) | 100	90 | null	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A384PZ-T TMS
TMS470R1A384PZ-T.A	NRND	Production	LQFP (PZ) | 100	90 | null	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A384PZ-T	470R1A384PZ-T TMS
TMS470R1A64PNT	NRND	Production	LQFP (PN) | 80	119 | null	Yes	NIPDAU	Level-3-260C-168 HR	-	470R1A64PNT TMS
TMS470R1A64PNT.A	NRND	Production	LQFP (PN) | 80	119 | null	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1A64PNT	470R1A64PNT TMS
TMS470R1B1MPGEA	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	R1B1MPGEA TMS470
TMS470R1B1MPGEA.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1B1MPGEA	R1B1MPGEA TMS470
TMS470R1B1MPGEAR	NRND	Production	LQFP (PGE) | 144	500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	R1B1MPGEA TMS470
TMS470R1B1MPGEAR.A	NRND	Production	LQFP (PGE) | 144	500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1B1MPGEAR	R1B1MPGEA TMS470
TMS470R1B512PGET	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	R1B512PGET TMS470
TMS470R1B512PGET.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1B512PGET	R1B512PGET TMS470
TMS470R1B768PGET	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	AB768PGET TMS470
TMS470R1B768PGET.A	NRND	Production	LQFP (PGE) | 144	60 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	See TMS470R1B768PGET	AB768PGET TMS470

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

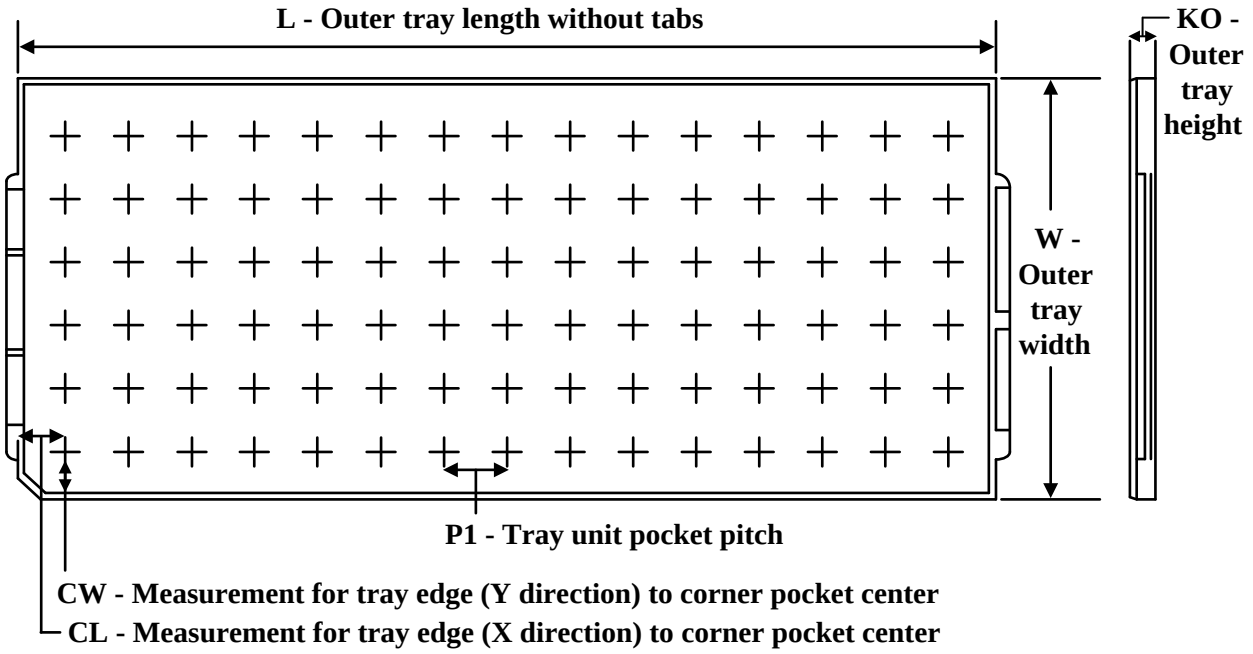
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
RM46L440CPGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
RM46L440CPGET.B	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
RM46L440CZWTT	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
RM46L440CZWTT.B	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
RM46L840CPGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
RM46L840CPGET.B	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
RM46L840CZWTT	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
RM46L840CZWTT.B	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
TMS470R1A288PGEA	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1A288PGEA.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1A288PGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1A288PGET.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1A288PZ-T	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
TMS470R1A288PZ-T.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
TMS470R1A384PGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1A384PGET.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1B1MPGEA	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55

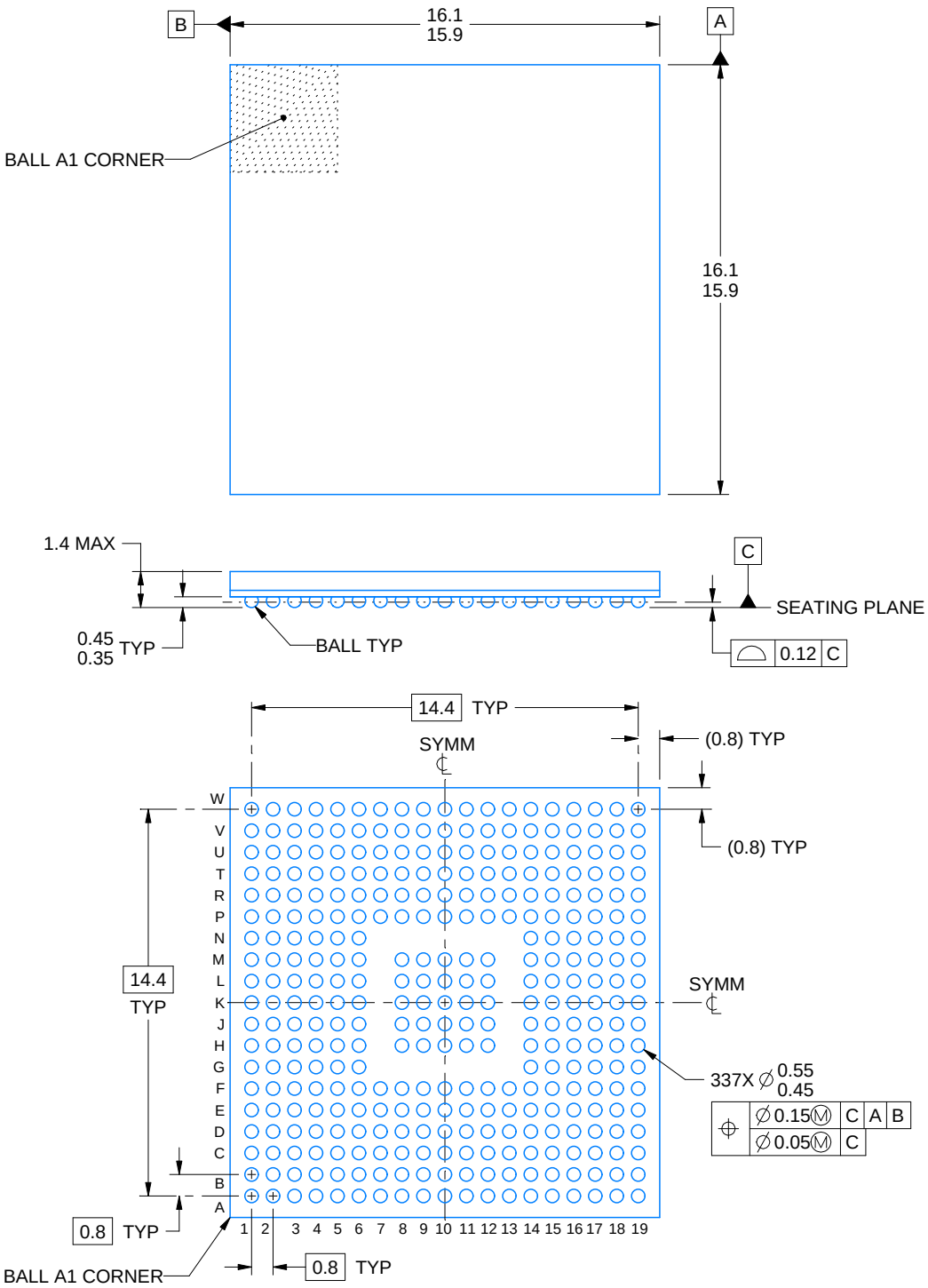
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS470R1B1MPGEA.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1B512PGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1B512PGET.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1B768PGET	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55
TMS470R1B768PGET.A	PGE	LQFP	144	60	5X12	150	315	135.9	7620	25.4	17.8	17.55

PACKAGE OUTLINE

ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

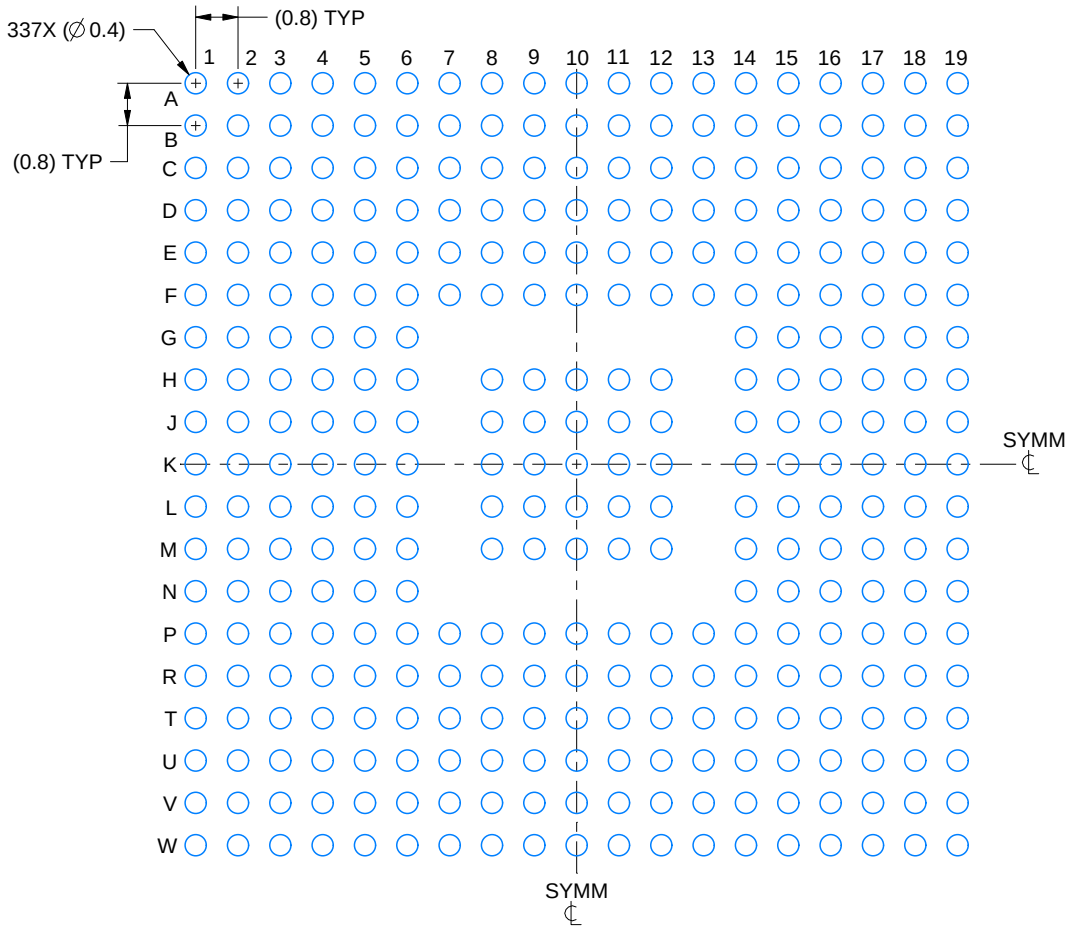
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

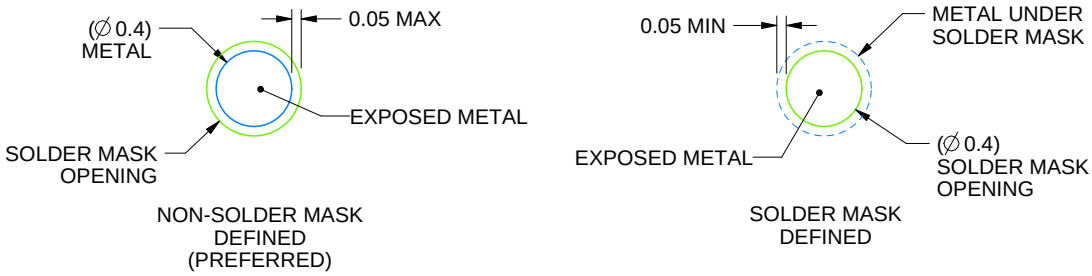
ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:7X

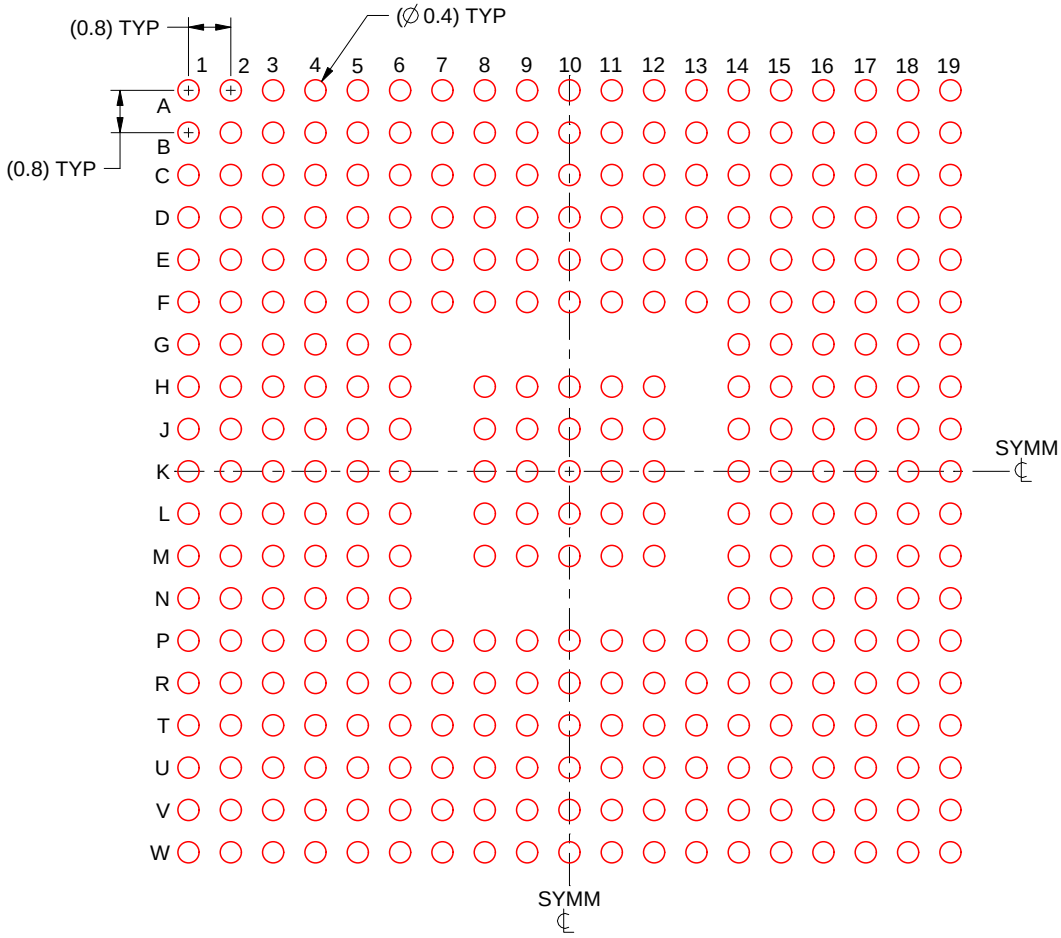


SOLDER MASK DETAILS
NOT TO SCALE

4223381/A 02/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:7X

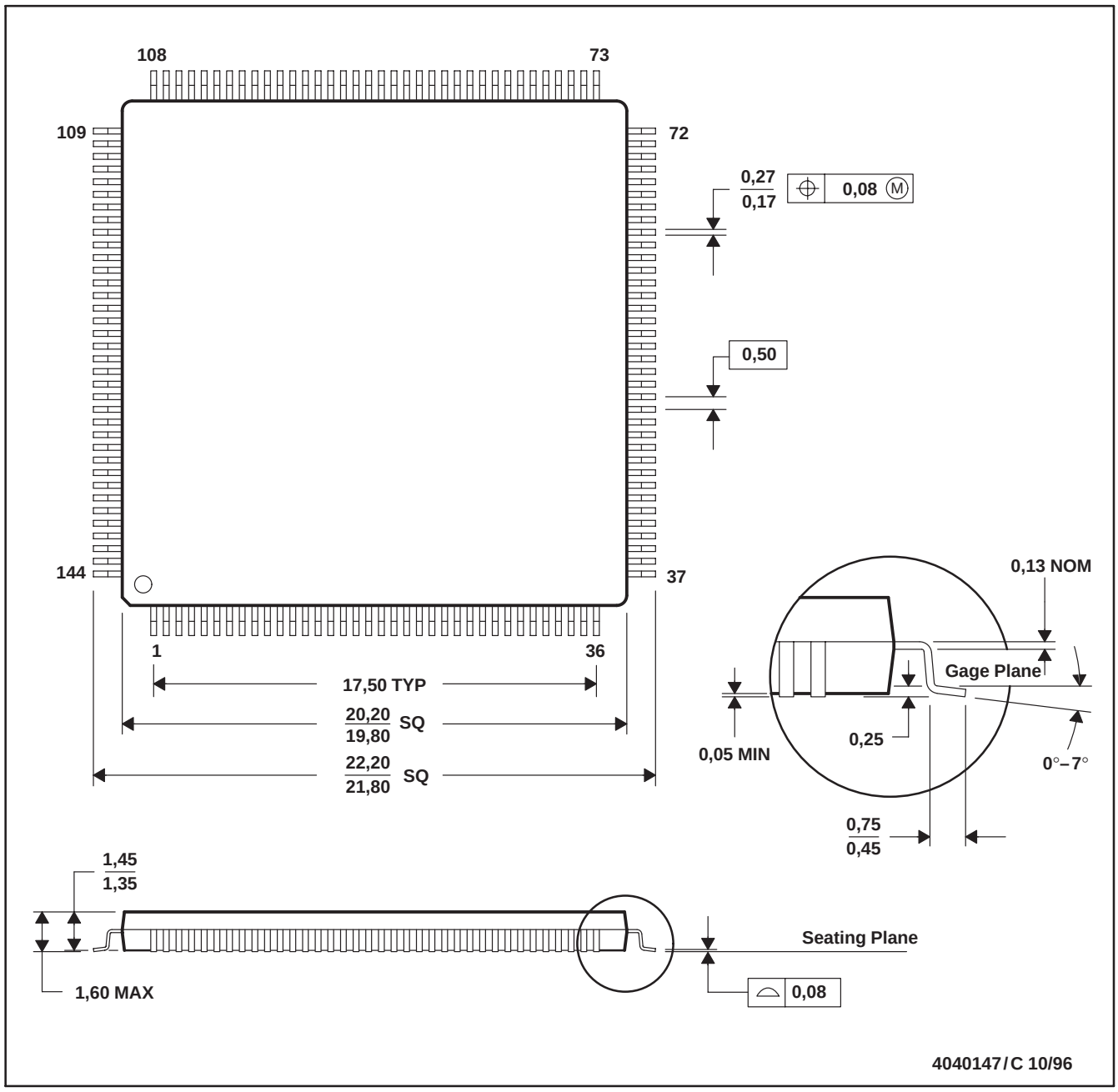
4223381/A 02/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

MTQF017A – OCTOBER 1994 – REVISED DECEMBER 1996

PGE (S-PQFP-G144) **PLASTIC QUAD FLATPACK**



NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS-026

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月