SNx5176B 差动总线收发器

1 特性

- 双向收发器
- 符合或超出 ANSI 标准 TIA/EIA-422-B 和 TIA/EIA-485-A
  以及 ITU 建议 V.11 和 X.27 的要求
- 适用于嘈杂环境中长总线上的多点传输
- 三态驱动器和接收器输出
- 单独的驱动器和接收器使能端
- 宽正负输入/输出总线电压范围
- ±60mAm 最大驱动器输出能力
- 热关断保护
- 驱动器正负电流限制
- 12kΩ 最小接收器输入阻抗
- ±200mV 接收器输入灵敏度
- 50mV 典型接收器输入迟滞
- 由 5V 单电源供电运行

2 应用

- 化学和气体传感器
- 数字标牌
- 人机界面 (HMI)
- 电机控制
  - 交流感应
  - 有刷和无刷直流
  - 低压和高压
  - 步进电机
  - 永磁体
- TETRA 基站
- 电信塔
  - 远程电动倾斜 (RET) 单元
  - 塔顶放大器 (TMA)
- 称重秤
- 无线中继器

3 说明

SN65176B 和 SN75176B 差分总线收发器旨在实现多点总线传输线路上的双向数据通信。SN65176B 和 SN75176B 专为平衡传输线路而设计，符合 ANSI 标准 TIA/EIA-422-B 和 TIA/EIA-485-A 以及 ITU 建议 V.11 和 X.27。

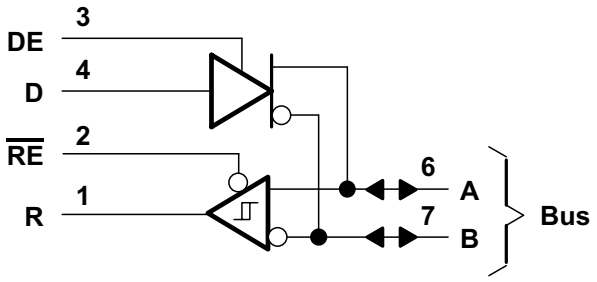
SN65176B 和 SN75176B 器件整合了一个三态差分线路驱动器和一个差分输入线路接收器，两者均采用 5V 单电源供电。驱动器具有高电平有效使能端，接收器具有低电平有效使能端，它们可以在外部连接在一起以用作方向控制。驱动器差分输出端和接收器差分输入端在内部连接以形成差分输入/输出 (I/O) 总线端口，这些端口用于在禁用驱动器或 V_{CC} = 0 时为总线提供最小负载。这些端口具有较宽的正负共模电压范围，使得该器件适用于合用线应用。

驱动器旨在实现高达 60mA 的灌电流或拉电流。驱动器具有正负电流限制和热关断功能，避免出现线路故障状况。根据设计在大约 150°C 的结温下发生热关断。接收器具有 12kΩ 的最小输入阻抗、±200mV 的输入灵敏度和 50mV 的典型输入迟滞。

封装信息

器件型号	封装（引脚）(1)	封装尺寸(2)
SNx5176	D（SOIC，8）	4.90mm × 3.91mm
	P（PDIP，8）	9.81mm × 6.35mm
	PS（SOP，8）	6.20mm × 5.30mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 建议运行条件.... 4
5.3 热性能信息.... 4
5.4 电气特性 - 驱动器.... 5
5.5 电气特性 - 接收器.... 6
5.6 开关特性 - 驱动器.... 6
5.7 开关特性 - 接收器.... 6
5.8 典型特性.... 7
参数测量信息.... 9
6 详细说明.... 12
6.1 概述.... 12
6.2 功能方框图.... 12
6.3 特性说明.... 12
6.4 器件功能模式.... 13
7 应用和实施.... 14
7.1 应用信息.... 14
7.2 典型应用.... 14
7.3 系统示例.... 15
7.4 电源相关建议.... 16
7.5 布局.... 16
8 器件和文档支持.... 17
8.1 接收文档更新通知.... 17
8.2 支持资源.... 17
8.3 商标.... 17
8.4 静电放电警告.... 17
8.5 术语表.... 17
9 修订历史记录.... 17
10 机械、封装和可订购信息.... 17
10.1 卷带包装信息.... 18

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

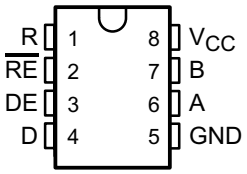


图 4-1. 顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
R	1	O	RS-485 接收器的逻辑数据输出
$\overline{RE}$	2	I	接收器使能（低电平有效）
DE	3	I	驱动器使能（高电平有效）
D	4	I	RS-485 驱动器的逻辑数据输入
GND	5	—	器件接地引脚
A	6	I/O	RS-422 或 RS-485 数据线
B	7	I/O	RS-422 或 RS-485 数据线
V_{CC}	8	—	电源输入，连接到 5V 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{CC}	电源电压[(2)]		7	V
	任何总线端子处的电压范围	-10	15	V
V_I	使能输入电压		5.5	V
T_J	工作虚拟结温		150	°C
T_{stg}	贮存温度范围	-65	150	°C
	10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度		260	°C

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除差分输入/输出总线电压外的所有电压值都是相对于网络接地引脚的值。

5.2 建议运行条件

			最小值	典型值	最大值	单位
V_{CC}	电源电压		4.75	5	5.25	V
V_I 或 V_{IC}	任何总线端子上的电压（独立或共模）		-7		12	V
V_{IH}	高电平输入电压	D、DE 和 $\overline{RE}$	2			V
V_{IL}	低电平输入电压	D、DE 和 $\overline{RE}$			0.8	V
V_{ID}	差分输入电压[(1)]				±12	V
I_{OH}	高电平输出电流	驱动器			-60	mA
		接收器			-400	μA
I_{OL}	低电平输出电流	驱动器			60	mA
		接收器			8	
T_A	自然通风条件下的工作温度	SN65176B	-40		105	°C
		SN75176B	0		70	

(1) 差分输入/输出总线电压在同相端子 A 和反相端子 B 之间测得。

5.3 热性能信息

热指标[(1)]		SNx5176			单位
		D (SOIC)	PS (SO)	P (PDIP)	
		8 引脚			
$R_{\theta JA}$	结至环境热阻	114.4	113.2	88.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	55.1	57.9	65.9	°C/W
$R_{\theta JB}$	结至电路板热阻	61.6	69.0	69.0	°C/W
ψ_{JT}	结至顶部特征参数	8.8	14.6	35.2	°C/W
ψ_{JB}	结至电路板特征参数	60.8	68.1	64.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用说明 *IC 封装热指标*。

Copyright © 2025 Texas Instruments Incorporated

5.4 电气特性 - 驱动器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件[1]		最小值	典型值[2]	最大值	单位
V_{IK}	输入钳位电压	I_I = -18mA				-1.5	V
V_O	输出电压	I_O = 0		0		Vcc	V
$\|V_{OD1}\|$	差分输出电压	I_O = 0		1.5	3.6	Vcc	V
$\|V_{OD2}\|$	差分输出电压	R_L = 100Ω，请参阅 图 6-1		½ V_{OD1} 或 2 [3]			V
		R_L = 54Ω，请参阅 图 6-1		1.5	2.5	5	
V_{OD3}	差分输出电压	请参阅 [4]		1.5		5	V
$\Delta\|V_{OD}\|$	差分输出电压幅度的变化[5]	R_L = 54Ω 或 100Ω，请参阅 图 6-1				±0.2	V
V_{OC}	共模输出电压	R_L = 54Ω 或 100Ω，请参阅 图 6-1		-1		+3	V
$\Delta\|V_{OC}\|$	共模输出电压幅度的变化[5]	R_L = 54Ω 或 100Ω，请参阅 图 6-1				±0.2	V
I_O	输出电流	输出已禁用[6]	V_O = 12V			1	mA
			V_O = -7V			-0.8	
I_{IH}	高电平输入电流	V_I = 2.4V				20	μA
I_{IL}	低电平输入电流	V_I = 0.4V				-400	μA
I_{OS}	短路输出电流	V_O = -7V				-250	mA
		V_O = 0				-150	
		V_O = V_{CC}				250	
		V_O = 12V				250	
I_{CC}	电源电流（总封装）	无负载	输出已启用		42	70	mA
			输出已禁用		26	35	

(1) ANSI 标准 TIA/EIA-422-B 中的断电测量仅适用于禁用输出，不适用于组合输入和输出。
(2) 所有典型值均在 V_{CC}=5V、T_A = 25°C 下测得。
(3) 100Ω 负载下的最小 V_{OD2} 为 ½ V_{OD1} 或 2V，以较大者为准。
(4) 请参阅 ANSI 标准 TIA/EIA-485-A 图 3.5“测试端接测量 2”。
(5) $\Delta|V_{OD}|$ 和 $\Delta|V_{OC}|$ 分别是 V_{OD} 和 V_{OC} 的幅度变化（当输入从高电平变为低电平时发生）。
(6) 这适用于上电和断电两种情况；有关确切条件，请参阅 ANSI 标准 TIA/EIA-485-A。TIA/EIA-422-B 限制不适用于组合驱动器和接收器终端。

5.5 电气特性 - 接收器

在推荐的共模输入电压、电源电压及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值(1)	最大值	单位
V_{IT+}	正向输入阈值电压	V_O = 2.7V，I_O = –0.4mA				0.2	V
V_{IT-}	负向输入阈值电压	V_O = 0.5V，I_O = 8mA		-0.2(2)			V
V_{hys}	输入迟滞电压 (V_{IT+} – V_{IT-})				50		mV
V_{IK}	使能输入钳位电压	I_I = -18mA				-1.5	V
V_{OH}	高电平输出电压	V_{ID} = 200mV，I_{OH} = –400μA，请参阅 图 6-2		2.7			V
V_{OL}	低电平输出电压	V_{ID} = -200mV，I_{OL} = 8mA，请参阅 图 6-2				0.45	V
I_{OZ}	高阻抗状态输出电流	V_O = 0.4V 至 2.4V				±20	μA
I_I	线路输入电流	其他输入 = 0V(3)	V_I = 12V			1	mA
			V_I = -7V			-0.8	
I_{IH}	高电平使能输入电流	V_{IH} = 2.7V				20	μA
I_{IL}	低电平使能输入电流	V_{IL} = 0.4V				-100	μA
r_I	输入电阻	V_I = 12V		12			kΩ
I_{OS}	短路输出电流			-15		-85	mA
I_{CC}	电源电流（总封装）	无负载	输出已启用		42	55	mA
			输出已禁用		26	35	

(1) 所有典型值均在 V_{CC} = 5V、T_A = 25°C 下测得。
(2) 本数据手册中，仅针对共模输入电压与阈值电压电平，采用代数命名惯例——即电势较低（更负）的限值被定义为最小值。
(3) 这适用于上电和断电两种情况。有关确切条件，请参阅 EIA 标准 TIA/EIA-485-A。

5.6 开关特性 - 驱动器

V_{CC} = 5V，R_L = 110Ω，T_A = 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(OD)}$	差分输出延迟时间	R_L = 54Ω，请参阅 图 6-3		15	22	ns
$t_{t(OD)}$	差分输出转换时间	R_L = 54Ω，请参阅 图 6-3		20	30	ns
t_{PZH}	达到高电平的输出启用时间	请参阅 图 6-4		85	120	ns
t_{PZL}	达到低电平的输出启用时间	请参阅 图 6-5		40	60	ns
t_{PHZ}	从高电平开始的输出禁用时间	请参阅 图 6-4		150	250	ns
t_{PLZ}	从低电平开始的输出禁用时间	请参阅 图 6-5		20	30	ns

5.7 开关特性 - 接收器

V_{CC} = 5V，C_L = 15pF，T_A = 25°C

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}	传播延迟时间，低电平到高电平输出	V_{ID} = 0 至 3V，请参阅 图 6-6		21	35	ns
t_{PHL}	传播延迟时间，高电平到低电平输出			23	35	
t_{PZH}	达到高电平的输出启用时间	请参阅 图 6-7		10	20	ns
t_{PZL}	达到低电平的输出启用时间			12	20	
t_{PHZ}	从高电平开始的输出禁用时间	请参阅 图 6-7		20	35	ns
t_{PLZ}	从低电平开始的输出禁用时间			17	25	

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性

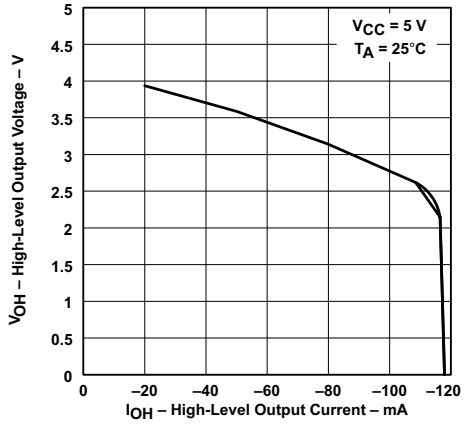


图 5-1. 驱动器高电平输出电压与高电平输出电流间的关系

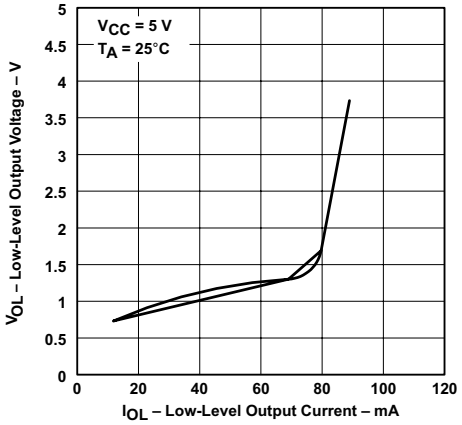


图 5-2. 驱动器低电平输出电压与低电平输出电流间的关系

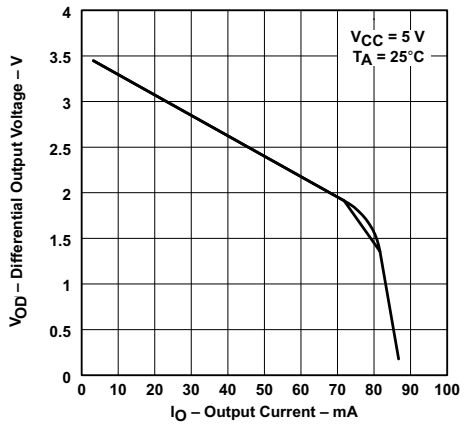


图 5-3. 驱动器差分输出电压与输出电流间的关系

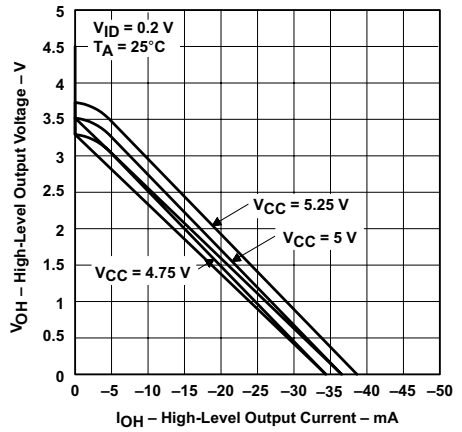
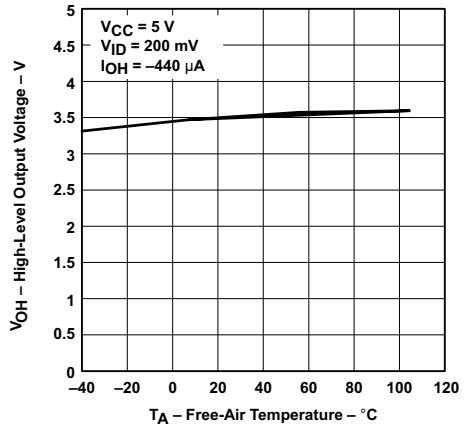


图 5-4. 接收器高电平输出电压与高电平输出电流间的关系



只有曲线中的 0°C 至 70°C 部分适用于 SN75176B 器件。

图 5-5. 接收器高电平输出电压与自然通风温度间的关系

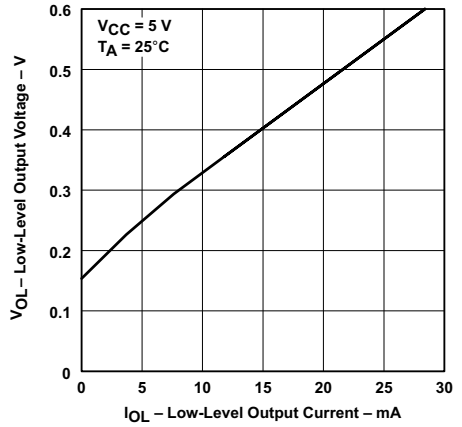


图 5-6. 接收器低电平输出电压与低电平输出电流间的关系

5.8 典型特性（续）

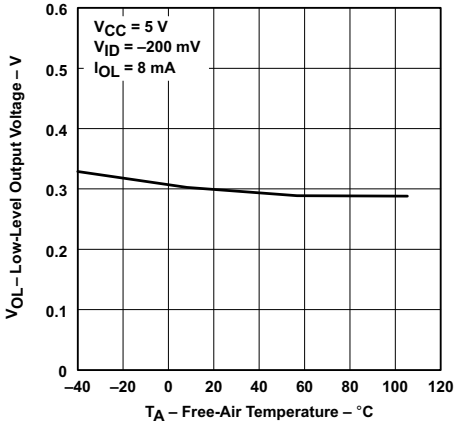


图 5-7. 接收器低电平输出电压与自然通风温度间的关系

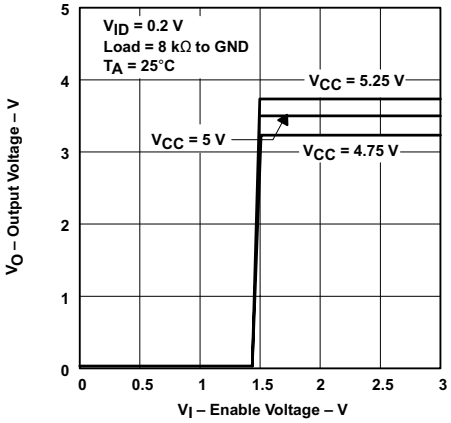


图 5-8. 接收器输出电压与使能电压间的关系

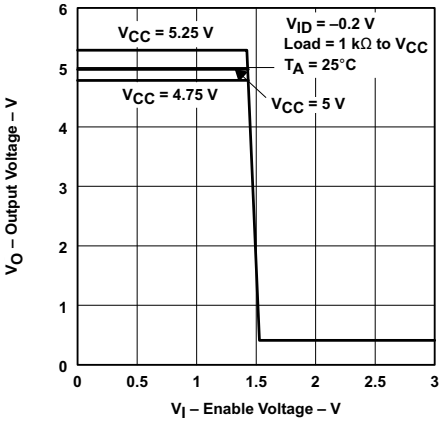


图 5-9. 接收器输出电压与使能电压间的关系

Copyright © 2025 Texas Instruments Incorporated

参数测量信息

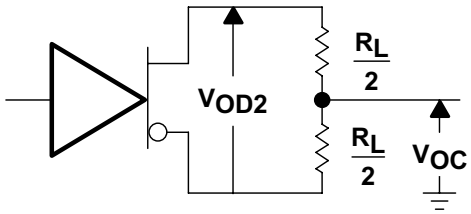


图 6-1. 驱动器 V_{OD} 和 V_{OC}

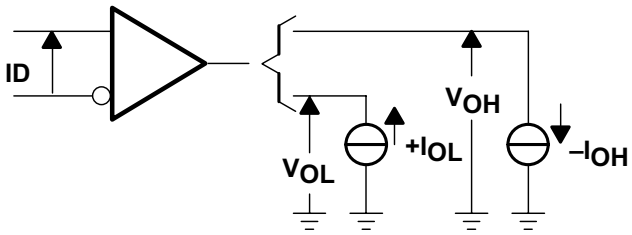
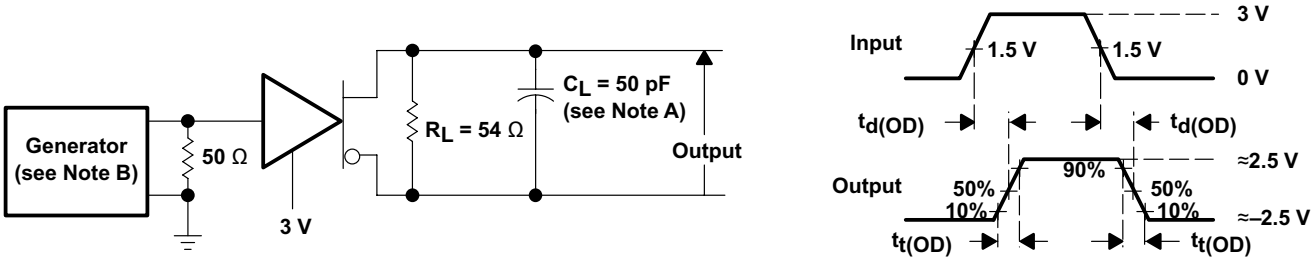


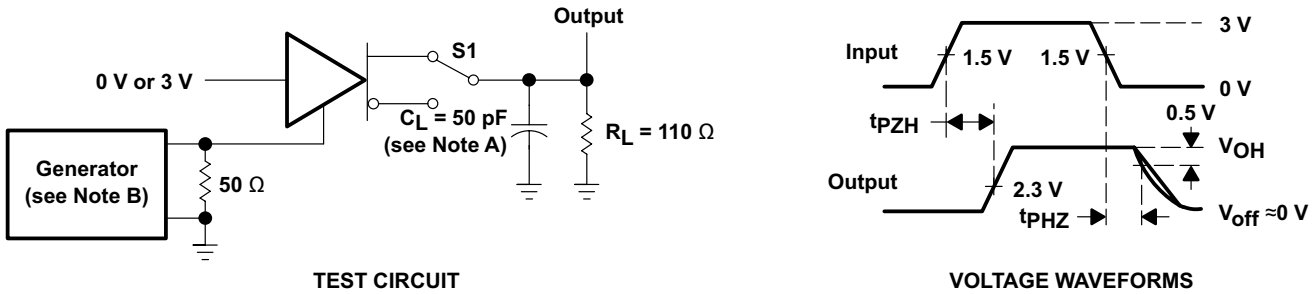
图 6-2. 接收器 V_{OH} 和 V_{OL}



A. C_L 包括探头和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，50% 占空比，t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50 Ω。

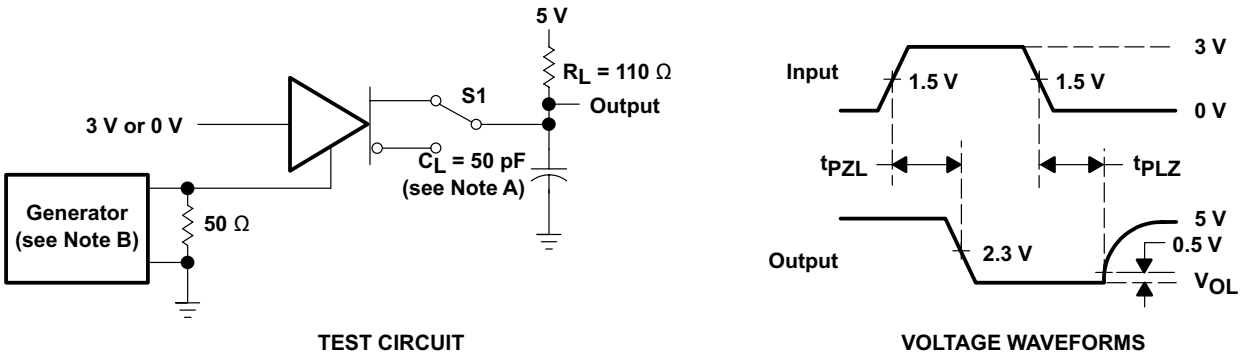
图 6-3. 驱动器测试电路和电压波形



A. C_L 包括探头和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，50% 占空比，t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50 Ω。

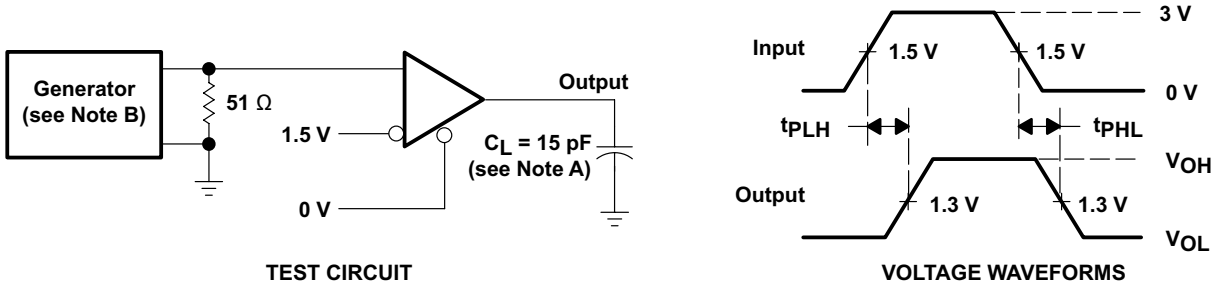
图 6-4. 驱动器测试电路和电压波形



A. C_L 包括探头和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，50% 占空比，t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50 Ω。

图 6-5. 驱动器测试电路和电压波形

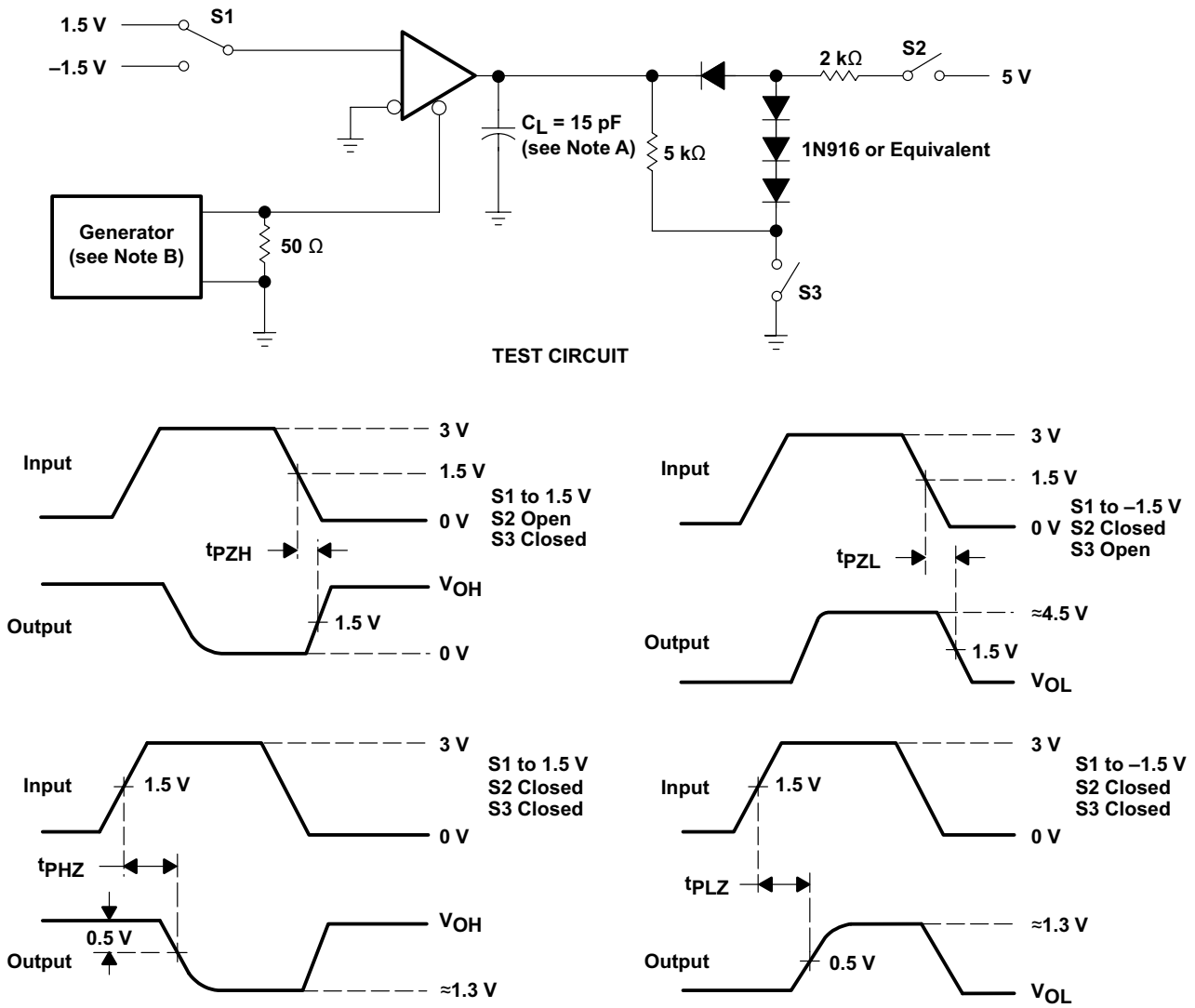


A. C_L 包括探头和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，50% 占空比，t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50 Ω。

图 6-6. 接收器测试电路和电压波形

Copyright © 2025 Texas Instruments Incorporated



A. C_L 包括探头和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，50% 占空比，t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50 Ω。

图 6-7. 接收器测试电路和电压波形

6 详细说明

6.1 概述

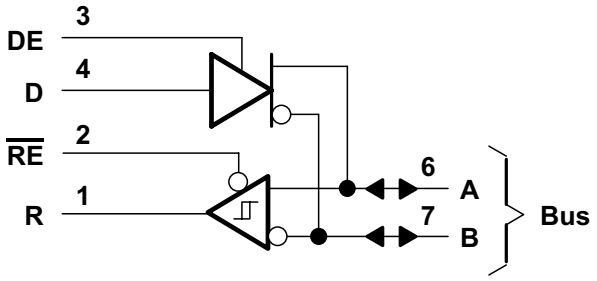
SN65176B 和 SN75176B 差分总线收发器是集成电路，旨在实现多点总线传输线路上的双向数据通信。这些器件专为平衡传输线路而设计，符合 ANSI 标准 TIA/EIA-422-B 和 TIA/EIA-485-A 以及 ITU 建议 V.11 和 X.27。

SN65176B 和 SN75176B 器件整合了一个三态差分线路驱动器和一个差分输入线路接收器，两者均采用 5V 单电源供电。驱动器和接收器分别具有高电平有效和低电平有效使能端，它们可以在外部连接在一起以用作方向控制。驱动器差分输出端和接收器差分输入端在内部连接以形成差分输入/输出 (I/O) 总线端口，这些端口用于在禁用驱动器或 V_{CC} = 0 时为总线提供最小负载。这些端口具有较宽的正负共模电压范围，使得该器件适用于合用线应用。

驱动器旨在实现高达 60mA 的灌电流或拉电流。驱动器具有正负电流限制和热关断功能，避免出现线路故障状况。根据设计在大约 150°C 的结温下发生热关断。接收器具有 12kΩ 的最小输入阻抗、±200mV 的输入灵敏度和 50mV 的典型输入迟滞。

SN65176B 和 SN75176B 器件可用于采用 SN75172 和 SN75174 四路差动线路驱动器以及 SN75173 和 SN75175 四路差动线路接收器的传输线路应用。

6.2 功能方框图



6.3 特性说明

6.3.1 驱动器

驱动器将 TTL 逻辑信号电平转换为符合 RS-422 和 RS-485 标准的差分输出。使用 TTL 逻辑输入 DE 引脚来打开和关闭驱动器。

表 6-1. 驱动器功能 (1)

输入 D	使能 DE	差分输出	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = 高电平，L = 低电平，X = 不相关，Z = 高阻抗（关断）

Copyright © 2025 Texas Instruments Incorporated

6.3.2 接收器

接收器将 RS-422 或 RS-485 差分输入电压转换为 TTL 逻辑电平输出。使用 TTL 逻辑输入 $\overline{RE}$ 引脚来打开和关闭接收器逻辑输出。

表 6-2. 接收器功能表 (1)

差分输入 A – B	使能 $\overline{RE}$	输出 R
$V_{ID} \geqslant 0.2V$	L	H
$-0.2V < V_{ID} < 0.2V$	L	U
$V_{ID} \leqslant -0.2V$	L	L
X	H	Z
开路	L	U

(1) H = 高电平，L = 低电平，U = 未知，Z = 高阻抗（关断）

6.4 器件功能模式

6.4.1 器件上电

驱动器和接收器都可以任意组合单独启用或禁用。DE 和 $\overline{RE}$ 可连接在一起，用于单端口方向控制位。

6.4.2 器件未通电

驱动器差分输出端和接收器差分输入端在内部连接以形成差分输入/输出 (I/O) 总线端口。总线端口设计为在禁用驱动器或 V_{CC} = 0 时为总线提供最小负载。

6.4.3 符号交叉参考

表 6-3. 符号等效项

数据表参数	TIA/EIA-422-B	TIA/EIA-485-A
V_O	V_{oa}、V_{ob}	V_{oa}、V_{ob}
$\|V_{OD1}\|$	V_o	V_o
$\|V_{OD2}\|$	V_t ®$_L$ = 100Ω)	V_t ®$_L$ = 54Ω)
$\|V_{OD3}\|$		V_t（测试端接测量 2）
$\Delta\|V_{OD}\|$	$\|\|V_t\| - \|\overline{V}_t\|\|$	$\|\|V_t - \|\overline{V}_t\|\|$
V_{OC}	$\|V_{os}\|$	$\|V_{os}\|$
$\Delta\|V_{OC}\|$	$\|V_{os} - \overline{V}_{os}\|$	$\|V_{os} - \overline{V}_{os}\|$
I_{OS}	$\|I_{sa}\|$、$\|I_{sb}\|$	
I_O	$\|I_{xa}\|$、$\|I_{xb}\|$	I_{ia}、I_{ib}

7 应用和实施

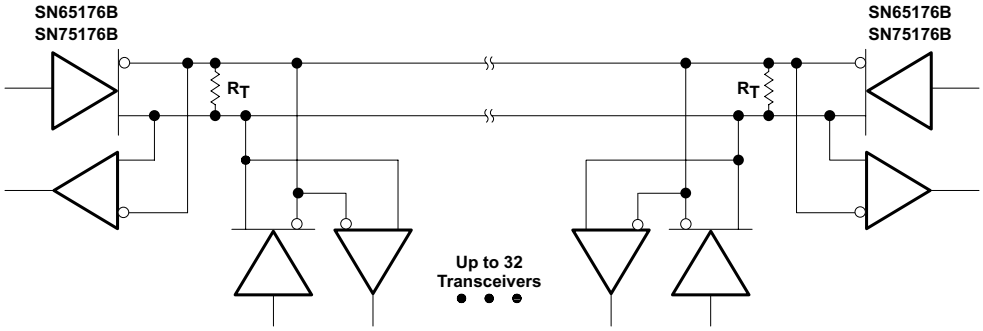
备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

在 RS-485 和 RS-422 物理层通信中使用 SN65176B 和 SN75176B。

7.2 典型应用



在两端以其特性阻抗 ($®_T = Z_O$) 端接线路。使残桩长度尽可能短，远离主线。

图 7-1. 典型 RS-485 应用电路

7.2.1 设计要求

- 5V 电源
- RS-485 总线的运行速率为 10Mbps 或更低
- 可为端口引脚建立正确极性的连接器
- 外部失效防护实现

7.2.2 详细设计过程

将器件放置在靠近总线连接器的位置，以保持布线（残桩）较短，从而防止向总线增加反射。如果需要，添加外部失效防护偏置，以便在 A-B 端口上建立 +200mV。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

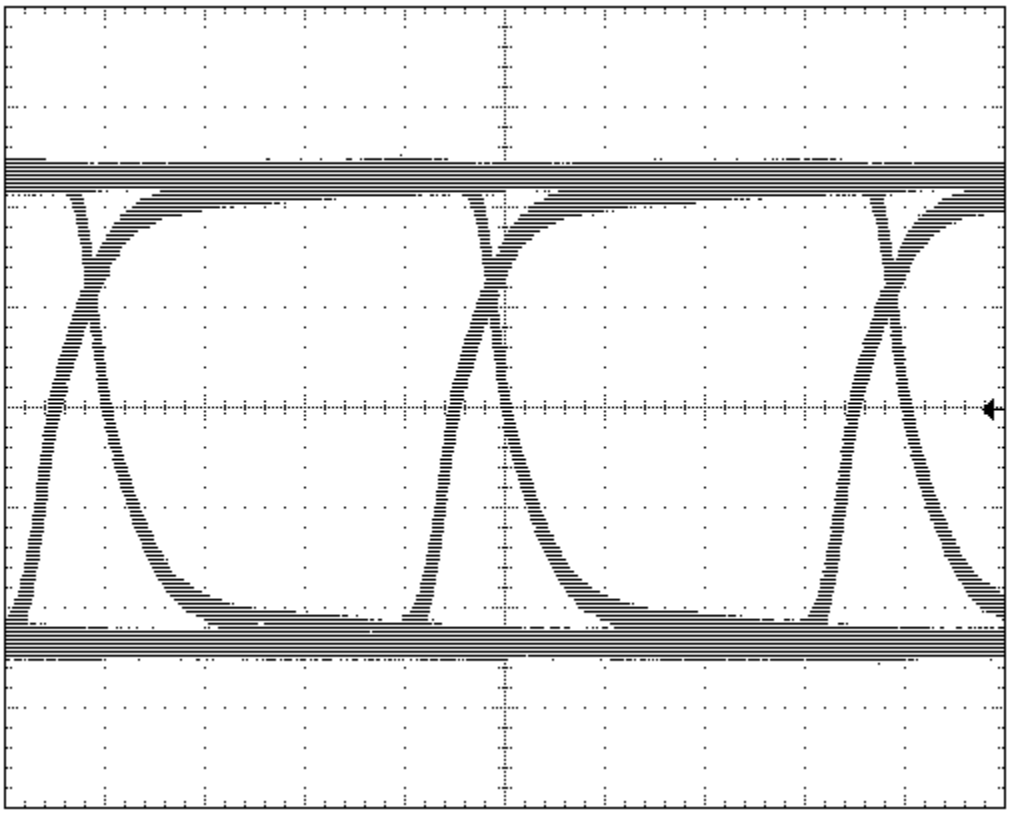


图 7-2. 标准 CAT-5E 电缆 100 英尺传输 10Mbits/s 信号的眼图（两端 120Ω 端接）

在图 7-2 中，刻度为每分段 1V，每分段 25nS。

7.3 系统示例

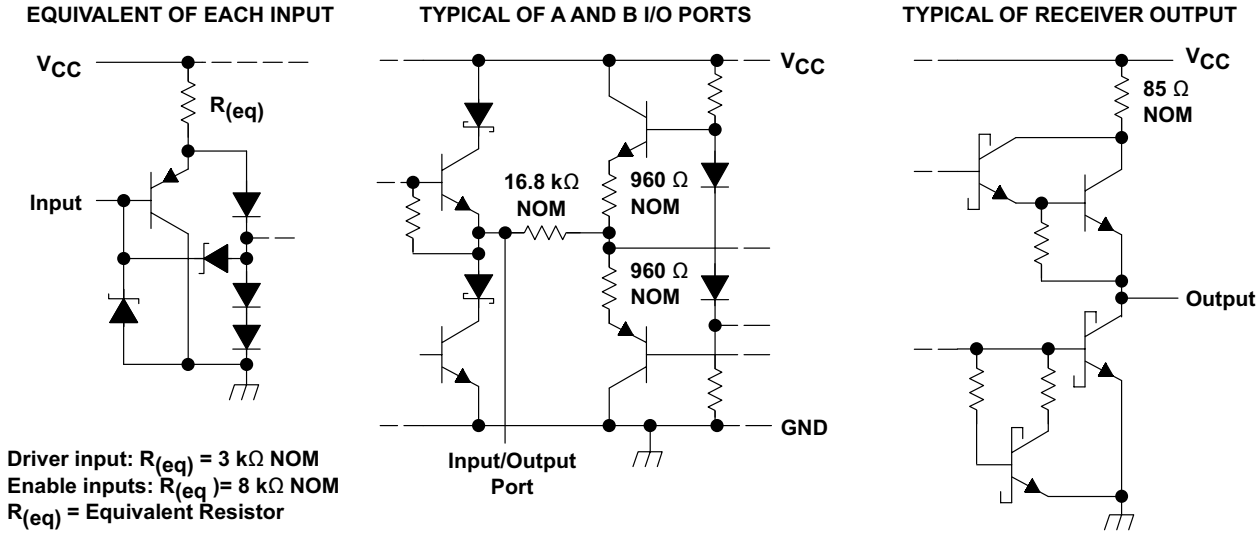


图 7-3. 输入和输出原理图

7.4 电源相关建议

建立容差小于 10% 的 5V 电源。

7.5 布局

7.5.1 布局指南

从器件引脚 A 和 B 到连接器的布线必须很短，并且能够提供 250 mA 的最大电流。

7.5.2 布局示例

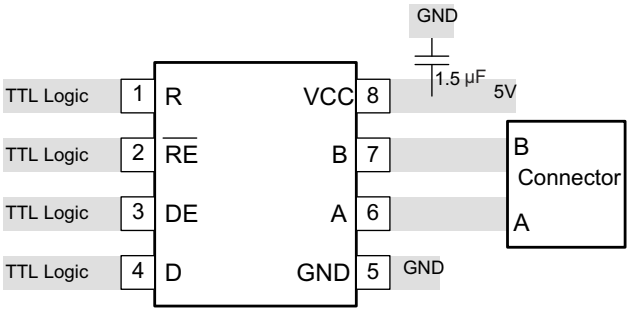


图 7-4. 布局图

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

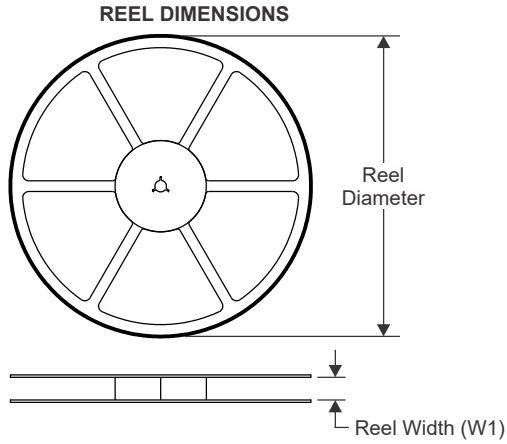
Changes from Revision H (December 2021) to Revision I (August 2025)	Page
• 为 SN65176BDE 可订购产品添加了 3 行卷带包装选项	18

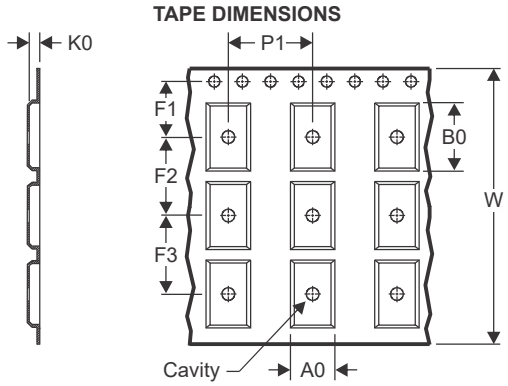
Changes from Revision G (July 2021) to Revision H (December 2021)	Page
• 将*热性能信息*表中 D 封装的 ψ_{JT} 值从 78.8 更改为 8.8	4

10 机械、封装和可订购信息

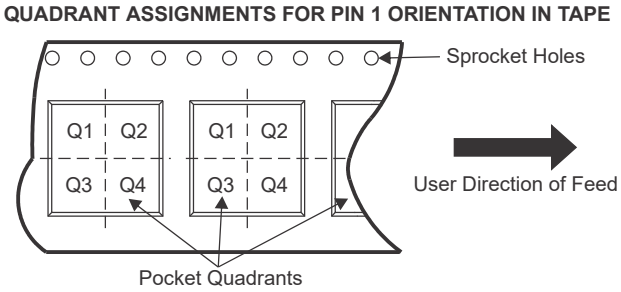
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带包装信息





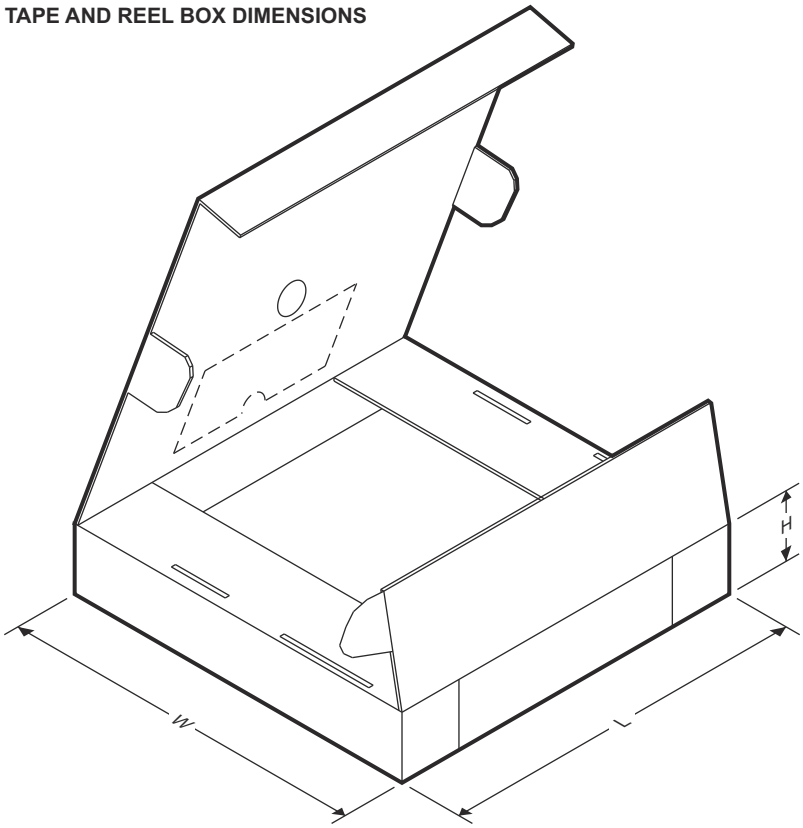
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers
F1	Distance between centers of sprocket hole and first cavity row
F2	Distance between centers of first and second cavity rows
F3	Distance between centers of second and third cavity rows



器件	封装类型	封装图	引脚	SPQ	包装	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限	F1 (mm)	F2 (mm)	F3 (mm)
SN65176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDRG4	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN65176BDRG4	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDR	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BDRG4	SOIC	D	8	2500	单行	330	12.4	6.4	5.2	2.1	8	12	Q1	—	—	—
SN75176BPSR	SO	PS	8	2000	单行	330	16.4	8.35	6.6	2.4	12	16	Q1	—	—	—
SN65176BDE	SOIC	D	8	7500	多行 (3)	330	24.4	6.45	5.25	2.1	8	24	Q1	5.25	6.25	6.25

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
SN65176BDR	SOIC	D	8	2500	353	353	32
SN65176BDR	SOIC	D	8	2500	353	353	32
SN65176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65176BDRG4	SOIC	D	8	2500	340.5	336.1	25
SN65176BDRG4	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	353	353	32
SN75176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN75176BDRG4	SOIC	D	8	2500	340.5	336.1	25
SN75176BPSR	SO	PS	8	2000	353	353	32
SN65176BDE	SOIC	D	8	7500	356.0	356.0	45.0

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65176BD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 105	65176B
SN65176BDE	Active	Production	SOIC (D) | 8	7500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65176B
SN65176BP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	SN65176BP
SN65176BP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	SN65176BP
SN75176BD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	75176B
SN75176BDG4	NRND	Production	null (null) |	75 | TUBE	-	Call TI	Call TI	0 to 70	
SN75176BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75176B
SN75176BP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BPE4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75176BP
SN75176BPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B
SN75176BPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B
SN75176BPSRG4	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	A176B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

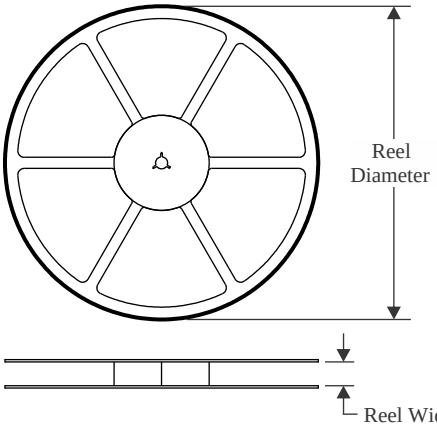
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

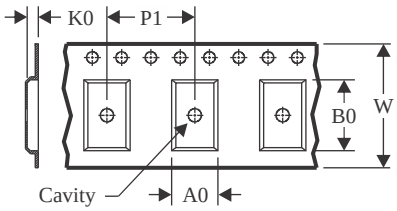
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

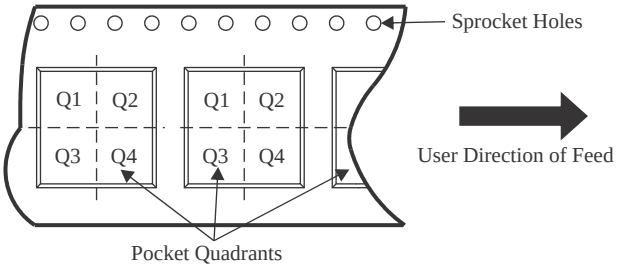


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

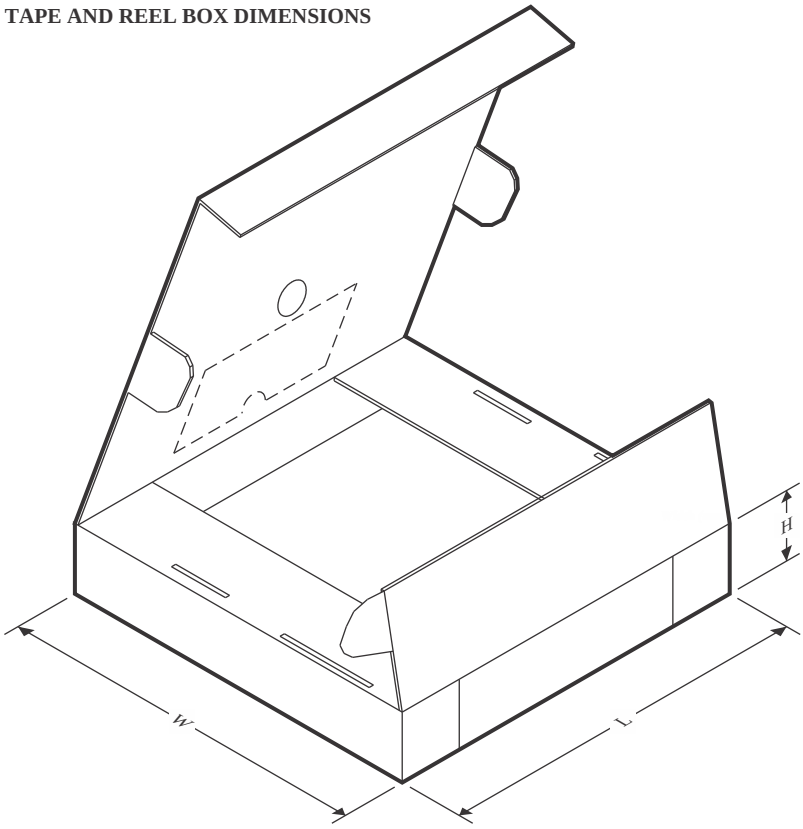
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65176BDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN75176BPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

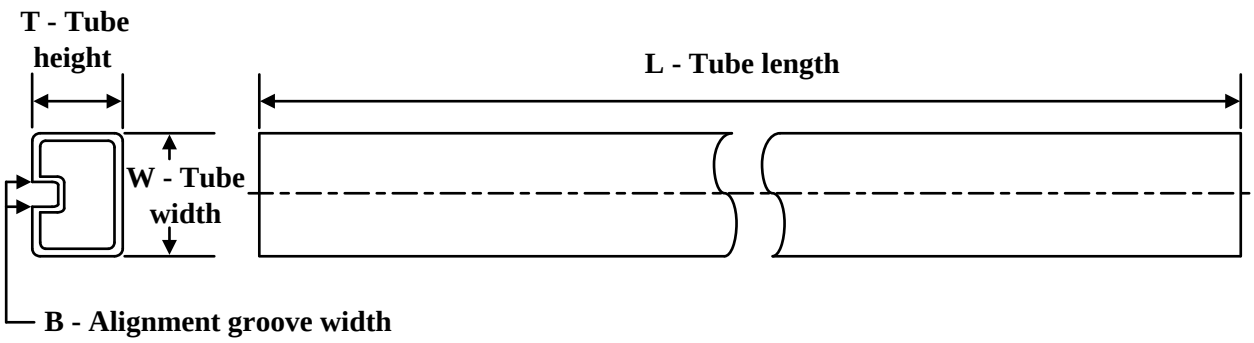
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

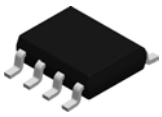
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65176BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN65176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65176BDRG4	SOIC	D	8	2500	340.5	336.1	25.0
SN75176BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN75176BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN75176BDRG4	SOIC	D	8	2500	340.5	336.1	25.0
SN75176BPSR	SO	PS	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN65176BP	P	PDIP	8	50	506	13.97	11230	4.32
SN65176BP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BP	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BP.A	P	PDIP	8	50	506	13.97	11230	4.32
SN75176BPE4	P	PDIP	8	50	506	13.97	11230	4.32

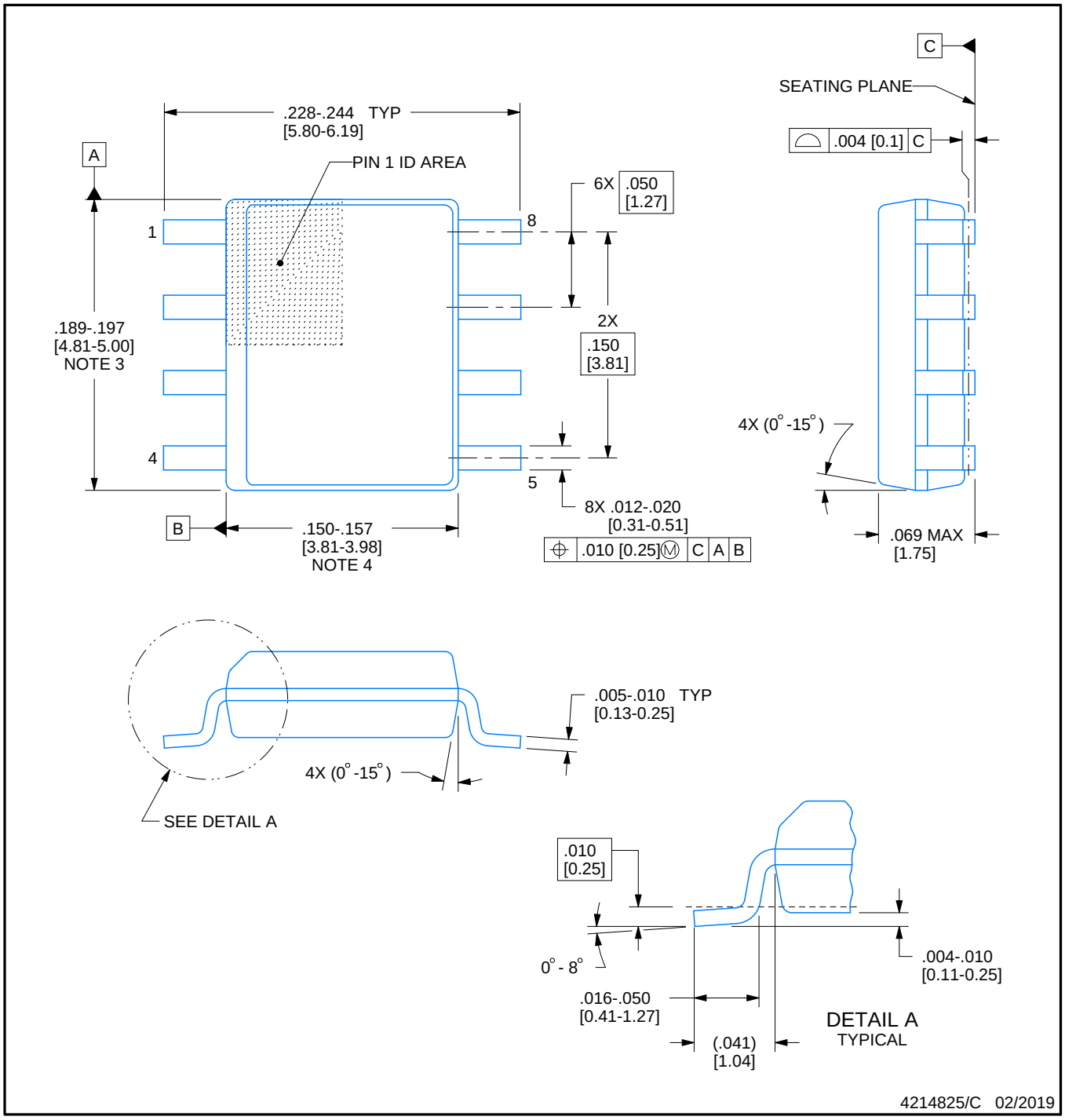


PACKAGE OUTLINE

D0008A

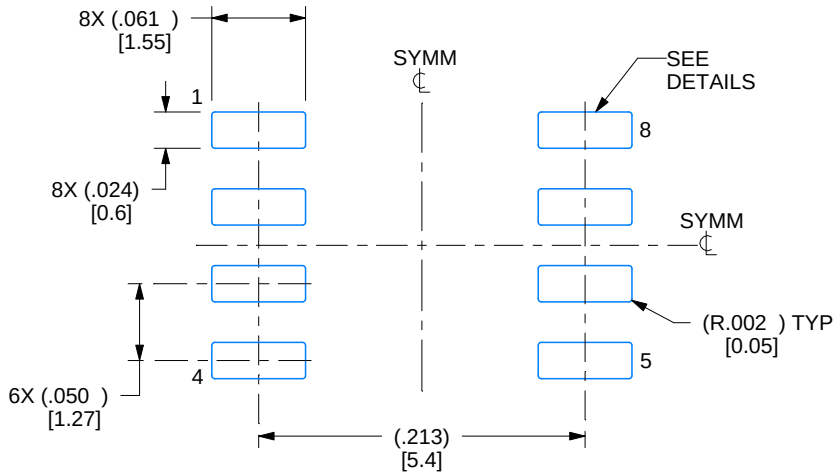
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

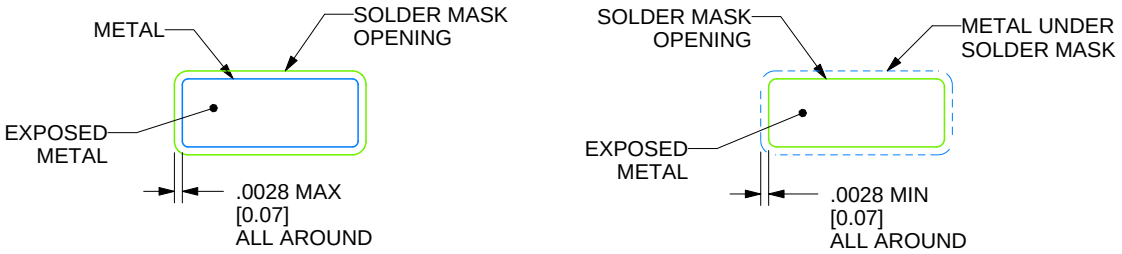


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

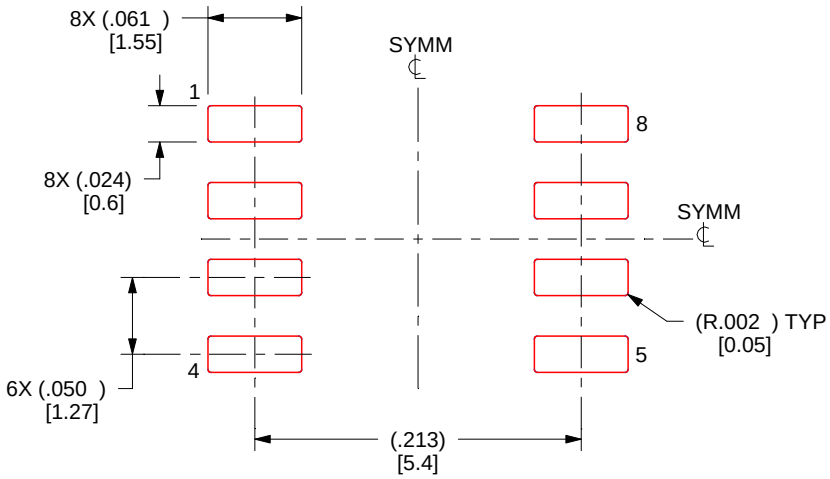


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

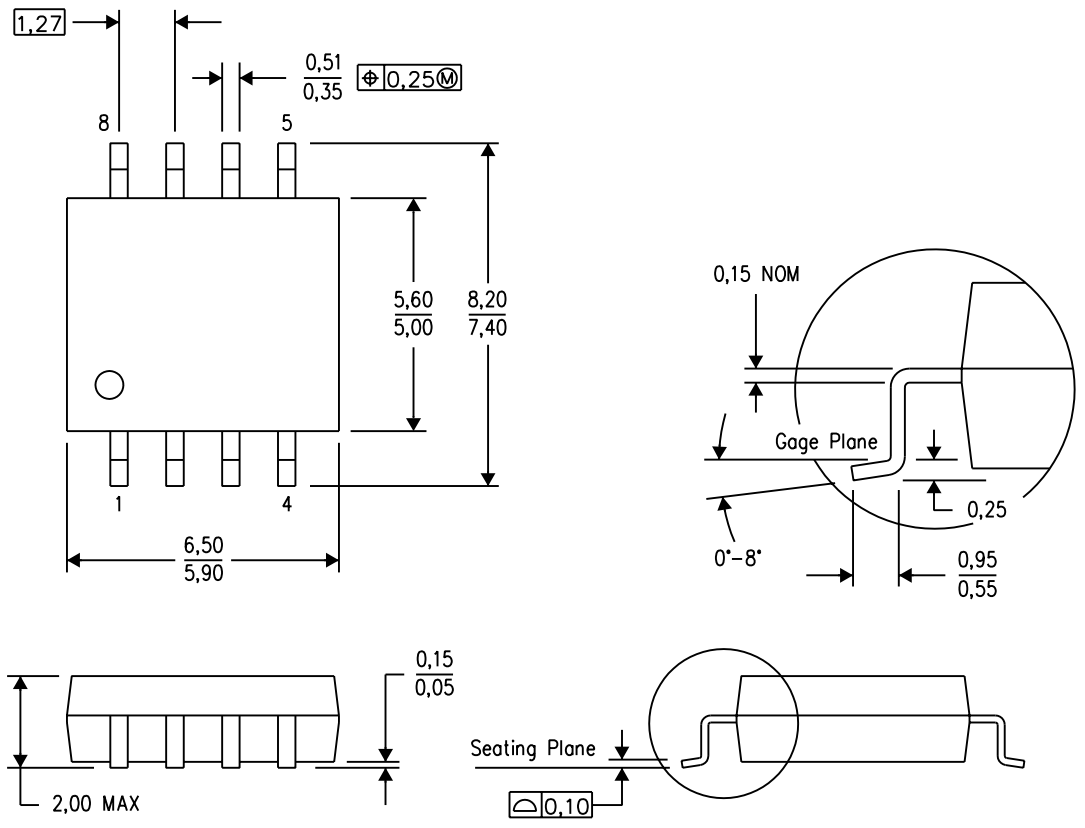
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

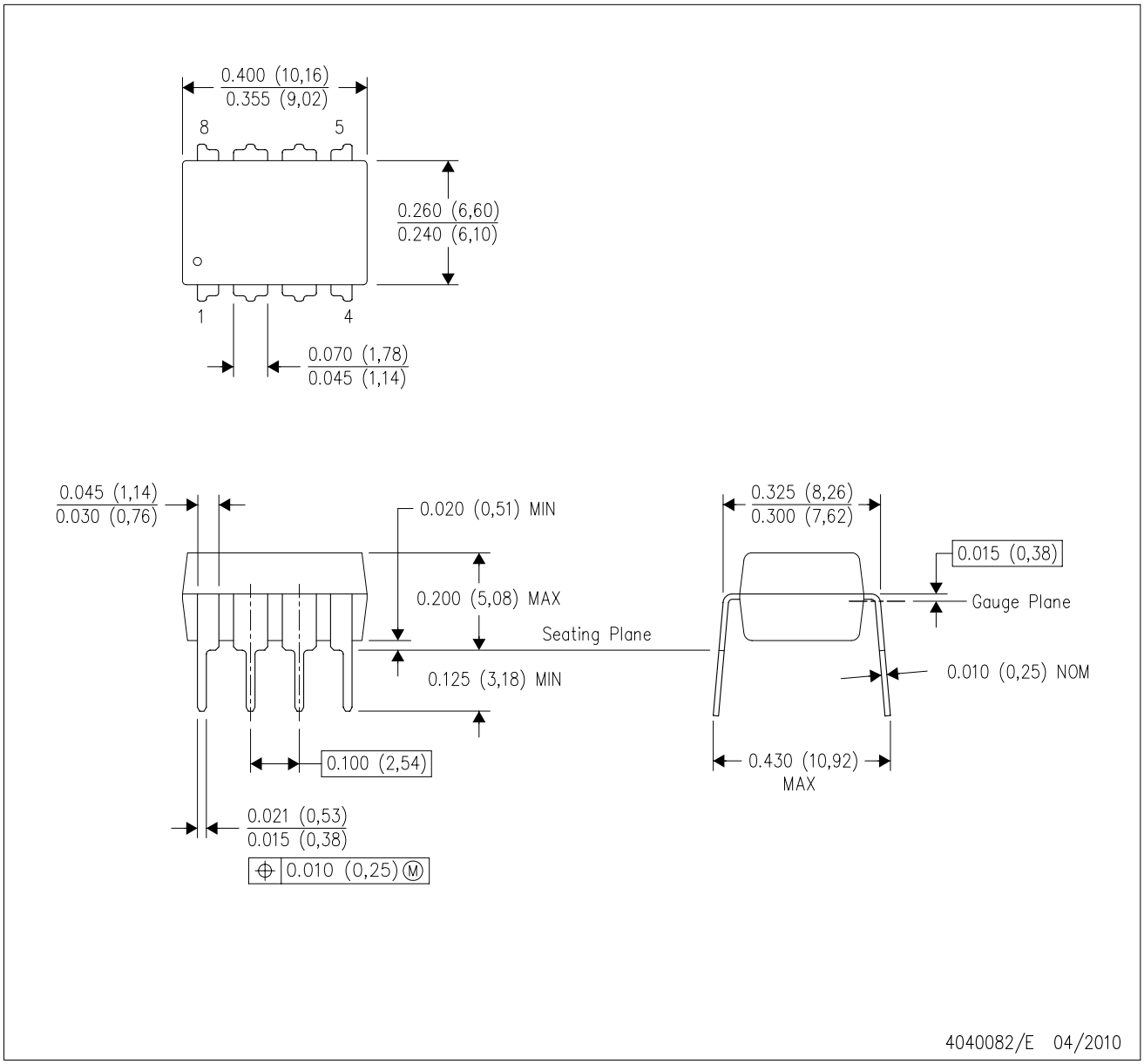
MECHANICAL DATA

PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月