具有 IEC ESD 保护功能的 SN65MLVD204B 多点 LVDS 线路驱动器和接收器（收发器）

1 特性

- 与 M-LVDS 标准 TIA/EIA-899 兼容，可进行多点数据交换
- 低压差分 30Ω 至 55Ω 线路驱动器和接收器，适用于高达 100Mbps 的信号传输速率(1)、高达 50MHz 的时钟频率
  - 2 类接收器的偏移阈值可检测开路和空闲总线状态
- 总线 I/O 保护
  - >±8kV HBM
  - >±8kV IEC 61000-4-2 接触放电
- 可控的驱动器输出电压转换时间可改进信号质量
- –1V 至 3.4V 共模电压范围，可实现在 2V 接地噪声下进行数据传输
- 总线引脚在禁用或 V_{CC} ≤ 1.5V 时具有高阻抗
- 现有 200Mbps 器件 (SN65MLVD206B) [1]
- SN65MLVD204A 的改进备选器件

2 应用

- TIA/EIA-485 的低功耗高速短行程替代方案
- 背板或电缆连接的多点数据和时钟传输
- 蜂窝基站
- 局端交换机
- 网络交换机和路由器

3 说明

SN65MLVD204B 器件是一款多点低电压差动信号 (M-LVDS) 线路驱动器和接收器，经优化，能够以最高 100Mbps 的信令速率运行。该器件系列具有稳健耐用的 3.3V 驱动器和接收器，并且采用标准 SOIC 和 QFN 封装，适用于严苛的工业应用。总线引脚具有强大的 ESD 耐受性，可提供符合人体模型和 IEC 接触放电规范的高等级防护。

SN65MLVD204B 集成了差分驱动器与差分接收器（收发器），由 3.3V 单电源供电。这些收发器经过优化，信令速率最高可达 100Mbps。

SN65MLVD204B 较同类器件具有增强特性。改进的特性包括驱动器输出端可控的压摆率，有助于尽量减少无端桩线的反射，从而提高信号完整性。沿用了相同尺寸，可轻松替换，有助于提升系统性能。这些器件的额定工作温度范围为 -40°C 至 85°C。

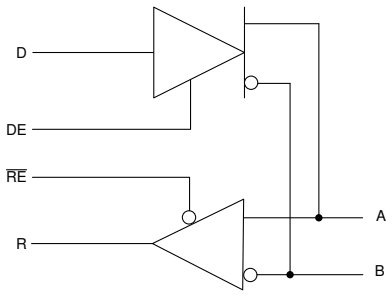
SN65MLVD204B M-LVDS 收发器是 TI 广泛的 M-LVDS 产品系列中的一员一款器件。

器件信息 (1)

器件型号	封装	封装尺寸（标称值）
SN65MLVD204B	SOIC (8)	4.90mm × 3.91mm
SN65MLVD204B	WQFN (16)	4.0mm x 4.0mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

ADVANCE INFORMATION



SN65MLVD204B 简化版原理图

[1] 线路的信令速率是指每秒钟的电压转换次数，单位为 bps（每秒比特数）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
引脚功能 4
引脚功能 5
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息 7
6.5 电气特性 7
6.6 电气特性 - 驱动器 7
6.7 电气特性 - 接收器 8
6.8 电气特性 - 总线输入和输出 8
6.9 开关特性 - 驱动器 9
6.10 开关特性 - 接收器 9
6.11 典型特性 10
7 参数测量信息 11
8 详细说明 17
8.1 概述 17
8.2 功能方框图 17
8.3 特性说明 17
8.4 器件功能模式 18
9 应用和实施 20
9.1 应用信息 20
9.2 典型应用 20
10 电源相关建议 24
11 布局 25
11.1 布局指南 25
11.2 布局示例 28
12 器件和文档支持 30
12.1 接收文档更新通知 30
12.2 支持资源 30
12.3 商标 30
12.4 静电放电警告 30
12.5 术语表 30
13 机械、封装和可订购信息 31
13.1 封装选项附录 32

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2015) to Revision A (December 2016) **Page**

- 将器件状态从“预发布”更改为量产 1

Changes from Revision A (December 2016) to Revision B (March 2020) **Page**

- 删除了文本、表格和图中关于器件 SN65MLVD200B、SN65MLVD202B 和 SN65MLVD205B 的所有引用 1
- 从 *引脚配置和功能* 中删除了 D 14 引脚封装 3
- 在电气特性“总线输入和输出”中，将 C_A 和 C_B 从 5pF 更改为了 12pF。 8
- 在电气特性“总线输入和输出”中，将 C_{AB} 从 4pF 更改为了 7pF。 8
- 删除了 1 类接收器输入阈值测试电压表 11
- 删除了功能方框图中的引脚数量。 17
- 删除了器件功能表部分中的 1 类接收器表。 18

Changes from Revision B (March 2020) to Revision C (September 2020) **Page**

- 16 引脚 WQFN (RUM) 封装选项处于“预发布”状态。 5
- 新增了 16 引脚 WQFN (RUM) 封装选项 5
- 新增了 16 引脚 WQFN (RUM) 封装的热性能信息 7

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

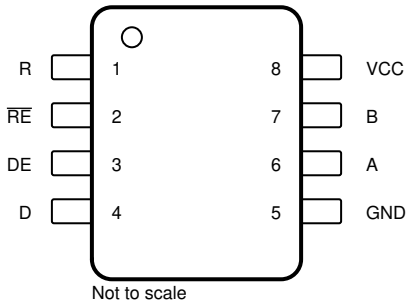


图 5-1. D 封装 8 引脚 SOIC 顶视图

ADVANCE INFORMATION

ADVANCE INFORMATION

引脚功能

引脚		类型	说明
名称	编号		
A	6	I/O	差分 I/O
B	7	I/O	差分 I/O
D	4	输入	驱动器输入
DE	3	输入	驱动器使能引脚；高电平 = 使能，低电平 = 禁用
GND	5	电源	电源接地
NC	—	NC	无内部连接
R	1	输出	接收器输出
$\overline{RE}$	2	输入	接收器使能引脚；高电平 = 禁用，低电平 = 使能
V_{CC}	8	电源	电源，3.3V
Y	—	I/O	差分 I/O
Z	—	I/O	差分 I/O

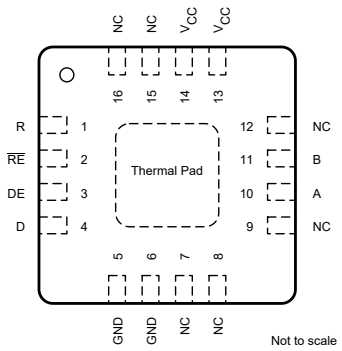


图 5-2. RUM 封装 16 引脚 WQFN 顶视图

Copyright © 2026 Texas Instruments Incorporated

引脚功能

引脚		类型	说明
编号	名称		
1	R	输出	接收器输出
2	$\overline{RE}$	输入	接收器使能引脚；高电平 = 禁用，低电平 = 使能
3	DE	输入	驱动器使能引脚；高电平 = 使能，低电平 = 禁用
4	D	输入	驱动器输入
5	GND	电源	电源接地
6	GND	电源	电源接地
7	NC	NC	无内部连接
8	NC	NC	无内部连接
9	NC	NC	无内部连接
10	A	I/O	差分 I/O
11	B	I/O	差分 I/O
12	NC	NC	无内部连接
13	V_{CC}	电源	电源，3.3V
14	V_{CC}	电源	电源，3.3V
15	NC	NC	无内部连接
16	NC	NC	无内部连接
TP	散热焊盘	电源	散热焊盘。建议连接到完整实心接地平面。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

		最小值	最大值	单位
电源电压范围 V_{CC} (2)		-0.5	4	V
输入电压范围	D、DE、$\overline{RE}$	-0.5	4	V
	A、B	-1.8	4	V
输出电压范围	R	-0.3	4	V
	A、B	-1.8	4	V
连续功耗		请参阅*热性能信息*表		
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时，可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除差分 I/O 总线电压外的所有电压值都是相对于网络接地引脚的值。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	接触放电，符合 IEC 61000-4-2 标准	A、B	±8000	V
		人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚	A、B	±8000	
			除 A 和 B 外的所有引脚	±4000	
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚	所有引脚	±1500	

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3	3.3	3.6	V
V_{IH}	高电平输入电压	2		V_{CC}	V
V_{IL}	低电平输入电压	0		0.8	V
	任何总线端子 V_A 或 V_B 上的电压	-1.4		3.8	V
$\|V_{ID}\|$	差分输入电压幅度			V_{CC}	V
R_L	差分负载电阻	30	50		Ω
$1/t_{UI}$	信令速率			100	Mbps
T_A	自然通风工作温度，采用 D 封装	-40		85	°C
T_A	自然通风工作温度，采用 RUM 封装	-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		SN65MLVD204B		单位
		D (SOIC)	RUM (WQFN)	
		8 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	112.2	39.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56.7	34.7	
$R_{\theta JB}$	结至电路板热阻	52.8	17.7	
ψ_{JT}	结至顶部特征参数	10.3	0.6	
ψ_{JB}	结至电路板特征参数	52.3	17.7	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	7.5	

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

在建议的运行条件下（除非另有说明）(1)

参数			测试条件	最小值	典型值	最大值	单位
I_{CC}	电源电流	仅驱动器	$\overline{RE}$ 和 DE（V_{CC} 时），R_L = 50Ω，所有其他均为开路		13	22	mA
		两者都禁用	$\overline{RE}$（V_{CC} 时），DE（0V 时），R_L = 空载，所有其他均为开路		1	4	
		两者都启用	$\overline{RE}$（0V 时），DE（V_{CC} 时），R_L = 50Ω，所有其他均为开路		16	24	
		仅接收器	$\overline{RE}$（0V 时），DE（0V 时），所有其他均为开路		4	13	
P_D	器件功率耗散		R_L = 50Ω，D 的输入为 50MHz 50% 占空比方波，DE = 高电平，$\overline{RE}$ = 低电平，T_A = 85°C			100	mW

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

6.6 电气特性 - 驱动器

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值(1)	典型值(2)	最大值	单位
$\lvert V_{AB}\rvert$	差分输出电压幅度 (3)	请参阅 图 7-2	480		650	mV
$\Delta\lvert V_{AB}\rvert$	逻辑状态之间的差分输出电压幅度变化		-50		50	mV
$V_{OS(SS)}$	稳定状态共模输出电压	请参阅 图 7-3	0.8		1.2	V
$\Delta V_{OS(SS)}$	逻辑状态之间的稳态共模输出电压变化		-50		50	mV
$V_{OS(PP)}$	峰峰值共模输出电压				150	mV
$V_{A(OC)}$	最大稳态开路输出电压	请参阅 图 7-7	0		2.4	V
$V_{B(OC)}$	最大稳态开路输出电压		0		2.4	V
$V_{P(H)}$	电压过冲，低电平至高电平输出	请参阅 图 7-5			$1.2V_{SS}$	V
$V_{P(L)}$	电压过冲，高电平至低电平输出		$-0.2V_{SS}$			V
I_{IH}	高电平输入电流（D、DE）	V_{IH} = 2V 至 V_{CC}	0		10	μA
I_{IL}	低电平输入电流（D、DE）	V_{IL} = GND 至 0.8V	0		10	μA
$\lvert I_{OS}\rvert$	差分短路输出电流幅度	请参阅 图 7-4			24	mA

(1) 本数据表采用将最小正值（最大负值）指定为最小值的代数约定。
(2) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。
(3) -40℃ 时的测量设备精度为 10mV

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.7 电气特性 - 接收器

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值 (1)	最大值	单位
V_{IT+}	正向差分输入电压阈值(2)	2 类	请参阅图 7-9 和表 7-1			150	mV
V_{IT-}	负向差分输入电压阈值(2)	2 类		50			
V_{HYS}	差分输入电压迟滞，(V_{IT+} – V_{IT-})	2 类			0		
V_{OH}	高电平输出电压 (R)		I_{OH} = -8mA	2.4			V
V_{OL}	低电平输出电压 (R)		I_{OL} = 8mA			0.4	V
I_{IH}	高电平输入电流 ($\overline{RE}$)		V_{IH} = 2V 至 V_{CC}	-10		0	μA
I_{IL}	低电平输入电流 ($\overline{RE}$)		V_{IL} = GND 至 0.8V	-10		0	μA
I_{OZ}	高阻抗输出电流 (R)		V_O = 0V 或 3.6V	-10		15	μA

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。
(2) -40℃ 时的测量设备精度为 10mV

6.8 电气特性 - 总线输入和输出

在建议运行条件下测得（除非另有说明）

参数		测试条件			最小值	典型值 (1)	最大值	单位
I_A	接收器或禁用了驱动器的收发器的输入电流	V_A = 3.8V，	V_B = 1.2V，		0		32	μA
		V_A = 0V 或 2.4V	V_B = 1.2V		-20		20	
		V_A = -1.4V，	V_B = 1.2V		-32		0	
I_B	接收器或禁用了驱动器的收发器的输入电流	V_B = 3.8V，	V_A = 1.2V		0		32	μA
		V_B = 0V 或 2.4V	V_A = 1.2V		-20		20	
		V_B = -1.4V，	V_A = 1.2V		-32		0	
I_{AB}	接收器或禁用了驱动器的收发器的差分输入电流 (I_A – I_B)	V_A = V_B	1.4V ≤ V_A ≤ 3.8V		-4		4	μA
$I_{A(OFF)}$	接收器或收发器断电输入电流	V_A = 3.8V，	V_B = 1.2V，	0 V ≤ V_{CC} ≤ 1.5 V	0		32	μA
		V_A = 0V 或 2.4V	V_B = 1.2V	0 V ≤ V_{CC} ≤ 1.5 V	-20		20	
		V_A = -1.4V，	V_B = 1.2V	0 V ≤ V_{CC} ≤ 1.5 V	-32		0	
$I_{B(OFF)}$	接收器或收发器断电输入电流	V_B = 3.8V，	V_A = 1.2V，	0 V ≤ V_{CC} ≤ 1.5 V	0		32	μA
		V_B = 0V 或 2.4V	V_A = 1.2V	0 V ≤ V_{CC} ≤ 1.5 V	-20		20	
		V_B = -1.4V，	V_A = 1.2V，	0 V ≤ V_{CC} ≤ 1.5 V	-32		0	
$I_{AB(OFF)}$	接收器输入或收发器断电差分输入电流 (I_A – I_B)	V_A = V_B，0V ≤ V_{CC} ≤ 1.5V， –1.4V ≤ V_A ≤ 3.8V			-4		4	μA
C_A	禁用了驱动器的收发器的输入电容。	V_A = 0.4 sin (30E6 π t) + 0.5V(2)，V_B = 1.2V				12		pF
C_B	禁用了驱动器的收发器的输入电容	V_B = 0.4 sin (30E6 π t) + 0.5V(2)，V_A = 1.2V				12		pF
C_{AB}	禁用了驱动器的收发器的差分输入电容	V_{AB} = 0.4 sin (30E6 π t)V(2)				7		pF
$C_{A/B}$	禁用了驱动器的收发器的输入电容平衡，(C_A/C_B)				0.99		1.01	

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

Copyright © 2026 Texas Instruments Incorporated

(2) HP4194A 阻抗分析仪（或等效产品）

6.9 开关特性 - 驱动器

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值 (1)	最大值	单位
t_{pLH}	传播延时，低至高电平输出	请参阅 图 7-5	2	2.5	3.5	ns
t_{pHL}	传播延时，高至低电平输出		2	2.5	3.5	ns
t_r	差分输出信号上升时间			2		ns
t_f	差分输出信号下降时间			2		ns
$t_{sk(p)}$	脉冲偏斜 ($\lvert t_{pHL} - t_{pLH} \rvert$)			30	150	ps
$t_{sk(pp)}$	器件间偏移(2)				0.9	ns
$t_{jit(per)}$	周期抖动，rms（1 个标准差）(3)	50MHz 时钟输入(4)		2	3	ps
$t_{jit(pp)}$	峰峰值抖动(3) (6)	100Mbps 2^{15} – 1 PRBS 输入(5)		55	150	ps
t_{PHZ}	禁用时间，高电平至高阻抗输出	请参阅 图 7-6		4	7	ns
t_{PLZ}	禁用时间，低电平至高阻抗输出			4	7	ns
t_{PZH}	启用时间，高阻抗至高电平输出			4	7	ns
t_{PZL}	启用时间，高阻抗至低电平输出			4	7	ns

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。
(2) 器件间偏斜定义为在相同 V/T 条件下运行的两个器件之间的传播延迟差异。
(3) 抖动由设计和特性来确保。已从数字中减去激励抖动。
(4) $t_r = t_f = 0.5$ns（10% 至 90%），对 30K 个样本测得。
(5) $t_r = t_f = 0.5$ns（10% 至 90%），对 100K 个样本测得。
(6) 峰峰值抖动包括脉冲偏斜 ($t_{sk(p)}$) 引起的抖动。

6.10 开关特性 - 接收器

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值 (1)	最大值	单位
t_{PLH}	传播延时，低至高电平输出		C_L = 15pF，请参阅图 7-10	2	6	10	ns
t_{PHL}	传播延时，高至低电平输出			2	6	10	ns
t_r	输出信号上升时间					2.3	ns
t_f	输出信号下降时间					2.3	ns
$t_{sk(p)}$	脉冲偏斜 ($\lvert t_{pHL} - t_{pLH} \rvert$)	2 类	C_L = 15pF，请参阅图 7-10		400	750	ps
$t_{sk(pp)}$	器件间偏移(2)		C_L = 15pF，请参阅图 7-10			1	ns
$t_{jit(per)}$	周期抖动，rms（1 个标准差）(3)		50MHz 时钟输入(4)		2		ps
$t_{jit(pp)}$	峰峰值抖动(3) (6)	2 类	100Mbps 2^{15} – 1 PRBS 输入(5)		225	800	ps
t_{PHZ}	禁用时间，高电平至高阻抗输出		请参阅 图 7-11		6	10	ns
t_{PLZ}	禁用时间，低电平至高阻抗输出				6	10	ns
t_{PZH}	启用时间，高阻抗至高电平输出				10	15	ns
t_{PZL}	启用时间，高阻抗至低电平输出				10	15	ns

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。
(2) 器件间偏斜定义为在相同 V/T 条件下运行的两个器件之间的传播延迟差异。
(3) 抖动由设计和特性来确保。已从数字中减去激励抖动。
(4) ，V_{ID} = 400 mV_{pp} ，V_{cm} = 1 V，$t_r = t_f$ = 0.5ns（10% 至 90%），基于 3 万个样本的测试结果。
(5) ，V_{ID} = 400 mV_{pp} ，V_{cm} = 1 V，$t_r = t_f$ = 0.5ns（10% 至 90%），基于 10 万个样本的测试结果。
(6) 峰峰值抖动包括脉冲偏斜 ($t_{sk(p)}$) 引起的抖动

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.11 典型特性

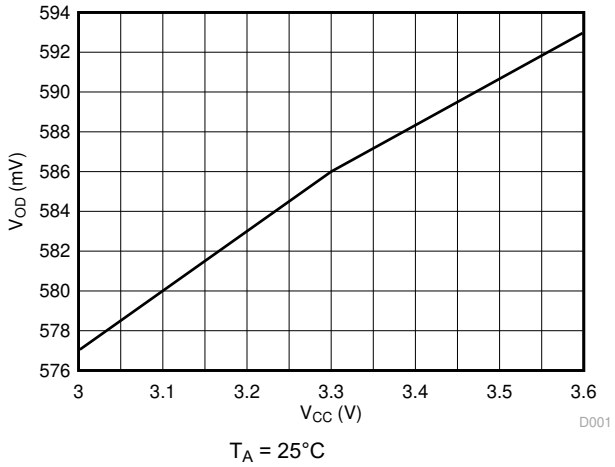
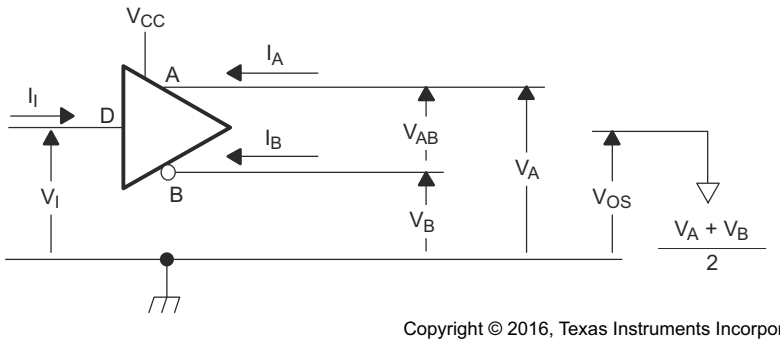


图 6-1. 差动输出电压与电源输入电压间的关系

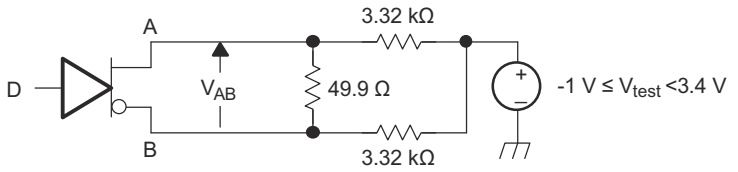
Copyright © 2026 Texas Instruments Incorporated

7 参数测量信息



Copyright © 2016, Texas Instructions Incorporated

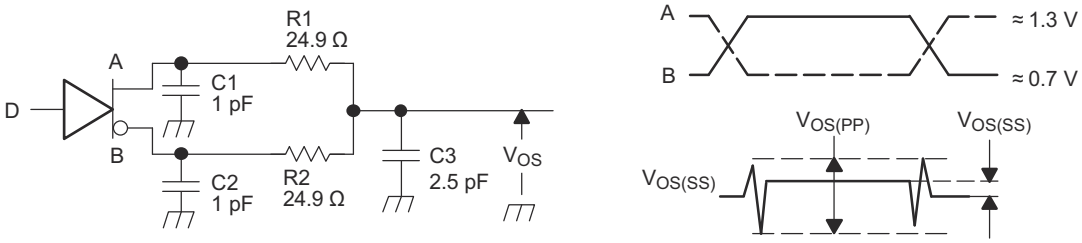
图 7-1. 驱动器电压和电流定义



Copyright © 2016, Texas Instruments Incorporated

A. 所有电阻器的容差均为 1%。

图 7-2. 差分输出电压测试电路



Copyright © 2016, Texas Instruments Incorporated

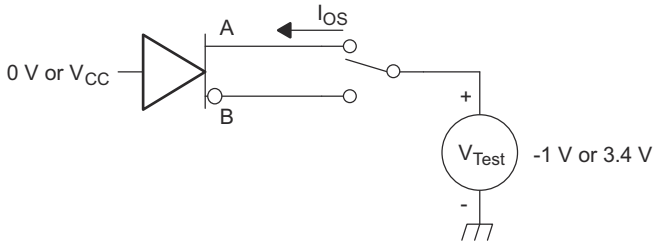
A. 所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f ≤ 1ns，脉冲频率 = 1MHz，占空比 = 50 ± 5%。

B. C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 ±20%。

C. R1 和 R2 是金属膜，表面贴装，容差为 ±1%，位于距离 D.U.T. 的 2cm 范围内。

D. $V_{OS(PP)}$ 测量是在测试设备上使用 –3dB 带宽以至少 1GHz 的频率执行的。

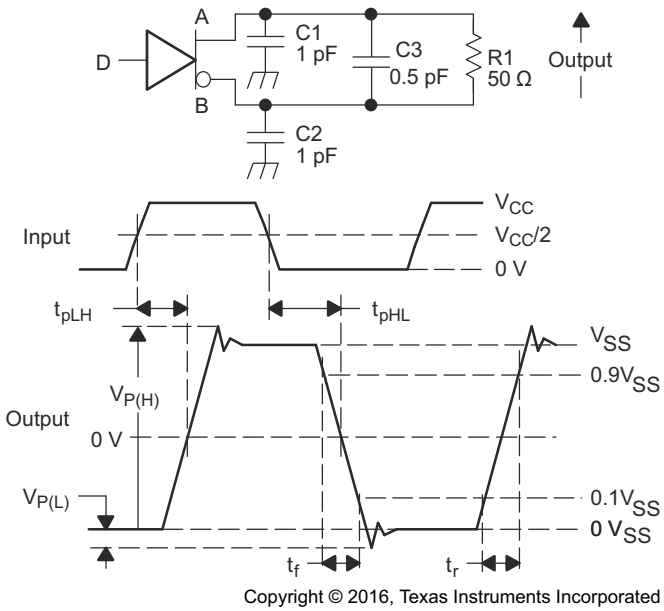
图 7-3. 驱动器共模输出电压的测试电路和定义



Copyright © 2016, Texas Instruments Incorporated

图 7-4. 驱动器短路测试电路

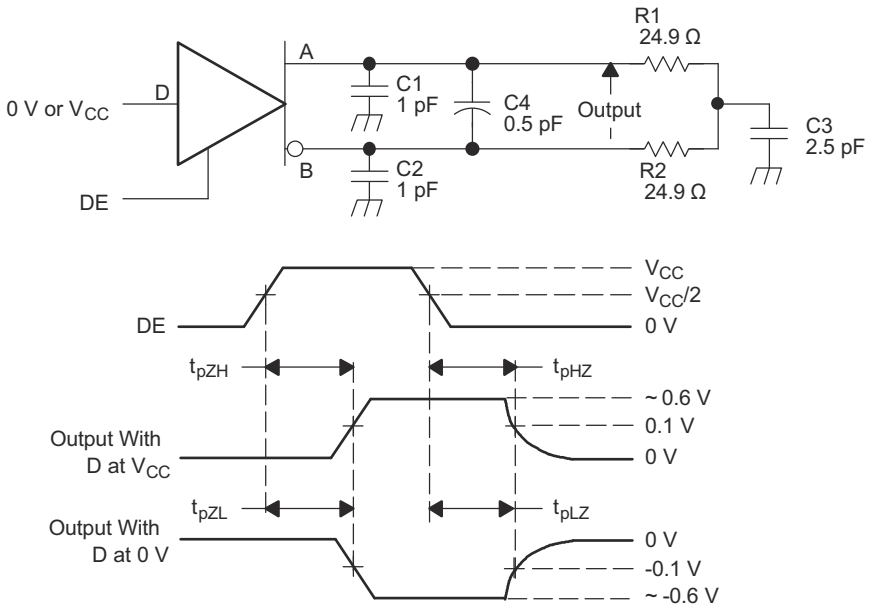
ADVANCE INFORMATION



Copyright © 2016, Texas Instruments Incorporated

A. 所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f≤ 1ns，频率 = 1MHz，占空比 = 50 ±5%。
B. C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 ±20%。
C. R1 是金属膜，表面贴装，容差为 ±1%，位于距离 D.U.T. 的 2cm 范围内。
D. 测量是在测试设备上使用 –3dB 带宽以至少 1GHz 的频率执行的。

图 7-5. 差分输出信号的驱动器测试电路、时序和电压定义

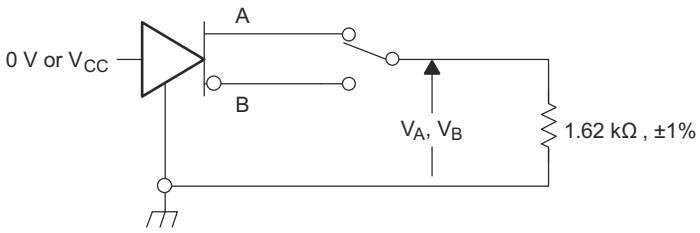


Copyright © 2016, Texas Instruments Incorporated

A. 所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f≤ 1ns，频率 = 1MHz，占空比 = 50 ±5%。
B. C1、C2、C3 和 C4 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 ±20%。
C. R1 和 R2 是金属膜，表面贴装，容差为 ±1%，位于距离 D.U.T. 的 2cm 范围内。
D. 测量是在测试设备上使用 –3dB 带宽以至少 1GHz 的频率执行的。

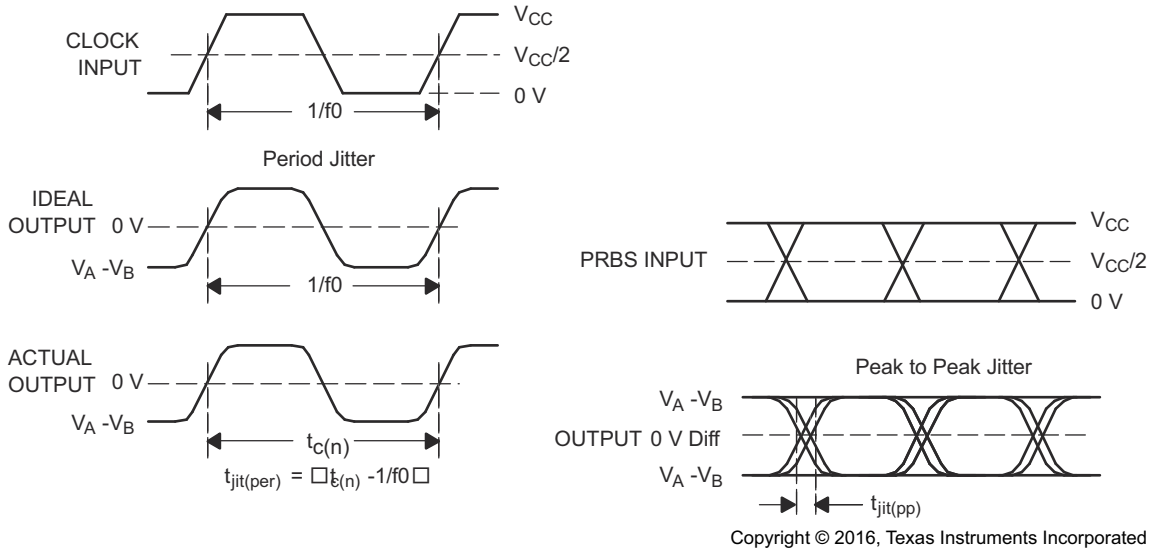
图 7-6. 驱动器启用和禁用时间电路和定义

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

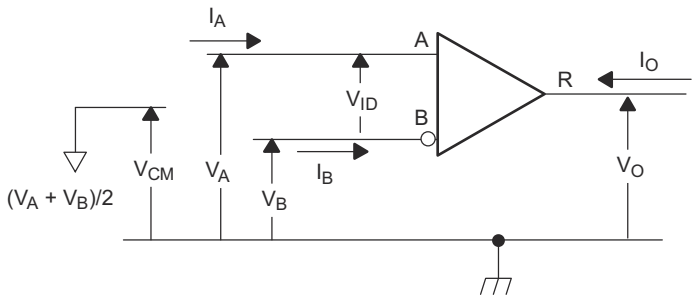
图 7-7. 最大稳定状态输出电压



Copyright © 2016, Texas Instruments Incorporated

A. 所有输入脉冲均由 Agilent 81250 激励系统提供。
B. 测量在运行 TDSJIT3 应用软件的 TEK TDS6604 上执行
C. 使用 100MHz 50 ±1% 占空比时钟输入测量周期抖动。
D. 峰值间抖动使用 100Mbps 2^{15} – 1 PRBS 输入进行测量。

图 7-8. 驱动器抖动测量波形



Copyright © 2016, Texas Instruments Incorporated

图 7-9. 接收器电压和电流定义

表 7-1. 2 类接收器输入阈值测试电压

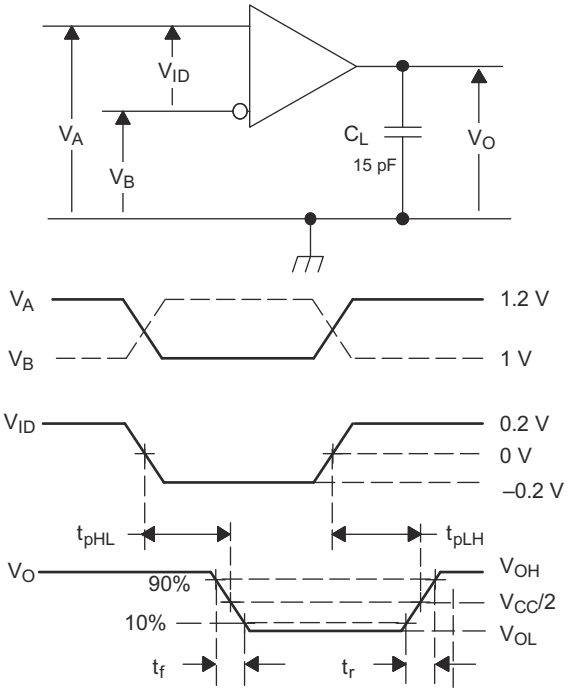
施加的电压		产生的差分输入电压	产生的共模输入电压	接收器输出(1)
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L

ADVANCE INFORMATION

表 7-1. 2 类接收器输入阈值测试电压（续）

施加的电压		产生的差分输入电压	产生的共模输入电压	接收器输出(1)
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
3.475	3.325	0.150	3.4	H
3.425	3.375	0.050	3.4	L
-0.925	-1.075	0.150	-1	H
-0.975	-1.025	0.050	-1	L

(1) H = 高电平，L = 低电平，输出状态假设接收器已启用 ($\overline{RE}$ = L)

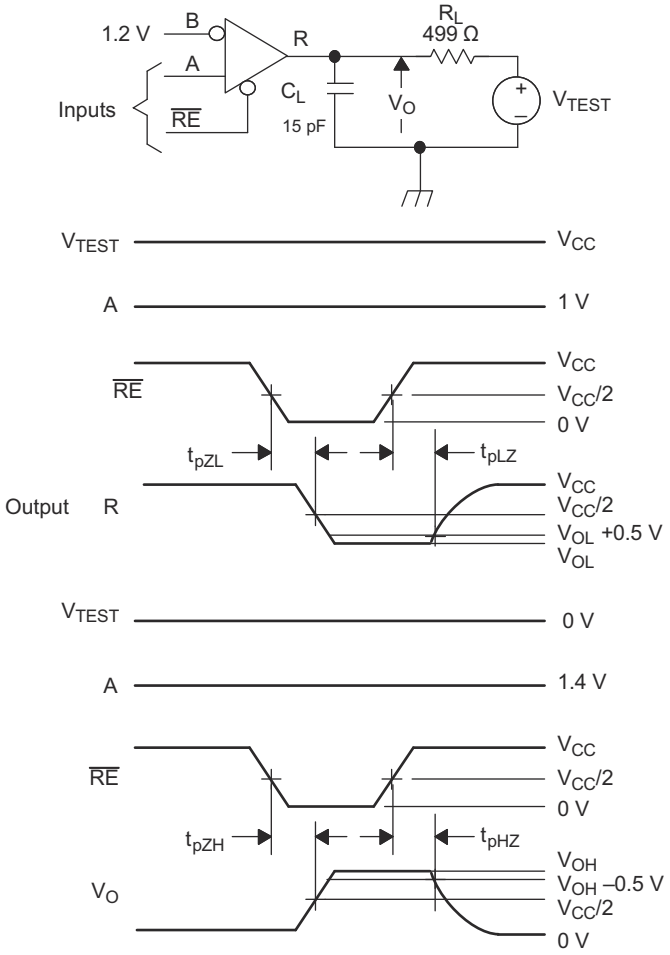


A. 所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f≤ 1ns，频率 = 1MHz，占空比 = 50 ± 5%。C_L 是容差为 20% 的低损耗陶瓷表面贴装电容器和 D.U.T. 2cm 范围内设备电容的组合。

B. 测量是在测试设备上使用 –3dB 带宽以至少 1GHz 的频率执行的。

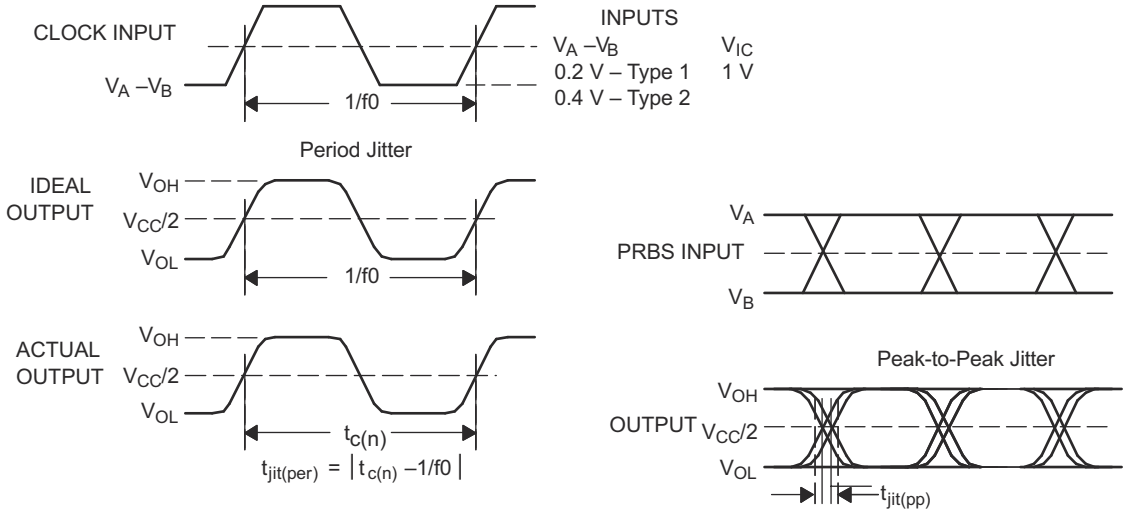
图 7-10. 接收器时序测试电路和波形

Copyright © 2026 Texas Instruments Incorporated



A. 所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f≤ 1ns，频率 = 1MHz，占空比 = 50 ± 5%。
B. R_L 容差为 1%，金属膜，表面贴装，位于距离 D.U.T. 的 2cm 范围内。
C. C_L 是距离 DUT 2cm 范围内的仪表和设备电容，容差为 ±20%。

图 7-11. 接收器启用和禁用时间测试电路和波形



A. 所有输入脉冲均由 Agilent 8304A 激励系统提供。
B. 测量在运行 TDSJIT3 应用软件的 TEK TDS6604 上执行

ADVANCE INFORMATION

C. 使用 50MHz 50 ±1% 占空比时钟输入测量周期抖动。
D. 峰值间抖动使用 100Mbps 2^{15} – 1 PRBS 输入进行测量。

图 7-12. 接收器抖动测量波形

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

8.1 概述

SN65MLVD204B 是一款多点低电压差动信号 (M-LVDS) 线路驱动器和接收器，经过优化，能够以最高 100Mbps 的信令速率运行。所有器件均符合多点低电压差分信号 (M-LVDS) 标准 TIA/EIA-899。这些电路与符合 TIA/EIA-644 标准的常规 LVDS 电路类似，但增加了针对多点应用的功能。驱动器输出可支持具有低至 30Ω 负载的多点总线，并具有可控的转换时间，以允许主干传输线路上存在支路。

SN65MLVD204B 配有 2 类接收器，可在 –1V 至 3.4V 的共模电压范围内，以低至 50mV 的差动输入电压检测总线状态。2 类接收器包含偏移阈值，可在开路、空闲总线及其他故障条件下确保确定的输出状态。

8.2 功能方框图

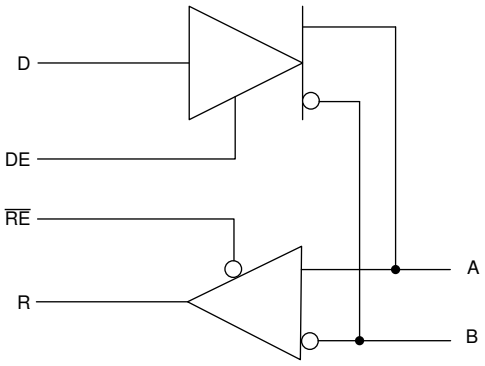


图 8-1. SN65MLVD204B 方框图

8.3 特性说明

8.3.1 上电复位

SN65MLVD204B 器件在 3V 至 3.6V 电源电压范围内工作并满足所有指定的性能要求。当电源电压下降至 1.5V 以下（或正在开启且尚未达到 1.5V）时，上电复位电路将驱动器输出设置为高阻抗状态。

8.3.2 ESD 保护

SN65MLVD204B 的总线端子具有片上 ESD 保护，可耐受 ±8kV 人体放电模型 (HBM) 和 ±8kV IEC61000-4-2 接触放电。IEC-ESD 测试远比 HBM-ESD 测试严格得多。IEC 模型的充电电容 CS 高出 50%，放电电阻 R_D 低出 78%，所产生的放电电流明显高于 HBM 模型。

根据 IEC 61000-4-2 标准，接触放电为首选测试方法；尽管 IEC 空气放电测试可重复性不如接触放电，但空气放电的防护等级通常可从接触放电的测试结果中推断得出。

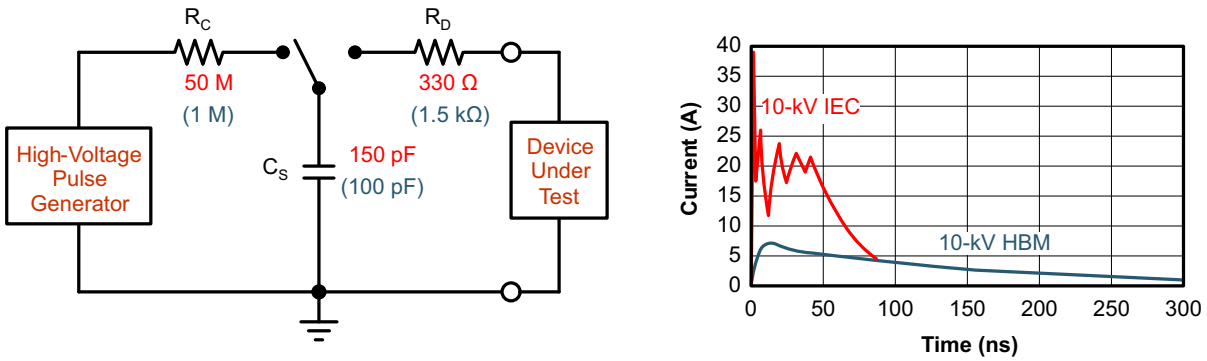


图 8-2. HBM 模型和 IEC-ESD 模型的电流比较（括号中为 HBM 值）

ADVANCE INFORMATION

8.4 器件功能模式

8.4.1 在 V_{CC} < 1.5V 的情况下运行

在此条件下，、总线引脚将处于高阻抗状态。

8.4.2 在 1.5V ≤ V_{CC} < 3V 条件下运行

电源电压在 1.5V ≤ V_{CC} < 3V 范围内的工作情况未经定义，在此范围内运行无法保证特定器件的性能。

8.4.3 在 3V ≤ V_{CC} < 3.6V 条件下运行

在电源电压大于或等于 3V 且小于或等于 3.6V 的情况下运行是正常运行。

8.4.4 器件功能表

表 8-1. 2 类接收器 (1)

输入		输出
$V_{ID} = V_A - V_B$	$\overline{RE}$	R
$V_{ID} \geq 150mV$	L	H
$50mV < V_{ID} < 150mV$	L	?
$V_{ID} \leq 50mV$	L	L
X	H	Z
X	开路	Z

(1) H = 高电平，L = 低电平，Z = 高阻抗，X = 不用考虑，? - 不确定

表 8-2. 驱动器 (1)

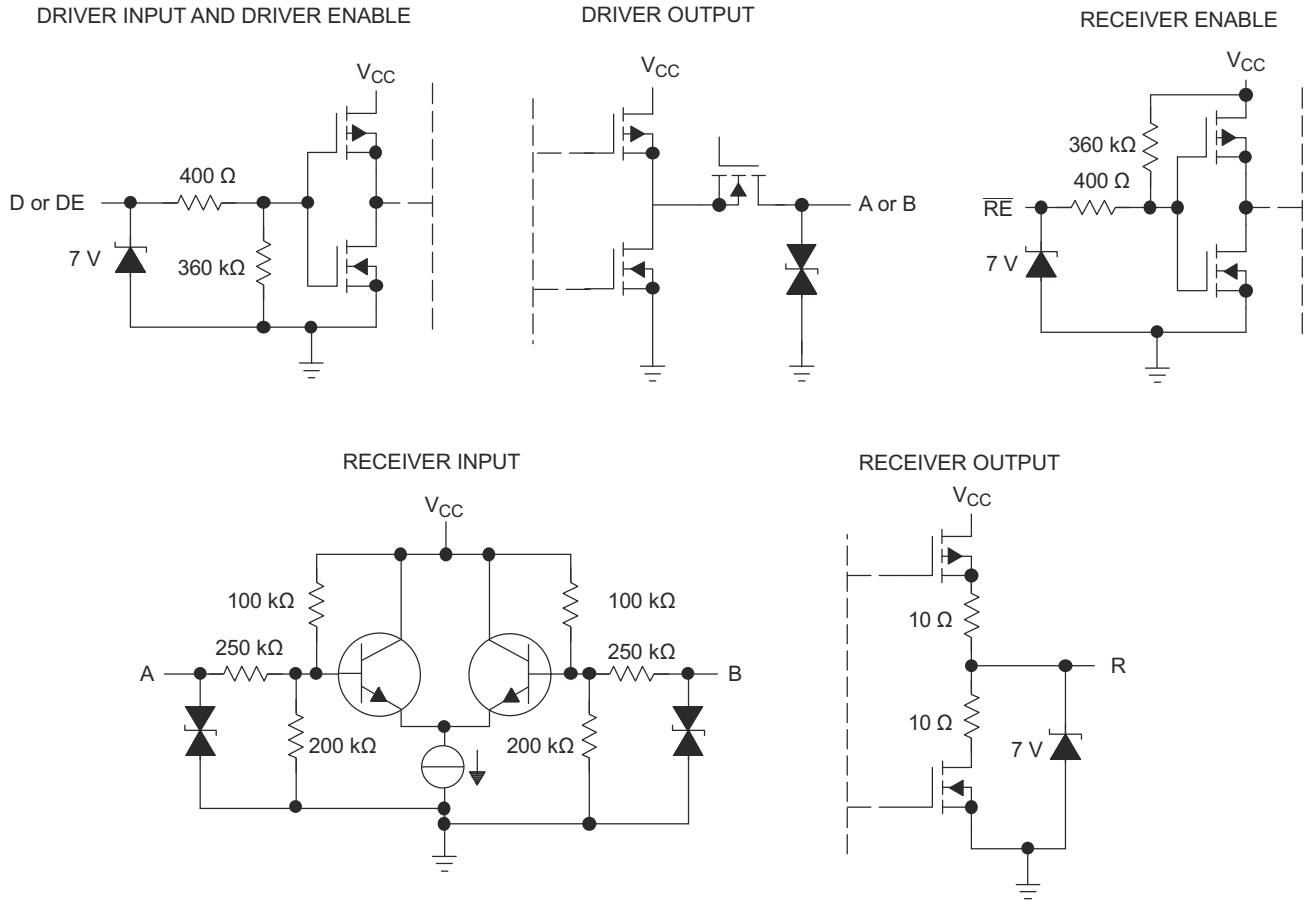
输入	ENABLE	输出	
D	DE	A	B
L	H	L	H
H	H	H	L
开路	H	L	H
X	开路	Z	Z
X	L	Z	Z

(1) H = 高电平，L = 低电平，Z = 高阻抗，X = 不用考虑，? - 不确定

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4.5 等效输入和输出原理图



Copyright © 2016, Texas Instruments Incorporated

ADVANCE INFORMATION

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

SN65MLVD204B 是一款多点线路驱动器和接收器。这些器件虽然功能简单但极其灵活，因此可用于从无线基站到台式电脑的各种设计中。

9.2 典型应用

9.2.1 多点通信

在多点配置中，许多发送器和许多接收器可以在一条传输线路上互连。与多点相比，主要区别在于存在两个或更多个驱动器。这种情况会产生争用问题，点对点或多点系统无法解决这些问题。多点运行允许通过一个平衡介质对进行双向半双工通信。为了在整个传输线路上支持各种驱动器的位置，现在需要传输线路的双端接。

系统设计人员面临的主要挑战是，器件负载和器件连接（残桩）在公共总线上引入的阻抗不连续性。匹配负载总线的阻抗并使用具有受控信号边沿的信号驱动器，是在多点拓扑中实现无差错信号传输的关键。

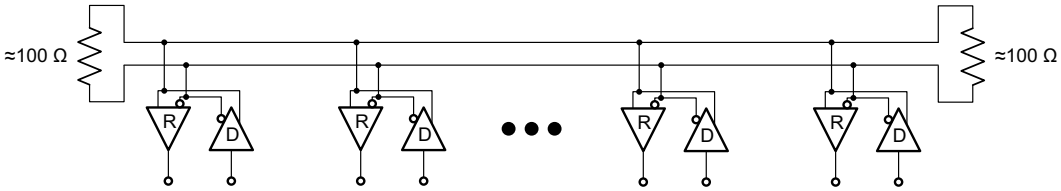


图 9-1. 多点配置

9.2.2 设计要求

对于该设计示例，请使用表 9-1 中列出的参数。

表 9-1. 设计参数

参数	值
驱动器电源电压	3 至 3.6V
驱动器输入电压	0.8V 至 3.3V
驱动器信号传输速率	直流到 100Mbps
互连特征阻抗	100 Ω
端接电阻（差动）	100 Ω
接收器节点数	2 至 32
接收器电源电压	3 至 3.6V
接收器输入电压	0 至 (V_{CC} – 0.8) V
接收器信号传输速率	直流到 100Mbps
驱动器和接收器之间的接地漂移	±1V

9.2.3 详细设计过程

9.2.3.1 电源电压

SN65MLVD204B 通过单电源供电。这些器件可支持由低至 3V 和高至 3.6V 的电源供电运行。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2.3.2 电源旁路电容

旁路电容器在配电电路中发挥着关键作用。在低频情况下，电源在其端子之间提供阻抗非常低的路径。但是，当更高频率的电流通过电源布线传播时，源极通常无法保持低阻抗的接地路径。旁路电容器便用于解决这一问题。通常，板级大旁路电容器（10 µ F 至 1000 µ F）可以很好地达到 kHz 范围。由于大电容器的引线大小和长度，它们在开关频率下往往具有较大的电感值。要解决这个问题，必须将较小的电容器（nF 至 µ F 范围内）安装在本地集成电路旁边。

多层陶瓷芯片或表面贴装电容器（尺寸 0603 或 0805）可更大限度减少高速环境中旁路电容器的引线电感，因为它们的引线电感约为 1nH。为便于比较，带引线的典型电容器的引线电感约为 5nH。

根据 Howard Johnson 和 Martin Graham (1993) 所著的 *High Speed Digital Design – A Handbook of Black Magic*，在本地与 M-LVDS 芯片搭配使用的旁路电容值可由方程式 1 和方程式 2 确定。4ns 的保守上升时间和 100mA 在最坏情况下的电源电流变化涵盖了德州仪器 (TI) 提供的 M-LVDS 器件的整个范围。在此示例中，可容忍的最大电源噪声为 100mV；但是，该数字因设计中可用的噪声预算而异。

$$C_{chip} = \left(\frac{\Delta I_{Maximum\ Step\ Change\ Supply\ Current}}{\Delta V_{Maximum\ Power\ Supply\ Noise}} \right) \times T_{Rise\ Time} \quad (1)$$

$$C_{MLVDS} = \left(\frac{100\ mA}{100\ mV} \right) \times 4\,ns = 0.004\ \mu F \quad (2)$$

图 9-2 展示了一种可降低引线电感并涵盖板级电容器 (>10µF) 与上述电容值 (0.004µF) 之间的中间频率的配置。将最小电容值放置在尽可能靠近芯片的位置。



图 9-2. 建议的 M-LVDS 旁路电容器布局

9.2.3.3 驱动器输入电压

输入级接受 LVTTL 信号。驱动器将在大约 1.4V 的决策阈值下运行。

9.2.3.4 驱动器输出电压

在标称条件下，该驱动器输出 1V 的稳态共模电压和 540V 的差分信号。

9.2.3.5 端接电阻器

如前所示，M-LVDS 通信通道采用电流源驱动与两个电阻负载端接的传输线路。这些负载用于将传输的电流转换为接收器输入端的电压。为确保良好的信号完整性，端接电阻器应与传输线的特性阻抗匹配。设计人员应确保端接电阻处于标称介质特性阻抗的 10% 范围内。如果传输线路的目标为 100Ω 阻抗，则端接电阻器应介于 90Ω 到 110Ω 之间。线路端接电阻器通常放置在传输线的末端。

9.2.3.6 接收器输入信号

此处的 M-LVDS 接收器符合 M-LVDS 标准并正确确定总线状态。这些器件具有 1 类和 2 类接收器，可在 –1V 至 3.4V 的共模范围内以低至 50mV 的差分电压检测总线状态。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

9.2.3.7 接收器输入阈值（失效防护）

MLVDS 标准定义了 1 类和 2 类接收器。1 类接收器具有接近零电压的差动输入电压阈值。2 类接收器具有相对于 0V 的差动输入电压阈值偏移，以检测是否存在电压差。在表 9-2 和图 9-3 中可以看到偏移输入对接收器输出的影响。

表 9-2. 接收器输入电压阈值要求

接收器类型	输出低电平	输出高电平
1 类	$-2.4V \leqslant V_{ID} \leqslant -0.05V$	$0.05V \leqslant V_{ID} \leqslant 2.4V$
2 类	$-2.4V \leqslant V_{ID} \leqslant 0.05V$	$0.15V \leqslant V_{ID} \leqslant 2.4V$

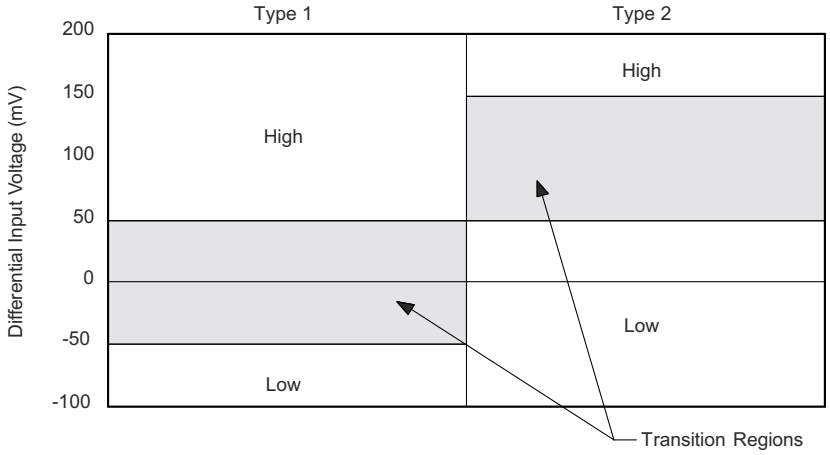


图 9-3. 展示转换区域的接收器差分输入电压的扩展曲线图

9.2.3.8 接收器输出信号

当电源电压在 3V 至 3.6V 范围内时，接收器输出符合 LVTTL 输出电压标准。

9.2.3.9 介质互连

驱动器和接收器之间的物理通信通道可以是满足 M-LVDS 标准要求的所有平衡、配对金属导体，以下将介绍其中的关键要点。此介质可以是双绞线、双轴、扁平带状电缆或 PCB 布线。

互连的标称特征阻抗应介于 100Ω 和 120Ω 之间，变化不超过 10%（90Ω 至 132Ω）。

9.2.3.10 PCB 传输线路

根据 SNLA187，图 9-4 显示了印刷电路板 (PCB) 中常用的几种传输线路结构。每个结构由一条信号线和一个返回路径组成，沿长度方向具有均匀的横截面。微带是顶层（或底层）的信号布线，通过电介质层与其接地平面或电源平面中的返回路径隔开。带状线是指信号布线的内层，信号布线上方和下方的接地平面间有一个电介质层。结构的尺寸和电介质材料的特性决定了传输线路（也称为受控阻抗传输线路）的特征阻抗。

当两条信号线路紧靠在一起时，它们就会形成一对耦合传输线路。图 9-4 展示了边沿耦合微带和边沿耦合或宽侧耦合带状线的示例。当由差分信号激励时，耦合的传输线路称为差分对。每条线路的特征阻抗称为奇数模式阻抗。每条线的奇数模式阻抗之和等于差分对的差分阻抗。除了布线尺寸和介电材料属性之外，两条布线之间的间距还决定了互耦合并影响差分阻抗。当两条走线极度靠近时（例如间距 S 小于带宽 W 的 2 倍），该差动对被称为“紧耦合差动对”。若要在整个长度范围内保持恒定的差分阻抗，务必要使布线宽度和沿长度方向的间距保持一致，并在两条线之间保持良好的对称性。

Copyright © 2026 Texas Instruments Incorporated

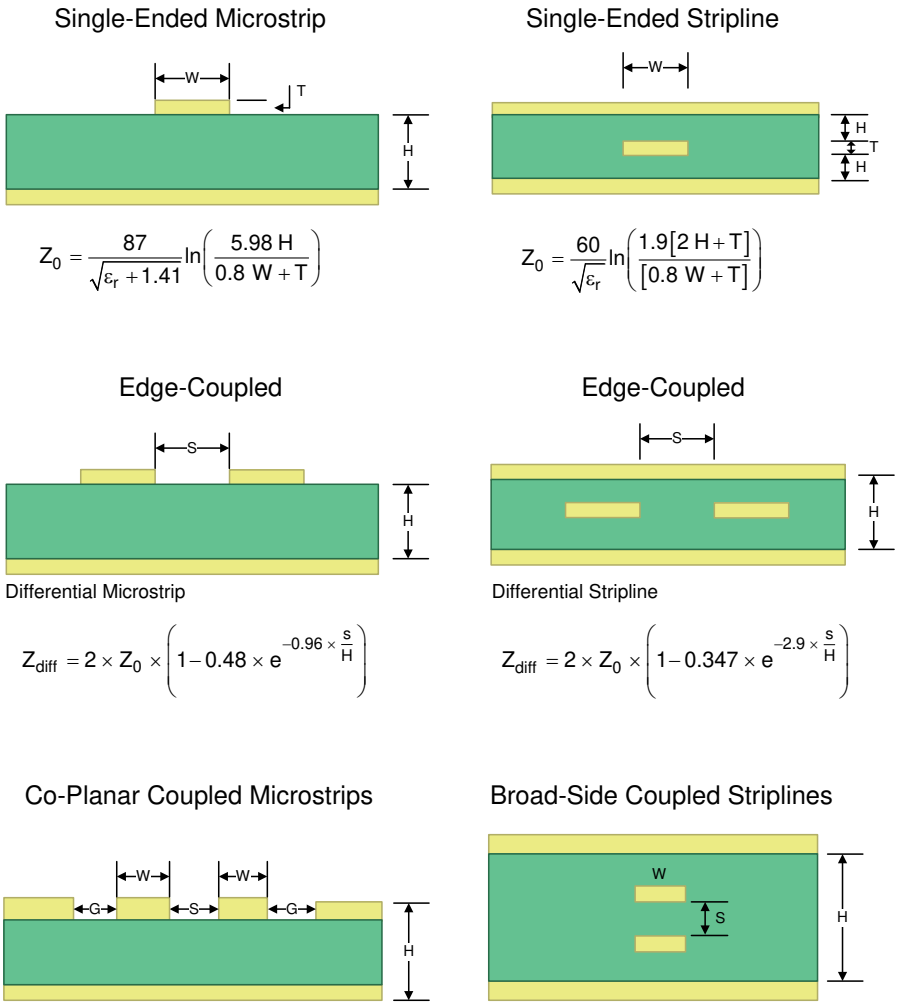
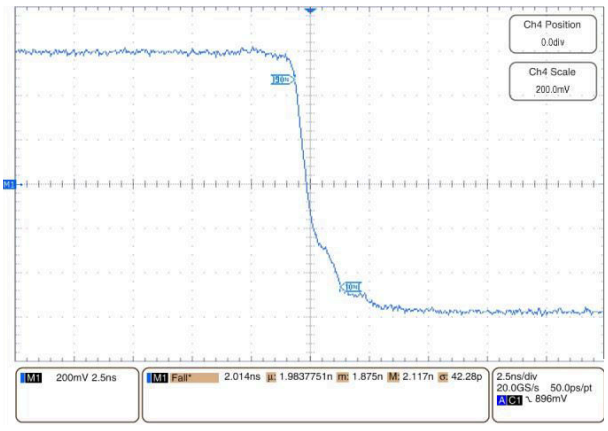


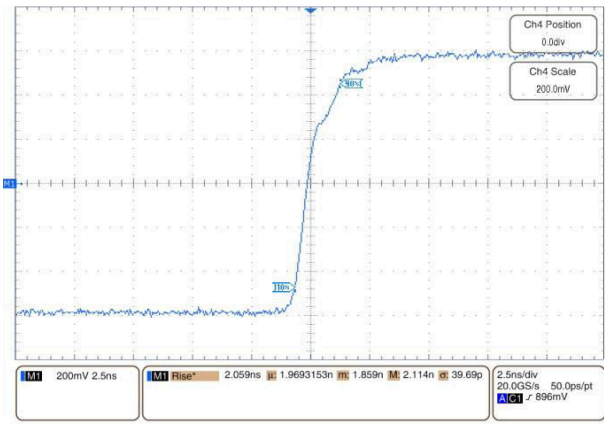
图 9-4. 受控阻抗传输线路

9.2.4 应用曲线



V_{CC} = 3.3V T_A = 25°C

图 9-5. 驱动器下降时间



V_{CC} = 3.3V T_A = 25°C

图 9-6. 驱动器出上升时间

ADVANCE INFORMATION

10 电源相关建议

本数据表中的 M-LVDS 驱动器和接收器设计为采用单电源供电运行。驱动器和接收器均可在 3V 至 3.6V 的电源电压范围内工作。在典型应用中，驱动器和接收器可能位于单独的电路板上，甚至是单独的设备上。在这些情况下，每个位置都将使用单独的电源。驱动器电源和接收器电源之间的预期接地电位差将小于 ±1V。应使用板级和本地器件级旁路电容，并且它们是覆盖的电源旁路电容。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11 布局

11.1 布局指南

11.1.1 微带与带状线拓扑

根据 SLLD009，印刷电路板通常为设计人员提供两种传输线路选项：微带和带状线。微带是 PCB 外层的布线，如图 11-1 所示。

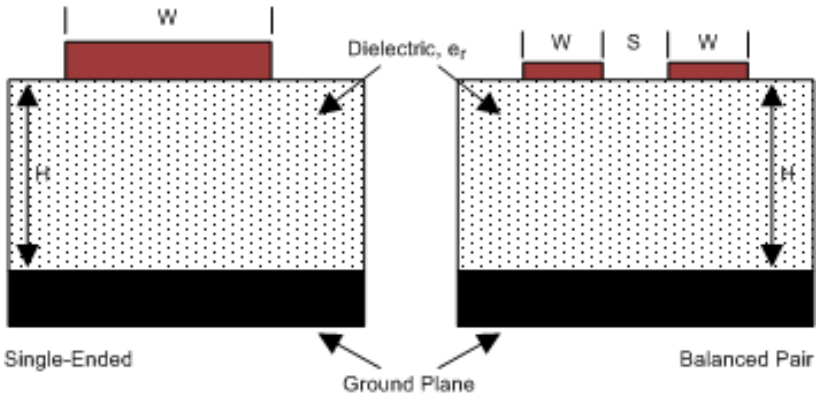


图 11-1. 微带拓扑

而带状线是两个接地平面之间的布线。带状线不易产生辐射和易感性问题，因为基准平面有效地屏蔽了嵌入的布线。但是，从高速传输的角度来看，将两个平面并置会产生额外的电容。TI 建议尽可能在微带传输线路上路由 M-LVDS 信号。利用 PCB 布线，设计人员可以根据整体噪声预算和反射容差指定 Z_O 的必要容差。脚注 1[1]、2[2] 和 3[3] 提供了差分和单端布线的 Z_O 和 t_{PD} 公式。[2] [3] [4]

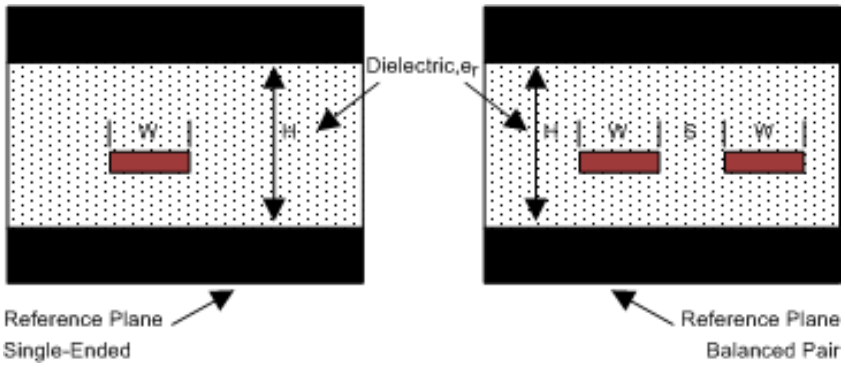


图 11-2. 带状线拓扑

11.1.2 电介质类型和电路板结构

信号在电路板上传输的速度决定了电介质的选择。FR-4 或等效器件通常可为 M-LVDS 信号提供足够的性能。如果 TTL/CMOS 信号的上升或下降时间小于 500ps，经验结果表明，介电常数接近 3.4 的材料（例如 Rogers™ 4350 或 Nelco N4000-13）更为适合。设计人员选择电介质后，有几个与电路板结构相关的参数可能会影响性能。通过几种涉及 M-LVDS 器件的设计在实验中开发了以下几组准则：

- 覆铜重量：起始重量为 15g 或 1/2 盎司，电镀后达到 30g 或 1 盎司
- 所有外露的电路都应进行镀焊 (60/40)，厚度为 7.62 μm 或 0.0003 英寸（最小值）。

[2] Howard Johnson 和 Martin Graham，1993 年。High Speed Digital Design – A Handbook of Black Magic.Prentice Hall PRT.ISBN number 013395724.
[3] Mark I. Montrose.1996.Printed Circuit Board Design Techniques for EMC Compliance.IEEE Press.ISBN number 0780311310.
[4] Clyde F. Coombs, Jr. Ed, Printed Circuits Handbook, McGraw Hill, ISBN number 0070127549.

ADVANCE INFORMATION

- 在电镀通孔中，镀铜厚度应为 25.4 µm 或 0.001 英寸（最小值）。
- 在裸铜上涂覆阻焊层并进行焊料热气平整

11.1.3 建议的堆叠布局

选择电介质和设计规格后，您必须确定堆叠中使用的级别数量。为了减少 TTL/CMOS 到 M-LVDS 串扰，最好至少有两个独立的信号平面，如图 11-3 中所示。

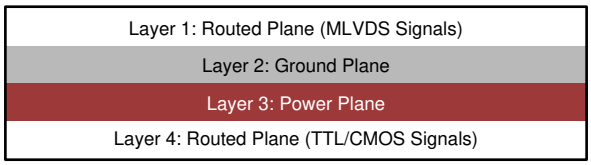


图 11-3. 四层 PCB 板

备注

第 2 层和第 3 层之间的间隔应为 127 µm（0.005 英寸）。通过使电源平面和接地平面保持紧密耦合，增加的电容可用作瞬态的旁路。

最常见的堆叠配置之一是六层板，如图 11-4 所示。

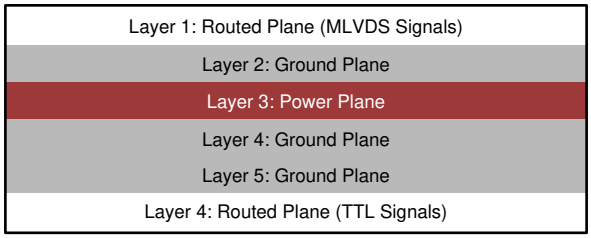


图 11-4. 六层 PCB 板

在这种特定配置中，可以通过至少一个接地平面将每个信号层与电源平面隔离。这样可以提高信号完整性，但是制造成本更高。最好使用 6 层电路板，因为除了确保信号层 1 和 6 基准接地平面之外，它还为布局设计人员提供了更大的灵活性来改变信号层和基准平面之间的距离。

11.1.4 引线间距

引线间距取决于多个因素；然而，可承受的耦合量通常决定了实际的间距。低噪声耦合需要 M-LVDS 链路的差分对之间紧密耦合，以从电磁场消除中获益。布线应当以更符合此要求的方式进行 100Ω 差分和耦合。此外，差分对应具有相同的电气长度，以确保平衡，从而更大程度地减少偏差和信号反射的问题。

如果两条单端布线相邻，应使用 3W 规则。该规则规定，两条布线之间的距离必须大于一条布线宽度的两倍，或者从布线中心到布线中心测量的宽度的三倍。这种增加的间距可以有效地降低串扰的可能性。无论是边沿耦合还是宽侧耦合，相邻 M-LVDS 差分对之间的间隔都应采用相同的规则。

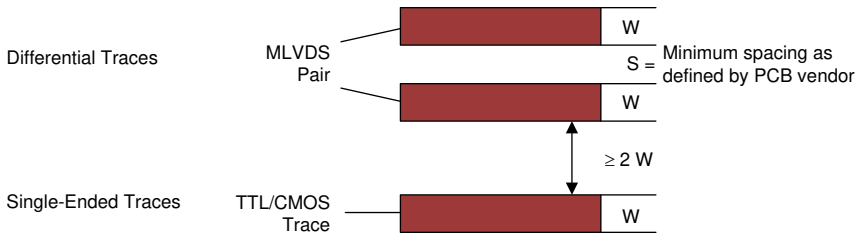


图 11-5. 单端和差分布线的 3W 规则（顶视图）

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

使用自动路由器时应小心谨慎，因为它们并不总是考虑影响串扰和信号反射的所有因素。例如，最好避免 90° 转弯，以避免信号路径中的不连续性。使用连续 45° 转弯可尽量减少反射。

11.1.5 串扰和接地反弹最小化

为了减少串扰，必须提供一条尽可能靠近其来源布线的高频电流返回路径。通常，接地平面可以实现这一点。返回电流总是选择电感最低的路径，因此它们很可能直接在原始布线下方返回，从而更大限度地减少串扰。减小电流环路的面积可以降低发生串扰的可能性。当布线尽可能短，并且其下方有不间断的接地平面时，可以更大限度地降低电磁场的辐射强度。接地平面中的不连续会增加返回路径的电感，因此应避免这种情况。

11.1.6 去耦

高速器件的每个电源或接地引线都应通过低电感路径连接到 PCB。为了获得更好的结果，应使用一个或多个过孔将电源或接地引脚连接到附近的平面。理想情况下，过孔放置在与该引脚紧邻的位置，以避免增加布线电感。电源平面放置在更靠近电路板顶部的位置可以减小有效过孔长度及其相关电感。

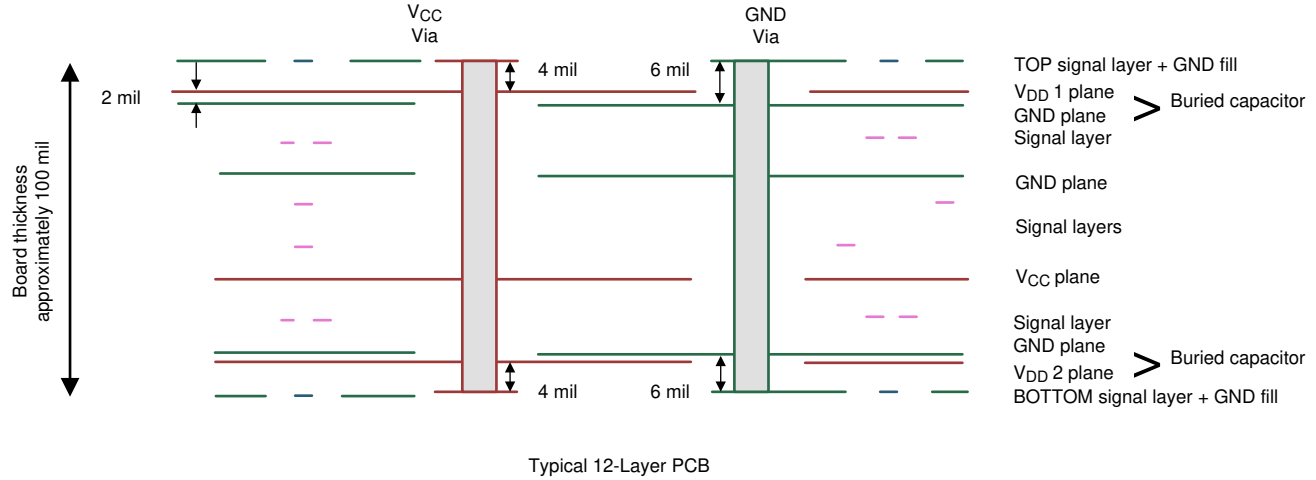


图 11-6. 低电感、高电容电源连接

旁路电容器应靠近 V_{DD} 引脚放置，可方便地放置在角落附近或封装下方，从而更大限度地减小环路面积。这会扩展所增加电容的有用频率范围。应使用小尺寸电容器（例如 0402、0201）或 X7R 表面贴装电容器来尽可能减小电容器的体电感。每个旁路电容器均通过与电容器焊盘相切的过孔连接到电源平面和接地平面，如#none#(a) 所示。

尺寸为 0402 的 X7R 表面贴装电容器具有大约 0.5nH 的体电感。在高于 30MHz 左右的频率下，X7R 电容器充当低阻抗电感器。为了将工作频率范围扩展到几百 MHz，通常并联使用一系列不同容值的电容器，例如 100pF、1nF、0.03μF 和 0.1μF。最有效的旁路电容器可使用夹在电源和接地之间的 2mil 至 3mil 隔层来构建。使用 2mil FR4 电介质时，PCB 的每平方英寸电感约为 500pF。许多高速器件在封装的背面提供低电感 GND 连接。此中心焊盘必须通过一组通孔连接到接地平面。过孔阵列可降低接地的有效电感，并提高小型表面贴装技术 (SMT) 封装的热性能。在焊盘连接的外围布置过孔，可确保适当散热和尽可能低的芯片温度。使用两个 GND 平面（如图 9-4 所示）将高性能器件放置在 PCB 的对侧，可以创建多条热传递路径。通常，PCB 热问题是一个器件向另一个器件传递热量而导致的，从而导致局部温度非常高。存在多条热传递路径可以更大限度地降低这种可能性。在许多情况下，由于焊盘与焊盘之间的间距不足，GND 焊盘的存在会导致无法实现最佳的去耦布局，如#none#(b) 所示。发生这种情况时，将去耦电容器放置在电路板的背面可以尽可能地减少额外的电感。重要的是，将 V_{DD} 过孔尽可能靠近器件引脚放置，同时仍能提供足够的阻焊层覆盖区域。如果过孔保持开放状态，焊料可能从焊盘流入过孔套管。这将导致焊接连接不良。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated



11.2 布局示例

为了尽量减少串扰，单端布线和差分对之间的间距至少应为单个布线宽度的两倍或三倍。通常，如果并行的单端布线长度小于上升或下降时间的波长，则串扰可以忽略不计。对于长距离并行运行，增加信号路径之间的间距可以减少串扰。空间有限的电路板可从交错布线布局中受益，如图 11-7 所示。

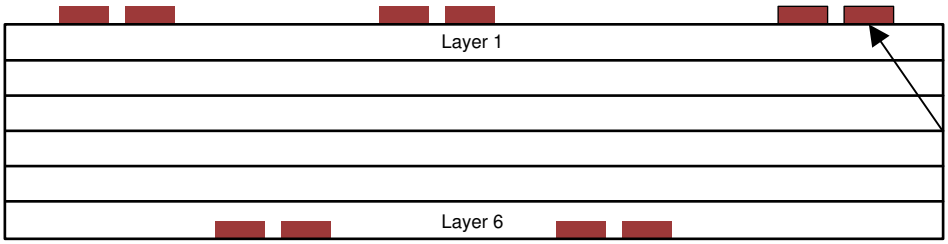


图 11-7. 交错布线布局

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

这种配置在不同的层上布置交替信号布线；因此，布线之间的水平间距可能小于单个布线宽度的 2 或 3 倍。为确保接地信号路径的连续性，TI 建议为每个信号过孔设置一个相邻的接地过孔，如图 11-8 所示。请注意，过孔会产生额外的电容。例如，典型过孔在 FR4 中具有 1/2pF 至 1pF 的集总电容效应。

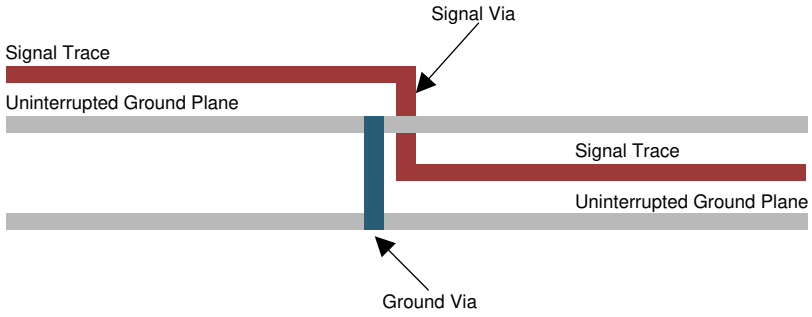


图 11-8. 接地过孔位置（侧视图）

器件接地引脚与 PCB 接地平面之间的短距离低阻抗连接可减少接地反弹。接地平面中的孔和切口如果产生不连续性，从而导致返回电流环路面积增加，则会对电流返回路径产生不利影响。

为更大限度地减少 EMI 问题，TI 建议避免布线下方的不连续性（例如孔、缝隙等），并尽可能缩短布线。通过将所有类似的功能放置在同一个区域，而不是将它们混合在一起，来明智地对电路板进行分区，有助于减少易感性问题。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

12 器件和文档支持

12.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

12.3 商标

Rogers™ is a trademark of Rogers Corporation.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

13.1 封装选项附录

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

13.1.1 封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层	MSL 峰值温度 (3)	工作温度 (°C)	器件标识(4) (5)
SN65MLVD204B	ACTIVE	SOIC	D	8	75	绿色环保（RoHS，无锑/溴）	CU NIPDAU	Level-1-260C-UNLIM	-40 至 85	MF204B
SN65MLVD204BR	ACTIVE	SOIC	D	8	2500	绿色环保（RoHS，无锑/溴）	CU NIPDAU	Level-1-260C-UNLIM	-40 至 85	MF204B
SN65MLVD204BRUM	预发布	WQFN	RUM	16	250	绿色环保（RoHS，无锑/溴）	CU NIPDAU	Level-1-260C-UNLIM	-40 至 125	MF204B
SN65MLVD204BRUMR	预发布	WQFN	RUM	16	3000	绿色环保（RoHS，无锑/溴）	CU NIPDAU	Level-1-260C-UNLIM	-40 至 125	MF204B

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色环保（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 http://www.ti.com/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 将“绿色环保”定义为无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 基阻燃剂（Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%）

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记

(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

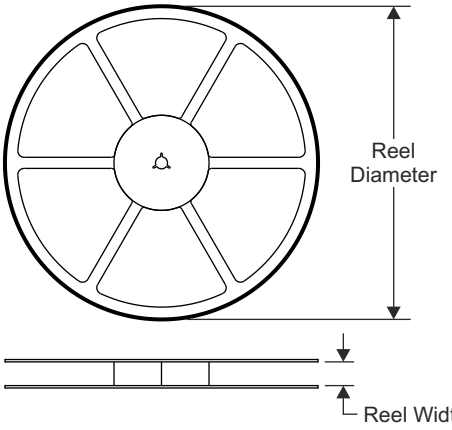
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

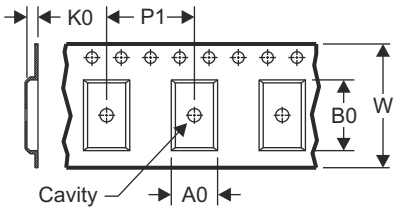
ADVANCE INFORMATION

13.1.2 卷带包装信息

REEL DIMENSIONS

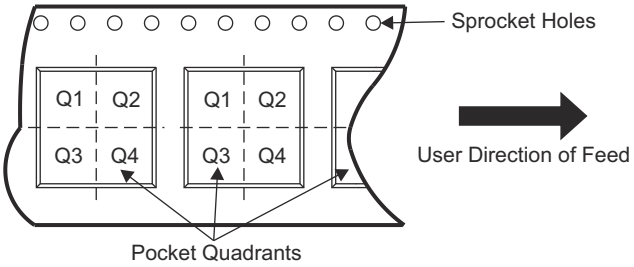


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

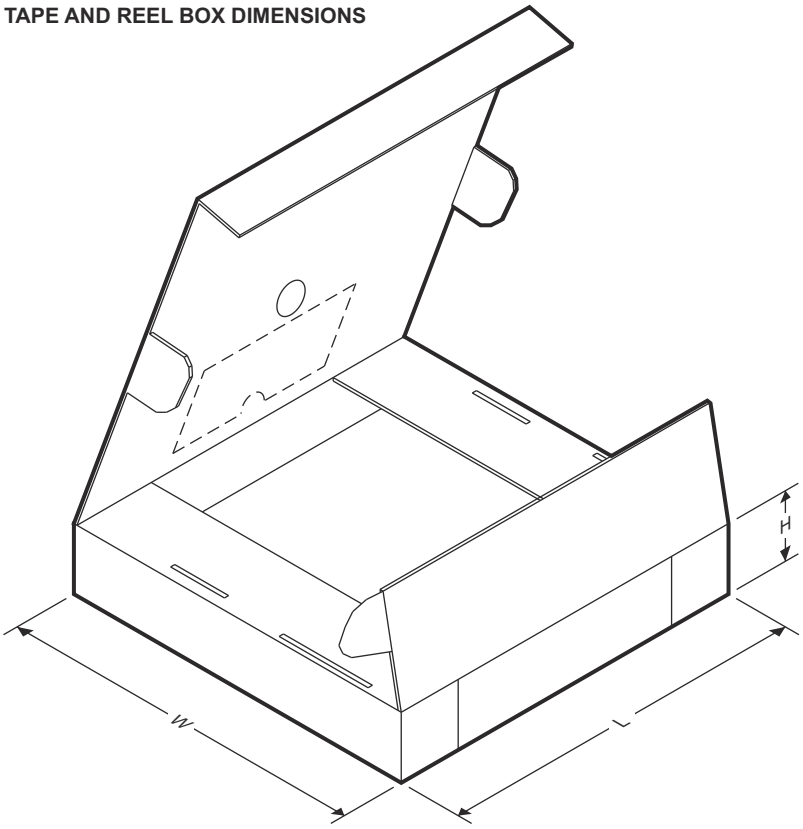


器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
SN65MLVD204BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD204BRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
SN65MLVD204BDR	SOIC	D	8	2500	340.5	338.1	20.6
SN65MLVD204BRUMR	WQFN	RUM	16	3000	367.0	367.0	35.0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

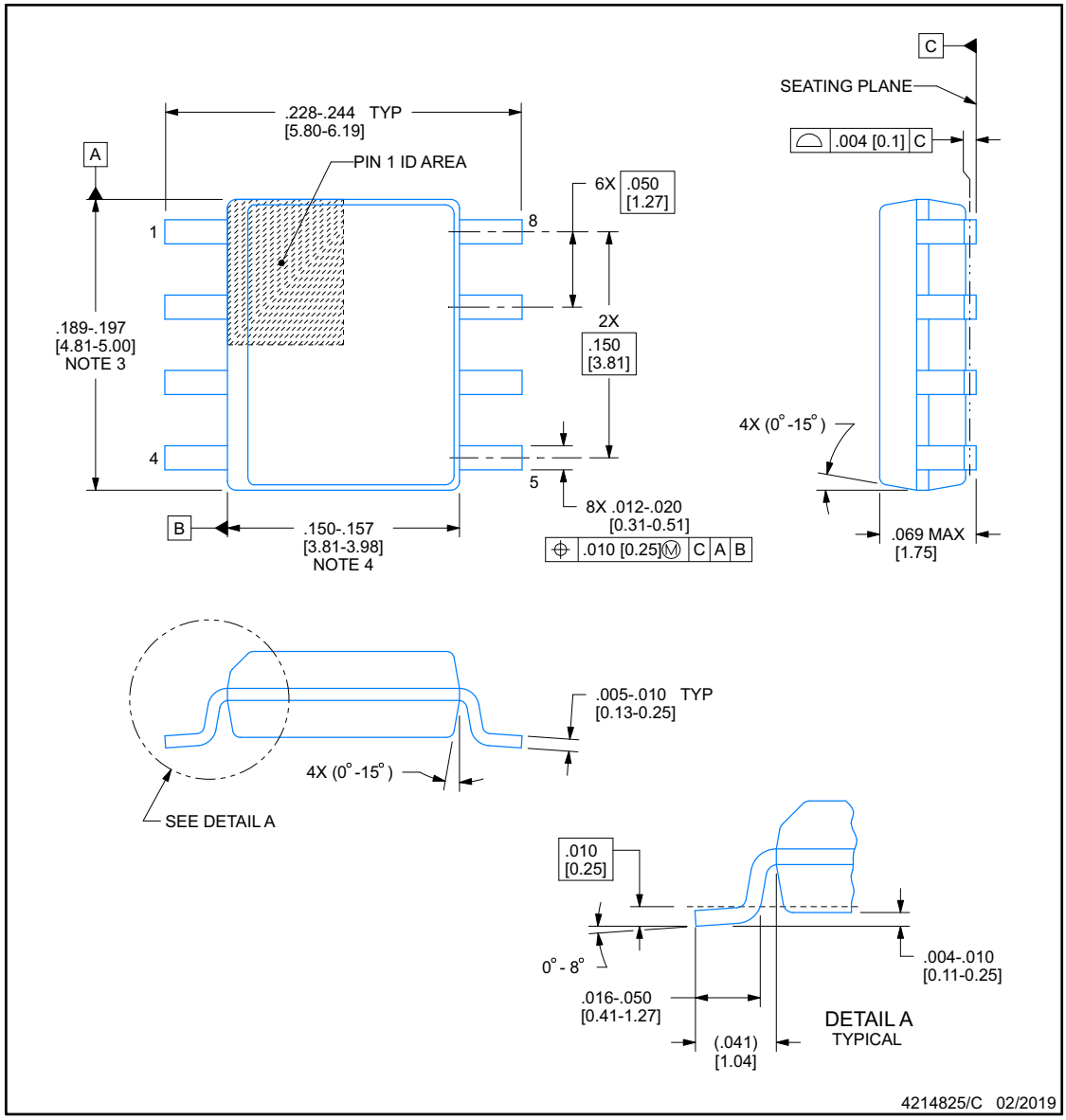


PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

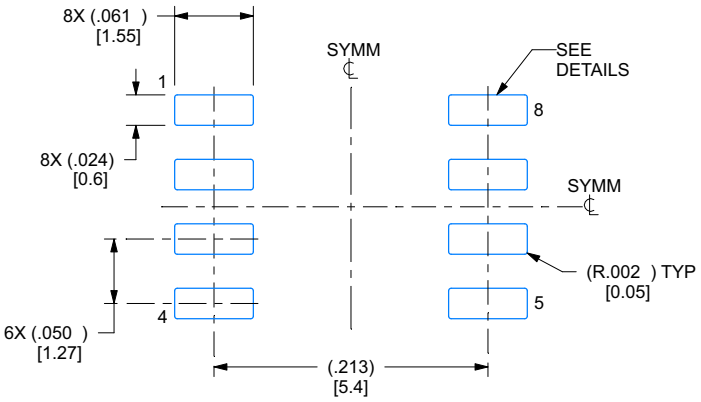
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

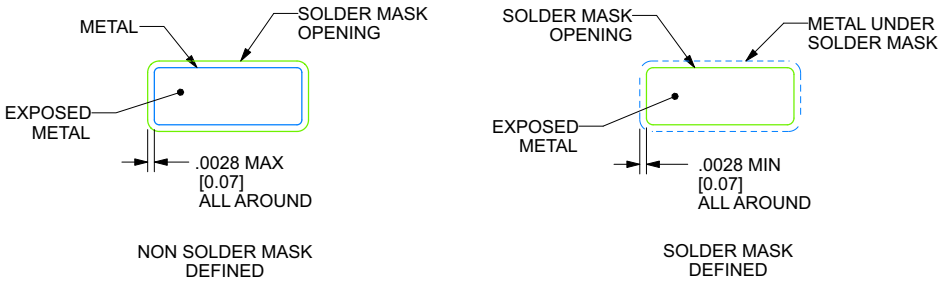
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

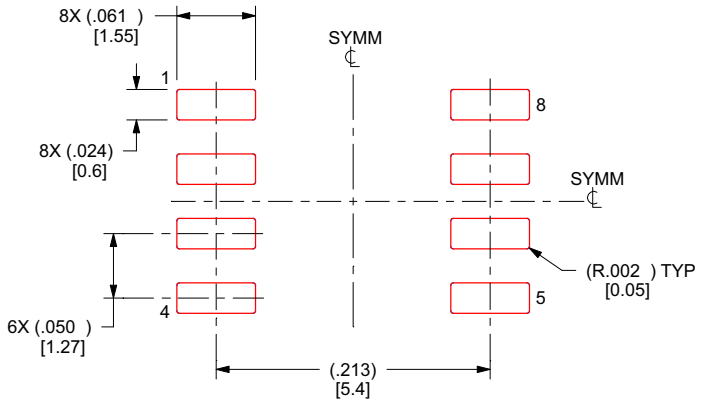
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

D0008A — **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

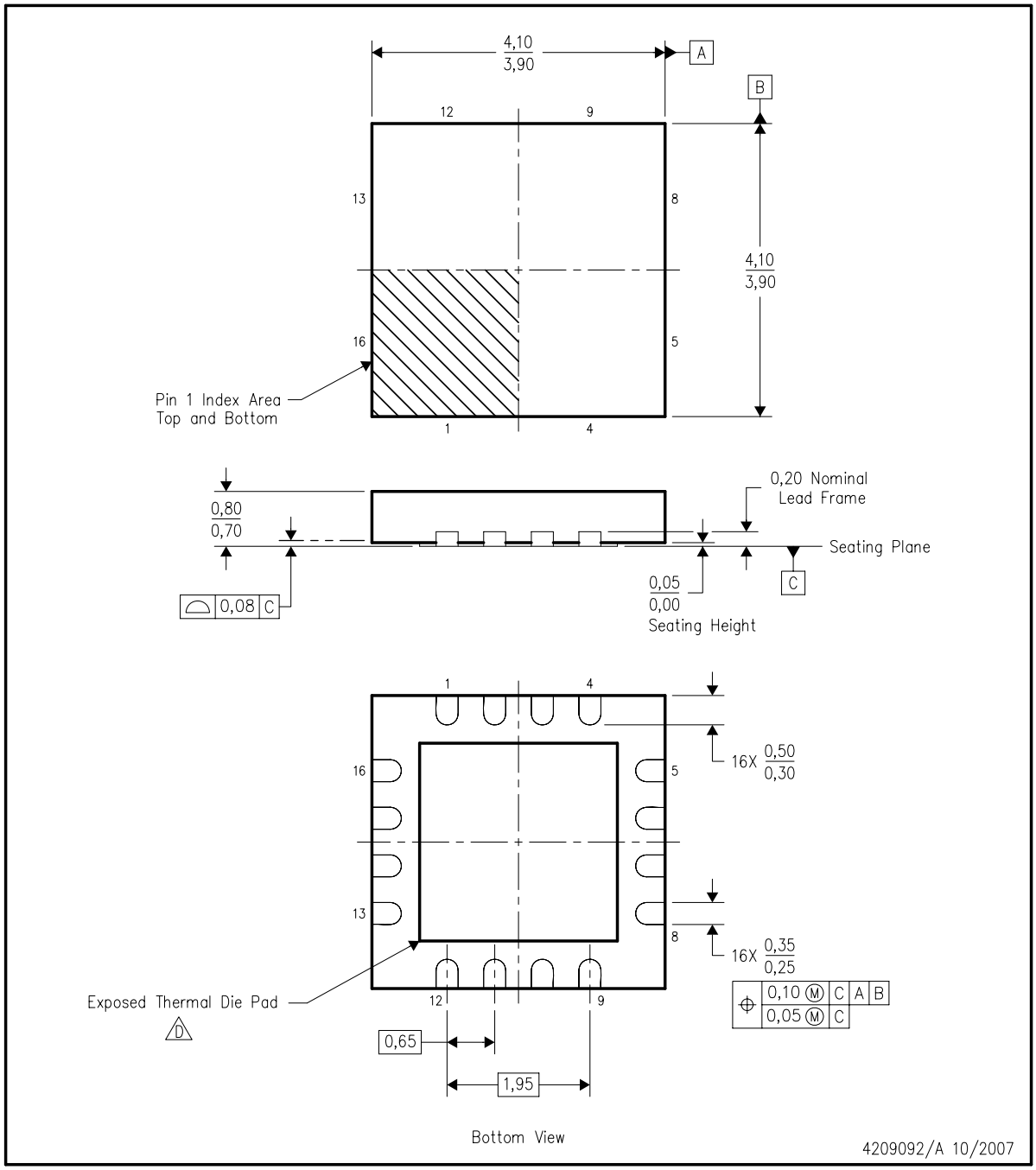
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

MECHANICAL DATA

RUM (S–PQFP–N16) PLASTIC QUAD FLATPACK



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
E. Package complies to JEDEC MO–220 variation WGGC–3.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

THERMAL PAD MECHANICAL DATA

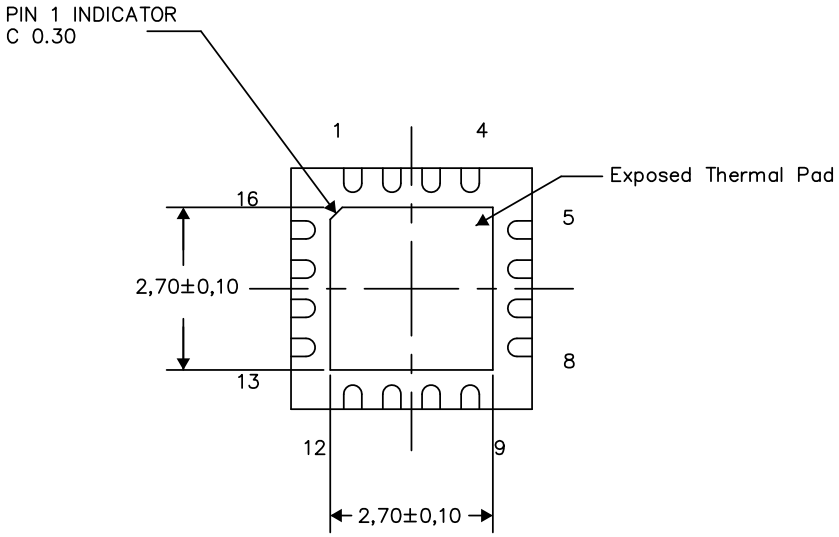
RUM (S–PWQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093–2/F 09/15

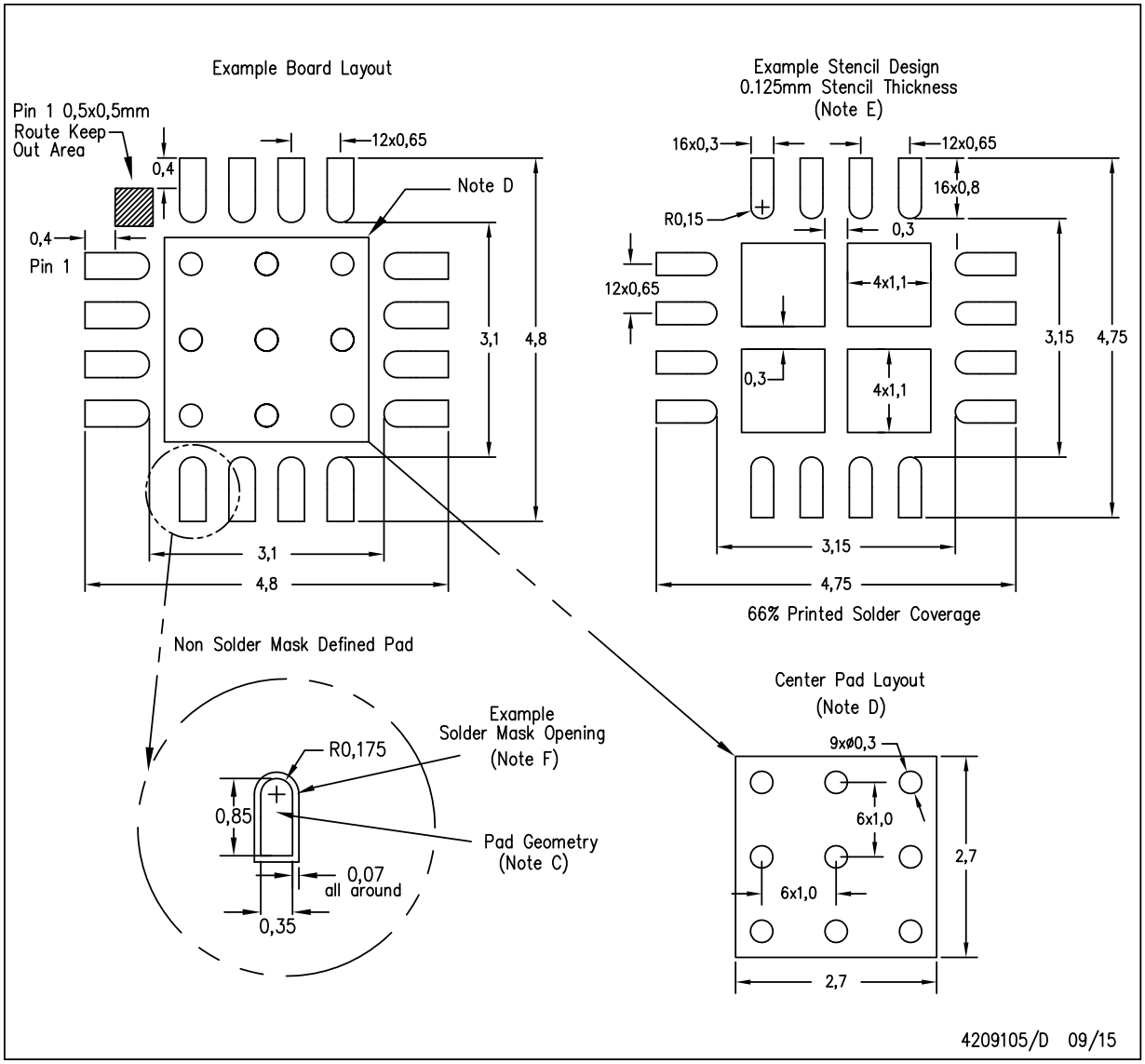
NOTES: All linear dimensions are in millimeters

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

LAND PATTERN DATA

RUM (S–PWQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for solder mask tolerances.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65MLVD204BD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BD.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204B
SN65MLVD204BRUMR	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMR.B	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMT	Active	Production	WQFN (RUM) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B
SN65MLVD204BRUMT.B	Active	Production	WQFN (RUM) | 16	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	MLVD 204B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

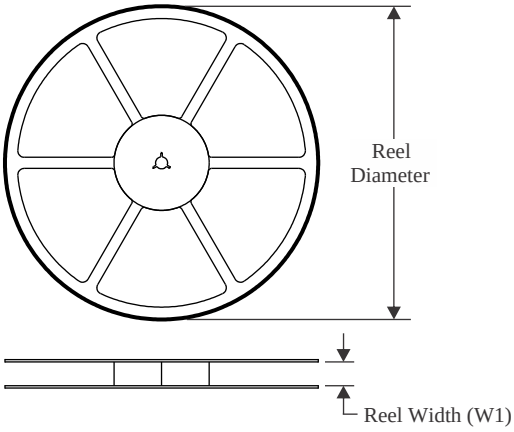
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

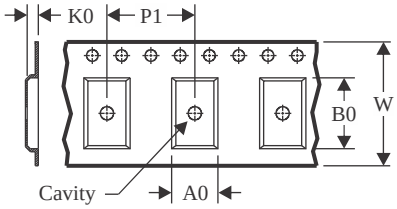
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

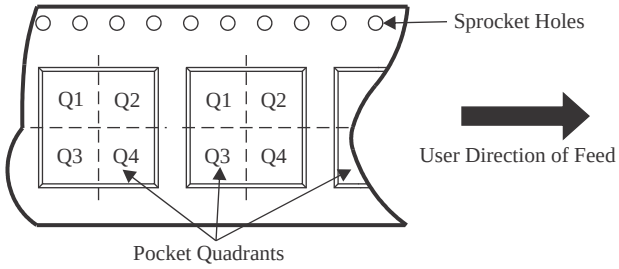


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

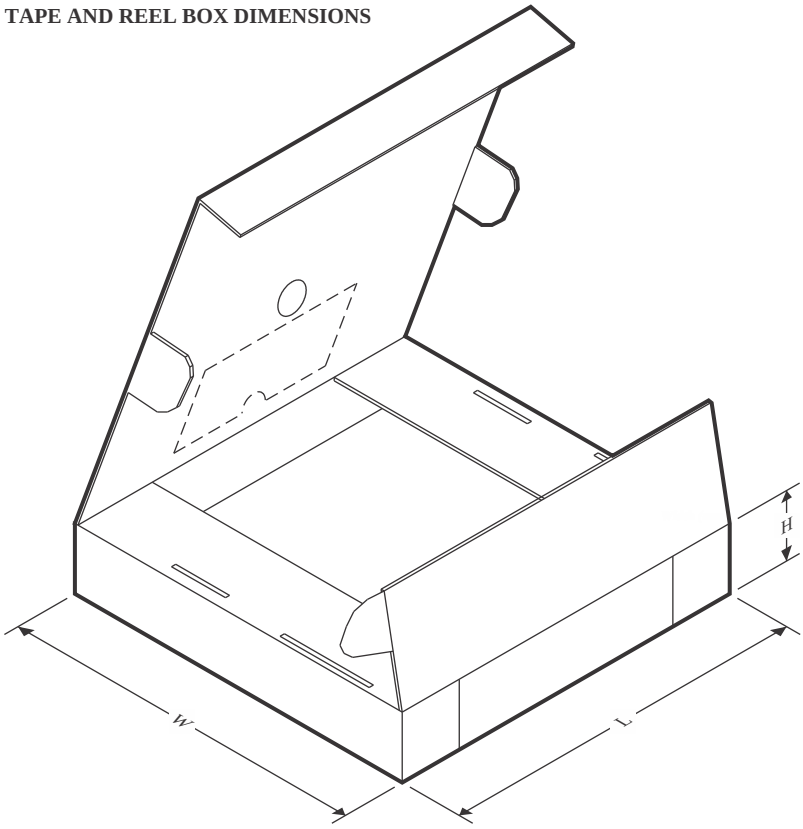
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65MLVD204BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD204BRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
SN65MLVD204BRUMT	WQFN	RUM	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

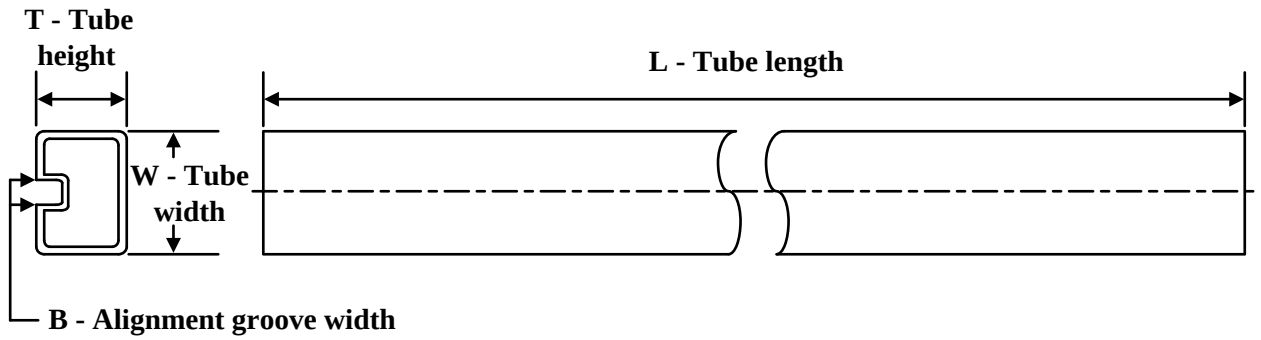
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65MLVD204BDR	SOIC	D	8	2500	353.0	353.0	32.0
SN65MLVD204BRUMR	WQFN	RUM	16	3000	360.0	360.0	36.0
SN65MLVD204BRUMT	WQFN	RUM	16	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN65MLVD204BD	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD204BD.B	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

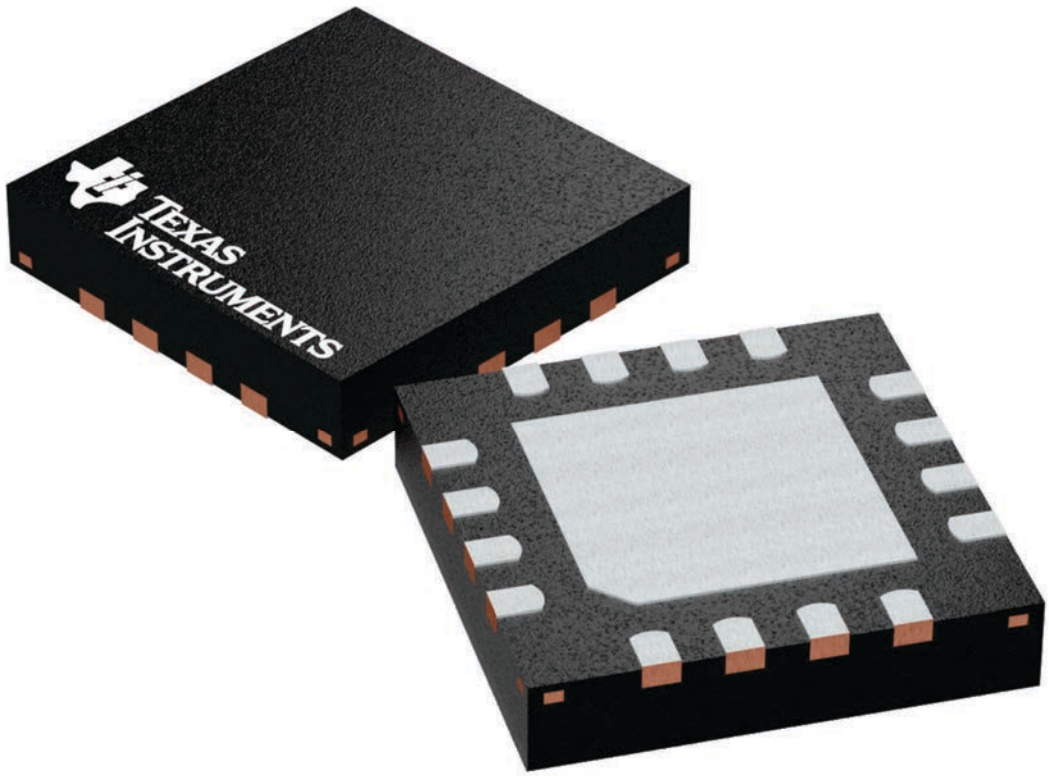
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

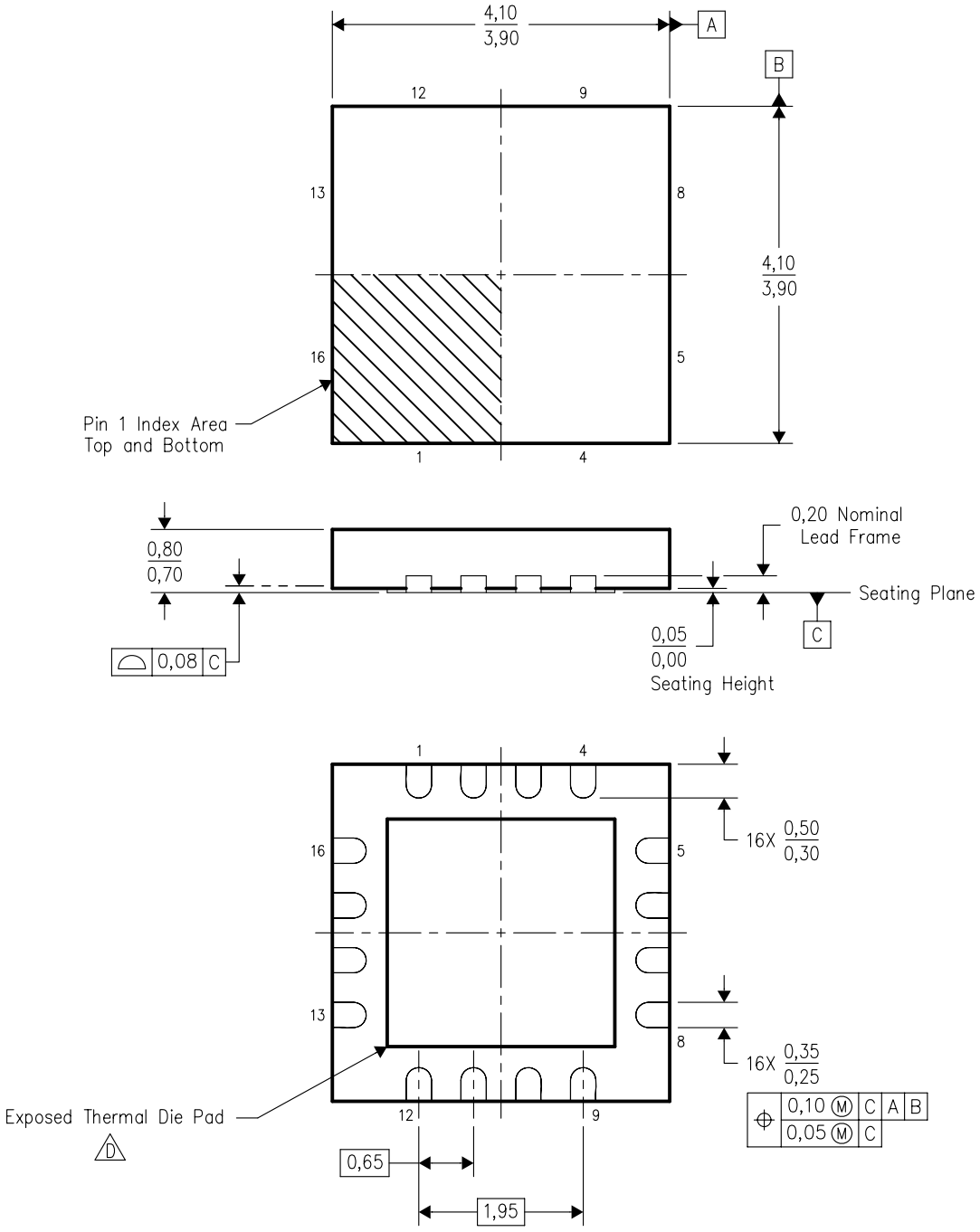
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224843/A

RUM (S–PQFP–N16) PLASTIC QUAD FLATPACK



4209092/A 10/2007

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
E. Package complies to JEDEC MO–220 variation WGGC–3.

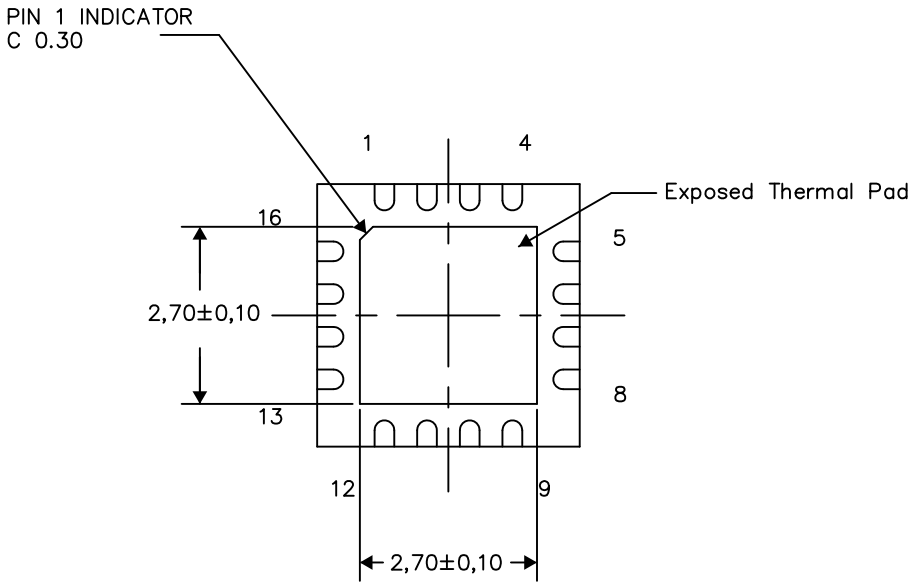
RUM (S–PWQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.

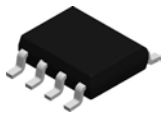


Bottom View

Exposed Thermal Pad Dimensions

4209093–2/F 09/15

NOTES: All linear dimensions are in millimeters

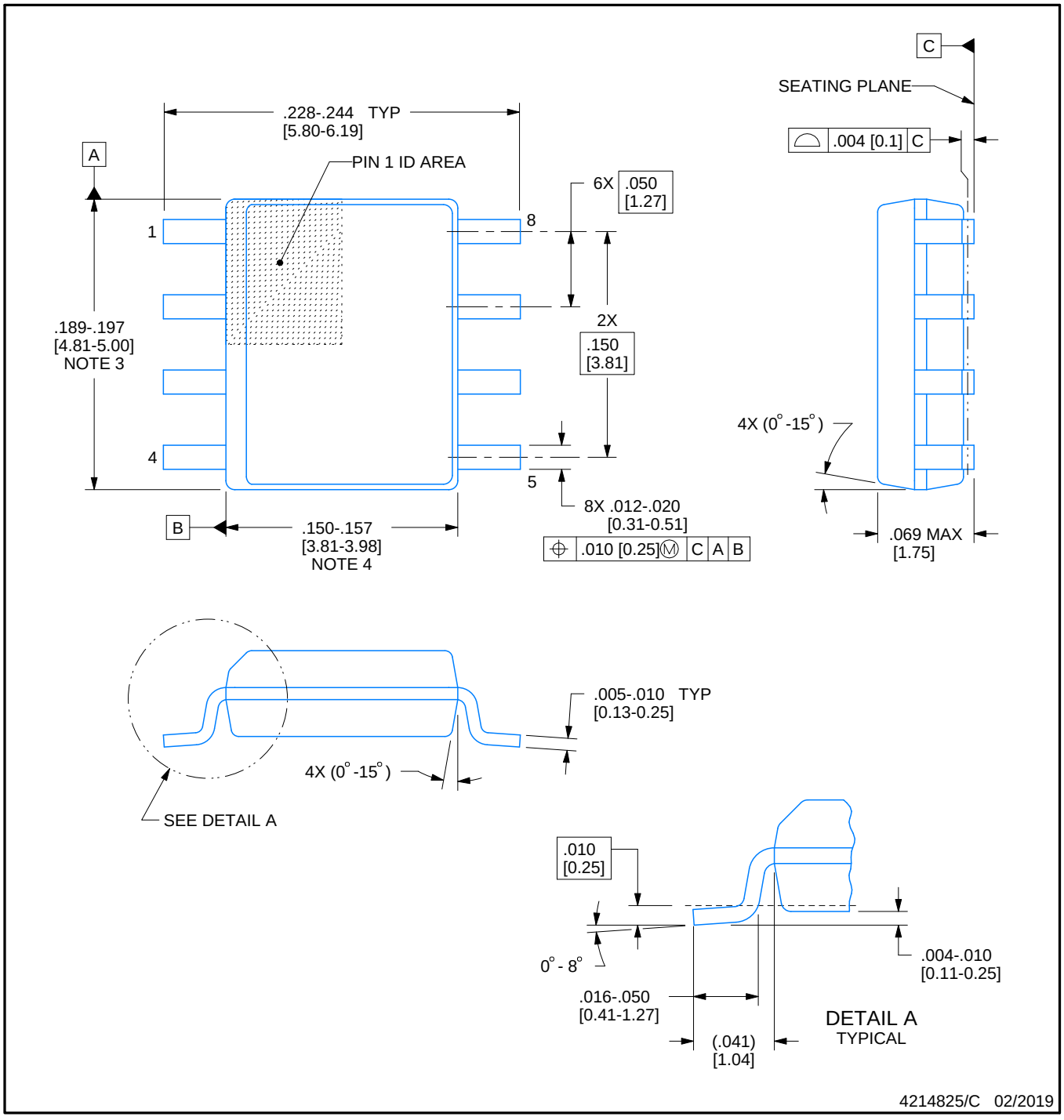


PACKAGE OUTLINE

D0008A

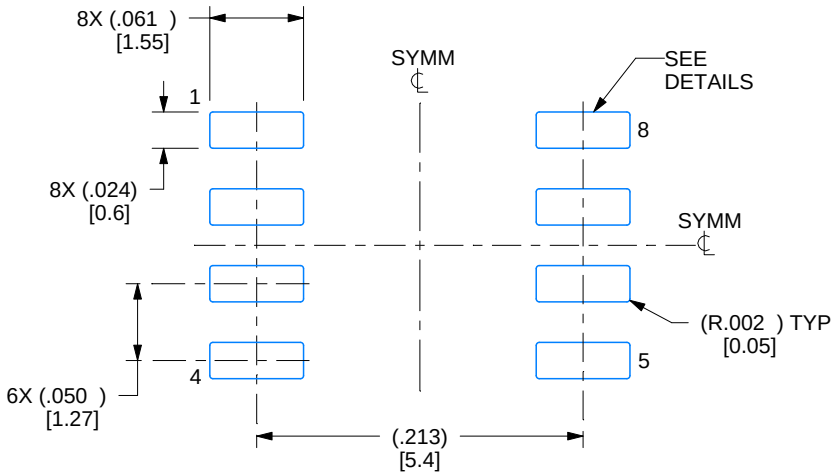
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

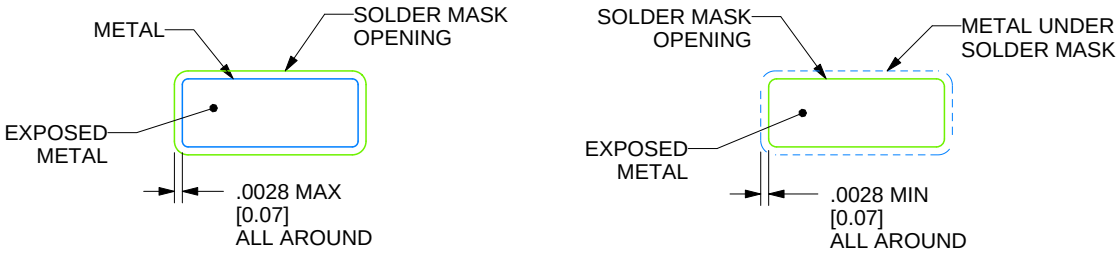


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

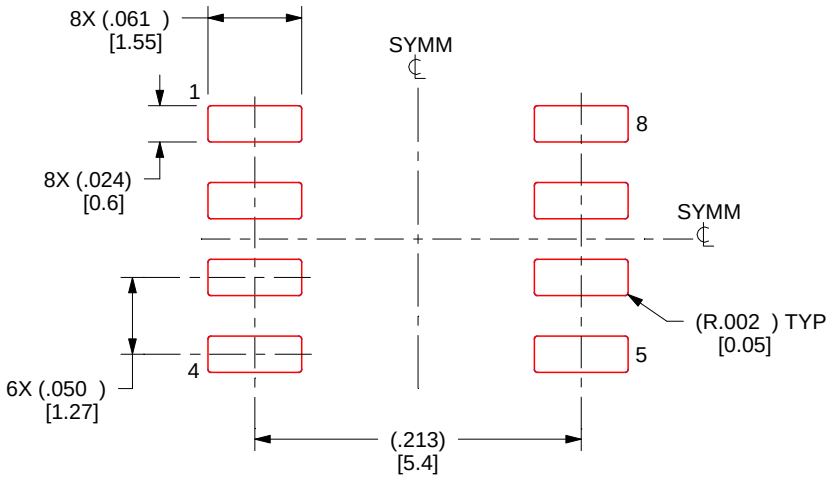
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月