SN74CB3Q3257 4 位 2 选 1 FET 多路复用器和多路信号分离器 2.5V 和 3.3V 低电压高带宽总线开关

1 特性

- 高带宽数据路径（高达 500MHz）
- 可耐受 5V 电压并支持器件上电或断电的 I/O
- 在运行范围内具有平缓的低通态电阻 (r_{on}) 特性（r_{on} 典型值 = 4Ω）
- 支持在数据 I/O 端口进行轨到轨开关
  - 3.3V V_{CC} 时，开关范围为 0 至 5V
  - 2.5V V_{CC} 时，开关范围为 0 至 3.3V
- 具有接近零传播延迟的双向数据流
- 低输入和输出电容可更大程度减小负载和信号失真（$C_{io(OFF)}$ 典型值 = 3.5pF）
- 快速开关频率（$f_{\overline{OE}}$ 最大值 = 20MHz）
- 数据与控制输入提供下冲钳位二极管
- 低功耗（I_{CC} 典型值 = 0.7mA）
- V_{CC} 工作范围为 2.3V 至 3.6V
- 数据 I/O 支持 0 至 5V 信号电平（0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V）
- 控制输入可由 TTL 或 5V 和 3.3V CMOS 输出驱动
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 性能经测试符合 JESD 22 规范
  - 2000V 人体放电模型（A114B，II 类）
  - 1000V 充电器件模型 (C101)
- 支持数字和模拟应用：USB 接口、差分信号接口、总线隔离、低失真信号门控 [1]

2 应用

- IP 电话：有线和无线
- 光学模块
- 光纤网络：光纤和 EPON 视频
- 专用分支交换机 (PBX)
- WiMAX 和无线基础设施设备

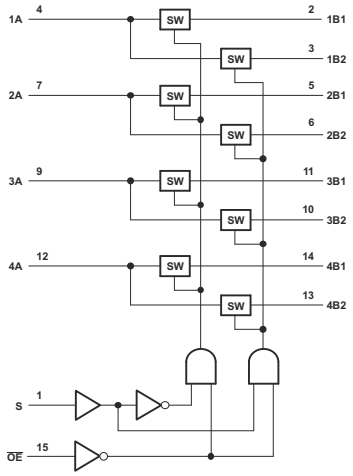
3 说明

SN74CB3Q3257 器件是一款高带宽 FET 总线开关，此开关利用一个电荷泵来提升通道晶体管的栅极电压，从而提供一个平缓的低通态电阻 (r_{on})。

封装信息

器件型号	封装(1)	封装尺寸(2)
SN74CB3Q3257	TVSOP（DGV，16）	3.6mm × 6.4mm
	SSOP（DBQ，16）	4.9mm × 6mm
	TSSOP（PW，16）	5mm × 6.4mm
	VQFN（RGV，16）	4mm × 3.5mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



逻辑图（正逻辑）

[1] 有关 CB3Q 系列性能特性的其他信息，请参阅 TI *CBT-C、CB3T 和 CB3Q 信号开关系列* 应用报告。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 — PKG = RGY、PW、DBQ、DGV 5
5.6 电气特性 — PKG = DYY 6
5.7 开关特性，V_{CC} = 2.5V，PKG = RGY、DGV、DBQ、PW 7
5.8 开关特性，V_{CC} = 2.5V，PKG = DYY 7
5.9 开关特性，V_{CC} = 3.3V，PKG = RGY、PW、DGV、DBQ 7
5.10 开关特性，V_{CC} = 3.3V，PKG= DYY 8
5.11 典型特性 8
6 参数测量信息 9
7 详细说明 10
7.1 概述 10
7.2 功能方框图 11
7.3 特性说明 11
7.4 器件功能模式 11
8 应用和实施 12
8.1 应用信息 12
8.2 典型应用 12
8.3 电源相关建议 13
8.4 布局 13
9 器件和文档支持 14
9.1 文档支持 14
9.2 接收文档更新通知 14
9.3 支持资源 14
9.4 商标 14
9.5 静电放电警告 14
9.6 术语表 14
10 修订历史记录 15
11 机械、封装和可订购信息 15

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

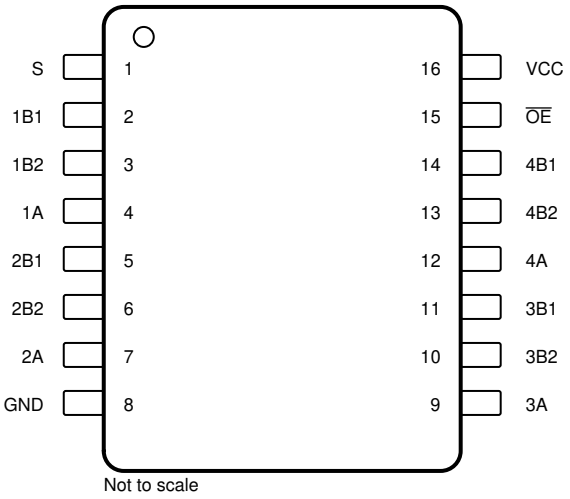


图 4-1. DYY、DGV、DBQ 或 PW 封装
16 引脚 SOT-23 THN、TVSOP、SSOP 或 TSSOP
（顶视图）

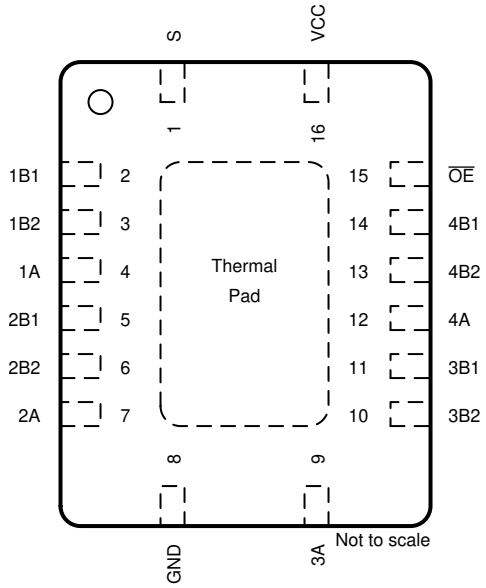


图 4-2. RGY 封装，16 引脚 VQFN
（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
S	1	I	选择引脚
1B1	2	I/O	通道 1 I/O 1
1B2	3	I/O	通道 2 I/O 1
1A	4	I/O	通道 1 公共
2B1	5	I/O	通道 2 I/O 1
2B2	6	I/O	通道 2 I/O 2
2A	7	I/O	通道 2 公共
GND	8	—	接地
3A	9	I/O	通道 3 公共
3B2	10	I/O	通道 3 I/O 2
3B1	11	I/O	通道 3 I/O 1
4A	12	I/O	通道 4 公共
4B2	13	I/O	通道 4 I/O 2
4B1	14	I/O	通道 4 I/O 1
$\overline{OE}$	15	I	输出使能（低电平有效）
V_{CC}	16	—	电源

(1) I = 输入；I/O = 输入或输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	4.6	V
V_{IN}	控制输入电压(2) (3)		-0.5	7	V
$V_{I/O}$	开关 I/O 电压(2) (3) (4)		-0.5	7	V
I_{IK}	控制输入钳位电流	V_{IN} < 0		-50	mA
$I_{I/OK}$	I/O 端口钳位电流	$V_{I/O}$ < 0		-50	mA
I_{IO}	导通状态开关电流			±64	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压均以接地为基准。
(3) 如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。
(4) V_I 和 V_O 用于表示 $V_{I/O}$ 的特定条件。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		2.3	3.6	V
V_{IH}	高电平控制输入电压	V_{CC} = 2.3V 至 2.7V	1.7	5.5	V
		V_{CC} = 2.7V 至 3.6V	2	5.5	
V_{IL}	低电平控制输入电压	V_{CC} = 2.3V 至 2.7V	0	0.7	V
		V_{CC} = 2.7V 至 3.6V	0	0.8	
$V_{I/O}$	输入/输出电压数据		0	5.5	V
T_A	自然通风条件下的工作温度	PKG = RGY、DBQ、DGV、PW	-40	105	°C
T_A	自然通风条件下的工作温度	PKG = DYY	-40	125	°C

(1) 器件所有的未使用控制输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。另请参阅*慢速或浮点 CMOS 输入影响*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		SN74CB3Q3257					单位
		DBQ (SSOP)	DGV (TVSOP)	PW (TSSOP)	RGY (VQFN)	DYY (SOT-23-THN)	
		16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	106.4	134.2	114.3	72.3	126.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	65.1	66.1	57.9	71.9	14.9	
$R_{\theta JB}$	结至电路板热阻	62.7	80.1	72.2	47.1	72.8	
ψ_{JT}	结至顶部特征参数	18.7	17.7	16.3	19.5	73.0	
ψ_{JB}	结至电路板特征参数	64.6	79.6	71.8	47.2	71.1	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	-	-	-	31.4	-	

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性 — PKG = RGY、PW、DBQ、DGV

T_A = -40°C 至 105°C。典型值是在自然通风条件下的推荐工作温度范围内测得的（除非另有说明）(1)

参数		测试条件		最小值	典型值(2)	最大值	单位
V_{IK}		V_{CC} = 3.6V，I_I = –18mA				-1.8	V
I_{IN}	控制输入	V_{CC} = 3.6V，V_{IN} = 0 至 5.5V				±1	μA
I_{OZ} (3)		V_{CC} = 3.6V，V_O = 0 至 5.5V， V_I = 0，开关断开 V_{IN} = V_{CC} 或 GND				±1	μA
I_{off}		V_{CC} = 0，V_O = 0 至 5.5V，V_I = 0				1	μA
I_{CC}		V_{CC} = 3.6V，$I_{I/O}$ = 0， 开关导通或关断，V_{IN} = V_{CC} 或 GND			0.7	1.5	mA
ΔI_{CC} (4)	控制输入	V_{CC} = 3.6V，一个输入电压为 3V，其他输入电压为 V_{CC} 或 GND				30	μA
I_{CCD} (5)	每个控制输入	V_{CC} = 3.6V，A 和 B 端口开路， 控制输入开关为 50% 占空比			0.4	0.5	mA/MHz
C_{in}	控制输入	V_{CC} = 3.3V，V_{IN} = 5.5V、3.3V 或 0			2.5	3.5	pF
$C_{io(OFF)}$	A 端口	V_{CC} = 3.3V，开关关断， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			5.5	7	pF
	B 端口	V_{CC} = 3.3V，开关关断， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			3.5	5	pF
$C_{io(ON)}$	A 端口	V_{CC} = 3.3V，开关导通， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			10.5	13	pF
	B 端口				10.5	13	
r_{on} (6)		V_{CC} = 2.3V， V_{CC} = 2.5V 时的典型值	V_I = 0，I_O = 30mA		4	8	Ω
			V_I = 1.7V，I_O = -15mA		4	9	
		V_{CC} = 3V	V_I = 0，I_O = 30mA		4	6	
			V_I = 2.4V，I_O = -15mA		4	8	

(1) V_{IN} 和 I_{IN} 以控制输入为基准。V_I、V_O、I_I 和 I_O 以数据端子为基准。
(2) 所有典型值均在 V_{CC} = 3.3V（除非另外注明）、T_A = 25°C 时测得。
(3) 对于 I/O 端口，参数 I_{OZ} 包括输入漏电流。
(4) 这是每个输入在指定 TTL 电压电平而不是 V_{CC} 或 GND 时电源电流的增加情况。
(5) 此参数指定与单个控制输入的工作频率相关的动态电源电流（请参阅图 5-2）。
(6) 在通过开关的指示电流下，由 A 和 B 端子之间的压降测量。通态电阻由两个（A 或 B）端子的较低电压决定。

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性 — PKG = DYY

T_A = -40°C 至 105°C。典型值是在自然通风条件下的推荐工作温度范围内测得的（除非另有说明）(1)

参数		测试条件		最小值	典型值(2)	最大值	单位
V_{IK}		V_{CC} = 3.6V，I_I = –18mA				-1.8	V
I_{IN}	控制输入	V_{CC} = 3.6V，V_{IN} = 0 至 5.5V				±1	μA
I_{OZ} (3)		V_{CC} = 3.6V，V_O = 0 至 5.5V， V_I = 0，开关断开 V_{IN} = V_{CC} 或 GND				±1	μA
I_{off}		V_{CC} = 0，V_O = 0 至 5.5V，V_I = 0				1	μA
I_{CC}		V_{CC} = 3.6V，$I_{I/O}$ = 0， 开关导通或关断，V_{IN} = V_{CC} 或 GND			0.5	1.5	mA
ΔI_{CC} (4)	控制输入	V_{CC} = 3.6V，一个输入电压为 3V，其他输入电压为 V_{CC} 或 GND				30	μA
I_{CCD} (5)	每个控制输入	V_{CC} = 3.6V，A 和 B 端口开路， 控制输入开关为 50% 占空比			0.32	0.5	mA/MHz
C_{in}	控制输入	V_{CC} = 3.3V，V_{IN} = 5.5V、3.3V 或 0			2.5	3.5	pF
$C_{io(OFF)}$	A 端口	V_{CC} = 3.3V，开关关断， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			5.5	7	pF
	B 端口	V_{CC} = 3.3V，开关关断， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			3.5	5	pF
$C_{io(ON)}$	A 端口	V_{CC} = 3.3V，开关导通， V_{IN} = V_{CC} 或 GND，$V_{I/O}$ = 5.5V、3.3V 或 0			10.5	13	pF
	B 端口				10.5	13	
r_{on} (6)		V_{CC} = 2.3V， V_{CC} = 2.5V 时的典型值	V_I = 0，I_O = 30mA		4	8	Ω
			V_I = 1.7V，I_O = -15mA		5.3	9	
		V_{CC} = 3V	V_I = 0，I_O = 30mA		3.5	6	
			V_I = 2.4V，I_O = -15mA		4	8	

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性，V_{CC} = 2.5V，PKG = RGY、DGV、DBQ、PW

典型值是在自然通风条件下的推荐工作温度范围内测得的（除非另有说明）（请参阅图 6-1）

参数	从（输入）	至（输出）	V_{CC} = 2.5V ± 0.2V			单位
			最小值	最大值 (85°C)	最大值 (105°C)	
$f_{\overline{OE}}$ 或 f_S (1)	$\overline{OE}$ 或 S	A 或 B		10	10	MHz
t_{pd} (2)	A 或 B	B 或 A		0.12	0.21	ns
$t_{pd(s)}$	S	A	1.5	6.5	7.5	ns
t_{en}	S	B	1.5	6.5	7.5	ns
	$\overline{OE}$	A 或 B	1.5	6.5	7.5	
t_{dis}	S	B	1	6	7	ns
	$\overline{OE}$	A 或 B	1	6	7	

(1) 控制输入的最大开关频率（$V_O > V_{CC}$，V_I = 5V，$R_L \geq 1M\Omega$，C_L = 0）。
(2) 当由一个理想电压源（零输出阻抗）驱动时，传播延迟是使用此开关通态电阻典型值和额定负载电容计算得出的 RC 时间常数。

5.8 开关特性，V_{CC} = 2.5V，PKG = DYY

典型值是在自然通风条件下的推荐工作温度范围内测得的（除非另有说明）（请参阅图 6-1）

参数	从（输入）	至（输出）	V_{CC} = 2.5V ± 0.2V			单位
			最小值	最大值 (85°C)	最大值 (105°C)	
$f_{\overline{OE}}$ 或 f_S (1)	$\overline{OE}$ 或 S	A 或 B		10	10	MHz
t_{pd} (2)	A 或 B	B 或 A		0.12	0.21	ns
$t_{pd(s)}$	S	A	1.5	6.5	8.5	ns
t_{en}	S	B	1.5	6.5	8.5	ns
	$\overline{OE}$	A 或 B	1.5	6.5	8.5	
t_{dis}	S	B	1	6	8	ns
	$\overline{OE}$	A 或 B	1	6	8	

5.9 开关特性，V_{CC} = 3.3V，PKG = RGY、PW、DGV、DBQ

典型值是在自然通风条件下的工作温度范围内测得的（除非另有说明）

参数	从（输入）	至（输出）	V_{CC} = 3.3V ± 0.3V				单位
			最小值	典型值(1)	最大值 (85°C)	最大值 (105°C)	
$f_{\overline{OE}}$ 或 f_S (1)	$\overline{OE}$ 或 S	A 或 B			20	20	MHz
t_{pd} (2)	A 或 B	B 或 A			0.2	0.32	ns
$t_{pd(s)}$	S	A	1.5	4.1	5.5	6.5	ns
t_{en}	S	B	1.5	4.6	5.5	6.5	ns
	$\overline{OE}$	A 或 B	1.5	4.7	5.5	6.5	
t_{dis}	S	B	1	3.3	6	7	ns
	$\overline{OE}$	A 或 B	1	3.1	6	7	

(1) 典型值取自 105°C 时的平均值

Copyright © 2026 Texas Instruments Incorporated

5.10 开关特性，V_{CC} = 3.3V，PKG= DYY

典型值是在自然通风条件下的工作温度范围内测得的（除非另有说明）

参数	从（输入）	至（输出）	V_{CC} = 3.3V ± 0.3V				单位
			最小值	典型值(1)	最大值 (85°C)	最大值 (105°C)	
$f_{\overline{OE}}$ 或 f_S (1)	$\overline{OE}$ 或 S	A 或 B			20	20	MHz
t_{pd} (2)	A 或 B	B 或 A			0.2	0.32	ns
$t_{pd(s)}$	S	A	1.5	4.1	5.5	7.5	ns
t_{en}	S	B	1.5	4.6	5.5	7.5	ns
	$\overline{OE}$	A 或 B	1.5	4.7	5.5	7.5	
t_{dis}	S	B	1	3.3	6	8	ns
	$\overline{OE}$	A 或 B	1	3.1	6	8	

5.11 典型特性

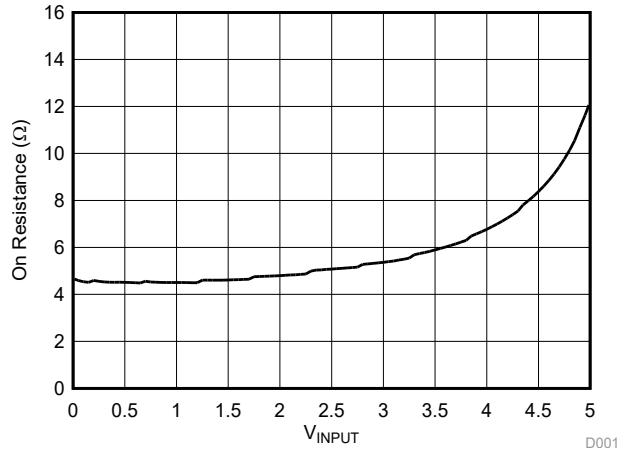


图 5-1. 典型 R_{on}（导通电阻）与 V_{INPUT} 间的关系，V_{CC} = 3.3V，T_A = 25°C，I_O = 15mA

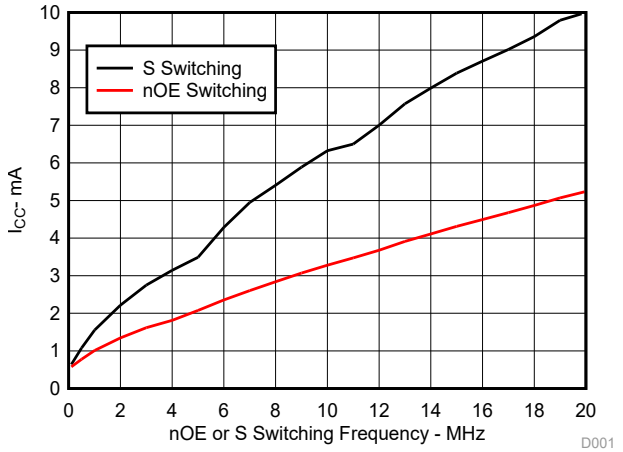
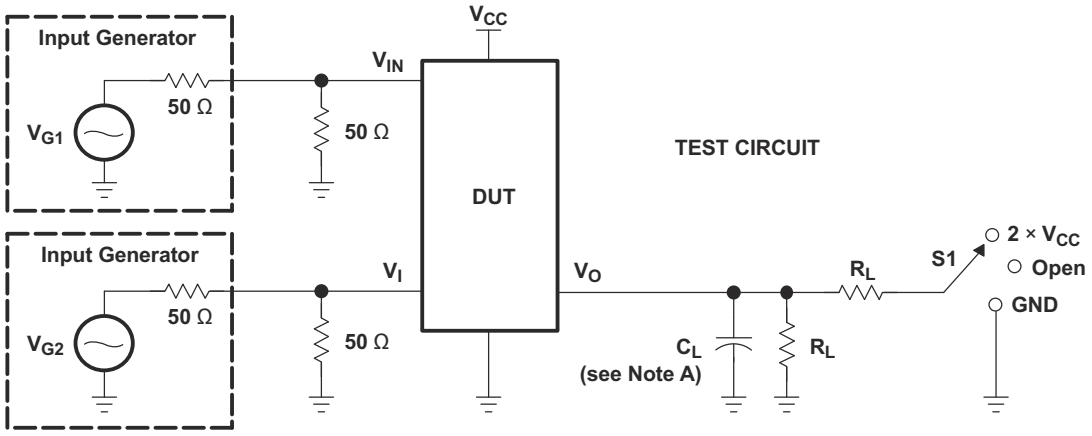


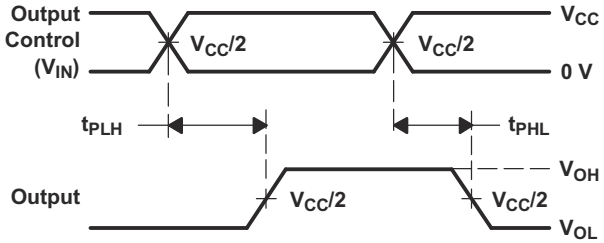
图 5-2. 典型 I_{CC} 与 $\overline{OE}$ 或 S 开关频率间的关系，V_{CC} = 3.3V，T_A = 25°C，A 和 B 端口开路

Copyright © 2026 Texas Instruments Incorporated

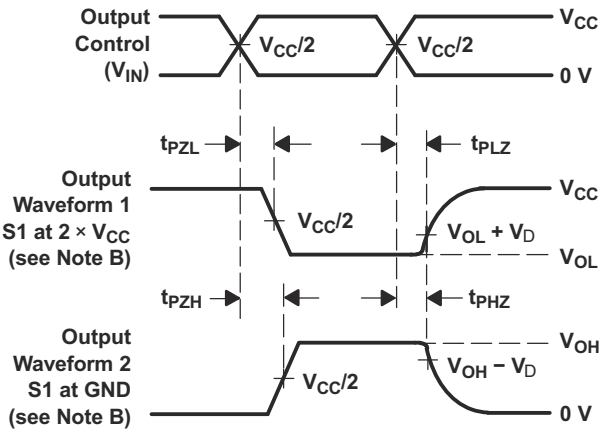
6 参数测量信息



TEST	V_{CC}	S1	R_L	V_I	C_L	V_Δ
$t_{pd(s)}$	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	V_{CC} or GND V_{CC} or GND	30 pF 50 pF	
t_{PLZ}/t_{PZL}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	2 × V_{CC} 2 × V_{CC}	500 Ω 500 Ω	GND GND	30 pF 50 pF	0.15 V 0.3 V
t_{PHZ}/t_{PZH}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	GND GND	500 Ω 500 Ω	V_{CC} V_{CC}	30 pF 50 pF	0.15 V 0.3 V



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as $t_{pd(s)}$. The t_{pd} propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

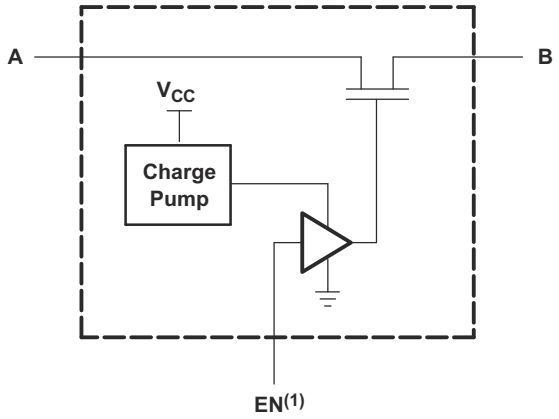
7.1 概述

SN74CB3Q3257 器件是一款高带宽 FET 总线开关，此开关利用一个电荷泵来提升通道晶体管的栅极电压，从而提供一个平缓的低通态电阻 (r_{on})。平缓的低通态电阻可实现超小的传播延迟，并且支持在数据输入/输出 (I/O) 端口上进行轨到轨开关。该器件还具有低数据 I/O 电容，以更大限度地减少数据总线上的容性负载和信号失真。SN74CB3Q3257 器件专为支持高带宽应用而设计，其提供优化的接口器件解决方案，非常适合宽带通信、网络和数据密集型计算系统。

SN74CB3Q3257 器件组织为两个具有独立输出使能（1 $\overline{OE}$、2 $\overline{OE}$）输入的 4 选 1 多路复用器/多路信号分离器。选择（S0、S1）输入可控制每个多路复用器/多路信号分离器的数据路径。当 $\overline{OE}$ 为低电平时，使能相关的多路复用器/多路信号分离器，且 A 端口连接至 B 端口，从而实现两个端口之间的双向数据流。当 $\overline{OE}$ 为高电平时，禁用相关的多路复用器/多路信号分离器，且在 A 和 B 端口之间存在高阻抗状态。

该器件专用于使用 I_{off} 的局部断电应用。I_{off} 电路可防止在该器件断电时电流回流对器件造成损坏。该器件可在关断时提供隔离。

为了在上电或下电期间提供高阻抗状态，$\overline{OE}$ 必须通过一个上拉电阻器连接至 V_{CC}；该电阻器的最小阻值由驱动器的电流灌入能力来决定。

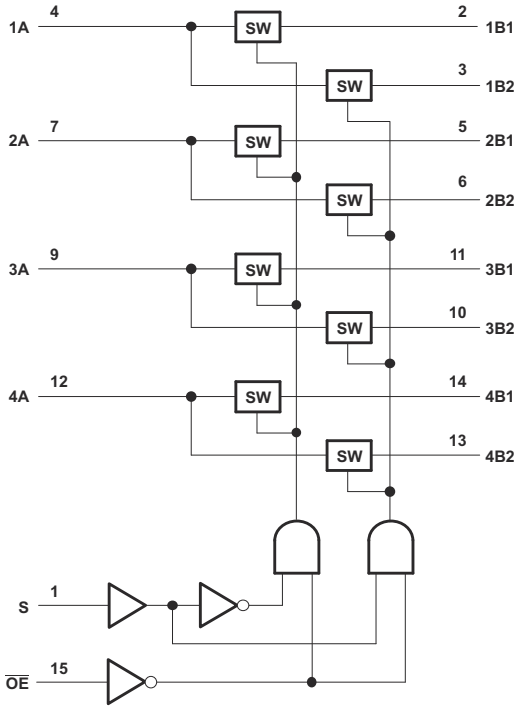


(1) EN 是应用于开关的内部使能信号。

图 7-1. 每个 FET 开关 (SW) 的简化版原理图

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



7.3 特性说明

SN74CB3Q3257 器件具有高带宽数据路径（高达 500MHz）以及可耐受 5V 电压并支持器件上电或断电的 I/O。该器件还在运行范围内具有平缓的低通态电阻 (r_{on}) 特性（r_{on} 典型值 = 4Ω）。

该器件还具有数据 I/O 端口上的轨到轨开关功能（3.3V V_{CC} 时，用于 0 至 5V 开关；2.5V V_{CC} 时，用于 0 至 3.3V 开关），以及具有接近零传播延迟和低输入/输出电容的双向数据流，可更大限度减小负载和信号失真（$C_{io(OFF)}$ 典型值 = 3.5pF）。

SN74CB3Q3257 还提供快速开关频率（$f_{\overline{OE}}$ 最大值 = 20MHz），以及提供下冲钳位二极管和低功耗（I_{CC} 典型值 = 0.6mA）的数据和控制输入。

V_{CC} 运行范围为 2.3V 至 3.6V，数据 I/O 支持 0 至 5V 的信号电平（0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V）。

控制输入可由 TTL 或 5V/3.3V CMOS 输出驱动，并且 I_{off} 支持局部断电模式运行。

7.4 器件功能模式

表 7-1 列出了 SN74CB3Q3257 器件的功能模式。

表 7-1. 功能表

输入		输入/输出 A	功能
$\overline{OE}$	S		
L	L	B1	A 端口 = B1 端口
L	H	B2	A 端口 = B2 端口
H	X	Z	断开

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74CB3Q3257 可用于在 2:1 配置中同时对多达 4 个通道进行多路复用和多路信号分离。此处所示的应用是在两个器件之间进行多路复用的 4 位总线。$\overline{OE}$ 和 S 引脚用于从总线控制器控制芯片。这是非常普遍的示例，适用于许多情况。如果某个应用需要的位数少于 4 位，则务必将 A 侧连接至未使用通道上的高电平或低电平。

8.2 典型应用

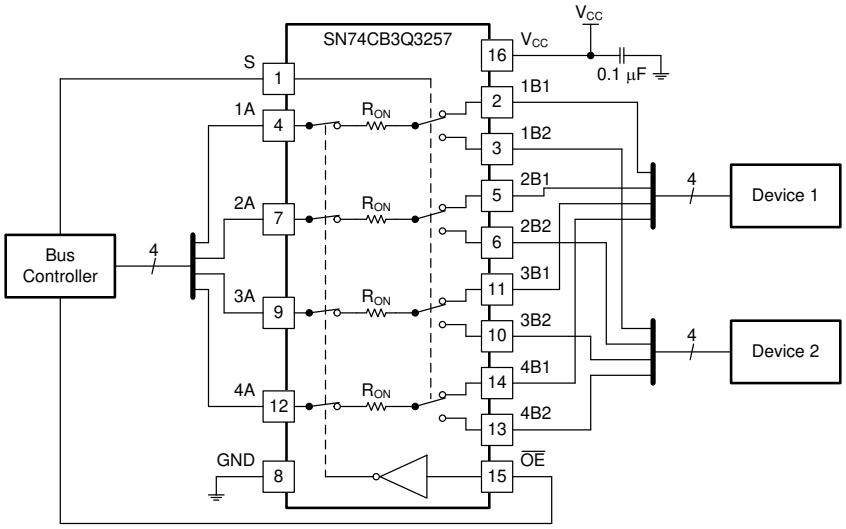


图 8-1. SN74CB3Q3257 典型应用

8.2.1 设计要求

1. 建议的输入条件：
   - 有关指定的高电平和低电平，请参阅 *节 5.3* 中的 V_{IH} 和 V_{IL}。
   - 输入和输出具有过压容限，因此在任何有效 V_{CC} 下高达 4.6V。
2. 建议的输出条件：
   - 每个通道的负载电流不得超过 ±128mA。
3. 频率选择标准：
   - 最大测试频率为 500MHz。
   - 增加布线电阻/电容可以降低最大频率能力；按照 *节 8.4* 中的说明使用布局实践。

8.2.2 详细设计过程

0.1µF 电容器必须尽可能靠近器件放置。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 应用曲线

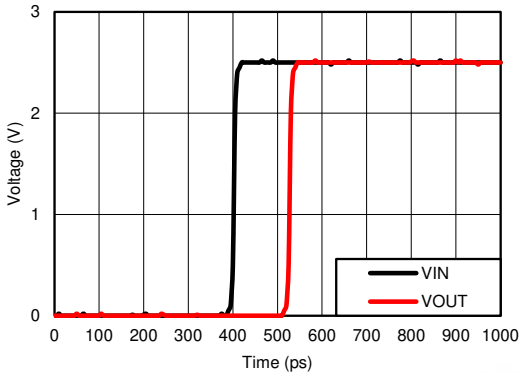


图 8-2. V_{CC} = 2.5V 时的传播延迟 (t_{pd}) 仿真结果。

8.3 电源相关建议

电源可以是节 5.1 表中列出的最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 µF 旁路电容器。如果多个引脚被标记为 V_{CC}，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 µF 或 0.022 µF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1µF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 µF 和 1 µF 的电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间存在显著差异，故而需要独立于该理论框架外进行探讨。当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 8-3 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

8.4.2 布局示例

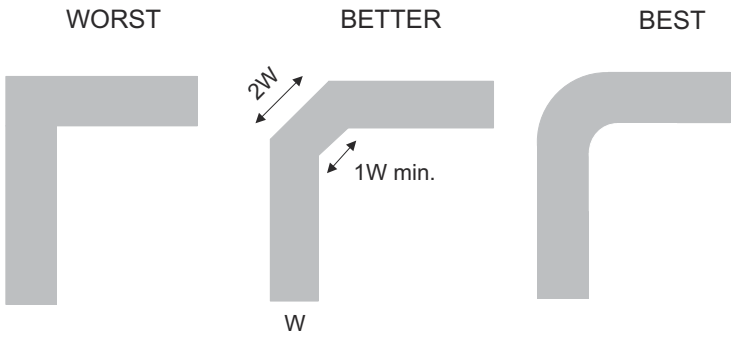


图 8-3. 布线示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*
- 德州仪器 (TI)，*选择正确的德州仪器 (TI) 信号开关*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (December 2024) to Revision F (August 2026) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 更新了*热性能信息*表值.....5
- 将*电气特性* —*PKG = RGY*、*PW*、*DBQ*、*DGV* 表中*每个输入控制*参数的最大值从 0.35 更新为 0.45.....5
- 更新了*开关特性*表中的新封装信息.....7
- 更新了*典型特性*部分.....8

Changes from Revision D (July 2018) to Revision E (December 2024) **Page**

- 将“器件信息”表更改为*封装信息*表.....1
- 将*建议运行条件*中的 T_A 最大值从 85°C 更改为 105°C.....4

Changes from Revision C (April 2017) to Revision D (July 2018) **Page**

- 更改了引脚排列图像外观.....3
- 添加了*热性能信息*表值.....5

Changes from Revision B (June 2015) to Revision C (April 2017) **Page**

- 在*电气特性*表中添加了 T_A = –40°C 至 105°C 的最大值.....5
- 在*开关特性*，V_{CC} = *2.5V* 表中添加了 T_A = –40°C 至 105°C 的最大值。.....5
- 对于 V_{CC} = 3.3V ± 0.3V，添加了单独的*开关特性*，V_{CC} = *3.3V*。添加了 T_A = –40°C 至 105°C 的典型值和最大值.....7

Changes from Revision A (November 2003) to Revision B (June 2015) **Page**

- 删除了*订购信息*表。.....1
- 添加了*器件信息*表、*引脚配置和功能*部分、*ESD 等级*表、*特性说明*部分、*器件功能模式*部分、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分.....1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3Q3257DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DBQR.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DBQR.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257DGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257DGVR.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BU257
SN74CB3Q3257RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257
SN74CB3Q3257RGYR.B	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	BU257

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

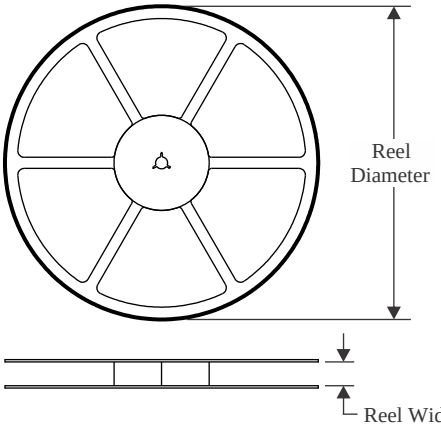
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

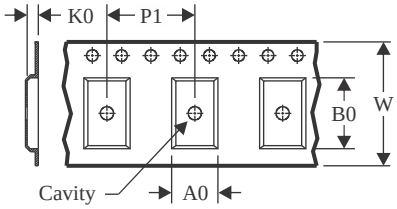
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

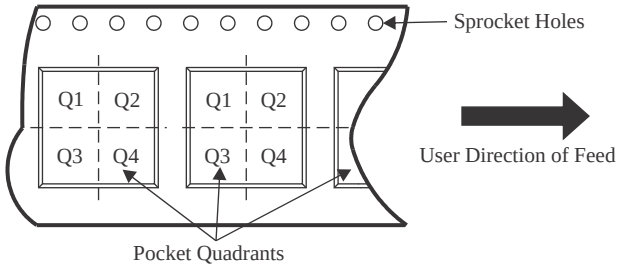


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

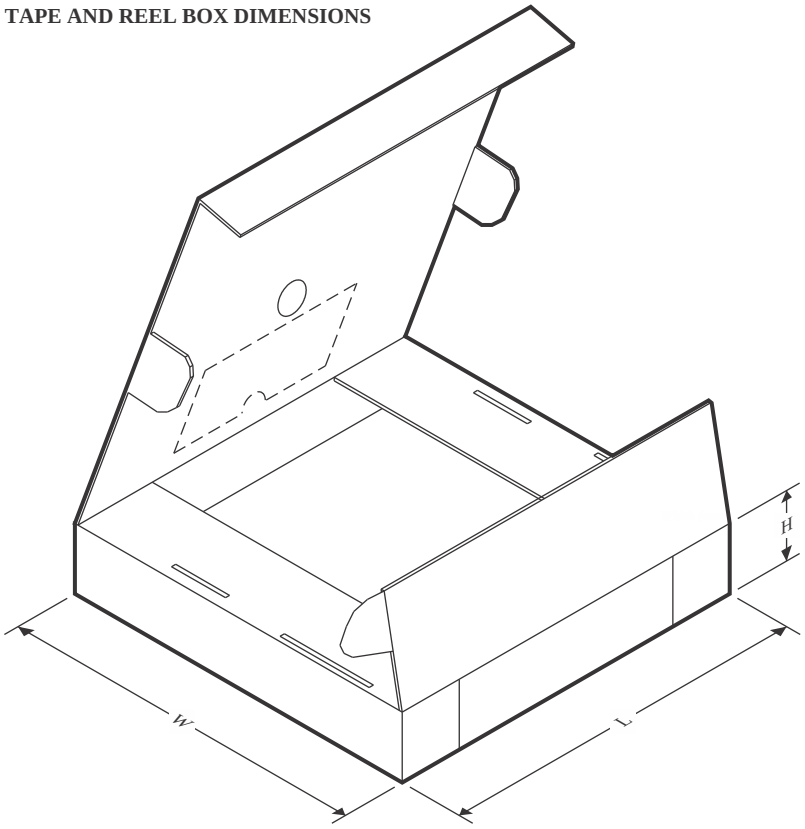
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3Q3257DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CB3Q3257DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

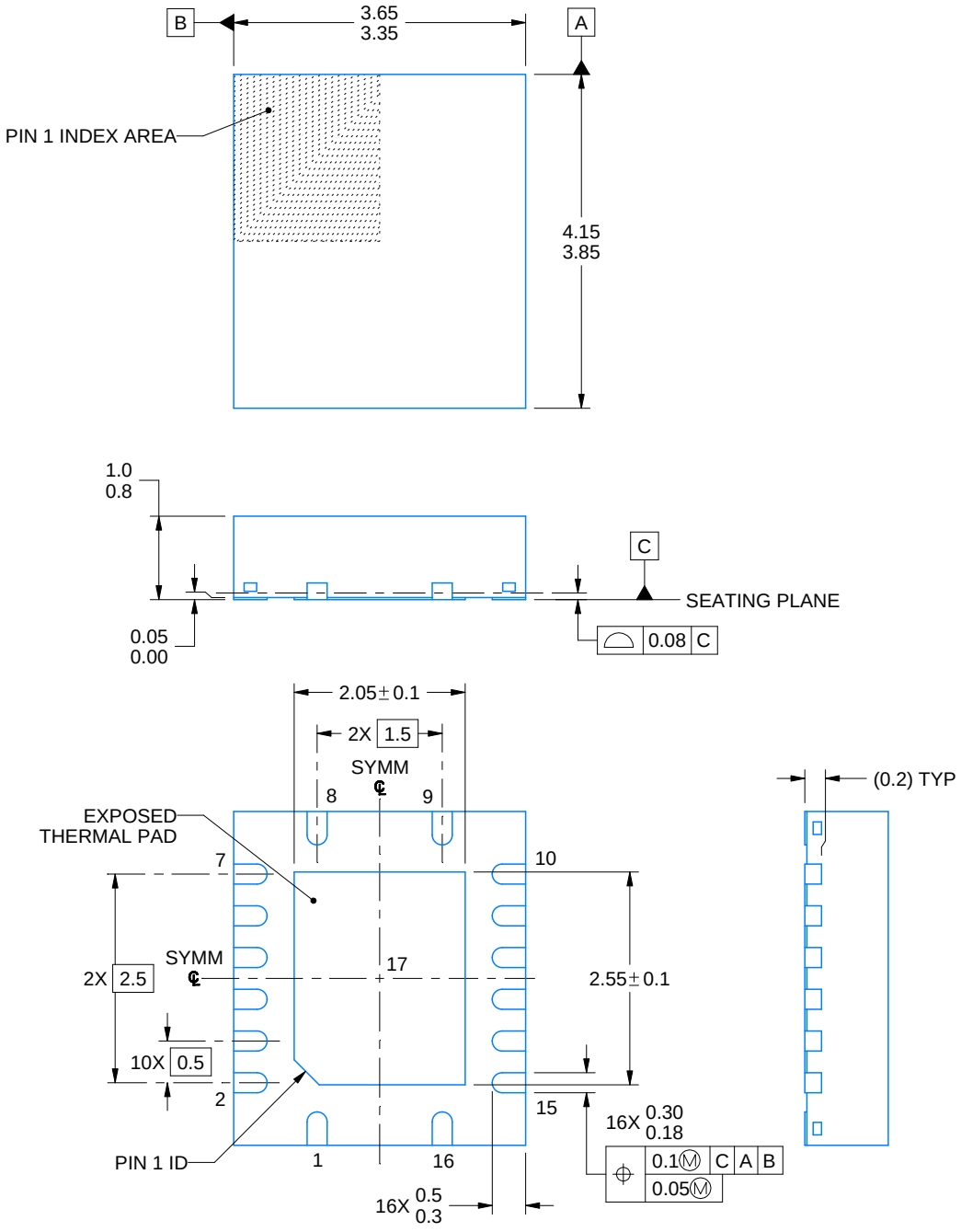
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3Q3257DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CB3Q3257DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	364.0	364.0	27.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74CB3Q3257PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CB3Q3257PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	360.0	360.0	36.0
SN74CB3Q3257RGYR	VQFN	RGY	16	3000	353.0	353.0	32.0

RGY0016A

PACKAGE OUTLINE

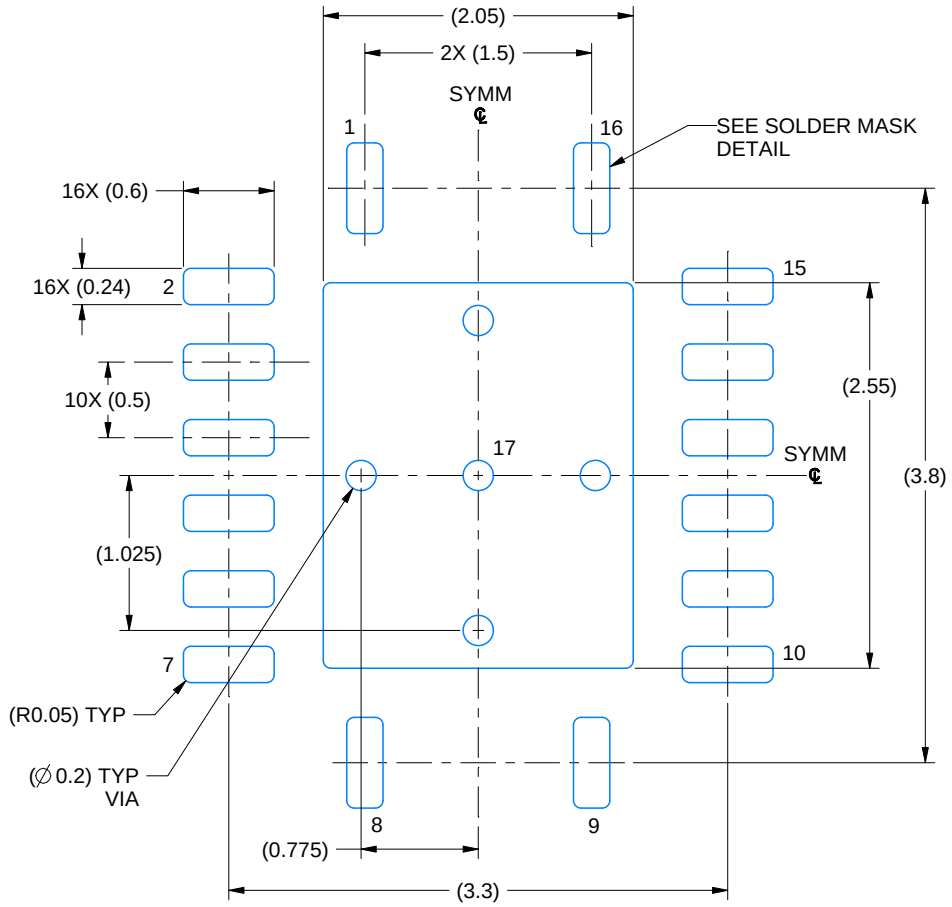
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

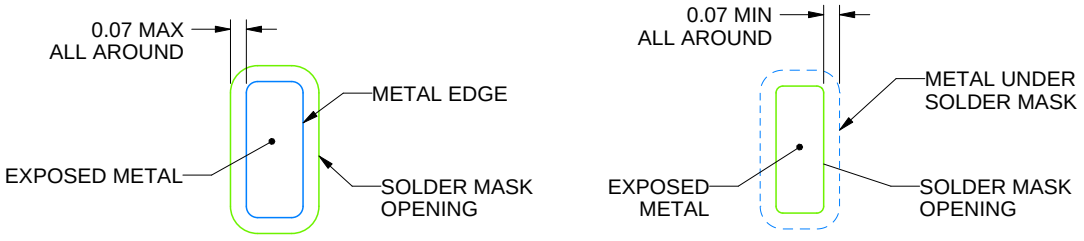


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

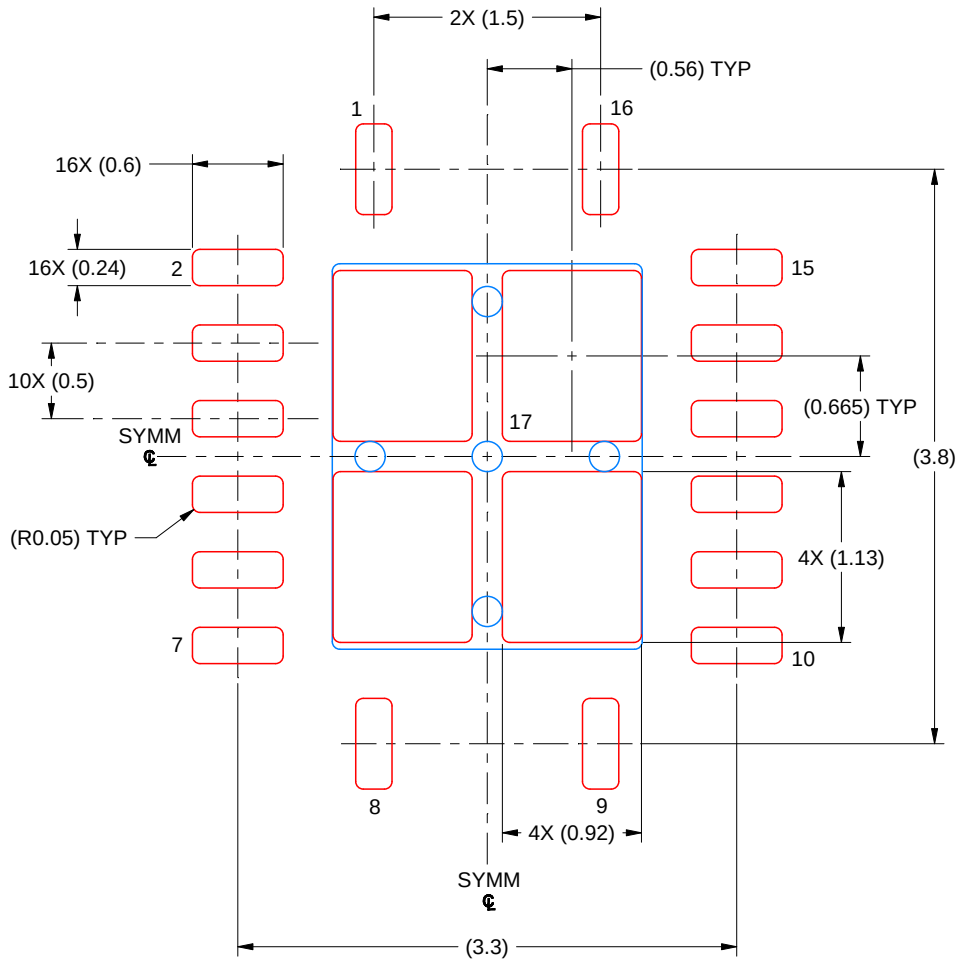


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

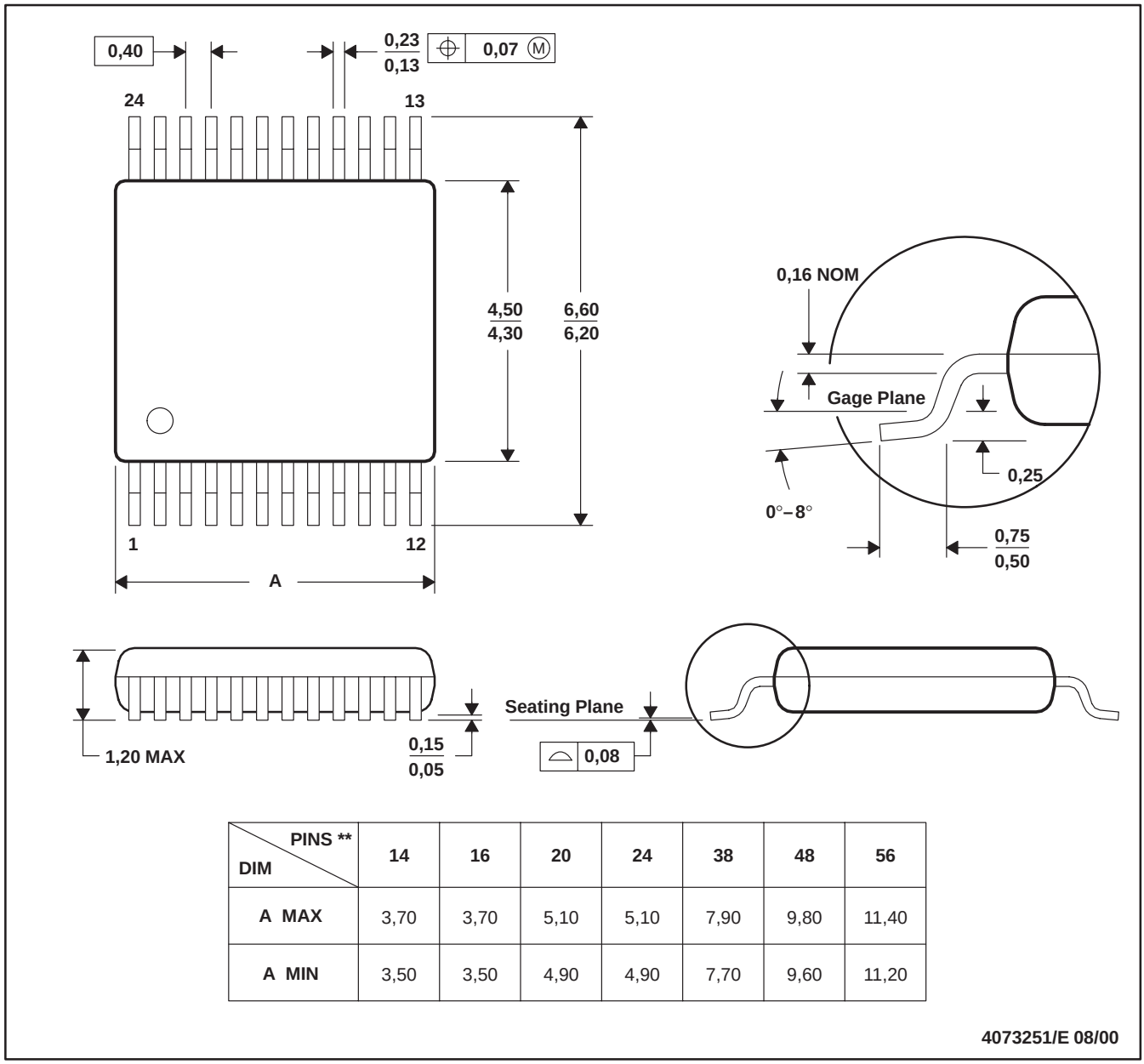
4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

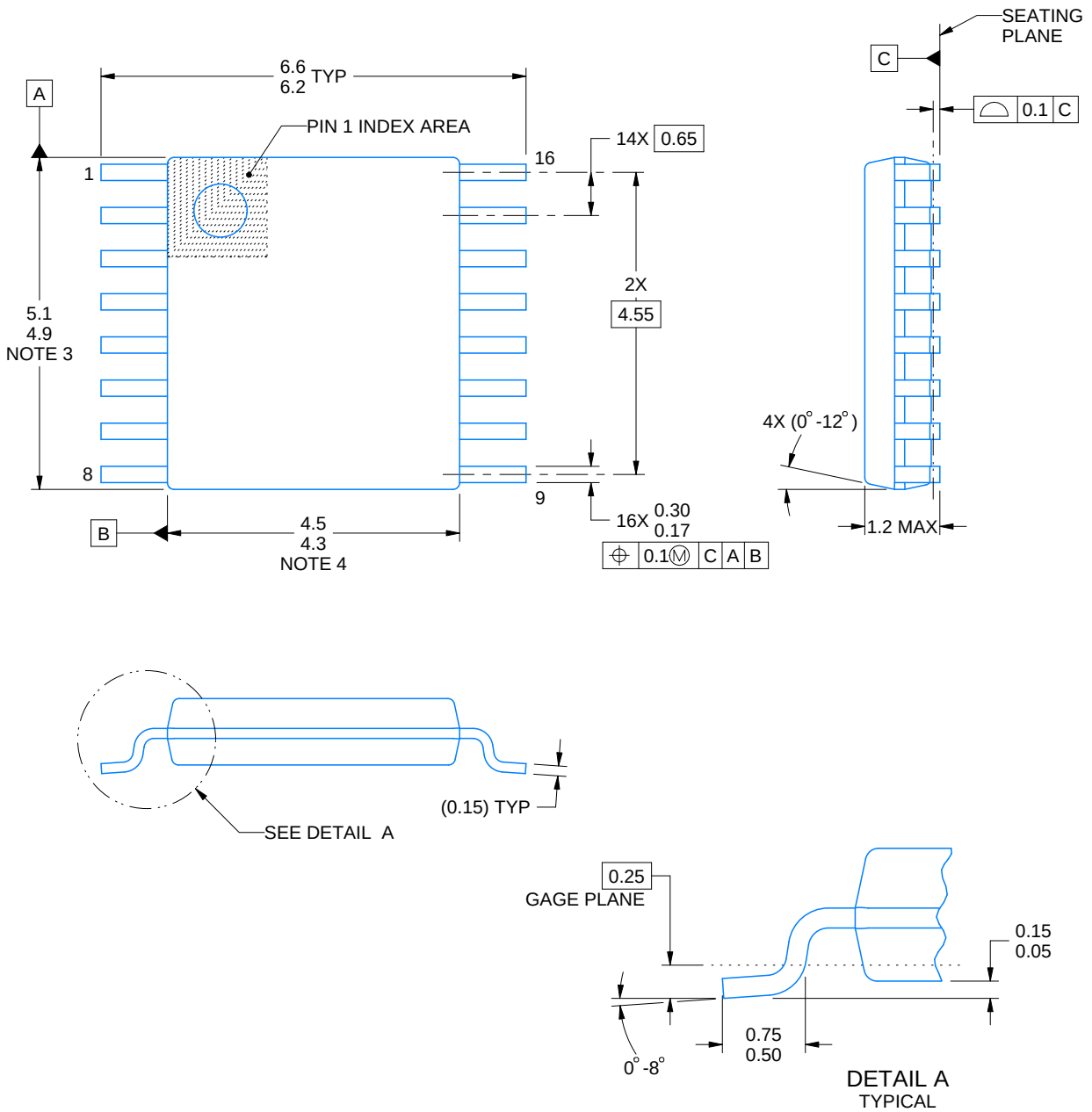
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

PW0016A

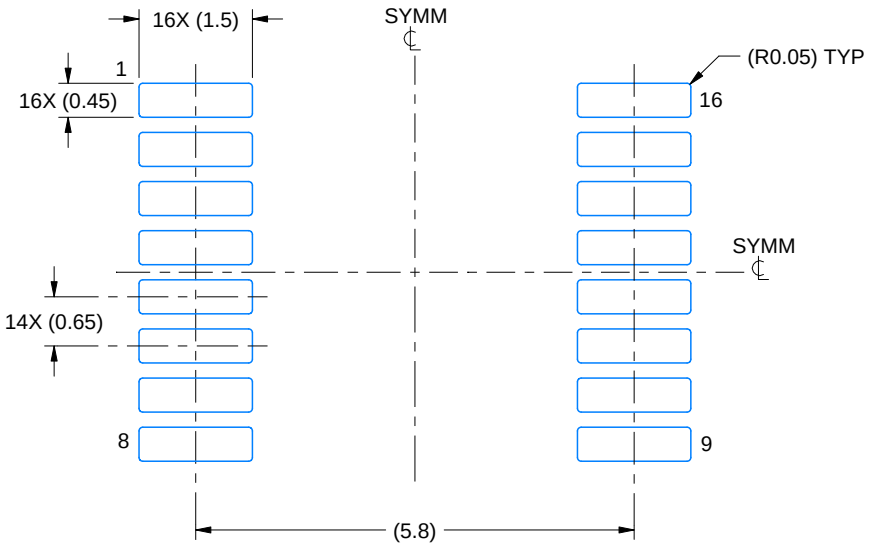
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

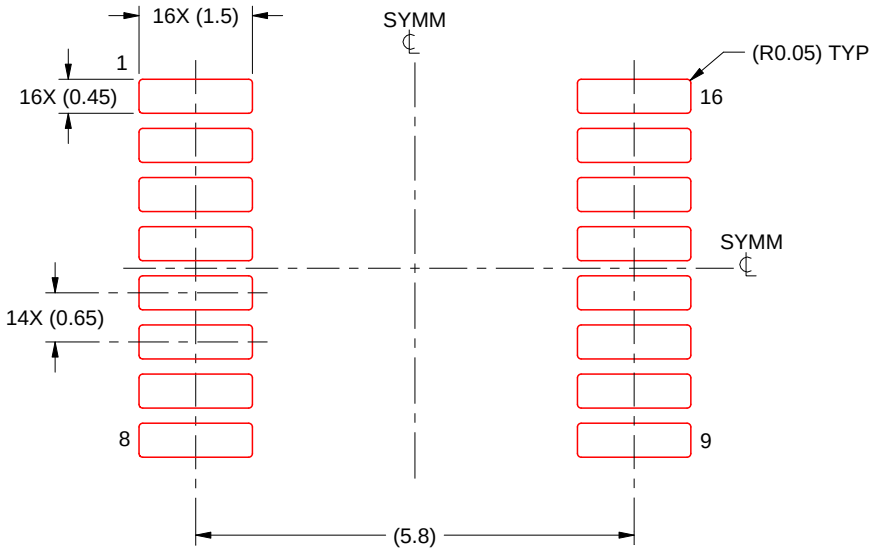


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

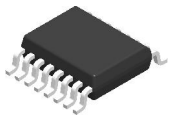


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

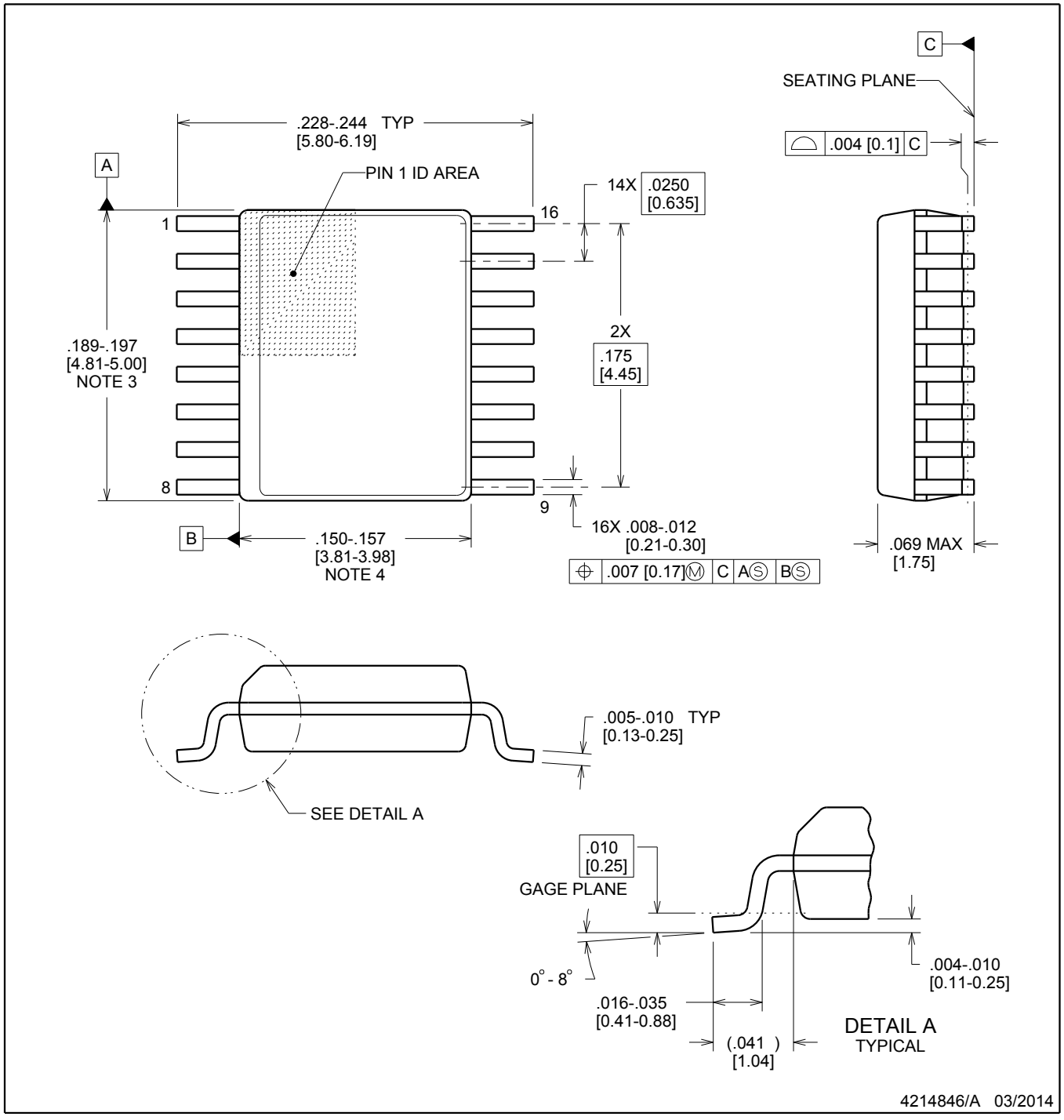


PACKAGE OUTLINE

DBQ0016A

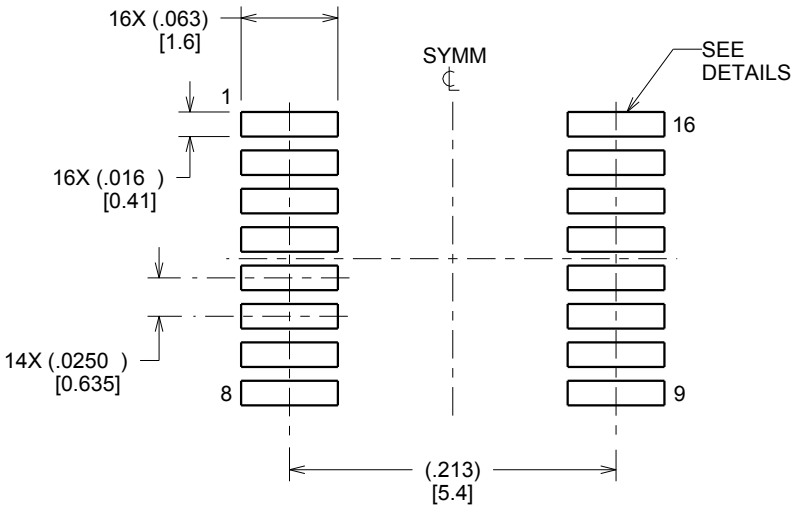
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

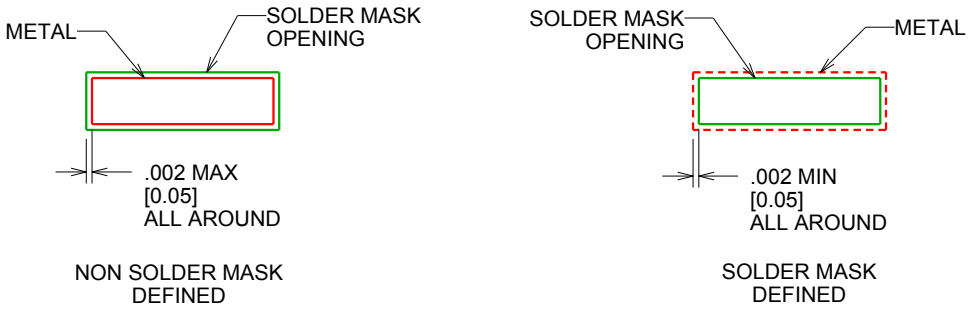


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

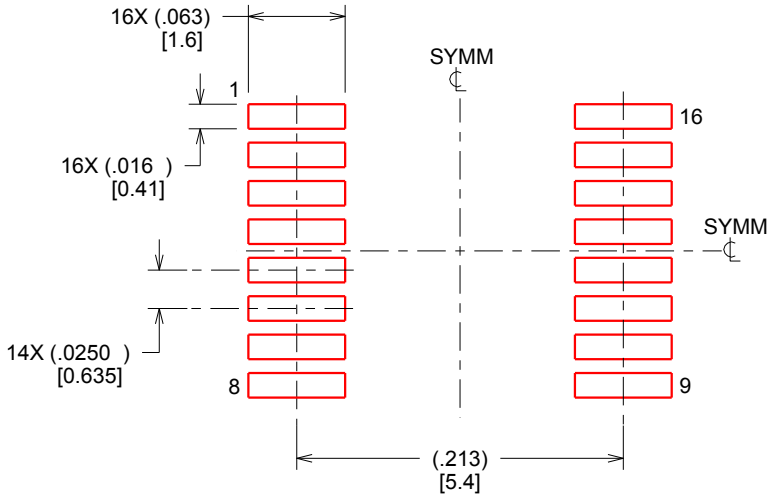
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月