

SN74CB3T3245 8 位 FET 总线开关 2.5V 和 3.3V 低压且可耐受 5V 电压的电平移位器

1 特性

- 标准 '245 型引脚排列
- 输出电压转换跟踪 V_{CC}
- 所有数据 I/O 端口上均支持以混合模式信号运行
 - 5V 输入降至 3.3V 输出的电平位移, V_{CC} 为 3.3V
 - 5V/3.3V 输入降至 2.5V 输出的电平位移, V_{CC} 为 2.5V
- 可耐受 5V 电压并支持器件加电或断电的 I/O
- 具有接近零传播延迟的双向数据流
- 低导通状态电阻 (r_{on}) 特性 (r_{on} 典型值 = 5Ω)
- 低输入、输出电容可更大程度减小负载 ($C_{io(OFF)}$ 典型值 = $5pF$)
- 数据与控制输入提供下冲钳位二极管
- 低功耗 (I_{CC} 最大值 = $40\mu A$)
- V_{CC} 工作范围为 2.3V 至 3.6V
- 数据 I/O 支持 0 至 5V 信号电平 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 控制输入可由 TTL 或 5V/3.3V CMOS 输出驱动
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 250mA, 符合 JESD 17 规范
- ESD 性能测试符合 JESD 22 标准
 - 2000V 人体放电模型 (A114-B, II 类)
 - 1000V 充电器件模型 (C101)
- 专为低功耗便携式设备设计

2 应用

- 支持数字应用：
 - 电平转换
 - PCI 接口
 - USB 接口
 - 内存交错
 - 总线隔离

3 说明

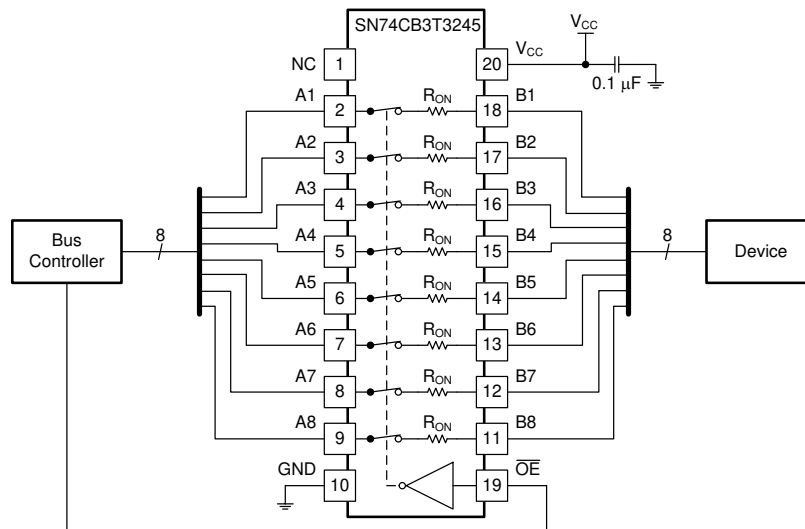
SN74CB3T3245 是一种具备低导通状态电阻 (r_{on}) 的高速 TTL 兼容型 8 位 FET 总线开关, 可实现超短传播延迟。该器件通过提供可跟踪 V_{CC} 的电压转换, 完全支持在所有数据 I/O 端口上以混合模式信号运行。

封装信息

器件型号	封装 (1)	封装尺寸(2)
SN74CB3T3245DBQ	DBQ (SSOP, 20)	8.65mm × 6mm
SN74CB3T3245DGV	DGV (TVSOP, 20)	5.00mm × 6.4mm
SN74CB3T3245DW	DW (SOIC, 20)	12.8mm × 10.3mm
SN74CB3T3245PW	PW (TSSOP, 20)	6.5mm × 6.4mm
SN74CB3T3245DGS	DGS (VSSOP, 20)	5.10mm × 4.9mm

(1) 有关更多信息, 请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



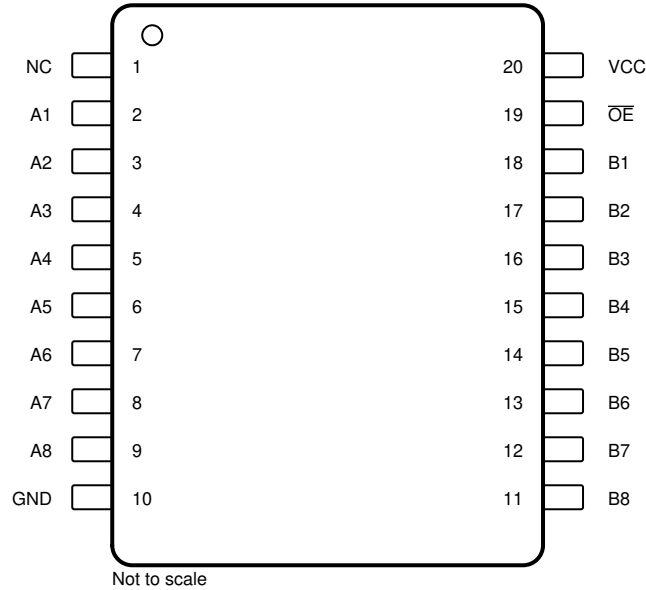
典型应用功能图



内容

1 特性	1	7.3 特性说明.....	9
2 应用	1	7.4 器件功能模式.....	9
3 说明	1	8 应用和实施	10
4 引脚配置和功能	3	8.1 应用信息.....	10
5 规格	4	8.2 典型应用.....	10
5.1 绝对最大额定值.....	4	8.3 电源相关建议.....	11
5.2 ESD 等级.....	4	8.4 布局.....	11
5.3 建议运行条件.....	4	9 器件和文档支持	12
5.4 热性能信息.....	5	9.1 文档支持.....	12
5.5 电气特性.....	5	9.2 接收文档更新通知.....	12
5.6 开关特性 85°C.....	5	9.3 支持资源.....	12
5.7 典型特性.....	6	9.4 商标.....	12
6 参数测量信息	7	9.5 静电放电警告.....	12
7 详细说明	8	9.6 术语表.....	12
7.1 概述.....	8	10 修订历史记录	13
7.2 功能方框图.....	8	11 机械、封装和可订购信息	13

4 引脚配置和功能



NC - 无内部连接

图 4-1. DGS、DBQ、DGV、DW 和 PW 封装 20 引脚 VSSOP、SSOP、TVSOP、SOIC、TSSOP 顶视图

表 4-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	NC	—	无内部连接
2	A1	I/O	开关 1 A 端子
3	A2	I/O	开关 2 A 端子
4	A3	I/O	开关 3 A 端子
5	A4	I/O	开关 4 A 端子
6	A5	I/O	开关 5 A 端子
7	A6	I/O	开关 6 A 端子
8	A7	I/O	开关 7 A 端子
9	A8	I/O	开关 8 A 端子
10	GND	—	接地
11	B8	I/O	开关 8 B 端子
12	B7	I/O	开关 7 B 端子
13	B6	I/O	开关 6 B 端子
14	B5	I/O	开关 5 B 端子
15	B4	I/O	开关 4 B 端子
16	B3	I/O	开关 3 B 端子
17	B2	I/O	开关 2 B 端子
18	B1	I/O	开关 1 B 端子
19	OE	I	输出使能，低电平有效
20	V _{CC}	—	电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位	
V _{CC}	电源电压 ⁽²⁾	-0.5	7	V	
V _{IN}	控制输入电压 ^{(2) (3)}	-0.5	7	V	
V _{I/O}	开关 I/O 电压 ^{(2) (3) (4)}	-0.5	7	V	
I _{IK}	控制输入钳位电流	V _{IN} < 0		-50	mA
I _{I/O}	I/O 端口钳位电流	V _{I/O} < 0		-50	mA
I _{I/O}	导通状态开关电流 ⁽⁵⁾			±128	mA
通过 V _{CC} 或 GND 的持续电流				±100	mA
T _J	结温			150	°C
T _{stg}	贮存温度	-65	150		

- (1) 应力超出绝对最大额定值中列出的值时,可能会对器件造成永久损坏。这些列出的值仅是应力额定值,并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除非另有说明,否则所有电压均以地为基准。
- (3) 如果遵守输入和输出钳制电流额定值,输入和输出电压可超过额定值。
- (4) V_I 和 V_O 用于表示 V_{I/O} 的特定条件。
- (5) I_I 和 I_O 用于表示 I_{I/O} 的特定条件。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电		
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000		

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位	
V _{CC}	电源电压	2.3	3.6	V	
V _{IH}	高电平控制输入电压	V _{CC} = 2.3V 至 2.7V	1.7	5.5	V
		V _{CC} = 2.7V 至 3.6V	2	5.5	
V _{IL}	低电平控制输入电压	V _{CC} = 2.3V 至 2.7V	0	0.7	V
		V _{CC} = 2.7V 至 3.6V	0	0.8	
V _{I/O}	输入/输出电压数据	0	5.5	V	
T _A	自然通风条件下的工作温度	-40	85	°C	

- (1) 器件所有的未使用控制输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用手册 [慢速或浮点 CMOS 输入的影响](#)。

5.4 热性能信息

热指标 ⁽¹⁾		SN74CB3T3245					单位
		DGS(VSSOP)	DBQ(SSOP)	DGV(TVSOP)	DW(SOIC)	PW(TSSOP)	
		20 引脚	20 引脚	20 引脚	20 引脚	20 引脚	
R _{θJA}	结至环境热阻	127	102.4	123.7	58	112.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值 ⁽²⁾	最大值	单位	
V _{IK}		V _{CC} = 3V, I _I = -18mA			-1.2	V	
V _{OH}		请参阅 图 5-1					
I _{IN}	控制输入	V _{CC} = 3.6V, V _{IN} = 3.6V 至 5.5V 或 GND			±10	μA	
I _I		V _{CC} = 3.6V, 开关导通, V _{IN} = V _{CC} 或 GND	V _I = V _{CC} - 0.7V 至 5.5V		±20	μA	
			V _I = 0.7V 至 V _{CC} - 0.7V		-40		
			V _I = 0 至 0.7V		±5		
I _{OZ} ⁽³⁾		V _{CC} = 3.6V, V _O = 0 至 5.5V, V _I = 0, 开关断开, V _{IN} = V _{CC} 或 GND			±10	μA	
I _{off}		V _{CC} = 0, V _O = 0 至 5.5V, V _I = 0			10	μA	
I _{CC}		V _{CC} = 3.6V, I _{I/O} = 0, 开关导通或关断, V _{IN} = V _{CC} 或 GND	V _I = V _{CC} 或 GND		40	μA	
			V _I = 5.5V		40		
ΔI _{CC} ⁽⁴⁾	控制输入	V _{CC} = 3V 至 3.6V, 一个输入电压为 V _{CC} - 0.6V, 其他输入电压为 V _{CC} 或 GND			300	μA	
C _{in}	控制输入	V _{CC} = 3.3V, V _{IN} = V _{CC} 或 GND			4	pF	
C _{io(OFF)}		V _{CC} = 3.3V, V _{I/O} = 5.5V, 3.3V 或 GND, 开关断开, V _{IN} = V _{CC} 或 GND			5	pF	
C _{io(ON)}		V _{CC} = 3.3V, 开关导通, V _{IN} = V _{CC} 或 GND	V _{I/O} = 5.5V 或 3.3V		5	pF	
			V _{I/O} = GND		13		
r _{on} ⁽⁵⁾		V _{CC} = 2.3V, V _{CC} = 2.5V 时的典型值, V _I = 0	I _O = 24mA		5	8.5	Ω
			I _O = 16mA		5	8.5	
		V _{CC} = 3V, V _I = 0	I _O = 64mA		5	7	
			I _O = 32mA		5	7	

(1) V_{IN} 和 I_{IN} 以控制输入为基准。V_I、V_O、I_I 和 I_O 以数据引脚为基准。

(2) 所有典型值均在 V_{CC} = 3.3V (除非另外注明)、T_A = 25°C 时测得。

(3) 对于 I/O 端口, 参数 I_{OZ} 包括输入漏电流。

(4) 这是每个输入在指定 TTL 电压电平而不是 V_{CC} 或 GND 时电源电流的增加情况。

(5) 在通过开关的指示电流下, 由 A 和 B 端子之间的压降测量。通态电阻由两个 (A 或 B) 端子的较低电压决定。

5.6 开关特性 85°C

在自然通风条件下的工作温度范围内测得 (除非另有说明)

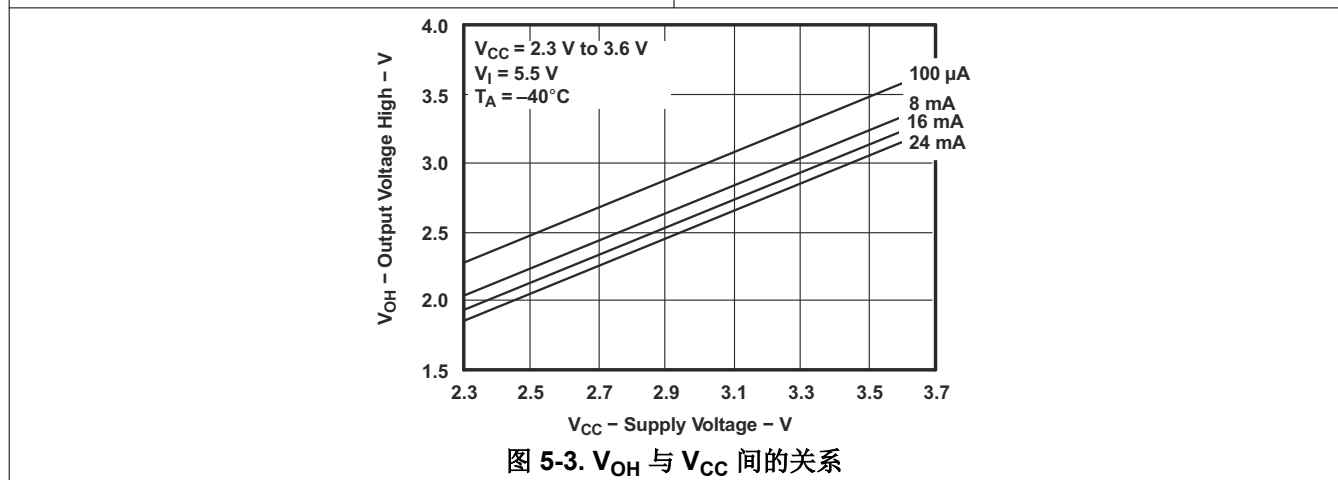
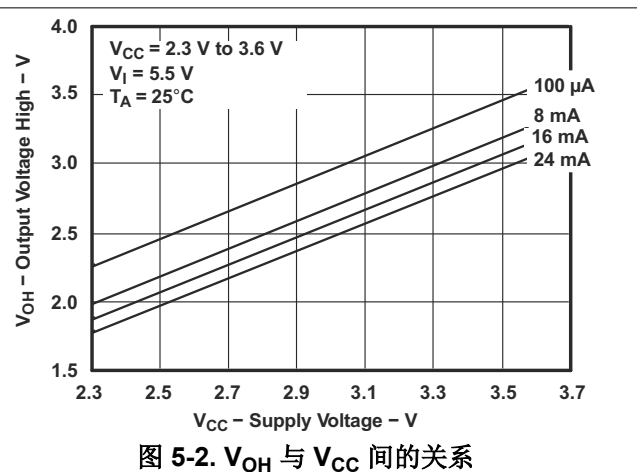
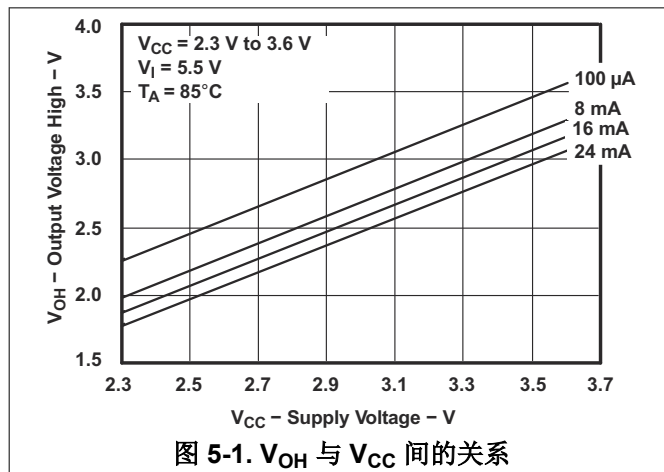
带测试条件的参数		从 (输入)	至 (输出)	V _{CC}	最小值	标称值	最大值	单位
t _{pd}	R _L = 1GΩ, C _L = 30pF, V _{load} = 0V。使用开关电阻*CL 计算得出的 Tpd	A 或 B	B 或 A	2.5V ± 0.2V			0.15	ns
t _{pd}	R _L = 1GΩ, C _L = 50pF, V _{load} = 0V。使用开关电阻*CL 计算得出的 Tpd	A 或 B	B 或 A	3.3V ± 0.3V			0.25	ns

5.6 开关特性 85°C (续)

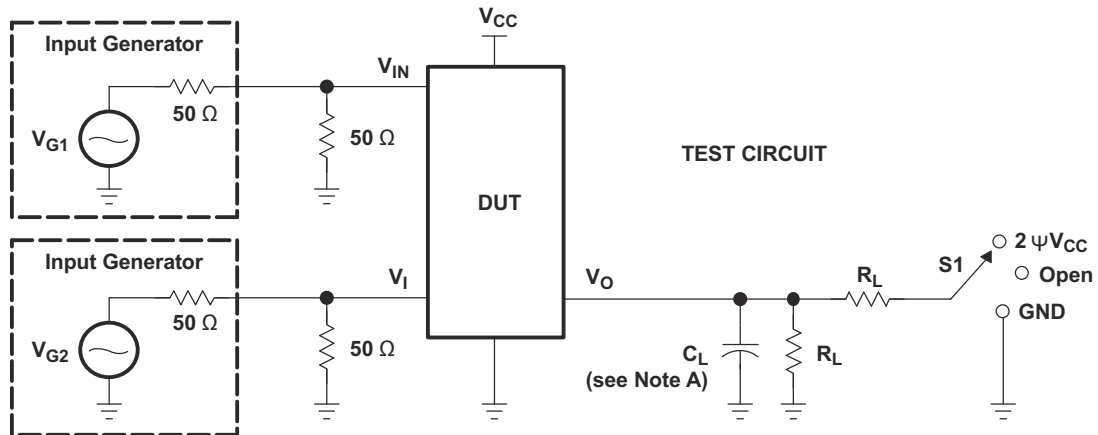
在自然通风条件下的工作温度范围内测得 (除非另有说明)

带测试条件的参数		从 (输入)	至 (输出)	V _{CC}	最小值	标称值	最大值	单位
t _{en}	ZL: R _L = 250 Ω、C _L = 30pF、V _{load} = V _{CC} 、 ZH: R _L = 500 Ω、C _L = 30pF、V _{load} = GND, 输入端有 50 Ω 终端	OE	A 或 B	2.5V ± 0.2V			11.7	ns
t _{en}	ZL: R _L = 250 Ω、C _L = 50pF、V _{load} = V _{CC} 、 ZH: R _L = 500 Ω、C _L = 50pF、V _{load} = GND, 输入端有 50 Ω 终端	OE	A 或 B	3.3V ± 0.3V			8	ns
t _{dis}	LZ: R _L = 250 Ω、C _L = 30pF、V _{load} = V _{CC} 、 V _t = 0.15V ; HZ: R _L = 500 Ω、C _L = 30pF、V _{load} = GND、V _t = 0.15V ; 输入端有 50 Ω 终端	OE	A 或 B	2.5V ± 0.2V	1		8	ns
t _{dis}	LZ: R _L = 250 Ω、C _L = 50pF、V _{load} = V _{CC} 、 V _t = 0.3V ; HZ: R _L = 500 Ω、C _L = 50pF、V _{load} = GND、V _t = 0.3V ; 输入端有 50 Ω 终端	OE	A 或 B	3.3V ± 0.3V	1		8.8	ns

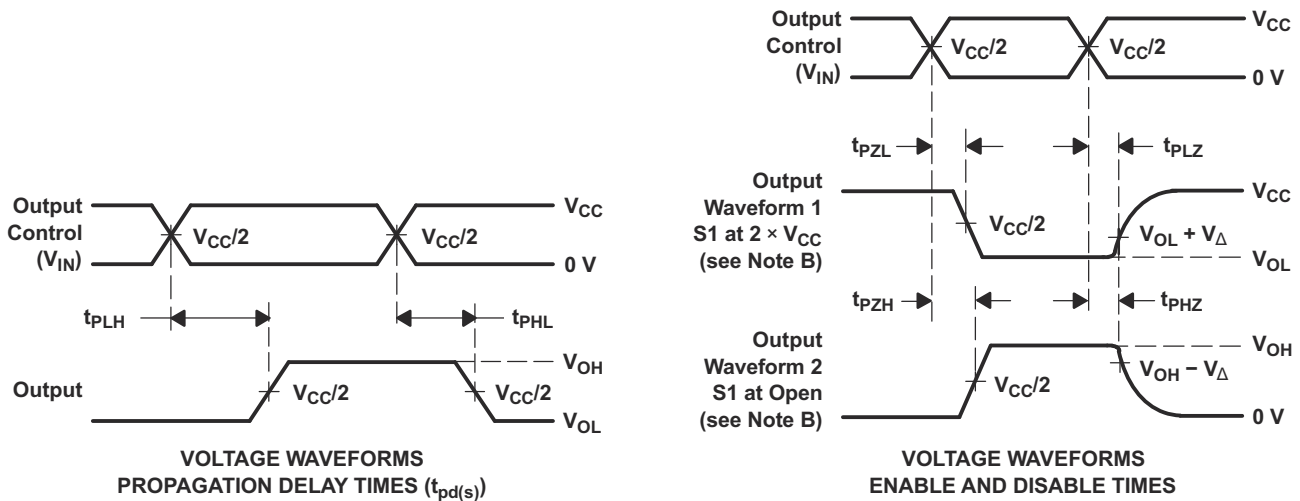
5.7 典型特性



6 参数测量信息



TEST	V _{CC}	S1	R _L	V _I	C _L	V _Δ
t _{pd(s)}	2.5 V ± 0.2 V	Open	500 Ω	3.6 V or GND	30 pF	
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V or GND	50 pF	
t _{PLZ} /t _{PZL}	2.5 V ± 0.2 V	2 × V _{CC}	500 Ω	GND	30 pF	0.15 V
	3.3 V ± 0.3 V	2 × V _{CC}	500 Ω	GND	50 pF	0.3 V
t _{PHZ} /t _{PZH}	2.5 V ± 0.2 V	Open	500 Ω	3.6 V	30 pF	0.15 V
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V	50 pF	0.3 V



- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
 - The outputs are measured one at a time, with one transition per measurement.
 - t_{PLZ} and t_{PHZ} are the same as t_{dis}.
 - t_{PZL} and t_{PZH} are the same as t_{en}.
 - t_{PLH} and t_{PHL} are the same as t_{pd(s)}. The t_{pd} propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
 - All parameters and waveforms are not applicable to all devices.

图 6-1. 测试电路和电压波形

7 详细说明

7.1 概述

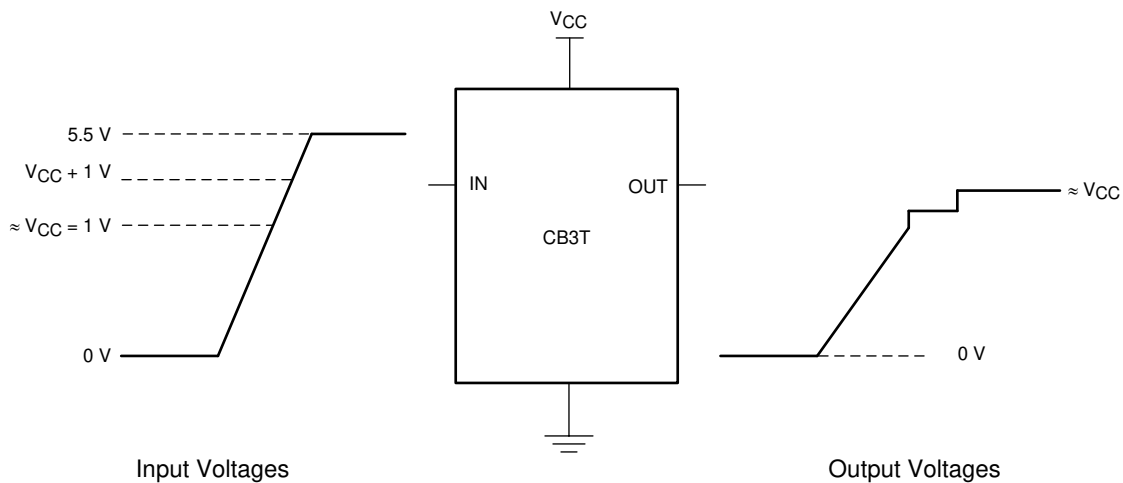
SN74CB3T3245 是一款具备低导通状态电阻 (r_{on}) 的高速 TTL 兼容型 FET 总线开关, 可实现超短传播延迟。该器件通过提供可跟踪 V_{CC} 的电压转换, 完全支持在所有数据 I/O 端口上以混合模式信号运行。SN74CB3T3245 器件支持使用 5V TTL、3.3V LVTTTL 和 2.5V CMOS 开关标准以及用户定义的开关电平的系统 (参见图 7-1)。

SN74CB3T3245 器件是一款 8 位总线开关, 配有单路输出使能 (\overline{OE}) 输入端, 采用标准 '245 引脚排列。当 \overline{OE} 为低电平时, 8 位总线开关导通, 并且 A 端口被连接至 B 端口, 从而实现两个端口之间的双向数据流。当 \overline{OE} 为高电平时, 8 位总线开关关闭, 并且在 A 与 B 端口之间存在高阻抗状态。

该器件专用于使用 I_{off} 的局部断电应用。 I_{off} 特性可确保器件断电时破坏性电流不会通过器件回流。该器件可在关断时提供隔离。

为了在上电或下电期间置入高阻抗状态, \overline{OE} 必须通过一个上拉电阻器连接至 V_{CC} ; 该电阻器的最小阻值由驱动器的电流灌入能力来决定。

7.2 功能方框图



当输入高电平电压 (V_{IH}) 大于等于 $V_{CC} + 1V$ 且小于等于 5.5V 时, 输出高电平电压 (V_{OH}) 约等于电源电压 V_{CC} 。

图 7-1. 典型直流电压转换特性

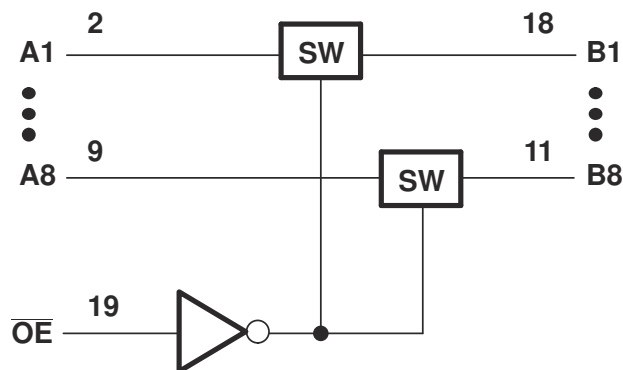
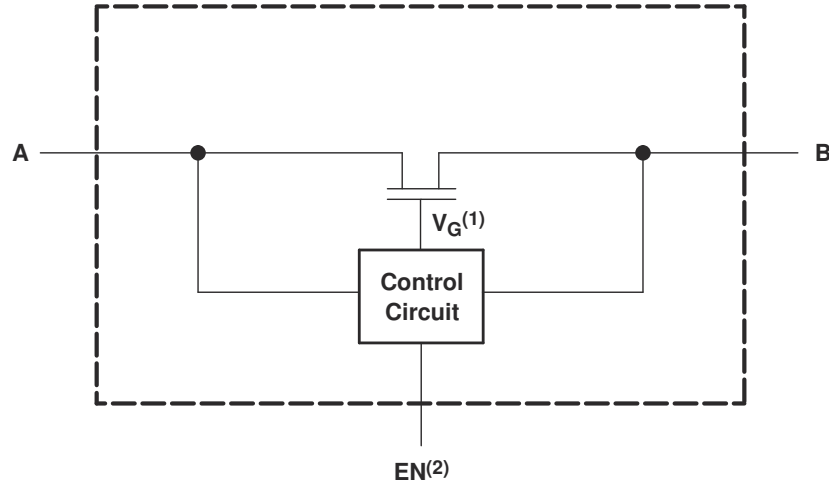


图 7-2. 逻辑图 (正逻辑)



- 1) Gate Voltage (V_G) is approximately equal to $V_{CC} + V_T$ when the switch is ON and $V_I > (V_{CC} + V_T)$.
- 2) EN is the internal enable signal applied to the switch.

图 7-3. 每个 FET 开关 (SW) 的简化版原理图

7.3 特性说明

SN74CB3T3245 器件使用标准的 '245 型引脚排列。输出电压跟踪 V_{CC} ，轻松实现降压转换。该器件是低功耗便携式设备的理想之选。

所有数据 I/O 端口上均支持混合模式信号运行。由于输入端具备过压耐受特性，可实现两种电平转换：采用 3.3V V_{CC} 电源供电时，支持 5V 输入转 3.3V 输出电平转换；采用 2.5V V_{CC} 电源供电时，支持 5V/3.3V 输入转 2.5V 输出电平转换。

该器件适用于局部断电系统。无论器件上电或断电状态，其 I/O 均支持 5V 耐压； I_{off} 可支持部分断点模式运行。

- SN74CB3T3245 支持双向数据传输，传播延时接近于零。
- SN74CB3T3245 具备低导通状态电阻 (r_{on}) 特性 (r_{on} 典型值 = 5Ω)。
- SN74CB3T3245 输入和输出电容较低，可最大限度减小负载效应 ($C_{io(OFF)}$ 典型值 = $5pF$)。
- 数据与控制输入提供下冲钳位二极管。
- SN74CB3T3245 功耗很低 (I_{CC} 最大值 = $40\mu A$)。
- SN74CB3T3245 工作电压 V_{CC} 范围为 2.3V 至 3.6V。
- 数据 I/O 支持 0V 至 5V 信号电平 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)。
- 控制输入可由 TTL 或 5V/3.3V CMOS 输出驱动。

7.4 器件功能模式

表 7-1 列出了 SN74CB3T3245 器件的功能模式。

表 7-1. 功能表

输入 OE	输入/输出 A	功能
L	B	端口 A = 端口 B
H	Z	断开

8 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

此应用专为 5V 总线与 3.3V 器件连接适配而设计。假设该特定应用场景的通信为单向传输，信号由总线控制器传至器件。

8.2 典型应用

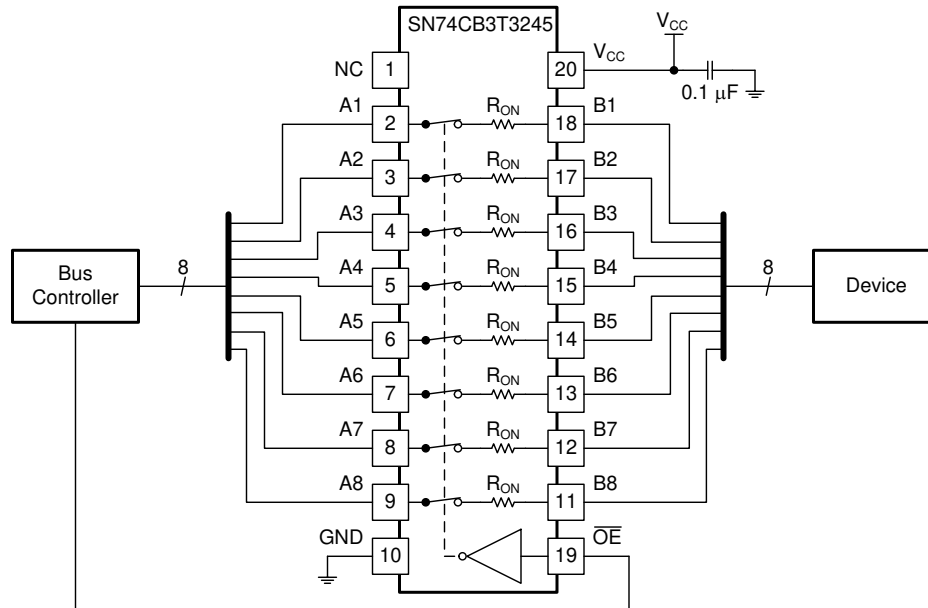


图 8-1. 典型应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为总线争用可驱动超过最大限值的电流。由于此设计用于降压转换，因此无需上拉电阻。

8.2.2 详细设计过程

1. 建议的输入条件
 - 指定的高电平和低电平。请参阅 [建议工作条件](#) 中的 (V_{IH} 和 V_{IL})。
 - 输入具有过压容限，允许它们在任何有效 V_{CC} 下高达 7V。
2. 建议的输出条件
 - 每个通道的负载电流不得超过 128mA。

8.2.3 应用曲线

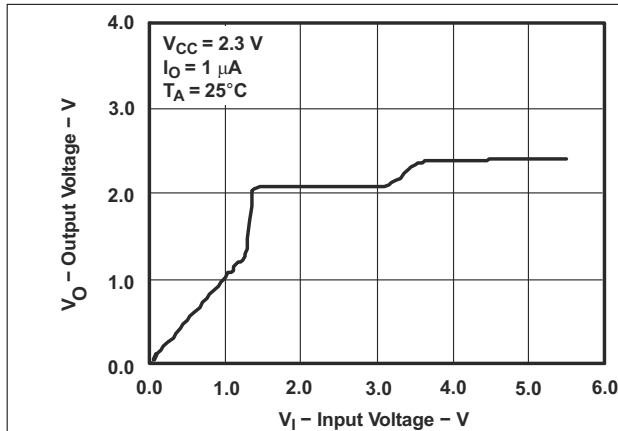


图 8-2. 数据输出电压与数据输入电压间的关系

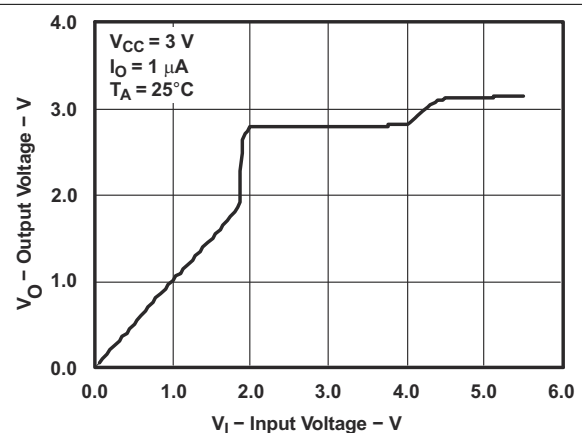


图 8-3. 数据输出电压与数据输入电压间的关系

8.3 电源相关建议

电源可以是 [建议运行条件](#) 中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用 $0.1 \mu\text{F}$ 旁路电容器。如果有多个引脚被标记为 V_{CC} ，鉴于 V_{CC} 引脚在电路内部彼此相连，TI 建议为每个 V_{CC} 引脚配备一个 $0.01 \mu\text{F}$ 或 $0.022 \mu\text{F}$ 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 $0.1 \mu\text{F}$ 旁路电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1 \mu\text{F}$ 和 $1 \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须靠近电源端子安装。

8.4 布局

8.4.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间存在显著差异，故而需要独立于该理论框架外进行探讨。当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 8-4 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

8.4.2 布局示例

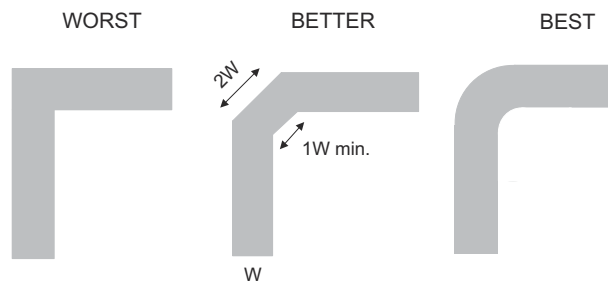


图 8-4. 布线示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI), [CMOS 输入缓慢或悬空的影响 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (May 2025) to Revision E (May 2026)	Page
• 将 OE 更新为 \overline{OE}	3
• 将 OE 更新为 OE	5

Changes from Revision C (May 2018) to Revision D (May 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 通篇添加了 DGS 封装.....	1
• 更新了 <i>开关特性</i> 表中的规格.....	4
• 在 <i>热信息</i> 表中添加了最新信息.....	4

Changes from Revision B (June 2015) to Revision C (May 2018)	Page
• 更改了引脚排列图像外观.....	3
• 将 $I_O = 1\text{mA}$ 更改为 $I_O = 1\mu\text{A}$ (图 8-2 和图 8-3 中)	11

Changes from Revision A (August 2012) to Revision B (June 2015)	Page
• 添加了 <i>应用</i> 、 <i>器件信息表</i> 、 <i>引脚配置和功能</i> 部分、 <i>ESD 等级表</i> 、 <i>特性说明</i> 部分、 <i>器件功能模式</i> 、 <i>应用和实 施</i> 部分、 <i>电源相关建议</i> 部分、 <i>布局</i> 部分、 <i>器件和文档支持</i> 部分以及 <i>机械</i> 、 <i>封装和可订购信息</i> 部分.....	1
• 删除了 <i>订购信息表</i> 。.....	1

Changes from Revision * (March 2005) to Revision A (August 2012)	Page
• 更新了图 1 中的图形注释和图片。.....	8

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3T3245DBQR	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQR.A	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQR.B	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4.A	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DBQRG4.B	Active	Production	SSOP (DBQ) 20	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CB3T3245
SN74CB3T3245DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	3OJS
SN74CB3T3245DGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVR.A	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4.A	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DGVRG4.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245DW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWG4	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245DWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3245
SN74CB3T3245PW	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	KS245
SN74CB3T3245PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245
SN74CB3T3245PWRG4.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS245

(1) **Status:** For more details on status, see our [product life cycle](#).

- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3245DBQR	SSOP	DBQ	20	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CB3T3245DBQRG4	SSOP	DBQ	20	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74CB3T3245DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74CB3T3245DGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3T3245DGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CB3T3245DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74CB3T3245PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74CB3T3245PWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3245DBQR	SSOP	DBQ	20	2500	353.0	353.0	32.0
SN74CB3T3245DBQRG4	SSOP	DBQ	20	2500	353.0	353.0	32.0
SN74CB3T3245DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74CB3T3245DGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74CB3T3245DGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74CB3T3245DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74CB3T3245PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74CB3T3245PWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74CB3T3245DW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CB3T3245DW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74CB3T3245DWG4	DW	SOIC	20	25	507	12.83	5080	6.6

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0020A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

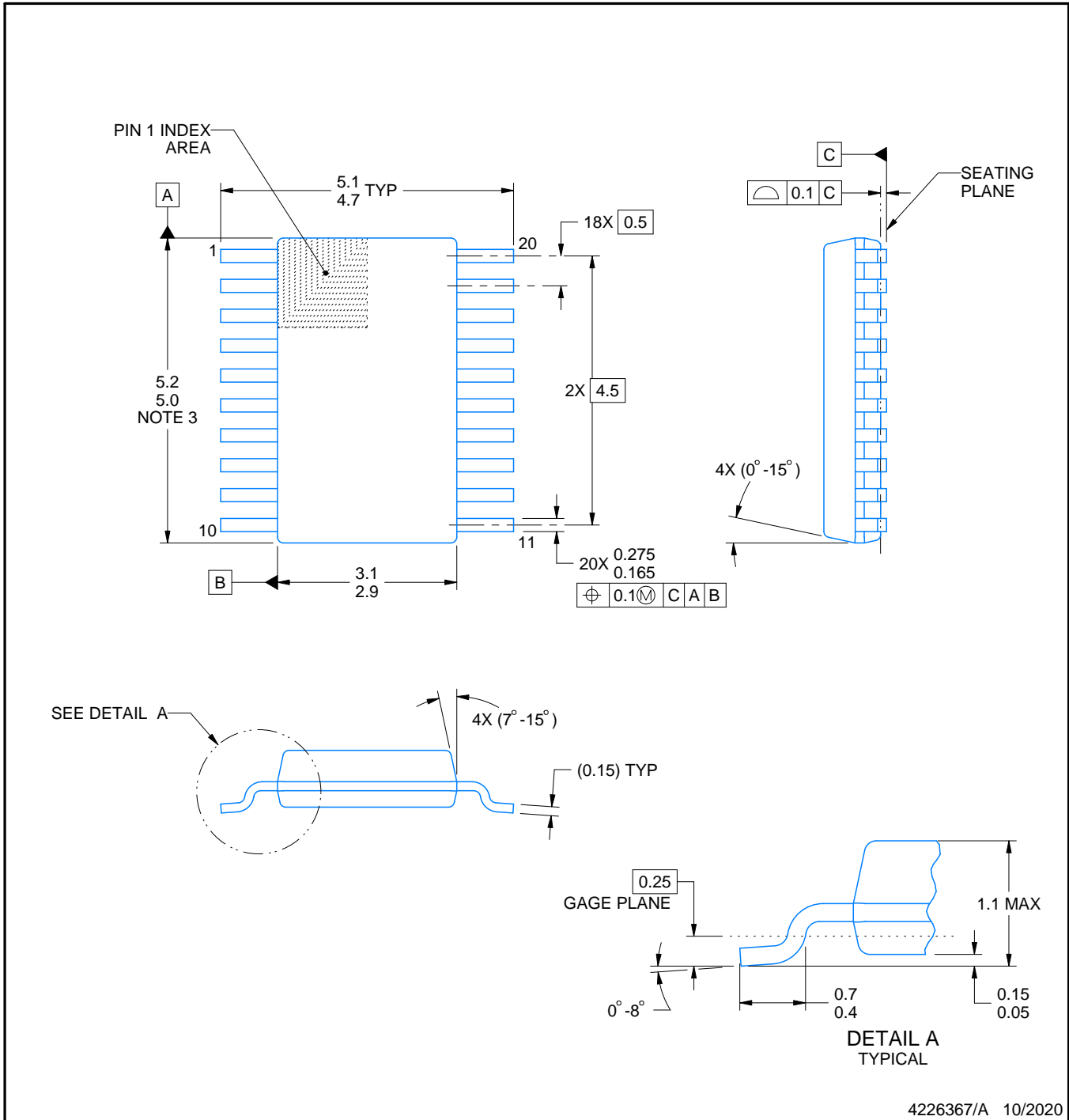
DGS0020A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

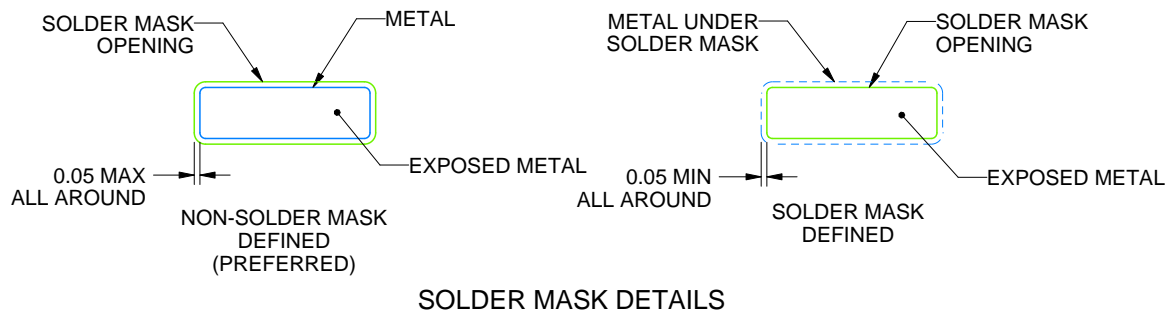
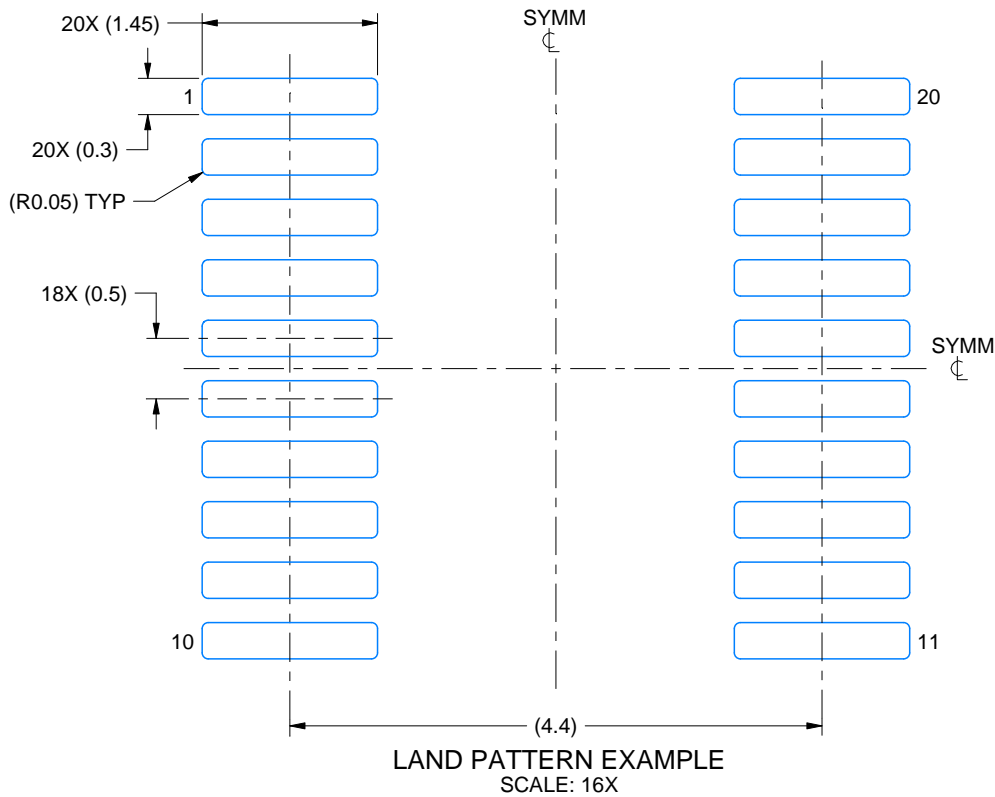
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

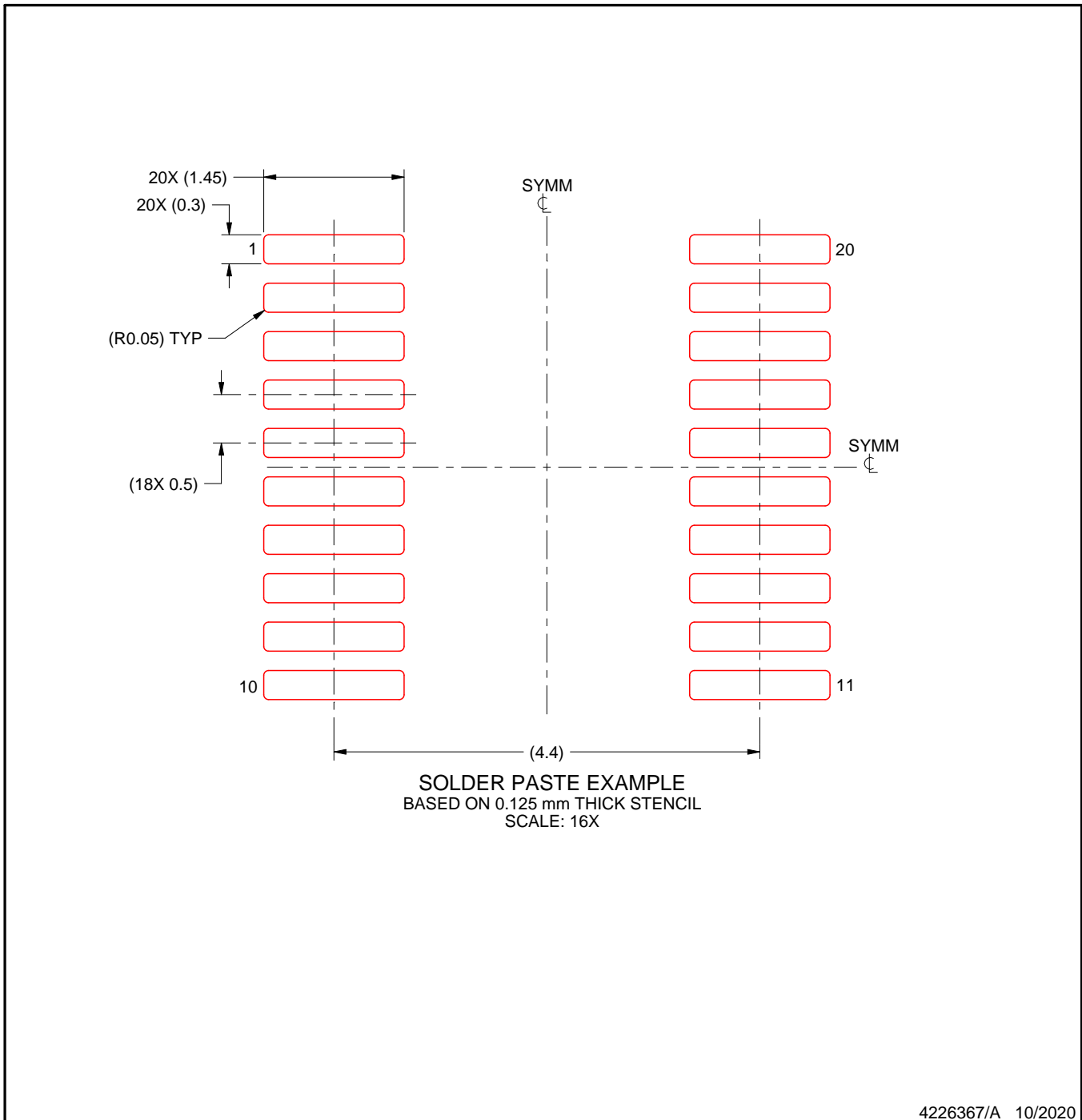
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

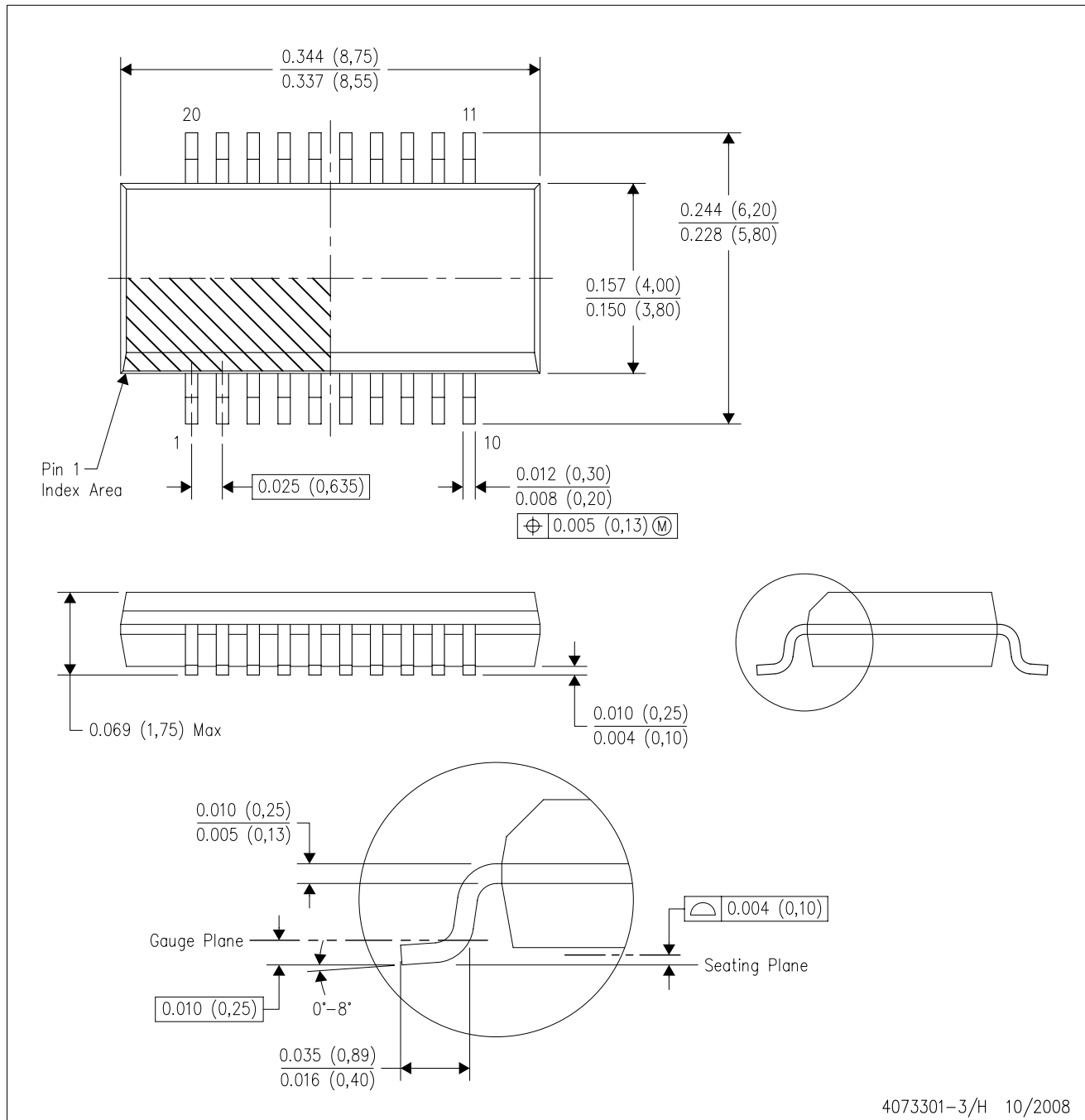


NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DBQ (R-PDSO-G20)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
 - D. Falls within JEDEC MO-137 variation AD.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月