具有施密特触发输入的 SN74HCS7002-Q1 汽车级四路双输入或非门

1 特性

- 宽工作电压范围：2V 至 6V
- 施密特触发输入可实现慢速或高噪声输入信号
- 低功耗
  - I_{CC} 典型值为 100nA
  - 输入漏电流典型值为 ±100nA
- 5V 时，输出驱动为 ±7.8mA

2 应用

- 警报/篡改检测电路
- S-R 锁存器

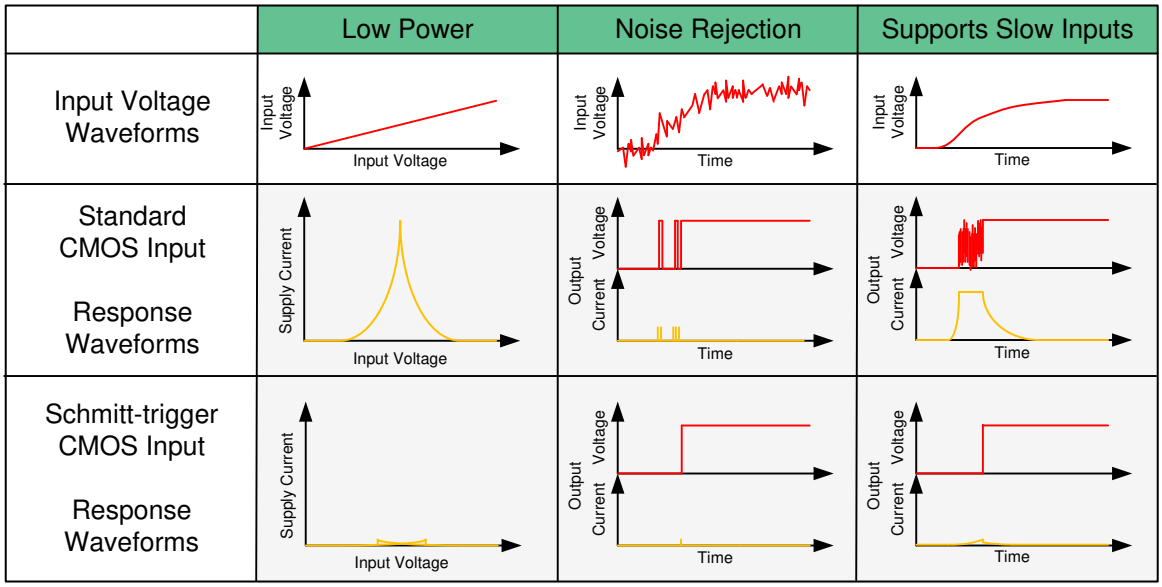
3 说明

该器件包含四个具有施密特触发输入的独立 2 输入或非门。每个逻辑门以正逻辑执行布尔函数 $Y = \overline{A + B}$。

封装信息

器件型号	封装(1)	封装尺寸(2)
SN74HCS7002QDRQ1	SOIC (14)	8.70mm × 3.90mm
SN74HCS7002QPWRQ1	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



施密特触发输入的优势

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 开关特性 5
5.7 典型特性 6
6 参数测量信息 7
7 应用和实施 8
7.1 应用信息 8
7.2 典型应用 8
7.3 电源相关建议 10
7.4 布局 10
8 器件和文档支持 11
8.1 文档支持 11
8.2 相关链接 11
8.3 接收文档更新通知 11
8.4 支持资源 11
8.5 商标 11
8.6 静电放电警告 11
8.7 术语表 11
9 修订历史记录 11
10 机械、封装和可订购信息 12

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

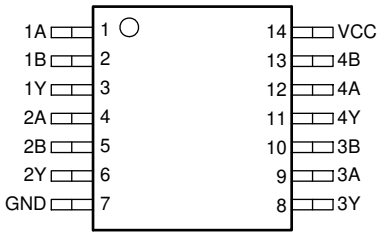


图 4-1. D 或 PW 封装 14 引脚 SOIC 或 TSSOP 顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
1A	1	输入	通道 1，输入 A
1B	2	输入	通道 1，输入 B
1Y	3	输出	通道 1，输出 Y
2A	4	输入	通道 2，输入 A
2B	5	输入	通道 2，输入 B
2Y	6	输出	通道 2，输出 Y
GND	7	—	接地
3Y	8	输出	通道 3，输出 Y
3A	9	输入	通道 3，输入 A
3B	10	输入	通道 3，输入 B
4Y	11	输出	通道 4，输出 Y
4A	12	输入	通道 4，输入 A
4B	13	输入	通道 4，输入 B
V_{CC}	14	—	正电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	7	V
I_{IK}	输入钳位电流(2)	V_I < –0.5 或 V_I > V_{CC} + 0.5		±20	mA
I_{OK}	输出钳位电流(2)	V_O < –0.5 或 V_O > V_{CC} + 0.5		±20	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±35	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_J	结温(3)			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出电压额定值。请勿超出绝对最大电源电压额定值。
(3) 经设计验证。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2	±4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C6	±1500	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	2		6	V
V_I	输入电压	0		V_{CC}	V
V_O	输出电压	0		V_{CC}	V
$\Delta t/\Delta v$	输入转换上升或下降速率			无限	ns/V
T_A	环境温度	-40		125	°C

5.4 热性能信息

热指标		SN74HCS7002-Q1		单位
		PW (TSSOP)	D (SOIC)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	151.7	133.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	79.4	89.0	°C/W
$R_{\theta JB}$	结至电路板热阻	94.7	89.5	°C/W
Ψ_{JT}	结至顶部特征参数	25.2	45.5	°C/W
Ψ_{JB}	结至电路板特征参数	94.1	89.1	°C/W

Copyright © 2026 Texas Instruments Incorporated

热指标		SN74HCS7002-Q1		单位
		PW (TSSOP)	D (SOIC)	
		14 引脚	14 引脚	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

5.5 电气特性

在自然通风条件下的工作温度范围内测得；典型额定值在 T_A = 25°C 时测得（除非另有说明）

参数		测试条件		V_{CC}	最小值	典型值	最大值	单位
V_{T+}	正开关阈值			2V	1.13	1.26	1.37	V
				4.5V	2.31	2.47	2.66	
				6V	2.99	3.18	3.44	
V_{T-}	负开关阈值			2V	0.55	0.62	0.71	V
				4.5V	1.21	1.36	1.5	
				6V	1.56	1.79	1.99	
ΔV_T	V_{T+} - V_{T-}			2V	0.54	0.64	0.71	V
				4.5V	0.94	1.11	1.27	
				6V	1.20	1.38	1.57	
V_{OH}	高电平输出电压	V_I = V_{IH} 或 V_{IL}	I_{OH} = -20μA	2V 至 6V	V_{CC} - 0.1	V_{CC} - 0.002		V
			I_{OH} = -6mA	4.5V	4.0	4.3		
			I_{OH} = -7.8mA	6V	5.4	5.75		
V_{OL}	低电平输出电压	V_I = V_{IH} 或 V_{IL}	I_{OL} = 20μA	2V 至 6V		0.002	0.1	V
			I_{OL} = 4mA	4.5V		0.18	0.30	
			I_{OL} = 7.8mA	6V		0.22	0.33	
I_I	输入漏电流	V_I = V_{CC} 或 0		6V		±100	±1000	nA
I_{CC}	电源电流	V_I = V_{CC} 或 0，I_O = 0		6V		0.1	2	μA
C_i	输入电容			2V 至 6V			5	pF

5.6 开关特性

在自然通风条件下的工作温度范围内测得；典型额定值在 T_A = 25°C 时测得（除非另有说明）。请参阅参数测量信息。

参数		从（输入）	至（输出）	V_{CC}	最小值	典型值	最大值	单位
t_{pd}	传播延迟	A 或 B	Y	2V		16	32	ns
				4.5V		7	15	
				6V		6	12	
t_t	转换时间	A 或 B	Y	2V		7.7	13	ns
				4.5V		4	6.1	
				6V		3.5	5.1	

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

T_A = 25°C

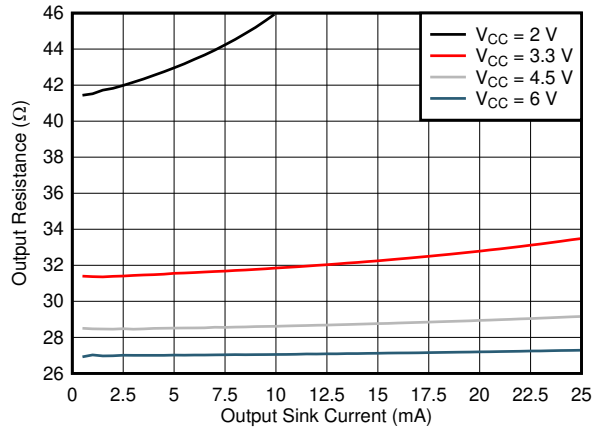


图 5-1. 低电平状态下的输出驱动器电阻

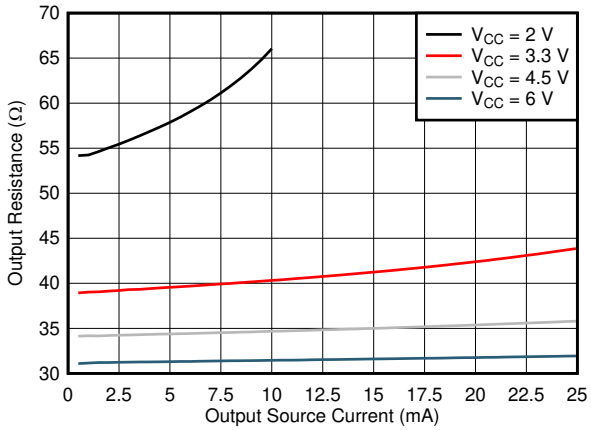


图 5-2. 高电平状态下的输出驱动器电阻

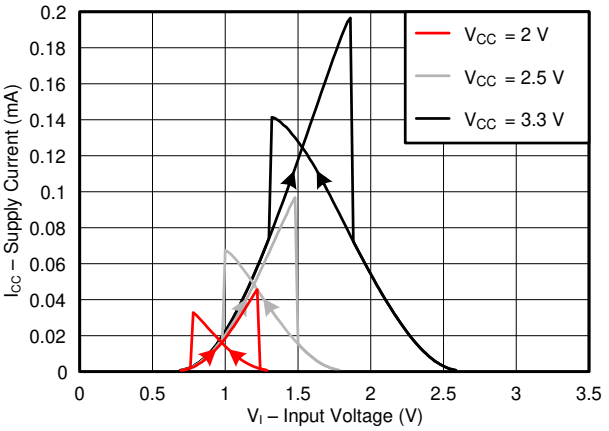


图 5-3. 不同常见电源电压值下（2V 至 3.3V）下典型电源电流与输入电压间的关系

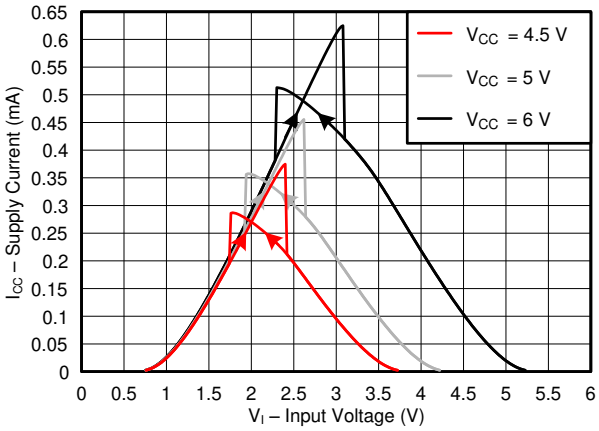


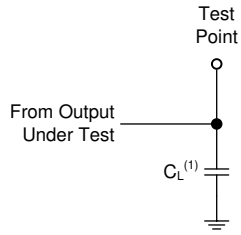
图 5-4. 不同常见电源电压值下（4.5V 至 6V）下典型电源电流与输入电压间的关系

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω ，t_t < 2.5ns。

一次测量一个输出，每次测量一个输入转换。



A. C_L= 50pF 并且包括探针和夹具电容。

图 6-1. 负载电路

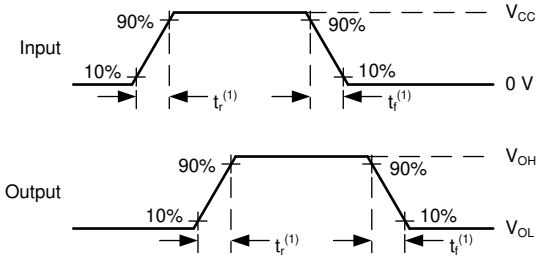
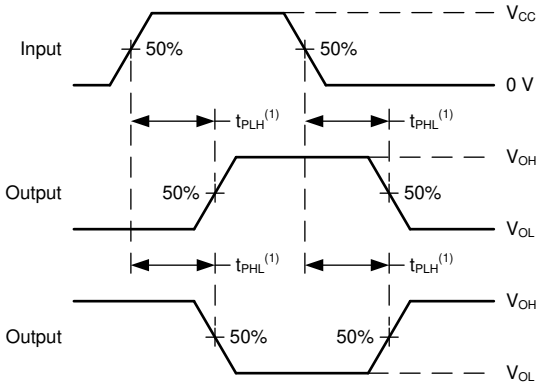


图 6-2. 电压波形
转换时间



A. t_{PLH} 和 T_{PHL} 之间的最大者用于 t_{pd}。

图 6-3. 电压波形
传播延迟

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

在该应用中，使用两个双输入与非门来创建 SR 锁存器，如图 7-1 所示。可以对第二个 SR 锁存器使用两个额外的逻辑门，或者可将输入接地且两个通道均未使用。

SN74HCS7002-Q1 用于驱动防拆指示灯 LED 并为系统控制器提供一位数据。当防拆开关输出高电平时，输出 Q 变为高电平。此输出保持高电平，直到系统控制器处理该事件并向 R 输入发送高电平信号，使 Q 输出恢复至低电平。

用户可以在或非门的反馈路径中添加一个小 RC，以将输出设为特定默认状态，这可能会产生较慢的转换速率。这一事实使得 SN74HCS7002-Q1 具有无输入切换速率要求的施密特触发输入，是该应用的理想之选。

7.2 典型应用

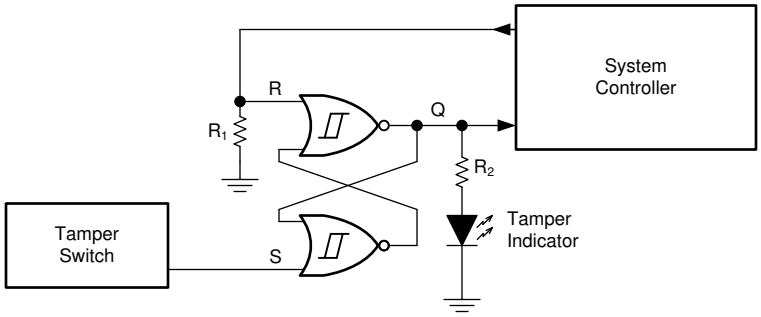


图 7-1. 典型应用框图

7.2.1 设计要求

7.2.1.1 电源注意事项

验证所需电源电压在*电气特性*中规定的范围内。电源电压按照*电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74HCS7002-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74HCS7002-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74HCS7002-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但是，TI 建议在输出端和电容器之间添加一个串联电阻器，以防止电流过大。

SN74HCS7002-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算应用手册* 中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性应用手册* 中提供的信息计算热增量。

Copyright © 2026 Texas Instruments Incorporated

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

7.2.1.2 输入注意事项

输入信号必须超过 $V_{t-(min)}$ 才能被视为逻辑低电平，超过 $V_{t+(max)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74HCS7002-Q1 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74HCS7002-Q1 由于器件具有施密特触发输入，因而没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参阅电气特性中的 $\Delta V_{T(min)}$。此迟滞值会提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 V_{CC} 或地电平以外的值所导致的典型附加电流绘制在典型特性中。

有关此器件的输入的附加信息，请参阅*特性描述*。

7.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流会降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

7.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 SN74HCS7002-Q1 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})\Omega$。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算应用手册* 中提供的步骤计算功耗和热增量。

7.2.3 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局*中展示了示例布局。
2. 确保输出端的容性负载 ≤ 70pF。这不是硬性限制；而旨在确立峰值性能。这可以通过从 SN74HCS7002Q1 向接收器件布置短且宽度适当的走线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/25mA)$ Ω。这将确保不会违反*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于上面计算的最小值。
4. 逻辑门很少关注散热问题；不过，可以使用应用手册 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热增量

Copyright © 2026 Texas Instruments Incorporated

7.2.4 应用曲线

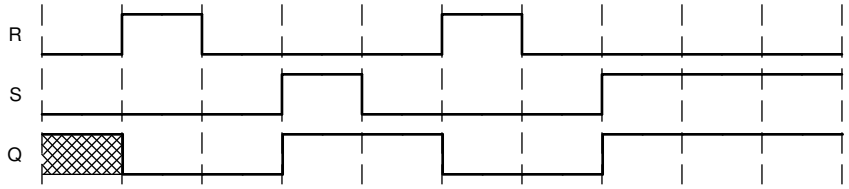


图 7-2. 应用时序图

7.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如*图 7-3* 所示。

7.4 布局

7.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 VCC，以对逻辑功能更有意义或更方便者为准。

7.4.2 布局示例

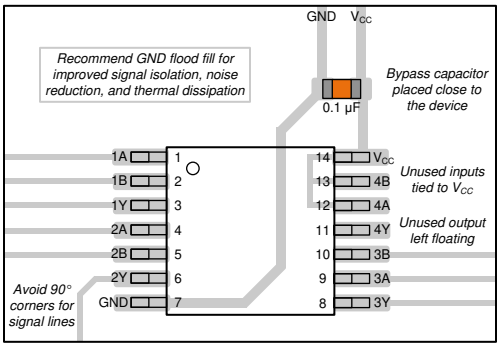


图 7-3. SN74HCS7002-Q1 的示例布局

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- HCMOS 设计注意事项
- CMOS 功耗与 CPD 计算
- 使用逻辑进行设计

8.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from October 17, 2019 to October 9, 2026 (from Revision B (October 2019) to Revision C (October 2026))	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将 2V V_{CC} 时的 V_{T+} 限值从 0.7V（最小值）、1.5V（最大值）更改为 1.13V（最小值）、1.37V（最大值）	5
• 添加了 V_{CC} 为 2V 时的 V_{T+} 典型值	5
• 将 4.5V V_{CC} 时的 V_{T+} 限值从 1.7V（最小值）、3.15V（最大值）更改为 2.31V（最小值）、2.66V（最大值）	5
• 添加了 V_{CC} 为 4.5V 时的 V_{T+} 典型值	5
• 将 6V V_{CC} 时的 V_{T+} 限值从 2.1V（最小值）、4.2V（最大值）更改为 2.99V（最小值）、3.44V（最大值）	5
• 添加了 V_{CC} 为 6V 时的 V_{T+} 典型值	5

Copyright © 2026 Texas Instruments Incorporated

- 将 2V V_{CC} 时的 V_{T-} 限值从 0.3V（最小值）、1.0V（最大值）更改为 0.55V（最小值）、0.71V（最大值）....5
- 添加了 V_{CC} 为 2V 时的 V_{T-} 典型值.... 5
- 将 4.5V V_{CC} 时的 V_{T-} 限值从 0.9V（最小值）、2.2V（最大值）更改为 1.21V（最小值）、1.50V（最大值）.5
- 添加了 V_{CC} 为 4.5V 时的 V_{T-} 典型值.... 5
- 将 6V V_{CC} 时的 V_{T-} 限值从 1.2V（最小值）、3.0V（最大值）更改为 1.56V（最小值）、1.99V（最大值）....5
- 添加了 V_{CC} 为 6V 时的 V_{T-} 典型值.... 5
- 将 2V V_{CC} 时的 ΔV_T 限值从 0.2V（最小值）、1.0V（最大值）更改为 0.54V（最小值）、0.71V（最大值）.5
- 添加了 V_{CC} 为 2V 时的 ΔV_T 典型值....5
- 将 4.5V V_{CC} 时的 ΔV_T 限值从 0.4V（最小值）、1.4V（最大值）更改为 0.94V（最小值）、1.27V（最大值）.... 5
- 添加了 V_{CC} 为 4.5V 时的 ΔV_T 典型值....5
- 将 6V V_{CC} 时的 ΔV_T 限值从 0.6V（最小值）、1.6V（最大值）更改为 1.20V（最小值）、1.57V（最大值）.5
- 添加了 V_{CC} 为 6V 时的 ΔV_T 典型值....5

Changes from Revision A (September 2019) to Revision B (October 2019) **Page**

- 向数据表添加了 D 封装.... 1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HCS7002QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC7002Q
SN74HCS7002QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC7002Q
SN74HCS7002QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HC7002Q
SN74HCS7002QPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC7002Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74HCS7002-Q1 :

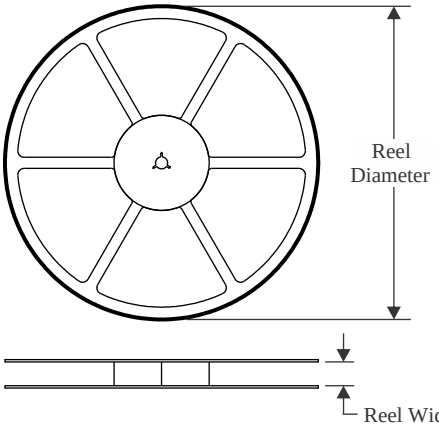
- Catalog : SN74HCS7002

NOTE: Qualified Version Definitions:

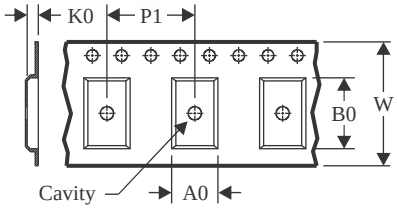
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

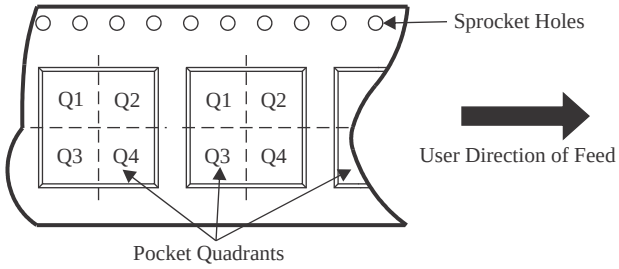


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

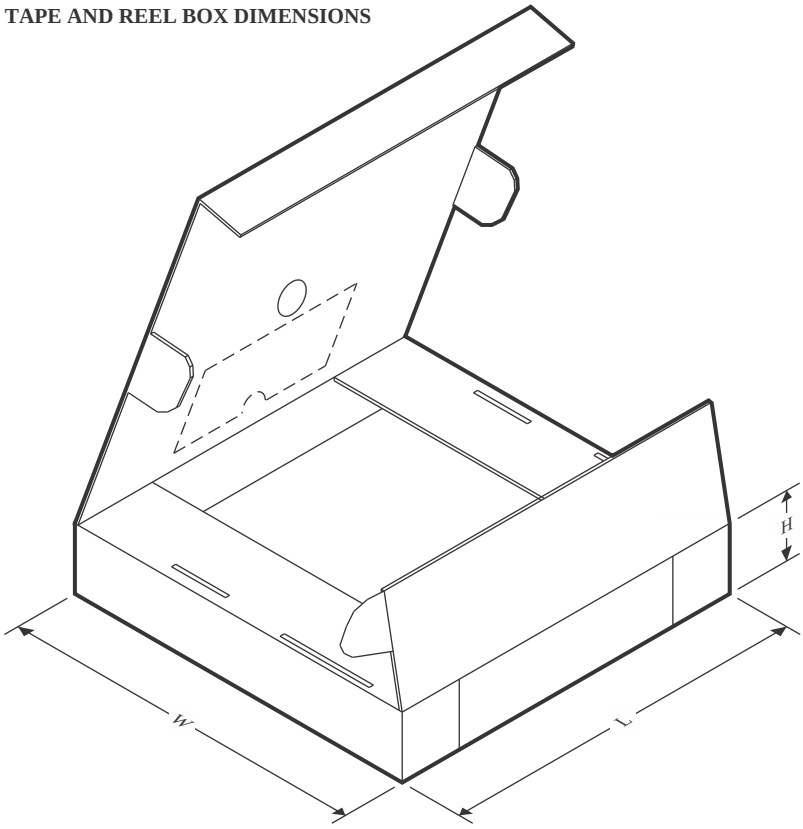
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

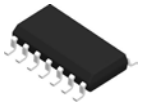
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HCS7002QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HCS7002QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HCS7002QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
SN74HCS7002QPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0

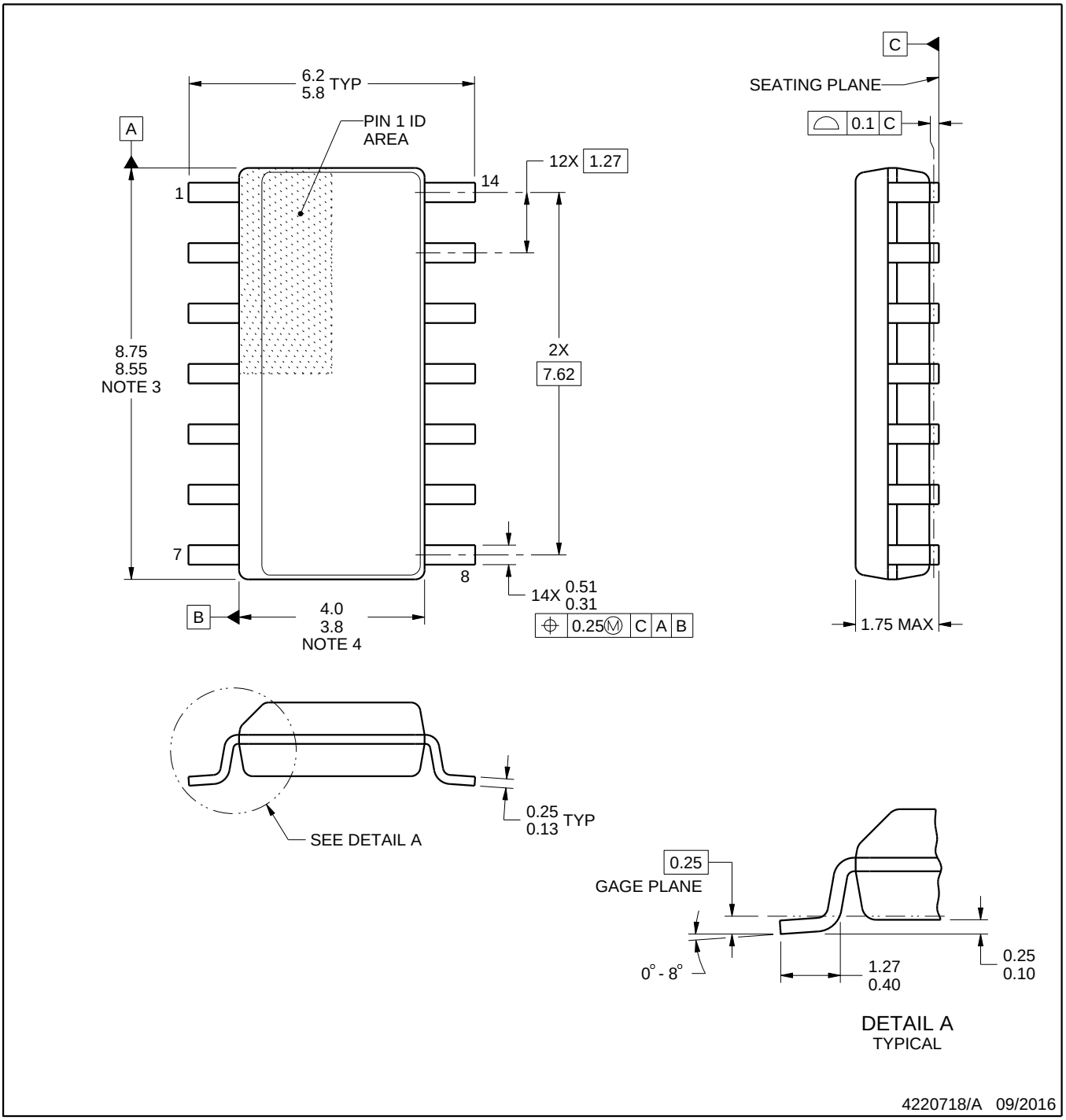


PACKAGE OUTLINE

D0014A

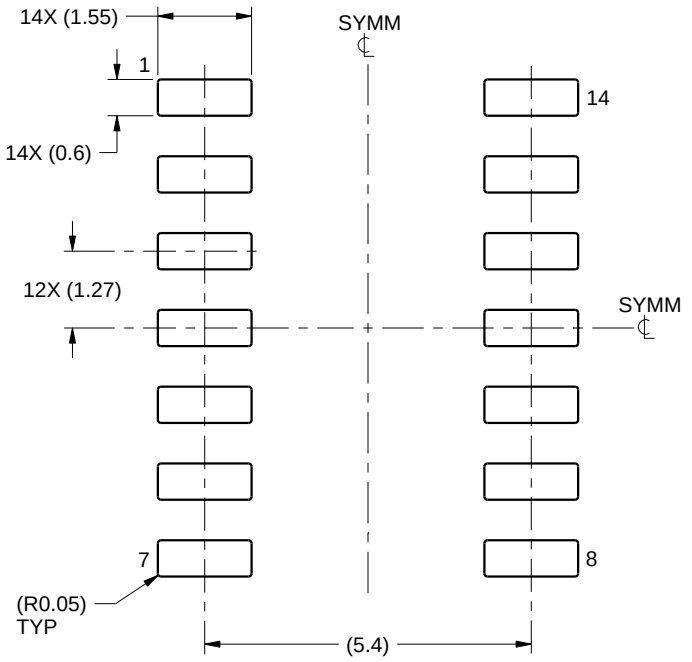
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

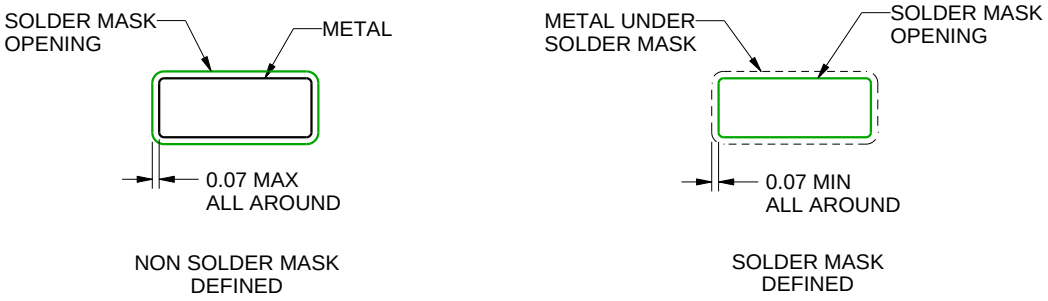


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

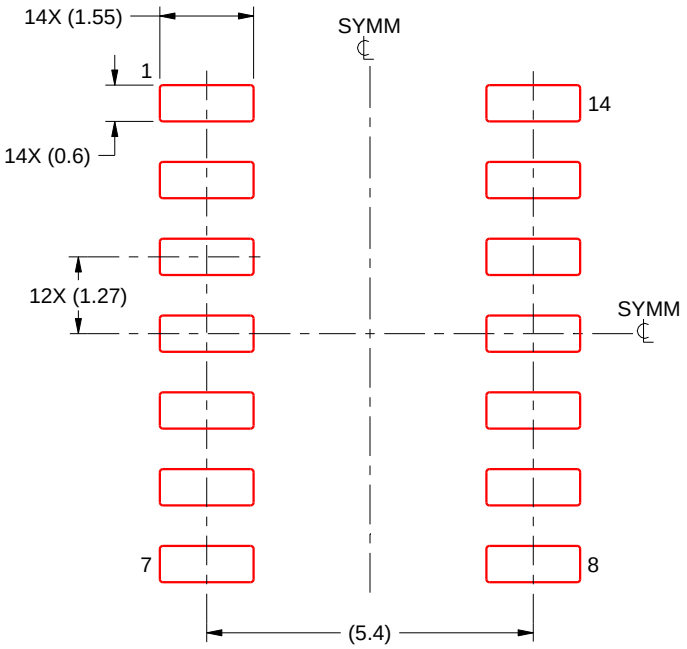
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

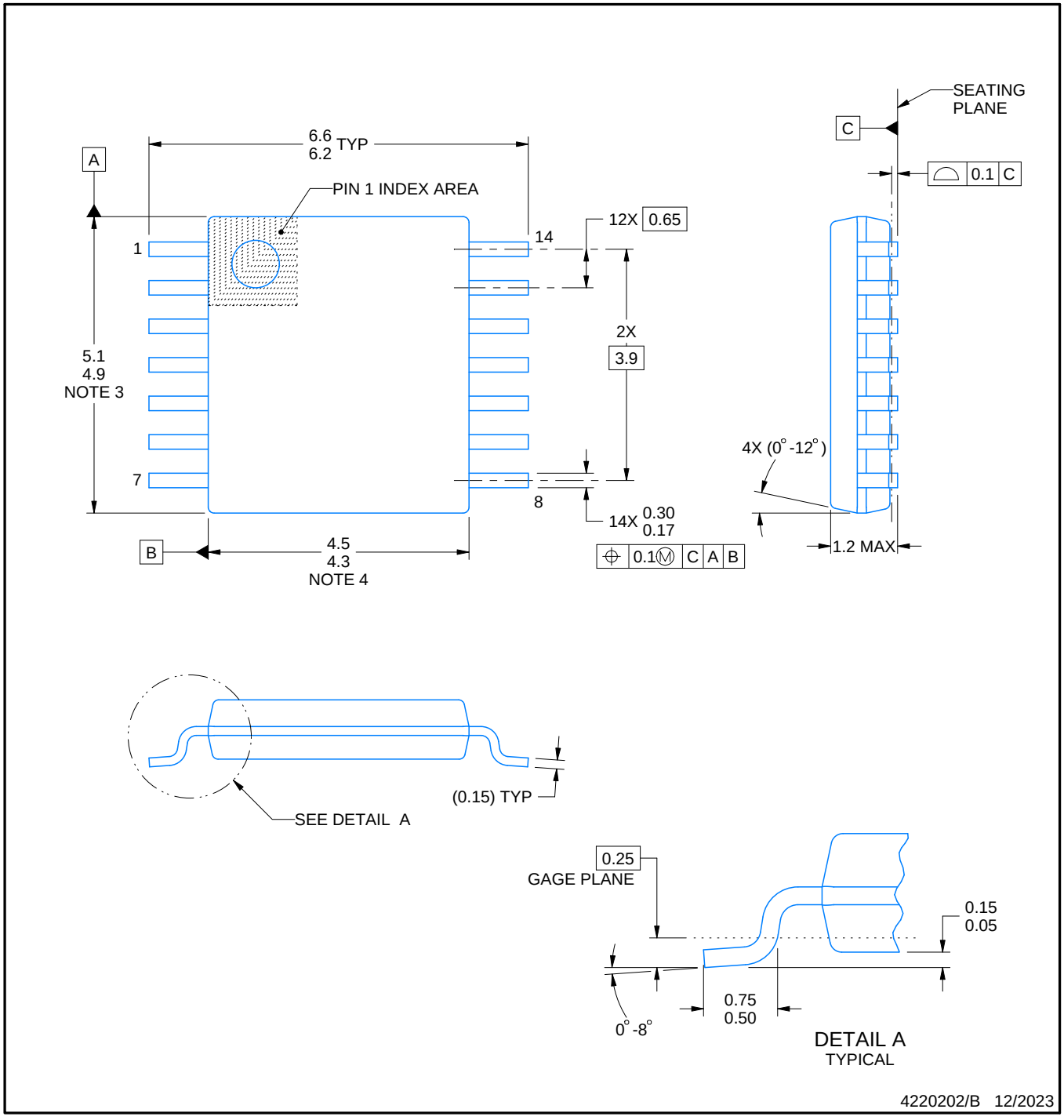
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

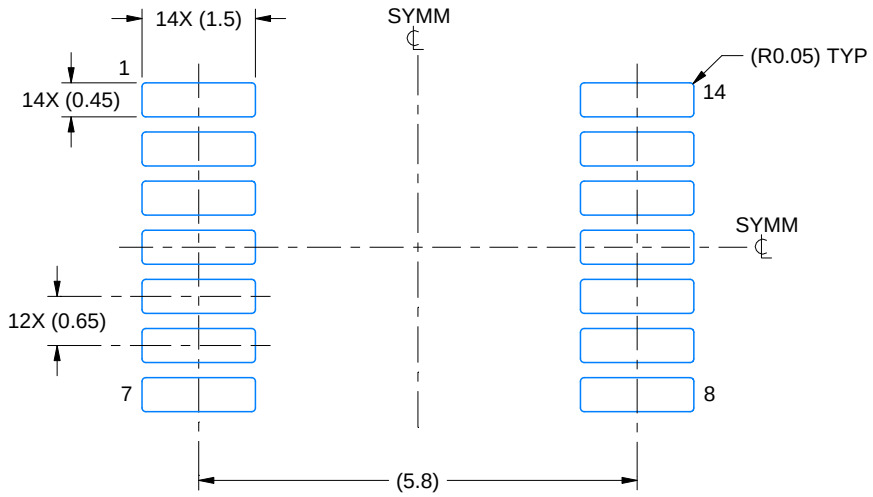
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

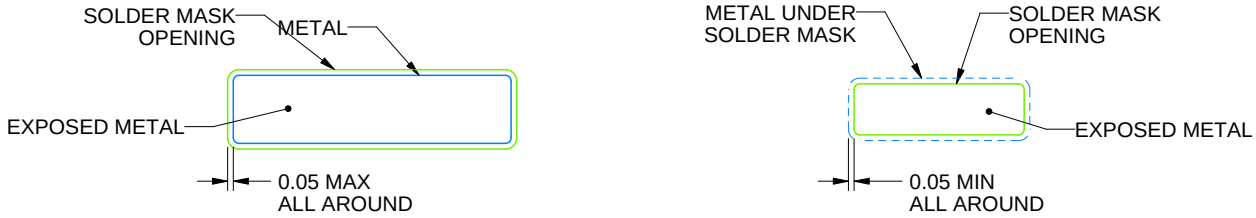


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

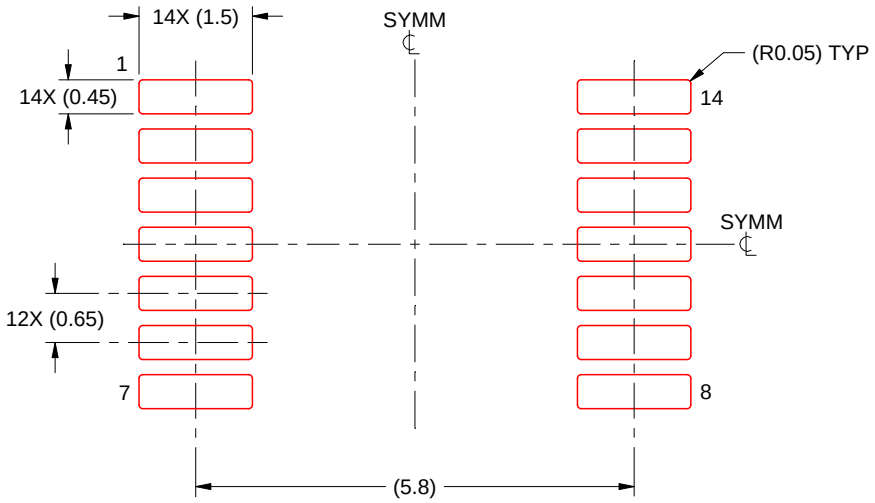


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月