SN74LV273A 具有清零功能的八路 D 类触发器

1 特性

- 工作范围为 2V 至 5.5V V_{CC}
- 5V 时 t_{pd} 最大值为 10.5 ns
- V_{OLP}（输出接地反弹）
  典型值小于 0.8V（V_{CC} = 3.3V、T_A = 25°C）
- V_{CC} = 3.3V、T_A = 25°C 时，V_{OHV}（输出 V_{OH} 下冲）典型值
  大于 2.3V
- I_{off} 支持局部断电模式运行
- 所有端口上均支持以混合模式电压运行
- 闩锁性能超过 250mA，符合
  JESD 17 规范

2 应用

- 变电站控制
- I/O 模块；模拟 PLC/DCS 输入
- 人机界面 (HMI)
- 流量计
- 患者监护
- 测试和测量解决方案

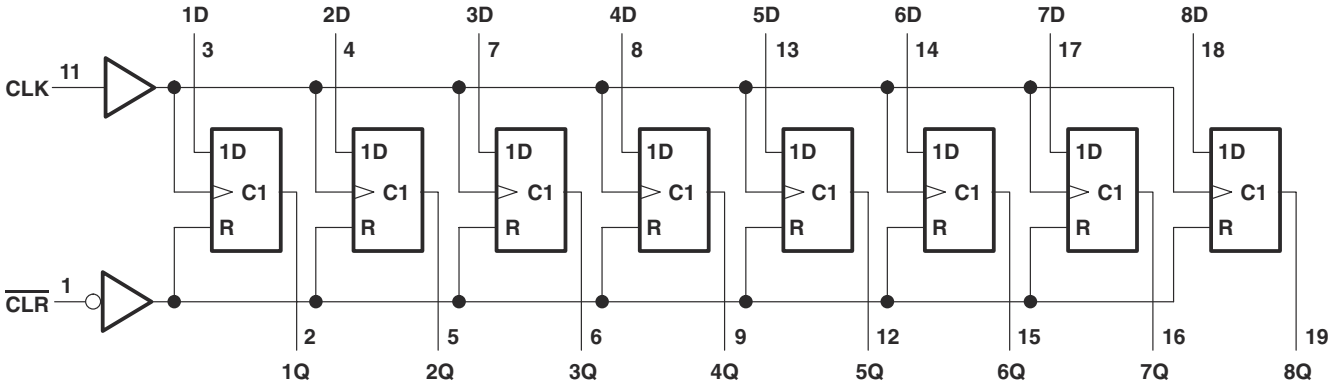
3 说明

SN74LV273A 器件是一款八路 D 类触发器，旨在于 2V 至 5.5V V_{CC} 下运行。

封装信息

器件型号	封装 [1]	封装尺寸 [2]
SN74LV273A	DB（SSOP，20）	7.2 mm × 7.8 mm
	DGV（TVSOP，20）	5.00 mm x 6.4 mm
	DW（SOIC，20）	12.80 mm x 10.3 mm
	NS（SO，20）	12.60mm × 5.30mm
	PW（TSSOP，20）	6.50 mm x 7.8 mm
	RGY（VQFN，20）	4.5 mm x 3.50 mm
	RKS（VQFN，20）	4.50mm × 2.50mm
	DGS（VSSOP，20）	5.10 mm x 4.9 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 x 宽）为标称值，并包括引脚（如适用）。



逻辑图（正逻辑）

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 6
6.4 热性能信息 6
6.5 电气特性 7
6.6 时序要求，V_{CC} = 2.5V ± 0.2V 7
6.7 时序要求，V_{CC} = 3.3V ± 0.3V 7
6.8 时序要求，V_{CC} = 5V ± 0.5V 8
6.9 开关特性，V_{CC} = 2.5V ± 0.2V 8
6.10 开关特性，V_{CC} = 3.3V ± 0.3V 8
6.11 开关特性，V_{CC} = 5V ± 0.5V 9
6.12 噪声特性 9
6.13 工作特性 9
6.14 典型特性 10
7 参数测量信息 12
8 详细说明 13
8.1 概述 13
8.2 功能方框图 13
8.3 特性说明 13
8.4 器件功能模式 14
9 应用和实施 15
9.1 应用信息 15
9.2 典型应用 15
9.3 电源相关建议 18
9.4 布局 18
10 器件和文档支持 19
10.1 接收文档更新通知 19
10.2 支持资源 19
10.3 商标 19
10.4 静电放电警告 19
10.5 术语表 19
11 机械、封装和可订购信息 19

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (March 2023) to Revision O (August 2023) **Page**

- 删除了*封装信息*表中的 *ZQN* 和 *GQN* 1
- 将 PW 封装的热性能值从 R θ JA = 104.7 更新为 128.2，从 R θ JC(top) = 38.8 更新为 70.5，从 R θ JB = 55.7 更新为 79.3，从 ΨJT = 2.9 更新为 23.4，从 ΨJB = 55.1 更新为 78.9，所有值均以 °C/W 为单位 6

Changes from Revision M (January 2023) to Revision N (March 2023) **Page**

- 将 DB 封装的热性能值从 R θ JA = 98.7 更新为 128.2，从 R θ JC(top) = 60.4 更新为 70.5，从 R θ JB = 56.9 更新为 79.3，从 ΨJT = 21.6 更新为 23.4，从 ΨJB = 55.1 更新为 78.9，所有值均以 °C/W 为单位 6
- 将 DW 封装的热性能值从 R θ JA = 81.8 更新为 102.3，从 R θ JC(top) = 47.8 更新为 69.9，从 R θ JB = 49.4 更新为 70.8，从 ΨJT = 20.1 更新为 46.4，从 ΨJB = 49.0 更新为 70.4，所有值均以 °C/W 为单位 6

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

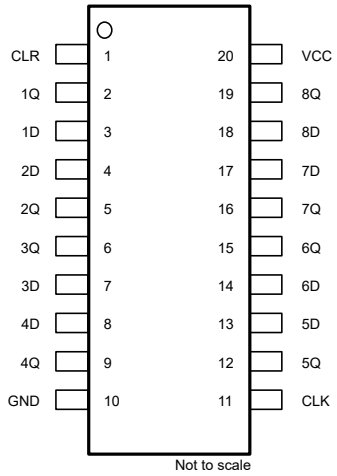


图 5-1. SN74LV273A DB、DGV、DW、NS、PW 或 DGS 封装，20 引脚 SSOP、TVSOP、SOP、TSSOP 或 VSSOP（顶视图）

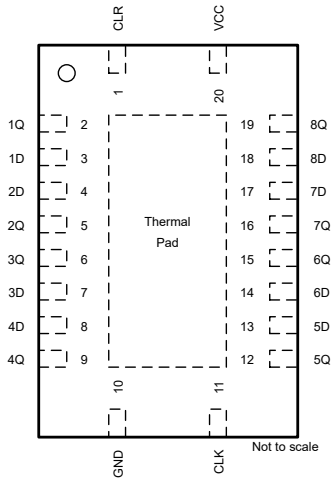


图 5-2. SN74LV273A RGY 或 RKS 封装，20 引脚 VQFN（顶视图）

表 5-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
$\overline{CLR}$	1	I	清零引脚
1Q	2	O	1Q 输出
1D	3	I	1D 输入
2D	4	I	2D 输入
2Q	5	O	2Q 输出
3Q	6	O	3Q 输出
3D	7	I	3D 输入
4D	8	I	4D 输入
4Q	9	O	4Q 输出
GND	10	—	接地引脚
CLK	11	I	时钟管脚
5Q	12	O	5Q 输出
5D	13	I	5D 输入
6D	14	I	6D 输入
6Q	15	O	6Q 输出
7Q	16	O	7Q 输出
7D	17	I	7D 输入
8D	18	I	8D 输入
8Q	19	O	8Q 输出
V_{CC}	20	—	电源引脚
散热焊盘		—	散热焊盘[2]

(1) I = 输入，O = 输出
(2) 仅限 RKS 封装

Copyright © 2023 Texas Instruments Incorporated

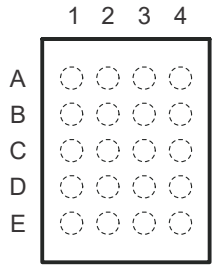


图 5-3. GQN 或 ZQN 封装，20 引脚 BGA（顶视图）

表 5-2. GQN 或 ZQN 引脚分配

	1	2	3	4
A	1Q	$\overline{CLR}$	V_{CC}	8Q
B	2D	7D	1D	8D
C	3Q	2Q	6Q	7Q
D	4D	5D	3D	6D
E	GND	4Q	CLK	5Q

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的运行温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围(2)		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	7	V
V_O	输出电压范围(2) (3)		-0.5	V_{CC}+0.5	V
I_{IK}	输入钳位电流	V_I < 0		-20	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 超出 *绝对最大额定值* ” 下列出的压力可能会对器件造成永久损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件* 以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) 该值被限制为最大 5.5V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±3000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±2000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2023 Texas Instruments Incorporated

6.3 建议运行条件

(1)

			最小值	最大值	单位
V_{CC}	电源电压		2	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5		V
		V_{CC}=2.3V 至 2.7V	V_{CC} × 0.7		
		V_{CC}=3V 至 3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V 至 5.5V	V_{CC} × 0.7		
V_{IL}	低电平输入电压	V_{CC} = 2V		0.5	V
		V_{CC}=2.3V 至 2.7V		V_{CC} × 0.3	
		V_{CC}=3V 至 3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V 至 5.5V		V_{CC} × 0.3	
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 2V		-50	μA
		V_{CC}=2.3V 至 2.7V		– 2	mA
		V_{CC}=3V 至 3.6V		-6	
		V_{CC} = 4.5V 至 5.5V		– 12	
I_{OL}	低电平输出电流	V_{CC} = 2V		50	μA
		V_{CC}=2.3V 至 2.7V		2	mA
		V_{CC}=3V 至 3.6V		6	
		V_{CC} = 4.5V 至 5.5V		12	
Δt/Δv	输入转换上升或下降速率	V_{CC}=2.3V 至 2.7V		200	ns/V
		V_{CC}=3V 至 3.6V		100	
		V_{CC} = 4.5V 至 5.5V		20	
T_A	自然通风工作温度		-40	125	°C

(1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告，CMOS 输入缓慢或悬空的影响 (SCBA004)。

6.4 热性能信息

热指标(1)		SN74LV273A								单位
		DB	DGV	DW	NS	PW	RGY	RKS	DGS	
		20 个引脚								
$R_{\theta JA}$	结至环境热阻	118.2	118.1	102.3	79.4	128.2	37.1	75.2	125.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.2	33.4	69.9	45.9	70.5	46.1	79.4	80.0	
$R_{\theta JB}$	结至电路板热阻	73	59.6	70.8	46.9	79.3	14.9	47.8	63.8	
ψ_{JT}	结至顶部特征参数	42.2	1.1	46.4	19.1	23.4	1.3	14.6	8.4	
ψ_{JB}	结至电路板特征参数	72.6	58.9	70.4	46.5	78.9	15.0	47.8	79.9	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	9.8	31.5	不适用	

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标*应用报告 (SPRA953)。

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			–40°C 至 85°C		–40°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	I_{OH} = -50μA	2V 至 5.5V	V_{CC} – 0.1			V_{CC} – 0.1		V_{CC} – 0.1		V
	I_{OH} = -2mA	2.3V	2			2		2		
	I_{OH}=-6 mA	3V	2.48			2.48		2.48		
	I_{OH}=-12 mA	4.5V	3.8			3.8		3.8		
V_{OL}	I_{OL} = -50μA	2V 至 5.5V			0.1		0.1		0.1	V
	I_{OL} = -2 mA	2.3V			0.4		0.4		0.4	
	I_{OL} = -6 mA	3V			0.44		0.44		0.44	
	I_{OL} = -12 mA	4.5V			0.55		0.55		0.55	
I_I	V_I=5.5V 或 GND	0 至 5.5V			±1		±1		±1	μA
I_{CC}	V_I = V_{CC} 或 GND， I_O = 0	5.5V			20		20		20	μA
I_{off}	V_I 或 V_O = 0V 至 5.5 V	0V			5		5		5	μA
C_i	V_I = V_{CC} 或 GND	3.3V		2						pF

6.6 时序要求，V_{CC} = 2.5V ± 0.2V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

		T_A = 25°C		–40°C 至 85°C		–40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w 脉冲持续时间	$\overline{CLR}$ 低电平	6.5		7		7.5		ns
	CLK 高电平或低电平	7		8.5		9		
t_{su} 建立时间，CLK ↑ 前的数据	数据	8.5		10.5		12		ns
	$\overline{CLR}$ 处于无效状态	4		4		4.5		
t_h 保持时间，CLK ↑ 后的数据		0.5		1		2.5		ns

6.7 时序要求，V_{CC} = 3.3V ± 0.3V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

		T_A = 25°C		–40°C 至 85°C		–40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w 脉冲持续时间	$\overline{CLR}$ 低电平	5		6		6.5		ns
	CLK 高电平或低电平	5		6.5		7		
t_{su} 建立时间，CLK ↑ 前的数据	数据	5.5		6.5		8		ns
	$\overline{CLR}$ 处于无效状态	2.5		2.5		3		
t_h 保持时间，CLK ↑ 后的数据		1		1		2.5		ns

Copyright © 2023 Texas Instruments Incorporated

6.8 时序要求，V_{CC} = 5V ± 0.5V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

		T_A = 25°C		−40°C 至 85°C		−40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w 脉冲持续时间	$\overline{CLR}$ 低电平	5		5		5.5		ns
	CLK 高电平或低电平	5		5		5.5		
t_{su} 建立时间，CLK ↑ 前的数据	数据	4.5		4.5		6		ns
	$\overline{CLR}$ 处于无效状态	2		2		2.5		
t_h 保持时间，CLK ↑ 后的数据		1		1		2		ns

6.9 开关特性，V_{CC} = 2.5V ± 0.2V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	T_A = 25°C			−40°C 至 85°C		−40°C 至 125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	55	95		45		45		MHz
			C_L = 50pF	45	75		40		40		
t_{pd}	CLK	Q	C_L = 15pF		10.4	18.3	1	20.5	1	22.5	ns
t_{PHL}	$\overline{CLR}$	Q			10.3	19	1	21	1	23	ns
t_{pd}	CLK	Q	C_L = 50pF		12.9	22.1	1	25	1	27	ns
t_{PHL}	$\overline{CLR}$	Q			13.1	22.8	1	25.5	1	27.5	ns
$t_{sk(o)}$						2				2	ns

6.10 开关特性，V_{CC} = 3.3V ± 0.3V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	T_A = 25°C			−40°C 至 85°C		−40°C 至 125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	75	140		65		65		MHz
			C_L = 50pF	50	110		45		45		
t_{pd}	CLK	Q	C_L = 15pF		7.1	13.6	1	16	1	17.5	ns
t_{PHL}	$\overline{CLR}$	Q			6.9	13.6	1	16	1	17.5	ns
t_{pd}	CLK	Q	C_L = 50pF		9.1	17.1	1	19.5	1	21	ns
t_{PHL}	$\overline{CLR}$	Q			8.7	17.1	1	19.5	1	21	ns
$t_{sk(o)}$						1.5				1.5	ns

Copyright © 2023 Texas Instruments Incorporated

6.11 开关特性，V_{CC} = 5V ± 0.5V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	T_A = 25°C			–40°C 至 85°C		–40°C 至 125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			C_L = 15pF	120	205		100		100		MHz
			C_L = 50pF	80	160		70 岁		70		
t_{pd}	CLK	Q	C_L = 15pF		4.8	9	1	10.5	1	11.5	ns
t_{PHL}	$\overline{CLR}$	Q			4.7	8.5	1	10	1	11	ns
t_{pd}	CLK	Q	C_L = 50pF		6.2	11	1	12.5	1	14	ns
t_{PHL}	$\overline{CLR}$	Q			6	10.5	1	12	1	13.5	ns
$t_{sk(o)}$						1				1	ns

6.12 噪声特性

V_{CC} = 3.3V，C_L = 50pF，T_A = 25°C

参数		SN74LV273A			单位
		最小值	典型值	最大值	
$V_{OL(P)}$	安静输出，最大动态 V_{OL}		0.4	0.8	V
$V_{OL(V)}$	安静输出，最小动态 V_{OL}		–0.4	-0.8	V
$V_{OH(V)}$	安静输出，最小动态 V_{OH}		2.9		V
$V_{IH(D)}$	高电平动态输入电压	2.31			V
$V_{IL(D)}$	低电平动态输入电压			0.99	V

6.13 工作特性

T_A = 25°C

参数		测试条件		V_{CC}	典型值	单位
C_{pd}	功率耗散电容	C_L = 50pF，	f = 10MHz	3.3V	15.9	pF
				5V	17.1	

Copyright © 2023 Texas Instruments Incorporated

6.14 典型特性

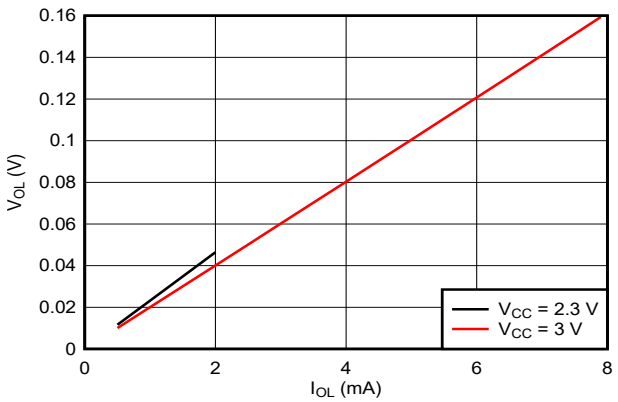


图 6-1. 低电平状态下的输出电压，2.3V 和 3V 电源

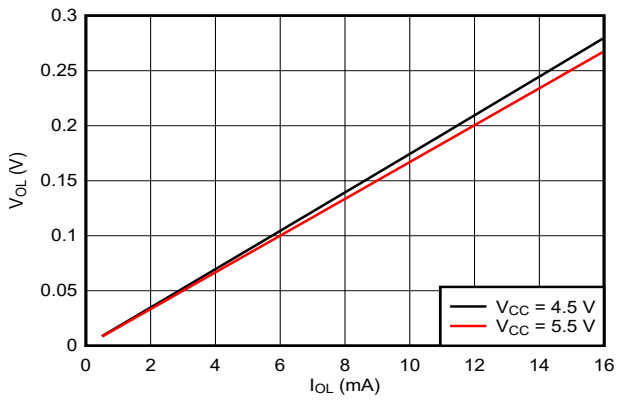


图 6-2. 低电平状态下的输出电压，4.5V 和 5.5V 电源

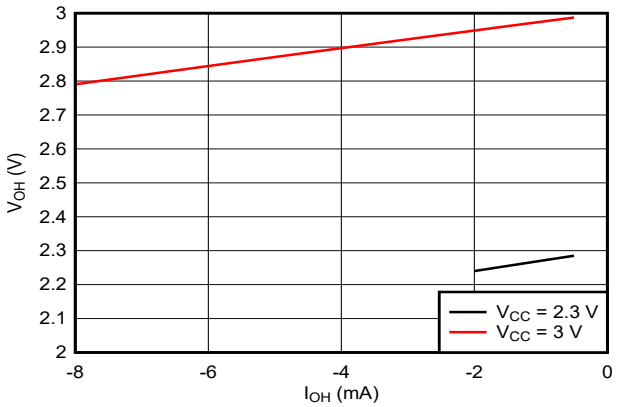


图 6-3. 高电平状态下的输出电压，2.3V 和 3V 电源

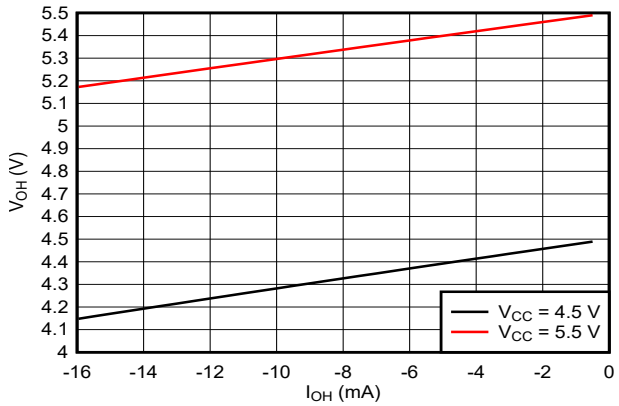


图 6-4. 高电平状态下的输出电压，4.5V 和 5.5V 电源

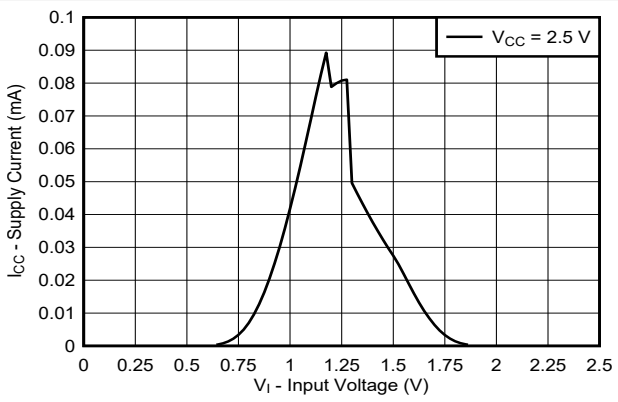


图 6-5. 输入电压范围内的电源电流，2.5V 电源

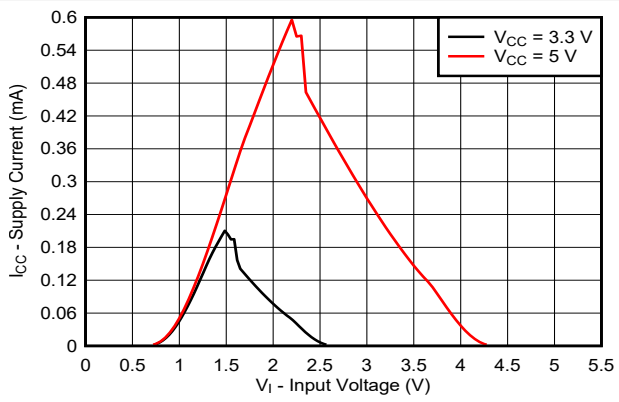


图 6-6. 输入电压范围内的电源电流，3.3V 和 5V 电源

Copyright © 2023 Texas Instruments Incorporated

6.14 典型特性 (continued)

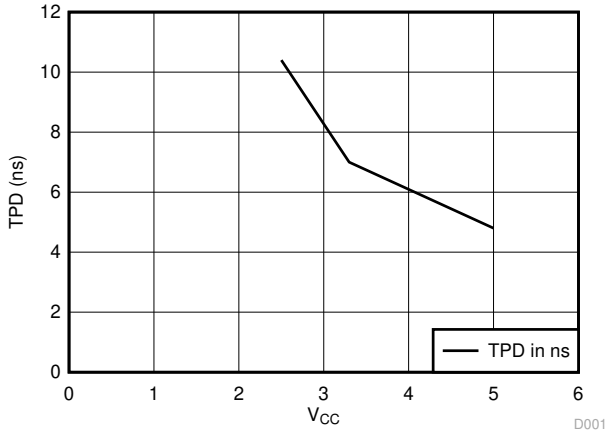


图 6-7. 25°C 时 TPD 与 V_{CC} 间的关系

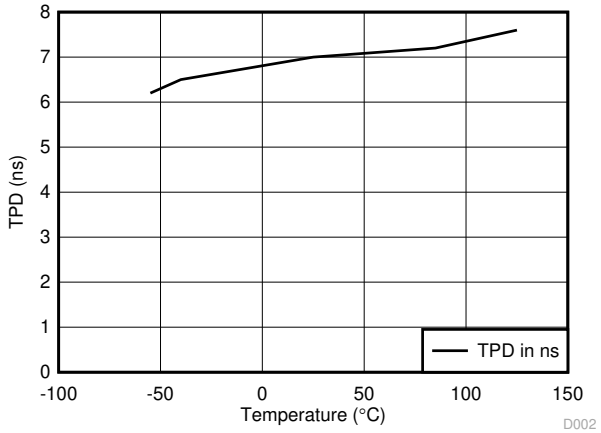
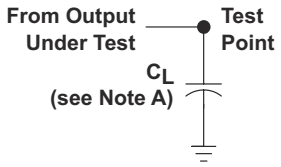
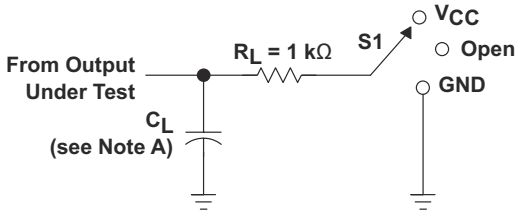


图 6-8. TPD 与温度间的关系

7 参数测量信息

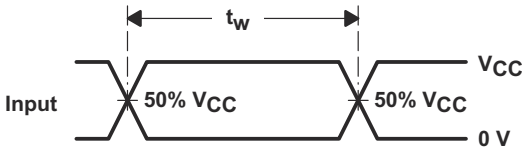


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

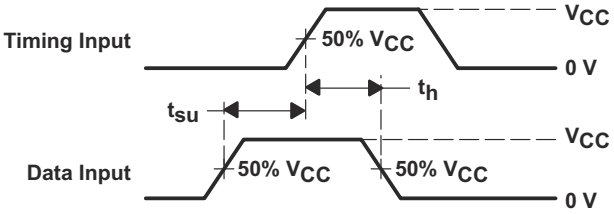


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

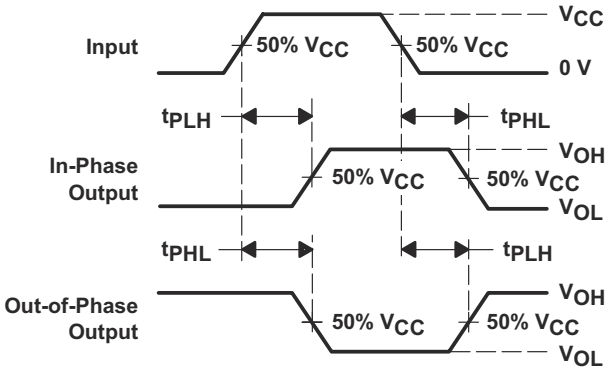
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



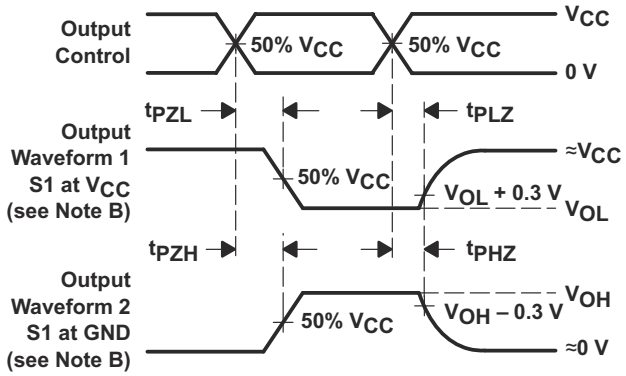
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L 包括探头和夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_r ≤ 3ns，
t_f ≤ 3ns。
D. 一次测量一个输出，每次测量一个输入转换。
E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
G. t_{PHL} 和 t_{PLH} 与 t_{pd} 一样。
H. 并非所有参数和波形都适用于所有器件。

图 7-1. 负载电路和电压波形

Copyright © 2023 Texas Instruments Incorporated

8 详细说明

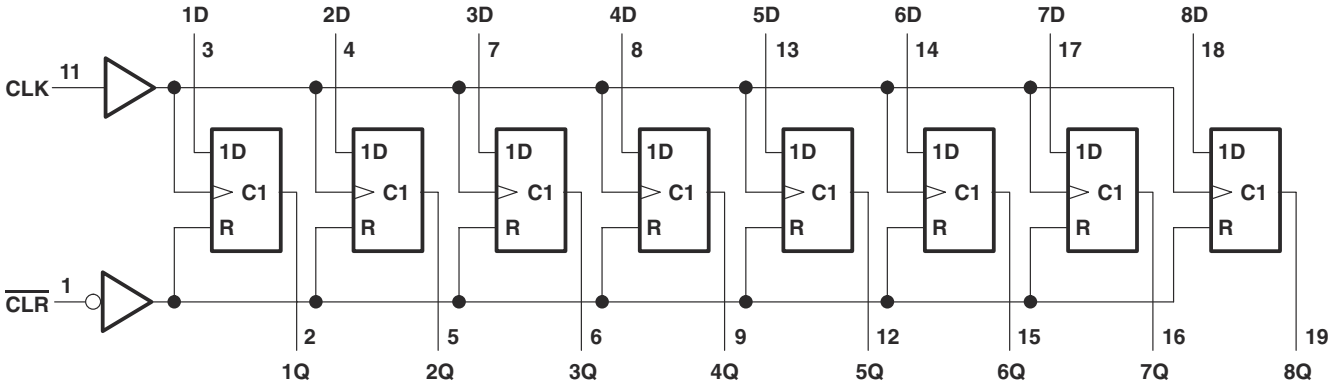
8.1 概述

SN74LV273A 器件是一款八路 D 类触发器，旨在于 2V 至 5.5V V_{CC} 下运行。

该器件是一个具有直接清零 ($\overline{CLR}$) 输入的正边沿触发式触发器。数据 (D) 输入上满足建立时间要求的信息被发送到时钟脉冲上升沿的 Q 输出。时钟触发在一个特定电压电平下发生，并且不与正向脉冲的转换时间直接相关。当时钟 (CLK) 输入处于高电平或低电平时，D 输入信号对输出无影响。

SN74LV273A 器件完全符合使用 I_{off} 的部分断电应用的规范要求。I_{off} 电路会禁用输出，从而在器件断电时防止电流回流损坏器件。

8.2 功能方框图



8.3 特性说明

8.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

8.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在*建议运行条件*表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

8.3.3 局部断电 (I_{off})

该器件包含在电源引脚保持在 0V 时用于禁用所有输出的电路。输出被禁用后，将不会拉出和灌入电流，无论施加何种输入电压。每个输出端的漏电流大小由*电气特性*表中的 I_{off} 规格定义。

8.3.4 钳位二极管结构

图 8-1 展示了该器件的输入和输出仅布置负钳位二极管。

Copyright © 2023 Texas Instruments Incorporated

CAUTION

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

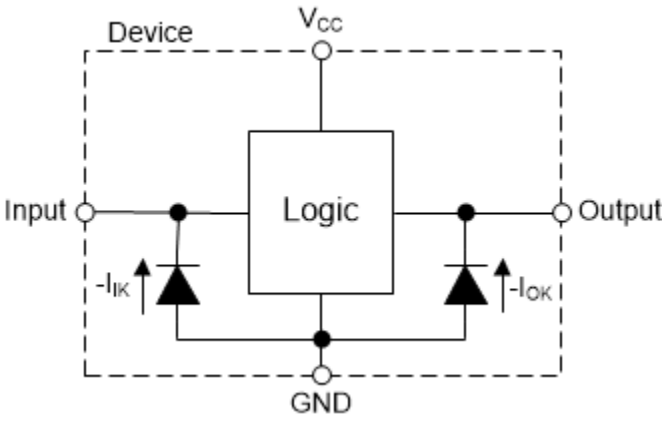


图 8-1. 每个输入和输出的钳位二极管的电气布置

8.4 器件功能模式

表 8-1. 功能表
(每个触发器)

输入			输出
$\overline{CLR}$	CLK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q_0

Copyright © 2023 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

SN74LV273A 是一款低驱动 CMOS 器件，可用于需要保留或锁存数据的多种总线接口类型应用。低驱动和慢速边沿速率将更大限度地减少输出上的过冲和下冲。在任何有效的 V_{CC} 下，输入可耐受 5.5V 电压。这个特性使其非常适合向下转换至 V_{CC} 电平。图 9-2 展示了该器件与更高驱动器件（如交流驱动）相比的振铃降低。

9.2 典型应用

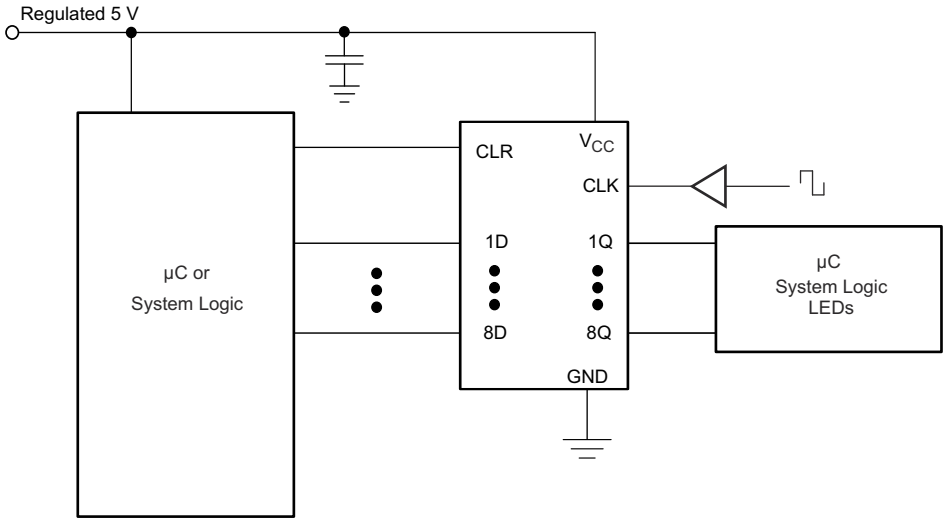


图 9-1. 典型应用原理图

9.2.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LV273A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LV273A 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74LV273A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LV273A 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

Copyright © 2023 Texas Instruments Incorporated

CAUTION

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LV273A 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10kΩ 的电阻值。

SN74LV273A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述* 部分。

9.2.3 输出注意事项

正电源电压用于产生输出高电平电压。根据*电气特性* 中 V_{OH} 规范的规定，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据*电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅*特性描述* 部分。

9.2.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中显示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LV273A 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

Copyright © 2023 Texas Instruments Incorporated

9.2.5 应用曲线

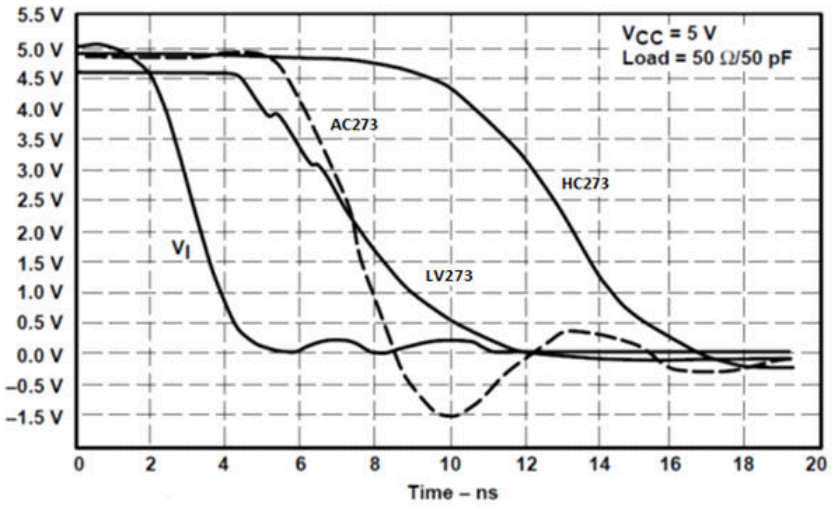


图 9-2. 开关特性比较

9.3 电源相关建议

电源可以是*建议运行条件*表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 µF；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 0.01 µF 或 0.022 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 通常并联使用。
为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

9.4 布局

9.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。举两个例子：仅使用三输入与门的 2 个输入；仅使用四缓冲器门中的 3 个门。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。

图 9-3 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须被连接至一个高或低偏置以防止它们悬空。应应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们将连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。

9.4.2 布局示例

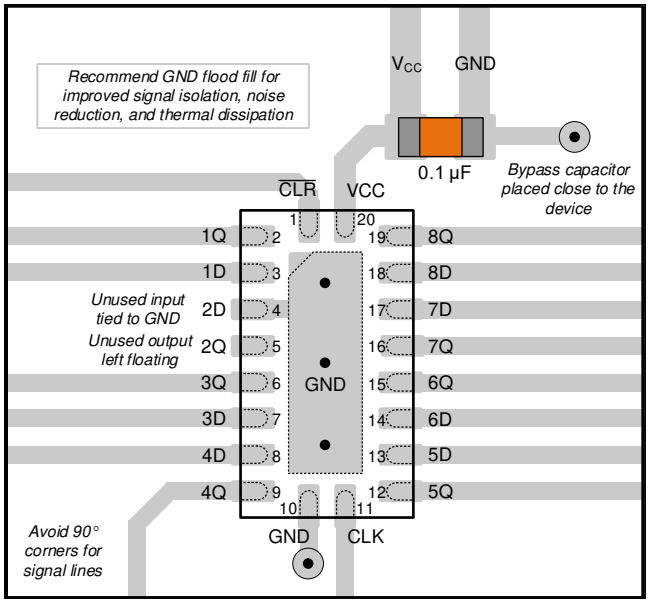


图 9-3. 采用 RKS 封装的 SN74LV273A 布局示例

Copyright © 2023 Texas Instruments Incorporated

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV273ADBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBRE4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADBRG4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273A
SN74LV273ADGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273A
SN74LV273ADGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADGVR.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 125	LV273A
SN74LV273ADWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ADWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ANSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV273A
SN74LV273ANSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV273A
SN74LV273APW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 125	LV273A
SN74LV273APWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273APWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ARGYR	Last Time Buy	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV273A
SN74LV273ARGYR.A	Last Time Buy	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV273A
SN74LV273ARKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV273A
SN74LV273ARKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV273A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV273A :

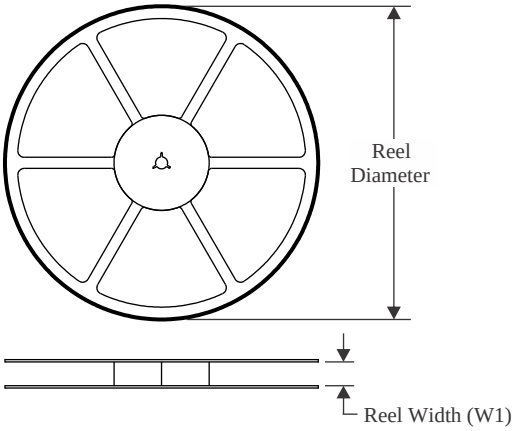
- Automotive : SN74LV273A-Q1

NOTE: Qualified Version Definitions:

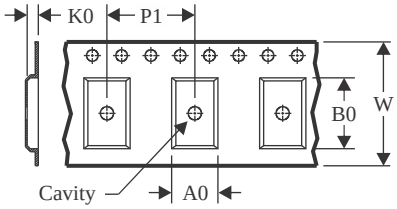
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

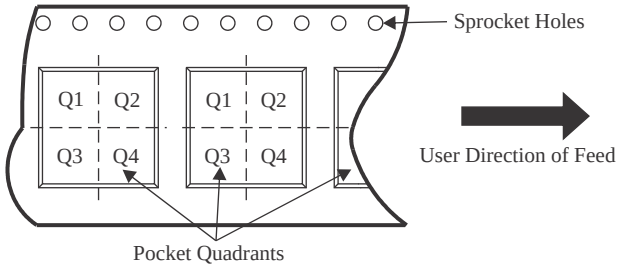


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

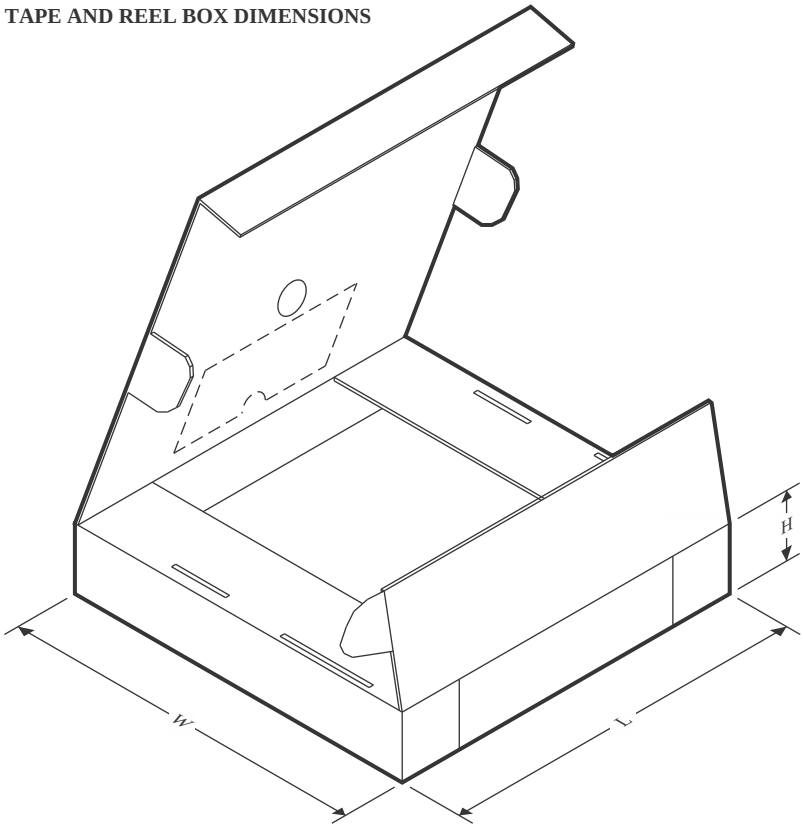
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV273ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LV273ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV273ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LV273ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV273APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LV273ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

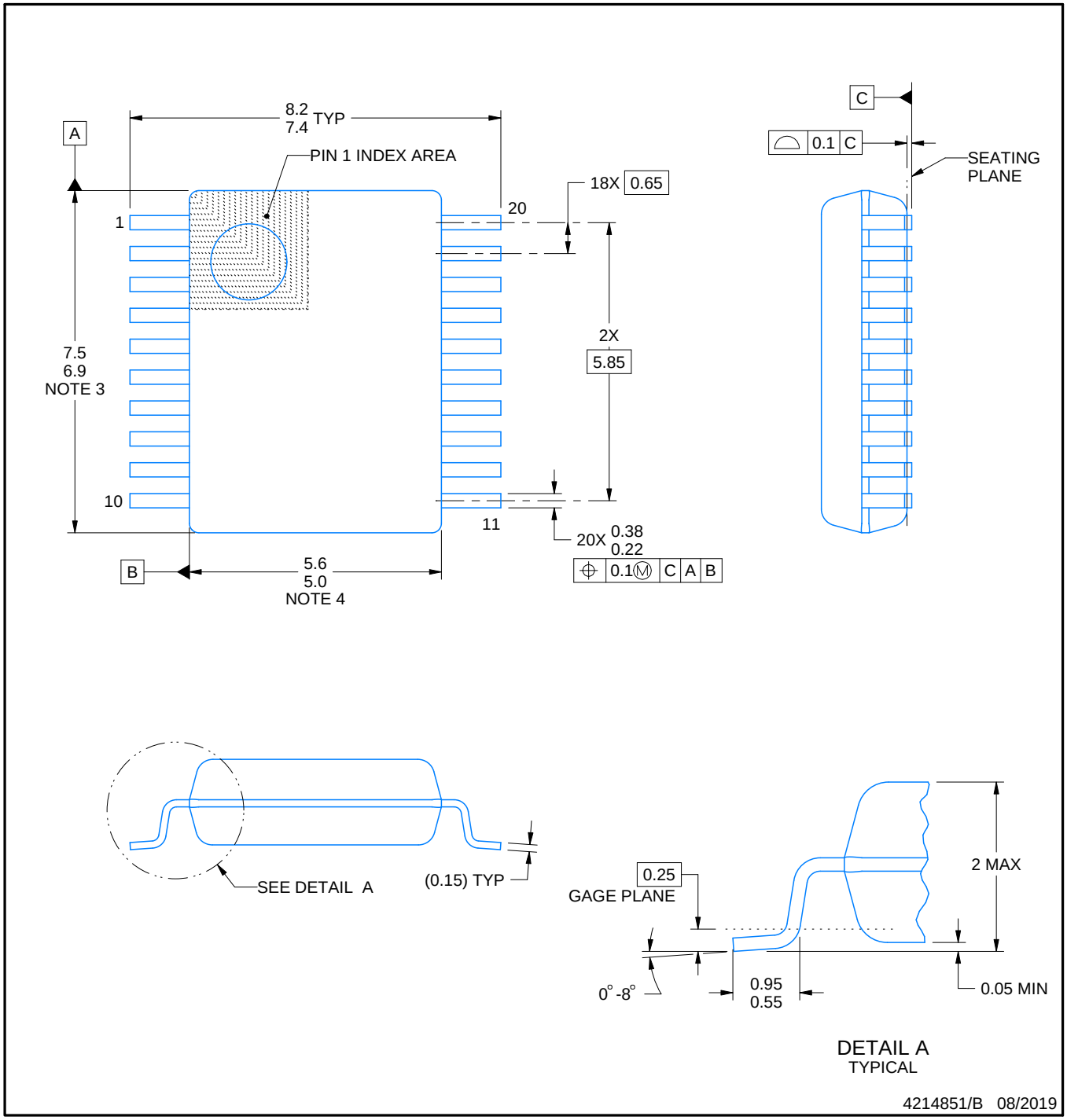
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV273ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LV273ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV273ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LV273ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV273ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV273ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LV273APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV273ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LV273ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DB0020A

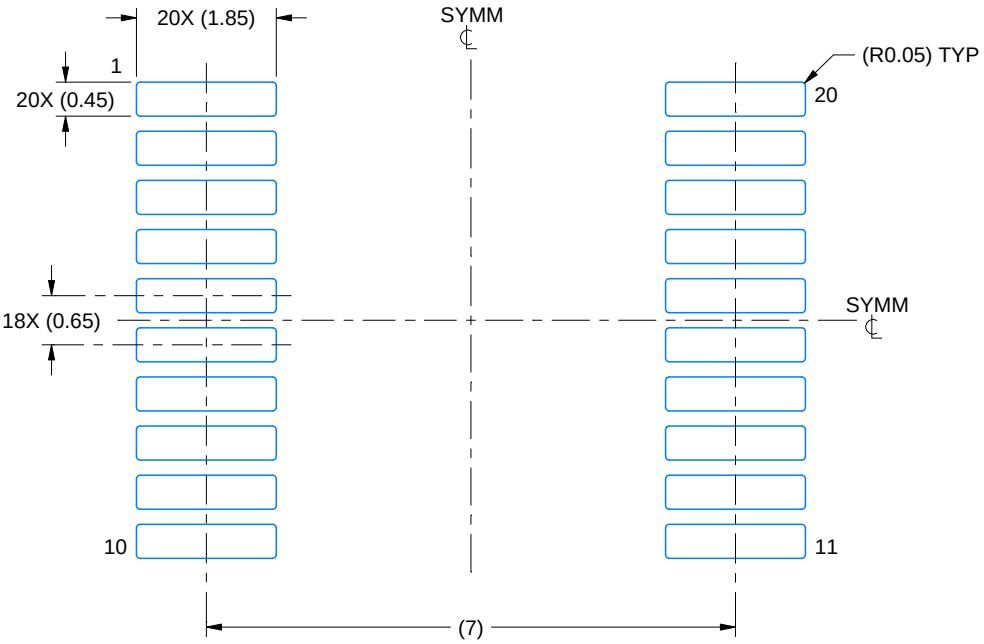
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

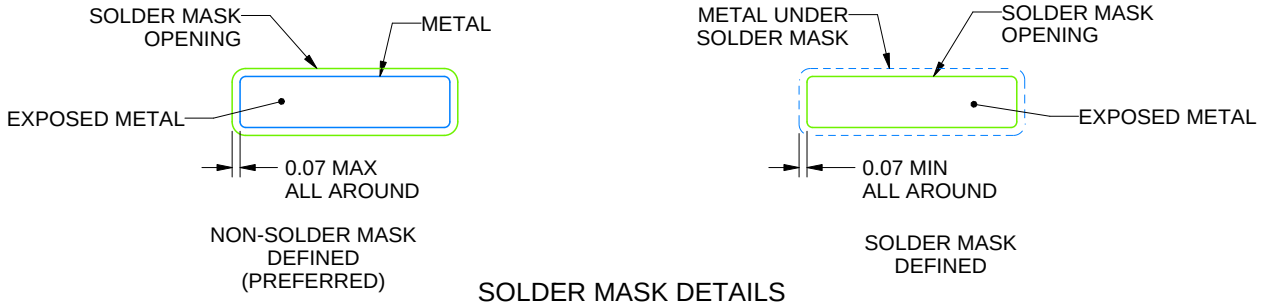


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

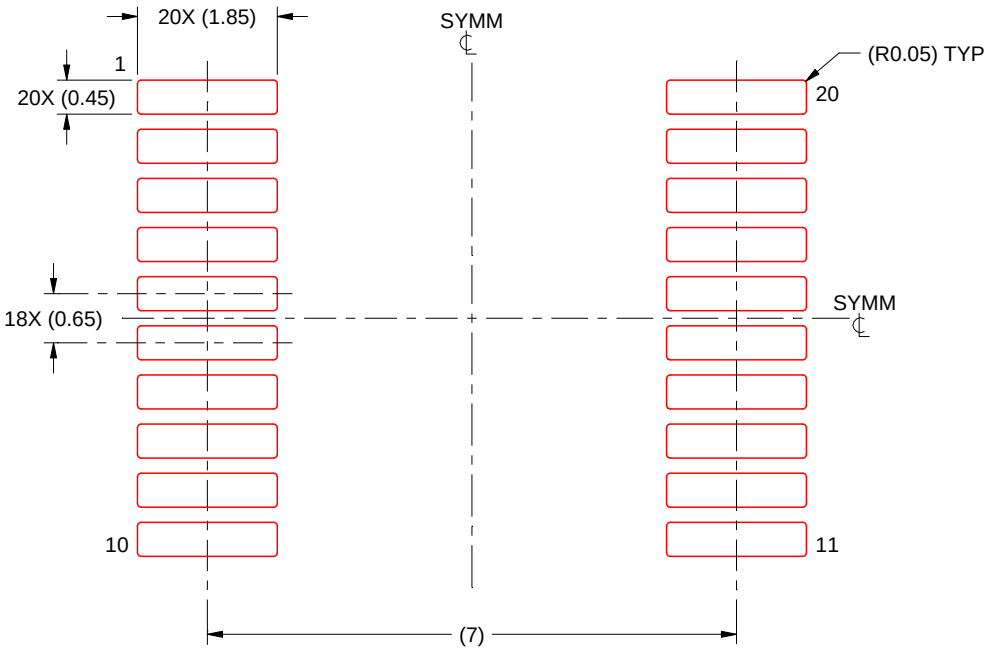
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

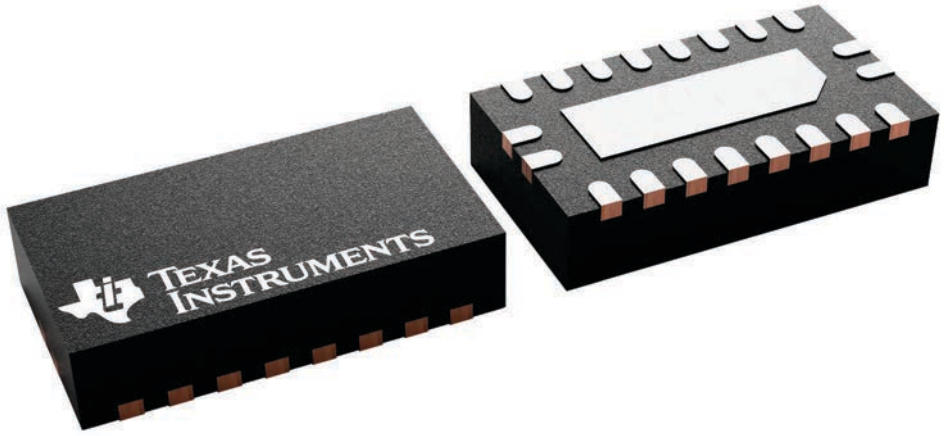
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

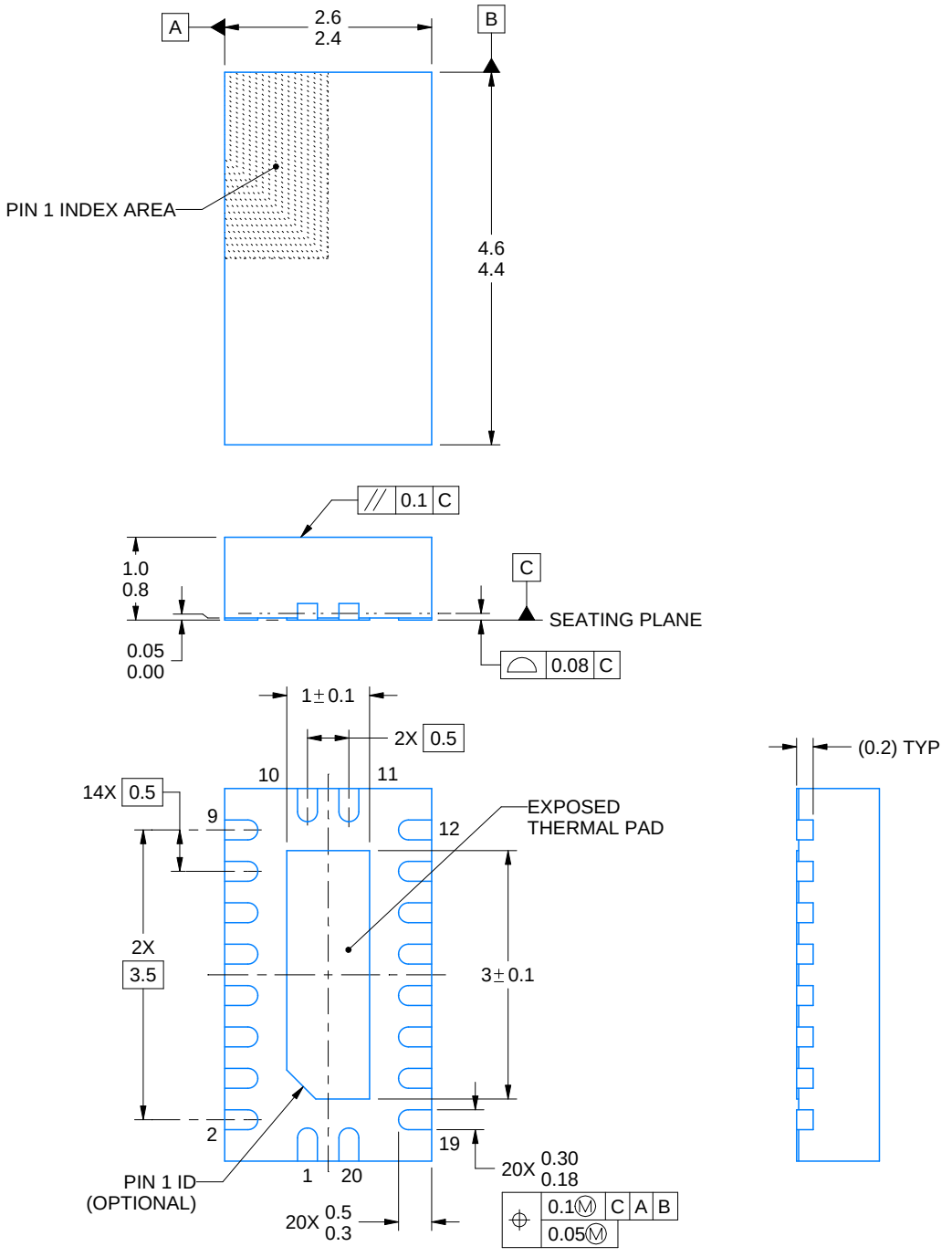


PACKAGE OUTLINE

RKS0020A

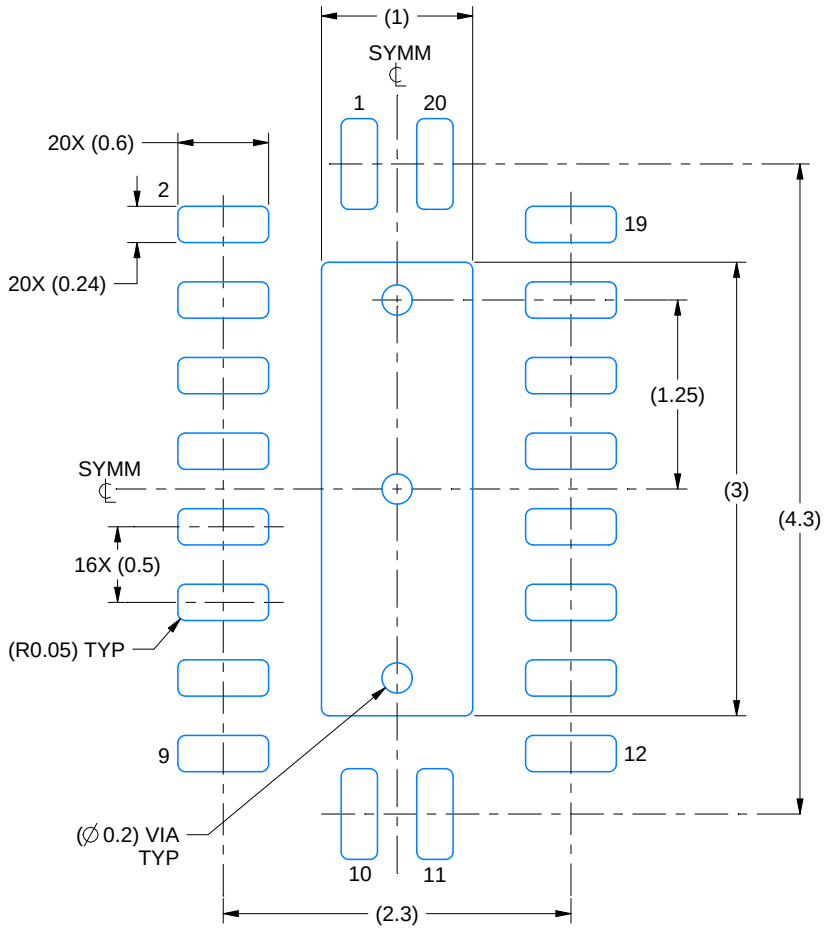
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

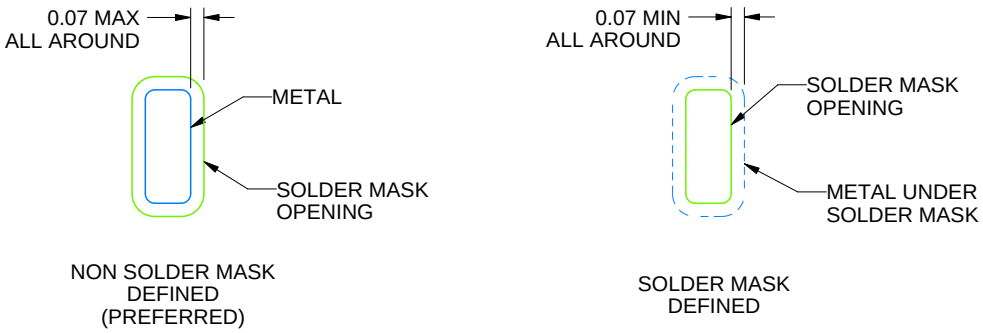


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

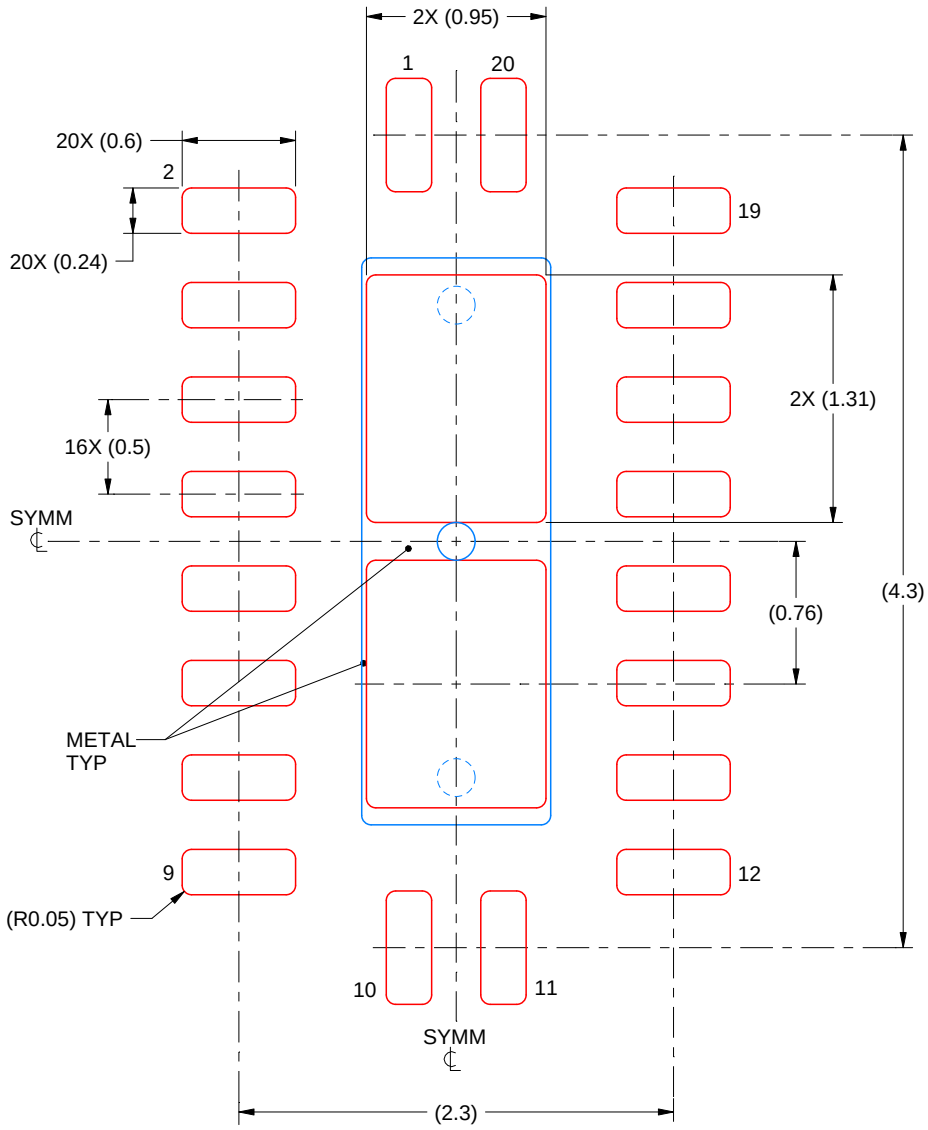


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

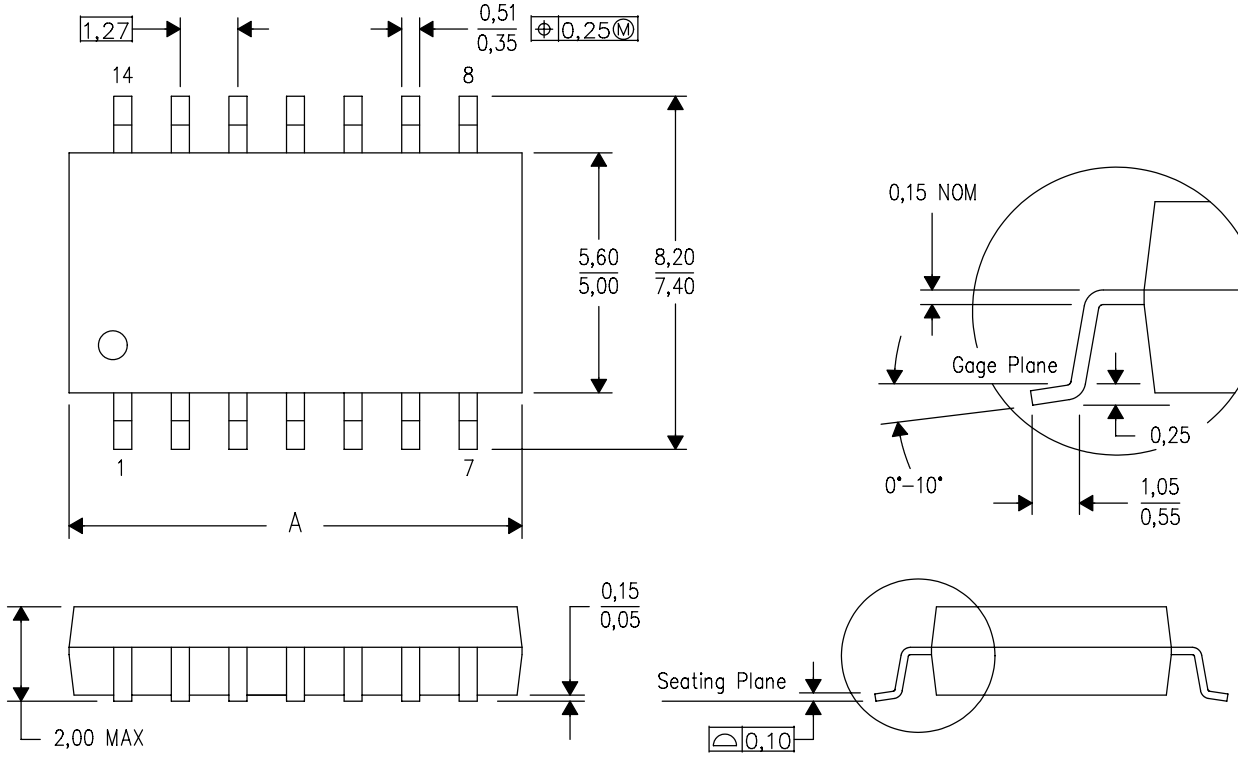
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

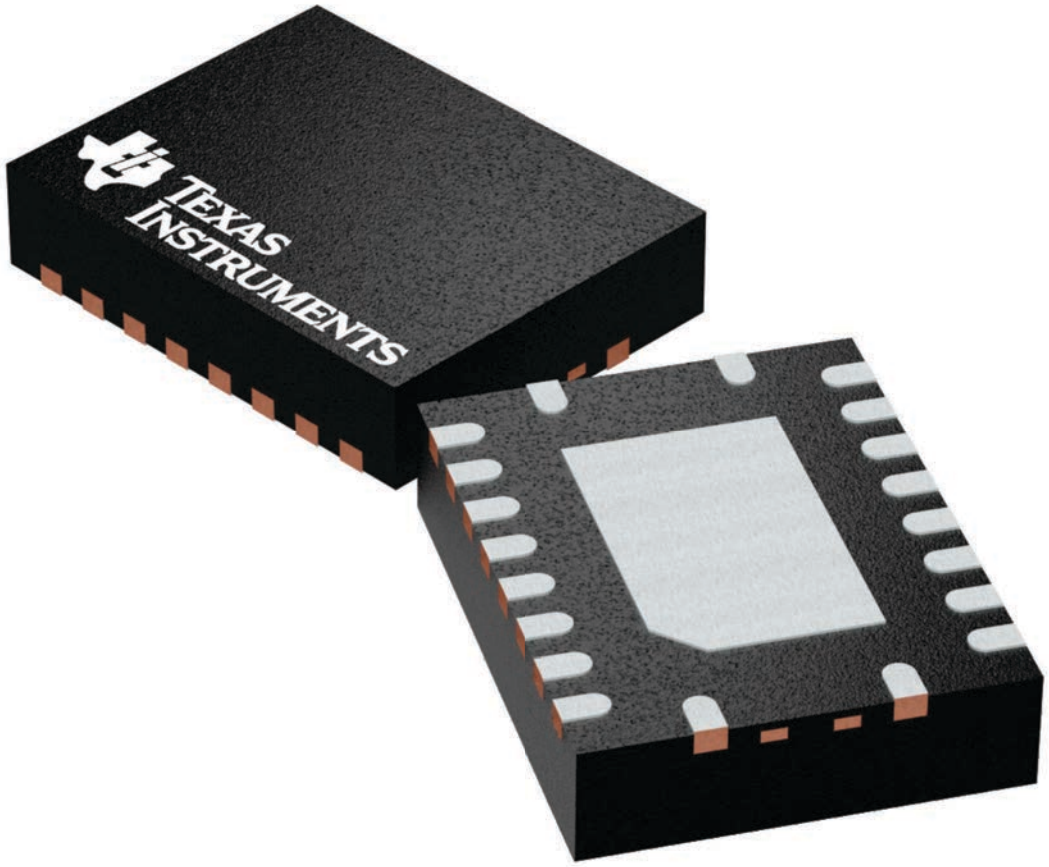
RGY 20

VQFN - 1 mm max height

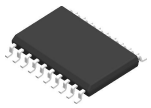
3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225264/A

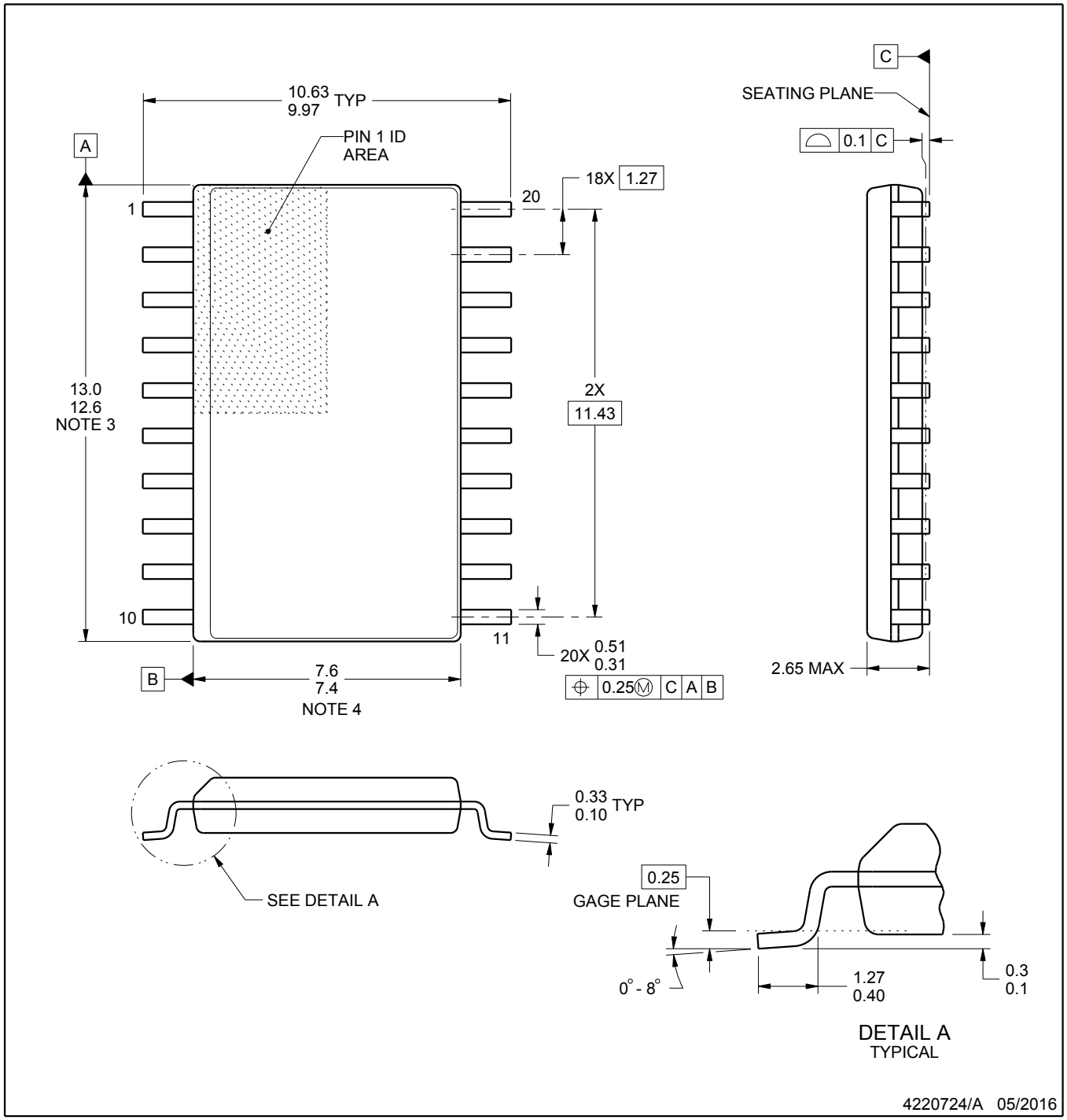


PACKAGE OUTLINE

DW0020A

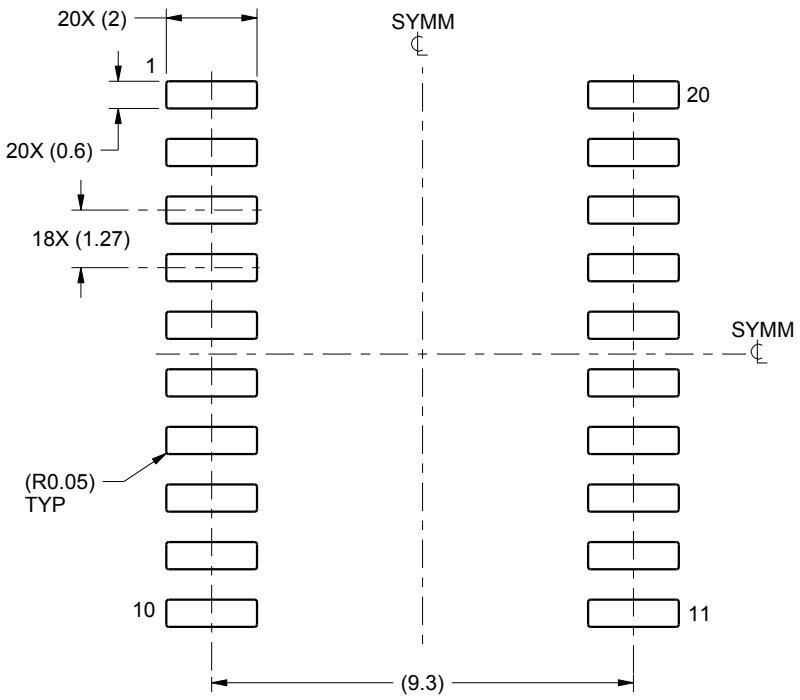
SOIC - 2.65 mm max height

SOIC

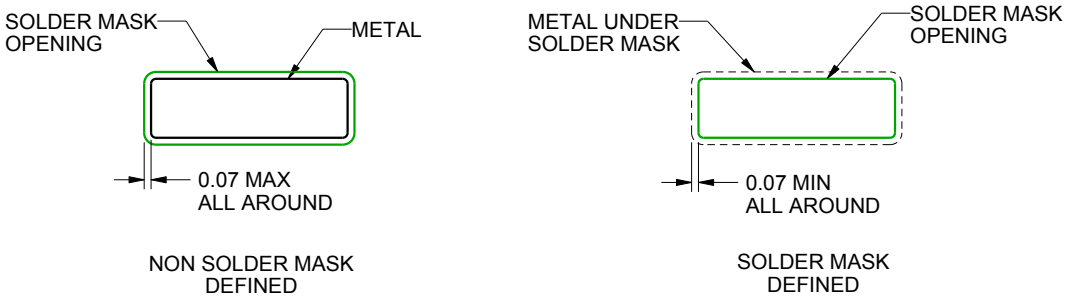


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

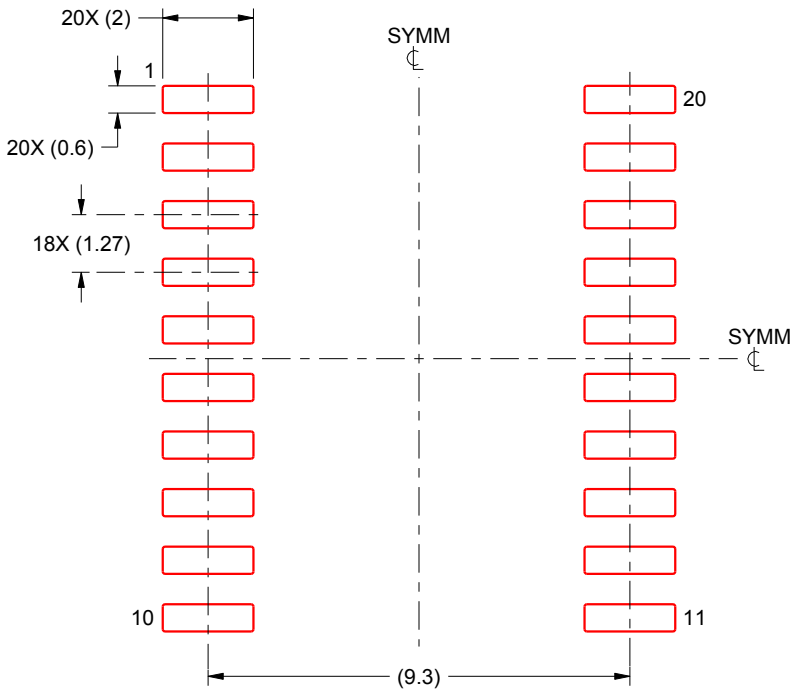


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

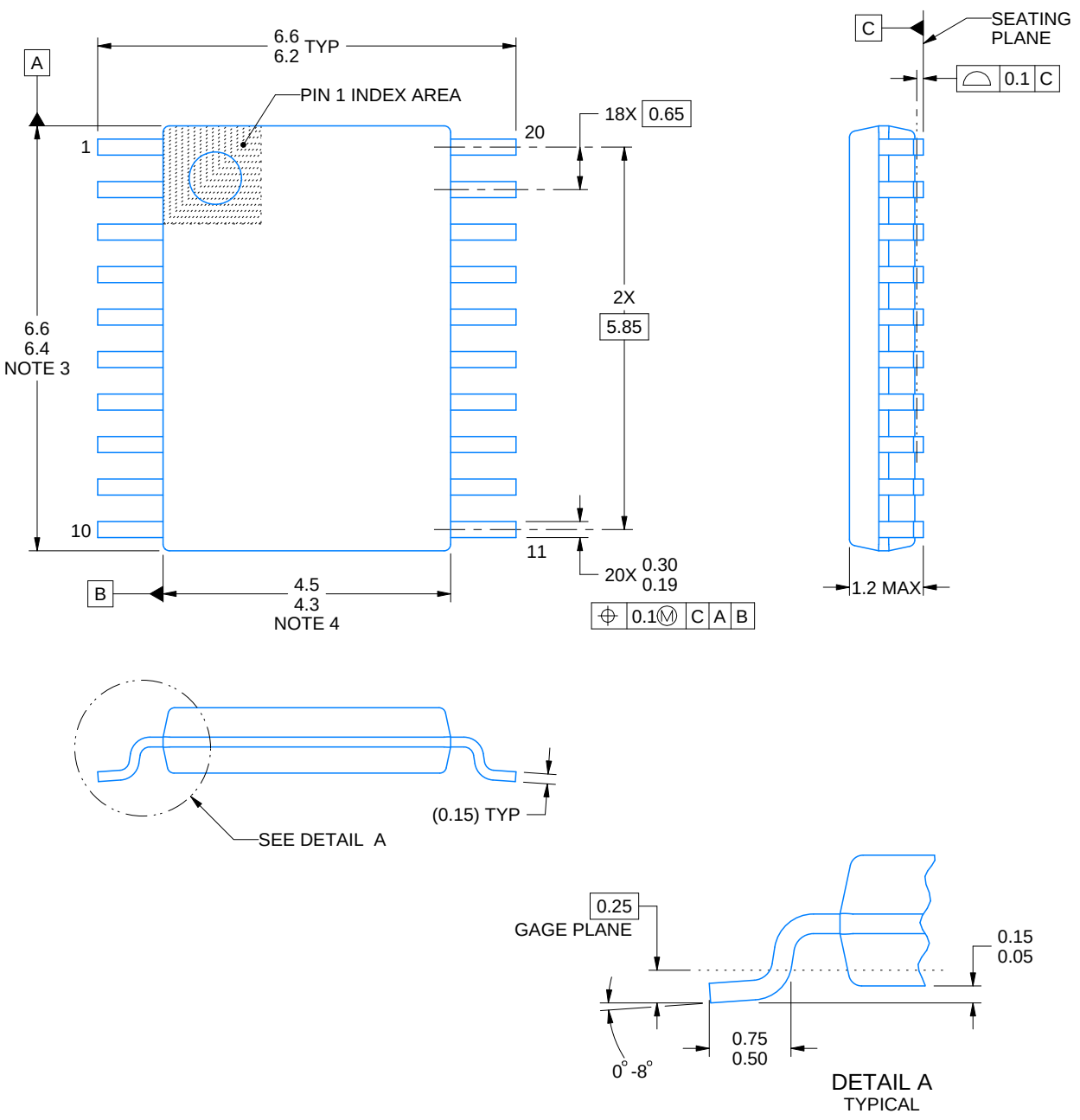
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

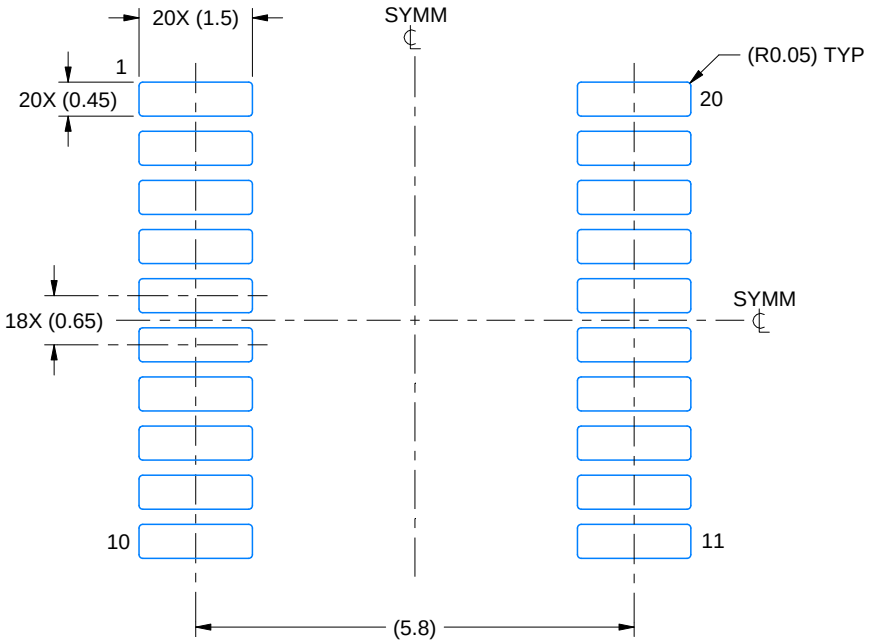
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

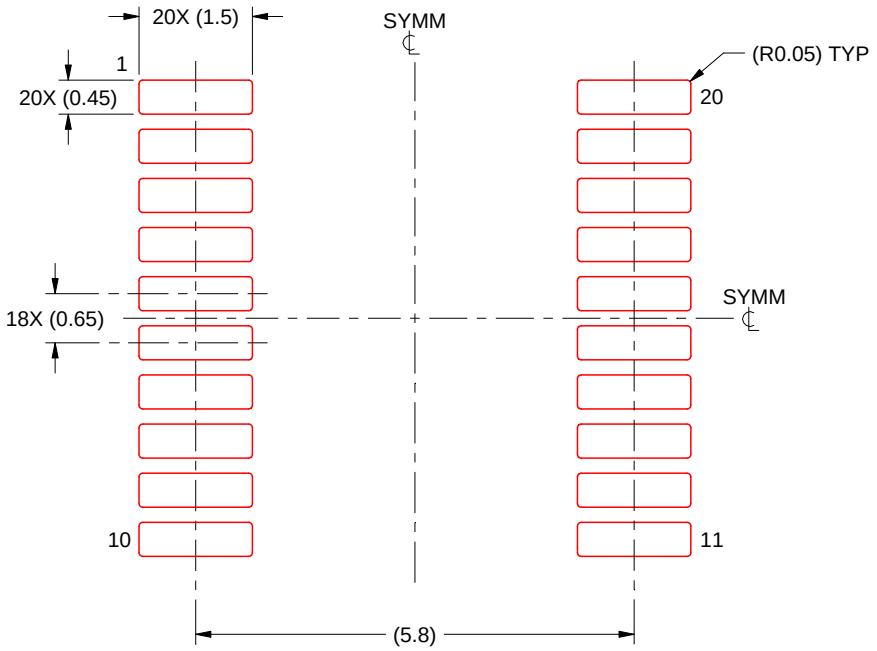


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

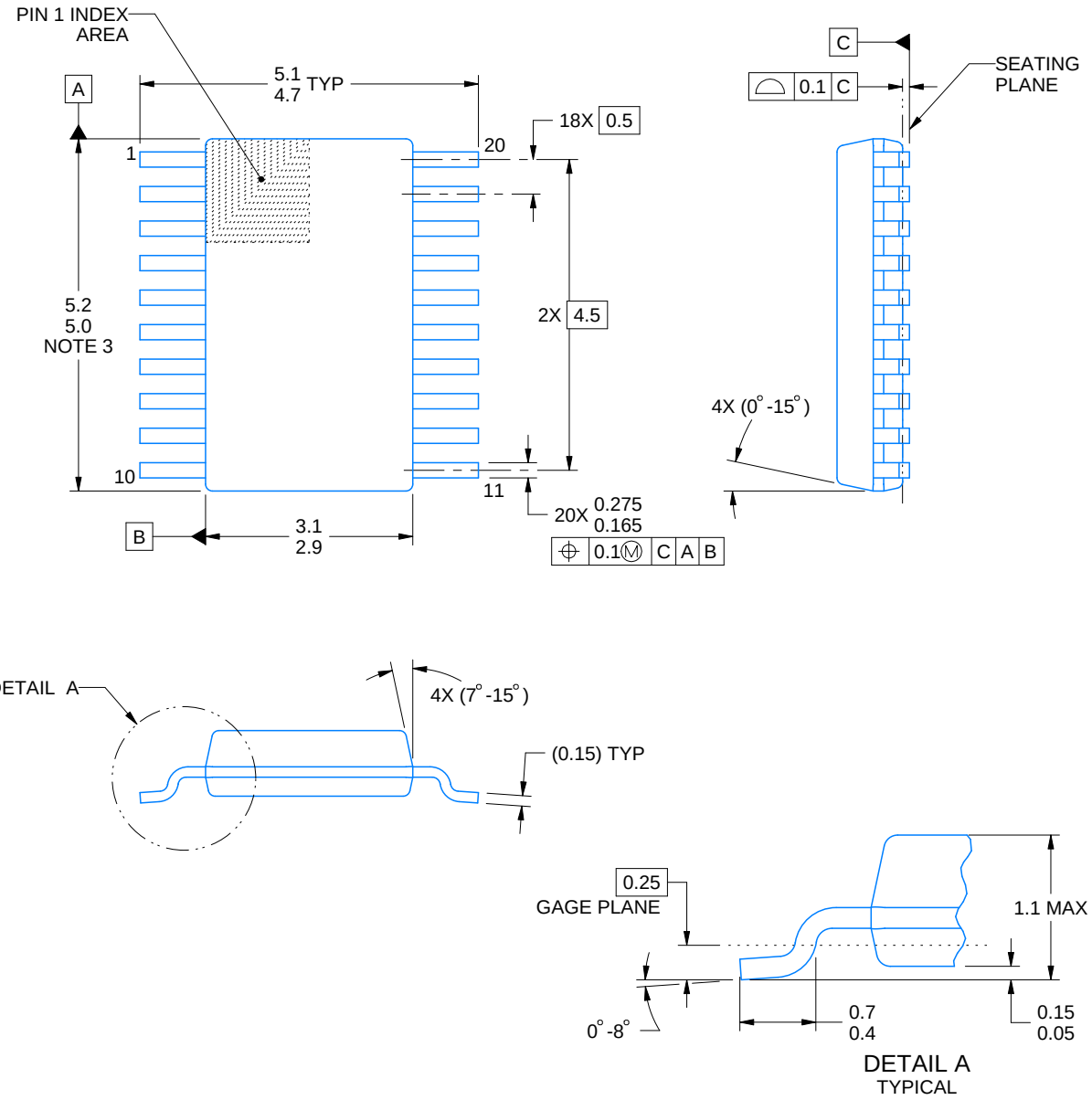
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

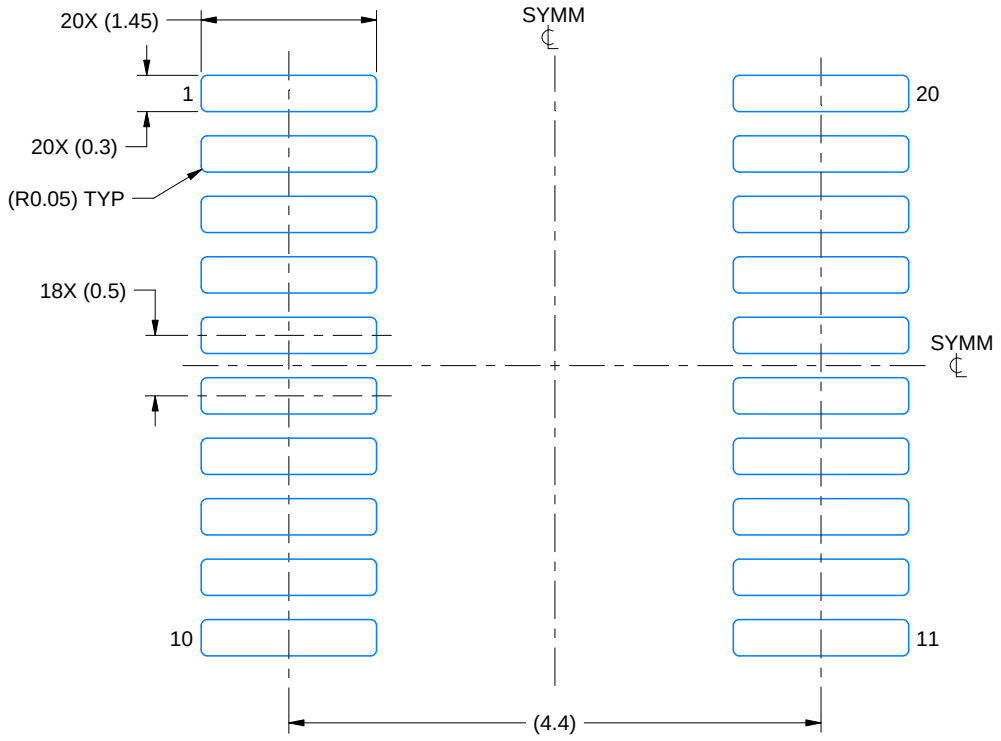
SMALL OUTLINE PACKAGE



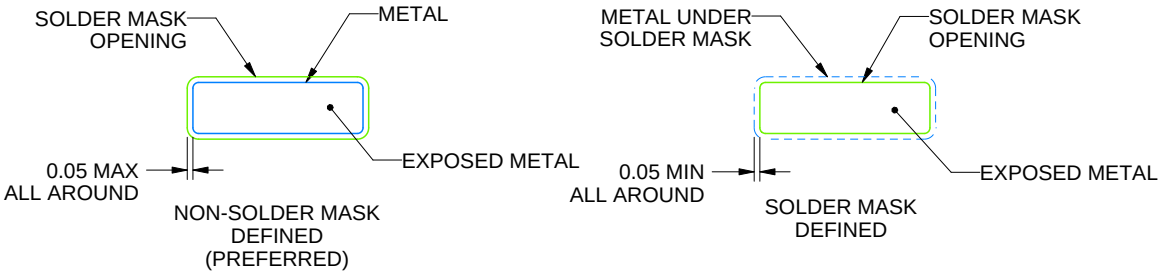
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

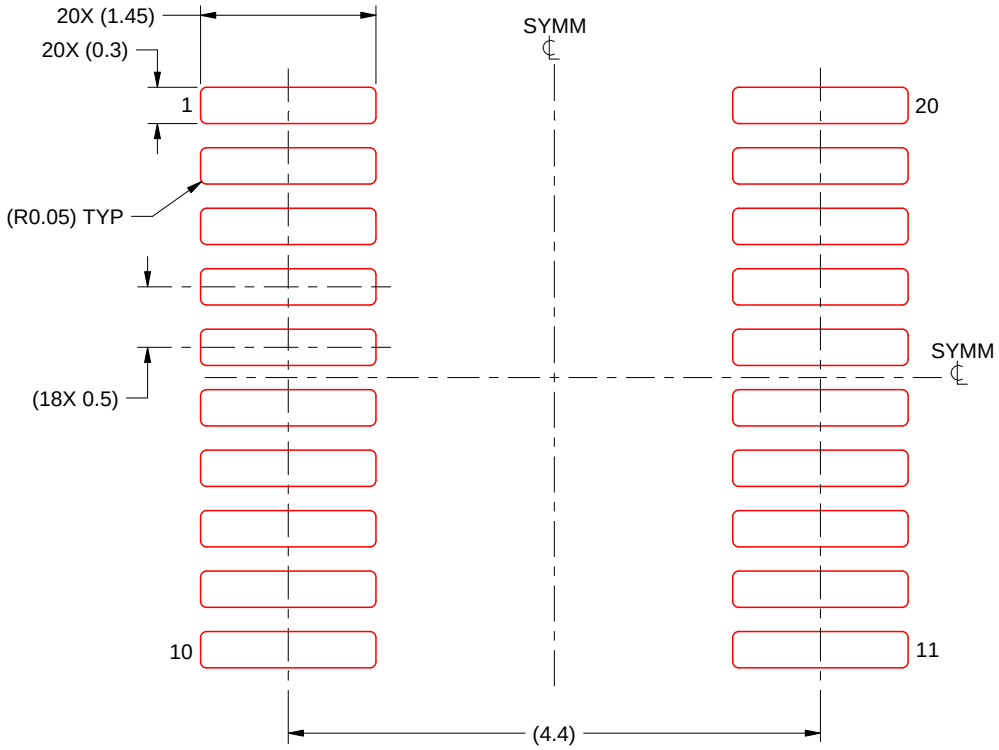


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月