SN74LVC112A 具有清零和预设功能的双路负边沿触发式 J-K 触发器

1 特性

- 可在 1.65V 至 3.6V 范围内工作
- 输入电压高达 5.5V
- 电压为 3.3V 时，t_{pd} 最大值为 4.8ns
- V_{OLP}（输出接地反弹）典型值小于 0.8V（V_{CC} = 3.3V、T_A = 25°C 时）
- V_{OHV}（输出 V_{OH} 下冲）典型值大于 2 V（V_{CC} = 3.3V、T_A = 25°C 时）
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 服务器
- PC
- 笔记本电脑
- 网络交换机
- 玩具
- I/O 扩展器
- 电子销售终端

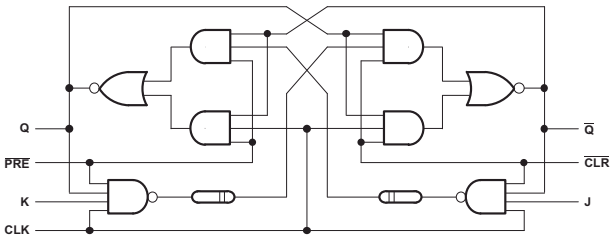
3 说明

这款双路负边沿触发式 J-K 触发器需在 1.65V 至 3.6V V_{CC} 下运行。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LVC112A	DB（SSOP，16）	6.20mm × 7.8mm	6.20mm × 5.30mm
	PW（TSSOP，16）	5.00mm × 6.4mm	5.00mm × 4.40mm
	DGV（TVSOP，16）	3.6mm × 6.4mm	3.60mm x 4.40mm
	NS（SOP，16）	10.2mm × 7.8mm	10.20mm x 5.30mm
	D（SOIC，16）	9.90mm × 6mm	9.90mm × 3.90mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

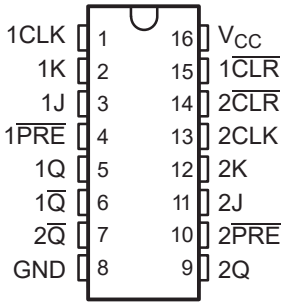
内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 时序要求，–40°C 至 +85°C 6
5.7 时序要求，–40°C 至 +125°C 6
5.8 开关特性，–40°C 至 +85°C 8
5.9 开关特性，–40°C 至 +125°C 8
5.10 工作特性 8
5.11 典型特性 8
6 参数测量信息 9
7 详细说明 10
7.1 概述 10
7.2 功能方框图 10
7.3 特性说明 10
7.4 器件功能模式 10
8 应用和实施 11
8.1 应用信息 11
8.2 典型应用 11
8.3 电源相关建议 12
8.4 布局 12
9 器件和文档支持 13
9.1 接收文档更新通知 13
9.2 支持资源 13
9.3 商标 13
9.4 静电放电警告 13
9.5 术语表 13
10 修订历史记录 13
11 机械、封装和可订购信息 14

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

D, DB, DGV, NS, OR PW PACKAGE
(TOP VIEW)



Pin Functions

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	1CLK	I	1 时钟
2	1K	I	1K 输入
3	1J	I	1J 输入
4	1 $\overline{PRE}$	I	1 预设
5	1Q	O	1Q 输出。拉至低电平可在上电时将 1Q 设置为高电平，将 1 $\overline{Q}$ 设置为低电平。
6	1 $\overline{Q}$	O	1 $\overline{Q}$ 输出
7	2 $\overline{Q}$	O	2 $\overline{Q}$ 输出
8	GND	—	接地引脚
9	2Q	O	2Q 输出
10	2 $\overline{PRE}$	I	2 预设
11	2J	I	2J 输入。拉至低电平可在上电时将 2Q 设置为高电平，将 2 $\overline{Q}$ 设置为低电平。
12	2K	I	2K 输入
13	2CLK	I	2 时钟
14	2 $\overline{CLR}$	I	2 清零
15	1 $\overline{CLR}$	I	1 清零。拉至低电平可在上电时将 2Q 设置为低电平，将 2 $\overline{Q}$ 设置为高电平。
16	V_{CC}	—	电源引脚。拉至低电平可在上电时将 1Q 设置为低电平，将 1 $\overline{Q}$ 设置为高电平。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6.5	V
V_I	输入电压(2)		-0.5	6.5	V
V_O	输出电压(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度			150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) V_{CC} 的值在*建议运行条件*表中提供。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压	工作	1.65	3.6	V
		仅数据保留	1.5		
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V 至 2.7V	1.7		
		V_{CC} = 2.7V 至 3.6V	2		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V 至 2.7V		0.7	
		V_{CC} = 2.7V 至 3.6V		0.8	
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 2.7V		-12	
		V_{CC} = 3V		-24	
I_{OL}	低电平输出电流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 2.7V		12	
		V_{CC} = 3V		24	
$\Delta t/\Delta v$	输入转换上升或下降速率			10	ns/V
T_A	自然通风条件下的工作温度范围		-40	125	°C

(1) 器件所有的未使用输入必须保持在 VCC 或 GND 以确保器件正常运行。请参阅 TI 应用报告，*CMOS 输入缓慢或悬空的影响* (SCBA004)。

5.4 热性能信息

热指标(1)		SN74LVC112A					单位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	NS (SOP)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	118.1	122.5	129.0	117.5	141.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	81.6	75.2	52.1	76	51.4	
$R_{\theta JB}$	结至电路板热阻	80	85.5	62.0	84.2	64.4	
ψ_{JT}	结至顶部特征参数	36.3	30.5	6.5	34.2	6.7	
ψ_{JB}	结至电路板特征参数	79.2	84.1	61.3	83.1	63.8	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	

(1) 有关新旧热指标的更多信息，请参阅“IC 封装热指标”应用报告 (SPRA953)

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			-40°C 至 +85°C		-40°C 至 +125°C		单位
			最小值	典型值(1)	最大值	最小值	最大值	最小值	最大值	
V_{OH}	I_{OH} = – 100 μA	1.65V 至 3.6V	V_{CC} – 0.2			V_{CC} – 0.2		V_{CC} – 0.2		V
	I_{OH} = -4mA	1.65V	1.2			1.2		1.2		
	I_{OH} = -8mA	2.3V	1.7			1.7		1.7		
	I_{OH} = -12mA	2.7V	2.2			2.2		2.2		
		3V	2.4			2.4		2.4		
	I_{OH} = -24mA	3V	2.2			2.2		2.2		
V_{OL}	I_{OL} = 100 μA	1.65V 至 3.6V			0.2		0.2		0.2	V
	I_{OL} = 4mA	1.65V			0.45		0.45		0.45	
	I_{OL} = 8mA	2.3V			0.7		0.7		0.7	
	I_{OL} = 12mA	2.7V			0.4		0.4		0.4	
	I_{OL} = 24mA	3V			0.55		0.55		0.55	
I_I	V_I = 5.5V 或 GND	3.6V			±5		±5		±5	μA
I_{CC}	V_I = V_{CC} 或 GND， I_O = 0	3.6V			10		10		10	μA
ΔI_{CC}	一个输入电压为 V_{CC} – 0.6V，其他输入电压为 V_{CC} 或 GND	2.7V 至 3.6V			500		500		500	μA
C_i	V_I = V_{CC} 或 GND	3.3V		4.5						pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。

5.6 时序要求，–40°C 至 +85°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

			V_{CC} = 1.8V ±0.15V		V_{CC} = 2.5V ±0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ±0.3V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率		120		150		150		150		MHz
t_w	脉冲持续时间，CLK 高电平或低电平		4.2		3.3		3.3		3.3		ns
t_{su}	建立时间	CLK↓ 之前的数据	5.8		3.2		3.1		2.3		ns
		$\overline{PRE}$ 或 $\overline{CLR}$ 处于非活动状态	5		2.8		2.4		1.1		
t_h	保持时间，CLK↓ 后的数据		6.2		4.4		2.5		0.7		ns

5.7 时序要求，–40°C 至 +125°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

		V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ±0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率	120		150		150		150		MHz
t_w	脉冲持续时间，CLK 高电平或低电平	4.1		3.3		3.3		3.3		ns

Copyright © 2025 Texas Instruments Incorporated

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ±0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{su}	建立时间	CLK↓ 之前的数据	6		3.2		3.1		2.3		ns
		$\overline{PRE}$ 或 $\overline{CLR}$ 处于非活动状态	5		2.8		2.4		1.1		
t_h	保持时间，CLK↓ 后的数据		6.2		4.7		2.5		0.7		ns

Copyright © 2025 Texas Instruments Incorporated

5.8 开关特性，–40°C 至 +85°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 图 6-1）

参数	从（输入）	至（输出）	V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V			单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	典型值	最大值	
f_{max}			150		150		150		150			MHz
t_{pd}	$\overline{CLR}$ 或 $\overline{PRE}$	Q 或 $\overline{Q}$	6.7		4.3		5.5		1	3.4	4.8	ns
	CLK		6.8		4.5		7.1		1	3.5	5.9	

5.9 开关特性，–40°C 至 +125°C

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	从（输入）	至（输出）	V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V			单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	典型值	最大值	
f_{max}			120		150		150		150			MHz
t_{pd}	$\overline{CLR}$ 或 $\overline{PRE}$	Q 或 $\overline{Q}$	7.0		4.5		6		1	3.4	5.3	ns
	CLK		6.9		4.6		7.6		1	3.5	6.4	

5.10 工作特性

T_A = 25°C

参数	测试条件	V_{CC} = 1.8V	V_{CC} = 2.5V	V_{CC} = 3.3V	单位
		典型值	典型值	典型值	
C_{pd} 功率耗散电容	f = 10MHz	请参阅(1)	请参阅(1)	24	pF

(1) 在本文档发布时，该信息尚不可用。

5.11 典型特性

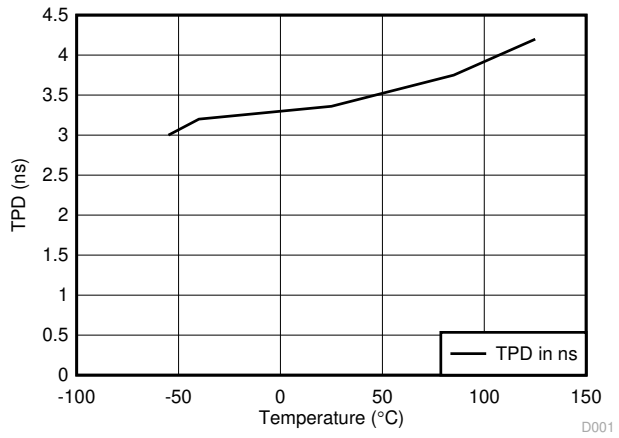


图 5-1. TPD 与温度间的关系

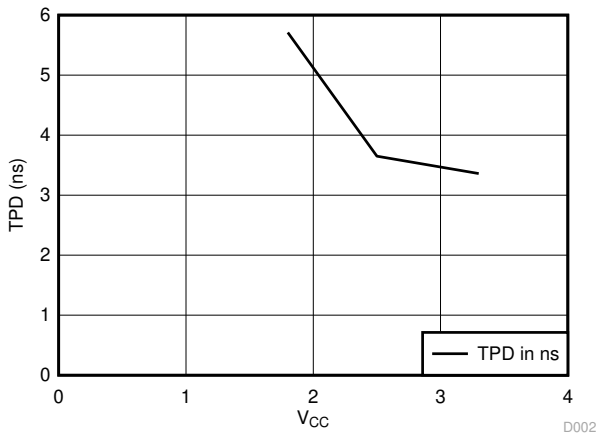
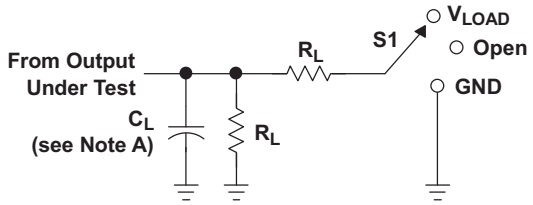


图 5-2. 25°C 时 TPD 与 V_{CC} 间的关系

Copyright © 2025 Texas Instruments Incorporated

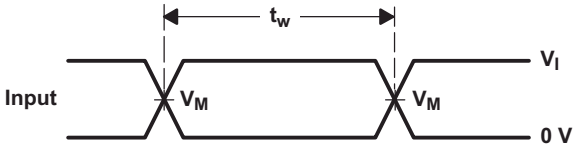
6 参数测量信息



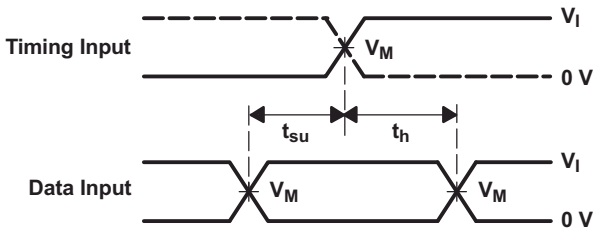
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

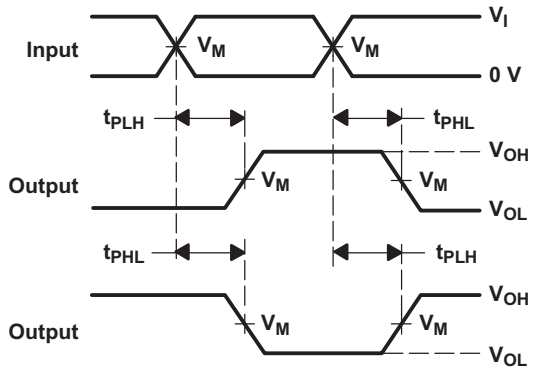
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V



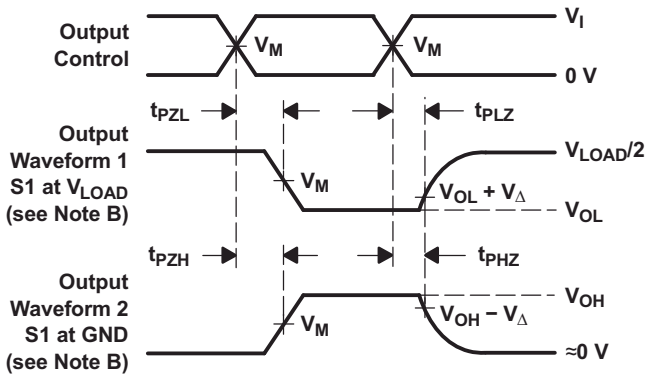
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

这款双路负边沿触发式 J-K 触发器需在 1.65V 至 3.6V V_{CC} 下运行。

预设 ($\overline{PRE}$) 或清零 ($\overline{CLR}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{PRE}$ 和 $\overline{CLR}$ 处于非有效状态（高电平）时，满足设置时间要求的 J 和 K 输入端数据将在时钟脉冲的负向边沿传输到输出端。时钟触发出现在一个特定电压电平上，并且不与时钟脉冲的上升时间直接相关。经过保持时间间隔后，可以更改 J 和 K 输入端的数据而不影响输出端的电平。SN74LVC112A 可通过将 J 和 K 连接到高电平来作为切换触发器运行。

输入可以由 3.3V 或 5V 器件驱动。此功能允许在 3.3V/5V 的混合系统环境中将此类器件用作转换器。

7.2 功能方框图

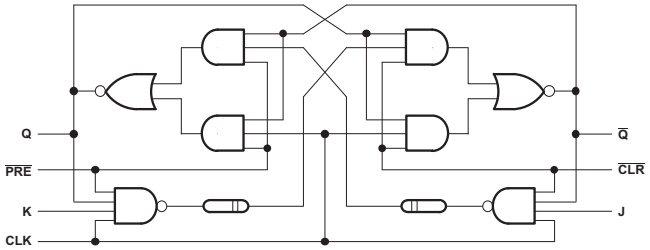


图 7-1. 展示各触发器的逻辑图（正逻辑）

7.3 特性说明

- 宽工作电压范围
  - 可在 1.65V 至 3.6V 范围内工作
- 支持降压转换
  - 输入电压高达 5.5V
- I_{off} 特性
  - 允许在 V_{CC} 为 0V 时在输入和输出上产生电压

7.4 器件功能模式

表 7-1. 功能表

输入					输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H(1)	H(1)
H	H	↓	L	L	Q_0	$\overline{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	切换	
H	H	H	X	X	Q_0	$\overline{Q}_0$

(1) 该配置中的输出电平可能不符合 V_{OH} 的最低电平要求。此外，该配置不稳定；也就是说，当 $\overline{PRE}$ 或 $\overline{CLR}$ 恢复到其非活动（高）电平时，该配置不会持续存在。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LVC112A 是一款高驱动 CMOS 器件，可用于需要保留或锁存数据的多种总线接口类型应用。它可以在 3.3V 下产生 24mA 驱动电流，因此非常适合驱动多个输出，也适合用于高达 150MHz 的高速应用。输入可耐受 5.5V 电压，允许将其降压转换至 V_{CC}。

8.2 典型应用

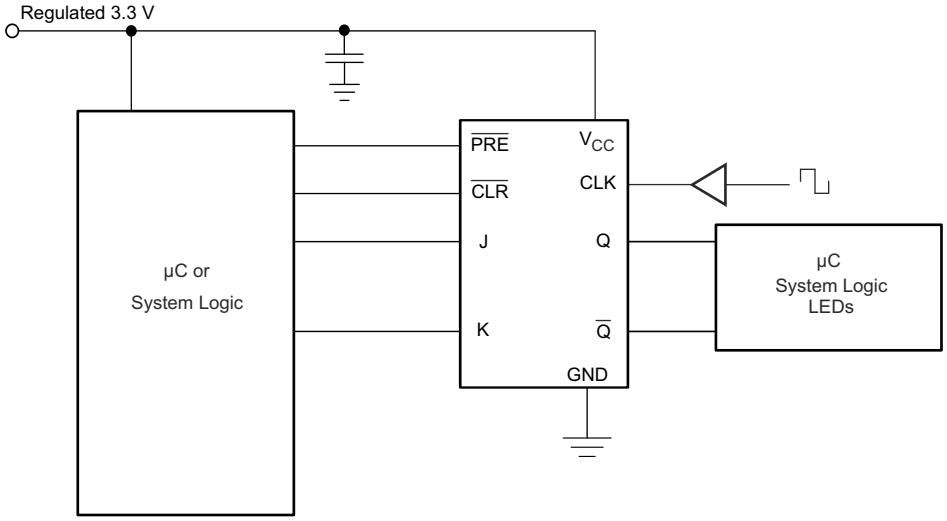


图 8-1. 典型应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

8.2.2 详细设计过程

1. 建议的输入条件
   - 有关上升时间和下降时间规格，请参阅*建议运行条件* 表中的 $\Delta t/\Delta V$。
   - 有关指定的高电平和低电平，请参阅*建议运行条件* 表中的 V_{IH} 和 V_{IL}。
   - 输入具有过压容限，允许它们在任何有效 V_{CC} 下高达 5.5V。
2. 建议的输出条件
   - 每个输出的负载电流不应超过 50mA，该器件的总电流不应超过 100mA。
   - 输出不应被拉至高于 V_{CC}。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 应用曲线

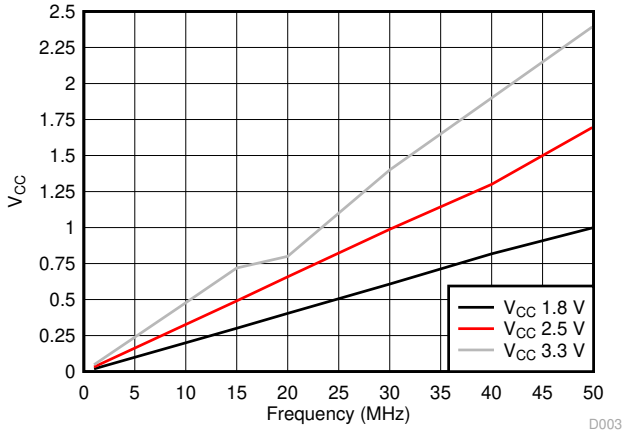


图 8-2. I_{CC} 与频率间的关系

8.3 电源相关建议

电源可以是*建议运行条件*表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 µF；如果有多个 V_{CC} 引脚，建议每个电源引脚使用 0.01 µF 或 0.022 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和
1 µF 通常并联使用。为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

8.4 布局

8.4.1 布局指南

当使用多位逻辑器件时，输入不得悬空。许多情况下，数字逻辑器件的功能或部分功能未被使用。例如，在仅使用三输入与门的 2 个输入，或仅使用 4 个缓冲门中的 3 个时。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的运行状态。

图 8-3 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。应根据器件的功能为任何特定未使用的输入施加逻辑电平。通常，将这些输入连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。

8.4.2 布局示例

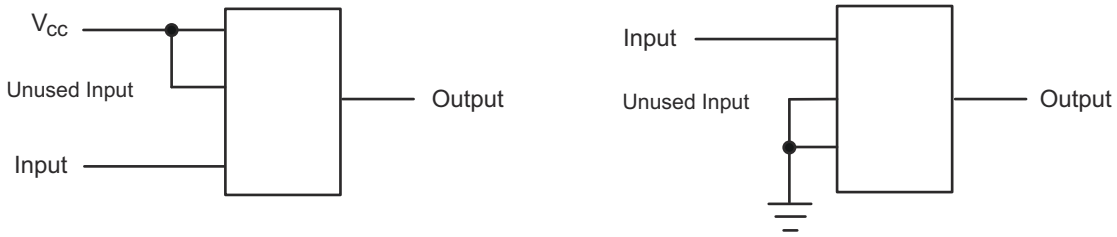


图 8-3. 布局图

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (December 2024) to Revision O (July 2025)	Page
• 更新了 V_{CC} = 1.8V 和 2.5V 条件下的 85°C *开关特性* 表。	8
• 更新了 V_{CC} = 1.8V 和 2.5V 条件下的 125C *开关特性* 表。	8

Changes from Revision M (December 2014) to Revision N (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 删除了整个数据表中对机器放电模型的引用，并将 HBM 和 CDM 值分别从 3000V 和 1500V 更新为 2000V 和 1000V	1
• 更新了 $R_{\theta JA}$ 值：D = 90.6 更新至 118.1，DB = 107.1 更新至 122.5，NS = 90.7 更新至 117.5，PW = 122.6 更新至 141.8；更新了 D、DB、NS 和 PW 封装的 $R_{\theta JC(top)}$、$R_{\theta JB}$、Ψ_{JT}、Ψ_{JB} 和 $R_{\theta JC(bot)}$，所有值均以 °C/W 为单位	5

Changes from Revision L (August 2004) to Revision M (December 2014)	Page
• 添加了*应用*、*封装信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*典型特性*、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 删除了*订购信息* 表	1
• 将*建议运行条件* 表中的最大运行温度更改为 125°C。	5

Copyright © 2025 Texas Instruments Incorporated

- 在*电气规格*表中添加了 –40°C 至 +125°C 温度范围。 6
- 在*时序要求*表中添加了 –40°C 至 125°C 温度范围。 6

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC112AD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112AD.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADBR.B	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADGVR.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADR.B	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADT	Active	Production	SOIC (D) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ADT.B	Active	Production	SOIC (D) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112ANSR.B	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC112A
SN74LVC112APW	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APW.B	Active	Production	TSSOP (PW) | 16	90 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWT	Active	Production	TSSOP (PW) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A
SN74LVC112APWT.B	Active	Production	TSSOP (PW) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC112A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

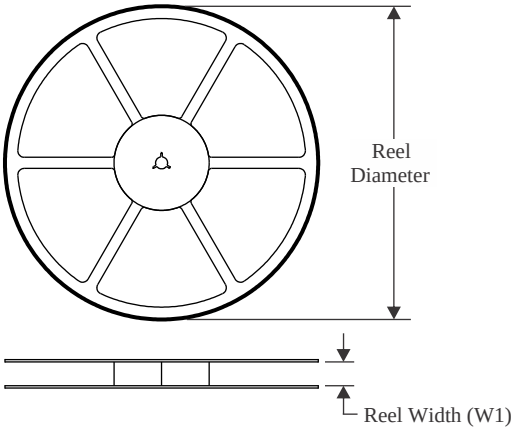
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

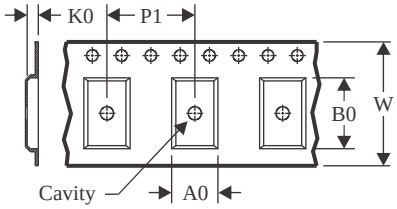
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

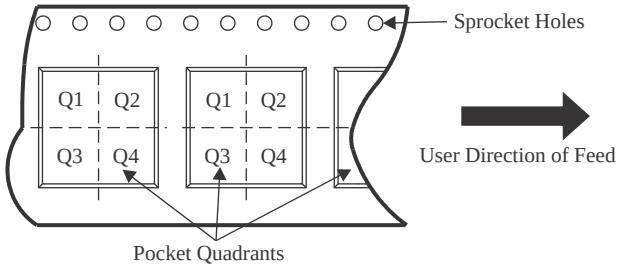


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

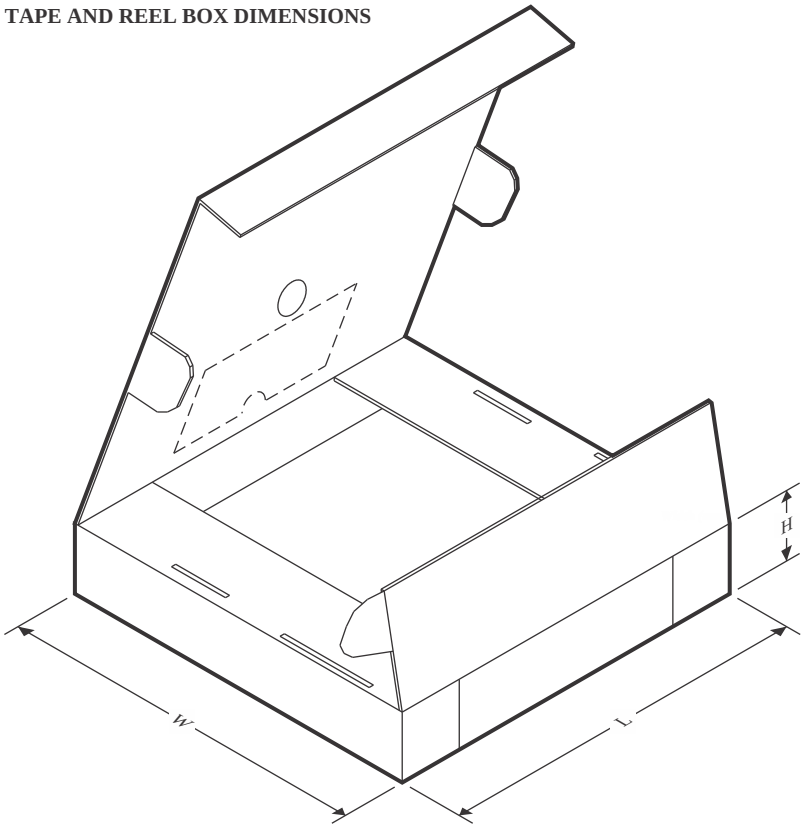
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC112ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC112ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LVC112ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LVC112ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LVC112ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LVC112APWR	TSSOP	PW	16	2000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
SN74LVC112APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC112APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC112APWT	TSSOP	PW	16	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

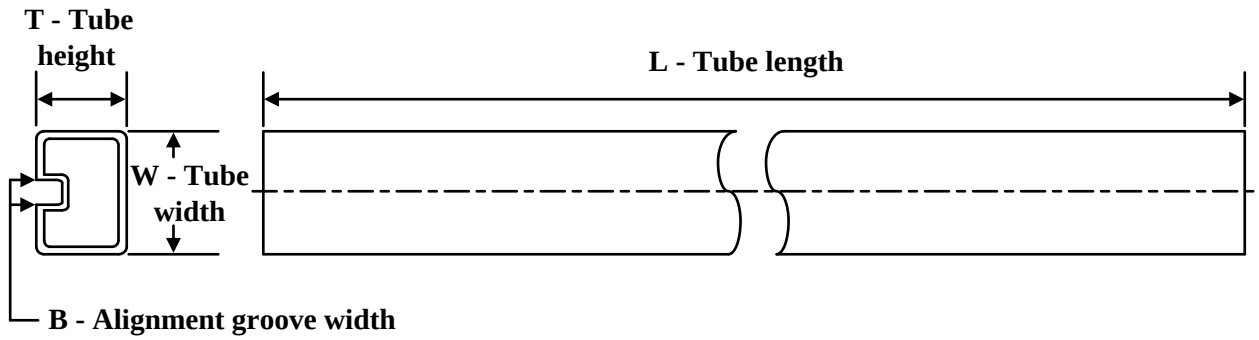
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

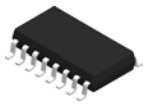
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC112ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74LVC112ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LVC112ADR	SOIC	D	16	2500	340.5	336.1	32.0
SN74LVC112ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74LVC112ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LVC112APWR	TSSOP	PW	16	2000	366.0	364.0	50.0
SN74LVC112APWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LVC112APWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LVC112APWT	TSSOP	PW	16	250	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74LVC112AD	D	SOIC	16	40	507	8	3940	4.32
SN74LVC112AD.B	D	SOIC	16	40	507	8	3940	4.32
SN74LVC112APW	PW	TSSOP	16	90	530	10.2	3600	3.5
SN74LVC112APW.B	PW	TSSOP	16	90	530	10.2	3600	3.5

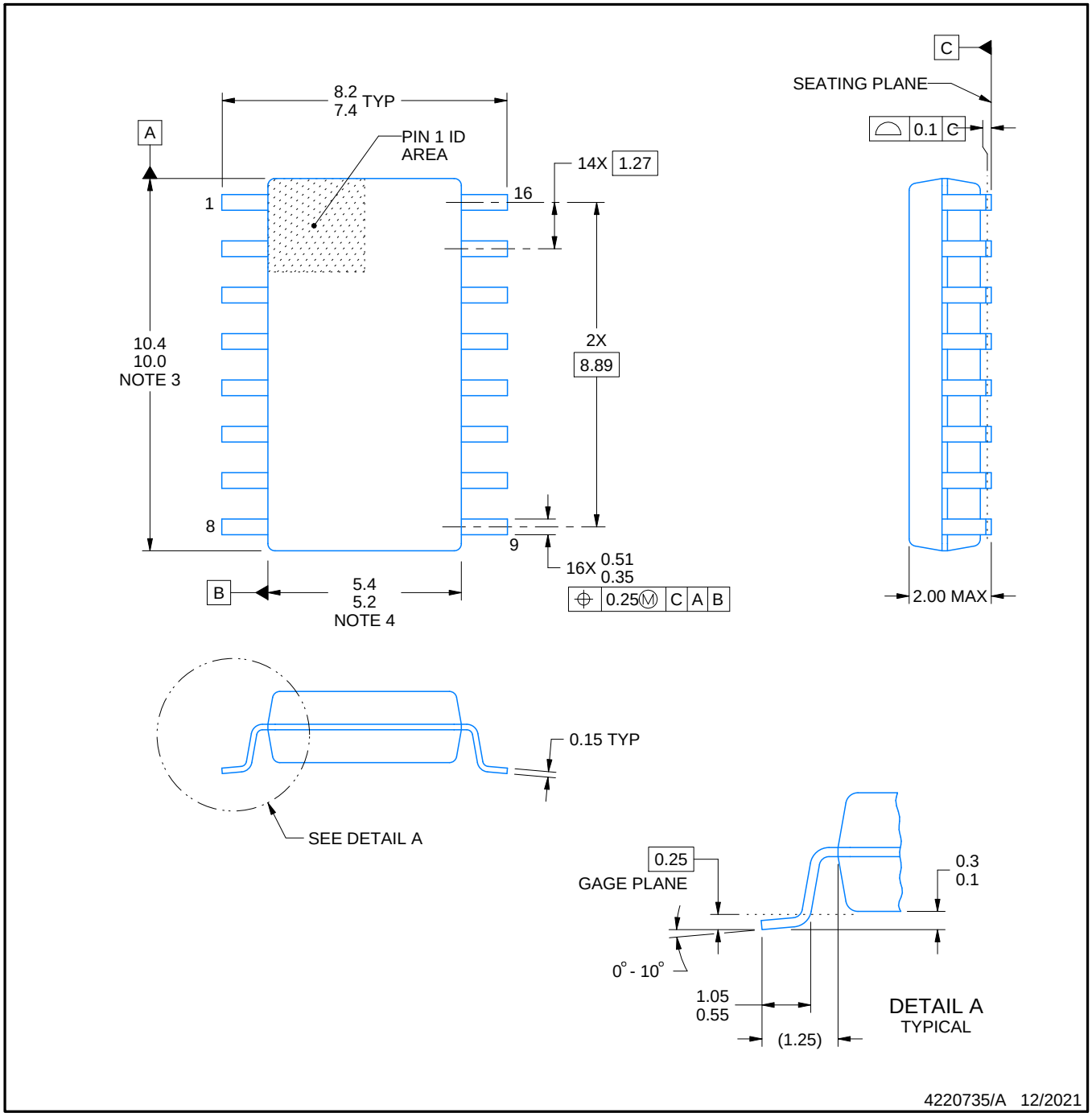


PACKAGE OUTLINE

NS0016A

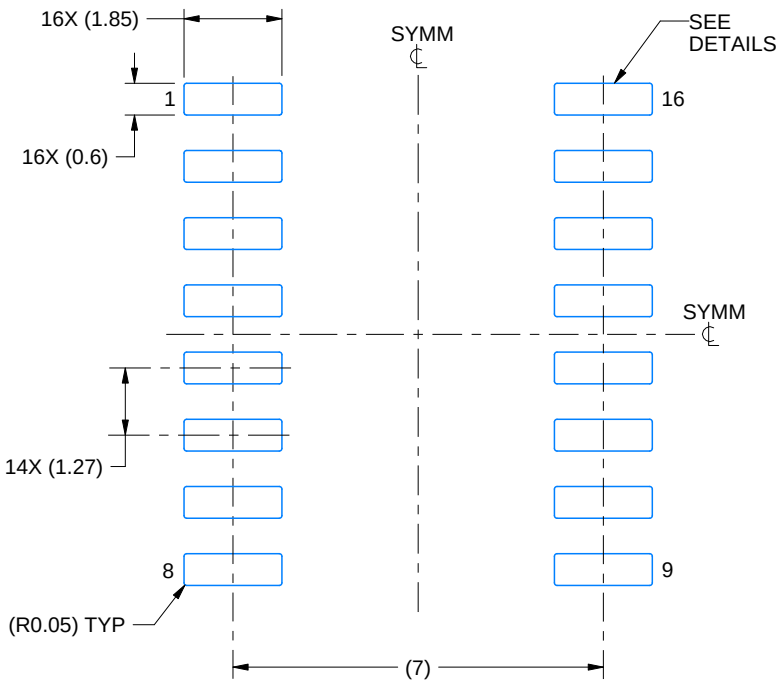
SOP - 2.00 mm max height

SOP

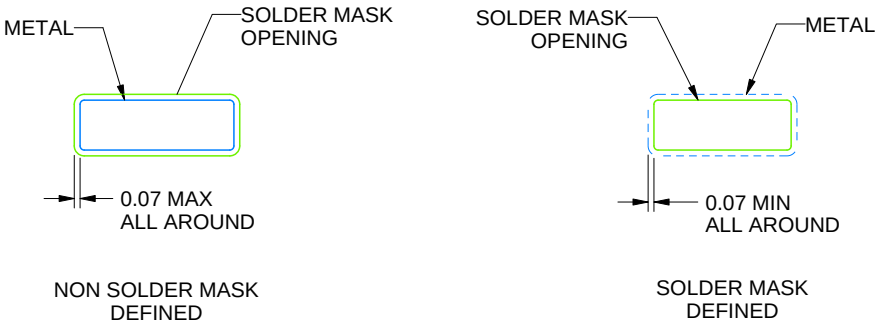


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

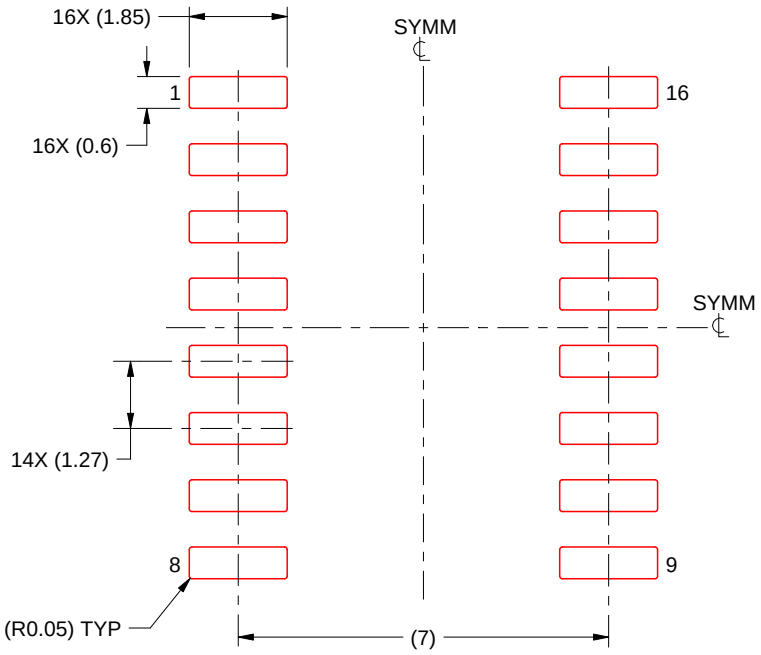
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



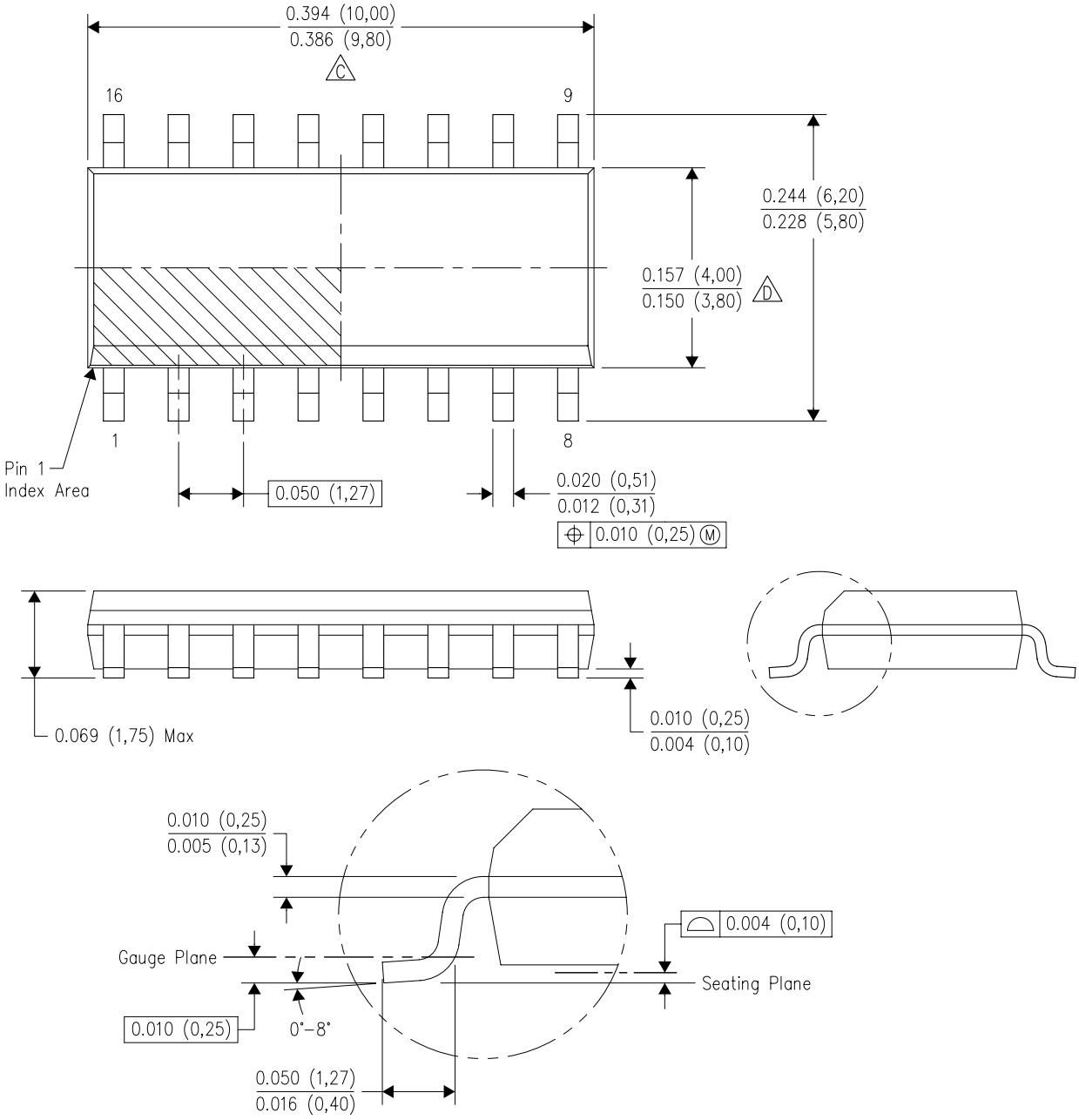
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



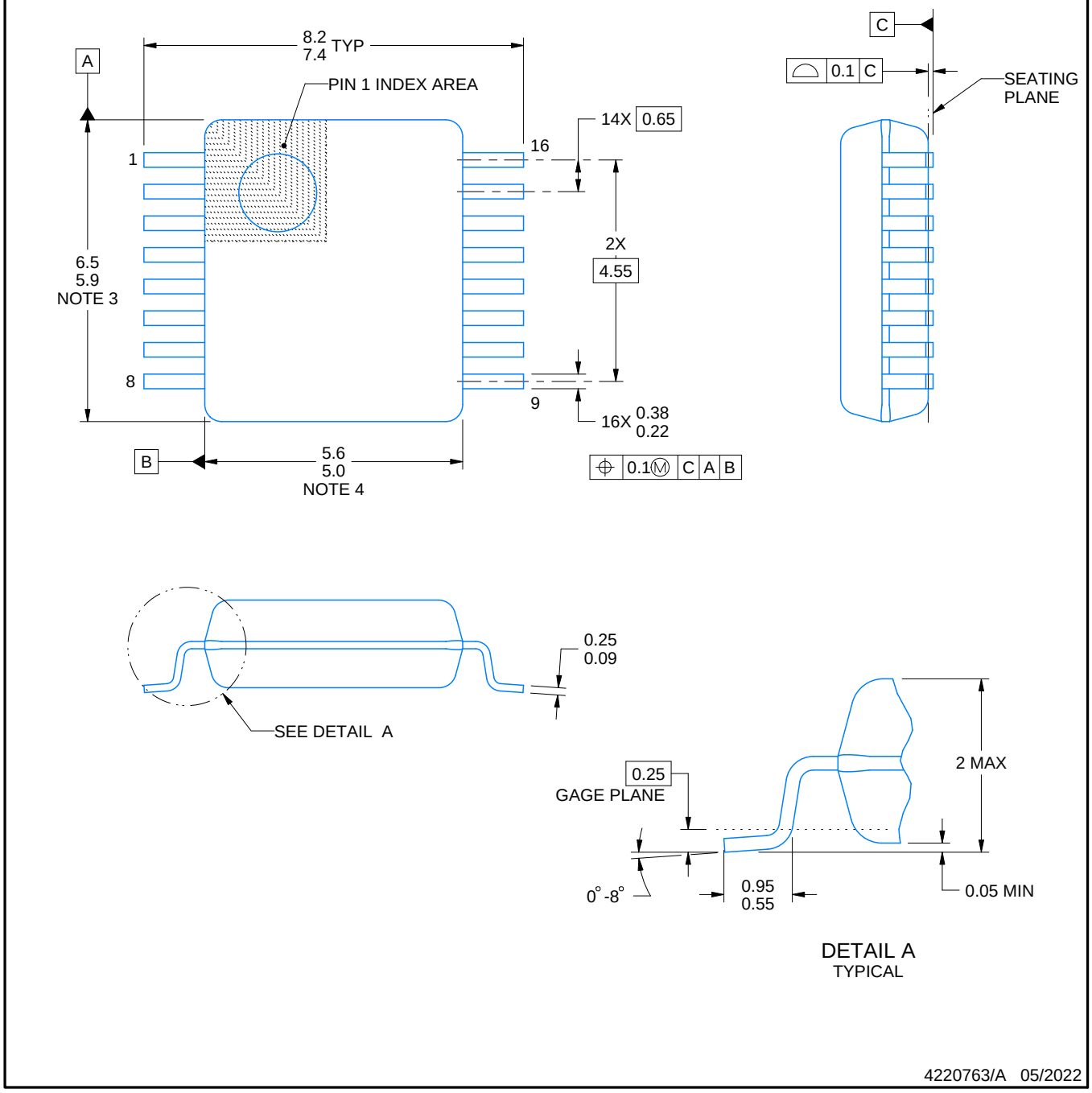
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

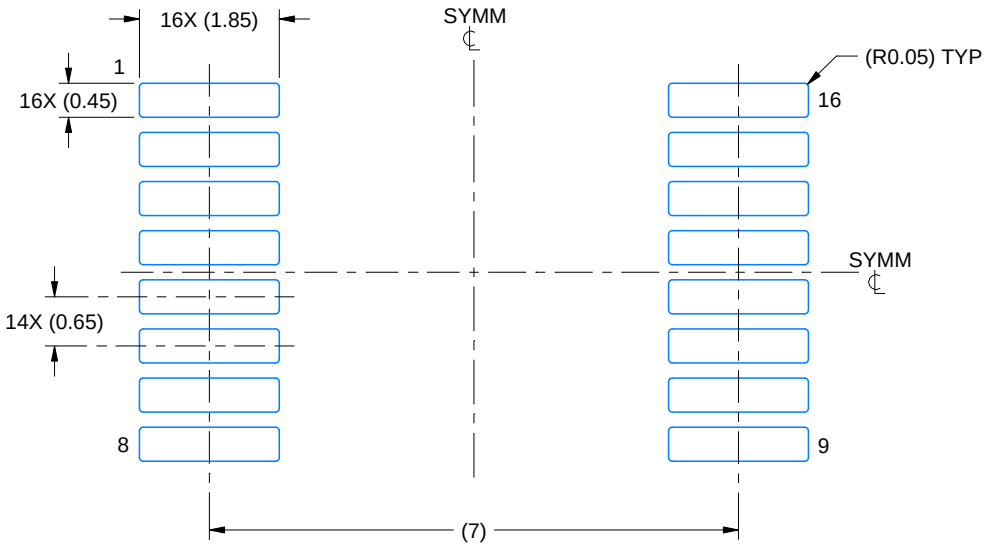
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

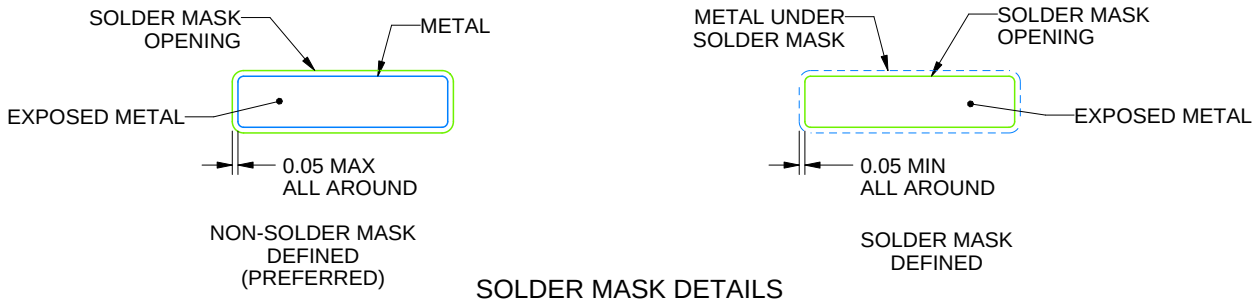


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

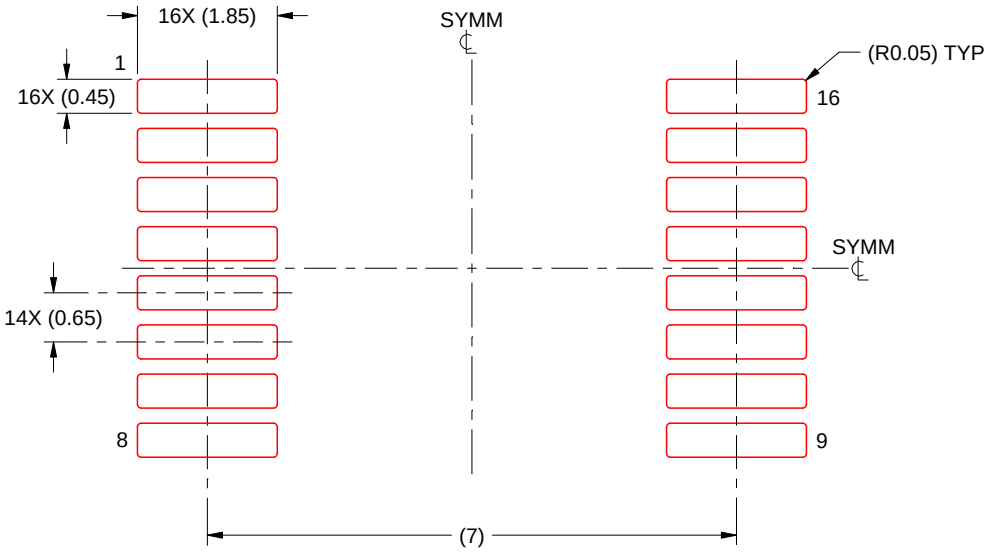


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

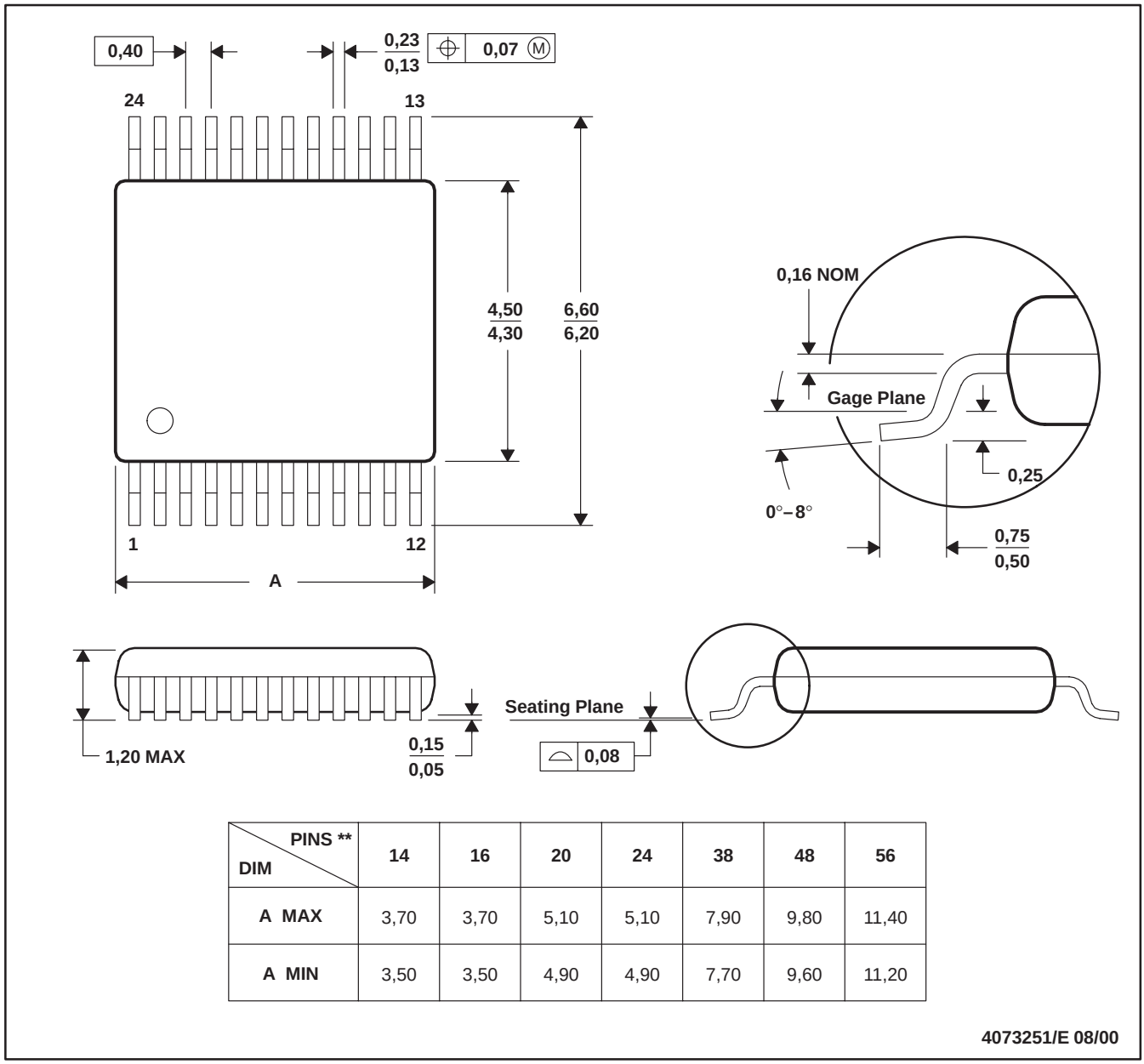
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

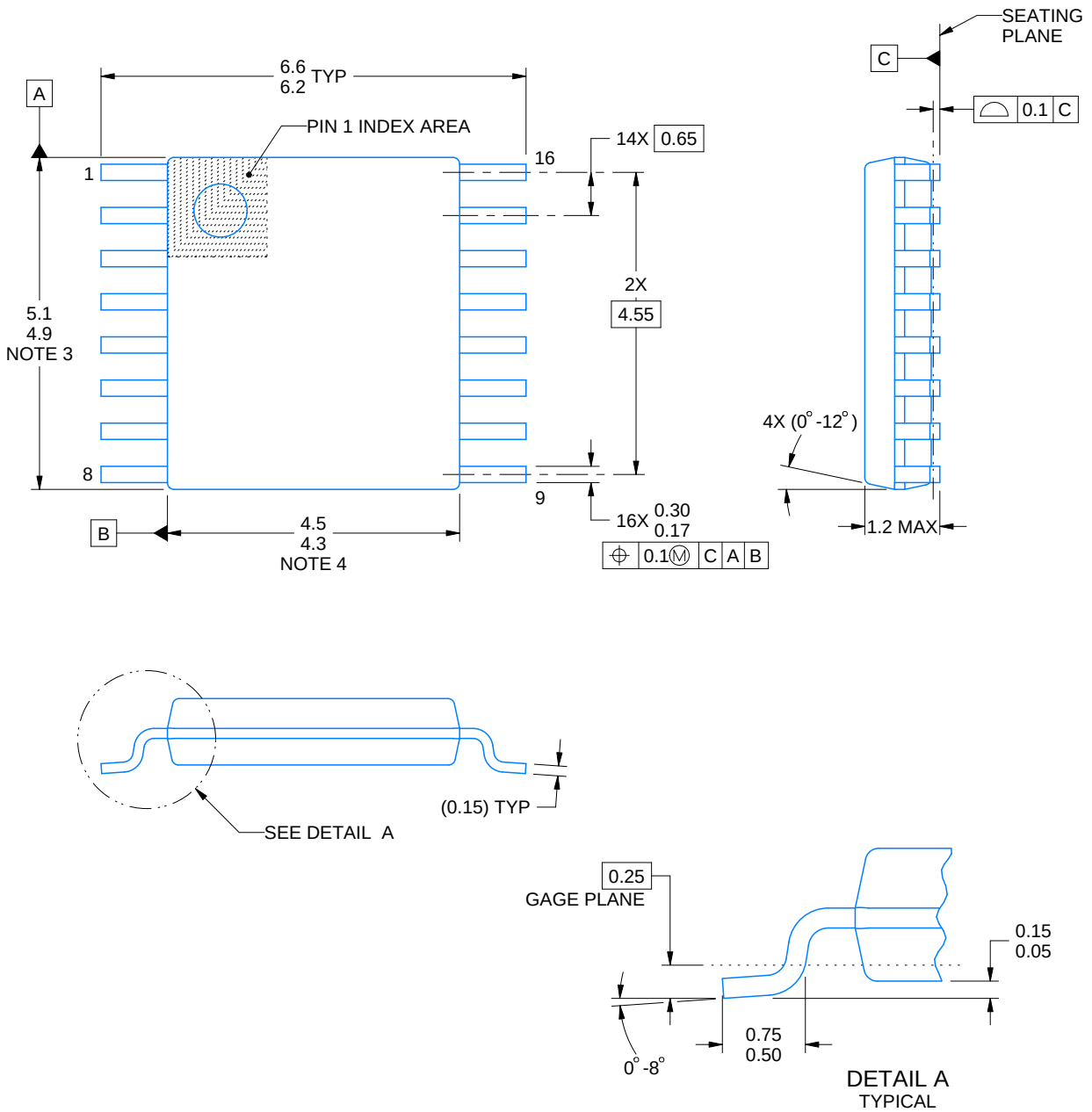
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

PW0016A

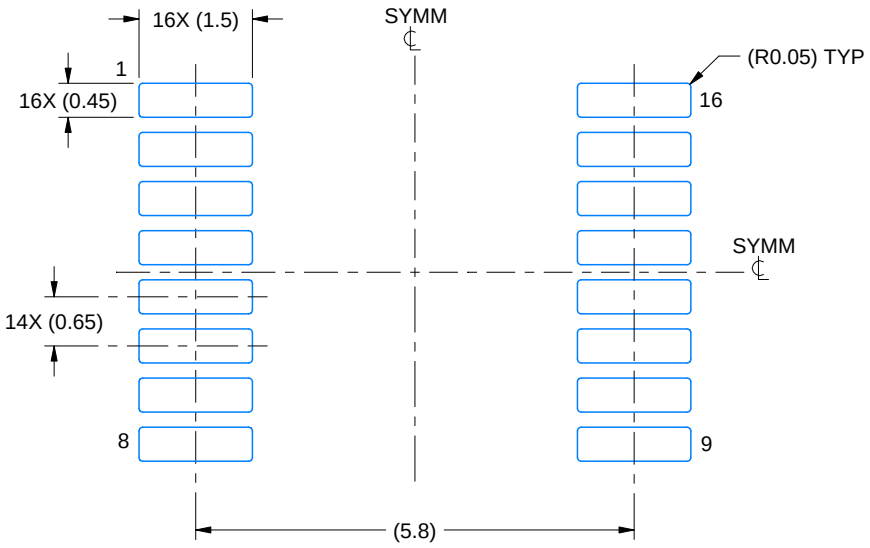
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

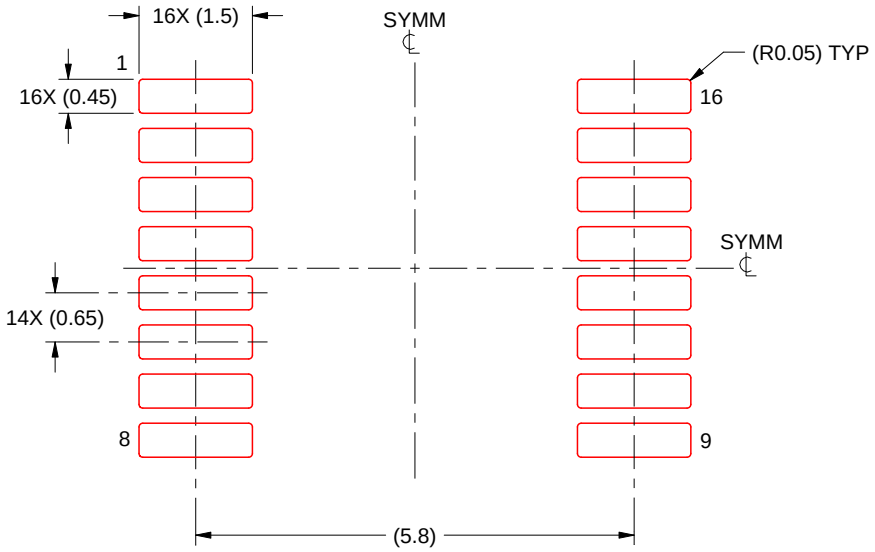


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月