TAS2505 具有音频处理功能的 2.6W 数字/模拟输入 D 类扬声器放大器

1 特性

- 单声道 D 类 BTL 扬声器放大器
  - 10% THD_N 时的功率为 2.6W（4Ω，5.5V）
  - 10% THD+N 时功率为 1.7W（8Ω，5.5V）
- 支持数字和模拟输入
- 单电源 2.7V 至 5.5V
- 负载诊断功能：
  - 输出至 GND 短路
  - 终端至终端短路
  - 输出至电源短路
  - 在温度范围内
  - 直流输入
- 支持 9kHz 至 96kHz 的采样率
- 具有输出混合和电平控制功能的两个单端输入
- 嵌入式上电复位
- 可编程数字音频处理：
  - 低音增强
  - 高音
  - EQ（多达 6 个双二阶滤波器）
- I^2S，左平衡，右平衡，DSP 和 TDM 音频接口
- 支持自动递增的 I^2C 和 SPI 控制
- 24 引脚 VQFN 封装

2 应用

- 仪表组
- 自动紧急呼叫 (eCall)
- 远程信息处理

3 说明

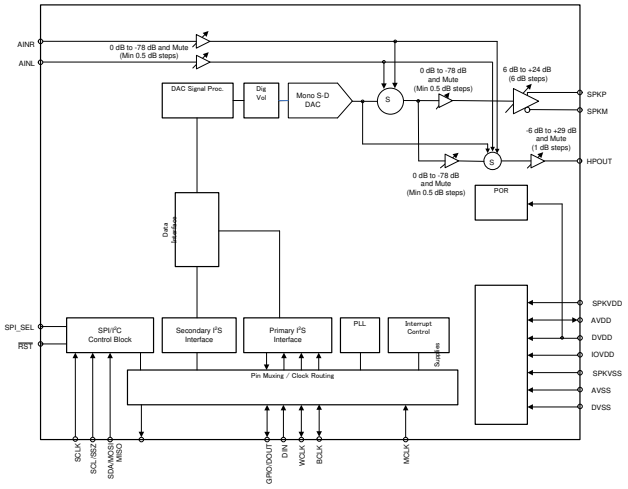
TAS2505 是一款支持数字和模拟输入的单声道 D 类扬声器放大器。该器件旨在用于汽车仪表组、紧急呼叫 (eCall) 和远程信息处理应用。直接 I^2S 输入免除了音频信号路径。除了集成之外，该器件还具有可编程音频处理功能。板载 DSP 支持低音增强、高音和 EQ（多达 6 个双二阶滤波器）。片上 PLL 提供 DSP 所需的高速时钟。音量由寄存器控制。

器件信息 (1)

器件型号	封装	封装尺寸 (2)
TAS2505	VQFN (24)	4.00mm × 4.00mm
TAS2505A-Q1	VQFN (24)	4.00mm × 4.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 主模式下的 I²S/LJF/RJF 时序 7
5.7 从模式下的 I²S/LJF/RJF 时序 7
5.8 主模式下的 DSP 时序 7
5.9 从模式下的 DSP 时序 7
5.10 I²C 接口时序 8
5.11 SPI 接口时序 8
5.12 典型特性 11
6 参数测量信息 14
7 详细说明 15
7.1 概述 15
7.2 功能方框图 15
7.3 特性说明 15
7.4 器件功能模式 16
8 寄存器映射 20
9 应用和实施 23
9.1 应用信息 23
9.2 典型应用 23
9.3 电源相关建议 25
9.4 布局 25
10 器件和文档支持 27
10.1 第三方产品免责声明 27
10.2 文档支持 27
10.3 接收文档更新通知 27
10.4 支持资源 27
10.5 商标 27
10.6 静电放电警告 27
10.7 术语表 27
10.8 社区资源 27
11 修订历史记录 27
12 机械、封装和可订购信息 28

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

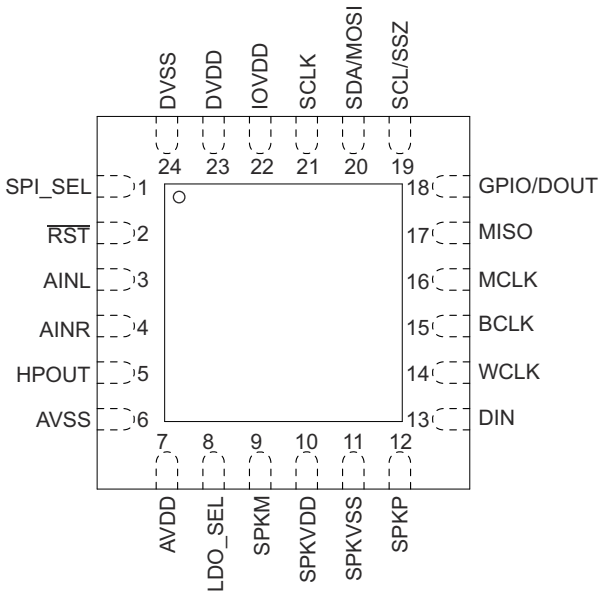


图 4-1. RGE 封装 24 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	SPI_SEL	I	在 SPI 和 I²C 数字接口模式之间进行选择；（1 = SPI 模式）（0 = I²C 模式）
2	$\overline{\text{RST}}$	I	逻辑、状态机和数字滤波器复位；置位为低电平。
3	AINL	I	模拟单端线路左侧输入
4	AINR	I	模拟单端线路右侧输入
5	NC	O	无连接（保持未连接）
6	AVSS	GND	模拟地，0V
7	AVDD	PWR	模拟内核电源电压，1.5V 至 1.95V
8	LDO_SEL	I	接地。
9	SPKM	O	D 类扬声器驱动器反相输出
10	SPKVDD	PWR	D 类扬声器驱动器电源
11	SPKVSS	PWR	D 类扬声器驱动器电源接地电源
12	SPKP	O	D 类扬声器驱动器同相输出
13	DIN	I	音频串行数据总线输入数据
14	WCLK	I/O	音频串行数据总线字时钟
15	BCLK	I/O	音频串行数据总线位时钟
16	MCLK	I	用于 CLK 乘法器 - PLL 的主 CLK 输入/基准 CLK（在启动时，PLLCLK = CLKIN）
17	MISO	O	SPI 串行数据输出
18	GPIO/DOUT	I/O/Z	GPIO/音频串行总线输出
19	SCL/SSZ	I	I²C 输入串行时钟或 SPI 片选信号，具体取决于 SPI_SEL 状态
20	SDA/MOSI	I	I²C 串行数据输入或 SPI 串行数据输入，具体取决于 SPI_SEL 状态。
21	SCLK	I	SPI 接口的串行时钟
22	IOVDD	PWR	I/O 电源，1.1V 至 3.6V
23	DVDD	PWR	数字电源，1.65V 至 1.95V
24	DVSS	GND	数字接地，0V

(1) I = 输入，O = 输出，GND = 接地，PWR = 电源，Z = 高阻抗

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
AVDD 至 AVSS	-0.3	2.2	V
DVDD 至 DVSS	-0.3	2.2	V
SPKVDD 至 SPKVSS	-0.3	6	V
IOVDD 至 IOVSS	-0.3	3.9	V
数字输入电压	IOVSS – 0.3	IOVDD + 0.3	V
模拟输入电压	AVSS – 0.3	AVDD + 0.3	V
工作温度	-40	85	°C
结温，T_J 最大值		105	°C
VQFN 封装（散热焊盘焊接到电路板上）的功率耗散	（T_J 最大值 – T_A）/ θ_{JA}		W
贮存温度，T_{stg}	-55	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成损坏。这些仅为应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±500	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
AVDD(2)	电源电压	以 AVSS 为基准(1)	1.5	1.8	1.95	V
DVDD		以 DVSS 为基准 (1)	1.65	1.8	1.95	
SPKVDD(2)		以 SPKVSS 为基准 (1)	2.7		5.5	
IOVDD		以 IOVSS 为基准 (1)	1.1	1.8	3.6	
	扬声器阻抗	施加在 D 类输出引脚上的负载 (BTL)	4			Ω
V_I	模拟音频满量程输入电压	AVDD = 1.8V，单端		0.5		V_{RMS}
MCLK(3)	主时钟频率	IOVDD = DVDD = 1.8V			50	MHz
SCL	SCL 时钟频率				400	kHz
T_A	自然通风条件下的工作温度范围		-40		85	°C

(1) 电路板上的所有接地端连接在一起，因此对于任何接地信号组合，它们的电压差异不应超过 0.2V。通过使用宽布线或接地平面，确保 AVSS 和 DVSS 之间的低阻抗连接。
(2) 为了更大限度减少电池漏电流，SPKVDD 电压电平不应低于 AVDD 电压电平。
(3) 对于任一用作通用时钟的数字引脚，最大输入频率应该为 50MHz。

5.4 热性能信息

热指标(1)		TAS2505 RGE (QFN) 24 引脚	单位
θ_{JA}	结至环境热阻	32.2	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		TAS2505 RGE (QFN) 24 引脚	单位
θ_{JCtop}	结至外壳（顶部）热阻	30	°C/W
θ_{JB}	结至电路板热阻	9.2	°C/W
ψ_{JT}	结至顶部特征参数	0.3	°C/W
ψ_{JB}	结至电路板特征参数	9.2	°C/W
θ_{JCbot}	结至外壳（底部）热阻	2.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 电气特性

在 25°C、AVDD = 1.8V、IOVDD = 1.8V、SPKVDD = 3.6V、DVDD = 1.8V、f_S（音频）= 48kHz、CODEC_CLKIN = 256 × f_S、PLL = 关闭的条件下测得

参数		测试条件	最小值	典型值	最大值	单位
内部振荡器 - RC_CLK						
	振荡器频率			8.48		MHz
DAC 数字内插滤波器特性						
有关 DAC 内插滤波器的特性，请参阅 *TAS2505 应用参考指南* (SLAU472)。						
DAC 输出至 D 类扬声器输出；负载 = 4Ω（差分）						
ICN	空闲声道噪声	BTL 测量、D 类增益 = 6dB、作为空闲通道噪声测量、A 加权(2) (1)		37		μVms
	输出电压	BTL 测量、D 类增益 = 6dB、–3dBFS 输入		1.4		Vrms
THD+N	总谐波失真 + 噪声	BTL 测量、DAC 输入 = –6dBFS、D 类增益 = 6dB		-73.9		dB
PSRR	电源抑制比	BTL 测量、1kHz 下 SPKVDD = 200mV_{PP} 时的纹波		55		dB
	静音衰减	静音		103		dB
P_O	最大输出功率	SPKVDD = 3.6V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 10%		1.1		W
		SPKVDD = 4.2V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 10%		1.4		
		SPKVDD = 3.6V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 1%		0.8		
		SPKVDD = 4.2V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 1%		1.1		
		SPKVDD = 5.5V、BTL 测量、CM = 0.9V、D 类增益 = 18dB			2	
DAC 输出至 D 类扬声器输出；负载 = 8Ω（差分）						
ICN	空闲声道噪声	BTL 测量、D 类增益 = 6dB、作为空闲通道噪声测量、A 加权(2) (1)		35.2		μVms
	输出电压	BTL 测量、D 类增益 = 6dB、–3dBFS 输入		1.4		Vrms
THD+N	总谐波失真 + 噪声	BTL 测量、DAC 输入 = –6dBFS、D 类增益 = 6dB		-73.6		dB

Copyright © 2025 Texas Instruments Incorporated

在 25°C、AVDD = 1.8V、IOVDD = 1.8V、SPKVDD = 3.6V、DVDD = 1.8V、f_S（音频）= 48kHz、CODEC_CLKIN = 256 × f_S、PLL = 关闭的条件下测得

参数		测试条件	最小值	典型值	最大值	单位
P_O	最大输出功率	SPKVDD = 3.6V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 10%		0.7		W
		SPKVDD = 4.2V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 10%		1		
		SPKVDD = 5.5V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 10%		1.7		
		SPKVDD = 3.6V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 1%		0.5		
		SPKVDD = 4.2V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 1%		0.8		
		SPKVDD = 5.5V、BTL 测量、CM = 0.9V、D 类增益 = 18dB、THD = 1%		1.3		
D 类扬声器放大器的模拟旁路						
	器件设置	BTL 测量、驱动器增益 = 6dB、负载 = 4Ω（差分）、50pF、输入信号频率 fi = 1KHz				
	电压增益	输入共模 = 0.9V		4		V/V
	增益误差	–1dBFS (446mVrms)、1kHz 输入信号		±0.7		dB
ICN	空闲声道噪声	空闲通道、IN1L 和 IN1R 交流短路到地、作为空闲通道噪声测量、A 加权(2) (1)		32.6		μVms
THD+N	总谐波失真 + 噪声	–1dBFS (446mVrms)、1kHz 输入信号		-73.7		dB
关断功耗						
	器件设置	断电 POR、/RST 保持低电平、AVDD = 1.8V、IOVDD = 1.8V、SPKVDD = 4.2V、DVDD = 1.8V				
	I(AVDD)			1.32		μA
	I(DVDD)			0.04		μA
	I(IOVDD)			0.68		μA
	I(SPKVDD)			2.24		μA
数字输入/输出						
逻辑系列				CMOS		
V_{IH}	逻辑电平	I_{IH} = 5 μA、IOVDD ≥ 1.6V	0.7 × IOVDD			V
		I_{IH} = 5 μA、IOVDD < 1.6V	IOVDD			
V_{IL}		I_{IL} = 5 μA、IOVDD ≥ 1.6V	-0.3		0.3 × IOVDD	V
		I_{IL} = 5 μA、IOVDD < 1.6V			0	
V_{OH}		I_{OH} = 2 TTL 负载	0.8 × IOVDD			V
V_{OL}		I_{OL} = 2 TTL 负载			0.25	V
	容性负载			10		pF

(1) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，可能会导致比“电气特性”中所示更高的 THD+N 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但可能会影响动态规格值。

(2) 在 1kHz 满量程正弦波输入时的输出电平与输入对地短路时的输出电平之比，使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。

Copyright © 2025 Texas Instruments Incorporated

5.6 主模式下的 I²S/LJF/RJF 时序

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		IOVDD = 1.8V		IOVDD = 3.3V		单位
		最小值	最大值	最小值	最大值	
t_d(WS)	WCLK 延迟		45		45	ns
t_s(DI)	DIN 设置	8		6		ns
t_h(DI)	DIN 保持	8		6		ns
t_r	上升时间		25		10	ns
t_f	下降时间		25		10	ns

(1) 所有计时技术规格都在表征时测量，但不在最终测试中进行测试。

5.7 从模式下的 I²S/LJF/RJF 时序

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		IOVDD = 1.8V		IOVDD = 3.3V		单位
		最小值	最大值	最小值	最大值	
t_H(BCLK)	BCLK 高电平周期	35		35		ns
t_L(BCLK)	BCLK 低电平时间	35		35		ns
t_s(WS)	WCLK 设置	8		6		ns
t_h(WS)	WCLK 保持	8		6		ns
t_s(DI)	DIN 设置	8		6		ns
t_h(DI)	DIN 保持	8		6		ns
t_r	上升时间		4		4	ns
t_f	下降时间		4		4	ns

(1) 所有计时技术规格都在表征时测量，但不在最终测试中进行测试。

5.8 主模式下的 DSP 时序

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		IOVDD = 1.8V		IOVDD = 3.3V		单位
		最小值	最大值	最小值	最大值	
t_d(WS)	WCLK 延迟		45		45	ns
t_s(DI)	DIN 设置	8		6		ns
t_h(DI)	DIN 保持	8		6		ns
t_r	上升时间		25		10	ns
t_f	下降时间		25		10	ns

(1) 所有计时技术规格都在表征时测量，但不在最终测试中进行测试。

5.9 从模式下的 DSP 时序

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		IOVDD = 1.8V		IOVDD = 3.3V		单位
		最小值	最大值	最小值	最大值	
t_H(BCLK)	BCLK 高电平周期	35		35		ns
t_L(BCLK)	BCLK 低电平时间	35		35		ns
t_s(WS)	WCLK 设置	8		8		ns
t_h(WS)	WCLK 保持	8		8		ns
t_s(DI)	DIN 设置	8		8		ns
t_h(DI)	DIN 保持	8		8		ns

Copyright © 2025 Texas Instruments Incorporated

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		IOVDD = 1.8V		IOVDD = 3.3V		单位
		最小值	最大值	最小值	最大值	
t_r	上升时间		4		4	ns
t_f	下降时间		4		4	ns

(1) 所有计时技术规格都在表征时测量，但不在最终测试中进行测试。

5.10 I²C 接口时序

所有规格的条件均为 25°C，DVDD = 1.8V(1)

参数		标准模式			快速模式			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
f_{SCL}	SCL 时钟频率	0		100	0		400	kHz
$t_{HD;STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	4			0.8			µs
t_{LOW}	SCL 时钟的低电平周期	4.7			1.3			µs
t_{HIGH}	SCL 时钟的高电平周期	4			0.6			µs
$t_{SU;STA}$	重复 START 条件的建立时间	4.7			0.8			µs
$t_{HD;DAT}$	I²C 总线器件的数据保持时间	0		3.45	0		0.9	µs
$t_{SU;DAT}$	数据设置时间	250			100			ns
t_r	SDA 和 SCL 上升时间			1000	20 + 0.1 C_b		300	ns
t_f	SDA 和 SCL 下降时间			300	20 + 0.1 C_b		300	ns
$t_{SU;STO}$	STOP 条件的建立时间	4			0.8			µs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			1.3			µs
C_b	每个总线的容性负载			400			400	pF

(1) 所有计时技术规格都在表征时测量，但不在最终测试中进行测试。

5.11 SPI 接口时序

在 25°C，DVDD = 1.8V 时

参数		测试条件	IOVDD=1.8V			IOVDD=3.3V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
t_{sck}	SCLK 周期 (1)		100			50			ns
t_{sckh}	SCLK 脉冲宽度高电平		50			25			ns
t_{sckl}	SCLK 脉冲宽度低电平		50			25			ns
t_{lead}	启用超前时间		30			20			ns
t_{lag}	启用滞后时间		30			20			ns
t_d	顺序传输延迟		40			20			ns
t_a	从器件 DOUT 访问时间				40			40	ns
t_{dis}	从器件 DOUT 禁用时间				40			40	ns
t_{su}	DIN 数据设置时间		15			15			ns
t_{hi}	DIN 数据保持时间		15			10			ns
$t_{v;DOUT}$	DOUT 数据有效时间				25			18	ns
t_r	SCLK 上升时间				4			4	ns
t_f	SCLK 下降时间				4			4	ns

(1) 这些参数基于特性表征，未经量产测试。

Copyright © 2025 Texas Instruments Incorporated

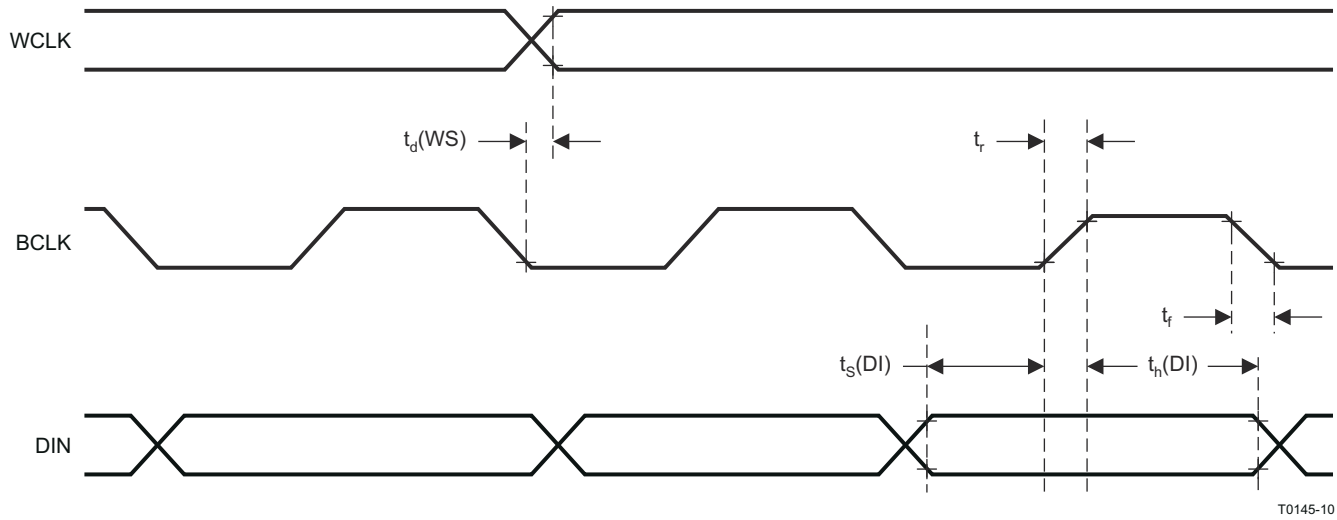


图 5-1. 主模式下的 I²S/LJF/RJF 时序

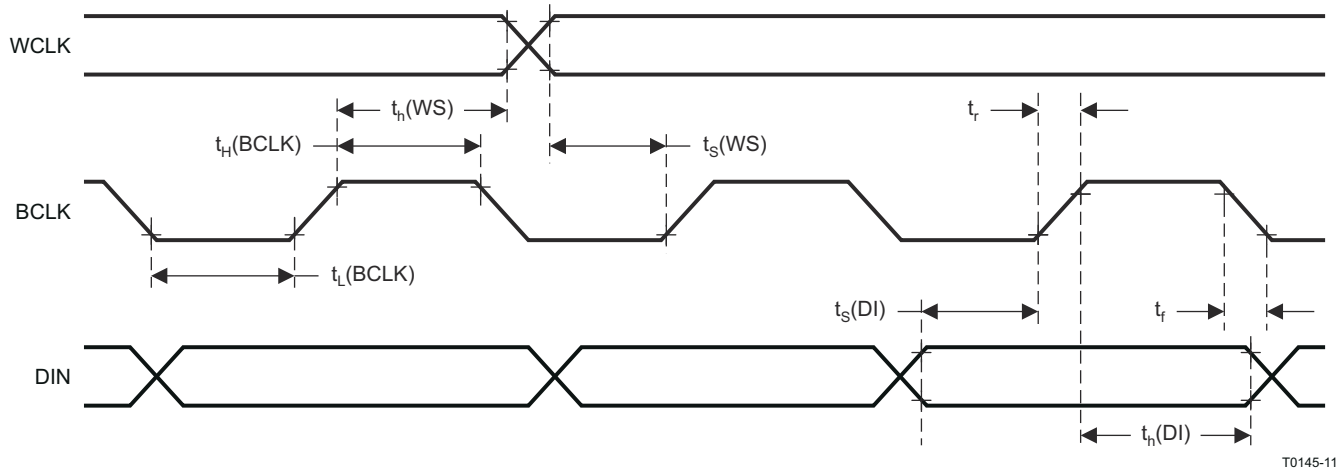


图 5-2. 从模式下的 I²S/LJF/RJF 时序

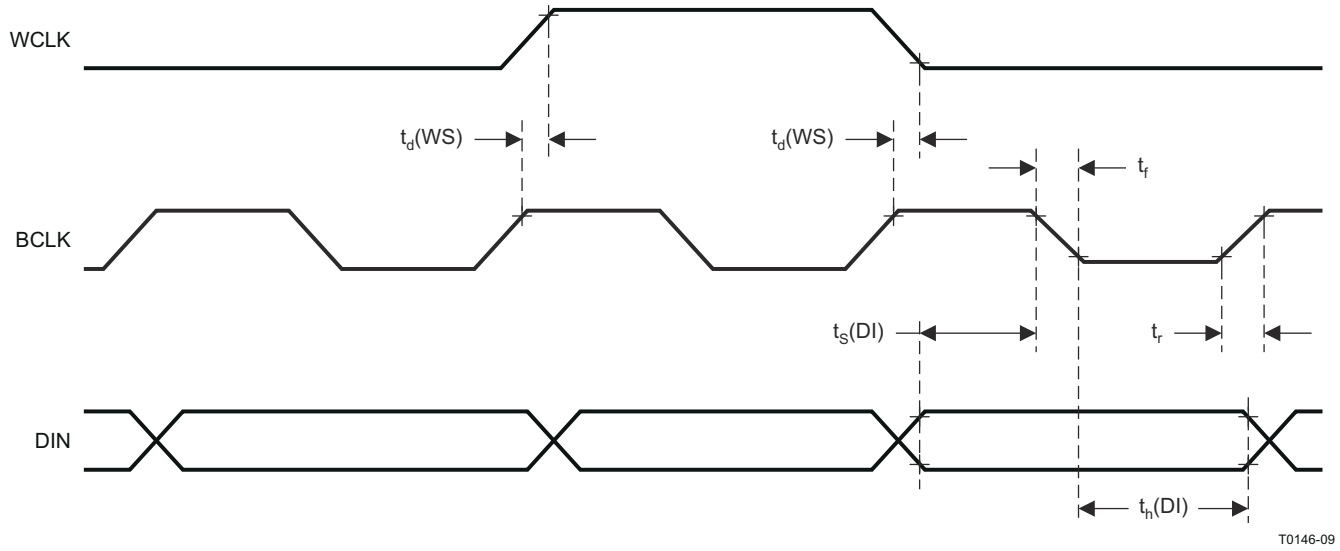


图 5-3. 主模式下的 DSP 时序

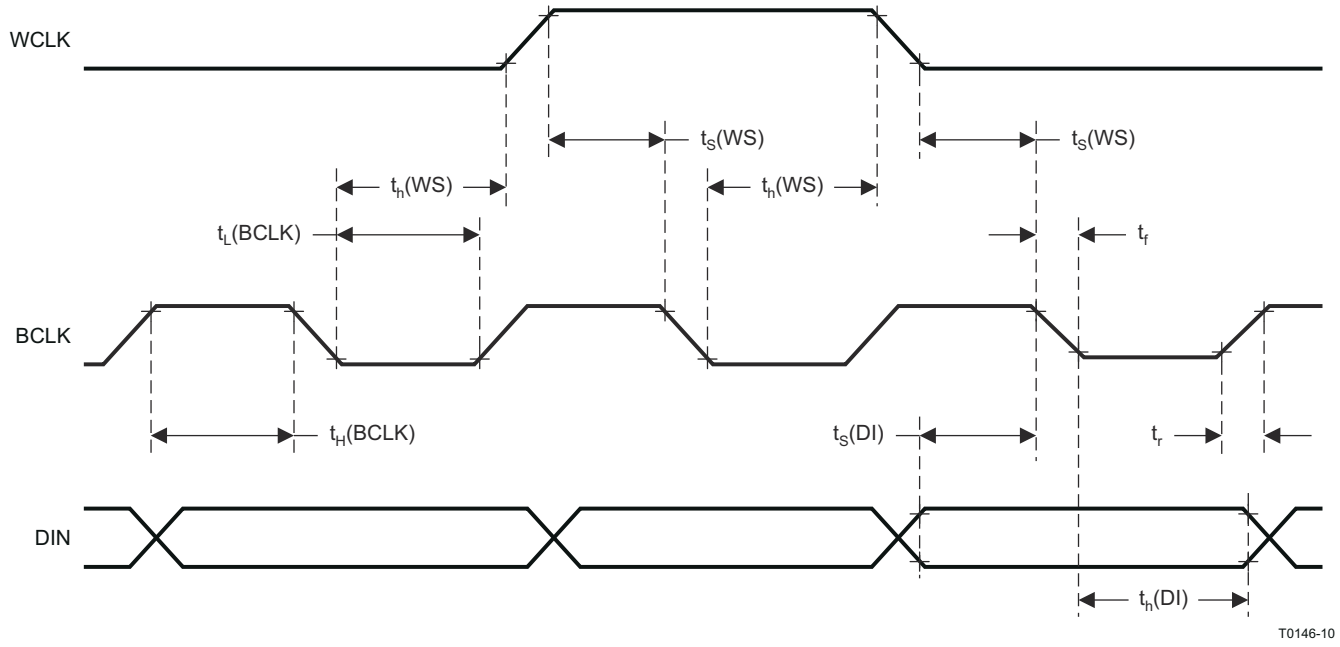


图 5-4. 从模式下的 DSP 时序

Copyright © 2025 Texas Instruments Incorporated

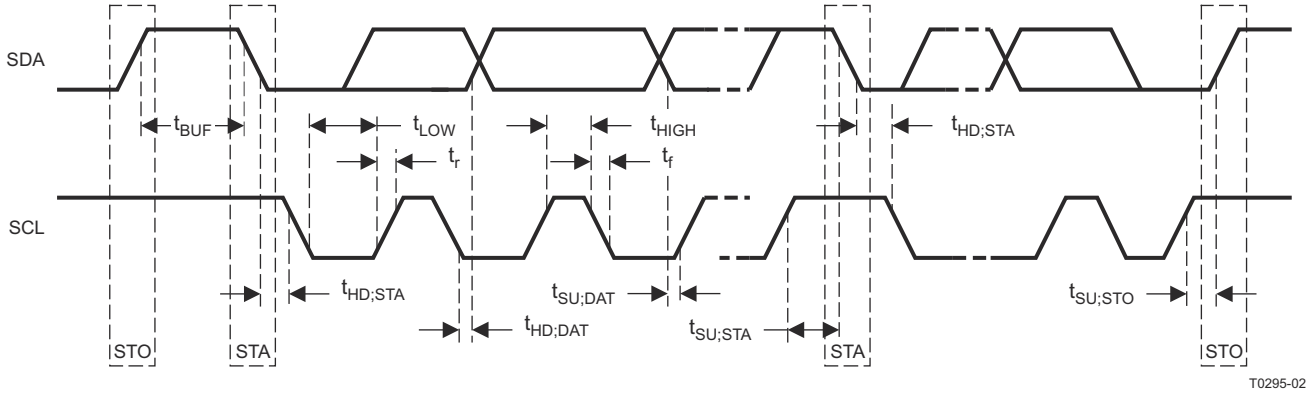


图 5-5. I²C 接口时序

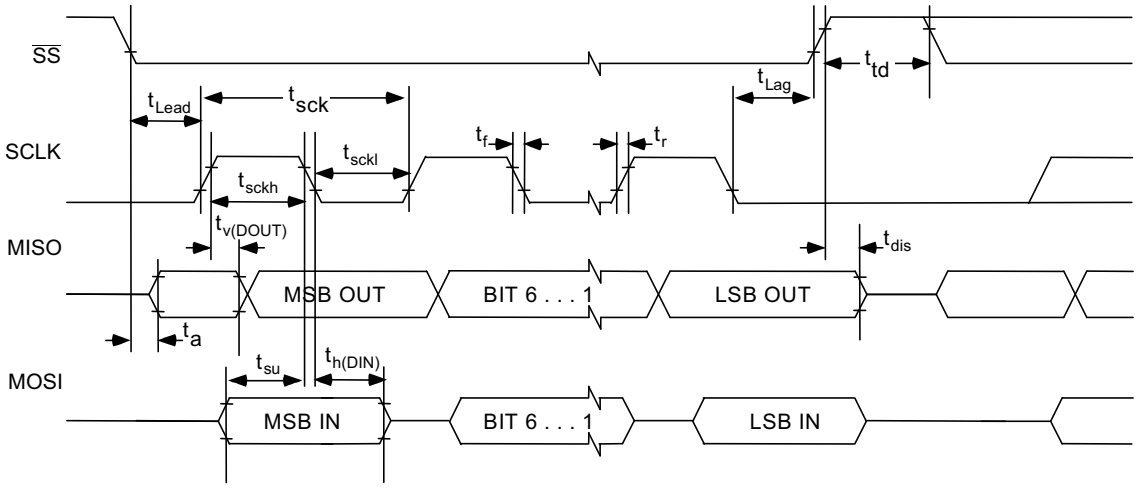
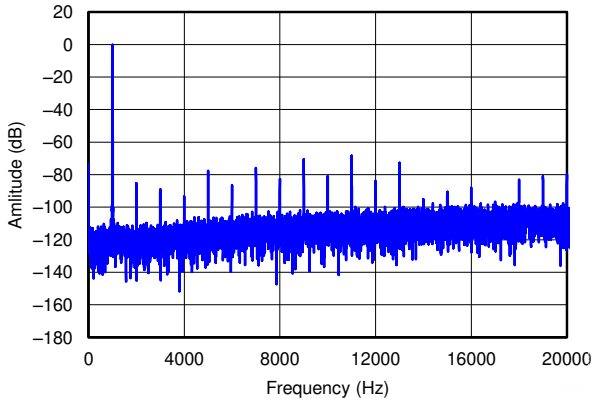


图 5-6. SPI 接口时序图

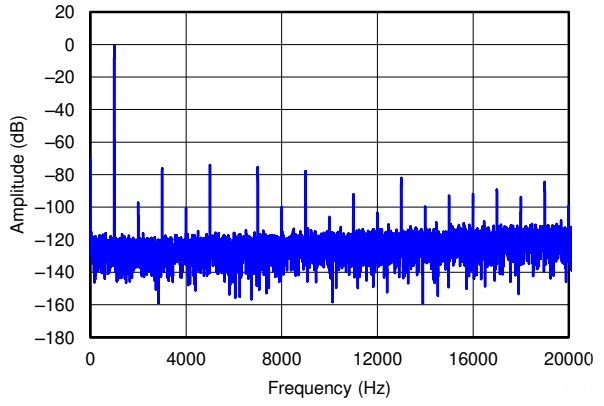
5.12 典型特性

5.12.1 D 类扬声器驱动器性能



（4Ω 负载）

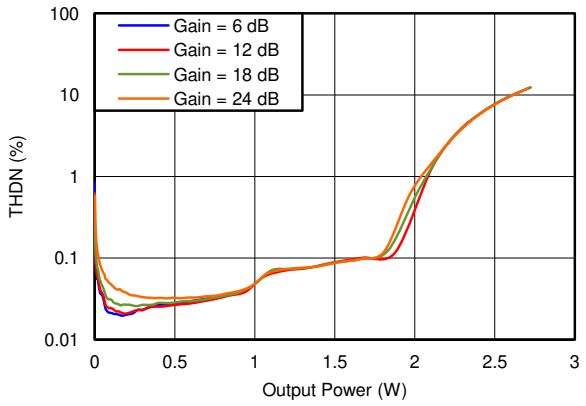
图 5-7. 0dBFS 时的 DAC 至扬声器幅度与频率间的关系



（4Ω 负载）

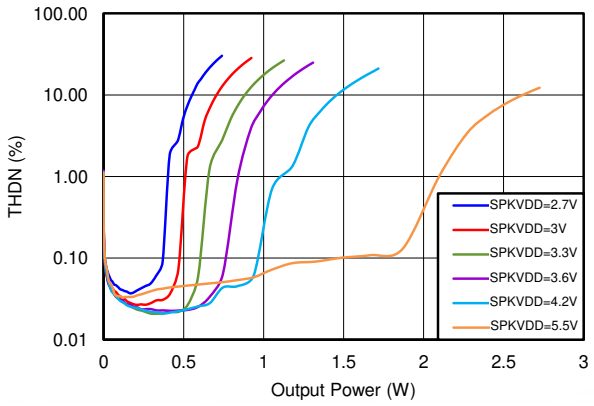
图 5-8. 0dBFS 时的 AINL 至扬声器 FFT 振幅与频率间的关系

Copyright © 2025 Texas Instruments Incorporated



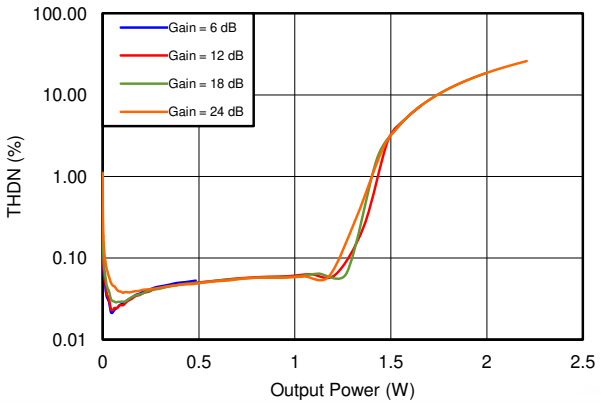
(SPKVDD = 5.5V)

图 5-9. 总谐波失真 + 噪声与 4Ω 扬声器功率间的关系



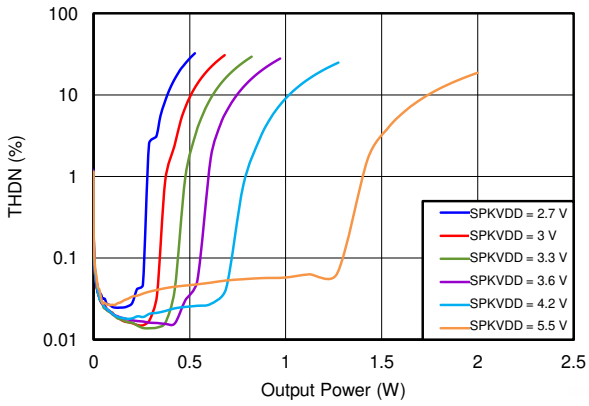
（增益 = 18dB）

图 5-10. 总谐波失真 + 噪声 + 噪声与 4Ω 扬声器功率间的关系



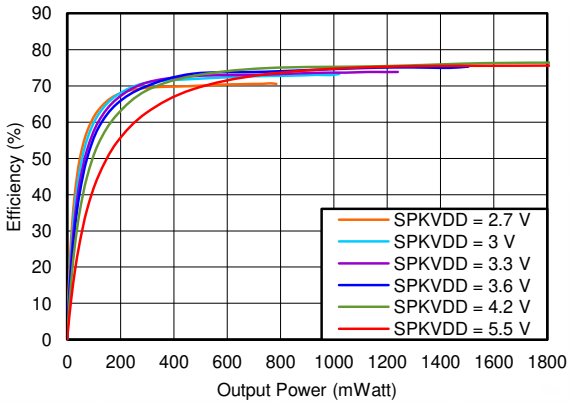
(SPKVDD = 5.5V)

图 5-11. 总谐波失真 + 噪声 + 噪声与 8Ω 扬声器功率间的关系



（增益 = 18dB）

图 5-12. 总谐波失真 + 噪声 + 噪声与 8Ω 扬声器功率间的关系

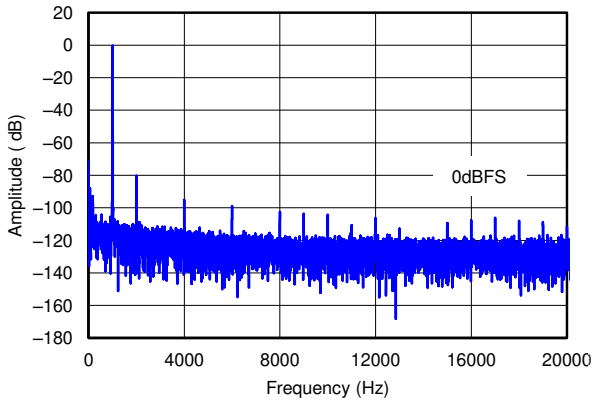


（增益 = 18dB，负载 = 4Ω）

图 5-13. 总功耗与输出功耗间的关系

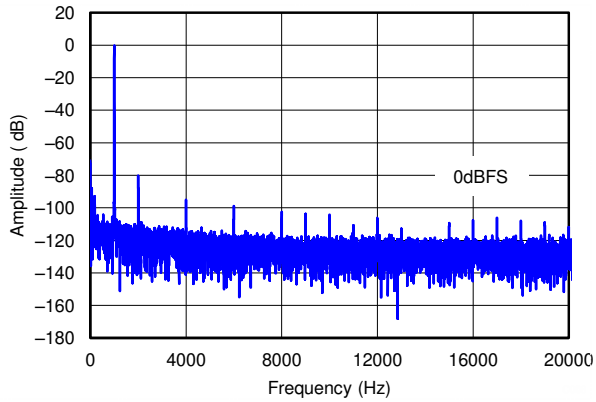
Copyright © 2025 Texas Instruments Incorporated

5.12.2 HP 驱动器性能



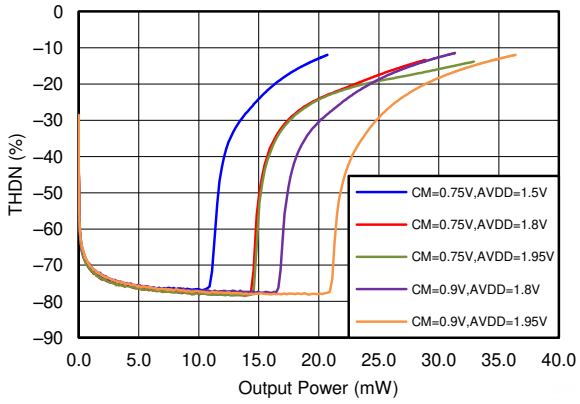
(16Ω 负载)

图 5-14. 0dBFS 时的 DAC 至 HP FFT 振幅与频率间的关系



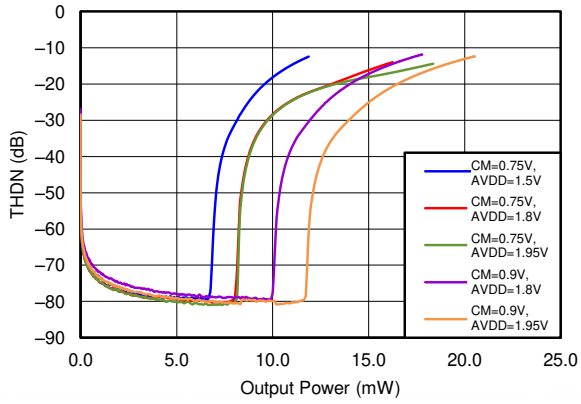
(16Ω 负载)

图 5-15. 0dBFS 时的 AINL 至 HP FFT 振幅与频率间的关系



(增益 = 9dB)

图 5-16. 总谐波失真 + 噪声与 HP 功率间的关系



(增益 = 32dB)

图 5-17. 总谐波失真 + 噪声与 HP 功率间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

所有参数均根据 *节 5* 部分中所述的条件测得。

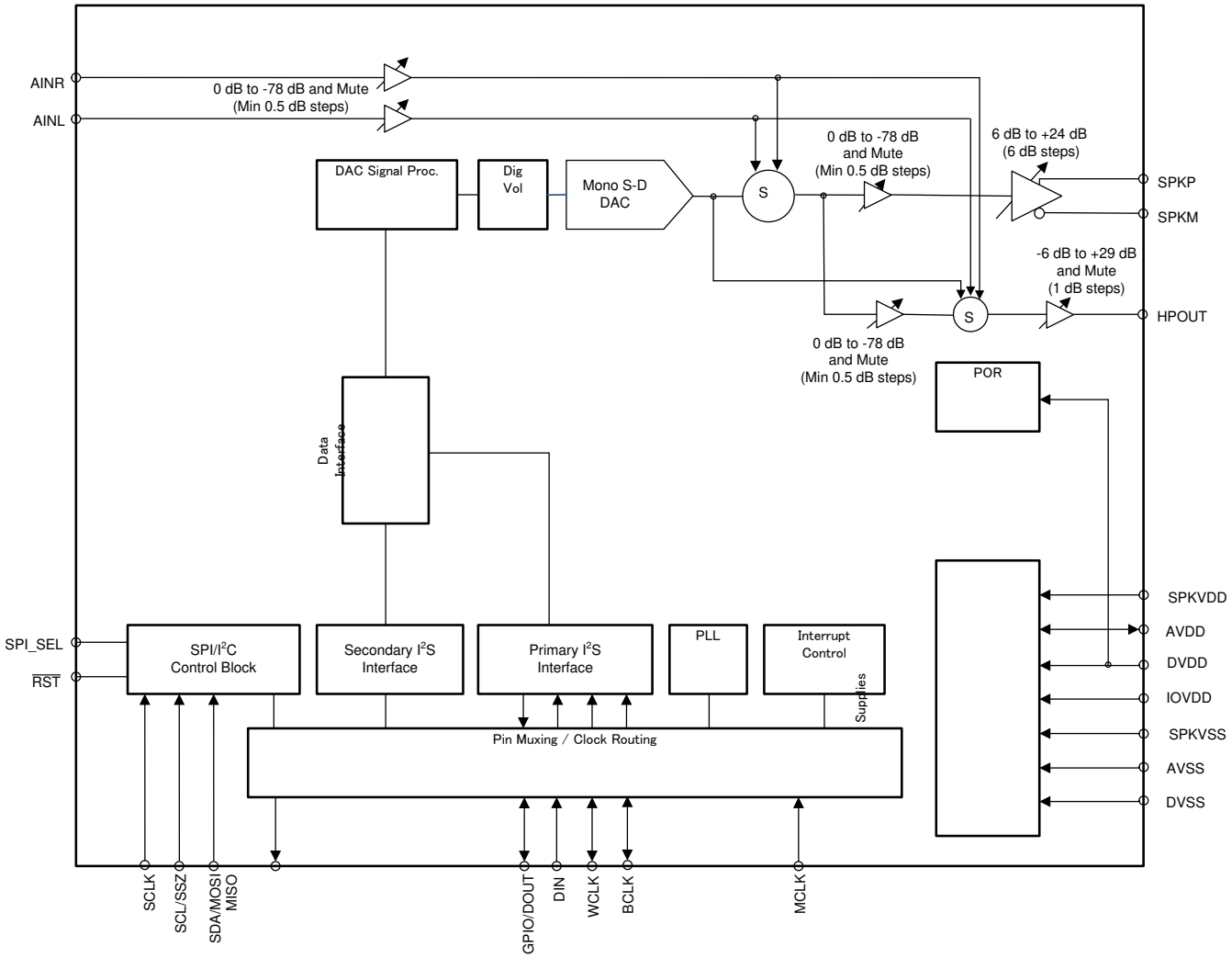
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TAS2505 是低功耗模拟和数字输入 D 类扬声器放大器。它支持 24 位数字 I2S 数据用于单声道回放。该器件能够驱动最高达 4Ω 的扬声器和可编程数字信号处理块。可编程数字信号处理块可以支持低音增强、高音或 EQ 功能。音量可以由寄存器控制。该器件通过 I^2C 或 SPI 总线来控制。该器件还包括两个模拟输入，用于在扬声器路径中混音。

7.2 功能方框图



7.3 特性说明

7.3.1 音频模拟 I/O

TAS2505 采用单声道音频 DAC。TAS2505 可以驱动阻抗高达 4Ω 的扬声器。

7.3.2 音频 DAC 和音频模拟输出

单声道音频 DAC 由一个数字音频处理模块、一个数字内插滤波器、一个数字 Δ-Σ 调制器和一个模拟重建滤波器组成。高过采样率（通常 DOSR 介于 32 和 128 之间）通过确保 Δ-Σ 调制器内产生的量化噪声在音频频带之外，可提供良好的动态范围。音频模拟输出包括单声道 D 类扬声器输出。因为 TAS2505 包含一个单声道 DAC，

Copyright © 2025 Texas Instruments Incorporated

所以它会从左声道、右声道或左右混合声道（如 [(L + R) ÷ 2]）输入单声道数据，具体由页 0 寄存器 63 位 D5 – D4 选择。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.3.3 DAC

TAS2505 单声道音频 DAC 支持 8kHz 至 192kHz 的数据速率。单声道 DAC 的音频通道由带有固定处理块的信号处理引擎、数字内插滤波器、多位数字 Δ-Σ 调制器和模拟重建滤波器组成。DAC 旨在通过增加过采样和图像滤波，在低采样率下提供增强的性能，从而使 Δ-Σ 调制器内产生和在信号图像中观察到的量化噪声被强烈抑制在音频频带内，以便达到 20kHz 以上。为了处理多输入速率并优化功耗和性能，TAS2505 允许系统设计人员配置页 0 寄存器 13 和页 0/寄存器 14，以便在宽范围（1 到 1024）内编程过采样率。系统设计人员可以为较低的输入数据速率选择较高的过采样率，为较高的输入数据速率选择较低的过采样率。

TAS2505 DAC 通道包括一个内置数字内插滤波器，用于为 Δ-Σ 调制器生成过采样数据。根据所需的频率响应、群延迟和采样率，可以从三种不同的类型中选择内插滤波器。

TAS2505 的 DAC 路径有许多用于信号调节和信号路由的选项：

- 范围为 -63.5dB 至 +24dB 的数字音量控制
- 静音功能

除了标准的 DAC 功能集外，TAS2505 还提供以下特殊功能：

- 数字自动静音
- 自适应滤波器模式

7.3.4 POR

TAS2505 具有 POR（上电复位）功能。此功能可确保在执行正确的上电序列时，所有寄存器均自动设置为默认值。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.3.5 时钟生成和 PLL

TAS2505 可通过多种选项为 DAC 部分以及接口和其他控制块生成时钟。DAC 的时钟需要一个源基准时钟。该时钟可以在各种器件引脚上提供，如 MCLK、BCLK 或 GPIO 引脚。通过编程页 0 寄存器 4 位 D1 – D0 上的 CODEC_CLKIN 值，可以选择编解码器的源基准时钟。然后，CODEC_CLKIN 可通过 *TAS2505 应用参考指南* 中的图 2 至 7 所示的高度灵活的时钟分频器进行路由，以生成 DAC 和“数字效果”部分（也位于 *TAS2505 应用参考指南* (SLAU472)）所需的各种时钟。如果无法通过 MCLK、BCLK 或 GPIO 上的基准时钟生成所需的音频时钟，TAS2505 还提供了使用片上 PLL（支持各种分数倍乘值）来生成所需时钟的选项。从 CODEC_CLKIN 开始，TAS2505 提供了多个可编程时钟分频器，可以为“数字效果”部分的 DAC 和时钟实现各种采样速率。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.4 器件功能模式

7.4.1 数字引脚

只有少数引脚专门用于单一功能；在可能的情况下，数字引脚都具有默认功能，也可以重新编程以提供各种应用所需的替代功能。

固定功能引脚为 $\overline{\text{RST}}$ LDO_SEL 和 SPI_SEL 引脚，它们是硬件控制引脚。根据 SPI_SEL 的状态，两个控制总线引脚 SCL/SSZ 和 SDA/MOSI 配置用于 I^2C 或 SPI 协议。

其他数字 IO 引脚可通过寄存器控制，配置用于各种功能。节 7.4.3 中给出了可用功能的概述。

7.4.2 模拟引脚

模拟功能也可以在很大程度上进行配置。为实现非常低的功耗，模拟块默认处于断电状态。根据应用需求，可以精细调节为这些块上电。

Copyright © 2025 Texas Instruments Incorporated

7.4.3 多功能引脚

表 7-1 展示了针对特定功能的可能引脚分配。例如，PLL 输入可编程到 4 个引脚中的任何一个（MCLK、BCLK、DIN、GPIO）。

表 7-1. 多功能引脚分配

		1	2	3	4	5	6	7
	引脚功能	**MCLK**	**BCLK**	**WCLK**	**DIN**	**GPIO /DOUT**	**SCLK**	**MISO**
A	PLL 输入	S(2)	S(3)		E		S(4)	
B	编解码器时钟输入	S(2)、D(5)	S(3)				S(4)	
C	I²S BCLK 输入		S(3)、D					
D	I²S BCLK 输出		E(1)					
E	I²S WCLK 输入			E、D				
F	I²S WCLK 输出			E				
G	I²S DIN				E、D			
I	通用输出 I					E		
I	通用输出 II							E
J	通用输入 I				E			
J	通用输入 II					E		
J	通用输入 III						E	
K	INT1 输出					E		E
L	INT2 输出					E		E
M	次级 I²S BCLK 输入					E	E	
N	次级 I²S WCLK 输入					E	E	
O	次级 I²S DIN					E	E	
P	次级 I²S BCLK 输出					E		E
Q	次级 I²S WCLK 输出					E		E
R	次级 I²S DOUT							E
S	辅助时钟输出					E		E

(1) E：此引脚**专门**用于该功能，同一引脚不能实现其他功能。（如果为通用输出分配了 GPIO/DOUT，则不能将其同时用作 INT1 输出。）
(2) S(1)：MCLK 引脚可以**同时**驱动 PLL 和编解码器时钟输入。
(3) S(2)：BCLK 引脚可以**同时**驱动 PLL、编解码器时钟和音频接口位时钟输入。
(4) S(3)：GPIO/DOUT 引脚可以**同时**驱动 PLL 和编解码器时钟输入。
(5) D：缺省功能

7.4.4 模拟信号

TAS2505 模拟信号包括：

- 模拟输入 AINR 和 AINL，可用于将模拟信号直通或混合到输出级
- 模拟输出 D 类扬声器驱动器，为 DAC、AINR、AINL 或三者的组合提供输出能力

7.4.4.1 模拟输入 AINL 和 AINR

AINL（引脚 3 或 C2）和 AINR（引脚 4 或 B2）与 DAC 输出一样，是混频器 P 和混频器 M 的输入。此外，AINL 和 AINR 也可以配置为 HP 驱动器的输入。页 1/寄存器 12 提供了控制信号，用于确定通过混频器 P、混频器 M 和 HP 驱动器进行路由的信号。混频器 P 的输入可通过页 1/寄存器 24 进行衰减，混频器 M 的输入可通过页 1/寄存器 25 进行衰减，而 HP 驱动器的输入可通过页 1/寄存器 22 进行衰减。此外，AINL 和 AINR 可以通过页 1/寄存器 12 设置，使用混频器 P 和混频器 M 配置为单声道差分输入。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

Copyright © 2025 Texas Instruments Incorporated

7.4.5 DAC 处理模块-概述

TAS2505 通过处理块实现信号处理功能和内插滤波。利用这些固定处理块，用户能够选择他们可以使用多少信号处理和哪种类型的信号处理，以及应用哪一个内插滤波器。

通过选择这些处理块，系统设计人员能够在节能和信号处理灵活性之间实现平衡。表 7-2 概述了 DAC 通道所有可用的处理块及其属性。资源类列给出了数字 (DVDD) 电源功耗的近似表示；但是，根据带外噪声频谱，驱动器的模拟功耗 (AVDD) 可能有所不同。

可用的信号处理块包括：

- 一阶 IIR
- 可扩展的双二阶滤波器数

这些处理模块针对常见情况进行了调优，可实现高镜像抑制或低群延迟与各种信号处理效果的组合，如音频效果和频率整形。可用的一阶 IIR 和双二阶滤波器具有用户完全可编程的系数。

表 7-2. 概述 – DAC 预定义处理块

处理 块编号	内插滤波器	通道	一阶 IIR 可用	双二阶数	资源类
PRB_P1	A	单声道	是	6	6
PRB_P2	A	单声道	否	3	4
PRB_P3	B	单声道	是	6	4

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.4.6 数字混合和路由

TAS2505 具有四个数字混合块。每个混频器都可以实现数字音频数据的混合或多路复用。第一个混频器/多路复用器可用于从左声道、右声道或 (左声道 + 右声道) /2 混合中，为单声道 DAC 选择输入数据。这一数字路由可通过向页 0 寄存器 63 位 D5 – D4 写入来配置。

7.4.7 模拟音频路由

TAS2505 能够将 DAC 输出路由至扬声器输出。如果需要，两个输出驱动器可以一起工作，同时以不同的音量播放。TAS2505 提供各种数字路由功能，可以在数字域中实现数字混合，甚至通道交换。除所选模拟输出外的所有模拟输出都可以断电，从而实现低功耗。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.4.8 数字音频和控制接口

7.4.8.1 数字音频接口

音频数据通过数字音频数据串行接口或音频总线，在主机处理器和 TAS2505 之间传输。该器件具有灵活的音频总线，包含左平衡或右平衡数据选项、I^2S 或 PCM 协议支持、可编程数据长度选项、用于多通道运行的 TDM 模式、各总线时钟线的主/从灵活配置，以及直接与系统中的多个器件进行通信的能力。

TAS2505 的音频总线可配置为左平衡或右平衡、I^2S、DSP 或 TDM 运行模式，在 TDM 模式中支持与标准电话 PCM 接口进行通信。这些模式全部 MSB 优先，并且通过配置页 0 寄存器 27 位 D5-D4，可将数据宽度编程为 16、20、24 或 32 位。此外，字时钟和位时钟还可以独立配置为主模式或从模式，以灵活连接各种处理器。字时钟用于定义帧的起始，可编程为脉冲或方波信号。该时钟的频率对应于所选 DAC 采样频率的最大值。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.4.8.2 控制接口

TAS2505 控制接口支持 SPI 或 I^2C 通信协议，可通过 SPI_SEL 引脚来选择协议。对于 SPI，SPI_SEL 应连接高电平；对于 I^2C，SPI_SEL 应连接低电平。TI 不建议在器件运行期间改变 SPI_SEL 的状态。

Copyright © 2025 Texas Instruments Incorporated

7.4.8.2.1 I²C 控制模式

TAS2505 支持 I²C 控制协议，并会响应 I²C 地址 0011 000。I²C 是两线制开漏接口，支持单根总线上的多个器件和主器件。I²C 总线上的器件通过将总线接地只将其驱动为低电平；不会将总线驱动为高电平。总线由上拉电阻拉至高电平，因此当没有器件将总线驱动为低电平时，总线为高电平。这样，两个器件就不会发生冲突；如果两个器件同时驱动总线，不会发生驱动器争用。

7.4.8.2.2 SPI 数字接口

在 SPI 控制模式下，TAS2505 使用引脚 SCL/SSZ=SSZ、SCLK=SCLK、MISO=MISO、SDA/MOSI=MOSI 作为标准 SPI 端口，其时钟极性设置为 0（典型微处理器 SPI 控制位 CPOL = 0）。SPI 端口可在主机处理器（主器件）与外围器件（从器件）之间实现全双工、同步、串行通信。SPI 主器件（在本例中为主机处理器）生成同步时钟（驱动至 SCLK）并启动传输。SPI 从器件（如 TAS2505）依赖主器件来启动和同步传输。传输由 SPI 主器件启动开始。来自 SPI 主器件的字节在主器件串行时钟（驱动至 SCLK）的控制下，开始移入从器件 MOSI 引脚。当字节移入 MOSI 引脚时，一个字节从 MISO 引脚移出到主移位寄存器。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

7.4.8.3 器件特定功能

- 中断的生成
- 灵活的引脚复用

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

Copyright © 2025 Texas Instruments Incorporated

8 寄存器映射

表 8-1. 寄存器映射摘要

十进制		十六进制		说明
页号	寄存器编号	页号	寄存器编号	
0	0	0x00	0x00	页选择寄存器
0	1	0x00	0x01	软件复位寄存器
0	2 - 3	0x00	0x02 - 0x03	保留寄存器
0	4	0x00	0x04	时钟设置寄存器 1，多路复用器
0	5	0x00	0x05	时钟设置寄存器 2，PLL P 和 R 值
0	6	0x00	0x06	时钟设置寄存器 3，PLL J 值
0	7	0x00	0x07	时钟设置寄存器 4，PLL D 值 (MSB)
0	8	0x00	0x08	时钟设置寄存器 5，PLL D 值 (LSB)
0	9 - 10	0x00	0x09 - 0x0A	保留寄存器
0	11	0x00	0x0B	时钟设置寄存器 6，NDAC 值
0	12	0x00	0x0C	时钟设置寄存器 7，MDAC 值
0	13	0x00	0x0D	DAC OSR 设置寄存器 1，MSB 值
0	14	0x00	0x0E	DAC OSR 设置寄存器 2，LSB 值
0	15 - 24	0x00	0x0F - 0x18	保留寄存器
0	25	0x00	0x19	时钟设置寄存器 10，多路复用器
0	26	0x00	0x1A	时钟设置寄存器 11，CLKOUT M 分频器值
0	27	0x00	0x1B	音频接口设置寄存器 1
0	28	0x00	0x1C	音频接口设置寄存器 2，数据偏移设置
0	29	0x00	0x1D	音频接口设置寄存器 3
0	30	0x00	0x1E	时钟设置寄存器 12，BCLK N 分频器
0	31	0x00	0x1F	音频接口设置寄存器 4，辅助音频接口
0	32	0x00	0x20	音频接口设置寄存器 5
0	33	0x00	0x21	音频接口设置寄存器 6
0	34	0x00	0x22	保留寄存器
0	35 - 36	0x00	0x23 - 0x24	保留寄存器
0	37	0x00	0x25	DAC 标志寄存器 1
0	38	0x00	0x26	DAC 标志寄存器 2
0	39-41	0x00	0x27-0x29	保留寄存器
0	42	0x00	0x2A	粘滞标志寄存器 1
0	43	0x00	0x2B	中断标志寄存器 1
0	44	0x00	0x2C	粘滞标志寄存器 2
0	45	0x00	0x2D	保留寄存器
0	46	0x00	0x2E	中断标志寄存器 2
0	47	0x00	0x2F	保留寄存器
0	48	0x00	0x30	INT1 中断控制寄存器
0	49	0x00	0x31	INT2 中断控制寄存器
0	50-51	0x00	0x32-0x33	保留寄存器
0	52	0x00	0x34	GPIO/DOUT 控制寄存器
0	53	0x00	0x35	DOUT 功能控制寄存器
0	54	0x00	0x36	DIN 功能控制寄存器

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射摘要（续）

十进制		十六进制		说明
页号	寄存器编号	页号	寄存器编号	
0	55	0x00	0x37	MISO 功能控制寄存器
0	56	0x00	0x38	SCLK/DMDIN2 功能控制寄存器
0	57-59	0x00	0x39-0x3B	保留寄存器
0	60	0x00	0x3C	DAC 指令集
0	61 - 62	0x00	0x3D -0x3E	保留寄存器
0	63	0x00	0x3F	DAC 通道设置寄存器 1
0	64	0x00	0x40	DAC 通道设置寄存器 2
0	65	0x00	0x41	DAC 通道数字音量控制寄存器
0	66 - 80	0x00	0x42 - 0x50	保留寄存器
0	81	0x00	0x51	Dig_Mic 控制寄存器
0	82 - 127	0x00	0x52 - 0x7F	保留寄存器
1	0	0x01	0x00	页选择寄存器
1	1	0x01	0x01	REF、POR 和 BGAP 控制寄存器
1	2	0x01	0x02	保留寄存器
1	3	0x01	0x03	播放配置寄存器 1
1	4 - 7	0x01	0x04 - 0x07	保留寄存器
1	8	0x01	0x08	DAC PGA 控制寄存器
1	9	0x01	0x09	输出驱动器、AINL、AINR、控制寄存器
1	10	0x01	0x0A	共模控制寄存器
1	11	0x01	0x0B	HP 过流保护配置寄存器
1	12	0x01	0x0C	HP 路由选择寄存器
1	13 - 15	0x01	0x0D - 0x0F	保留寄存器
1	16	0x01	0x10	保留寄存器
1	17 - 19	0x01	0x11 - 0x13	保留寄存器
1	20	0x01	0x14	保留寄存器
1	21	0x01	0x15	保留寄存器
1	22	0x01	0x16	保留寄存器
1	23	0x01	0x17	保留寄存器
1	24	0x01	0x18	AINL 音量控制寄存器
1	25	0x01	0x19	AINR 音量控制寄存器
1	26 - 44	0x01	0x1A - 0x2C	保留寄存器
1	45	0x01	0x2D	扬声器放大器控制 1
1	46	0x01	0x2E	扬声器音量控制寄存器
1	47	0x01	0x2F	保留寄存器
1	48	0x01	0x30	扬声器放大器音量控制 2
1	49 - 62	0x01	0x31 - 0x3E	右 MICPGA 正极端子输入路由配置寄存器
1	64 - 121	0x01	0x40 - 0x79	保留寄存器
1	122	0x01	0x7A	基准上电延迟
1	123 - 127	0x01	0x7B - 0x7F	保留寄存器
2 - 43	0 - 127	0x02 - 0x2B	0x00 - 0x7F	保留寄存器
44	0	0x2C	0x00	页选择寄存器
44	1	0x2C	0x01	DAC 自适应滤波器配置寄存器
44	2 - 7	0x2C	0x02 - 0x07	保留

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射摘要（续）

十进制		十六进制		说明
页号	寄存器编号	页号	寄存器编号	
44	8 - 127	0x2C	0x08 - 0x7F	DAC 系数缓冲器-A C(0:29)
45 - 52	0	0x2D-0x34	0x00	页选择寄存器
45 - 52	1 - 7	0x2D-0x34	0x01 - 0x07	保留。
45 - 52	8 - 127	0x2D-0x34	0x08 - 0x7F	DAC 系数缓冲器-A C(30:255)
53 - 61	0 - 127	0x35 - 0x3D	0x00 - 0x7F	保留寄存器
62 - 70	0	0x3E-0x46	0x00	页选择寄存器
62 - 70	1 - 7	0x3E-0x46	0x01 - 0x07	保留寄存器
62 - 70	8 - 127	0x3E-0x46	0x08 - 0x7F	DAC 系数缓冲器-B C(0:255)
71 - 255	0 - 127	0x47 - 0x7F	0x00 - 0x7F	保留寄存器

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

TAS2505 是一款数字或模拟输入 D 类音频功率放大器。下面的不同设置显示了 TAS2505 功能。

9.2 典型应用

9.2.1 典型配置

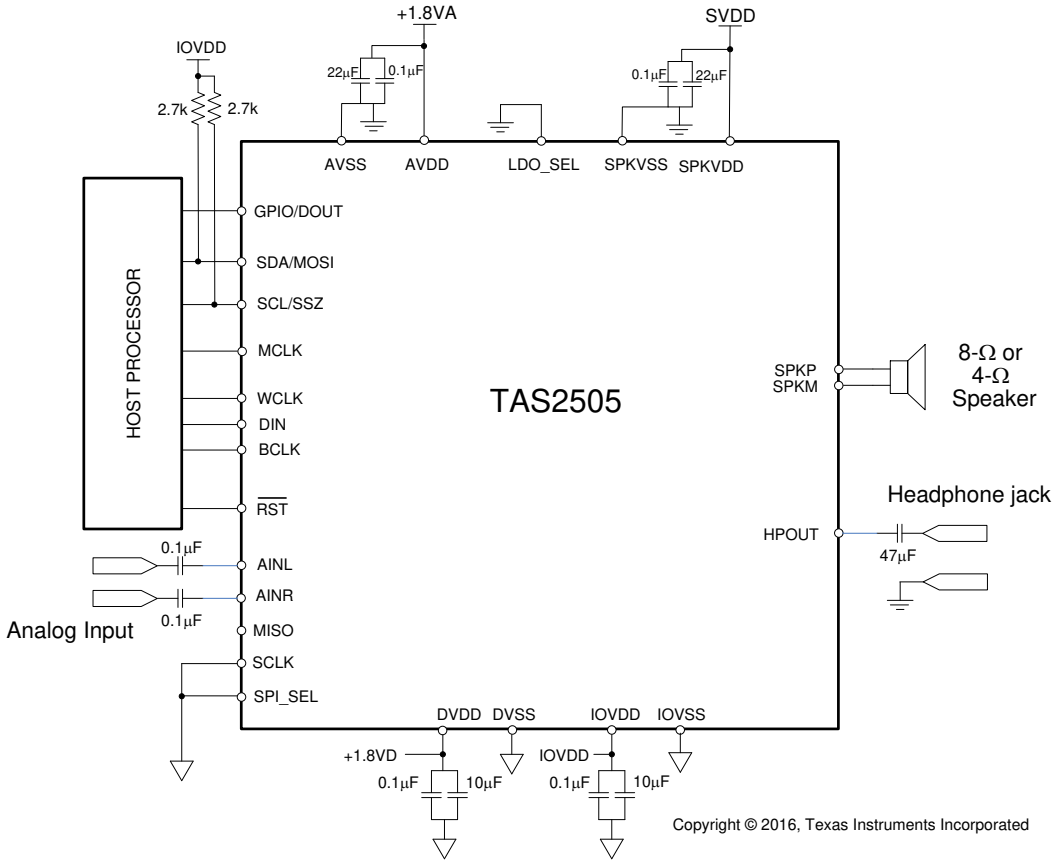


图 9-1. 典型电路配置

9.2.1.1 设计要求

表 9-1 展示了设计参数。

表 9-1. 设计参数

参数	示例值
音频输入	数字音频 (I^2S)、模拟音频 AINx
扬声器	8Ω 或 4Ω

9.2.1.2 详细设计过程

在此应用中，该器件能够同时使用数字和模拟输入，通过对 DAC 的左右模拟输入和输出求和并将此信号路由到扬声器输出来在单声道输出中工作。

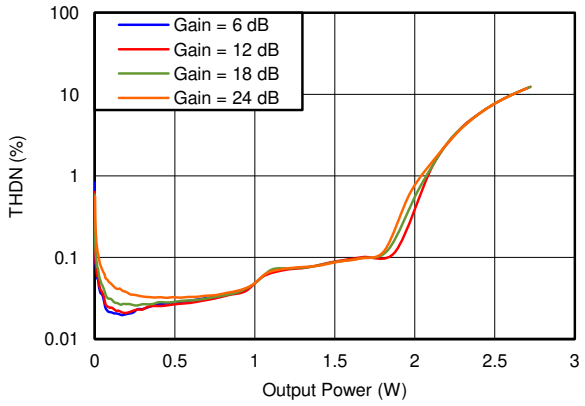
外部 1.8V 电源用于为 AVDD 和 DVDD 供电。IOVDD 可由 1.1V 至 3.6V 之间的电压供电，这使得系统能够使用传统的 1.8V 或 3.3V 电源。尽管 SPKVDD 通常由 5V 电压供电，但仍可将其连接到 2.7V 至 5.5V 之间的电压。

应在所有电源线处使用去耦电容器。TI 建议使用 0.1μF、10μF 和 22μF 电容器以获得更好的系统性能。

必须在模拟输入端使用去耦串联电容器。

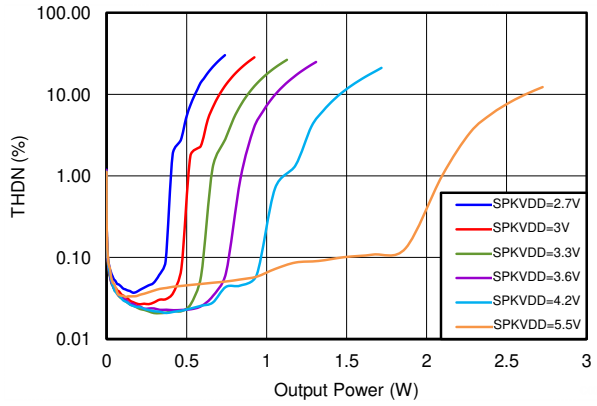
所有接地都连接在一起；路由模拟和数字路径分开以避免干扰。

9.2.1.3 应用曲线



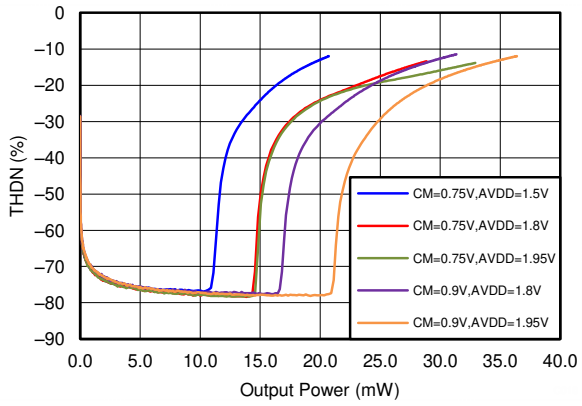
(SPKVDD = 5.5V)

图 9-2. 总谐波失真 + 噪声与 4Ω 扬声器功率间的关系



(增益 = 18dB)

图 9-3. 总谐波失真 + 噪声与 4Ω 扬声器功率间的关系



(增益 = 9dB)

图 9-4. 总谐波失真 + 噪声与 HP 功率间的关系

Copyright © 2025 Texas Instruments Incorporated

9.3 电源相关建议

TAS2505 集成了大量数字和模拟功能，每个模块均可单独供电，从而使系统能够选择适当电源以实现所需性能和功耗。该器件具有用于数字 IO、数字内核、模拟内核、模拟输入和扬声器驱动器的单独电源域。如果需要，所有电源（扬声器驱动器电源除外，该电源可直接连接到电池）均可连接在一起，并由 1.65V 至 1.95V 电压范围的一个电源供电。可单独提供 1.1V 至 3.6V 范围的 IOVDD 电压。为提高电源效率，数字内核电源的电压范围为 1.26V 至 1.95V。AVDD 引脚。扬声器驱动器电压 (SPKVDD) 范围为 2.7V 至 5.5V。SPKVDD 电源转换率需要低于 20ms。

更多详细信息请见 *TAS2505 应用参考指南* (SLAU472)。

9.4 布局

9.4.1 布局指南

- 如果模拟输入 AINR 和 AINL 为：
  - 已用，模拟输入布线必须对称排布，以实现真正的差分性能。
  - 已用，请勿使模拟输入布线与数字线路平行。
  - 已用，则必须对其进行交流耦合。
  - 未用，它们必须短接在一起。
- 使用具有多个过孔的接地平面来连接每个端子，以创建与 GND 的低阻抗连接，从而更大限度地降低接地噪声。
- 使用电源去耦电容器。

Copyright © 2025 Texas Instruments Incorporated

9.4.2 布局示例

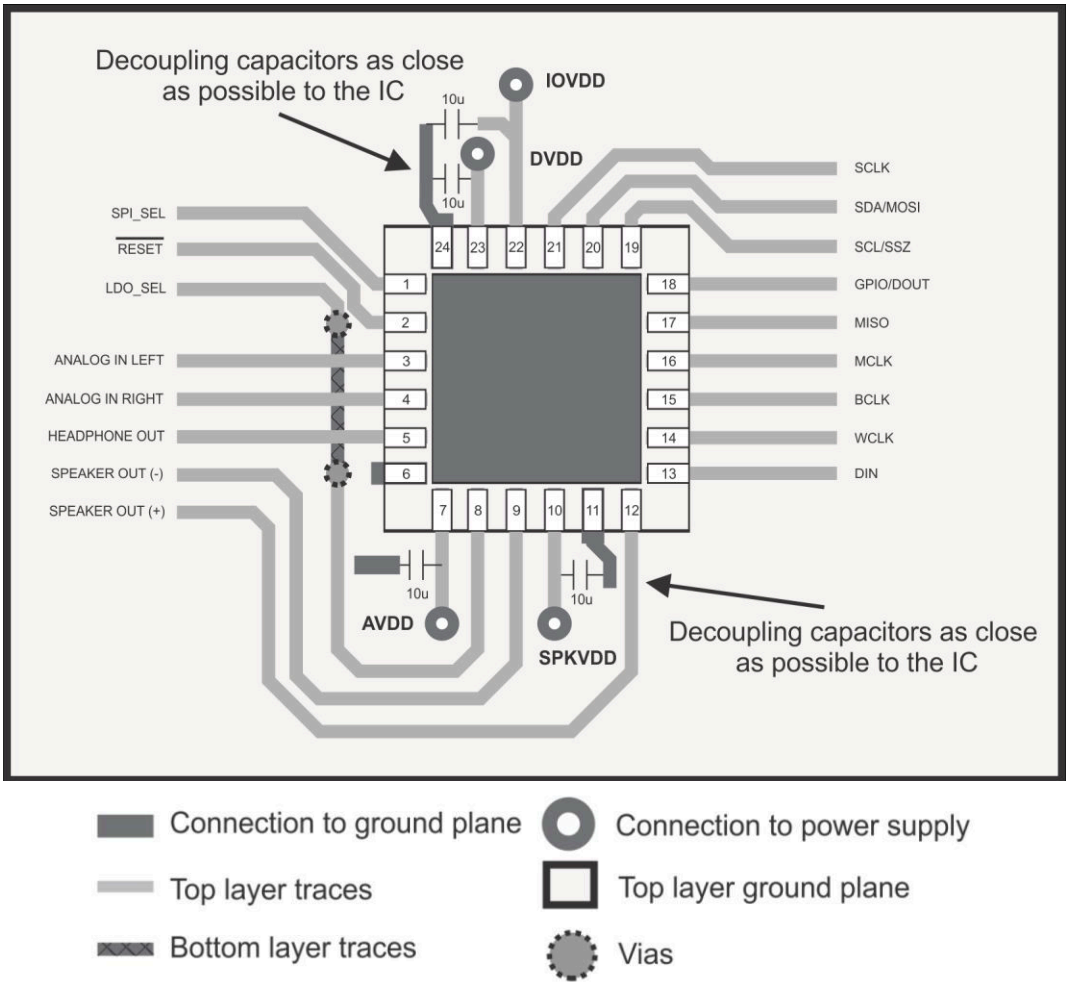


图 9-5. 布局图

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

TAS2505 应用参考指南 (SLAU472)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10.8 社区资源

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (September 2021) to Revision D (January 2025)	Page
• 修正了 LDO_SEL 特性后 RevC 数据表中的勘误表。	3

Changes from Revision B (November 2016) to Revision C (September 2021)	Page
• 在整个数据表中删除了所有对 LDO 模式和 LDO_SEL 引脚的引用	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (February 2013) to Revision B (November 2016) **Page**

- 添加了*器件信息*表、*ESD 等级*表、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分 1

Changes from Revision * (February 2013) to Revision A (February 2013) **Page**

- 删除了 P_O（最大输出功率）SPKVDD = 5.5V，THD = 10% 5
- 将 P_O（最大输出功率）SPKVDD = 5.5V 值从典型值 = 2.1W 更改为最大值 = 2W 5

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是所指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

TAS2505TRGERQ1 可订购器件型号使用封装外形 RGE0024K，TAS2505ATRGERQ1 可订购器件型号使用封装外形 RGE0024Y。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS2505IRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 85	TAS 2505
TAS2505IRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS 2505
TAS2505IRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 85	TAS 2505
TAS2505IRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS 2505
TAS2505IRGETG4	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS 2505
TAS2505IRGETG4.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TAS 2505

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TAS2505 :

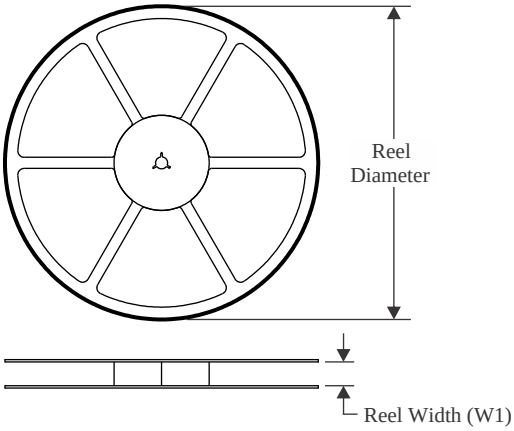
- Automotive : TAS2505-Q1

NOTE: Qualified Version Definitions:

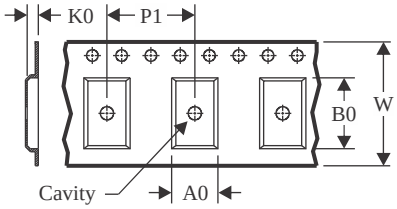
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

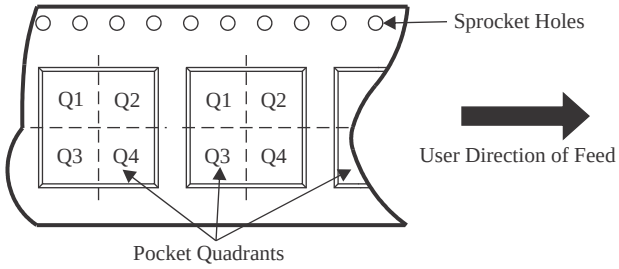


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

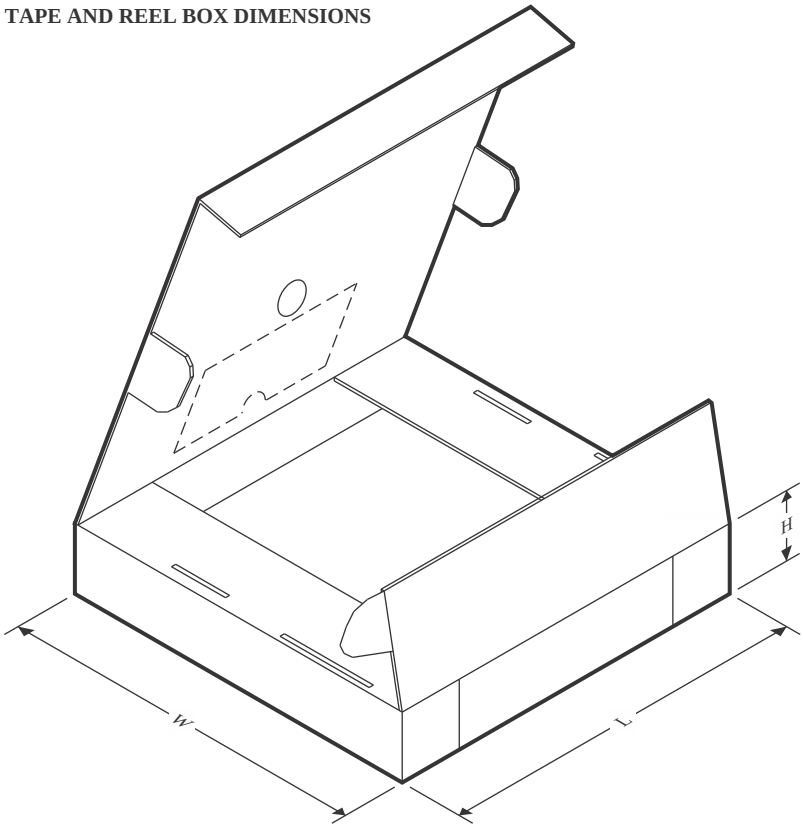
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS2505IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TAS2505IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TAS2505IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TAS2505IRGET	VQFN	RGE	24	250	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TAS2505IRGETG4	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TAS2505IRGETG4	VQFN	RGE	24	250	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



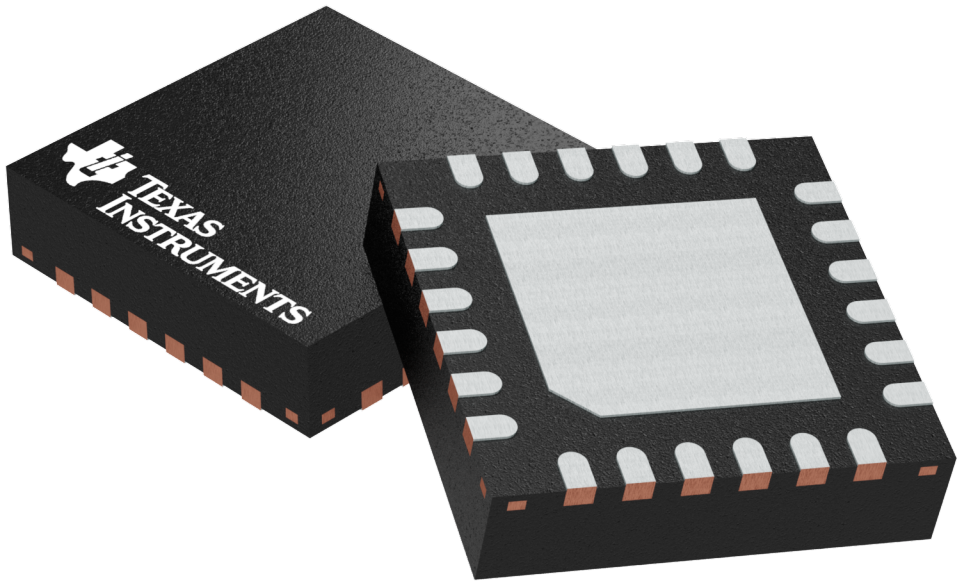
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS2505IRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
TAS2505IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
TAS2505IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
TAS2505IRGET	VQFN	RGE	24	250	367.0	367.0	35.0
TAS2505IRGETG4	VQFN	RGE	24	250	210.0	185.0	35.0
TAS2505IRGETG4	VQFN	RGE	24	250	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

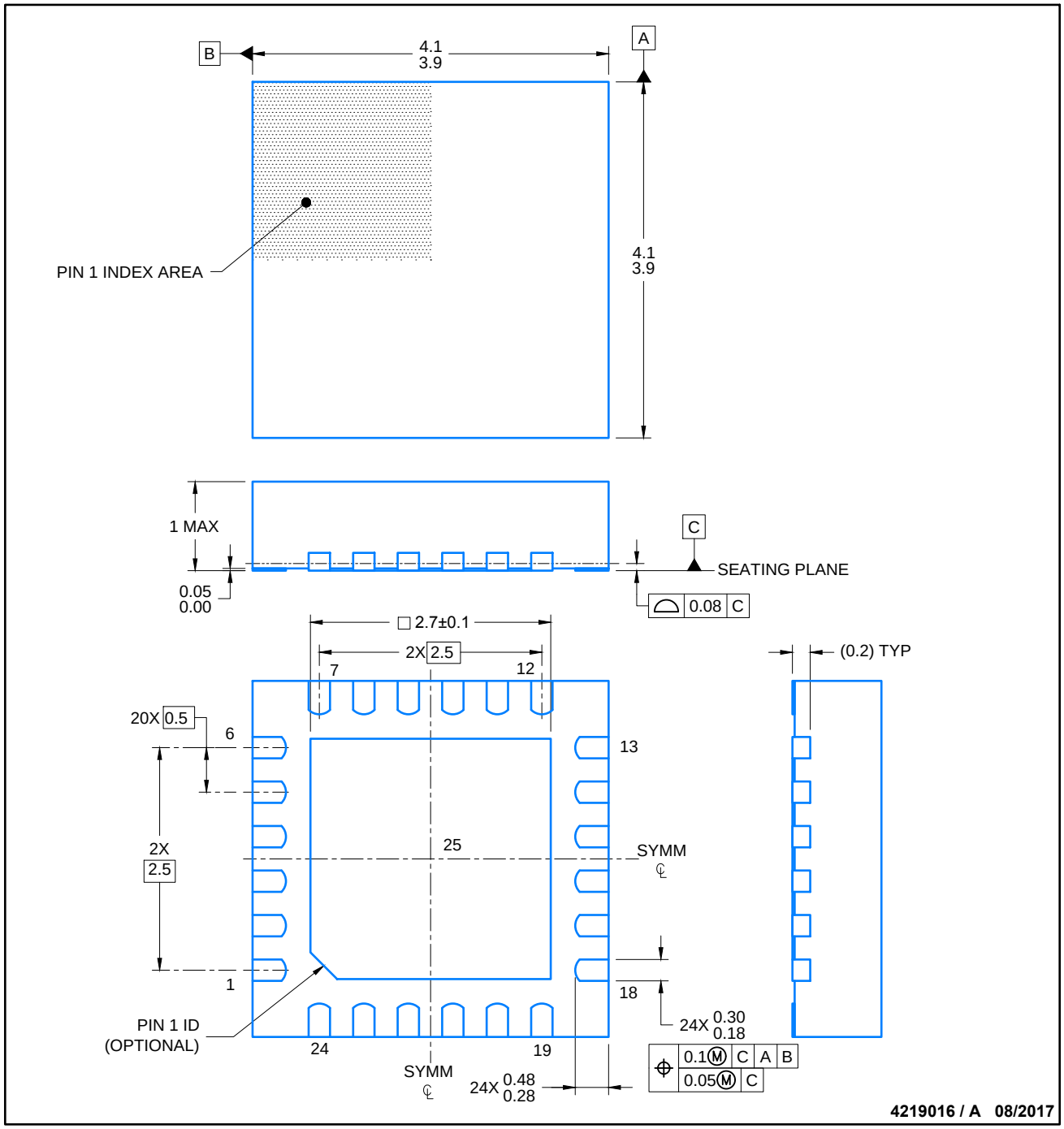
4204104/H

PACKAGE OUTLINE

RGE0024H

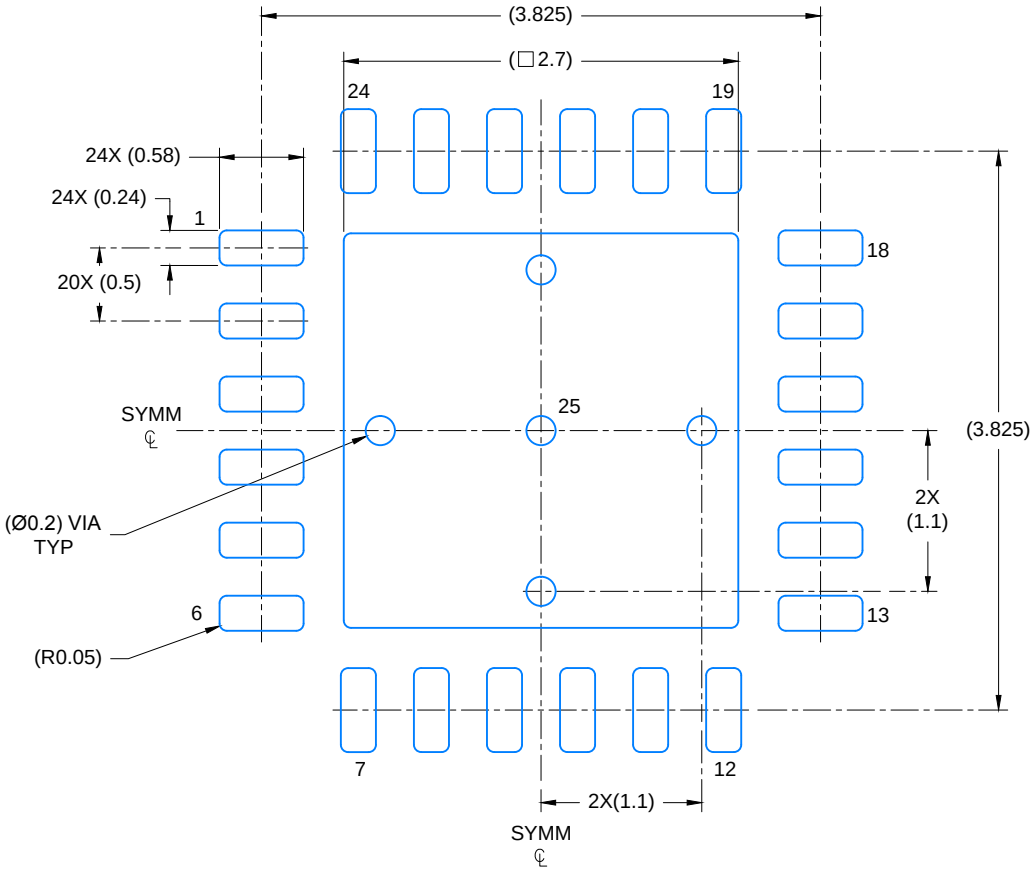
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



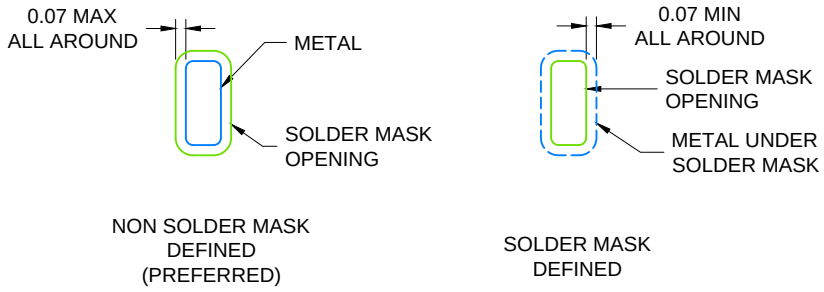
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 20X

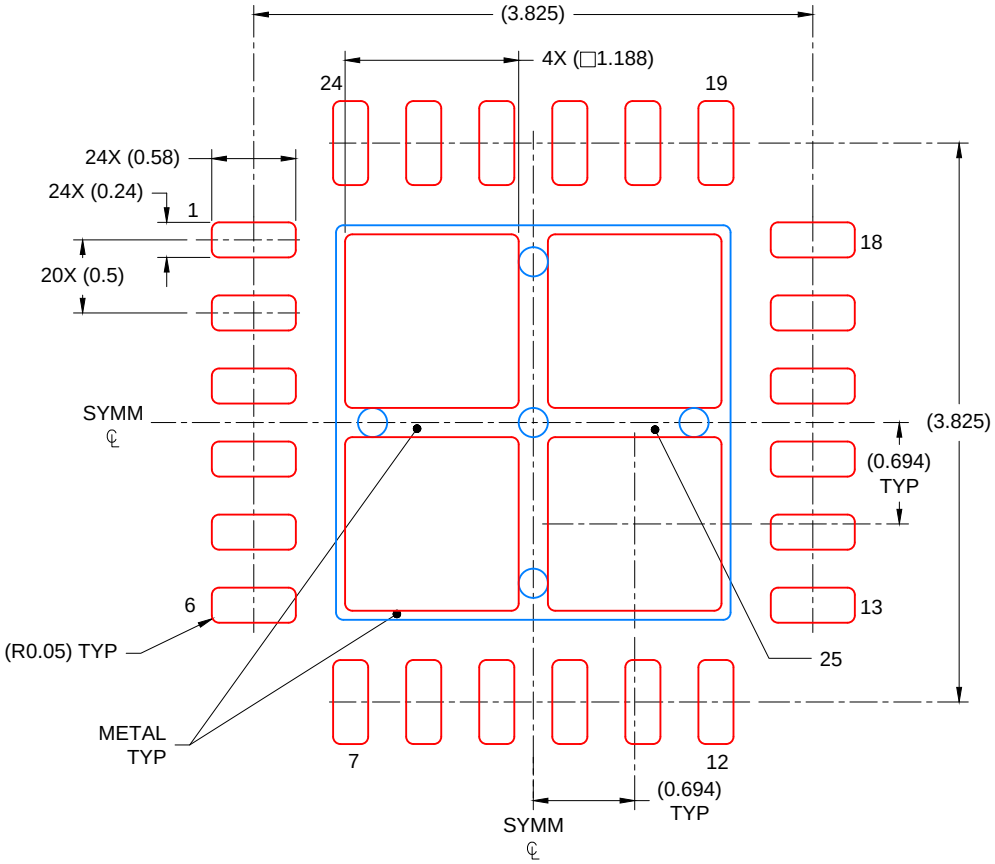


SOLDER MASK DETAILS

4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月