

TAS3251 175W 立体声、350W 单声道超高清数字输入 D 类放大器，具有高级 DSP 处理功能

1 特性

- 灵活的音频输入
 - I²S、TDM、左对齐、右对齐
 - 32kHz、44.1kHz、48kHz、96kHz
 - 支持三线制数字输入 (无需 MCLK)
- THD+N 为 10% 时的总输出功率
 - 175W/4 Ω , BTL 立体声配置
 - 220W/3 Ω , BTL 立体声配置
 - 350W/2 Ω , PBTL 单声道配置
- THD+N 为 1% 时的总输出功率
 - 140W/4 Ω , BTL 立体声配置
 - 175W/3 Ω , BTL 立体声配置
 - 285W/2 Ω , PBTL 单声道配置
- 高级集成闭环设计
 - 1W/4 Ω 时的超低 0.01% THD+N
 - 削波前 THD+N 小于 0.01%
 - 60dB PSRR (BTL, 无输入信号)
 - 输出噪声 <95 μ V (A 加权)
 - 信噪比 (A 加权) 大于 108dB
- 固定功能处理特性
 - SmartEQ (每通道最多 15 个双二阶滤波器)
 - 交越 EQ (2 组, 每组 5 个双二阶滤波器)
 - 三频段高级 DRC + AGC
 - 动态 EQ 和 SmartBass
 - 采样速率转换
- 控制功能
 - I²C 软件模式控制
 - 地址选择引脚
- 90% 高效 D 类运行 (4 Ω)
- 12V 至 36V 宽电源电压工作范围
- 集成保护并带错误报告: 欠压、逐周期电流限制、短路、削波检测、过温警告和关断, 以及直流扬声器保护

2 应用

- 蓝牙和 WiFi 扬声器
- 条形音箱
- 低音炮
- 书架立体声音响系统
- 专业和公共广播 (PA) 扬声器
- 有源分频器和二分频扬声器

3 说明

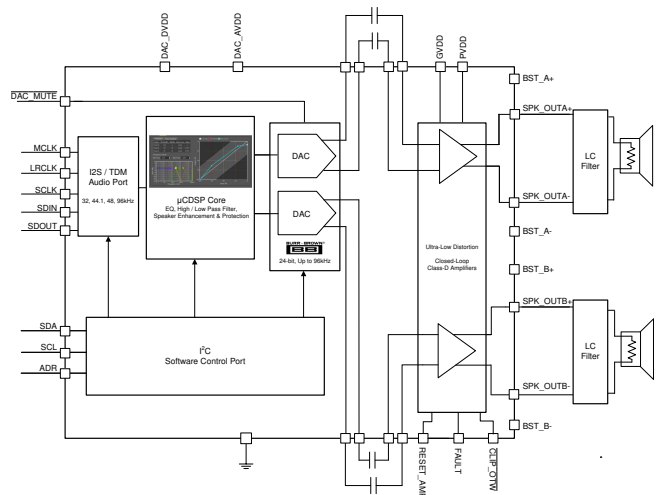
TAS3251 是一款数字输入、高性能 D 类音频放大器, 可实现真正的高端音质和 D 类效率。该数字前端采用支持集成 DSP 的高性能 Burr-Brown™ DAC, 可实现高级音频处理, 包括 SmartAmp 和 SmartEQ。首款大功率单芯片解决方案减少了总体系统解决方案的尺寸和成本。该 DSP 受 TI PurePath™ 控制台图形调优软件支持, 可以快速轻松地调优和控制扬声器。D 类功率级具有高级集成式反馈和专有的高速栅极驱动器错误校正功能, 可在音频频带内实现超低失真和噪声。该器件以 AD 模式运行, 最多可为 4 Ω 负载提供 2 x 175W 的功率, 或为 3 Ω 负载提供 2 x 220W 的功率。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TAS3251	HSSOP (56)	18.42mm × 10.35mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	7 详细说明	21
2 应用	1	7.1 概述.....	21
3 说明	1	7.2 功能方框图.....	21
4 器件比较表	3	7.3 特性说明.....	22
5 引脚配置和功能	4	7.4 器件功能模式.....	50
6 规格	7	7.5 编程.....	52
6.1 绝对最大额定值.....	7	7.6 寄存器映射.....	63
6.2 ESD 等级.....	7	8 应用和实施	102
6.3 建议运行条件.....	8	8.1 典型应用.....	102
6.4 热性能信息.....	8	8.2 电源相关建议.....	108
6.5 放大器电气特性.....	9	8.3 布局.....	111
6.6 DAC 电气特性.....	11	9 器件和文档支持	115
6.7 音频特性 (BTL).....	12	9.1 器件支持.....	115
6.8 音频特性 (PBTL).....	12	9.2 接收文档更新通知.....	115
6.9 MCLK 时序.....	13	9.3 支持资源.....	115
6.10 串行音频端口时序 – 目标模式.....	13	9.4 商标.....	116
6.11 串行音频端口时序 – 控制器模式.....	13	9.5 静电放电警告.....	116
6.12 I ² C 总线时序 – 标准.....	14	9.6 术语表.....	116
6.13 I ² C 总线时序 – 快速.....	14	10 修订历史记录	116
6.14 时序图.....	15	11 机械、封装和可订购信息	116
6.15 典型特性.....	17		

4 器件比较表

器件名称	说明	音频输入接口	焊盘位置
TAS3251	175W 立体声、350W 单声道超高清数字输入 D 类放大器，具有高级 DSP 处理功能	数字	顶层
TAS5782M	30W 立体声、60W 单声道数字输入 D 类放大器，具有高级 DSP 处理功能	数字	底层
TPA3244	60W 立体声、100W 峰值超高清焊盘朝下 D 类放大器	模拟	底层
TPA3245	115W 立体声、230W 单声道超高清模拟输入 D 类放大器	模拟	顶层
TPA3250	70W 立体声、130W 峰值超高清焊盘朝下 D 类放大器	模拟	底层
TPA3251	175W 立体声、350W 单声道超高清模拟输入功率级	模拟	顶层
TPA3255	315W 立体声、600W 单声道超高清模拟输入 D 类放大器	模拟	顶层

5 引脚配置和功能

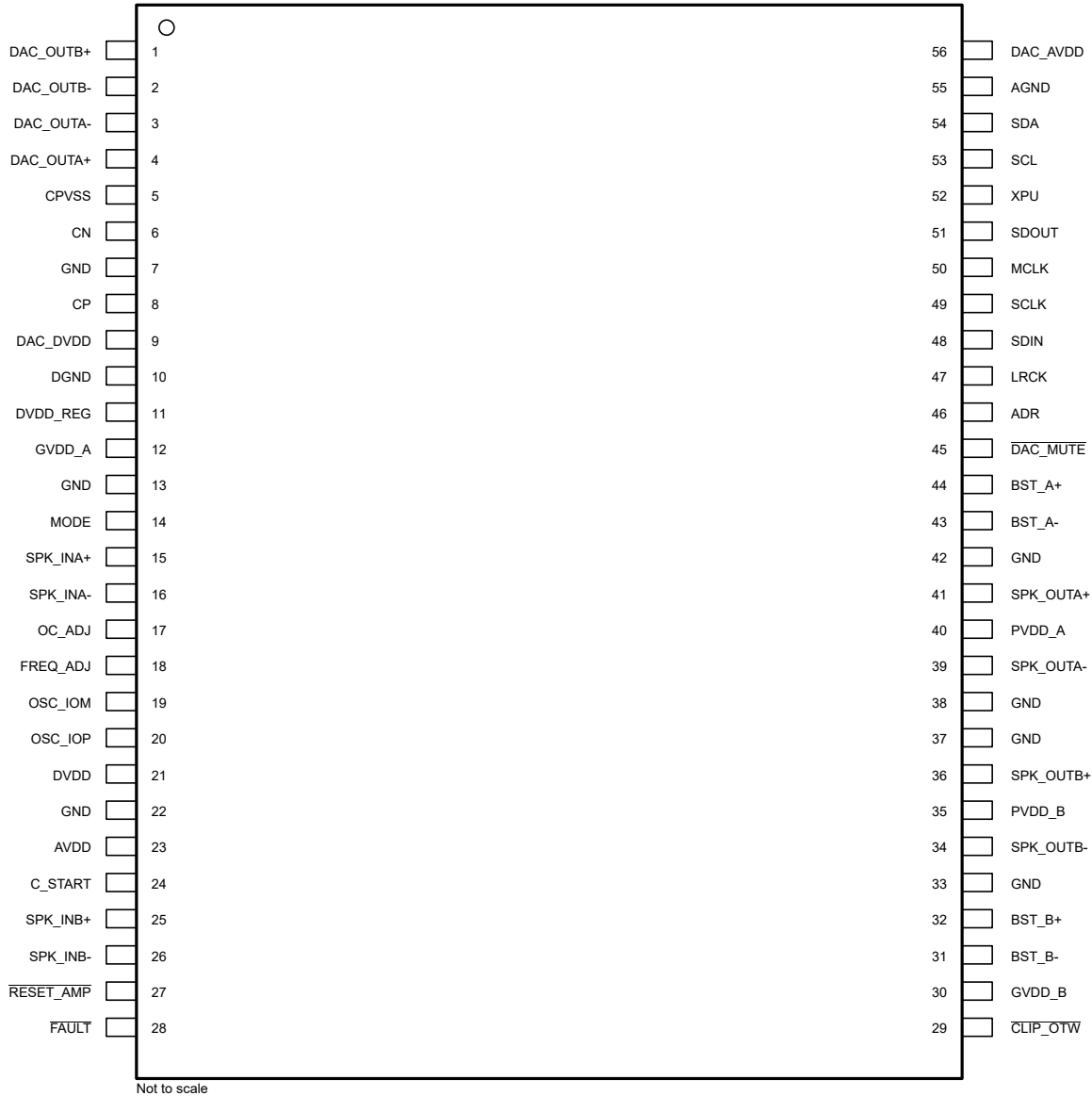


图 5-1. DKQ 封装 56 引脚 HSSOP (采用 PowerPAD™)，顶视图

表 5-1. 引脚功能

引脚 编号	名称	类型 ⁽¹⁾	说明
1	DAC_OUTB+	O	差动 DAC 输出 B+。
2	DAC_OUTB-	O	差动 DAC 输出 B-。
3	DAC_OUTA-	O	差动 DAC 输出 A-。
4	DAC_OUTA+	O	差动 DAC 输出 A+。
5	CPVSS	P	DAC 的 -3.3V 负电荷泵电源输出。将 1μF 陶瓷电容器连接至 GND。请参阅以下部分： 电源相关建议
6	CN	P	在线路驱动器电荷泵中使用的电容器连接的负极引脚。在 CN 和 CP 之间连接一个 1μF 陶瓷电容器。请参阅以下部分： 电源相关建议
7	GND	G	器件的接地引脚。
8	CP	P	在线路驱动器电荷泵中使用的电容器连接的正极引脚。在 CN 与 CP 之间连接一个 1μF 电容器。请参阅以下部分： 电源相关建议
9	DAC_DVDD	P	数字逻辑和电荷泵的 DAC 电源输入。将 3.3V 电源和一个 1μF 陶瓷电容器连接到 GND。请参阅以下部分： DAC_DVDD 和 DAC_AVDD 电源
10	DGND	G	数字电路的接地基准。将此引脚连接到系统接地。
11	DVDD_REG	P	DAC 电压稳压器输出源自 DAC_DVDD 电源，用于内部数字电路 (1.8V)。该引脚用于连接该电源的滤波电容器，不得用于为任何外部电路供电。将 1μF 陶瓷电容器连接至 GND。请参阅以下部分： DAC_DVDD 和 DAC_AVDD 电源
12	GVDD_A	P	放大器通道 A 的栅极驱动电源输入。将 12V 电源和一个 0.1μF 的电容器连接到 GND。请参阅以下部分： GVDD_X 电源
13	GND	G	器件的接地引脚。
14	模式	I	输出配置选择。BTL = 0，PBTL = 1。请参阅下表： 表 5-2
15	SPK_INA+	I	半桥 A+ 的输入信号。
16	SPK_INA-	I	半桥 A- 的输入信号。
17	OC_ADJ	I/O	过流阈值编程引脚。请参阅以下部分： 过流保护和短路电流保护
18	FREQ_ADJ	I/O	振荡器频率编程引脚。请参阅以下部分： 输出功率级的振荡器
19	OSC_IOM	I/O	PWM 开关振荡器同步接口。可选。如果未使用，请勿连接。请参阅以下部分： 振荡器同步和目标模式
20	OSC_IOP	O	PWM 开关振荡器同步接口。可选。如果未使用，请勿连接。请参阅以下部分： 振荡器同步和目标模式
21	DVDD	P	内部电压稳压器、放大器数字部分。将 1 μ F 陶瓷电容器连接至 GND。请参阅以下部分： VDD 电源
22	GND	G	器件的接地引脚。
23	AVDD	P	内部电压稳压器、放大器模拟部分。将 1μF 陶瓷电容器连接至 GND。请参阅以下部分： VDD 电源
24	C_START	O	启动斜率，需要将充电电容器连接到 GND。将 10nF 连接至 GND 以实现最佳防爆裂声效果。请参阅以下部分： 节 7.3.8
25	SPK_INB+	I	半桥 B+ 的输入信号。
26	SPK_INB-	I	半桥 B- 的输入信号。
27	RESET_AMP	I	器件复位，低电平有效。用于放大器复位和静音。请参阅以下部分： 输出功率级复位
28	FAULT	O	关断信号，漏极开路；低电平有效。连接到 DVDD 的内部上拉电阻器。如果未使用，请勿连接。请参阅以下部分： 器件输出级保护系统
29	CLIP_OTW	O	削波警告和过热警告；漏极开路；低电平有效。连接到 DVDD 的内部上拉电阻器。如果未使用，请勿连接。请参阅以下部分： 器件输出级保护系统
30	GVDD_B	P	放大器通道 B 的栅极驱动电源输入。将 12V 电源和 0.1μF 的电容器连接到 GND。请参阅以下部分： GVDD_X 电源
31	BST_B-	P	HS 自举电源 (BST)，连接到 SPK_OUTB- 的外部 0.033 μ F 电容器。请参阅以下部分： BST 电源
32	BST_B+	P	HS 自举电源 (BST)，连接到 SPK_OUTB+ 的外部 0.033 μ F 电容器。请参阅以下部分： BST 电源
33	GND	G	器件的接地引脚。
34	SPK_OUTB-	O	输出，半桥 B-。
35	PVDD_B	P	通道 B 的 PVDD 电源。将大容量电容器和 1μF 陶瓷去耦合电容器连接到 GND 并靠近引脚放置。请参阅以下部分： PVDD 电源
36	SPK_OUTB+	O	输出，半桥 B+。
37	GND	G	器件的接地引脚。
38	GND	G	器件的接地引脚。
39	SPK_OUTA-	O	输出，半桥 A-。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
编号	名称		
40	PVDD_A	P	通道 A 的 PVDD 电源。将大容量电容器和 1μF 陶瓷去耦合电容器连接到 GND 并靠近引脚放置。请参阅以下部分： PVDD 电源
41	SPK_OUTA+	O	输出，半桥 A+。
42	GND	G	器件的接地引脚。
43	BST_A-	P	HS 自举电源 (BST)，连接到 SPK_OUTA- 的外部 0.033 μF 电容器。请参阅以下部分： BST 电源
44	BST_A+	P	HS 自举电源 (BST)，连接到 SPK_OUTA+ 的外部 0.033 μF 电容器。请参阅以下部分： BST 电源
45	DAC_MUTE	I	硬件控制的 DAC 静音功能。拉至低电平 (连接到 DGND) 以使器件静音，并拉至高电平 (连接到 DAC_DVDD) 以取消器件静音。请参阅以下部分： 节 7.3.11.6
46	ADR	I	如果拉至 GND，则将 I ² C 地址的 LSB 设置为 0；如果拉至 DAC_DVDD，则将其设置为 1。请参阅下表： I²C 器件目标地址
47	LRCK	I	用于为数字音频信号选择左右字 (I ² S) 或帧 (TDM) 时钟。在 I ² S、LJ 和 RJ 中，这对应于左声道和右声道边界。在 TDM 模式下，这对应于帧同步边界。请参阅以下部分： 串行音频端口
48	SDIN	I	音频数据串行端口，数据输入。请参阅以下部分： 串行音频端口
49	SCLK	I	在串行数据端口的输入数据线上有效的数字信号的串行或位时钟。请参阅以下部分： 串行音频端口
50	MCLK	I	用于内部时钟树、子电路和状态机时钟的控制器时钟。请参阅以下部分： 串行音频端口
51	SDOUT	I/O	音频数据串行端口，数据输出。请参阅以下部分： SDOUT 端口和硬件控制引脚
52	XPU	I	外部上拉，逻辑电平引脚。为了可以正常运行，该引脚应直接连接到 3.3V 电源 (DAC_DVDD 或 DAC_AVDD)。
53	SCL	I	I ² C 串行控制端口时钟。请参阅以下部分： I²C 通信端口
54	SDA	I/O	I ² C 串行控制端口数据。请参阅以下部分： I²C 通信端口
55	AGND	G	模拟电路的接地基准。连接到系统地。
56	DAC_AVDD	P	DAC 内部模拟电路的 DAC 电源输入。将 3.3V 电源和一个 1μF 陶瓷电容器连接到 GND。请参阅以下部分： DAC_DVDD 和 DAC_AVDD 电源
	PowerPAD	G	接地，连接到接地散热器。

(1) I = 输入，O = 输出，I/O = 输入/输出，P = 电源，G = 接地

表 5-2. 模式选择引脚

输出配置	输入模式	MODE 引脚	SPK_INB+ 引脚	SPK_INB-引脚	说明
2 x BTL	2N + 1	0	X	X	立体声 BTL 输出配置
1 x PBTL	2N + 1	1	0	0	并联 BTL 配置前置滤波器或后置滤波器。在没有直流阻断电容器的情况下，将 SPK_INB+ 和 INPUT_B- 连接到 GND。

表 5-3. I²C 器件目标地址

ADR 引脚		十六进制	二进制
0	7 位地址	0x4A	1001 010
	7 位地址 + 写入位	0x94	1001 0100
	7 位地址 + 读取位	0x95	1001 0101
1	7 位地址	0x4B	1001 011
	7 位地址 + 写入位	0x96	1001 0110
	7 位地址 + 读取位	0x97	1001 0111

6 规格

6.1 绝对最大额定值

自然通风室温 25°C (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	PVDD_X 至 GND ⁽²⁾	-0.3	50	V
	BST_X 至 GVDD_X ⁽²⁾	-0.3	50	V
	BST_X 至 GND ⁽²⁾	-0.3	62.5	V
	VDD 至 GND	-0.3	13.2	V
	GVDD_X 至 GND ⁽²⁾	-0.3	13.2	V
	DVDD 至 GND	-0.3	4.2	V
	AVDD 至 GND	-0.3	8.5	V
	DAC_DVDD、DAC_AVDD	-0.3	3.9	V
模拟接口引脚	SPK_OUTX 至 GND ⁽²⁾	-0.3	50	V
	SPK_INX 至 GND	-0.3	7	V
数字接口引脚	OC_ADJ、MODE、OSC_IOP、OSC_IOM、FREQ_ADJ、C_START 至 GND	-0.3	4.2	V
	RESET_AMP、FAULT、CLIP_OTW 至 GND	-0.3	4.2	V
	RESET_AMP、FAULT、CLIP_OTW 至 GND 的持续灌电流		9	mA
	ADR、DAC_MUTE、LRCK、MCLK、SCL、SCLK、SDA、SDIN、SDOUT、XPU 至 GND	-0.5	$V_{DAC_DVDD} + 0.5$	V
T _J	工作结温范围、电源裸片	-40	165	°C
	工作结温、数字裸片	-40	125	°C
T _{stg}	贮存温度范围	-40	150	°C

- (1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在 6.3 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 这些电压表示在各种条件下测得的器件端子直流电压 + 峰值交流波形。

6.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

- (1) JEDEC 文件 JEP155 指出：2000V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出：500V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

自然通风室温 25°C (除非另有说明)

			最小值	典型值	最大值	单位
PVDD_X	半桥电源	DC 电源电压	12	36	38	V
GVDD_X	逻辑稳压器和栅极驱动电路的电源	DC 电源电压	10.8	12	13.2	V
VDD	数字稳压器电源电压	DC 电源电压	10.8	12	13.2	V
DAC_AVDD	DAC 内部模拟电路的电源。	DC 电源电压	2.9	3.3	3.63	V
DAC_DVDD ⁽¹⁾	电荷泵的 DAC 数字电源和电源	DC 电源电压	2.9	3.3	3.63	V
R _L (BTL)	负载阻抗	输出滤波器电感处于建议的值范围内	2.7	4		Ω
R _L (PBTL)			1.6	2		
L _{OUT} (BTL)	输出滤波器电感	IOC 处的最小输出电感	5			μH
L _{OUT} (PBTL)			5			
F _{PWM}	为避免 AM 干扰, PWM 帧电阻可供选择; 1% 电阻容差	标称值	575	600	625	kHz
		AM1	475	500	525	
		AM2	430	450	470	
R _(FREQ_ADJ)	PWM 帧速率编程电阻	额定电压; 控制器模式	9.9	10	10.1	kΩ
		AM1; 控制器模式	19.8	20	20.2	
		AM2; 控制器模式	29.7	30	30.3	
C _{PVDD}	PVDD 闭合去耦电容器		1.0			μF
R _{OC}	过流编程电阻	电阻容差 = 5%	22		30	kΩ
R _{OC} (LATCHED)	过流编程电阻	电阻容差 = 5%	47		64	kΩ
V _(FREQ_ADJ)	用于目标模式运行的 FREQ_ADJ 引脚上的电压	目标模式		3.3		V
V _{IH} (DigIn)	DAC_DVDD 基准数字输入的输入逻辑高电平 ⁽¹⁾ (2)		0.9 × V _{DAC_DVDD}		V _{DAC_DVDD}	V
V _{IL} (DigIn)	DAC_DVDD 基准数字输入的输入逻辑低电平 ⁽¹⁾ (3)		V _{DAC_DVDD}	0	0.1 × V _{DAC_DVDD}	V
T _J	结温		0		125	°C

(1) DAC_DVDD 基准数字引脚包括: ADR、LRCK、MCLK、DAC_MUTE、SCL、SCLK、SDA、SDIN、SDOUT 和 XPU。

(2) 前端 (DAC 和 DSP) 引脚应以 DAC_DVDD 为基准。功率级数字引脚应以 DVDD 为基准。

(3) 所有 TAS3251 接地引脚都应以系统接地为基准。

6.4 热性能信息

热指标 ⁽¹⁾		TAS3251	单位
		DKQ 56 引脚 (HSSOP)	
		JEDEC 标准 4 层 PCB	
R _{θJA}	结至环境热阻	47.8	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	0.3	°C/W
R _{θJB}	结至电路板热阻	24.2	°C/W
ψ _{JT}	结至顶部特征参数	0.2	°C/W
ψ _{JB}	结至电路板特征参数	20.6	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热性能指标的更多信息, 请参阅 [半导体和 IC 封装热性能指标](#) 应用报告。

6.5 放大器电气特性

PVDD_X = 36V, GVDD_X = 12V, VDD = 12V, T_C (外壳温度) = 75°C, f_S = 600kHz, 除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
放大器内部电压稳压器和电流消耗						
DVDD	内部使用的电压稳压器	VDD = 12V	3	3.3	3.6	V
AVDD	内部使用的电压稳压器	VDD = 12V		7.8		V
I _{GVDD_A + GVDD_B + VDD}	GVDD 和 VDD 电源电流	50% 占空比		90		mA
		复位模式		19		mA
I _{PVDD_X}	PVDD 空闲电流	使用推荐输出滤波器，占空比为 50%		20		mA
		复位模式，无开关		0.0048		mA
模拟输入						
R _{IN}	输入电阻			24		k Ω
V _{IN}	最大输入电压摆幅，SPK_INx 引脚			7		V
I _{IN}	最大输入电流，SPK_INx 引脚			1		mA
G	反相电压增益	放大器 VOUT/VIN		20		dB
放大器振荡器						
f _{OSC(IO+)}	额定电压，控制器模式	F _{PWM} × 6	3.45	3.6	3.75	MHz
	AM1，控制器模式	F _{PWM} × 6	2.85	3	3.15	MHz
	AM2，控制器模式	F _{PWM} × 6	2.58	2.7	2.82	MHz
V _{IH}	高电平输入电压		1.86			V
V _{IL}	低电平输入电压				1.45	V
输出级 MOSFET						
R _{DS(on)}	漏源电阻，低侧 (LS)	T _J = 25°C，包括金属化电阻，GVDD = 12V		60	100	m Ω
	漏源电阻，高侧 (HS)	T _J = 25°C，包括金属化电阻，GVDD = 12V		60	100	m Ω
放大器 I/O 保护						
V _{uvp,VDD,GVDD}	欠压保护限制，GVDD_X 和 VDD			9.5		V
V _{uvp,VDD, GVDD,hyst}	欠压保护磁滞，GVDD_X 和 VDD			0.6		V
OTW	过热警告迟滞，CLIP_OTW ⁽¹⁾		115	125	135	°C
OTW _{hyst}	删除 CLIP_OTW 上的 OTW 事件所需的温度下降			25		°C
OTE	过热错误		145	155	165	°C
OTE-OTW _(differential)	OTE-OTW 差分			30		°C
OTE _{hyst}	需要复位才能清除 OTE 事件			25		°C
OLPC	CB3C 模式的过载保护计数器	f _{PWM} = 600kHz (所有 F _{PWM} 均为 1024 个 PWM 周期)		1.7		ms
I _{OC}	CB3C 模式的过流限制	电阻 - 可编程，1 Ω 负载下的额定电压峰值电流，R _{OCp} = 22k Ω		14		A
I _{OC(LATCHED)}	闭锁模式的过流限制	电阻 - 可编程，1 Ω 负载中的峰值电流，R _{OCp} = 47k Ω		14		A
I _{DCspkr}	直流扬声器保护电流阈值	BTL 电流不平衡阈值		1.5		A
I _{OCT}	过流响应时间	由过流引起的从开关转换到翻转状态的时间		150		ns
I _{PD}	每个半桥的输出下拉电流	在 RESET 激活时连接以提供自举充电		3		mA

6.5 放大器电气特性 (续)

PVDD_X = 36V, GVDD_X = 12V, VDD = 12V, T_C (外壳温度) = 75°C, f_S = 600kHz, 除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位
放大器静态数字规格					
V_{IH} 高电平输入电压	MODE、OSC_IOP、OSC_IOM、RESET_AMP	1.9			V
V_{IL} 低电平输入电压	MODE、OSC_IOP、OSC_IOM、RESET_AMP			0.8	V
I_{lkg} 输入漏电流	MODE、OSC_IOP、OSC_IOM、RESET_AMP			100	μA
放大器 OTW/关断 (故障)					
R_{INT_PU} 内部上拉电阻, CLIP_OTW 至 DVDD, FAULT 至 DVDD		20	26	32	k Ω
V_{OH} 高电平输出电压	内部上拉电阻	3	3.3	3.6	V
V_{OL} 低电平输出电压	IO = 4mA		200	500	mV
器件扇出	CLIP_OTW, 故障		30		器件

(1) 根据设计确定。

6.6 DAC 电气特性

自然通风室温 25°C (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
数字 I/O						
V _{IH1}	DAC_DVDD 基准数字输入的输入逻辑高电平阈值 ⁽¹⁾		70%			V _{DAC_DVDD}
V _{IL1}	DAC_DVDD 基准数字输入的输入逻辑低电平阈值 ⁽¹⁾				30%	V _{DAC_DVDD}
I _{IH1}	DAC_DVDD 基准数字输入引脚的输入逻辑高电流电平 ⁽¹⁾	V _{IN(DigIn)} = V _{DAC_DVDD}			10	μA
I _{IL1}	DAC_DVDD 基准数字输入引脚的输入逻辑低电流电平 ⁽¹⁾	V _{IN(DigIn)} = 0V			-10	μA
V _{OH} (DigOut)	输出逻辑高电压电平 ⁽¹⁾	I _{OH} = 4mA	80%			V _{DAC_DVDD}
V _{OL} (DigOut)	输出逻辑低电压电平 ⁽¹⁾	I _{OH} = -4mA			22%	V _{DAC_DVDD}
I ² C 控制端口						
C _L (I2C)	每条 I ² C 线路允许的负载电容				400	pF
f _{SCL} (fast)	支持 SCL 频率	无等待状态，快速模式			400	kHz
f _{SCL} (slow)	支持 SCL 频率	无等待状态，慢速模式			100	kHz
V _{NH}	每个连接的器件的高电平噪声容限 (包括迟滞)		0.2 × V _{DAC_DVDD}			V
MCLK 和 PLL 规范						
D _{MCLK}	允许的 MCLK 占空比		40%		60%	
f _{MCLK}	支持的 MCLK 频率	高达 50MHz	128		512	f _S ⁽²⁾
f _{PLL}	PLL 输入频率	时钟分频器使用分数分频 D > 0、P = 1	6.7		20	MHz
		时钟分频器使用整数分频 D = 0、P = 1	1		20	
串行音频端口						
t _{DLY}	所需的 LRCK/FS 至 SCLK 上升沿延迟		5			ns
D _{SCLK}	允许的 SCLK 占空比		40%		60%	
f _S	支持的输入采样速率		8		96	kHz
f _{SCLK}	支持的 SCLK 频率		32		64	f _S ⁽²⁾
f _{SCLK}	SCL 频率	控制器模式或目标模式			24.576	MHz

(1) DAC_DVDD 基准数字引脚包括 : ADR、LRCK、MCLK、DAC_MUTE、SCL、SCLK、SDA、SDIN、SDOUT 和 XPU。

(2) f_s 的单位表示规范是表中列出的值乘以器件中使用的音频的采样速率。

6.7 音频特性 (BTL)

PCB 和系统配置符合推荐指南。音频频率 = 1kHz, $PVDD_X = 36V$, $GVDD_X = 12V$, $R_L = 4\Omega$, $f_S = 600kHz$, $R_{OC} = 22k\Omega$, $T_C = 75^\circ C$, 输出滤波器: $L_{DEM} = 10\mu H$, $C_{DEM} = 1\mu F$, $MODE = 0$, AES17 + AUX-0025 测量滤波器, 除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位
P_O 每通道功率输出	$R_L = 3\Omega$, 10% THD+N		220		W
	$R_L = 4\Omega$, 10% THD+N		175		
	$R_L = 3\Omega$, 1% THD+N		175		
	$R_L = 4\Omega$, 1% THD+N		140		
THD+N 总谐波失真 + 噪声	1W		0.008		%
V_n 输出积分噪声	A 加权, AES17 滤波器, 输入电容器接地		95		μV
$ V_{OS} $ 输出失调电压	输入交流耦合至 GND		20	60	mV
SNR 信噪比 ⁽¹⁾			108		dB
DNR 动态范围			110		dB
P_{idle} 空闲损耗引起的功率耗散 (I_{PVDD_X})	$P_O = 0$, 4 通道开关 ⁽²⁾		0.75		W

(1) SNR 根据 1% THD+N 输出电平计算得出。

(2) 实际系统空闲损耗也受输出电感器磁芯损耗的影响。

6.8 音频特性 (PBTL)

PCB 和系统配置符合推荐指南。音频频率 = 1kHz, $PVDD_X = 36V$, $GVDD_X = 12V$, $R_L = 2\Omega$, $f_S = 600kHz$, $R_{OC} = 22k\Omega$, $T_C = 75^\circ C$, 输出滤波器: $L_{DEM} = 10\mu H$, $C_{DEM} = 1\mu F$, $MODE = 1$, 输出在 LC 滤波器之后并联, AES17 + AUX-0025 测量滤波器, 除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位
P_O 每通道功率输出	$R_L = 2\Omega$, 10% THD+N		355		W
	$R_L = 3\Omega$, 10% THD+N		250		
	$R_L = 4\Omega$, 10% THD+N		195		
	$R_L = 2\Omega$, 1% THD+N		285		
	$R_L = 3\Omega$, 1% THD+N		200		
	$R_L = 4\Omega$, 1% THD+N		155		
THD+N 总谐波失真 + 噪声	1W		0.009		%
V_n 输出积分噪声	A 加权, AES17 滤波器, 输入电容器接地		95		μV
SNR 信噪比 ⁽¹⁾	A 加权		108		dB
DNR 动态范围	A 加权		108		dB
P_{idle} 空闲损耗引起的功率耗散 (I_{PVDD_X})	$P_O = 0$, 4 通道开关 ⁽²⁾		0.75		W

(1) SNR 根据 1% THD+N 输出电平计算得出。

(2) 实际系统空闲损耗受输出电感器磁芯损耗的影响。

6.9 MCLK 时序

请参阅 图 6-1。

参数		最小值	最大值	单位
t_{MCLK}	MCLK 周期	20	1000	ns
t_{MCLKH}	MCLK 脉冲宽度, 高电平	9		ns
t_{MCLKL}	MCLK 脉冲宽度, 低电平	9		ns

6.10 串行音频端口时序 - 目标模式

请参阅 图 6-2。

参数		最小值	最大值	单位
f_{SCLK}	SCL 频率	1.024		MHz
t_{SCLK}	SCLK 周期	40		ns
t_{SCLKL}	SCLK 脉冲宽度, 低电平	16		ns
t_{SCLKH}	SCLK 脉冲宽度, 高电平	16		ns
t_{SL}	SCLK 上升至 LRCK/FS 边沿	8		ns
t_{LS}	LRCK/SCLK 边沿到 FS 上升沿	8		ns
t_{SU}	SCLK 上升沿之前的数据建立时间	8		ns
t_{DH}	SCLK 上升沿之后的数据保持时间	8		ns
t_{DFS}	SCLK 下降沿的数据延迟时间		15	ns

6.11 串行音频端口时序 - 控制器模式

请参阅 图 6-3。

参数		最小值	最大值	单位
t_{SCLK}	SCLK 周期	40		ns
t_{SCLKL}	SCLK 脉冲宽度, 低电平	16		ns
t_{SCLKH}	SCLK 脉冲宽度, 高电平	16		ns
t_{LRD}	LRCK/FS 至 SCLK 下降沿的延迟时间	-10	20	ns
t_{SU}	SCLK 上升沿之前的数据建立时间	8		ns
t_{DH}	SCLK 上升沿之后的数据保持时间	8		ns
t_{DFS}	SCLK 下降沿的数据延迟时间		15	ns

6.12 I²C 总线时序 — 标准

		最小值	最大值	单位
f _{SCL}	SCL 时钟频率		400	kHz
t _{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7		μs
t _{LOW}	SCL 时钟的低电平周期	4.7		μs
t _{HI}	SCL 时钟的高电平周期	4		μs
t _{RS-SU}	(重复) START 条件的建立时间	4.7		μs
t _{S-HD}	(重复) START 条件的保持时间	4		μs
t _{D-SU}	数据设置时间	250		ns
t _{D-HD}	数据保持时间	0	900	ns
t _{SCL-R}	SCL 信号的上升时间	20 + 0.1C _B	1000	ns
t _{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	20 + 0.1C _B	1000	ns
t _{SCL-F}	SCL 信号的下降时间	20 + 0.1C _B	1000	ns
t _{SDA-R}	SDA 信号的上升时间	20 + 0.1C _B	1000	ns
t _{SDA-F}	SDA 信号的下降时间	20 + 0.1C _B	1000	ns
t _{P-SU}	STOP 条件的建立时间	4		μs

6.13 I²C 总线时序 — 快速

请参阅 图 6-4。

		最小值	最大值	单位
f _{SCL}	SCL 时钟频率		400	kHz
t _{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3		μs
t _{LOW}	SCL 时钟的低电平周期	1.3		μs
t _{HI}	SCL 时钟的高电平周期	600		ns
t _{RS-SU}	(重复) START 条件的建立时间	600		ns
t _{RS-HD}	(重复) START 条件的保持时间	600		ns
t _{D-SU}	数据设置时间	100		ns
t _{D-HD}	数据保持时间	0	900	ns
t _{SCL-R}	SCL 信号的上升时间	20 + 0.1C _B	300	ns
t _{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	20 + 0.1C _B	300	ns
t _{SCL-F}	SCL 信号的下降时间	20 + 0.1C _B	300	ns
t _{SDA-R}	SDA 信号的上升时间	20 + 0.1C _B	300	ns
t _{SDA-F}	SDA 信号的下降时间	20 + 0.1C _B	300	ns
t _{P-SU}	STOP 条件的建立时间	600		ns
t _{SP}	所抑制尖峰的脉冲宽度		50	ns

6.14 时序图

本节包含 I²C 和 I²S/TDM 的计时示意图。

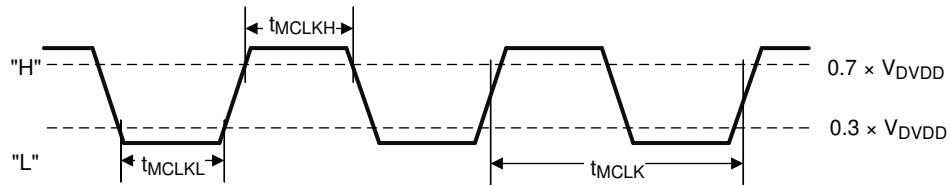


图 6-1. MCLK 输入的时序要求

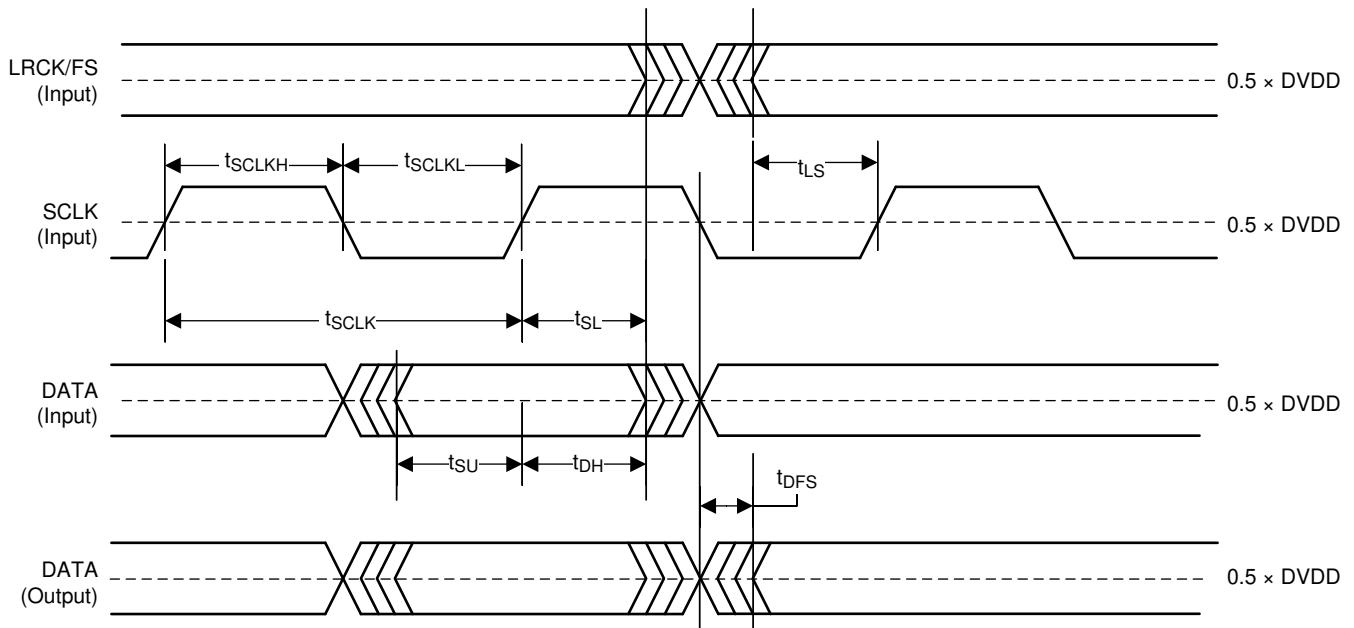


图 6-2. 目标模式下的 MCLK 计时示意图

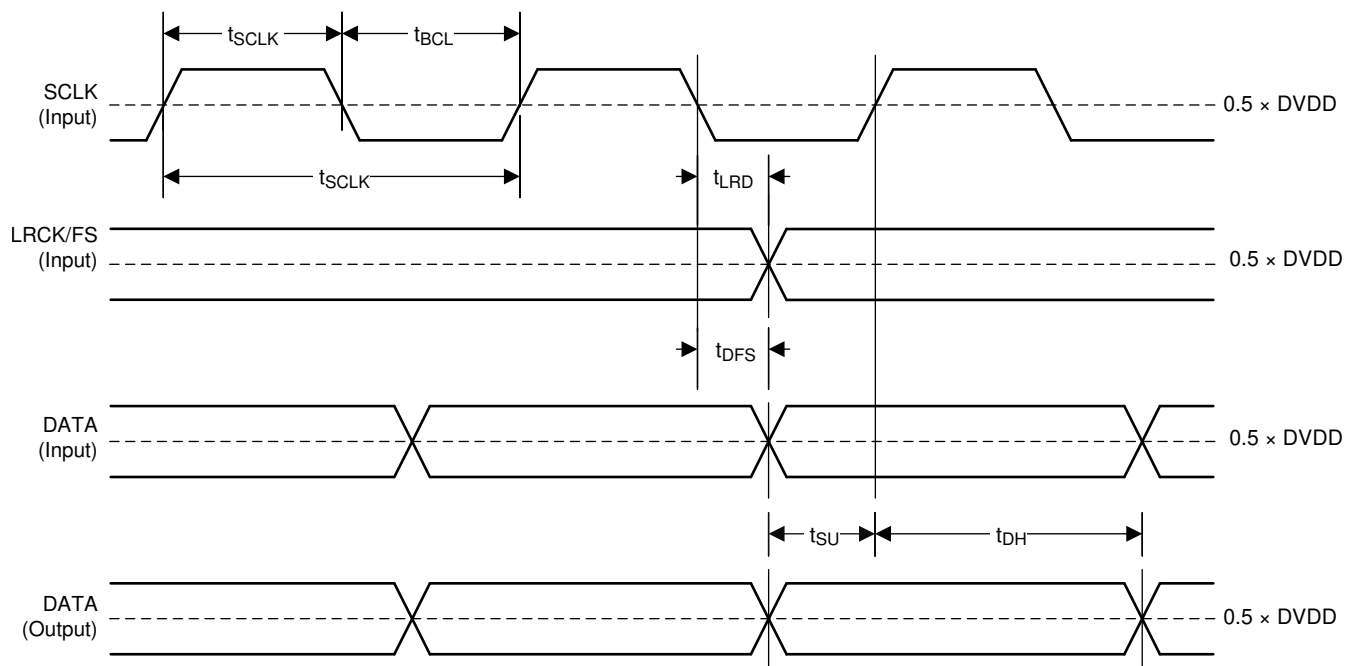
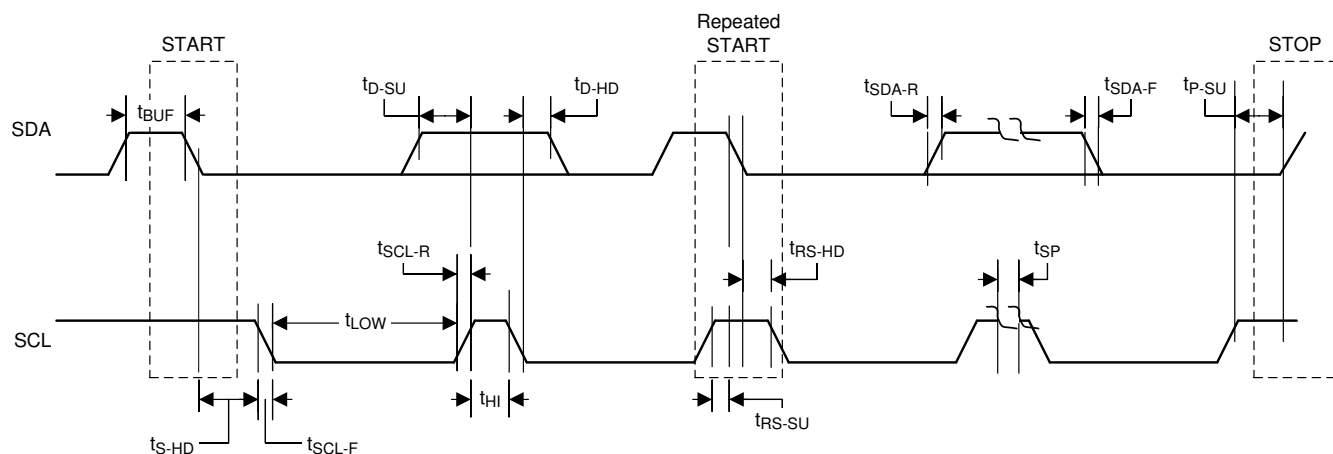


图 6-3. 控制器模式下的 MCLK 计时示意图

图 6-4. I²C 通信端口时序图

6.15 典型特性

6.15.1 BTL 配置

所有测量均在以下条件下进行：音频频率 = 1kHz，PVDD_X = 36V，GVDD_X = 12V， $R_L = 4\ \Omega$ ， $f_S = 600\text{kHz}$ ， $R_{OC} = 22\text{k}\ \Omega$ ， $T_C = 75^\circ\text{C}$ ，输出滤波器： $L_{DEM} = 10\ \mu\text{H}$ ， $C_{DEM} = 1\ \mu\text{F}$ ，MODE = 0，AES17 + AUX-0025 测量滤波器，除非另有说明。

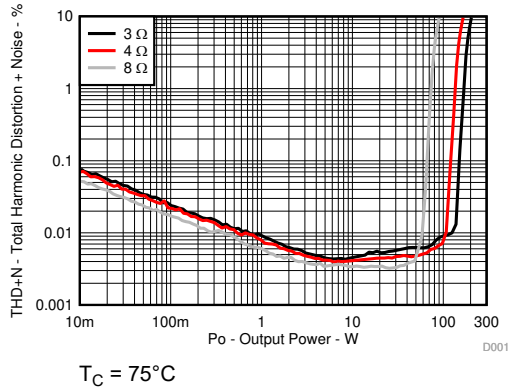


图 6-5. 总谐波失真 + 噪声与输出功率间的关系

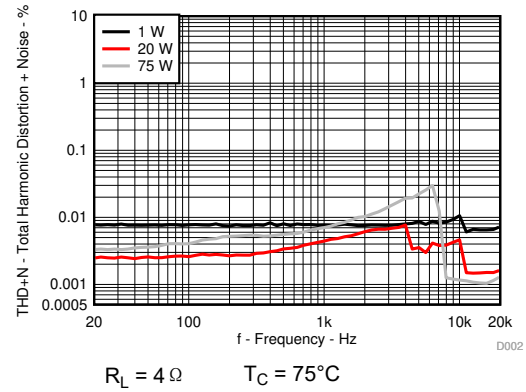


图 6-6. 总谐波失真 + 噪声与频率间的关系

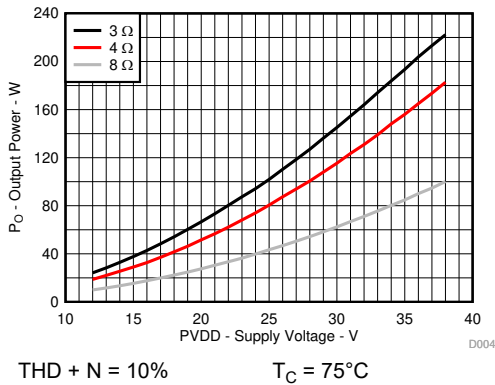


图 6-7. 输出功率与电源电压间的关系

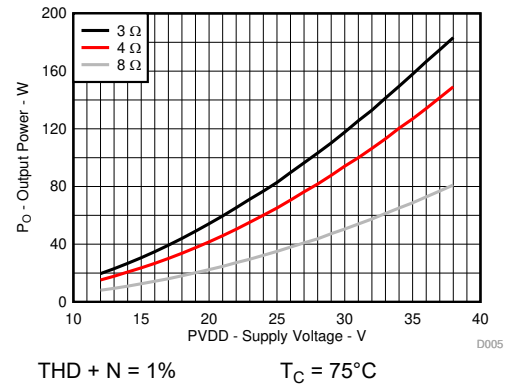


图 6-8. 输出功率与电源电压间的关系

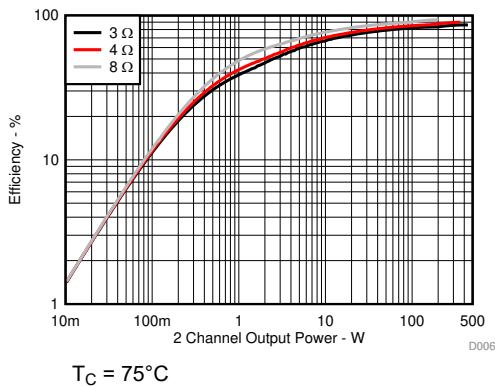


图 6-9. 效率与输出功率间的关系

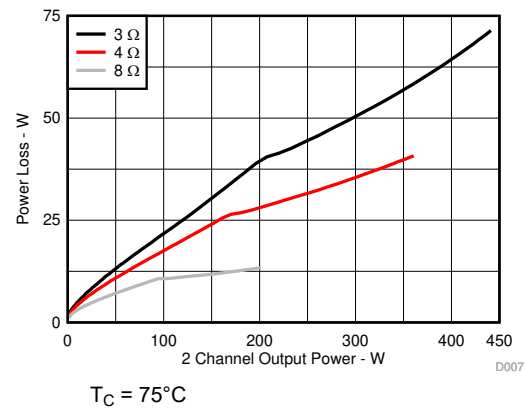


图 6-10. 功率损耗与输出功率间的关系

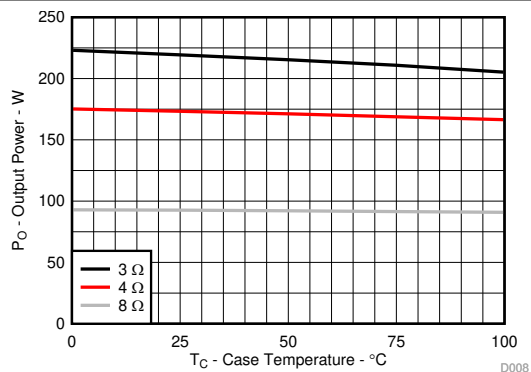
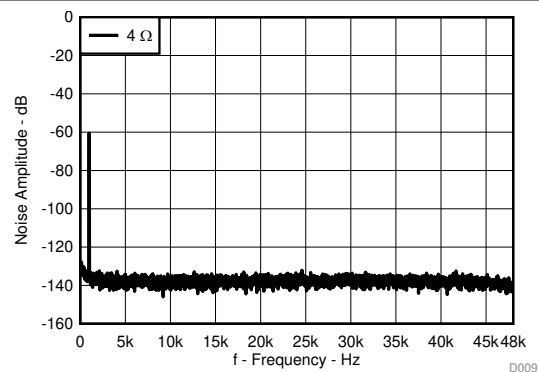


图 6-11. 输出功率与温度间的关系



$T_C = 75^\circ\text{C}$ $V_{REF} = 25.46\text{V}$ FFT = 16384
 AUX-0025 滤波 80kHz 分析仪 BW
 器

图 6-12. 噪声与频率间的关系

6.15.2 PBTl 配置

所有测量均在以下条件下进行：音频频率 = 1kHz，PVDD_X = 36V，GVDD_X = 12V， $R_L = 2\Omega$ ， $f_S = 600\text{kHz}$ ， $R_{OC} = 22\text{k}\Omega$ ， $T_C = 75^\circ\text{C}$ ，输出滤波器： $L_{DEM} = 10\mu\text{H}$ ， $C_{DEM} = 1\mu\text{F}$ ，MODE = 1，输出在 LC 滤波器之后并联，AES17 + AUX-0025 测量滤波器，除非另有说明。

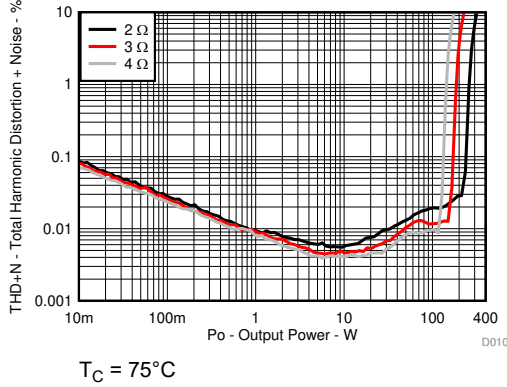


图 6-13. 总谐波失真 + 噪声与输出功率间的关系

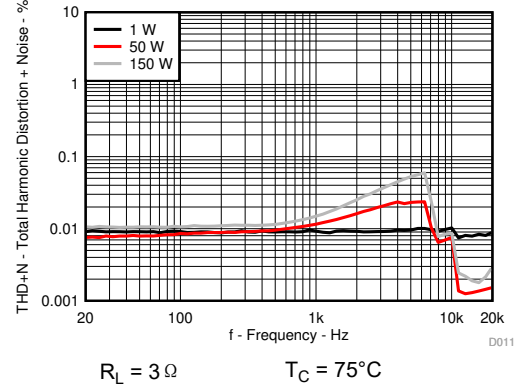


图 6-14. 总谐波失真 + 噪声与频率间的关系

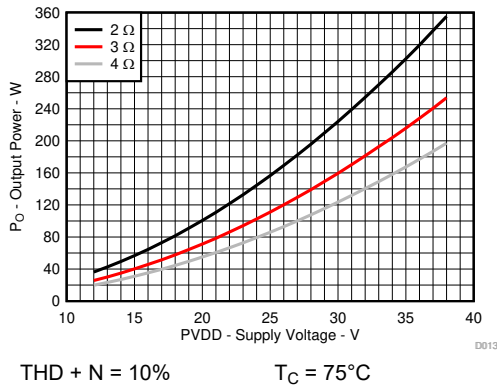


图 6-15. 输出功率与电源电压间的关系

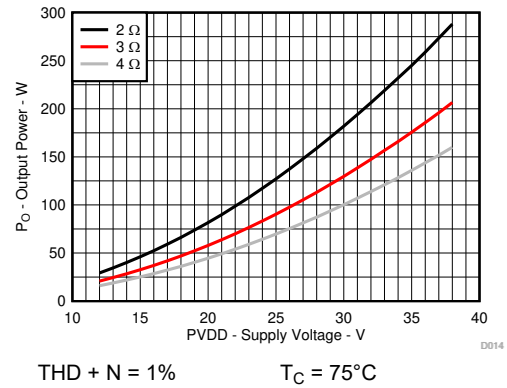


图 6-16. 输出功率与电源电压间的关系

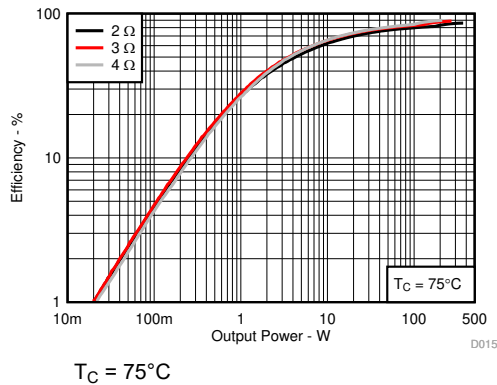


图 6-17. 效率与输出功率间的关系

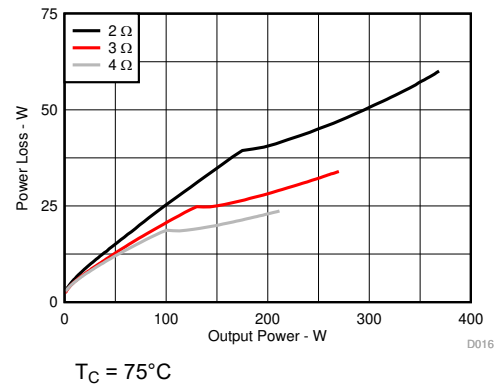
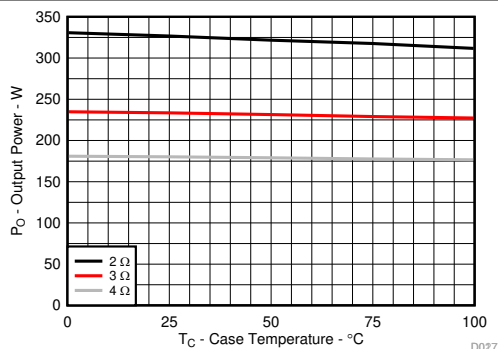
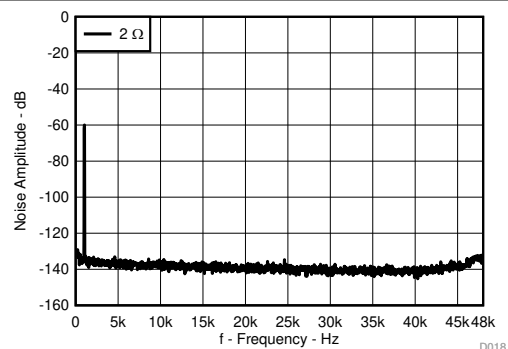


图 6-18. 功率损耗与输出功率间的关系



THD + N = 10%

图 6-19. 输出功率与温度间的关系



$T_C = 75^\circ\text{C}$ $V_{REF} = 25.46\text{V}$ FFT = 16384
 AUX-0025 滤波 80kHz 分析仪 BW
 器

图 6-20. 噪声与频率间的关系

7 详细说明

7.1 概述

TAS3251 器件将四个主要构建块集成到单个内聚的器件中，可更大幅度地提高声音质量、灵活性和易用性。其中包括：

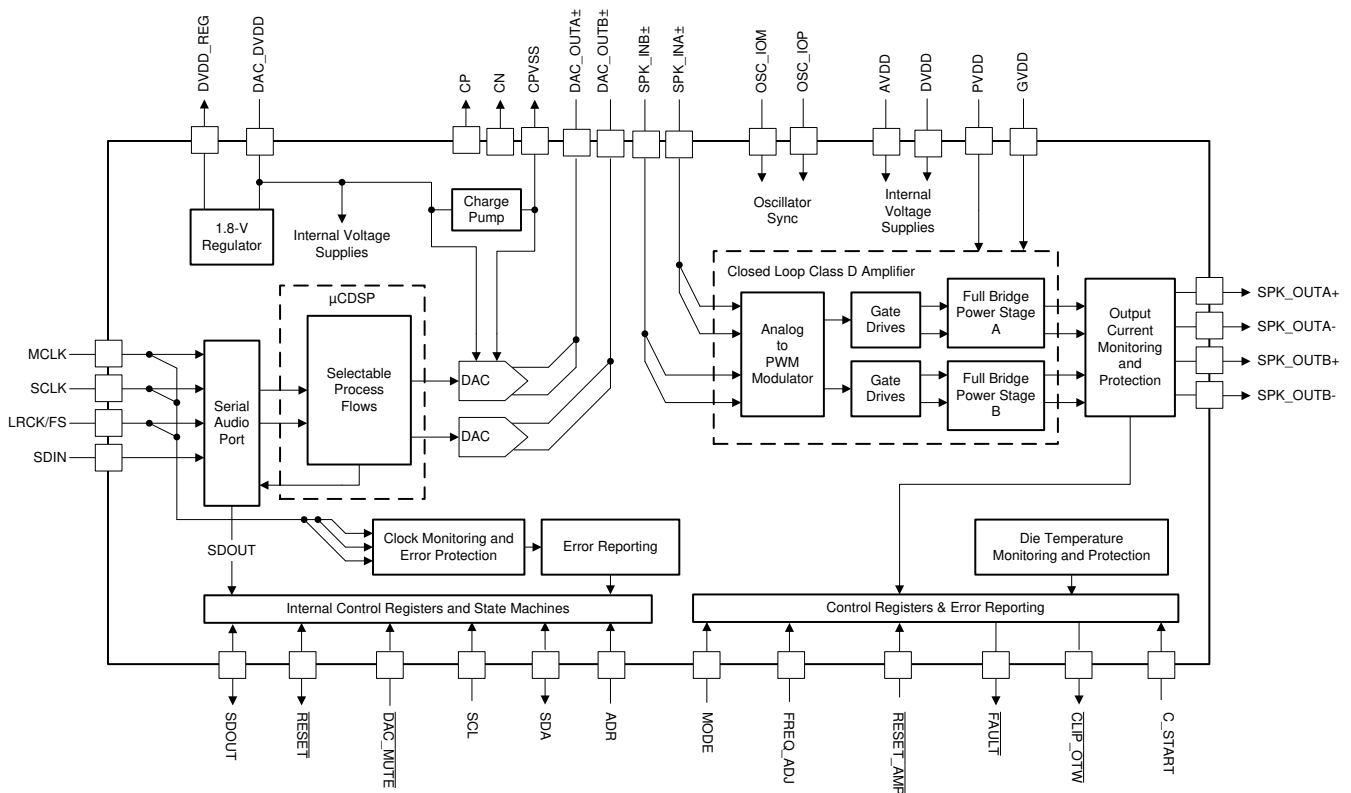
- Burr-Brown 立体声音频 DAC，配备高度灵活的串行音频接口
- μ CDSP，TI 最新的音频处理内核，具有预编程的 DSP 音频处理流程
- 高性能超高清闭环 D 类放大器，可支持立体声或单声道工作模式
- 一个 I²C 控制端口，用于与器件通信和控制器件

该器件需要三个电源才能正常工作。一个用于低电压电路和 DAC 的 3.3V 导轨，一个用于放大器栅极驱动的 12V 导轨，以及 PVDD，用于为音频放大器的输出级提供电源。这些电源的工作范围如 [建议运行条件](#) 中所示。

器件的通信和控制接口使用 I²C。此外，还提供了扬声器放大器故障输出，用于通知系统控制器发生过热、过流或欠压事件。

μ CDSP 音频处理内核通过可配置的 DSP 程序进行了预编程。TI.com 上提供的 PurePath Console 3 软件及 TAS3251 应用程序提供了控制和调优预编程音频处理流程的工具。

7.2 功能方框图



7.3 特性说明

7.3.1 上电复位 (POR) 功能

TAS3251 器件具有上电复位功能。上电复位功能会在器件上电时，将所有寄存器复位为其默认配置。当为 DVDD、AVDD 和 CPVDD 供电的低压电源超过 POR 阈值时，器件会将所有内部寄存器设为默认值，并保持该状态，直到器件在约 4ms 的时间内接收到有效的 MCLK、SCLK 和 LRCK/FS 切换信号。在切换周期结束后，内部寄存器复位被解除，寄存器即可通过 I²C 控制端口进行编程。

7.3.2 启用器件

要在通电后启用器件并播放音频，请通过 I²C 向其写入以下配置：将簿 0x00、页 0x00、寄存器 0x02 设置为 0x00。以下是用于启用器件的示例脚本：

```
w 90 00 00 # Go to page 0
w 90 7f 00 # Go to book 0
w 90 02 00 # Enable device
```

7.3.3 DAC 和 DSP 时钟

TAS3251 前端 (DAC 和 DSP) 具有灵活的时钟系统。在内部，器件需要多个时钟，主要是以相关的时钟速率工作才能正常运行。所有这些时钟都可以以某种形式从串行音频接口获得。有关设置输出级振荡器和开关频率的信息，请参阅[输出功率级的振荡器](#)部分。

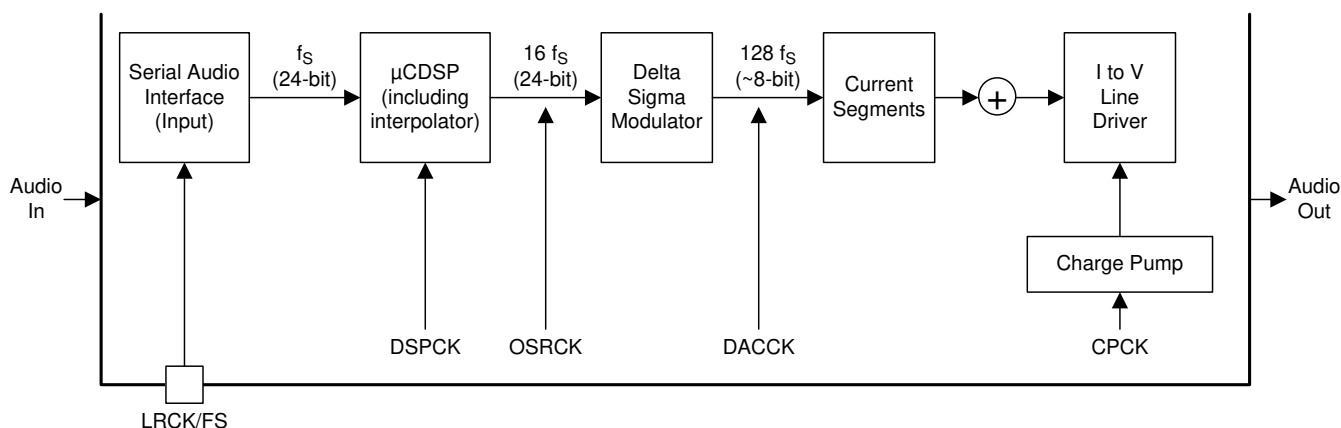


图 7-1. 具有相应时钟的音频流

图 7-1 显示了基本采样速率 (f_s) 下的基本数据流。当数据被送入串行音频接口后，它会经过处理、插值，并被调制到 $128 \times f_s$ ，然后再送入电流分段，以完成最终的数模转换。

图 7-2 显示了时钟树。

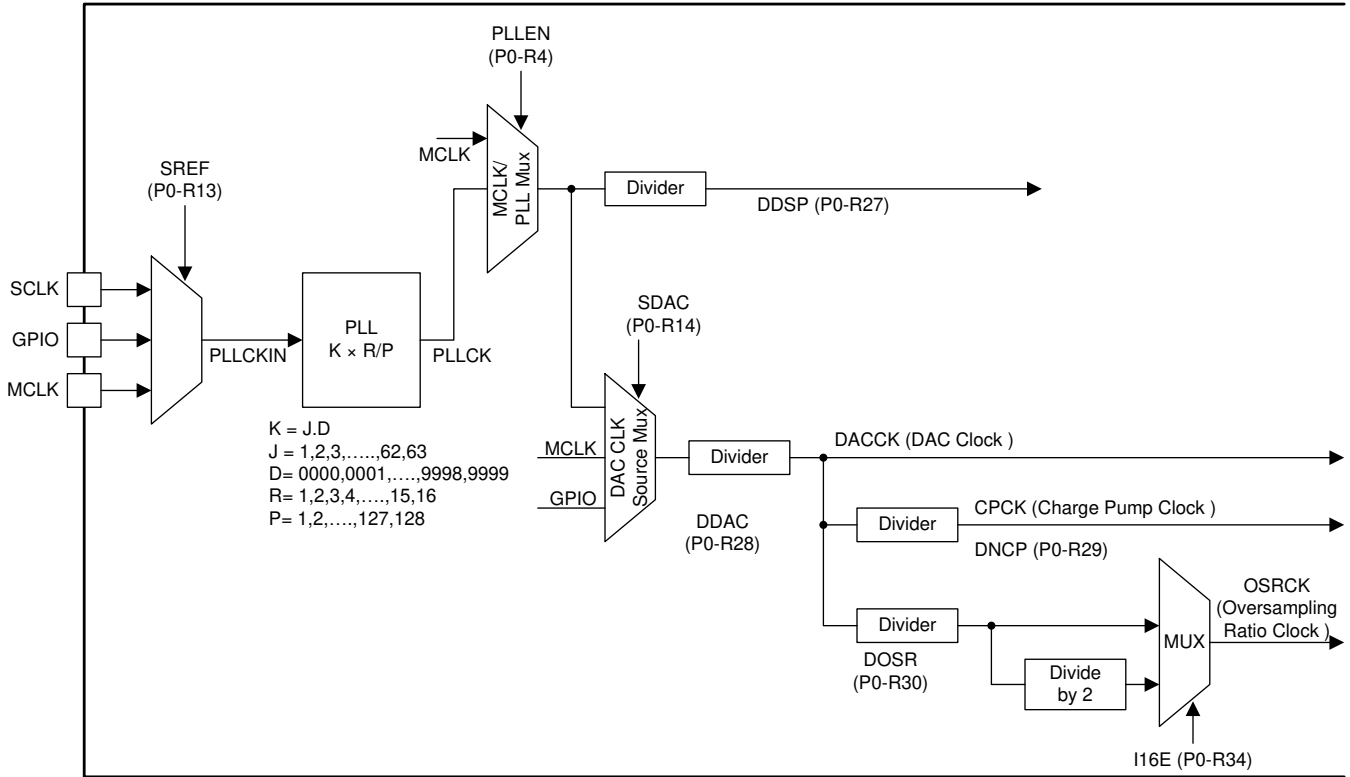


图 7-2. TAS3251 时钟分配树

串行音频接口通常具有 4 个连接引脚，如下所列：

- MCLK (系统控制器时钟)
- SCLK (串行或位时钟)
- LRCK/FS (左右字时钟或帧同步)
- SDIN (输入数据)
- SDOUT 可用于输出经过预处理或后处理的 DSP 数据，以供外部使用 (请参阅 [SDOUT 端口和硬件控制引脚](#) 部分)

此器件有一个内部 PLL，用于获取 MCLK 或 SCLK，并创建 DSP 和 DAC 时钟所需的较高速率的时钟。

在需要最高音频性能的情况下，建议将 MCLK 与 SCLK 及 LRCK/FS 一起送入器件。应对器件进行配置，使 PLL 仅向 DSP 提供时钟源。然后，所有其他时钟都是传入 MCLK 的分频。要将 MCLK 作为主时钟源，并让所有其他时钟由输入的 MCLK 分频生成，请将 DAC 时钟源复用器 (图 7-2 中的 SDAC) 设置为使用 MCLK 作为时钟源，而不是使用 MCLK/PLL 多路复用器的输出。

7.3.3.1 内部时钟错误通知 (CLKE)

当在传入的数据时钟上检测到时钟错误时，TAS3251 器件会切换到内部振荡器并继续驱动 DAC，从而使最后一个已知值的数据衰减。此过程完成后，DAC 输出将被硬静音接地，D 类 PWM 输出将停止开关。时钟错误可通过监测 B0-P0-R94 和 R95 进行监控。时钟错误状态位为非锁存型，但 MCLK 主时钟停止位 B0-P0-R95-D[4] 在读操作时会被清除。

7.3.4 串行音频端口

7.3.4.1 基于音频速率控制器时钟的时钟控制器模式

在控制器模式下，该器件会生成位时钟以及左-右和帧同步时钟，并在相应的引脚上输出这些时钟。要在控制器模式下配置器件，首先应将器件置于复位状态，然后使用寄存器 SCLKO 和 LRKO (P0-R9)。然后使用 RSCLK 和 RLRK 位 (P0-R12) 复位 LRCK/FS 与 SCLK 的分频计数器。最后，退出复位。

图 7-3 展示了控制器模式下器件的简化串行端口时钟树。

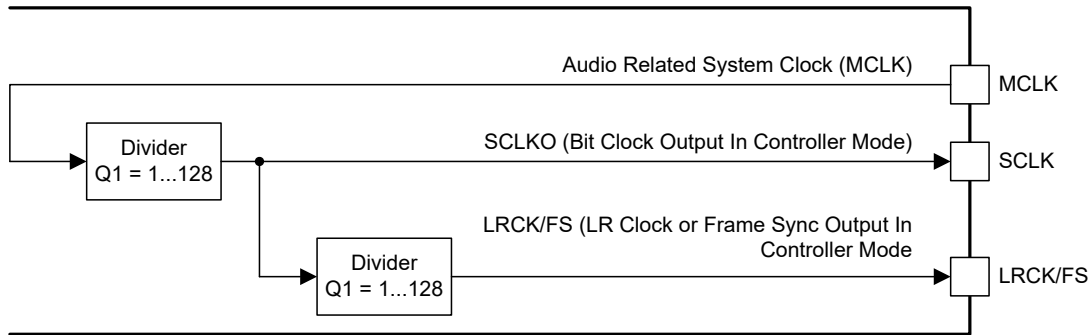


图 7-3. MCLK 源控制器模式的简化时钟树

在控制器模式下，MCLK 作为输入，而 SCLK 和 LRCK/FS 作为输出。SCLK 与 LRCK/FS 均通过对 MCLK 的整数分频得到。当控制器模式使用非音频速率的控制时钟源时，需要借助外部 GPIO，使 PLL 以独立模式运行。PLL 应配置为能够驱动片上处理器达到其最大运行时钟频率。关于控制器模式的具体操作方法，请参考相关部分。

当使用音频速率的控制时钟时，需要在寄存器中完成的操作包括：将器件切换至控制器模式，并设置相应的分压器分压比。一个典型的控制器模式应用实例是：使用 24.576MHz 的 MCLK 作为控制时钟源，再通过整数分频产生 48kHz 采样率所需的 SCLK 与 LRCK/FS。在控制器模式下，器件的 DAC 部分同样由 PLL 输出驱动。即便使用内部 PLL，TAS3251 器件依然能够满足所规定的音频性能。但是，使用 MCLK CMOS 振荡器源的抖动将小于 PLL。

要切换 DAC 时钟 (图 7-2 中的 SDAC)，需修改以下寄存器

- Clock Tree Flex Mode (P253-R63 和 P253-R64)
- DAC 和 OSR 源时钟寄存器 (P0-R14)。设置为 0x30 (MCLK 输入，OSR 与 DAC 源保持一致)
- DAC 时钟分频器应为 $16 f_s$ 。
 - $16 \times 48 \text{ kHz} = 768 \text{ kHz}$
 - $24.576 \text{ MHz (MCLK 输入)} / 768 \text{ kHz} = 32$
 - 因此，寄存器 DDAC (P0-R28) 的分频比应设置为 32。但根据寄存器映射规则，0x00 = 1，因此需要将 32 转换为 0x1F (31dec)。

7.3.4.2 具有 4 线运行模式的时钟目标模式 (SCLK、MCLK、LRCK/FS、SDIN)

TAS3251 器件需要系统时钟来操作数字内插滤波器 and 高级分段 DAC 调制器。系统时钟应用于 MCLK 输入端，最高支持 50MHz。TAS3251 器件系统时钟检测电路可自动检测系统时钟频率。支持常见的音频采样频率范围包括：32kHz、(44.1 - 48kHz)、(88.2 - 96kHz)。

备注

括号内的值会在检测时被分组。例如，88.2kHz 和 96kHz 会被识别为双倍速率，而 32kHz、44.1kHz 和 48kHz 会识别为单倍速率，依此类推。

当检测到有效的 MCLK、SCLK 和 LRCK/FS 时，器件会自动配置时钟树和 PLL，以满足 miniDSP 的运行需求。

采样频率检测器还会自动为数字滤波器、 Δ - Σ 调制器 (DSM) 和负电荷泵 (NCP) 设置时钟。表 7-1 展示了常见音频采样率的系统时钟频率示例。

此外，对于那些不属于标准音频时钟的 MCLK 频率 (1MHz 和 50MHz 范围内)，也可以通过直接配置 PLL 和时钟分频寄存器来获得支持。在目标模式下，需要通过 P0-R37 禁用自动时钟模式。此外，在某些配置过程中，如果外部时钟暂时不可用，或者引脚上提供的时钟信号无效，用户可能需要忽略时钟错误检测。器件的可编程性使其能够进入一种高级模式：在该模式下，器件充当时钟控制器，从一个非音频相关的时钟源生成并输出 LRCK/FS 与 SCLK，用来驱动主机串行端口。例如，可以利用 12MHz 的输入时钟来生成 44.1kHz [LRCK/FS] 和 2.8224MHz [SCLK]。

表 7-1 展示了系统时钟输入的时序要求。为了获得最佳性能，建议使用低相位抖动、低噪声的时钟源。如需了解 MCLK 时序要求，可参阅 节 6.11 部分。

表 7-1. 音频相关时钟的系统控制器时钟输入

采样 频率	系统时钟频率 (f _{MCLK}) (MHz)					
	64 f _S	128 f _S	192 f _S	256 f _S	384 f _S	512 f _S
8kHz	请参阅	1.024	1.536	2.048	3.072	4.096
16kHz		2.048	3.072	4.096	6.144	8.192
32kHz		4.096	6.144	8.192	12.288	16.384
44.1kHz		5.6488	8.4672	11.2896	16.9344	22.5792
48kHz		6.144	9.216	12.288	18.432	24.576
88.2kHz		11.2896	16.9344	22.5792	33.8688	45.1584
96kHz		12.288	18.432	24.576	36.864	49.152

7.3.4.3 使用 SCLK PLL 生成内部时钟的时钟目标模式 (3 线 PCM)

7.3.4.3.1 使用 PLL 进行时钟生成

TAS3251 器件支持多种选项来生成所需的时钟，如 图 7-2 所示。

PLL 的时钟需要一个源基准时钟。此时钟可源自外部输入的 SCLK 或 MCLK，亦可配置 GPIO 引脚作为时钟源。

PLL 参考时钟的源参考时钟通过对 P0-R13 中 D[6:4] 的 SRCREF 值进行编程来选择。TAS3251 器件提供多个可编程时钟分频器来实现各种采样速率。请参阅 图 7-2。

如果不需要 PLL 功能，请将 P0-R4 上 D[0] 的 PLEN 值设置为 0。在这种情况下，需要外部控制器时钟。

表 7-2. PLL 配置寄存器

时钟多路复用器		
寄存器	功能	位
SREF	PLL 基准	B0-P0-R13-D[6:4]
DDSP	时钟分频器	B0-P0-R27-D[6:0]
DSCLK	外部 SCLK 分频器	B0-P0-R32-D[6:0]
DLRK	外部 LRCK/FS 分频	B0-P0-R33-D[7:0]

7.3.4.3.2 PLL 计算

TAS3251 器件具备片上 PLL，并采用分数倍频来生成数字信号处理块所需的时钟频率。PLL 具有可编程性，能够在系统提供的各种时钟下运行。PLL 输入 (PLLCKIN) 支持 1MHz 至 50MHz 的时钟频率，并且可通过寄存器编程来生成所需采样率和高精度。

默认情况下启用 PLL。可以通过写入 P0-R4、D[0] 来启用 PLL。当 PLL 启用时，PLL 输出时钟 PLLCK 通过[方程式 1](#)得出：

$$\text{PLLCK} = \frac{\text{PLLCKIN} \times R \times J.D}{P} \quad \text{or} \quad \text{PLLCK} = \frac{\text{PLLCKIN} \times R \times K}{P} \quad (1)$$

其中

- R = 1、2、3、4...、15、16
- J = 4、5、6...63，D = 0000、0001、0002...9999
- K = [J 值].[D 值]
- P = 1、2、3...15

R、J、D 和 P 可编程。J 是 K 的整数部分（小数点左侧的数字），而 D 是 K 的小数部分（小数点右侧的数字，假设精度为四位数）。

7.3.4.3.2.1 示例：

- 如果 K = 8.5，则 J = 8、D = 5000
- 如果 K = 7.12，则 J = 7、D = 1200
- 如果 K = 14.03，则 J = 14、D = 0300
- 如果 K = 6.0004，则 J = 6、D = 0004

当 PLL 启用且 D = 0000 时，必须满足以下条件：

- $1\text{MHz} \leq (\text{PLLCKIN} / P) \leq 20\text{MHz}$
- $64\text{MHz} \leq (\text{PLLCKIN} \times K \times R / P) \leq 100\text{MHz}$
- $1 \leq J \leq 63$

当 PLL 启用且 D ≠ 0000 时，必须满足以下条件：

- $6.667\text{MHz} \leq \text{PLLCLKIN} / P \leq 20\text{MHz}$
- $64\text{MHz} \leq (\text{PLLCKIN} \times K \times R / P) \leq 100\text{MHz}$
- $4 \leq J \leq 11$
- R=1

启用 PLL 时，

- $f_S = (\text{PLLCLKIN} \times K \times R) / (2048 \times P)$
- 选择 N 的值，以便 $f_S \times N = \text{PLLCLKIN} \times K \times R / P$ 在允许范围内。

示例：MCLK = 12MHz 且 $f_S = 44.1\text{kHz}$ ，(N=2048)

选择 P = 1、R = 1、K = 7.5264，得出 J = 7、D = 5264

示例：MCLK = 12MHz 且 $f_S = 48\text{kHz}$ ，(N=2048)

选择 P = 1、R = 1、K = 8.192，得出 J = 8、D = 1920

值写入 [表 7-3](#) 中的寄存器。

表 7-3. PLL 寄存器

分频器	功能	位
PLLE	PLL 启用	P0-R4，[0]

表 7-3. PLL 寄存器 (续)

分频器	功能	位
PPDV	PLL P	P0-R20, [3:0]
PJDV	PLL J	P0-R21, [5:0]
PDDV	PLL D	P0-R22, [5:0]
		P0-R23, [7:0]
PRDV	PLL R	P0-R24, [3:0]

表 7-4. PLL 配置建议

公式	说明
f_s (kHz)	采样频率
R_{MCLK}	采样频率与 MCLK 频率之比 (MCLK 频率 = $R_{MCLK} \times$ 采样频率)
MCLK (MHz)	MCLK 输入端的系统控制器时钟频率 (引脚 20)
PLL VCO (MHz)	PLL VCO 频率, 如 图 7-2 中的 PLLCK
P	方程式 1 中的 PLL 系数之一
PLL REF (MHz)	由 MCLK / P 产生的内部基准时钟频率
$M = K \times R$	最后一个 PLL 乘法因子从 K 和 R 计算得出, 如 方程式 1 中所述
$K = J \cdot D$	方程式 1 中的 PLL 系数之一
R	方程式 1 中的 PLL 系数之一
PLL f_s	f_s 与 PLL VCO 频率之比 (PLL VCO / f_s)
DSP f_s	工作时钟速率与 f_s 之比 (PLL f_s / NMAC)
NMAC	表 7-2 中的时钟分频器值
DSP CLK (MHz)	工作频率, 如 图 7-2 中的 DSPCK
MOD f_s	DAC 工作时钟频率与 f_s 之比 (PLL f_s / NDAC)
MOD f (kHz)	DAC 工作频率, 如下面的 DACCK:
NDAC	表 7-2 中的 DAC 时钟分频器值
DOSR	表 7-2 中的 OSR 时钟分频器值, 用于在 图 7-2 中生成 OSRCK。必须选择 DOSR, 使 MOD f_s / DOSR = 16 才能正常运行。
NCP	表 7-2 中的 NCP (负电荷泵) 时钟分频器值
CP f	负电荷泵时钟频率 ($f_s \times$ MOD f_s / NCP)
误差百分比	PLL VCO/PLL f_s 和 f_s 之间的误差百分比 (失配误差)。 - 该值通常为零, 但可以为非零, 尤其是在 K 不是整数 (D 不为零) 时。 - 仅当 TAS3251 器件充当控制器时, 该值才可以为非零。

前面的公式说明了如何计算配置 PLL 所需的所有系数和控制。表 7-5 提供了 PLL 作为控制器时钟的推荐时钟分频器设置的便捷参考。

表 7-5. PLL 作为控制器时钟的建议时钟分频器设置

f_s (kHz)	R_{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	$M = K \times R$	$K = J \times D$	R	PLL f_s	DSP f_s	NMAC	DSP CLK (MHz)	MOD f_s	MOD f (kHz)	NDAC	DOSR	百分比误 差	NCP	CP f (kHz)
8	128	1.024	98.304	1	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	192	1.536	98.304	1	1.536	64	32	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	256	2.048	98.304	1	2.048	48	48	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	384	3.072	98.304	3	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	512	4.096	98.304	3	1.365	72	36	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	768	6.144	98.304	3	2.048	48	48	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1024	8.192	98.304	3	2.731	36	36	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1152	9.216	98.304	9	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1536	12.288	98.304	9	1.365	72	36	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	2048	16.384	98.304	9	1.82	54	54	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
11.025	3072	24.576	98.304	9	2.731	36	36	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	128	1.4112	90.3168	1	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	192	2.1168	90.3168	3	0.706	128	32	4	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	256	2.8224	90.3168	1	2.822	32	32	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	384	4.2336	90.3168	3	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	512	5.6448	90.3168	3	1.882	48	48	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	768	8.4672	90.3168	3	2.822	32	32	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1024	11.2896	90.3168	3	3.763	24	24	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1152	12.7008	90.3168	9	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1536	16.9344	90.3168	9	1.882	48	48	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
16	2048	22.5792	90.3168	9	2.509	36	36	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	3072	33.8688	90.3168	9	3.763	24	24	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	64	1.024	98.304	1	1.024	96	48	2	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	128	2.048	98.304	1	2.048	48	48	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	192	3.072	98.304	1	3.072	32	32	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	256	4.096	98.304	1	4.096	24	24	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	384	6.144	98.304	3	2.048	48	48	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	512	8.192	98.304	3	2.731	36	36	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	768	12.288	98.304	3	4.096	24	24	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1024	16.384	98.304	3	5.461	18	18	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1152	18.432	98.304	3	6.144	16	16	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1536	24.576	98.304	9	2.731	36	36	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	2048	32.768	98.304	9	3.641	27	27	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	3072	49.152	98.304	9	5.461	18	18	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536

表 7-5. PLL 作为控制器时钟的建议时钟分频器设置 (续)

f _s (kHz)	R _{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	M = K×R	K = J×D	R	PLL f _s	DSP f _s	NMAC	DSP CLK (MHz)	MOD f _s	MOD f (kHz)	NDAC	DOSR	百分比误 差	NCP	CP f (kHz)
22.05	64	1.4112	90.3168	1	1.411	64	32	2	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	128	2.8224	90.3168	1	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	192	4.2336	90.3168	3	1.411	64	32	2	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	256	5.6448	90.3168	1	5.645	16	16	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	384	8.4672	90.3168	3	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	512	11.2896	90.3168	3	3.763	24	24	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	768	16.9344	90.3168	3	5.645	16	16	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1024	22.5792	90.3168	3	7.526	12	12	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1152	25.4016	90.3168	9	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1536	33.8688	90.3168	9	3.763	24	24	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
32	2048	45.1584	90.3168	9	5.018	18	18	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	32	1.024	98.304	1	1.024	96	48	2	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	48	1.536	98.304	1	1.536	64	16	4	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	64	2.048	98.304	1	2.048	48	24	2	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	128	4.096	98.304	1	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	192	6.144	98.304	3	2.048	48	48	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	256	8.192	98.304	2	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	384	12.288	98.304	3	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	512	16.384	98.304	3	5.461	18	18	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	768	24.576	98.304	3	8.192	12	12	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
44.1	1024	32.768	98.304	3	10.923	9	9	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	1152	36.864	98.304	9	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	1536	49.152	98.304	6	8.192	12	12	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	32	1.4112	90.3168	1	1.411	64	32	2	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	64	2.8224	90.3168	1	2.822	32	16	2	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	128	5.6448	90.3168	1	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	192	8.4672	90.3168	3	2.822	32	32	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	256	11.2896	90.3168	2	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	384	16.9344	90.3168	3	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	512	22.5792	90.3168	3	7.526	12	12	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
44.1	768	33.8688	90.3168	3	11.29	8	8	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	1024	45.1584	90.3168	3	15.053	6	6	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2

表 7-5. PLL 作为控制器时钟的建议时钟分频器设置 (续)

f_s (kHz)	R_{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	$M = K \times R$	$K = J \times D$	R	PLL f_s	DSP f_s	NMAC	DSP CLK (MHz)	MOD f_s	MOD f (kHz)	NDAC	DOSR	百分比误 差	NCP	CP f (kHz)
48	32	1.536	98.304	1	1.536	64	32	2	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	64	3.072	98.304	1	3.072	32	16	2	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	128	6.144	98.304	1	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	192	9.216	98.304	3	3.072	32	32	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	256	12.288	98.304	2	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	384	18.432	98.304	3	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	512	24.576	98.304	3	8.192	12	12	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	768	36.864	98.304	3	12.288	8	8	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	1024	49.152	98.304	3	16.384	6	6	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
96	32	3.072	98.304	1	3.072	32	16	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	48	4.608	98.304	3	1.536	64	32	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	64	6.144	98.304	1	6.144	16	8	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	128	12.288	98.304	2	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	192	18.432	98.304	3	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	256	24.576	98.304	4	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	384	36.864	98.304	6	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	512	49.152	98.304	8	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536

7.3.4.4 串行音频端口 - 数据格式和位深度

串行音频接口端口是一个 3 线串行端口，传输的信号为 LRCK/FS (引脚 25)、SCLK (引脚 23) 和 SDIN (引脚 24)。SCLK 是串行音频位时钟，用于将 SDIN 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据在 SCLK 的上升沿传入 TAS3251 器件。当器件在 TDM 模式下运行时，LRCK/FS 引脚是串行音频左/右字时钟或帧同步。

表 7-6. TAS3251 器件音频数据格式、位深度和时钟速率

格式	数据位	最大 LRCK/FS 频率 (kHz)	MCLK 速率 (f _s)	SCLK 速率 (f _s)
I ² S/LJ/RJ	32、24、20、16	高达 96	128 至 3072 (≤ 50MHz)	64、48、32
TDM/DSP	32、24、20、16	高达 48	128 至 3072	125、256
		96	128 至 512	125、256

TAS3251 器件需要 LRCK/FS 与系统时钟同步，但不要求 LRCK/FS 与系统时钟之间特定的相位关系。

如果 LRCK/FS 与系统时钟之间的关系变化超过 ±5 MCLK，则在一个采样周期内初始化内部操作，并将模拟输出强制保持在双极性零电平，直到 LRCK/FS 与系统时钟重新完成同步为止。

如果 LRCK/FS 与 SCLK 之间的关系连续超过 4 个 LRCK/FS 周期无效，器件将在一个采样周期内初始化内部操作，并将模拟输出强制保持在双极性零电平，直到 LRCK/FS 与 SCLK 重新完成同步为止。

7.3.4.4.1 数据格式和控制器或目标操作模式

TAS3251 器件支持业界通用音频数据格式，包括标准 I²S 和左对齐。通过寄存器 (P0-R40) 选择数据格式。所有格式都需要二进制补码、MSB 在前的音频数据；接受高达 32 位的音频数据。图 7-4 至图 7-9 详细介绍了数据格式。

TAS3251 器件还支持右对齐和 TDM/DSP 数据。使用寄存器 (P0-R40) 选择 I²S、LJ、RJ 和 TDM/DSP。所有格式都需要二进制补码、MSB 优先的音频数据。最多接受 32 位。默认设置为 I²S 和 24 位字长。I²S 目标时序如图 6-3 所示。

显示了串行音频接口的详细计时示意图。

除了用作 I²S 目标外，TAS3251 器件还可以充当 I²S 控制器，通过将 MCLK 输入生成的 SCLK 和 LRCK/FS 输出。表 7-7 列出了用于将器件置于控制器或目标模式的寄存器。有关控制器模式下的串行音频接口时序要求，请参阅 节 6.11 部分。有关目标模式时序，请参阅 节 6.10 部分。

表 7-7. I²S 控制器模式寄存器

寄存器	功能
P0-R9-B0、B4 和 B5	I ² S 控制器模式选择
P0-R32-D[6:0]	SCLK 分频器和 LRCK/FS 分频器
P0-R33-D[7:0]	

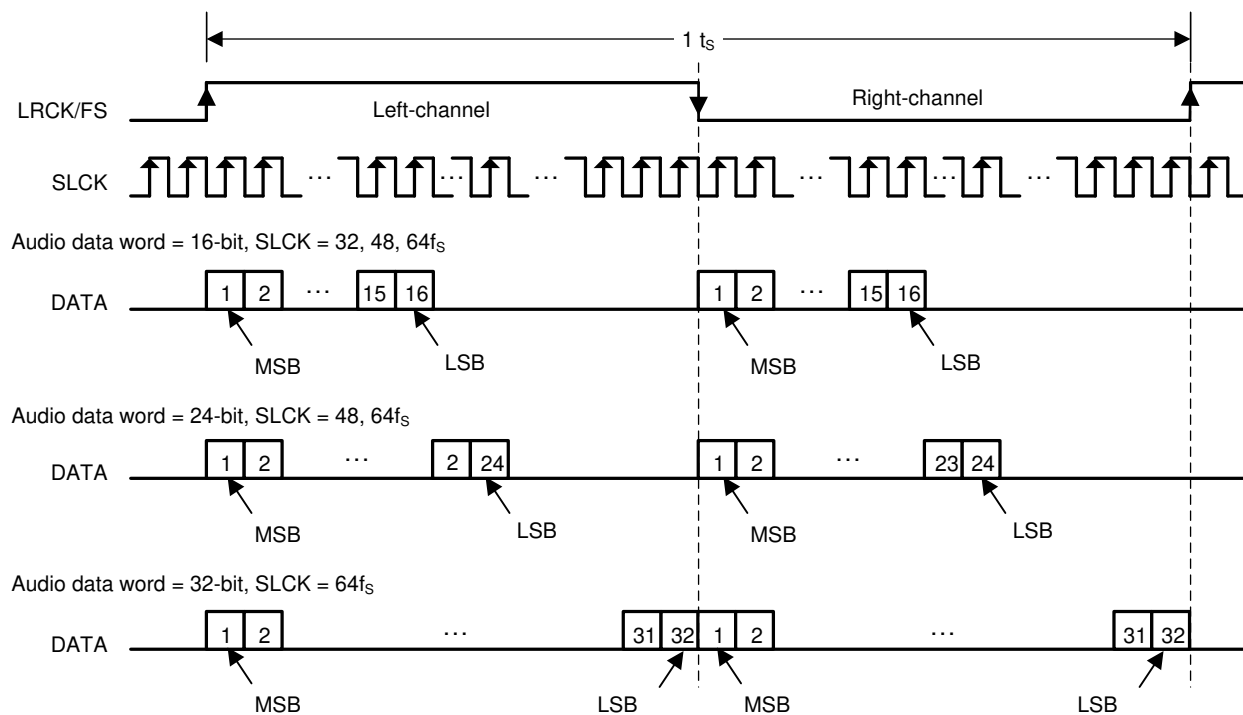
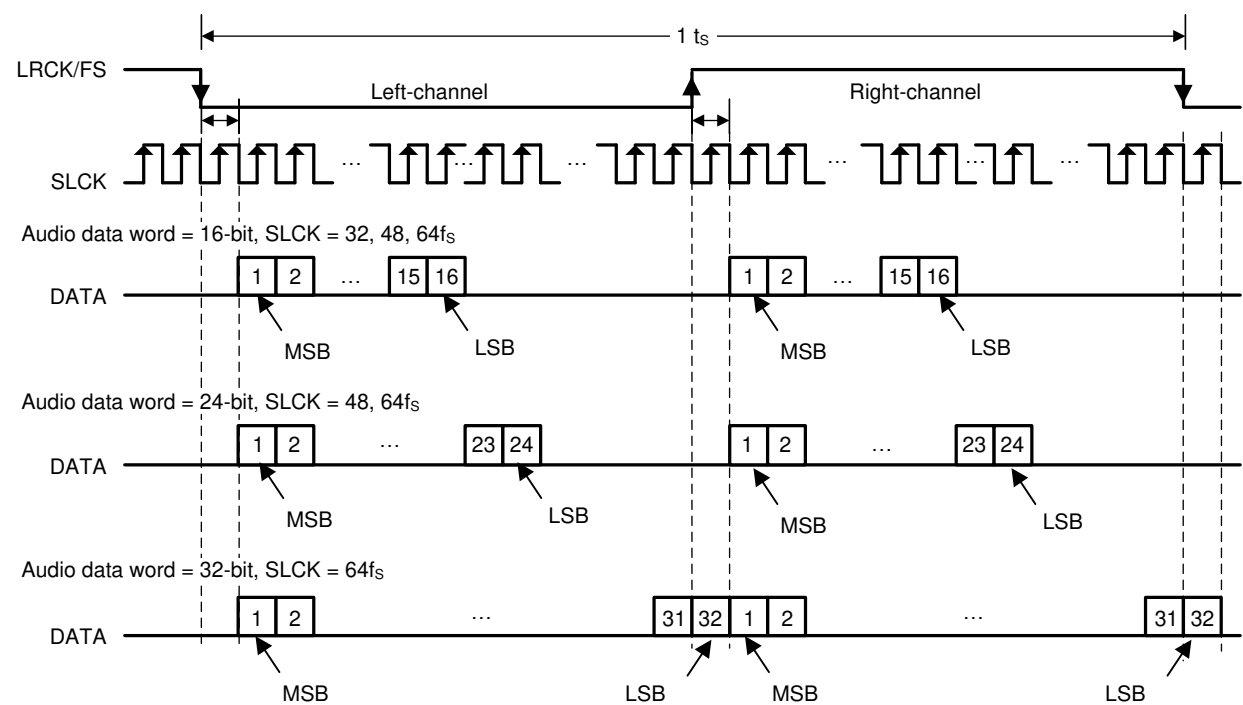


图 7-4. 左对齐音频数据格式



I²S 数据格式；左通道 = 低电平，右通道 = 高电平

图 7-5. I²S 音频数据格式

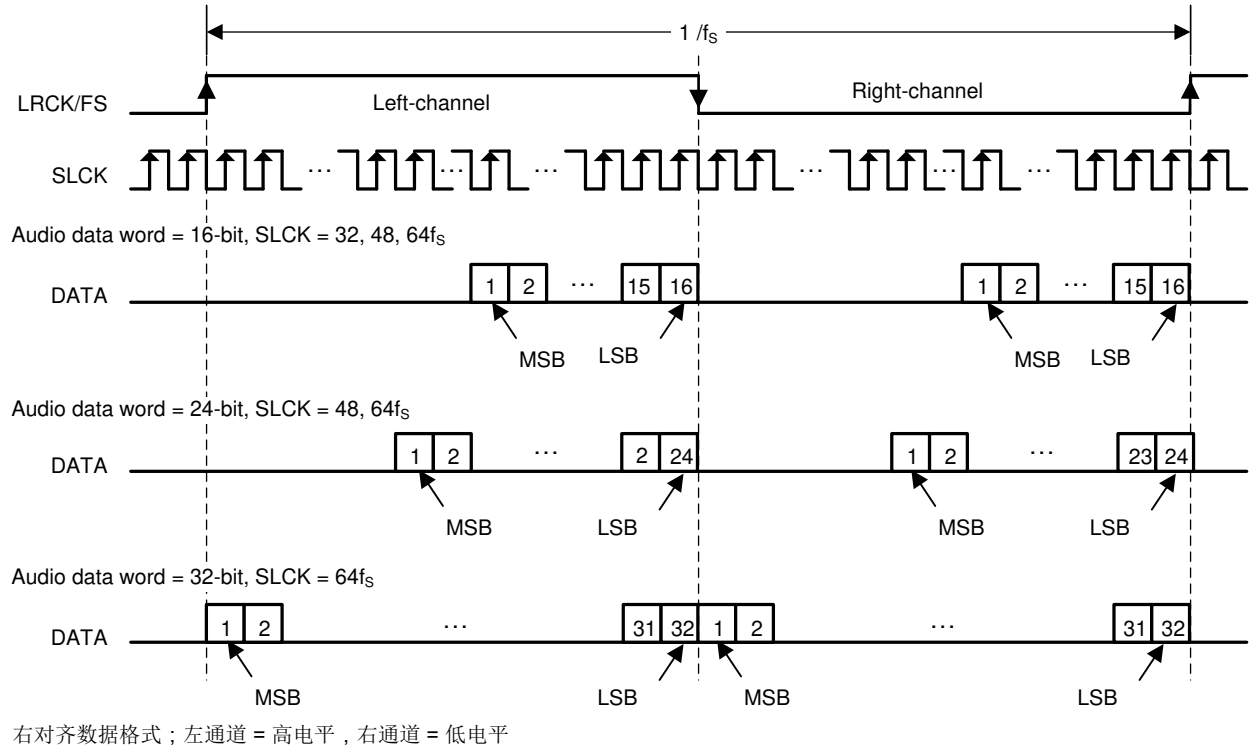
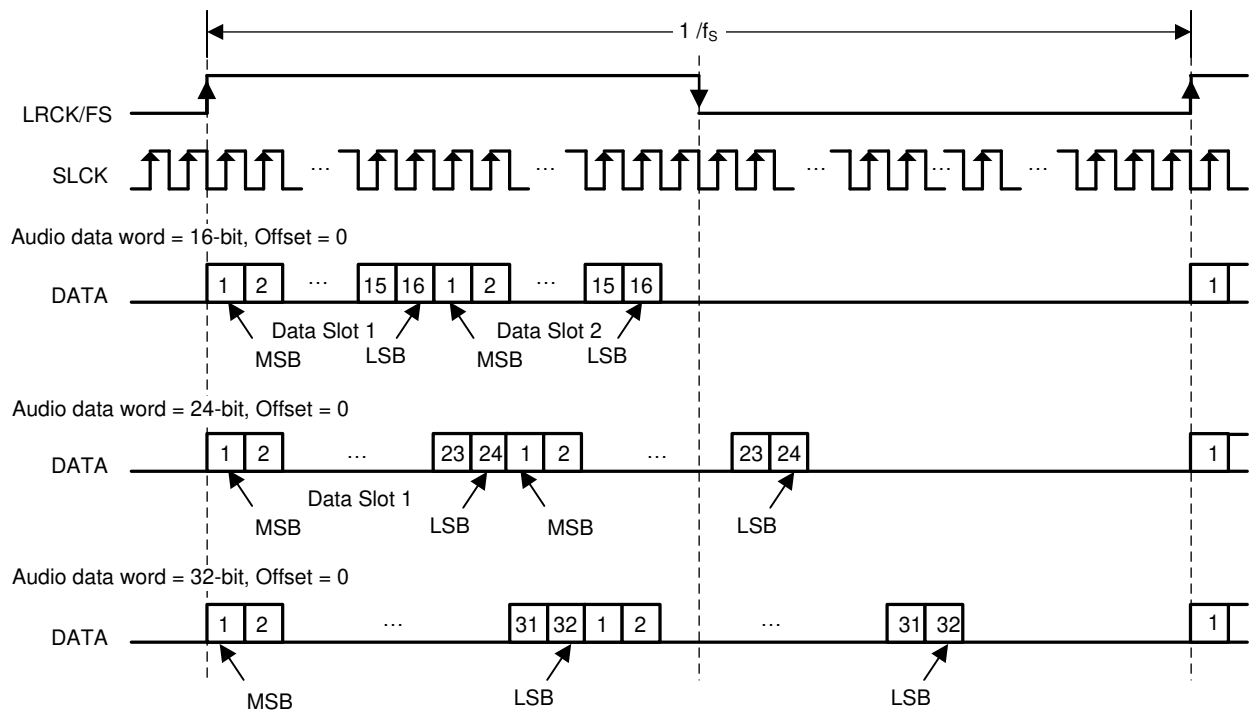
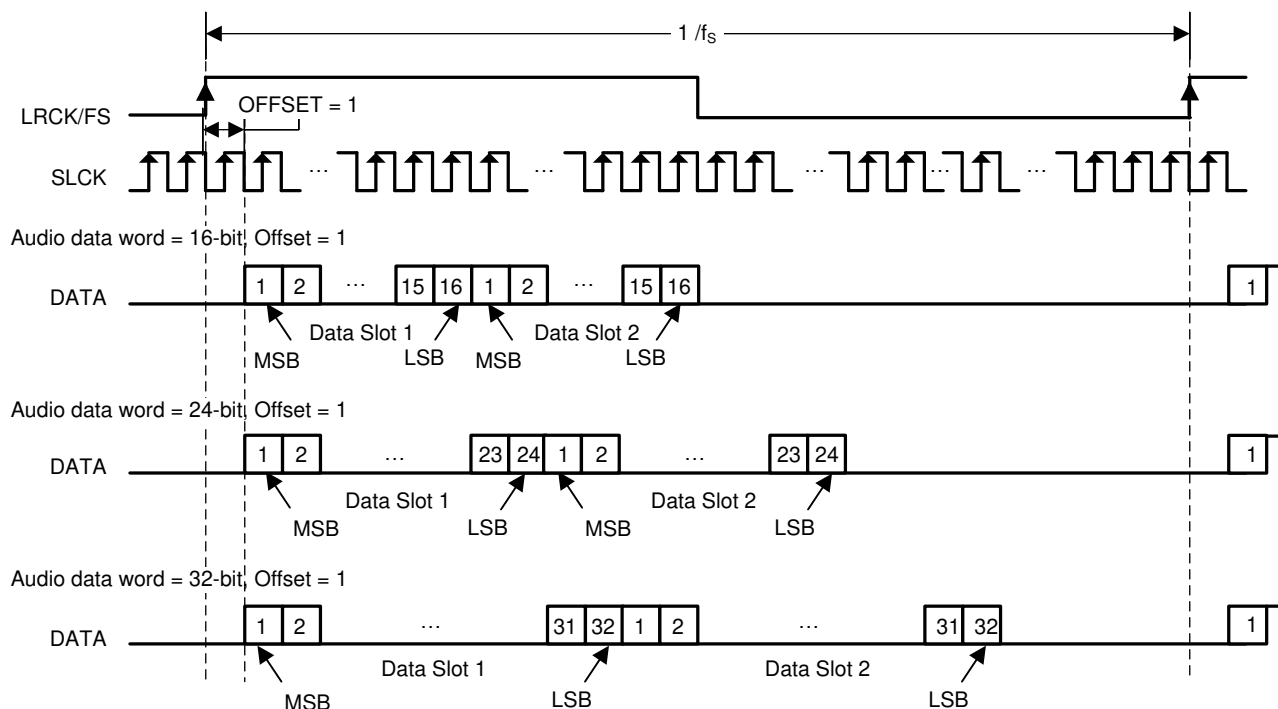


图 7-6. 右对齐音频数据格式



在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

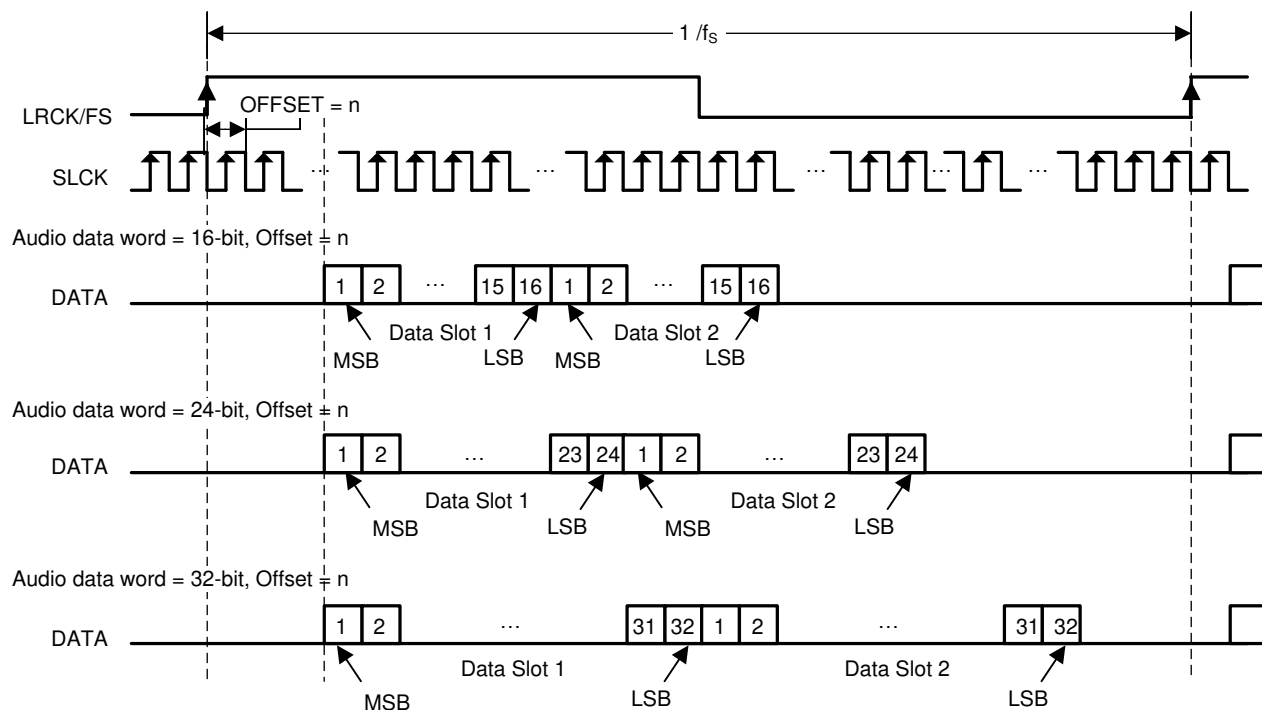
图 7-7. TDM/DSP 1 音频数据格式



偏移 = 1 时的 TDM/DSP 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 7-8. TDM/DSP 2 音频数据格式



偏移 = N 时的 TDM/DSP 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 7-9. TDM/DSP 3 音频数据格式

7.3.4.5 输入信号检测 (节能模式)

TAS3251 器件具有零检测功能。零检测功能可通过 P0-R65-D[2:1] 控制端口提供的控制，以 AND 或 OR 方式应用于两个数据通道。连续零数据周期由 LRCK/FS 计数，模拟静音的判定阈值可由 P0-R59 设置：D[6:4] 对应在 I²S 信号左帧或 TDM 信号时隙 1 中采入的数据，D[2:0] 对应在 I²S 信号右帧或 TDM 信号时隙 2 中采入的数据，如表 7-9 中所示。两个通道的默认值均为 0。

表 7-8. 零检测模式

ATMUTECTL	值	功能
位 : 2	0	用于零检测的两个通道的零数据触发器通过 OR 逻辑连接在一起。
	1 (默认值)	用于零检测的两个通道的零数据触发器通过 AND 逻辑连接在一起。
位 : 1	0	对于在 I ² S 信号右帧或 TDM 信号时隙 2 上采入的数据，零检测和模拟静音被禁用。
	1 (默认值)	对于在 I ² S 信号右帧或 TDM 信号时隙 2 上采入的数据，零检测和模拟静音被启用。
位 : 0	0	对于在 I ² S 信号的左帧或 TDM 信号的时隙 1 上时钟输入的数据，零检测和模拟静音被禁用。
	1 (默认值)	对于在 I ² S 信号左帧或 TDM 信号时隙 1 上采入的数据，零检测和模拟静音被启用。

表 7-9. 零数据检测时间

ATMUTETIML 或 ATMA	LRCK/FS CYCLES 周期数量	48kHz 时的 TIME
0 0 0	1024	21ms
0 0 1	5120	106ms
0 1 0	10240	213ms
0 1 1	25600	533ms
1 0 0	51200	1.066 秒
1 0 1	102400	2.133 秒
1 1 0	256000	5.333 秒
1 1 1	512000	10.66 秒

7.3.5 音量控制

7.3.5.1 DAC 数字增益控制

每个通道均提供一个基本的 DAC 数字增益控制器，其范围介于 24dB 至 -103dB 之间并可静音，其中 SPK_OUTB± 由 P0-R61-D[7:0] 控制，SPK_OUTA± 由 P0-R62-D[7:0] 控制。在大多数增益和衰减范围内，这些音量控制均支持以 0.5dB 为步进进行编程。表 7-10 列出了基本音量控制的详细增益与编程设置。通过配置 P0-R61-D[1:0]，可以同时或独立地更改 SPK_OUTB± 和 SPK_OUTA± 的音量。当 D[1:0] 设置为 00 (默认值) 时，选择独立控制。当 D[1:0] 设置为 01 时，SPK_OUTA± 与 SPK_OUTB± 的音量保持一致。当 D[1:0] 设置为 10 时，SPK_OUTA± 的音量控制两个通道的音量。禁止将 D[1:0] 设置为 11。

表 7-10. DAC 数字增益控制设置

增益设置	二进制数据	增益 (dB)	注释
0	0000-0000	24.0	正最大值
1	0000-0001	23.5	
⋮	⋮	⋮	
46	0010-1110	1.0	

表 7-10. DAC 数字增益控制设置 (续)

增益设置	二进制数据	增益 (dB)	注释
47	0010-1111	0.5	
48	0011-0000	0.0	无衰减 (默认)
49	0011-0001	-0.5	
50	0011-0010	-1.0	
51	0011-0011	-1.5	
⋮	⋮	⋮	
253	1111-1101	-102.5	
254	1111-1110	-103	负最大值
255	1111-1111	-∞	负无限 (静音)

斜升频率和斜降频率可由 P0-R63、D[7:6] 和 D[3:2] 控制，如 表 7-11 所示。也可以通过 P0-R63、D[5:4] 和 D[1:0] 来控制斜升和斜降阶跃，如 表 7-12 所示。

表 7-11. 斜升或斜降频率

斜升速度	每 N f _S	注释	斜降频率	每 N f _S	注释
00	1	默认值	00	1	默认值
01	2		01	2	
10	4		10	4	
11	方向更改		11	方向更改	

表 7-12. 斜升或斜降阶跃

斜升阶跃	阶跃 dB	注释	斜降阶跃	阶跃 dB	注释
00	4.0		00	-4.0	
01	2.0		01	-2.0	
10	1.0	默认值	10	-1.0	默认值
11	0.5		11	-0.5	

7.3.5.1.1 紧急音量渐降

该功能为诸如 I²S 时钟错误和电源故障等情况提供了音量紧急渐降机制。渐降速度由 P0-R64-D[7:6] 控制。渐降步进由 P0-R64-D[5:4] 控制。默认情况下，每个 f_S 周期以 -4dB 的步进来执行渐降。

7.3.6 SDOUT 端口和硬件控制引脚

TAS3251 器件包含一个多功能 GPIO 端口 (SDOUT 引脚)，允许信号从系统传递到器件或从器件发送到系统。此引脚可用于高级时钟特性，以将内部信号传递到系统或接受来自系统的信号，以便在给定处理流程的情况下在器件内部使用。SDOUT 引脚支持串行数据输出和图 7-10 中所述的功能。寄存器映射可用于配置 SDOUT 引脚的功能。

以下是一些用于启用 SDOUT 引脚的关键寄存器：

- 页 0，寄存器 7，位 0 (SDSL) - 选择 SDOUT 数据是进行前置 DSP 还是 DSP 后处理。
- 页 0，寄存器 9，位 5 (SDDIR) - 选择 SDOUT 引脚作为输入或输出。
- 有关配置 SDOUT 引脚功能的更多详细信息，请参阅寄存器映射。

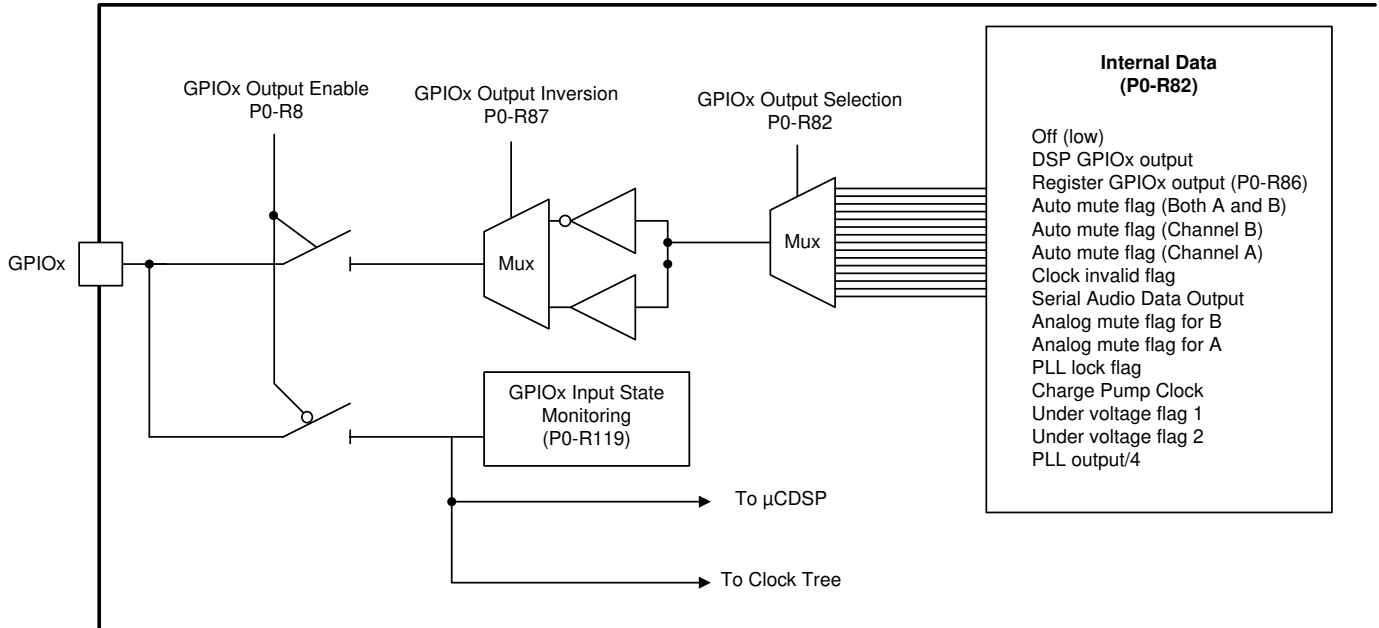


图 7-10. SDOUT GPIO 端口

7.3.7 I²C 通信端口

TAS3251 器件作为目标器件支持 I²C 串行总线以及标准和快速模式的数据传输协议。由于 TAS3251 寄存器映射涵盖多个簿和页，用户必须在对各个寄存器位或字节进行写入之前选择正确的簿和页。从一个簿切换到另一个簿的操作是先将页切换到 0x00（向寄存器 0x00 写入 0x00），然后将簿编号写入页 0 的寄存器 0x7f。每页的切换是通过每页上的寄存器 0x00 实现的。该寄存器的值用于选择寄存器页，范围为 0 到 255。

7.3.7.1 目标地址

表 7-13. I²C 目标地址

MSB							LSB
1	0	0	1	0	1	ADR	R/ W

TAS3251 器件具有七位目标地址。地址字节的最后一位是器件选择位，可通过将 ADR 引脚设置为高电平或低电平来选择。同一总线上最多可同时连接两个器件，因此有两种选择方式：0x94 和 0x96。有关更多详细信息，请参阅表 7-14。每个 TAS3251 器件收到目标地址时都会做出响应。

表 7-14. 使用 ADR 引脚进行 I²C 地址配置

ADR 引脚/位	I ² C 目标地址 + [R/ W]
0	0x94
1	0x96

7.3.7.2 寄存器地址自动增量模式

自动增量模式允许在单次操作中写入或读取多个连续寄存器地址，该模式特别适用于块写入和读取操作。TAS3251 器件自动支持自动增量模式。自动增量在页面退回时停止。

7.3.7.3 数据包协议

控制器器件必须控制数据包协议，该协议包括起始条件、目标地址、读/写位、写入操作的数据或读取操作的应答，以及停止条件。TAS3251 器件仅支持目标接收器和目标发送器。

Target address

图 7-11. 数据包协议

表 7-15. 写入操作 - 基本 I²C 框架

发送器	M	M	M	S	M	S	M	S		S	M
数据类型	St	目标地址	R/	ACK	DATA	ACK	DATA	ACK		ACK	Sp

表 7-16. 读取操作 - 基本 I²C 框架

发送器	M	M	M	S	S	M	S	M		M	M
数据类型	St	目标地址	R/	ACK	DATA	ACK	DATA	ACK		NACK	Sp

M = 控制器器件；S = 目标器件；St = 启动条件；Sp = 停止条件

7.3.7.4 写入寄存器

控制器可以通过单次或多次访问向任何 TAS3251 器件寄存器写入数据。控制器发送 TAS3251 器件目标地址（带写位）、寄存器地址（带自动递增位）以及数据。如果启用了自动递增，寄存器地址为起始寄存器地址，随后是要传输的数据。正确接收数据后，索引寄存器自动递增 1。当索引寄存器达到 0x7F 时，下一个值为 0x0。表 7-17 显示了写入操作。

表 7-17. 写入操作

发送器	M	M	M	S	M	S	M	S	M	S		S	M
-----	---	---	---	---	---	---	---	---	---	---	--	---	---

表 7-17. 写入操作 (续)

数据类型	St	target addr	W	ACK	inc	reg addr	ACK	write data 1	ACK	write data 2	ACK		ACK	Sp
------	----	-------------	---	-----	-----	----------	-----	--------------	-----	--------------	-----	--	-----	----

M = 控制器器件；S = 目标器件；St = 启动条件；Sp = 停止条件；W = 写入；ACK = 应答

7.3.7.5 读取寄存器

控制器可以读取 TAS3251 器件寄存器。寄存器地址的值提前存储在间接索引寄存器中。在存储寄存器地址后，控制器会发送带有读取位的 TAS3251 器件目标地址。然后，TAS3251 器件传输索引寄存器指向的数据。启用自动递增后，索引寄存器自动递增 1。当索引寄存器达到 0x7F 时，下一个值为 0x0。表 7-18 列出了读取操作。

表 7-18. 读取操作

发送器	M	M	M	S	M	S	M	M	M	S	S	M		M	M
数据类型	St	target addr	W	ACK	inc	reg addr	ACK	Sr	target addr	R	ACK	data	ACK	NACK	Sp

M = 控制器器件；S = 目标器件；St = 启动条件；Sr = 重复启动条件；Sp = 停止条件；W = 写入；R = 读取；NACK = 无应答

7.3.7.6 DSP 簿、页和寄存器更新

DSP 存储器以簿、页和寄存器的形式排列。每个簿包含若干个页，每个页包含若干个寄存器。

7.3.7.6.1 簿和页更改

要更改簿，用户必须位于页 0x00。您可以在 0x00 页的寄存器 0x7f 中更改簿。在每簿的 0x00 页上，寄存器 0x7f 用于更改簿。每页的寄存器 0x00 用于更改该页。要更改簿，首先向寄存器 0x00 写入 0x00 以切换到页 0，然后将簿编号写入页 0 上的寄存器 0x7f。要在簿中的各页之间切换，只需将页码写入寄存器 0x00 即可。

7.3.7.6.2 交换标志

交换标志用于将音频系数从主机存储器复制到 DSP 存储器。交换标志功能对于保持 BQ 的稳定性非常重要。BQ 是具有 5 个系数的闭环系统。为了避免在两个不同滤波器之间更新切换时 BQ 出现不稳定，应在一个音频采样周期内更新所有五个参数。内部交换标志确保每个滤波器的所有 5 个系数都从主机存储器传输到 DSP 存储器在一个音频采样周期内完成。交换标志会保持高电平，直到整个主机缓冲器传输到 DSP 存储器。当交换标志为高电平时，不应更新主机缓冲器。

簿 0x8C 中高于 0x1B 的页且寄存器为 0x58 的所有写入都需要交换标志。交换标志位于簿 0x8C、页 0x05 页 0x01 和寄存器 0x7C 中，必须设置为 0x00 00 00 01 才能交换。

7.3.7.6.3 使用示例

以下是一个示例脚本，用于使用 DSP 主机存储器更改 I²C 目标地址 0x90 上的器件的精细音量，将其设为 0dB 的默认值：

```
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8C
w 90 00 21 #Go to page 0x21
w 90 34 40 00 00 00 #Fine volume Left
w 90 38 40 00 00 00 #Fine volume Rights
#Run the swap flag for the DSP to work on the new coefficients
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8C
w 90 00 05 #Go to page 0x05
w 90 7c 00 00 00 01 #Swap flag
```

7.3.8 无爆裂声和咔嗒声的启动与关断

TAS3251 输出功率级 PWM 发生器通过独特的导通和关断行为，尽可能减少爆裂声和咔嗒声。该序列使用 C_START 引脚上的定时电容器，将 PWM 切换电压斜升至满 PVDD 电压。建议在 C_START 引脚与 GND 之间连接一个 10nF 电容器，以获得最佳爆裂声和咔嗒声效果。可以通过将电容增加至最高 470nF，来延长启动时间。

7.3.9 输出功率级集成振荡器

TAS3251 的放大器功率级使用内置振荡器，该振荡器可通过 FREQ_ADJ 引脚到 GND 的外部电阻进行调节。在 RESET 为低电平时，应使用 [推荐工作条件](#) 中指定的电阻值来更改振荡器频率。有关为数字前端 (DAC 和 DSP) 配置时钟的信息，请参阅 [DAC 和 DSP 时钟](#) 部分。

为了减少在 AM 频段内使用调谐无线电接收器时的干扰问题，开关频率可从标称值调整为更低或更高值。这些参数的取值应确保额定开关频率与交替开关频率共同作用时，能在整个 AM 波段内实现最少干扰现象。在控制器模式下，可通过连接到 GND 的 FREQ_ADJ 电阻值来选择振荡器频率。

7.3.9.1 振荡器同步和目标模式

TAS3251 支持同步多个 TAS3251 器件的内部振荡器和输出开关频，率以管理电源、电磁干扰并防止音频拍频现象。在目标模式下操作时，通过将 **FREQ_ADJ** 引脚拉至 **DVDD** 来关闭目标器件的振荡器。这将 **OSC_IOM** 和 **OSC_IOP** 引脚配置为输入，以便从外部差动时钟对其进行控制。在控制器/目标系统中，音频通道之间的 PWM 会自动增加通道间延迟，这一现象在各通道切换时间不同时可以看到。这不会影响音频输出，仅会调整开关时序，以尽可能减少通过电源引起的音频通道间噪声耦合。通道间延迟有助于优化音频性能，并改善电源的工作条件。将根据 **OSC_IOM** 和 **OSC_IOP** 连接的极性，为目标器件设置通道间延迟，如下所示：

- **目标 1 模式**与控制器器件的极性为正。控制器 **OSC_IOP** 和目标 **OSC_IOP** 已连接。控制器 **OSC_IOM** 和目标 **OSC_IOM** 已连接。
- **目标 2 模式**与控制器器件的极性相反。控制器 **OSC_IOP** 和目标 **OSC_IOM** 已连接。控制器 **OSC_IOM** 和目标 **OSC_IOP** 已连接。

多个目标器件可以连接到一个控制器 TAS3251。如果使用超过 2 个目标器件，最好交替设置目标模式，将相邻器件配置为不同的目标模式。针对交错通道空闲切换的通道间延迟，下表给出了控制器/目标及输出配置模式下的延迟值（以相对于 PWM 帧的角度表示）。

表 7-19. 控制器/目标通道间延迟设置

控制器	MODE = 0, 2 x BTL 模式	MODE = 1, 1 x PBTL 模式
SPK_OUTA+	0°	0°
SPK_OUTA-	180°	180°
SPK_OUTB+	60°	0°
SPK_OUTB-	240°	180°
目标 1		
SPK_OUTA+	60°	60°
SPK_OUTA-	240°	240°
SPK_OUTB+	120°	60°
SPK_OUTB-	300°	240°
目标 2		
SPK_OUTA+	30°	30°
SPK_OUTA-	210°	210°
SPK_OUTB+	90°	30°
SPK_OUTB-	270°	210°

7.3.10 器件输出级保护系统

TAS3251 包含经过精心设计的高级保护电路，有助于实现系统集成和易用性，并保护器件免受因短路、过载、过热和欠压等各种故障情况而导致的永久性故障的影响。TAS3251 通过立即将功率级设置为高阻抗 (Hi-Z) 状态并将 $\overline{\text{FAULT}}$ 引脚置为低电平来响应故障。在过载和过热错误 (OTE) 之外的情况下，器件会在故障条件消除后（即电源电压升高）自动恢复。

器件将处理错误，如 表 7-20 中所示。

表 7-20. 器件保护

BTL 模式		PBTL 模式	
本地错误	关闭	本地错误	关闭
SPK_OUTA+	A+ 和 A-	SPK_OUTA+	A+、A-、B+ 和 B-
SPK_OUTA-		SPK_OUTA-	
SPK_OUTB+	B+ 和 B-	SPK_OUTB+	
SPK_OUTB-		SPK_OUTB-	

Bootstrap UVP 不会根据表关闭，它会关闭相应的半桥（非锁存，不触发故障）。

7.3.10.1 错误报告

$\overline{\text{FAULT}}$ 和 $\overline{\text{CLIP_OTW}}$ 引脚是低电平有效的开漏输出。每个引脚都有一个 26k Ω 上拉电阻器连接至 DVDD 不需要外部上拉电阻器。其功能是向系统控制器件发送保护模式信号。

任何导致器件关断的故障都由 $\overline{\text{FAULT}}$ 引脚变为低电平发出信号。此外，当器件结温超过 125°C 时， $\overline{\text{CLIP_OTW}}$ 会变为低电平（请参见 表 7-21）。

表 7-21. 错误报告

FAULT	CLIP_OTW	说明
0	0	过热 (OTE)、过载 (OLP) 或欠压 (UVP) 结温高于 125°C (过热警告)
0	1	过载 (OLP) 或欠压 (UVP)。结温低于 125°C
1	0	结温高于 125°C (过热警告)
1	1	结温低于 125°C 且无 OLP 或 UVP 故障 (正常运行)

请注意，将 $\overline{\text{RESET}}$ 置为低电平会强制 $\overline{\text{FAULT}}$ 信号为高电平，无论是否存在故障。TI 建议使用系统微控制器监测 $\overline{\text{CLIP_OTW}}$ 信号，并通过降低音量来响应过热警告信号，从而防止器件进一步发热而导致器件关断 (OTE)。

为了减少外部元件数量， $\overline{\text{FAULT}}$ 和 $\overline{\text{CLIP_OTW}}$ 输出端均提供了一个连接到 3.3V 的内部上拉电阻器。

7.3.10.2 过载保护和短路电流保护

TAS3251 具有反应快速的电流传感器，在所有高侧和低侧 FET 上均具有可编程跳变阈值 (OC 阈值)。为了防止输出电流增加到超过编程阈值，TAS3251 可选择在每个开关周期限制输出电流（逐周期电流控制，CB3C），或在输出电流过大时立即关闭输出（锁存关断）。CB3C 可以防止因高音量音乐瞬态和实际扬声器负载阻抗下降而引起的输出电流瞬态过高导致的提前关断，同时允许将输出电流限制在最大编程水平。如果最大输出电流持续存在，即功率级因负载阻抗过低而过载，器件将关闭受影响的输出通道，并将该输出置于高阻抗 (Hi-Z) 状态，直到启动一个 $\overline{\text{RESET}}$ 周期。CB3C 对每个半桥输出独立工作。如果触发过流事件，CB3C 会对半桥输出进行状态翻转，并在下一个 PWM 帧开始时清除。

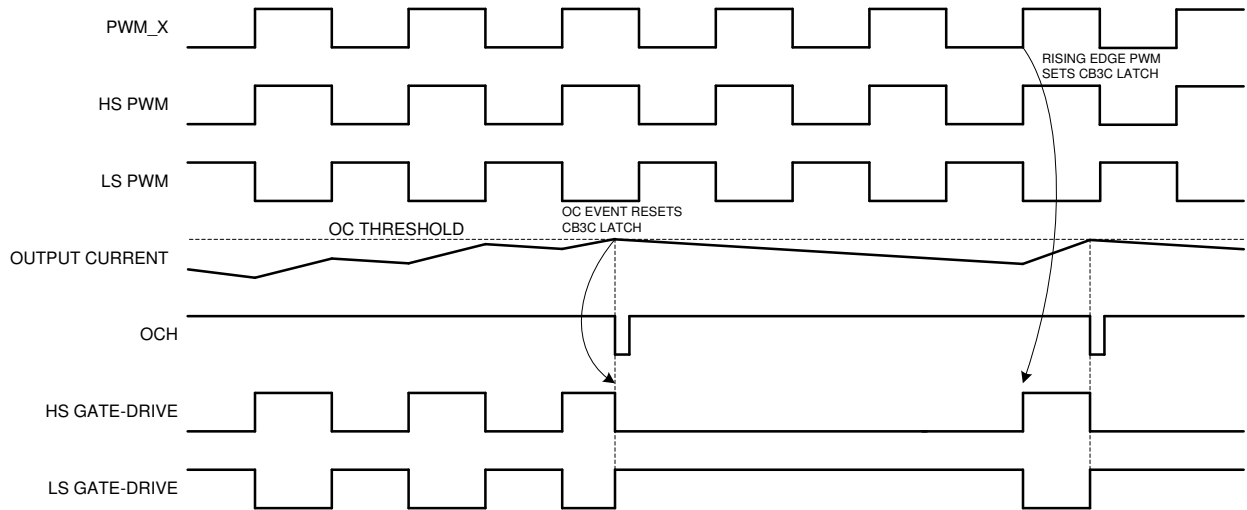


图 7-12. CB3C 时序示例

在 CB3C 运行过程中，每次发生过流事件时过载计数器加一，而在每个无过流的 PWM 周期则减一。这使得在低扬声器阻抗下也能承受全幅度瞬态，而不会触发关断保护动作。当出现短路情况时，过流保护会通过 CB3C 操作限制输出电流，并在过载计数器达到最大值时最终关闭受影响的输出。如果需要锁存 OC 保护，使器件在首次检测到过流事件时立即关闭受影响的输出，应选择此保护模式。过流阈值和模式 (CB3C 或锁存 OC) 由 OC_ADJ 电阻的取值设定。OC_ADJ 电阻必须处于规定的数值范围内，才能实现 CB3C 或锁存 OC 操作。

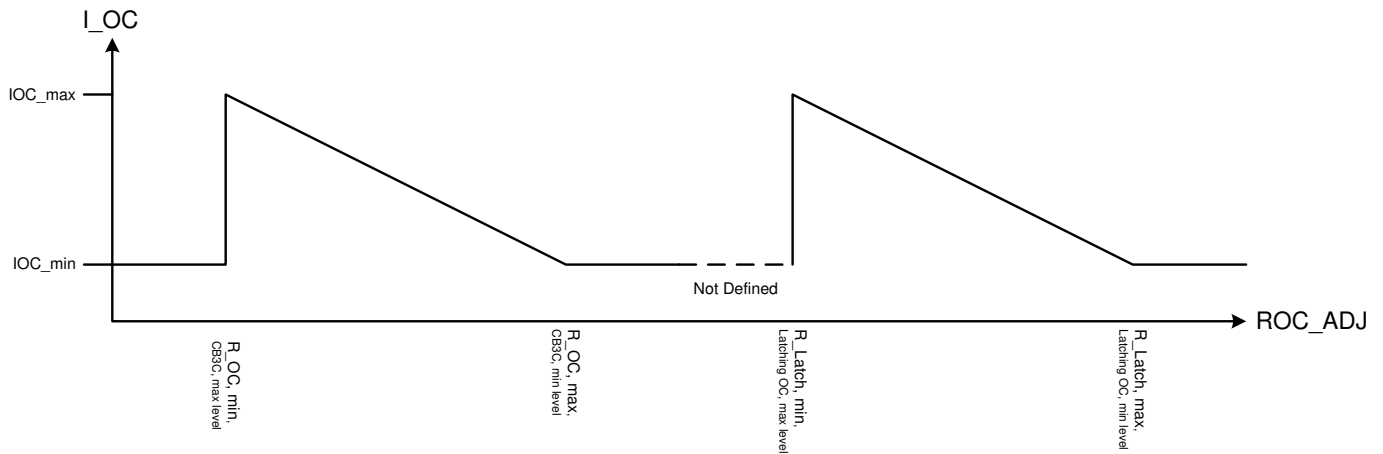


图 7-13. OC 阈值与 OC ADJ 电阻值示例

如果 OC_ADJ 值超出 CB3C 或锁存 OC 操作的指定值范围，将导致 OC 阈值为最小值。

表 7-22. 器件保护

OC_ADJ 电阻值	保护模式	OC Threshold
22k Ω	CB3C	16.3A
24k Ω	CB3C	15.1A
27k Ω	CB3C	13.5A
30k Ω	CB3C	12.3A
47k Ω	锁存 OC	16.3A
51k Ω	锁存 OC	15.1A
56k Ω	锁存 OC	13.5A

表 7-22. 器件保护 (续)

OC_ADJ 电阻值	保护模式	OC Threshold
64k Ω	锁存 OC	12.3A

7.3.10.3 信号削波与脉冲注入器

内置的活动检测器用于监测 SPK_OUTx 引脚的 PWM 活动。TAS3251 用于将无削波的输出信号驱动到接近 PVDD 与 GND 电源轨。当输入信号电压过高导致音频信号削波，或在 CB3C 电流保护处于活动状态的情况下，音频通道的放大器反馈环路会进入饱和状态，如果没有额外电路处理，PWM 输出信号将会停止。为防止在削波或 CB3C 情况下 PWM 输出完全停止，器件会在栅极驱动端注入窄脉冲，以维持输出的连续性。这些窄脉冲每 4 个 PWM 周期注入一次，因此在该状态下的有效开关频率被降低为正常开关频率的 1/4。

信号削波通过 CLIP_OTW 引脚发出信号，当信号电平降低、器件恢复正常运行时，该信号会自动清除。CLIP_OTW 脉冲在输出削波开始时产生，通常对应的 THD 水平约为 0.01%，此时 CLIP_OTW 会出现窄脉冲，初始脉宽约为 500ns。

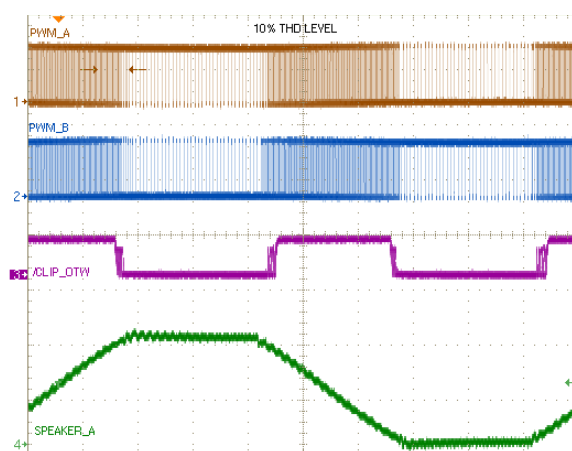


图 7-14. 信号削波 PWM 与扬声器输出信号

7.3.10.4 直流扬声器保护

输出 DC 保护方案可在扬声器的一端连接到放大器，而另一端意外短接至机箱接地的情况下保护扬声器免受过大的直流电流的影响。这种短路会导致扬声器两端出现 PVDD/2 的直流电压，可能引发破坏性的电流。输出直流保护功能可检测 BTL 输出的输出和输入电流是否出现任何不平衡情况，如果失衡超过编程的阈值，过载计数器便会递增，直到其最大值并且受影响的输出通道关闭。在 PBTL 和 SE 模式下操作时，禁用直流扬声器保护。

7.3.10.5 引脚对引脚短路保护 (PPSC)

在电源输出引脚 (SPK_OUTx) 短接至 GND_X 或 PVDD_X 的情况下，PPSC 检测系统可以保护器件免遭永久性损坏。相比之下，OC 保护系统在解调滤波器之后检测过流，而 PPSC 直接在滤波器前的引脚检测短路。PPSC 在系统启动 (VDD 供电) 时执行检测，因此启动后若出现 GND_X 或 PVDD_X 短路，不会激活 PPSC 检测系统。当输出短路激活 PPSC 检测时，所有半桥均保持 Hi-Z 状态，直到短路消除；之后器件继续启动序列并开始切换。该检测通过两步序列进行全局控制。第一步确保 SPK_OUTx 到 GND_X 之间没有短路，第二步测试 SPK_OUTx 到 PVDD_X 之间没有短路。此过程的总持续时间大致与输出 LC 滤波器的电容成正比。典型持续时间为 15ms/ μ F 以内。在 PPSC 检测过程中，FAULT 保持低电平，并且器件不会对施加到 RESET 引脚的变化做出反应。如果不存在短路，则 PPSC 检测通过，FAULT 解除。器件复位不会启动新的 PPSC 检测。PPSC 检测在 BTL 和 PBTL 输出配置下启用，不在 SE 模式下执行检测。为了确保不会使 PPSC 检测系统跳变，建议不要将电阻负载插入 GND_X 或 PVDD_X。

7.3.10.6 过热保护 OTW 和 OTE

TAS3251 具有两级温度保护系统，当器件结温超过 125°C (典型值) 时，会发出低电平有效警告信号 (CLIP_OTW)；如果器件结温超过 155°C (典型值)，则器件会进入热关断状态，导致所有半桥输出均设置为高阻抗 (Hi-Z) 状态，且 FAULT 置为低电平。在这种情况下会锁存 OTE。要清除 OTE 锁存，必须将 RESET 置为有效。然后，器件会恢复正常运行。

7.3.10.7 欠压保护 (UVP) 和上电复位 (POR)

TAS3251 的 UVP 和 POR 电路可在任何上电/断电和欠压情况下全面保护器件。上电时，当 GVDD_X 和 VDD 电源电压达到 [电气特性](#) 表中规定的值时，POR 电路可确保所有电路完全正常运行。尽管 GVDD_X 和 VDD 是独立监测的，但只要任何 VDD 或 GVDD_X 引脚的电源电压低于 UVP 阈值，所有半桥输出将立即进入高阻 (Hi-Z) 状态，同时 FAULT 引脚拉低。当所有电源电压回升至 UVP 阈值以上时，器件会自动恢复正常工作。

7.3.10.8 故障处理

如果在运行过程中发生故障，器件会根据故障是全局故障还是通道故障来采取相应动作。全局故障是一种芯片范围内的故障，会导致器件的所有 PWM 活动被关断，并将 $\overline{\text{FAULT}}$ 置为低电平有效。全局故障是一种锁存故障，要清除 $\overline{\text{FAULT}}$ 并重新启动运行，需要通过切换 $\overline{\text{RESET}}$ 来重置器件。在系统温度过高时，绝不允许将 $\overline{\text{RESET}}$ 置为无效，因此建议通过系统微控制器监控 $\overline{\text{RESET}}$ 状态，仅当 $\overline{\text{CLIP_OTW}}$ 信号解除报警（恢复高电平）时，才允许将 $\overline{\text{RESET}}$ 置为无效（即将其 $\overline{\text{RESET}}$ 为高电平）。通道故障会导致受影响通道的 PWM 活动被关断。请注意，将 $\overline{\text{RESET}}$ 置为低电平会强制 $\overline{\text{FAULT}}$ 信号为高电平，无论是否存在故障。

表 7-23. 错误报告

故障/事件	故障/事件说明	全局或通道	报告方法	锁存/自清除	需要采取的清除措施	输出 FET
PVDD_X UVP	电压故障	全球	$\overline{\text{FAULT}}$ 引脚	自清除	增加受影响的电源电压	高阻态
VDD UVP						
AVDD UVP						
POR (DVDD UVP)	上电复位	全球	$\overline{\text{FAULT}}$ 引脚	自清除	允许 DVDD 上升	高阻态
BST_X UVP	电压故障	通道（半桥）	无	自清除	允许 BST 电容充电（低端导通，VDD 12V）	高侧关断
OTW	热警告	全球	$\overline{\text{OTW}}$ 引脚	自清除	冷却至低于 OTW 阈值	正常运行
OTE	热关断	全球	$\overline{\text{FAULT}}$ 引脚	锁存	切换 $\overline{\text{RESET}}$	高阻态
OLP (CB3C>1.7ms)	OC 关断	通道	$\overline{\text{FAULT}}$ 引脚	锁存	切换 $\overline{\text{RESET}}$	高阻态
锁存 OC (47k Ω < ROC_ADJ < 68k Ω)	OC 关断	通道	$\overline{\text{FAULT}}$ 引脚	锁存	切换 $\overline{\text{RESET}}$	高阻态
CB3C (22k Ω < ROC_ADJ < 30k Ω)	OC 限制	通道	无	自清除	降低信号电平或消除短路	在 fs/3 下逐周期翻转状态
卡在故障状态 ⁽¹⁾	目标模式下无 OSC_IO 活动	全球	无	自清除	恢复 OSC_IO 活动	高阻态

(1) 当 OSC_IO 输入信号的频率下降到本数据表 [电气特性](#) 表中给出的最小频率以下时，会卡在故障状态。

7.3.10.9 输出功率级复位

将 $\overline{\text{RESET}}$ 置为低电平将启动器件渐降。渐降完成后，输出 FET 进入 Hi-Z 状态。在 $\overline{\text{RESET}}$ 为低电平时，无论是 SE 模式还是 BTL 模式，输出下拉均有效。

在 BTL 模式下，为了在开关启动前完成自举充电，将复位输入置于低电平会使半桥输出启用弱下拉。

将复位输入置为低电平会删除 $\overline{\text{FAULT}}$ 输出上要指示的任何故障信息，即 $\overline{\text{FAULT}}$ 被强制拉高。复位输入上的上升沿转换使器件能够在故障后恢复运行。为了确保热可靠性，复位的上升沿必须在 $\overline{\text{FAULT}}$ 下降沿后的 4ms 内发生。

7.3.11 初始化、启动与关断

本节介绍上电、运行和断电时序的常用流程。

7.3.11.1 上电和启动序列

器件的模拟前端 (包括 DAC 和 DSP) 可独立于输出功率级进行控制。按照下列顺序为数字前端和功率级供电, 以开始播放音频。

1. 为 DAC_DVDD、DAC_AVDD、GVDD_x 和 PVDD_x 供电。电源没有上电顺序, 可按任何顺序上电。
2. 向器件应用 I2S 或 TDM 时钟, 以启用内部系统时钟。
3. 通过将寄存器 0x03 的位 0 (右侧) 和位 4 (左侧) 设置为 “1”, 将左侧和右侧 DAC 通道静音。
4. 通过 I²C 设置 DSP 系数和配置设置 (可选)。如果没有更改寄存器, DSP 将传递音频。
5. 通过将寄存器 0x02 的位 7 (DSPR) 设置为 “1”, 使 DSP 退出待机模式。
6. 通过将寄存器 0x03 的位 0 (右侧) 和位 4 (左侧) 设置为 “0”, 将左侧和右侧 DAC 通道取消静音。
7. 通过将 RESET_AMP 引脚设置为高电平, 启用放大器输出级。
8. 通过 I2S 或 TDM 播放音频。

7.3.11.2 断电和关断序列

按照下列顺序使数字前端和功率级进入待机并断电。

1. 停止音频播放。
2. 通过将 RESET_AMP 引脚设置为低电平来禁用放大器输出级。
3. 通过将寄存器 0x03 的位 0 (右侧) 和 4 (左侧) 设置为 “1”, 使左右 DAC 通道静音。
4. 可选: 将 DAC 置于低功耗模式寄存器 0x02 中。
5. 可选: 消除所有电源轨的电压。

7.3.11.3 器件静音

1. 可选: 通过将 RESET_AMP 引脚设置为低电平来禁用放大器输出级。
2. 通过将寄存器 0x03 的位 0 (右侧) 和 4 (左侧) 设置为 “1”, 使左右 DAC 通道静音。

7.3.11.4 器件取消静音

1. 通过将寄存器 0x03 的位 0 (右侧) 和位 4 (左侧) 设置为 “0”, 将左侧和右侧 DAC 通道取消静音。
2. 可选: 如果放大器输出级断电, 则通过将 RESET_AMP 引脚设置为高电平来启用放大器输出级。

7.3.11.5 器件复位

7.3.11.6 使用 DAC_MUTE 或时钟错误进行静音

在某些情况下, 如果 TAS3251 器件没有足够的时间检测功率损耗并启动静音过程, 则可能会在断电时出现一些爆裂声。TAS3251 具有两项自动静音功能、可在 (有意或无意) 断电时使器件静音。

- **DAC_MUTE** - 当 DAC_MUTE 引脚拉至低电平时, 输入的串行端口数据会衰减到 0, 随后便是硬模拟静音。这个过程耗时 150 个采样周期加 0.2 毫秒。
- **时钟错误检测** - 当在输入的串行端口数据上检测到时钟错误时, TAS3251 会切换至内部振荡器, 并在将数据从最后一个已知有效值开始衰减的同时, 继续驱动 DAC 输出。此过程完成后, TAS3251 DAC 输出将被硬静音至接地。

7.3.11.6.1 使用 DAC_MUTE 实现静音

在电源切断前 150 个采样周期 + 0.2 毫秒时，将 $\overline{\text{DAC_MUTE}}$ 置为低电平无效。

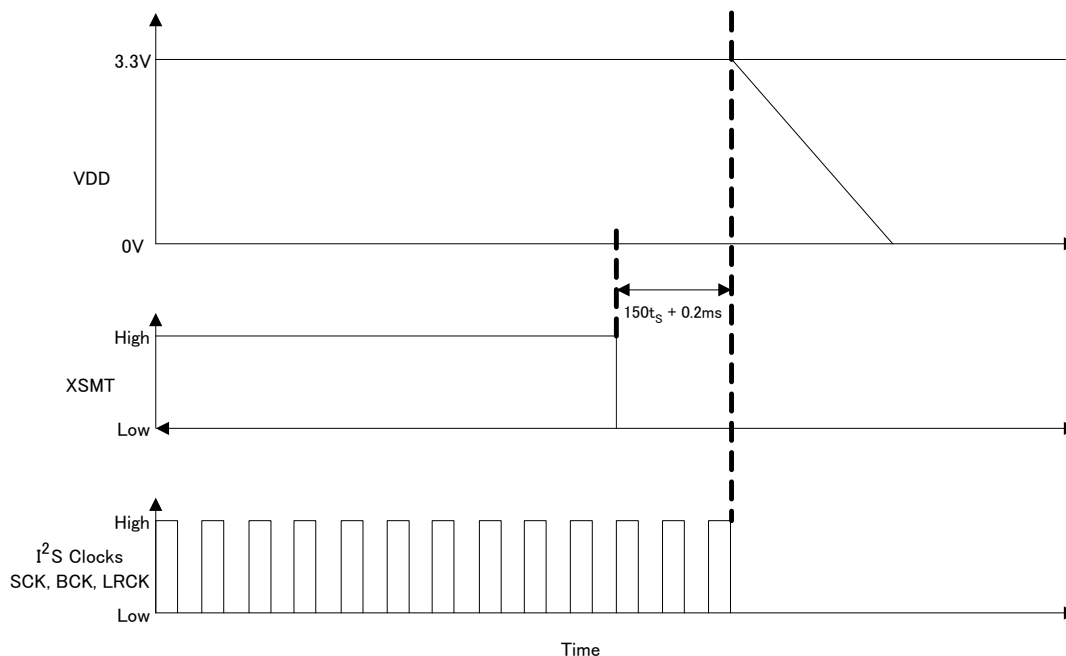


图 7-15. $\overline{\text{DAC_MUTE}}$ 时序图

7.3.11.7 使用串行音频端口时钟实现静音

在断电前 3 毫秒停止 I²S 时钟 (SCLK、MCLK、LRCK)，如下图所示。

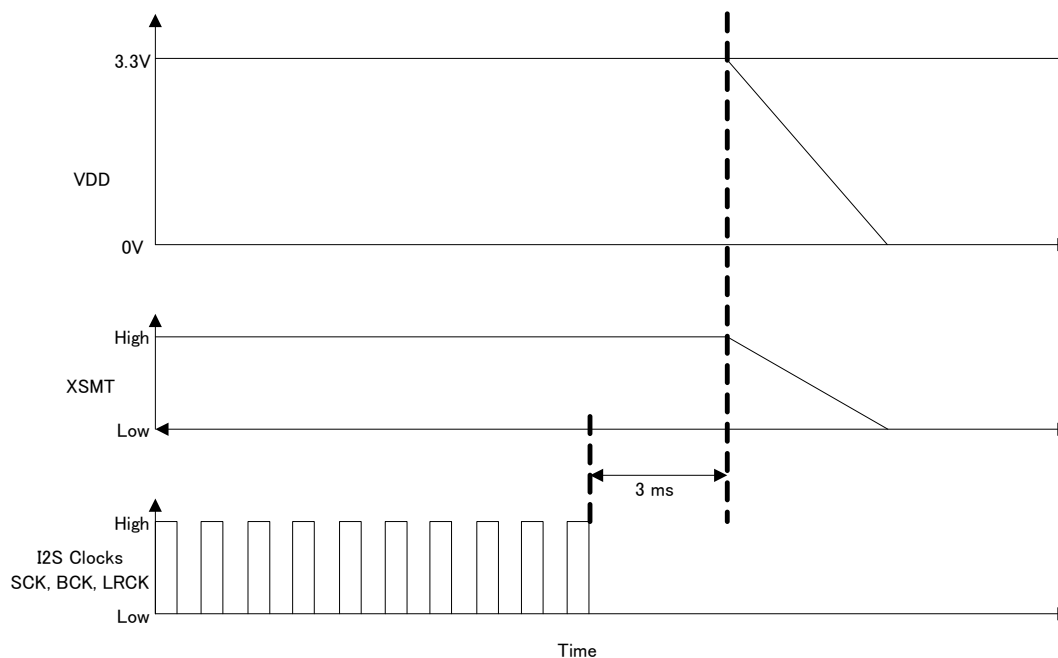


图 7-16. 串行端口静音时序图

7.3.11.8 通过 **DAC_MUTE** 在计划外关断之前实现静音

许多系统使用低噪声稳压器为 **DAC_AVDD** 和 **DAC_DVDD** 提供 3.3V 电压。**DAC_MUTE** 引脚可以利用该功能测量系统电源的预稳压输出 (3.3 V)，以便在 **PVDD** 电源放电之前将输出静音。图 7-17 展示了如何配置系统以使用 **DAC_MUTE** 引脚。**DAC_MUTE** 引脚也可与系统微控制器、DSP 或电源的 **GPIO** 引脚并联使用。

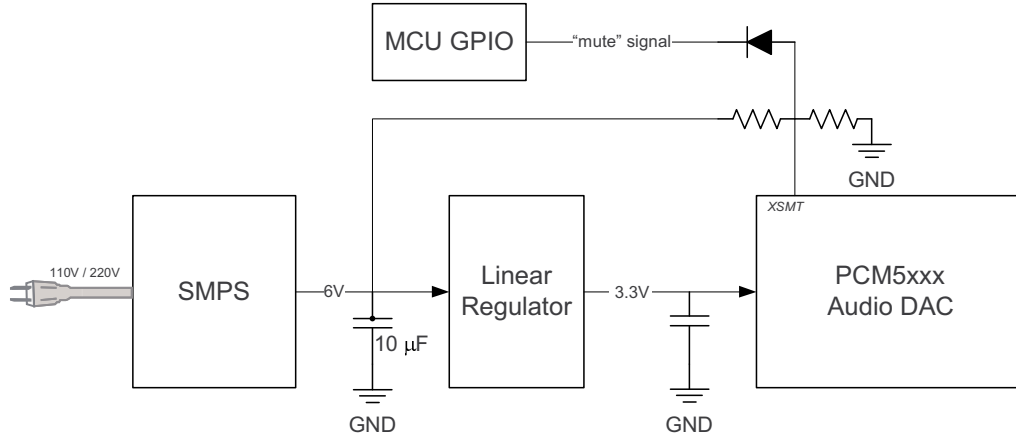


图 7-17. **DAC_MUTE** 应用示意图

7.3.11.9 输出功率级启动时序

TAS3251 输出功率级不需要特定的上电序列，但建议在 **PVDD** 电源电压上电后将 **RESET** 保持为低电平至少 400ms。在栅极驱动电源电压 (**GVDD_X**) 和 **VDD** 电压高于欠压保护 (**UVP**) 电压阈值之前（参见本数据表的“电气特性”表），半桥的输出保持高阻抗状态。这允许内部电路通过对半桥输出启用弱下拉，同时启动输出电压的受控上升序列，从而给外部自举电容器充电。

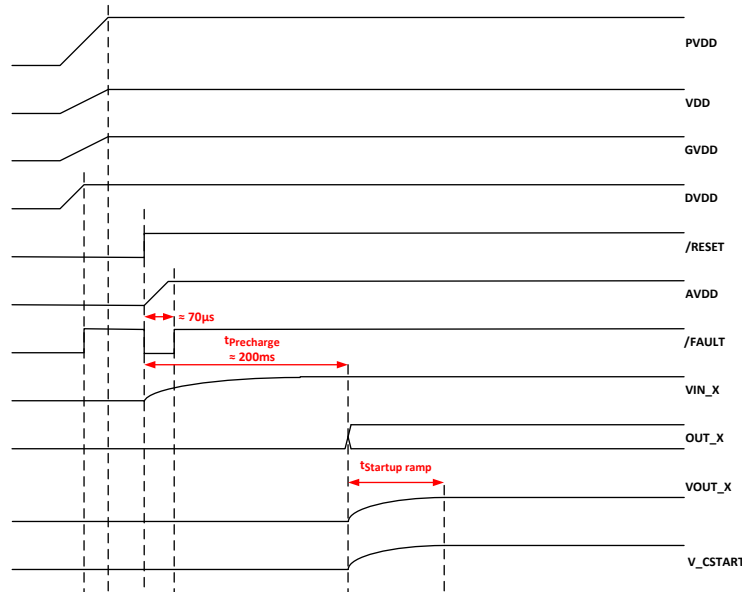


图 7-18. 功率级启动时序

当 **RESET** 被释放以打开 TAS3251 时，**FAULT** 信号将输出低电平，**AVDD** 电压稳压器将启用。**FAULT** 将保持低电平，直到 **AVDD** 达到欠压保护 (**UVP**) 电压阈值（请参阅本数据表的“电气特性”表）。随后，预充电阶段开始，以稳定输入交流耦合电容器上的直流电压，然后输出功率级序列会斜升。

7.4 器件功能模式

由于 TAS3251 器件是高度可配置的器件，因此该器件可能存在多种操作模式。为了简明的文档表述，这些模式被划分为两类：

- 基本工作模式
- 次要使用模式

基本工作模式是影响器件主要工作特性的主要操作模式，这些是为确保与预期应用或最终系统中与器件互动的其他元件的兼容性而选择的最基本配置。工作模式的一些示例包括控制端口使用的通信协议，放大器的输出配置或控制器/目标时钟配置。

从 [节 7.4.1](#) 部分开始介绍基本工作模式。

次要使用模式可以描述为在选择基本工作模式后使用的工作模式，用于对器件在给定系统中的工作方式进行调整。这些次要使用模式可以包括在左对齐和右对齐串行音频端口数据格式之间进行选择，或在 DAC 路径内启用一些轻微的增益/衰减。次要使用模式是通过操作 I²C 控制端口中的寄存器和控制来实现的。这些操作模式在其各自的寄存器/位说明中进行了说明，为避免冗余，本段不再包含。

7.4.1 串行音频端口工作模式

TAS3251 器件中的串行音频端口支持业界通用音频数据格式，包括 I²S、时分多路复用 (TDM)、左对齐 (LJ) 和右对齐 (RJ) 格式。为了选择将与该器件结合使用的的数据格式，在 P0-R40 上提供了控件。[节 6.10](#) 部分展示了串行音频端口的计时示意图，[节 7.3.4.4](#) 部分展示了数据格式。

7.4.1.1 数字串行音频端口的控制器和目标模式时钟

TAS3251 器件中的数字音频串行端口可配置为目标模式，即从其他器件接收时钟信号，作为音频从设备运行。关于目标模式的具体操作方法，请参考 [节 7.3.4.3](#) 部分。如果系统中没有处理器提供音频时钟，TAS3251 器件则可以切换至控制器模式。在控制器模式下，TAS3251 器件会向系统中的其他音频器件提供时钟。有关 TAS3251 器件内控制器和目标模式运行的更多详细信息，请参阅 [节 7.4.1](#) 部分。

7.4.2 通信端口工作模式

TAS3251 器件通过 I²C 通信端口进行配置。该器件不支持仅硬件运行模式，也不支持串行外设接口 (SPI) 通信。[节 7.3.7](#) 部分详细介绍了 I²C 通信协议。[节 6.12](#) 和 [节 6.13](#) 部分介绍了 I²C 时序要求。

7.4.3 扬声器放大器工作模式

TAS3251 器件可用于两种不同的放大器配置：

- 立体声模式
- 单通道模式

7.4.3.1 立体声模式

熟悉的立体声运行模式使用 TAS3251 器件放大两个独立的信号，它们分别代表立体声信号的左右两个部分。这些放大的左右音频信号通过差动输出对输出，分别显示为 SPK_OUTA± 和 SPK_OUTB±。SPK_OUTx 输出上呈现的音频数据的路由可以根据使用的音频处理流程以及寄存器 P0-R42-D[5:4] 和 P0-R42-D[1:0] 的配置进行更改。熟悉的立体声运行模式如以下内容所示。

默认情况下，TAS3251 器件配置为在通道 A 输出端输出 A I²S 输入的右帧，在通道 B 输出端输出左帧。

7.4.3.2 单通道模式

单通道工作模式用于描述将期间的两个输出端并联，以增强音频输出通道的供电能力的运行方式。这也称为并联桥接负载 (PBTL)。

在 TAS3251 器件输出侧，可在滤波器之前将器件输出求和，这种配置称为前置滤波器 PBTL。但是，两个输出可能需要在输出滤波器的电感器部分之后合并在一起。这样做确实需要两个额外的电感器，但允许使用更小、更便

宜的电感器，因为电流是在两个电感器之间分配的。此过程称为 **后置滤波器 PBTL**。图 7-19 和 图 7-20 中显示了单通道操作的两种变体。

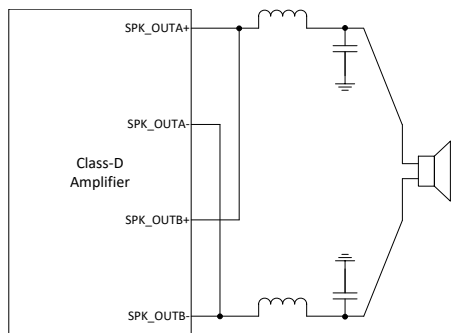


图 7-19. 前置滤波器 PBTL

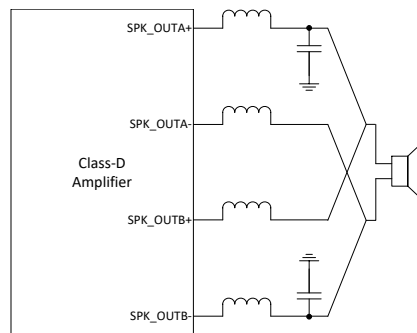


图 7-20. 后置滤波器 PBTL

在 TAS3251 器件输入侧，可从 TDM 流中的任意时隙或 I²S、LJ、RJ 信号的左帧或右帧选择单通道放大器的输入信号。TAS3251 器件还可配置为放大两信号的混合，例如低音炮通道将左右通道混合后通过低通滤波器输出单声道低频信号。

7.5 编程

7.5.1 音频处理功能

TAS3251 器件包含音频处理功能，可优化集成这些功能的音频系统的音频性能。TAS3251 器件具备 12 个双二阶滤波器，可用于扬声器响应调优的，并具备双频段 DPEQ，可动态调整均衡曲线：一条曲线应用于低电平信号，另一条曲线应用于高电平信号。双频段高级 DRC + AGL 结构能够在两个区域内限制放大器的输出功率，同时控制压缩过程中在分频区可能出现的峰值。器件提供了精细的音量控制功能，使产品开发工程师能够根据系统层面的注意事项对放大器输出电平进行微调。

TAS3251 器件还具备两种信号检测选项：电平计和串行数据输出信号。电平计通过 α 滤波器检测信号电平，并将信号呈现在 I²C 寄存器中。电平计信号取自 4x 内插之前（即数模转换前）的信号。

音频处理流程的详细信息（包括与每个块关联的 I²C 控制端口寄存器）如以下内容所示。

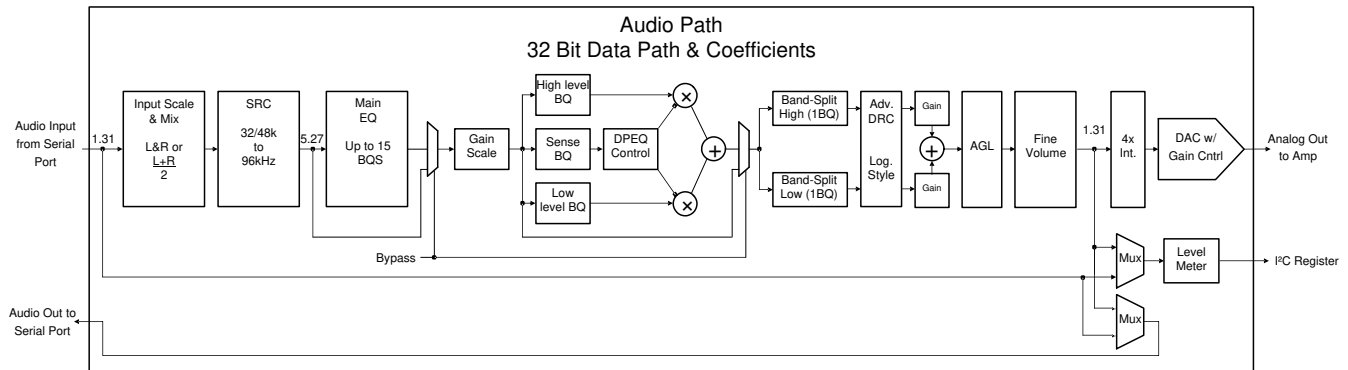


图 7-21. 固定功能处理流程可在 TAS3251 中找到

7.5.2 处理块说明

上面显示的处理块由以下主要块组成：

- 输入缩放与混频器
- 采样速率转换器 (SRC)
- 参数均衡器 (PEQ)
- BQ 增益调整
- 动态参数均衡器 (DPEQ)
- 双频带动态范围控制 (DRC)
- 自动增益限制器 (AGL)
- 精细音量
- 电平计

7.5.2.1 输入缩放与混频器

输入混合器可用于混合左右通道输入信号，如 图 7-22 中所示。输入混合器有四个系数，用于控制输入信号的混合和增益。在混合和调节输入信号时，应确保在最大输入电平下，输入混频器输出不超过 0dBfs，以免过驱 SRC 输入。

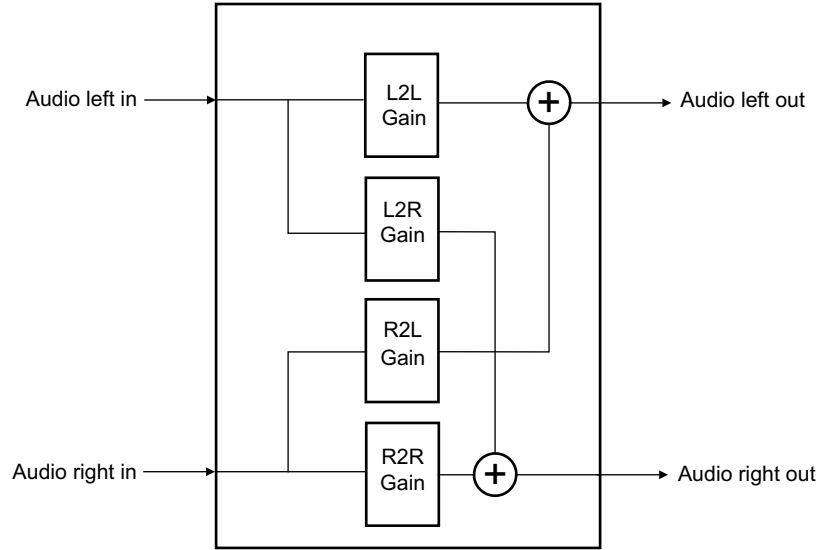


图 7-22. 输入缩放与混频器

7.5.2.1.1 示例

以下是一个示例脚本，用于为 $(\frac{1}{2}L + \frac{1}{2}R)$ 或 $(L + R) / 2$ 设置左右通道：

```
w 90 00 00 # Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 21 #Go to page 0x21
w 90 3c 00 40 26 E7 #Input mixer left in to left out gain
w 90 40 00 40 26 E7 #Input mixer right in to left out gain
w 90 44 00 40 26 E7 #Input mixer left in to right out gain
w 90 48 00 40 26 E7 #Input mixer right in to right out gain
#Run the swap flag for the DSP to work on the new coefficients
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 05 #Go to page 0x05
w 90 7c 00 00 01 #Swap flag
```

7.5.2.2 采样率转换器

采样率转换器支持 32kHz、44.1kHz、48kHz、88.2kHz 和 96kHz 输入采样率。这些输入采样率可以转换为 88.2kHz 或 96kHz 采样率。采样率检测无法区分 32kHz 至 48kHz 的采样率。这些采样率都会被采样率转换器视为 48kHz。检测到的采样率可在簿 0x78 页 0x0C 寄存器 0x5C 中读取。寄存器 0x5C 处的输入采样率为 88.2kHz 或 96kHz，读取结果为 0x00 00 00 01。寄存器 0x5C 处的输入采样率为 32kHz 至 48kHz，读取结果为 0x00 00 00 02。当输入采样率为 32kHz 时，需要将内插设置从 2x 更改为 3x，这可通过将寄存器 B0-P0-R37-D7 设置为 1 来实现。器件必须置于待机模式才能使此更改生效。

表 7-24. 采样率检测

采样率 (kHz)	B0-P0-R91-D[6:4]
8	001
16	010
32 - 48	011
88.2 - 96	100
176.4 - 192	101
384	110

尽管采样率转换器支持 32kHz、44.1kHz、48kHz、88.2kHz 和 96kHz 输入采样率，但 TAS3251 器件在 1x 内插模式，基础采样率处理下支持表 7-24 中所示的所有输入采样率。

SRC 输入不应过驱。建议将最大信号电平设置为 SRC - 0.5dBFs，以防止 SRC 过驱，并导致音频伪影。输入缩放和混频器可用于将最大输入信号衰减或提升至 - 0.5dBFs。在 SRC 之后，处理流程中还包含多个处理块，这些块可以对输入混音器和缩放块中因衰减而损失的增益进行补偿，从而防止 SRC 过驱。

7.5.2.3 参数均衡器 (PEQ)

该器件支持左声道最多 15 个独立可调 PEQ，右声道同样支持最多 15 个独立可调 PEQ。PEQ 使用级联的“直接形式 1”BQ 结构实现，如图 7-23 中所示。

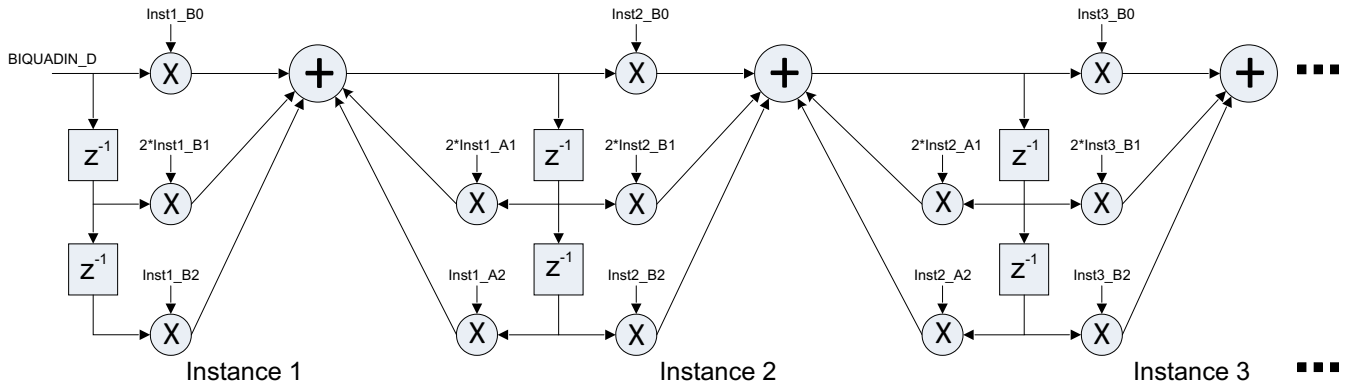


图 7-23. 级联 BQ 结构

$$H(z) = \frac{b_0 + b_1 Z^{-1} + b_2 Z^{-2}}{a_0 + a_1 Z^{-1} + a_2 Z^{-2}} \tag{2}$$

所有 BQ 系数都使用 a0 进行标准化，以确保 a0 等于 1。该结构需要 5 个 BQ 系数，如表 7-25 中所示。任何系数大于 1 的 BQ 都会按照节 7.5.2.4 中所述进行增益调节。

表 7-25. BQ 系数标准化

TAS3251 的 BQ 系数	系数计算
B0_DSP	b0/a0
B1_DSP	b1 / (a0 × 2)
B2_DSP	b2/a0
A1_DSP	- a1 / (a0 × 2)
A2_DSP	- a2 / a0

7.5.2.4 BQ 增益缩放

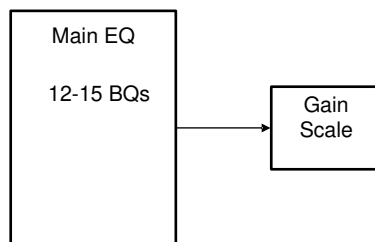


图 7-24. PEQ 和 BQ 增益缩放块

BQ 系数格式如下所示：第一个 BQ 的 B0 = 5.x、B1 = 6.x、B2 = 5.x、A1 = 2.x 且 A2 = 1.x。其余 BQ 具有以下格式：B0 = 1.x、B1 = 2.x、B2 = 1.x、A1 = 2.x 且 A2 = 1.x。此格式可保持尽可能高的分辨率和噪声性能。1.31 格式限制了在 BQ 中执行高增益的能力，因此，需要对限制条件进行增益补偿。在生成 BQ 系数时，应通过实现增益补偿，确保所有 BQ 系数都不大于 1。增益补偿可减小 BQ 系数增益，以确保所有 BQ 系数小于 1。降低的增益随后将重新应用到后续的增益缩放块中。

在实施表 7-25 中所示的 BQ 归一化后，增益补偿使用 B0_DSP、B1_DSP 和 B2_DSP 的最大值。所有 B 系数都将除以最大 B 系数值，然后再乘以 0.999999999534339（这是最接近 1 的 32 位二进制补码数）。对 PEQ 块中的每个 BQ 完成以下计算：

$$Max_k = \max(B0_DSP, B1_DSP, B2_DSP) \quad (3)$$

$$k_BQX = Max_k \quad (4)$$

$$B0_DSP = \frac{B0_DSP}{k_BQX} \quad (5)$$

$$B1_DSP = \frac{B1_DSP}{k_BQX} \quad (6)$$

$$B2_DSP = \frac{B2_DSP}{k_BQX} \quad (7)$$

上述计算确保所有 DSP BQ 系数均采用 1.31 格式。在 BQ 1.31 格式下使用的较低增益，是在增益缩放块中进行补偿的结果。以下计算会对每个通道单独进行，。

$$k_BQ = k_BQ1 \times k_BQ2 \times k_BQ3 \times k_BQ4 \times k_BQ5 \times k_BQ6 \times k_BQ7 \times k_BQ8 \times k_BQ9 \times k_BQ10 \times k_BQ11 \times k_BQ12 \quad (8)$$

然后，计算得到的 k_BQ 补偿值将以 8.24 格式应用于 BQ 增益缩放。BQ 增益缩放也可用于 DRC 之前的音量控制。该块可被视为 BQ 增益缩放和音量增益块。当 BQ 增益缩放块用于音量控制时，必须按如下公式计算系数值：

$$Gain_BQ_V = 10^{\frac{Volume}{20}} \times k_BQ \quad (9)$$

其中

- 音量以 dB 为单位

BQ 增益缩放系数位于簿 0x8C、页 0x21 寄存器 0x4C 中（对于左通道）和寄存器 0x50 中。

旁路 EQ 多路复用器允许用户旁路所有处理。旁路 EQ 多路复用器位于页 0x21、寄存器 0x64 中。Gang 左/右多路复用器会强制左通道处理与右通道处理相同。Gang 左/右多路复用器位于页 0x21、寄存器 0x68 中。

7.5.2.5 动态参数均衡器 (DPEQ)

动态参数均衡器根据检测路径所检测到的信号电平，混合通过两条路径路由的音频信号，每条路径包含 1 个双二阶滤波器(BQ)，如图 7-25 中所示。检测路径包含 1 个双二阶滤波器，可用于在特定的频率带宽上进行 DPEQ 检测。Alpha 滤波器结构用于检测检测路径中的能量并设置动态混合比。

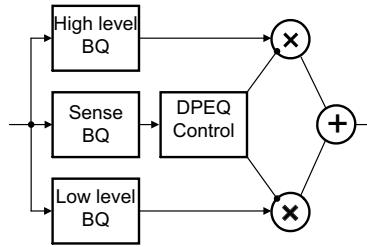


图 7-25. DPEQ 信号路径

动态混合由 1.31 格式的偏移、增益和 α 系数控制。Alpha 系数控制检测路径中信号数据的平均时间常数 (以 ms 为单位)。偏移和增益系数控制动态混合阈值, 如图 7-26 所示。

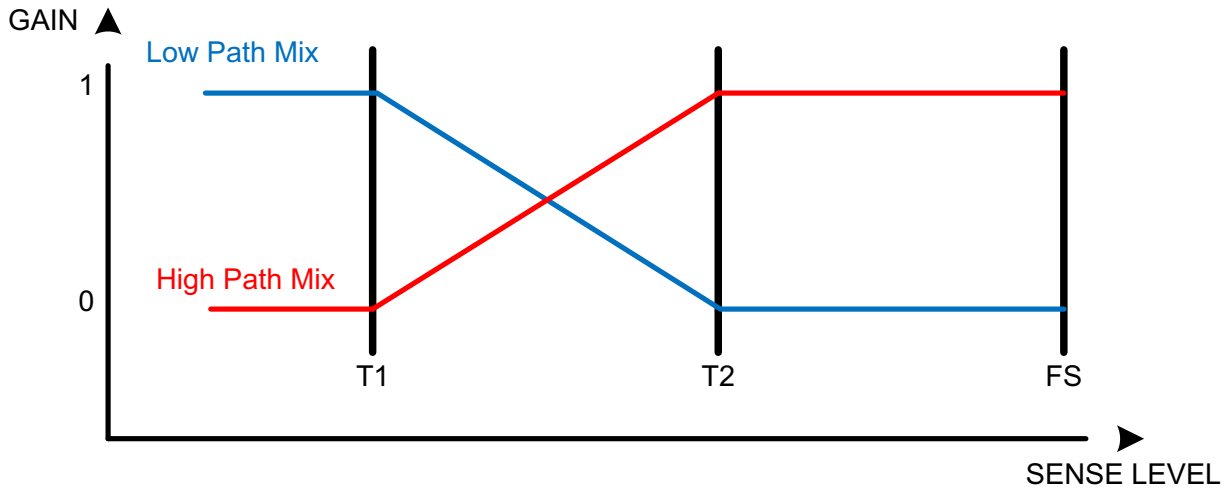


图 7-26. 动态混合

偏移、增益和 α 系数的计算公式如下：

$$T1_Linear = 10^{\frac{T1}{20}} \quad (10)$$

$$T2_Linear = 10^{\frac{T2-6}{20}} \quad (11)$$

其中

- $T2 \geq -20 \text{ dB}$

$$T2_Linear = 10^{\frac{T2}{20}} \quad (12)$$

其中

- $T2 < -20 \text{ dB}$

$$Offset = -T1_Linear \quad (13)$$

$$Gain = \frac{1}{32(T2_Linear - T1_Linear)} \quad (14)$$

$$\alpha = 1 - e^{\frac{-1000}{\text{time constant} \times F_s}} \quad (15)$$

其中

- T1 和 T2 以 dB 为单位
- 时间常数以 ms 为单位

DPEQ 控制系数位于簿 0x8C、页 0x20 中。寄存器 0x44 是 α 系数，寄存器 0x48 是增益系数，寄存器 0x4C 是偏移系数。

高电平路径 BQ、低电平路径 BQ 和检测路径 BQ 系数使用 1.31 格式，如表 7-27 所示。由于 1.31 格式的要求，DPEQ BQ 没有增益缩放来补偿任何 BQ 增益减少。在调试期间，可以使用 BQ 增益缩放或 DRC 偏移系数来补偿此增益降低。

DPEQ 检测增益缩放位于检测路径中。DPEQ 检测增益缩放可用于通过改变检测路径中的信号电平来改变动态混合阈值。正 dB 增益会使动态混合阈值降低增益量，负 dB 增益会使动态混合阈值增加增益量。

7.5.2.6 双频带动态范围控制

动态范围控制 (DRC) 是一种前馈机制，可以用于在指定限制范围内自动控制音频信号幅度或动态范围。动态范围控制是通过使用 α 滤波器能量的估计值来感知音频信号电平，然后根据已定义的区域和斜率参数调整增益来实现的。动态范围控制如图 7-27 中所示。

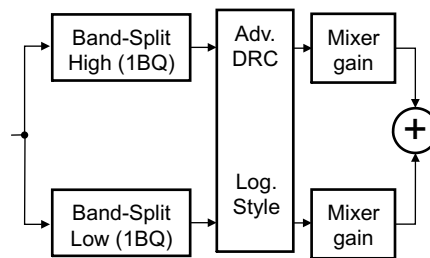


图 7-27. 动态范围控制

DRC 各有七个可编程传输功能参数：k0、k1、k2、T1、T2、OFF1 和 OFF2。T1 和 T2 参数定义了输入电平下三段压缩或扩展区的阈值或边界。参数 k0、k1 和 k2 分别定义了三个区域中每个区域的曲线增益或斜率。参数 OFF1 和 OFF2 分别指定阈值 T1 和 T2 相对 1:1 传输功能曲线的偏移，如图 7-28 中所示。

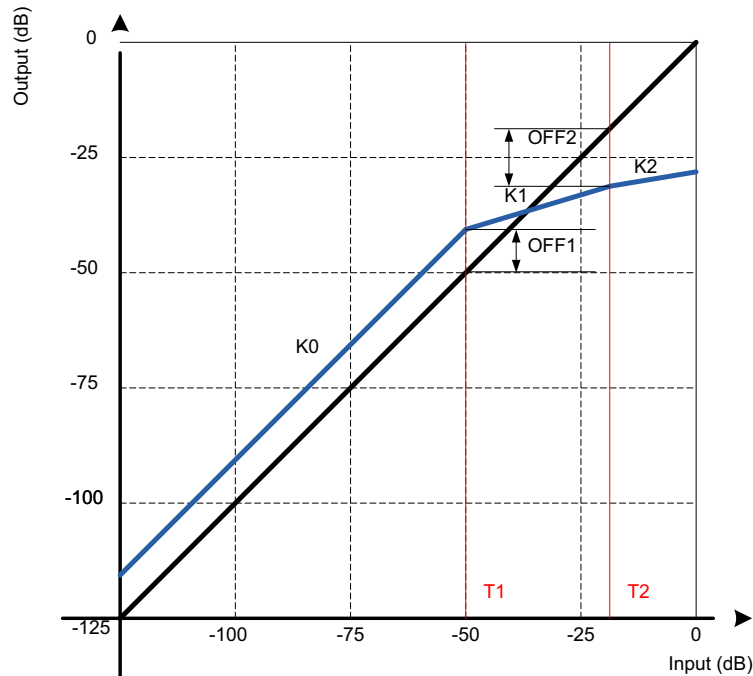


图 7-28. DRC 传输功能示例图

双频带动态范围控制由两个 DRC 组成，这两个 DRC 可以通过在每个频带的输入端使用 BQ 分成两个频带。这两个频段发生溢出的频率称为交叉频率。交叉频率既是用于创建低通滤波器的截止频率，也是用于创建高通滤波器的截止频率。由于两频带 DRC 输出混合器中能量重叠的叠加，并行双频带 DRC 在分频区域会固有地产生峰值。

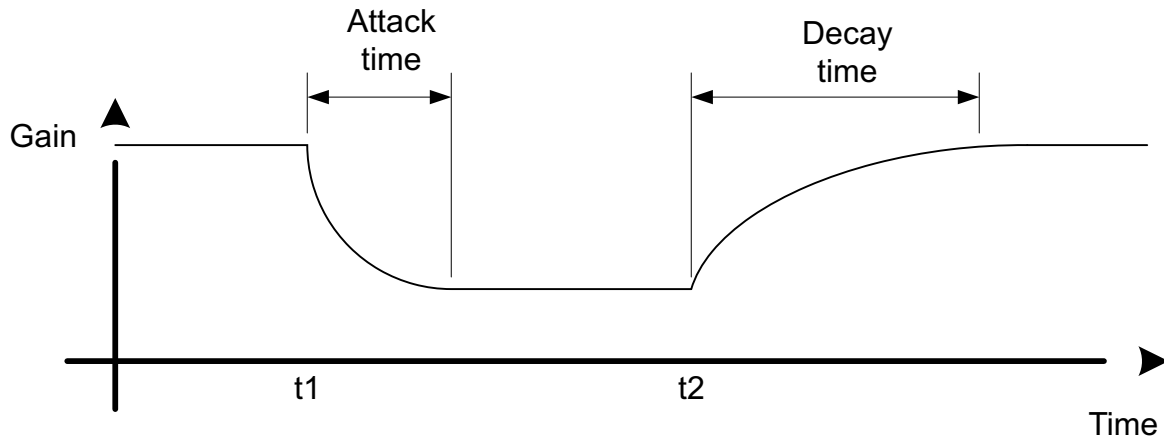
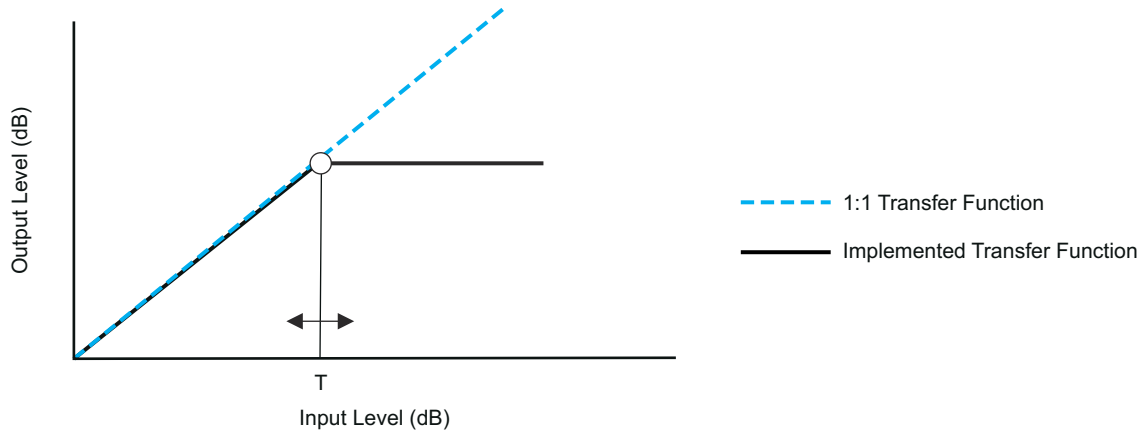


图 7-29. DRC 起音和衰减

每个频带中的 DRC 都单独配备了能量、起音和衰减时间常数。DRC 时间常数用于控制压缩或扩展过程中 DRC 增益变化和决策的切换时间。能量、起音和衰减时间常数会影响 DRC 的灵敏度水平。时间常数越短，DRC 响应就越激进，反之亦然。

7.5.2.7 自动增益限制器

自动增益限制器 (AGL) 是一种反馈机制，可用于在指定限制范围内自动控制音频信号幅度或动态范围。自动增益限制是通过使用 AGL 输出端的 **alpha** 滤波器能量结构 (如 图 7-31 所示) 来感应音频信号强度，然后根据信号强度是高于还是低于定义的阈值来调整增益来实现的。AGL 做出的三个决策是：启用、禁用或不执行任何操作。AGL 启用或禁用的速率分别取决于攻击时间和释放时间设置。



M0091-04

图 7-30. AGL 传输功能示例图

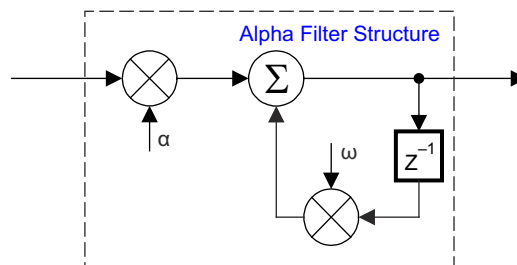


图 7-31. AGL Alpha 滤波器结构

7.5.2.7.1 软化滤波器 Alpha (AEA)

- $AEA = 1 - e^{-1000 / (fs \times User_AE)}$
- $e \approx 2.718281828$
- Fs = 采样频率
- $User_AE$ = 用户输入步长

7.5.2.7.2 软化滤波器 Omega (AEO)

- $AEO = 1 - AEA$

7.5.2.7.3 启动速率

- 启动速率 = $2 \times (AA + \text{释放速率})$
- $AA = 1000 \times User_Ad / Fs$
- $User_Ad$ = 用户输入启动步长

7.5.2.7.4 释放速率

- 释放速率 = $1000 \times User_Rd / Fs$
- $User_Rd$ = 用户输入释放步长

备注

释放持续时间 (User_Rd) 应长于起音持续时间 (User_Ad)。

7.5.2.7.5 攻击阈值

- 起音阈值 = 以 dB 为用户输入电平

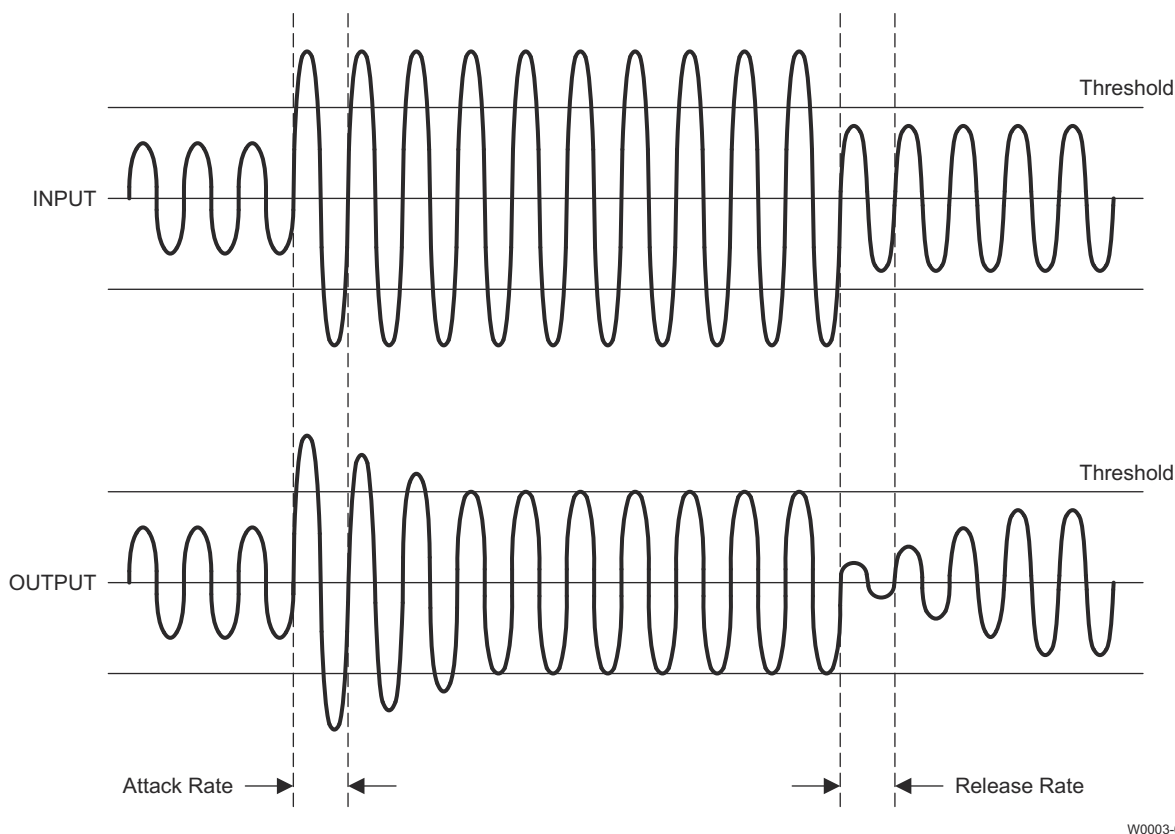


图 7-32. AGC 起音和释放

中显示了起音阈值 AGC 系数。

7.5.2.8 精细音量

AGC 之后的精细音量模块可在 2.30 格式下提供 -192dB 到 6dB 的额外精细音量步进。精细系数如 所示。

7.5.2.9 THD 提升

增强分频器和精细音量可以一起用于限幅处理。THD 提升区块允许用户通过在由电源导轨定义的工作点之前进行限幅处理，从而以编程方式增加 THD。

7.5.2.10 电平计

电平计使用具有可编程时间常数的能量估算器，根据信号频率和所需精度调整灵敏度。左右声道的电平计输出均以 1.31 格式写入 32 位子地址位置，如 表 7-26 中所示。Book 8C、Page 0x21、寄存器 0x70 中的 BypassTo 电平计位可用于将电平计输入从处理前音频切换为处理后音频。

7.5.3 其他处理块特性

7.5.3.1 数字格式

数据处理路径为 32 位，并有 32 位系数。系数使用二进制补码数字格式。

表 7-26. 二进制补码格式

位	二进制补码值
0111 1111	127
0111 1110	126
0000 0010	2
0000 0001	1
0000 0000	0
1111 1111	-1
1111 1110	-2
1000 0010	-126
1000 0001	-127
1000 0000	-128

7.5.3.1.1 系数格式转换

器件采用 32 位二进制补码数格式。计算得到的 4 字节寄存器值如下所示，并以 8 位十六进制值的形式表示。

表 7-27. 1.31 格式的计算示例

dB	线性	十进制	十六进制 (1.31 格式)
0	1	2147483648	7FFFFFFF
-6	0.5	1073741824	40000000
-20	0.1	214748364	0CCCCCCC
x	$L = 10^{(x/20)}$	$D = 2^{31} \times L, D < 2^{31}$ $D = 2^{31}, D \geq 2^{31}$	Dec2Hex(D, 8) ⁽¹⁾

(1) Dec2Hex(D, 8)，其中 8 表示 8 个半字节或 38 位。

请注意，对于 1.31 格式，线性值不能大于 1 或十进制值 232。

表 7-28. B.A 格式的计算示例

dB	线性	十进制	十六进制 (1.31 格式)
x	$L = 10^{(x/20)}$	$D = 2^A \times L, D < 2^{(B+A-1)}$ $D = 2^{(B+A-1)}, D \geq 2^{(B+A-1)}$	Dec2Hex(D, 8)

7.5.4 校验和

TAS3251 器件支持两种不同的校验和方案，即循环冗余校验 (CRC) 校验和与异或 (XOR) 校验和。两个校验和都适用于每次寄存器写入，*簿切换寄存器* 和 *页切换寄存器* 0x7F 和 0x00 除外。寄存器读取不会更改校验和，但对甚至不存在的寄存器的写入将更改校验和。两个校验和都是 8 位校验和，并且两个校验和可同时使用。校验和可通过向它们各自的 4 字节寄存器位置写入一个起始值 (例如 0x 00 00 00 00) 来复位。

7.5.4.1 循环冗余校验 (CRC) 校验和

使用的 8 位 CRC 校验和为 0x7 多项式 (CRC-8-CCITT I.432.1 ; ATM HEC , ISDN HEC 和单元划分 , $(1 + x^1 + x^2 + x^8)$) 。CRC 校验和的一个主要优点是对输入顺序敏感。

CRC 支持所有 I²C 事务 , 不包括 Book 和 Page 切换。从簿 0x00 任意页上的寄存器 0x7E 读取 CRC 校验和 (B0_Page x_Reg 126)。如果簿不是簿 0 , 则 CRC 校验和仅在页 0x00 寄存器 0x7E (页 0_Reg 126) 上有效。可以通过将 0x00 00 00 00 写入 CRC 校验和有效的相同寄存器位置来复位 CRC 校验和。

7.5.4.2 异或 (XOR) 校验和

异或校验和是一种更简单的校验和方案。它与之前的 8 位校验和寄存器值执行每个寄存器字节写入的顺序异或运算。XOR 仅支持位于簿 0x8C 的 YMEM , 不包括页切换和簿 0x8C 的页 0x00 中的所有寄存器。从簿 0x8C 的页 0x00 上的位置寄存器 0x7D 读取 XOR 校验和 (B140_Page 0_Reg 125)。可以通过将 0x00 00 00 00 写入读取它的同一寄存器位置来复位 XOR 校验和。

表 7-29. XOR 真值表

输入		输出
A	B	
0	0	0
0	1	1
1	0	1
1	1	0

7.6 寄存器映射

7.6.1 寄存器 - 第 0 页

7.6.1.1 寄存器 1 (0x01)

图 7-33. 寄存器 1 (0x01)

7	6	5	4	3	2	1	0
保留			RSTM	保留			RSTR
R/W			R/W	R/W			R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-30. 寄存器 1 (0x01) 字段说明

位	字段	类型	复位	说明
7-5	保留			保留
4	RSTM	R/W	0	复位模块 - 该位复位内插滤波器和 DAC 模块。由于 DSP 也会复位，因此系数 RAM 内容也将由 DSP 清除。该位自动清零，并且只能在待机模式下设置。 0：正常 1：复位模块
3-1	保留			保留
0	RSTR	R/W	0	复位寄存器 - 该位将模式寄存器复位回其初始值。RAM 内容不会被清除，但执行源将返回到 ROM。该位会自动清零，并且只能在 DAC 处于待机模式时设置（禁止且不支持在 DAC 运行时复位寄存器）。 0：正常 1：复位模式寄存器

7.6.1.2 寄存器 2 (0x02)

图 7-34. 寄存器 2 (0x02)

7	6	5	4	3	2	1	0
DSPR	保留		RQST	保留			RQPD
R/W	R/W		R/W	R/W			R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-31. 寄存器 2 (0x02) 字段说明

位	字段	类型	复位	说明
7	DSPR	R/W	1	DSP 复位：当该位变为 0 时，DSP 将开始上电并发送数据。仅当所有输入时钟（ASI、MCLK、PLLCLK）均稳定后，才需将此位设为 0，以避免 DMA 通道失步。 0：正常运行 1：复位 DSP
6-5	保留	R/W		保留
4	RQST	R/W	0	待机请求：当此位置位时，DAC 将被强制进入系统待机模式（该模式也是系统在发生时钟错误时进入的状态）。在此模式下，除电荷泵和数字电源外，大多数子系统将被断电。 0：正常运行 1：待机模式
3-1	保留	R/W		保留

表 7-31. 寄存器 2 (0x02) 字段说明 (续)

位	字段	类型	复位	说明
0	RQPD	R/W	0	断电请求：当此位置位时，DAC 将被强制进入断电模式，此模式下因电荷泵也被关闭，功耗将降至最低。但是，从该模式重新启动需要更长的时间。此模式优先级高于待机模式，即同时设置此位与第 4 位的待机模式时，DAC 将进入断电模式。 0：正常运行 1：断电模式

7.6.1.3 寄存器 3 (0x03)

图 7-35. 寄存器 3 (0x03)

7	6	5	4	3	2	1	0
	保留		RQML		保留		RQMR
	RO		R/W		R/W		R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-32. 寄存器 3 (0x03) 字段说明

位	字段	类型	复位	说明
7-5	保留	RO		保留
4	RQML	R/W	0	使左通道静音：该位为左通道发出软静音请求。音量将平稳地降低/升高，以避免“砰砰”/“咔嚓”噪声。 0：正常音量 1：静音
3-1	保留	R/W		保留
0	RQMR	R/W	0	使右通道静音：该位为右通道发出软静音请求。音量将平稳地降低/升高，以避免“砰砰”/“咔嚓”噪声。 0：正常音量 1：静音

7.6.1.4 寄存器 4 (0x04)

图 7-36. 寄存器 4 (0x04)

7	6	5	4	3	2	1	0
	保留		PLCK		保留		PLLE
	R/W		R		R/W		R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-33. 寄存器 4 (0x04) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W		保留
4	PLCK	R	0	PLL 锁定标志：该位指示 PLL 是否锁定。当 PLL 禁用时，此位始终显示 PLL 未锁定。 0：PLL 已锁定 1：PLL 未锁定
3-1	保留	R/W		保留
0	PLLE	R/W	1	PLL 使能：此位可启用或禁用内部 PLL。当 PLL 被禁用时，控制器时钟将切换到 MCLK。 0：禁用 PLL 1：启用 PLL

7.6.1.5 寄存器 6 (0x06)

图 7-37. 寄存器 6 (0x06)

7	6	5	4	3	2	1	0
保留			DBPG		保留		
R/W			R/W		R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-34. 寄存器 6 (0x06) 字段说明

位	字段	类型	复位	说明
7-4	保留		0	保留
3	DBPG	R/W	0	页面自动递增禁用：针对非零 Book 禁用页面自动递增模式。到达页末后，当该位为 0 时，它会返回到下一页的第 8 个地址位置。当该位为 1 时，它会像较早的器件一样转到当前页本身的第 0 个位置。 0：启用页面自动递增 1：禁用页面自动递增
2-0	保留	R/W	0	保留

7.6.1.6 寄存器 7 (0x07)

图 7-38. 寄存器 7 (0x07)

7	6	5	4	3	2	1	0
保留			DEMP	保留			SDSL
R/W			R/W	R/W			R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-35. 寄存器 7 (0x07) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4	DEMP	R/W	0	去加重使能：该位用于启用或禁用去加重滤波器。默认系数适用于 44.1kHz 采样率，但可通过在 RAM 中重新编程相应的系数来修改。 0：禁用去加重滤波器 1：启用去加重滤波器
3-1	保留	R/W	0	保留
0	SDSL	R/W	1	SDOUT 选择：该位选择作为 SDOUT 通过 SDOUT 引脚输出的内容。 0：SDOUT 是 DSP 输出（后处理） 1：SDOUT 是 DSP 输入（预处理）

7.6.1.7 寄存器 8 (0x08)

图 7-39. 寄存器 8 (0x08)

7	6	5	4	3	2	1	0
保留		G2OE	MUTEOE	保留			
R/W		R/W	R/W	R/W			

表 7-36. 寄存器 8 (0x08) 字段说明

位	字段	类型	复位	说明
7-6	保留	R/W		保留

表 7-36. 寄存器 8 (0x08) 字段说明 (续)

位	字段	类型	复位	说明
5	G2OE	R/W	0	SDOUT 输出启用：该位设置 SDOUT 引脚的方向 0：SDOUT 是输入 1：SDOUT 为输出
4	MUTE0E	R/W	0	MUTE 控制使能：该位用于设置从 PCM 到 TPA 的 MUTE 控制使能功能 0：禁用 MUTE 控制 1：启用 MUTE 控制
3-0	保留	R/W	0	保留

7.6.1.8 寄存器 9 (0x09)

图 7-40. 寄存器 9 (0x09)

7	6	5	4	3	2	1	0
保留		SCLKP	SCLKO		保留		LRCLKFSO
R/W		R/W	R/W		R/W		R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-37. 寄存器 9 (0x09) 字段说明

位	字段	类型	复位	说明
7-6	保留			保留
5	SCLKP	R/W	0	SCLK 极性：该位设置反转 SCLK 模式。在反转 SCLK 模式下，DAC 假定 LRCLK 和 DIN 边沿与 SCLK 的上升沿对齐。通常假定它们与 SCLK 的下降沿对齐。 0：正常 SCLK 模式 1：反转 SCLK 模式
4	SCLKO	R/W	0	SCLK 输出使能：该位设置 SCLK 引脚方向以用于 I2S 控制器模式操作的输出。在 I2S 控制器模式下，PCM51xx 输出参考 SCLK 和 LRCLK，外部源设备根据这些时钟提供 DIN 信号。使用 P0-R32 寄存器编程 MCLK 的分频系数，以产生所需的 SCLK 频率（通常为 64 FS） 0：SCLK 是输入（I2S 目标模式） 1：SCLK 是输出（I2S 控制器模式）
3-1	保留			保留
0	LRKO	R/W	0	LRCLK 输出使能：该位设置 LRCLK 引脚方向以用于 I2S 控制器模式操作的输出。在 I2S 控制器模式下，PCM51xx 输出参考 SCLK 和 LRCLK，外部源设备根据这些时钟提供 DIN 信号。使用 P0-R33 寄存器编程 SCLK 的分频系数，以生成用于 LRCLK 的 1 FS 信号。 0：LRCLK 是输入（I2S 目标模式） 1：LRCLK 是输出（I2S 控制器模式）

7.6.1.9 寄存器 12 (0x0C)

图 7-41. 寄存器 12 (0x0C)

7	6	5	4	3	2	1	0
			保留			RSCLK	RLRK
			R/W			R/W	R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-38. 寄存器 12 (0x0C) 字段说明

位	字段	类型	复位	说明
7-2	保留	R/W		保留

表 7-38. 寄存器 12 (0x0C) 字段说明 (续)

位	字段	类型	复位	说明
1	RSCLK	R/W	0	控制器模式 SCLK 分频器复位 - 当设置为 0 时, 该位将复位 MCLK 分频器以为 I2S 控制器模式生成 SCLK 时钟。要使用 I2S 控制器模式, 必须正确启用分频器并对其进行编程。 0: 控制器模式 SCLK 时钟分频器已复位 1: 控制器模式 SCLK 时钟分频器正常运行
0	RLRK	R/W	1	控制器模式 LRCLK 分频器复位 - 当设置为 0 时, 该位将复位 SCLK 分频器以为 I2S 控制器模式生成 LRCLK 时钟。要使用 I2S 控制器模式, 必须正确启用分频器并对其进行编程。 0: 控制器模式 LRCLK 时钟分频器已复位 1: 控制器模式 LRCLK 时钟分频器正常运行

7.6.1.10 寄存器 13 (0x0D)

图 7-42. 寄存器 13 (0x0D)

7	6	5	4	3	2	1	0
保留			SREF	保留	SDSP		
R/W			R/W	R/W	R/W		

说明: R/W = 读取/写入; R = 只读; -n = 复位后的值

表 7-39. 寄存器 13 (0x0D) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W		保留
4	SREF	R/W	0	DSP 时钟源 - 此位选择内部 PLL 的源时钟。此位在时钟自动设置模式下被忽略并被覆盖。 0: PLL 基准时钟为 MCLK 1: PLL 基准时钟为 SCLK 010: PLL 基准时钟为振荡器时钟 011: PLL 基准时钟为 GPIO (使用 P0_R18 选择) 其他: 保留 (PLL 基准静音)
3	保留	R/W		保留
2-0	SDSP	R/W	0	DAC 时钟源 - 这些位选择 DSP 时钟分频器的源时钟。 000: 控制器时钟 (PLL/MCLK 和 OSC 自动选择) 001: PLL 时钟 010: OSC 时钟 011: MCLK 时钟 100: SCLK 时钟 101: GPIO (使用 P0-R16 选择) 其他: 保留 (静音)

7.6.1.11 寄存器 14 (0x0E)

图 7-43. 寄存器 14 (0x0E)

7	6	5	4	3	2	1	0
保留	SDAC			保留	SOSR		
R/W	R/W			R/W	R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-40. 寄存器 14 (0x0E) 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0	保留
6-4	SDAC	R/W	0	DAC 时钟源：这些位选择 DAC 时钟分频器的源时钟。 000：控制器时钟（PLL/MCLK 和 OSC 自动选择） 001：PLL 时钟 010：OSC 时钟 011：MCLK 时钟 100：SCLK 时钟 101：GPIO（使用 P0-R16 选择） 其他：保留（静音）
3	保留	R/W	0	保留
2-0	SOSR	R/W	0	OSR 时钟源：这些位选择 OSR 时钟分频器的源时钟。 000：DAC 时钟 001：控制器时钟（PLL/MCLK 和 OSC 自动选择） 010：PLL 时钟 011：OSC 时钟 100：MCLK 时钟 101：SCLK 时钟 110：GPIO（使用 P0-R17 选择） 其他：保留（静音）

7.6.1.12 寄存器 15 (0x0F)

图 7-44. 寄存器 15 (0x0F)

7	6	5	4	3	2	1	0
保留					SNCP		
R/W					R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-41. 寄存器 15 (0x0F) 字段说明

位	字段	类型	复位	说明
7-3	保留	R/W		保留
2-0	SNCP	R/W	0	NCP 时钟源：这些位选择 CP 时钟分频器的源时钟。 000：DAC 时钟 001：控制器时钟（PLL/MCLK 和 OSC 自动选择） 010：PLL 时钟 011：OSC 时钟 100：MCLK 时钟 101：SCLK 时钟 110：GPIO（使用 P0-R17 选择） 其他：保留（静音）

7.6.1.13 寄存器 16 (0x10)

图 7-45. 寄存器 16 (0x10)

7	6	5	4	3	2	1	0
保留	GDSP			保留	GDAC		
R/W	R/W			R/W	R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-42. 寄存器 16 (0x10) 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0	保留
6-4	GDSP	R/W	0	GPIO 作为 uCDSP 时钟的来源：当 GPIO 被选为 DSP 时钟分频器来源时，这些位会将 SDOUT 引脚选为时钟输入来源。 000：不适用 001：不适用 010：不适用 011：不适用 100：不适用 101：SDOUT 其他：保留（静音）
3	保留	R/W	0	保留
2-0	GDAC	R/W	0	GPIO 作为 DAC 时钟的来源：当 GPIO 被选为 DAC 时钟分频器来源时，这些位会将 SDOUT 引脚选为时钟输入来源。 000：不适用 001：不适用 010：不适用 011：不适用 100：不适用 101：SDOUT 其他：保留（静音）

7.6.1.14 寄存器 17 (0x11)

图 7-46. 寄存器 17 (0x11)

7	6	5	4	3	2	1	0
保留	GNCP			保留	GOSR		
R/W	R/W			R/W	R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-43. 寄存器 17 (0x11) 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0	保留
6-4	GNCP	R/W	0	GPIO 作为 NCP 时钟的来源：当 GPIO 被选为 NCP 时钟分频器来源时，这些位会将 SDOUT 引脚选为时钟输入来源 000：不适用 001：不适用 010：不适用 011：不适用 100：不适用 101：SDOUT 其他：保留（静音）
3	保留	R/W	0	保留
2-0	GOSR	R/W	0	GPIO 作为 OSR 时钟的来源：当 GPIO 被选为 OSR 时钟分频器来源时，这些位会将 SDOUT 引脚选为时钟输入来源。 000：不适用 001：不适用 010：不适用 011：不适用 100：不适用 101：SDOUT 其他：保留（静音）

7.6.1.15 寄存器 18 (0x12)

图 7-47. 寄存器 18 (0x12)

7	6	5	4	3	2	1	0
保留					GREF		
R/W					R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-44. 寄存器 18 (0x12) 字段说明

位	字段	类型	复位	说明
7-3	保留	R/W	0	保留

表 7-44. 寄存器 18 (0x12) 字段说明 (续)

位	字段	类型	复位	说明
2-0	GREF	R/W	0	GPIO 作为 PLL 参考时钟的来源：当 GPIO 被选为 PLL 参考时钟来源时，这些位会将 SDOUT 引脚选为时钟输入来源。 000：不适用 001：不适用 010：不适用 011：不适用 100：不适用 101：SDOUT 其他：保留（静音）

7.6.1.16 寄存器 20 (0x14)

图 7-48. 寄存器 20 (0x14)

7	6	5	4	3	2	1	0
保留				PPDV			
R/W				R/W			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-45. 寄存器 20 (0x14) 字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0	保留
3-0	PPDV	R/W	0	PLL P：这些位设置 PLL 分频器 P 因子。在时钟自动设置模式下会忽略这些位。 0000：P=1 0001：P=2 ... 1110：P=15 1111：禁止（请勿设置此值）

7.6.1.17 寄存器 21 (0x15)

图 7-49. 寄存器 21 (0x15)

7	6	5	4	3	2	1	0
保留		PJDV					
R/W		R/W					

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-46. 寄存器 21 (0x15) 字段说明

位	字段	类型	复位	说明
7-6	保留		0	保留
5-0	PJDV	R/W	001000	PLL J：这些位设置整体 PLL 乘法因子 J.D * R 的 J 部分。 在时钟自动设置模式下会忽略这些位。 000000：禁止（请勿设置此值） 000001：J=1 000010：J=2 ... 111111：J=63

7.6.1.18 寄存器 22 (0x16)

图 7-50. 寄存器 22 (0x16)

7	6	5	4	3	2	1	0
保留		PDDV					
R/W		R/W					

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-47. 寄存器 22 (0x16) 字段说明

位	字段	类型	复位	说明
7-6	保留	R/W		保留
5-0	PDDV	R/W	0	PLL D (MSB)：这些位用于设置整体 PLL 倍频系数 J.D * R 中的 D 部分。在时钟自动设置模式下，这些位将被忽略。 0 (十进制)：D= 0000 1 (十进制)：D=0001 ... 9999 (十进制)：D=9999 其他：禁止（请勿设置）

7.6.1.19 寄存器 23 (0x17)

图 7-51. 寄存器 23 (0x17)

7	6	5	4	3	2	1	0
PDDV							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-48. 寄存器 23 (0x17) 字段说明

位	字段	类型	复位	说明
7-0	PDDV	R/W	0	PLL D (LSB)：这些位用于设置整体 PLL 倍频系数 $J \cdot D \cdot R$ 中的 D 部分。在时钟自动设置模式下，这些位将被忽略。 0 (十进制)：D=0000 1 (十进制)：D=0001 ... 9999 (十进制)：D=9999 其他：禁止 (请勿设置)

7.6.1.20 寄存器 24 (0x18)

图 7-52. 寄存器 24 (0x18)

7	6	5	4	3	2	1	0
保留				PRDV			
R/W				R/W			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-49. 寄存器 24 (0x18) 字段说明

位	字段	类型	复位	说明
7-4	保留	R/W		保留
3-0	PRDV	R/W	0	PLL R：这些位用于设置整体 PLL 倍频系数 $J \cdot D \cdot R$ 中的 R 部分。在时钟自动设置模式下，这些位将被忽略。 0000：R=1 0001：R=2 ... 1111：R=16

7.6.1.21 寄存器 27 (0x1B)

图 7-53. 寄存器 27 (0x1B)

7	6	5	4	3	2	1	0
保留	DDSP						
R/W	R/W						

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-50. 寄存器 27 (0x1B) 字段说明

位	字段	类型	复位	说明
7	保留	R/W		保留

表 7-50. 寄存器 27 (0x1B) 字段说明 (续)

位	字段	类型	复位	说明
6-0	DDSP	R/W	0	DSP 时钟分频器：这些位设置 DSP 时钟的源时钟分频器值。在时钟自动设置模式下会忽略这些位。 0000000：除以 1 0000001：除以 2 ... 1111111：除以 128

7.6.1.22 寄存器 28 (0x1C)

图 7-54. 寄存器 28 (0x1C)

7	6	5	4	3	2	1	0
保留							DDAC
R/W							R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-51. 寄存器 28 (0x1C) 字段说明

位	字段	类型	复位	说明
7	保留			保留
6-4	DDAC	R/W	0	DAC 时钟分频器：这些位设置 DAC 时钟的源时钟分频器值。在时钟自动设置模式下会忽略这些位。 0000000：除以 1 0000001：除以 2 ... 1111111：除以 128
3-0		R/W	1	

7.6.1.23 寄存器 29 (0x1D)

图 7-55. 寄存器 29 (0x1D)

7	6	5	4	3	2	1	0
保留							DNCP
R/W							R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-52. 寄存器 29 (0x1D) 字段说明

位	字段	类型	复位	说明
7	保留			保留
6-2	DNCP	R/W	0	NCP 时钟分频器：这些位设置 CP 时钟的源时钟分频器值。在时钟自动设置模式下会忽略这些位。 0000000：除以 1 0000001：除以 2 ... 1111111：除以 128
1-0		R/W	1	

7.6.1.24 寄存器 30 (0x1E)

图 7-56. 寄存器 30 (0x1E)

7	6	5	4	3	2	1	0
保留							DOSR

图 7-56. 寄存器 30 (0x1E) (续)

R/W	R/W
-----	-----

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-53. 寄存器 30 (0x1E) 字段说明

位	字段	类型	复位	说明
7	保留			保留
6-4	DOSR	R/W	0	OSR 时钟分频器：这些位设置 OSR 时钟的源时钟分频器值。在时钟自动设置模式下会忽略这些位。 0000000：除以 1 0000001：除以 2 ... 1111111：除以 128
3-0		R/W	1	

7.6.1.25 寄存器 32 (0x20)

图 7-57. 寄存器 32 (0x20)

7	6	5	4	3	2	1	0
保留	DSCLK						
R/W	R/W						

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-54. 寄存器 32 (0x20) 字段说明

位	字段	类型	复位	说明
7	保留	R/W		保留
6-0	DSCLK	R/W	0	控制器模式 SCLK 分频器：这些位设置 MCLK 分频器值以生成 I2S 控制器 SCLK 时钟。 0000000：除以 1 0000001：除以 2 ... 1111111：除以 128

7.6.1.26 寄存器 33 (0x21)

图 7-58. 寄存器 33 (0x21)

7	6	5	4	3	2	1	0
DLRK							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-55. 寄存器 33 (0x21) 字段说明

位	字段	类型	复位	说明
7-0	DLRK	R/W	0	控制器模式 LRCLK 分频器：这些位设置 I2S 控制器 SCLK 时钟分频器值以生成 I2S 控制器 LRCLK 时钟 00000000：除以 1 00000001：除以 2 ... 11111111：除以 256

7.6.1.27 寄存器 34 (0x22)

图 7-59. 寄存器 34 (0x22)

7	6	5	4	3	2	1	0
	保留		I16E	保留	FSSP		FSSP
	R/W		R/W	R/W	R/W		R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-56. 寄存器 34 (0x22) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W		保留
4	I16E	R/W	0	16 倍插值：该位用于启用或禁用 16 倍插值模式 0：8 倍插值 1：16 倍插值
3	保留	R/W		保留
2	FSSP	R/W	1	FS 速度模式：这些位用于选择 FS 运行模式，该模式必须根据当前音频采样率进行设置。在时钟自动设置模式下会忽略这些位。
1-0		R/W	0	
				000：保留 001：保留 010：保留 011：48kHz 100：88.2-96kHz 101：保留 110：保留 111：32kHz

7.6.1.28 寄存器 37 (0x25)

图 7-60. 寄存器 37 (0x25)

7	6	5	4	3	2	1	0
保留	IDFS	IDBK	IDSK	IDCH	IDCM	DCAS	IPLK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-57. 寄存器 37 (0x25) 字段说明

位	字段	类型	复位	说明
7	保留	R/W		保留
6	IDFS	R/W	0	忽略 FS 检测：该位控制是否忽略 FS 检测。被忽略时，FS 错误不会导致时钟错误。 0：注意 FS 检测 1：忽略 FS 检测
5	IDBK	R/W	0	忽略 SCLK 检测：该位控制是否忽略根据 LRCLK 的 SCLK 检测。SCLK 必须稳定在 32 FS 和 256 FS 之间（含），否则会报告错误。被忽略时，SCLK 错误不会导致时钟错误。 0：注意 SCLK 检测 1：忽略 SCLK 检测
4	IDSK	R/W	0	忽略 MCLK 检测：该位控制是否忽略根据 LRCLK 的 MCLK 检测。仅允许特定 MCLK 比率在一定的误差范围内使用。被忽略时，MCLK 错误不会导致时钟错误。 0：注意 MCLK 检测 1：忽略 MCLK 检测
3	IDCH	R/W	0	忽略时钟停止检测：该位控制是否忽略 MCLK 停止（静态或频率低于可接受范围）的检测。被忽略时，MCLK 缺失不会导致时钟错误。 0：进行 MCLK 暂停检测 1：忽略 MCLK 暂停检测
2	IDCM	R/W	0	忽略 LRCLK/SCLK 缺失检测：该位控制是否忽略 LRCLK/SCLK 缺失检测。LRCLK/SCLK 需要处于低电平状态（）才能被视为缺失。当忽略 LRCLK/SCLK 缺失时，DAC 不会进入断电模式。 0：进行 LRCLK/SCLK 缺失检测 1：忽略 LRCLK/SCLK 缺失检测
1	DCAS	R/W	0	禁用时钟分频器自动设置：该位用于启用或禁用时钟自动设置模式。处理非常规音频时钟配置时，必须禁用自动设置模式，并手动设置所有时钟分频器。 此外，可能还需要禁用某些时钟检测器。在 VCOM 模式下启用 PLL 时，时钟自动设置功能不起作用。在这种情况下，必须禁用此功能，并且必须手动设置时钟分频器。 0：启用时钟自动设置 1：禁用时钟自动设置
0	IPLK	R/W	0	忽略 PLL 时钟检测：该位控制是否忽略 PLL 时钟检测。被忽略时，PLL 解锁不会导致时钟错误。无论此位如何设置，位于 P0-R4 第 4 位的 PLL 锁定标志始终正确。 0：PLL 解锁引起时钟错误 1：PLL 解锁被忽略

7.6.1.29 寄存器 40 (0x28)

图 7-61. 寄存器 40 (0x28)

7	6	5	4	3	2	1	0
保留		AFMT		保留		ALEN	
R/W		R/W		R/W		R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-58. 寄存器 40 (0x28) 字段说明

位	字段	类型	复位	说明
7-6	-			
5-4	AFMT	R/W	0	I2S 数据格式：这些位控制 DAC 操作的输入和输出音频接口格式。 00：I2S 01：DSP 10：RTJ 11：LTJ
3-2	保留	R/W		保留
1	ALEN	R/W	1	I2S 字长：这些位控制 DAC 操作所需的输入和输出音频接口采样字长度。
0		R/W	0	00：16 位 01：20 位 10：24 位 11：32 位

7.6.1.30 寄存器 41 (0x29)

图 7-62. 寄存器 41 (0x29)

7	6	5	4	3	2	1	0
AOFS							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-59. 寄存器 41 (0x29) 字段说明

位	字段	类型	复位	说明
7-0	AOFS	R/W	0	I2S 移位：这些位控制输入和输出的音频帧中音频数据的偏移。偏移定义为从音频帧的起始 (MSB) 到所需音频采样的起始位置的 SCLK 数。 00000000：偏移 = 0 SCLK (无偏移) 00000001：偏移 = 1 SCLK 00000010：偏移 = 2 SCLK ... 11111111：偏移 = 256 SCLK

7.6.1.31 寄存器 42 (0x2A)

图 7-63. 寄存器 42 (0x2A)

7	6	5	4	3	2	1	0
保留		AUPL		保留		AUPR	
R/W		R/W		R/W		R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-60. 寄存器 42 (0x2A) 字段说明

位	字段	类型	复位	说明
7-6	保留	R/W		保留
5	AUPL	R/W	0	左 DAC 数据路径：这些位控制左通道音频数据路径连接。
4		R/W	1	00：零数据（静音） 01：左通道数据 10：右通道数据 11：保留（请勿设置）
3-2	保留	R/W		保留
1	AUPR	R/W	0	右 DAC 数据路径：这些位控制右通道音频数据路径连接。
0		R/W	1	00：零数据（静音） 01：右通道数据 10：左通道数据 11：保留（请勿设置）

7.6.1.32 寄存器 43 (0x2B)

图 7-64. 寄存器 43 (0x2B)

7	6	5	4	3	2	1	0
保留				PSEL			
R/W				R/W			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-61. 寄存器 43 (0x2B) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W		保留
4-1	PSEL	R/W	0	DSP 程序选择：这些位选择要用于音频处理的 DSP 程序。
0		R/W	1	00000：保留 00001：Rom 模式 1 00010：保留 00011：保留

7.6.1.33 寄存器 44 (0x2C)

图 7-65. 寄存器 44 (0x2C)

7	6	5	4	3	2	1	0
保留				CMDP			
R/W				R/W			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-62. 寄存器 44 (0x2C) 字段说明

位	字段	类型	复位	说明
7-3	保留			保留
2-0	CMDP	R/W	0	时钟缺失检测周期：这些位用于设置 SCLK 和 LRCLK 保持低电平多长时间后，音频时钟将被判定为缺失，且 DAC 将进入断电模式。 000：约 1 秒 001：约 2 秒 010：约 3 秒 ... 111：约 8 秒

7.6.1.34 寄存器 59 (0x3B)

图 7-66. 寄存器 59 (0x3B)

7	6	5	4	3	2	1	0
保留	AMTL			保留	AMTR		
R/W	R/W			R/W	R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-63. 寄存器 59 (0x3B) 字段说明

位	字段	类型	复位	说明
7	保留	R/W		保留
6-4	AMTL	R/W	0	左通道的自动静音时间：这些位指定通道可以自动静音之前，左通道上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000：11.5ms 001：53ms 010：106.5ms 011：266.5ms 100：0.535 秒 101：1.065 秒 110：2.665 秒 111：5.33s
3	保留	R/W		保留

表 7-63. 寄存器 59 (0x3B) 字段说明 (续)

位	字段	类型	复位	说明
2-0	AMTR	R/W	0	右通道的自动静音时间：这些位指定通道可以自动静音之前，右通道上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000 : 11.5ms 001 : 53ms 010 : 106.5ms 011 : 266.5ms 100 : 0.535 秒 101 : 1.065 秒 110 : 2.665 秒 111 : 5.33s

7.6.1.35 寄存器 60 (0x3C)

图 7-67. 寄存器 60 (0x3C)

7	6	5	4	3	2	1	0
保留						PCTL	
R/W						R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-64. 寄存器 60 (0x3C) 字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	0	保留
1-0	PCTL	R/W	0	数字音量控制：这些位控制数字音量的行为。 00：左右通道的音量是独立的 01：右通道音量遵循左通道设置

7.6.1.36 寄存器 61 (0x3D)

图 7-68. 寄存器 61 (0x3D)

7	6	5	4	3	2	1	0
VOLL							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-65. 寄存器 61 (0x3D) 字段说明

位	字段	类型	复位	说明
7-0	VOLL	R/W	00110000	左通道数字音量：这些位控制左通道数字音量。数字音量为 24dB 至 -103dB，阶跃为 -0.5dB。 00000000 : +24.0dB 00000001 : +23.5 dB ... 00101111 : +0.5dB 00110000 : 0.0dB 00110001 : -0.5dB ... 11111110 : -103dB 11111111 : 静音

7.6.1.37 寄存器 62 (0x3E)

图 7-69. 寄存器 62 (0x3E)

7	6	5	4	3	2	1	0
VOLR							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-66. 寄存器 62 (0x3E) 字段说明

位	字段	类型	复位	说明
7-0	VOLR	R/W	00110000	右通道数字音量：这些位控制右通道数字音量。数字音量为 24dB 至 -103dB，阶跃为 -0.5dB。 00000000：+24.0dB 00000001：+23.5 dB ... 00101111：+0.5dB 00110000：0.0dB 00110001：-0.5dB ... 11111110：-103dB 11111111：静音

7.6.1.38 寄存器 63 (0x3F)

图 7-70. 寄存器 63 (0x3F)

7	6	5	4	3	2	1	0
VNDF		VNDS		VNUF		VNUS	
R/W		R/W		R/W		R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-67. 寄存器 63 (0x3F) 字段说明

位	字段	类型	复位	说明
7-6	VNDF	R/W	00	数字音量正常斜降频率：这些位控制音量斜降时数字音量的更新频率。此处的设置应用于由 XSMUTE 引脚或 P0-R3 置位的软静音请求。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VNDS	R/W	11	数字音量正常斜降阶跃：这些位控制当音量斜降时数字音量更新的阶跃。此处的设置应用于由 XSMUTE 引脚或 P0-R3 置位的软静音请求。 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-2	VNUF	R/W	00	数字音量正常斜升频率：这些位控制音量斜升时数字音量的更新频率。此处的设置应用于由 XSMUTE 引脚或 P0-R3 置位的软取消静音请求。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接恢复音量（即时取消静音）

表 7-67. 寄存器 63 (0x3F) 字段说明 (续)

位	字段	类型	复位	说明
1-0	VNUS	R/W	11	数字音量正常斜升阶跃：这些位控制当音量斜升时数字音量更新的阶跃。 此处的设置应用于由 XSMUTE 引脚或 P0-R3 置位的软取消静音请求。 00：每次更新递增 4dB 01：每次更新递增 2dB 10：每次更新递增 1dB 11：每次更新递增 0.5dB

7.6.1.39 寄存器 64 (0x40)

图 7-71. 寄存器 64 (0x40)

7	6	5	4	3	2	1	0
VEDF		VEDS		保留			
R/W		R/W		R/W			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-68. 寄存器 64 (0x40) 字段说明

位	字段	类型	复位	说明
7-6	VEDF	R/W	0	数字音量紧急斜降频率：当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的频率，与正常的软静音相比，这通常需要更快的斜降。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VEDS	R/W	1	数字音量紧急斜降阶跃：当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的阶跃，与正常的软静音相比，这通常需要更快的斜降。 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-0	保留	R/W		保留

7.6.1.40 寄存器 65 (0x41)

图 7-72. 寄存器 65 (0x41)

7	6	5	4	3	2	1	0
保留				ACTL	AMLE	AMRE	
R/W				R/W	R/W	R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-69. 寄存器 65 (0x41) 字段说明

位	字段	类型	复位	说明
7-3	保留	R/W		保留
2	ACTL	R/W	1	自动静音控制**NOBUS**：该位用于控制在检测到零样本时的自动静音行为。使用 P0-R59 设置零检测的时间长度。 0：自动静音左右声道，各自独立。 1：仅当两个通道都要自动静音时，才自动使左声道和右声道静音。

表 7-69. 寄存器 65 (0x41) 字段说明 (续)

位	字段	类型	复位	说明
1	AMLE	R/W	1	自动静音左通道**NOBUS**：该位用于启用或禁用右通道的自动静音功能。请注意，当禁用右通道自动静音并且 P0_R65 的位 2 设置为 1 时，左通道也不会自动静音。 0：禁用右通道自动静音 1：启用右通道自动静音
0	AMRE	R/W	1	自动静音右通道**NOBUS**：该位用于启用或禁用左通道的自动静音功能。请注意，当禁用左通道自动静音并且 P0_R65 的位 2 设置为 1 时，右通道也绝不会自动静音。 0：禁用左声道自动静音 1：启用左通道自动静音

7.6.1.41 寄存器 67 (0x43)

图 7-73. 寄存器 67 (0x43)

7	6	5	4	3	2	1	0
DLPA		DRPA		DLPM		DRPM	
R/W		R/W		R/W		R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-70. 寄存器 67 (0x43) 字段说明

位	字段	类型	复位	说明
7-6	DLPA	R/W	0	左侧 DAC 初级 AC 抖动增益：这些位控制左通道初级 DAC 调制器的 AC 抖动增益。 00：AC 抖动增益 = 0.125 01：AC 抖动增益 = 0.25
5-4	DRPA	R/W	0	右 DAC 初级 AC 抖动增益：这些位控制右通道初级 DAC 调制器的 AC 抖动增益。 00：AC 抖动增益 = 0.125 01：AC 抖动增益 = 0.25
3-2	DLPM	R/W	0	左 DAC 初级 DEM 抖动增益：这些位控制左通道初级 Galton DEM 的抖动增益。 00：DEM 抖动增益 = 0.5 01：DEM 抖动增益 = 1.0 其他：保留（请勿设置）
1-0	DRPM	R/W	0	右 DAC 初级 DEM 抖动增益：这些位控制右通道初级 Galton DEM 的抖动增益。 00：DEM 抖动增益 = 0.5 01：DEM 抖动增益 = 1.0 其他：保留（请勿设置）

7.6.1.42 寄存器 68 (0x44)

图 7-74. 寄存器 68 (0x44)

7	6	5	4	3	2	1	0
保留					DLPD		
R/W					R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-71. 寄存器 68 (0x44) 字段说明

位	字段	类型	复位	说明
7-3	保留	R/W		保留
2-0	DLPD	R/W	0	左 DAC 主通道 DC 抖动：这些位控制将添加到左通道主 DAC 调制器低部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 00000000000：无 DC 抖动 00000000001： $2^{-11} \times 1/32$ FS 00000000010： $2^{-10} \times 1/32$ FS

7.6.1.43 寄存器 69 (0x45)

图 7-75. 寄存器 69 (0x45)

7	6	5	4	3	2	1	0
DLPD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-72. 寄存器 69 (0x45) 字段说明

位	字段	类型	复位	说明
7-0	DLPD	R/W	0	左 DAC 主通道 DC 抖动：这些位控制将添加到左通道主 DAC 调制器低部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.44 寄存器 70 (0x46)

图 7-76. 寄存器 70 (0x46)

7	6	5	4	3	2	1	0
DRPD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-73. 寄存器 70 (0x46) 字段说明

位	字段	类型	复位	说明
7-0	DRPD	R/W	0	右 DAC 初级 DC 抖动：这些位控制要添加到右通道初级 DAC 调制器下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.45 寄存器 71 (0x47)

图 7-77. 寄存器 71 (0x47)

7	6	5	4	3	2	1	0
DRPD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-74. 寄存器 71 (0x47) 字段说明

位	字段	类型	复位	说明
7-0	DRPD	R/W	0	右 DAC 初级 DC 抖动：这些位控制要添加到右通道初级 DAC 调制器下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.46 寄存器 72 (0x48)

图 7-78. 寄存器 72 (0x48)

7	6	5	4	3	2	1	0
DLSA		DRSA		DLSM		RSM	
R/W		R/W		R/W		R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-75. 寄存器 72 (0x48) 字段说明

位	字段	类型	复位	说明
7-6	DLSA	R/W	01	左 DAC 次级 AC 抖动增益：这些位控制左通道次级 DAC 的 AC 抖动增益。 00：AC 抖动增益 = 0.125 01：AC 抖动增益 = 0.25
5-4	DRSA	R/W	01	右 DAC 次级 AC 抖动增益：这些位控制右通道次级 DAC 调制器的 AC 抖动增益。 00：AC 抖动增益 = 0.125 01：AC 抖动增益 = 0.25 10：AC 抖动增益 = 0.5 11：无 AC 抖动
3-2	DLSM	R/W	01	左 DAC 次级 DEM 抖动增益：这些位控制左通道次级 Galton DEM 的抖动增益。 00：DEM 抖动增益 = 0.5 01：DEM 抖动增益 = 1.0 其他：保留（请勿设置）
1-0	DRSM	R/W	01	右 DAC 次级 DEM 抖动增益：这些位控制右通道次级 Galton DEM 的抖动增益。 00：DEM 抖动增益 = 0.5 01：DEM 抖动增益 = 1.0 其他：保留（请勿设置）

7.6.1.47 寄存器 73 (0x49)

图 7-79. 寄存器 73 (0x49)

7	6	5	4	3	2	1	0
DLSD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-76. 寄存器 73 (0x49) 字段说明

位	字段	类型	复位	说明
7-0	DLSD	R/W	0	左 DAC 次级 DC 抖动：这些位控制要添加到左通道次级 DAC 调制器的下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.48 寄存器 74 (0x4A)

图 7-80. 寄存器 74 (0x4A)

7	6	5	4	3	2	1	0
DLSD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-77. 寄存器 74 (0x4A) 字段说明

位	字段	类型	复位	说明
7-0	DLSD	R/W	0	左 DAC 次级 DC 抖动：这些位控制要添加到左通道次级 DAC 调制器的下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.49 寄存器 75 (0x4B)

图 7-81. 寄存器 75 (0x4B)

7	6	5	4	3	2	1	0
DRSD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-78. 寄存器 75 (0x4B) 字段说明

位	字段	类型	复位	说明
7-0	DRSD	R/W	00000000	右 DAC 次级 DC 抖动：这些位控制要添加到右通道次级 DAC 调制器的下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.50 寄存器 76 (0x4C)

图 7-82. 寄存器 76 (0x4C)

7	6	5	4	3	2	1	0
DRSD							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-79. 寄存器 76 (0x4C) 字段说明

位	字段	类型	复位	说明
7-0	DRSD	R/W	00000000	右 DAC 次级 DC 抖动：这些位控制要添加到右通道次级 DAC 调制器的下部的 DC 抖动量。DC 抖动以 Q0.11 格式表示，其中 1.0 等于满幅调制器输入的 1/32。 000000000000：无 DC 抖动 000000000001： $2^{-11} \times 1/32$ FS 000000000010： $2^{-10} \times 1/32$ FS

7.6.1.51 寄存器 78 (0x4E)

图 7-83. 寄存器 78 (0x4E)

7	6	5	4	3	2	1	0
OLOF							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-80. 寄存器 78 (0x4E) 字段说明

位	字段	类型	复位	说明
7-0	OLOF	R/W	00000000	左 OFSCAL 偏移：这些位控制要添加到左通道 DAC 输出的手动 DC 偏移量。附加偏移量约等于该寄存器十进制值的负数除以 4 (单位：mV)。 01111111 : - 31.75mV 01111110 : - 31.50 mV ... 00000010 : - 0.50mV 00000001 : - 0.25mV 00000000 : 0.0mV 11111111 : +0.25mV 11111110 : +0.50mV ... 10000000 : +32.0mV

7.6.1.52 寄存器 79 (0x4F)

图 7-84. 寄存器 79 (0x4F)

7	6	5	4	3	2	1	0
OROF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-81. 寄存器 79 (0x4F) 字段说明

位	字段	类型	复位	说明
7-0	OROF	R/W	0	右 OFSCAL 偏移：这些位控制要添加到右通道 DAC 输出的手动 DC 偏移量。附加偏移量约等于该寄存器十进制值的负数除以 4 (单位：mV)。 01111111 : - 31.75mV 01111110 : - 31.50mV ... 00000010 : - 0.50mV 00000001 : - 0.25mV 00000000 : 0.0mV 11111111 : +0.25mV 11111110 : +0.50mV ... 10000000 : +32.0mV

7.6.1.53 寄存器 85 (0x55)

图 7-85. 寄存器 85 (0x55)

7	6	5	4	3	2	1	0
保留					G2SL		
R/W					R/W		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-82. 寄存器 85 (0x55) 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4-0	G2SL	R/W	0	SDOUT 输出选择：这些位选择要输出到 SDOUT 的信号。要实际输出所选信号，SDOUT 必须在 P0-R8 处设置为输出模式。 0000：关闭（低电平） 0001：DSP SDOUT 输出 0010：寄存器 SDOUT 输出（P0-R86，位 5） 0011：自动静音标志（当左右通道都自动静音时置位） 0100：左通道的自动静音标志 0101：右声道的自动静音标志 0110：时钟无效标志（时钟错误或时钟更改或时钟缺失） 0111：串行音频接口数据输出 (SDOUT) 1000：左通道的自动静音标志（低电平有效） 1001：右通道的自动静音标志（低电平有效） 1010：PLL 锁定标志 1011：电荷泵时钟 1100：保留 1101：保留 1110：欠压标志，当 XSMUTE 电压高于 0.7 DVDD 时置位 1111：欠压标志、当 XSMUTE 电压高于 0.3 DVDD 时置位 **内部** 1100：左通道的自动静音标志 1101：右通道的自动静音标志 10000：PLL 时钟/4 10001：振荡器时钟/4 10010：左通道阻抗检测标志 10011：左通道阻抗检测标志 10100：内部欠压保护标志，当 VDD 降至约 2.7V 以下时变为低电平 10101：偏移校准标志，当系统正在进行自身偏移校准时置位。 10110：时钟错误标志 10111：时钟更改标志 11000：时钟缺失标志 11001：时钟暂停检测标志 11010：DSP 引导完成标志 11011：电荷泵电压输出有效标志（低电平有效） 其他：不适用（零）

7.6.1.54 寄存器 86 (0x56)

图 7-86. 寄存器 86 (0x56)

7	6	5	4	3	2	1	0
保留		GOUT2	MUTE			保留	
R/W		R/W	R/W			R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-83. 寄存器 86 (0x56) 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	0	保留
5	GOUT2	R/W	0	GPIO 输出控制：当 P0-R85 的选择位设置为 0010 (寄存器输出) 时，该位控制 SDOUT 引脚的输出 0：输出低电平 1：输出高电平
4	MUTE	R/W	0	当 P0-R84 的选择位设置为 0010 (寄存器输出) 时，该位控制 MUTE 输出。 0：输出低电平 1：输出高电平
3-0	保留	R/W	0	保留

7.6.1.55 寄存器 87 (0x57)

图 7-87. 寄存器 87 (0x57)

7	6	5	4	3	2	1	0
保留		GINV2	MUTE			保留	
R/W		R/W	R/W			R/W	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-84. 寄存器 87 (0x57) 字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	0	保留
5	GINV2	R/W	0	GPIO 输出反相：该位控制 SDOUT 引脚输出的极性。当设置为 1 时，任何被选中的信号输出都将被反相。 0：非反相 1：反转
4	MUTE	R/W	0	该位控制 MUTE 输出的极性。当设置为 1 时，任何被选中的信号输出都将被反相。 0：非反相 1：反转
3-0	保留	R/W	0	保留

7.6.1.56 寄存器 88 (0x58)

图 7-88. 寄存器 88 (0x58)

7	6	5	4	3	2	1	0
DIEI							
R							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-85. 寄存器 88 (0x58) 字段说明

位	字段	类型	复位	说明
7-0	DIEI	RO	0x84	裸片 ID，器件 ID = 0x84

7.6.1.57 寄存器 91 (0x5B)

图 7-89. 寄存器 91 (0x5B)

7	6	5	4	3	2	1	0
保留	DTFS			DTSR			
R/W	R			R			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-86. 寄存器 91 (0x5B) 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0	保留
6-4	DTFS	R	0	检测 FS：这些位指示当前检测到的音频采样率。 000：错误（超出有效范围） 001：8kHz 010：16kHz 011：32-48kHz 100：88.2-96kHz 101：176.4-192 kHz 110：384kHz
3-0	DTSR	R	0	检测到的 MCLK 比率：这些位指示当前检测到的 MCLK 比率。请注意，即使 MCLK 比率未指示为错误，由于与采样率的组合不兼容，时钟误差仍可能被标记。具体而言，MCLK 比率必须足够高，以便在禁用 PLL 时能为最基本的音频处理留出足够的 DSP 周期。绝对 MCLK 频率也必须低于 50MHz。 0000：比率误差（不允许 MCLK 比率） 0001：MCLK = 32 FS 0010：MCLK = 48 FS 0011：MCLK = 64 FS 0100：MCLK = 128 FS 0101：MCLK = 192 FS 0110：MCLK = 256 FS 0111：MCLK = 384 FS 1000：MCLK = 512 FS 1001：MCLK = 768 FS 1010：MCLK = 1024 FS 1011：MCLK = 1152 FS 1100：MCLK = 1536 FS 1101：MCLK = 2048 FS 1110：MCLK = 3072 FS

7.6.1.58 寄存器 92 (0x5C)

图 7-90. 寄存器 92 (0x5C)

7	6	5	4	3	2	1	0
保留							DTBR
R/W							R

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-87. 寄存器 92 (0x5C) 字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	0	保留
0	DTBR	R	0	检测到的 SCLK 比率 (MSB)

7.6.1.59 寄存器 93 (0x5D)

图 7-91. 寄存器 93 (0x5D)

7	6	5	4	3	2	1	0
DTBR							
R/W							

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-88. 寄存器 93 (0x5D) 字段说明

位	字段	类型	复位	说明
7-0	DTBR	R/W		检测到的 SCLK 比率 (LSB)：这些位指示当前检测到的 SCLK 比率，即一个音频帧内的 SCLK 时钟数。请注意，在 SCLK = 1 FS 的极端情况下（此配置本身不可用），检测到的比率将不可靠

7.6.1.60 寄存器 94 (0x5E)

图 7-92. 寄存器 94 (0x5E)

7	6	5	4	3	2	1	0
保留	CDST6	CDST5	CDST4	CDST3	CDST2	CDST1	CDST0
R/W	R	R	R	R	R	R	R

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-89. 寄存器 94 (0x5E) 字段说明

位	字段	类型	复位	说明
7	保留	R/W	0	保留
6	CDST6	R		时钟检测器状态：该位指示 MCLK 时钟是否存在。 0：MCLK 存在 1：MCLK 缺失（已暂停）
5	CDST5	R		该位指示 PLL 是否锁定。当 PLL 被禁用时，它将被报告为解锁。 0：PLL 被锁定 1：PLL 已解锁
4	CDST4	R		该位指示 LRCLK 和 SCLK 是否缺失（连接至低电平）。 0：LRCLK 和/或 SCLK 存在 1：LRCLK 和 SCLK 缺失
3	CDST3	R		该位指示电流采样率和 MCLK 比率的组合对于时钟自动设置是否有效。 0：FS/MCLK 比率的组合有效 1：错误（无法进行时钟自动设置）
2	CDST2	R		该位指示 MCLK 是否有效。MCLK 比率必须可检测为有效。该标志存在一个限制：当 LRCLK 的低电平周期小于或等于五个 SCLK 周期时，此标志将被置位（报告 MCLK 无效）。 0：MCLK 有效 1：MCLK 无效
1	CDST1	R		该位指示 SCLK 是否有效。SCLK 比率必须稳定并且在 32-256FS 范围内才有效。 0：SCLK 有效 1：SCLK 无效
0	CDST0	R		该位指示音频采样率是否有效。采样率必须可检测为有效。该标志存在一个限制：当此标志被置位且 P0-R37 设置为忽略所有已置位的错误标志（从而使 DAC 恢复）时，此标志将被取消置位（不再报告采样率无效）。 0：采样率有效 1：采样率无效

7.6.1.61 寄存器 95 (0x5F)

图 7-93. 寄存器 95 (0x5F)

7	6	5	4	3	2	1	0
	保留		LTSH	保留	CKMF	CSRF	CERF
	R/W		R	R/W	R	R	R

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-90. 寄存器 95 (0x5F) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4	LTSH	R		锁存时钟暂停：该位指示是否发生了 MCLK 暂停。此位在读取后清除。 0：未发生 MCLK 暂停 1：自上次读取后发生了 MCLK 暂停
3	保留	R/W	0	保留
2	CKMF	R		时钟缺失：该位指示 LRCLK 和 SCLK 是否缺失（保持低电平）。 0：LRCLK 和/或 SCLK 存在 1：LRCLK 和 SCLK 缺失
1	CSRF	R		时钟重新同步请求：该位指示是否正在进行时钟重新同步。 0：未重新同步 1：正在进行时钟重新同步
0	CERF	R		时钟错误：该位指示是否发生时钟错误。此位在读取后清除 0：未发生时钟错误 1：发生时钟错误。

7.6.1.62 寄存器 108 (0x6C)

图 7-94. 寄存器 108 (0x6C)

7	6	5	4	3	2	1	0
保留						AML M	AM R M
R/W						R	R

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-91. 寄存器 108 (0x6C) 字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	0	保留
1	AML M	R		左声道模拟静音监测位 - 此位用于监测左声道的模拟静音状态。 0：静音 1：取消静音
0	AM R M	R		右声道模拟静音监测位 - 此位用于监测右声道的模拟静音状态。 0：静音 1：取消静音

7.6.1.63 寄存器 119 (0x77)

图 7-95. 寄存器 119 (0x77)

7	6	5	4	3	2	1	0
保留		GPIN2	MUTE	保留			
R/W		R	R	R			

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-92. 寄存器 119 (0x77) 字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	0	保留
5	GPIN2	R	0	GPIO 输入状态 - 该位指示 SDOUT 引脚的逻辑电平。 0：低 1：高
4	MUTE	R	0	该位指示 MUTE 引脚的逻辑电平。 0：低 1：高
3-0	保留	R	0	保留位。这些位上的数据可能会有所不同。 0：低 1：高

7.6.1.64 寄存器 120 (0x78)

图 7-96. 寄存器 120 (0x78)

7	6	5	4	3	2	1	0
	保留		AMFL		保留		AMFR
	R/W		R		R/W		R

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-93. 寄存器 120 (0x78) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4	AMFL	R		左通道的自动静音标志 - 该位指示左通道的自动静音状态。 0：未自动静音 1：自动静音
3-1	保留	R/W	0	保留
0	AMFR	R		右通道的自动静音标志 - 该位指示右通道的自动静音状态。 0：未自动静音 1：自动静音

7.6.2 寄存器 - 第 1 页

7.6.2.1 寄存器 1 (0x01)

图 7-97. 寄存器 1 (0x01)

7	6	5	4	3	2	1	0
			保留				OSEL
			R/W				R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-94. 寄存器 1 (0x01) 字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	0	保留
0	OSEL	R/W	0	输出振幅类型 - 此位选择输出振幅类型。在 VCOM 模式下启用 PLL 时，时钟自动设置功能不起作用。 在这种情况下，必须通过 P0-R37 禁用此功能，并且必须手动设置时钟分频器。 0：VREF 模式（根据 AVDD 变化提供恒定的输出振幅） 1：VCOM 模式（输出振幅与 AVDD 变化成正比）

7.6.2.2 寄存器 2 (0x02)

图 7-98. 寄存器 2 (0x02)

7	6	5	4	3	2	1	0
保留			LAGN	保留			RAGN
R/W			R/W	R/W			R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-95. 寄存器 2 (0x02) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4	LAGN	R/W	0	左通道的模拟增益控制：该位控制左通道模拟增益。 0：0dB 1：-6dB
3-1	保留	R/W	0	保留
0	RAGN	R/W	0	右通道的模拟增益控制：该位控制右通道模拟增益。 0：0dB 1：-6dB

7.6.2.3 寄存器 6 (0x06)

图 7-99. 寄存器 6 (0x06)

7	6	5	4	3	2	1	0
保留							AMCT
R/W							R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-96. 寄存器 6 (0x06) 字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	0	保留
0	AMCT	R/W	1	模拟静音控制：此位在数字静音后启用或禁用模拟静音。 0：禁用 1：启用

7.6.2.4 寄存器 7 (0x07)

图 7-100. 寄存器 7 (0x07)

7	6	5	4	3	2	1	0
	保留		AGBL		保留		AGBR
	R/W		R/W		R/W		R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-97. 寄存器 7 (0x07) 字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0	保留
4	AGBL	R/W	0	左通道的模拟 +10% 增益：该位启用或禁用左通道的振幅增强模式。 0：正常振幅 1：+10% (+0.8dB) 增强振幅
3-1	保留	R/W	0	保留
0	AGBR	R/W	0	右通道的模拟 +10% 增益：此位可以启用或禁用右通道的振幅增强模式。 0：正常振幅 1：+10% (+0.8dB) 增强振幅

7.6.2.5 寄存器 9 (0x09)

图 7-101. 寄存器 9 (0x09)

7	6	5	4	3	2	1	0
			保留			DEME	VCPD
			R/W			R/W	R/W

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 7-98. 寄存器 9 (0x09) 字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	0	保留
1	DEME	R/W	0	VCOM 引脚用作去加重控制：该位控制是否将 DEEMP/VCOM 引脚用作去加重控制。 0：禁用 (DEEMP/VCOM 不用于控制去加重功能) 1：启用 (DEEMP/VCOM 用于控制去加重功能)
0	VCPD	R/W	1	VCOM 的断电控制：该位控制 VCOM 断电开关。 0：VCOM 已通电 1：VCOM 断电

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 典型应用

TAS3251 器件支持 2 通道桥接负载 (BTL) 和单声道并联桥接负载输出配置。这样可以针对多种不同的应用灵活地对器件进行配置和编程：

- **2.0 立体声系统** — 这是一种标准立体声配置。可使用单个 TAS3251 器件实现立体声 BTL，或使用两个 TTAS3251 器件实现 PBTL。
- **0.1 单声道扬声器** — 当配置为 PBTL 时，TAS3251 可用作单通道放大器。
- **双向 (1.1) 供电扬声器** — TAS3251 的处理和放大器支持双向或有源分频系统，其中高音扬声器和低音扬声器由独立放大器驱动。这样就可以移除扬声器中的无源分频器元件。可通过使用单个 TAS3251 器件的 BTL 配置，或两个 TAS3251 器件的 PBTL 配置实现。
- **三向供电扬声器** — TAS3251 的处理和放大器支持三向有源扬声器，每个扬声器都由独立放大器驱动，具有高音扬声器、中音扬声器和低音扬声器。这样就可以移除扬声器中的无源分频器元件。可通过使用两个 TAS3251 器件 (2 个 BTL + 1 个 PBTL) 或三个 TAS3251 器件 (均配置为 PBTL) 实现。
- **2.1 系统** - TAS3251 可配置为支持 2.1 以支持立体声、2 通道 (2 个 BTL) 和低音炮 (1 个 PBTL) 。

8.1.1 立体声、桥接负载 (BTL) 应用

桥接负载 (BTL) 是一种 2 通道放大器配置，可用于立体声系统或双向供电扬声器。请参阅下面的设计详细信息。

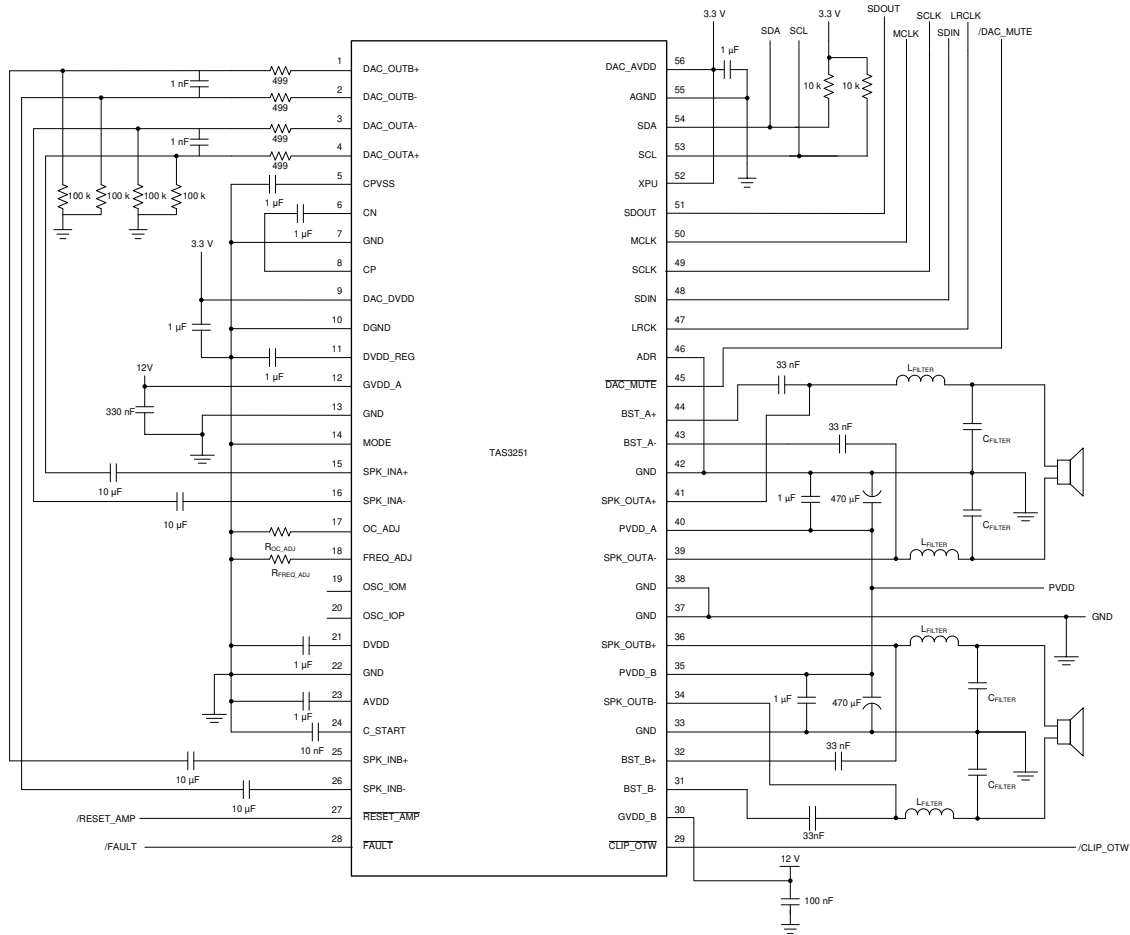


图 8-1. 桥接负载 (BTL) 应用图

8.1.2 单通道并行桥接负载 (PBTl) 应用

并行桥接负载 (PBTL) 是一种单声道单通道放大器配置、可提供两倍的单 BTL 通道电流。TAS3251 支持前置滤波器 PBTL 和后置滤波器 PBTL，可在 LC 滤波器之前或之后并联 D 类输出终端端子。在 LC 滤波器之后并联输出需要四个电感器，而在 LC 滤波器之前并联输出只需两个电感器。

8.1.2.1 并行桥接负载 (PBTL), 前置滤波器

下图显示了使用前置滤波器 **PBTL** 的应用，该应用仅需要两个电感器。请注意，在输出短路情况下，电感器的饱和电流应等于最大电流。

- SPK_OUTA+ 和 SPK_OUTB+ 连接在 L_{FILTER} 之前连接，用于正向放大器输出。
- SPK_OUTA- 和 SPK_OUTB- 连接在 L_{FILTER} 之前连接，用于负向放大器输出。

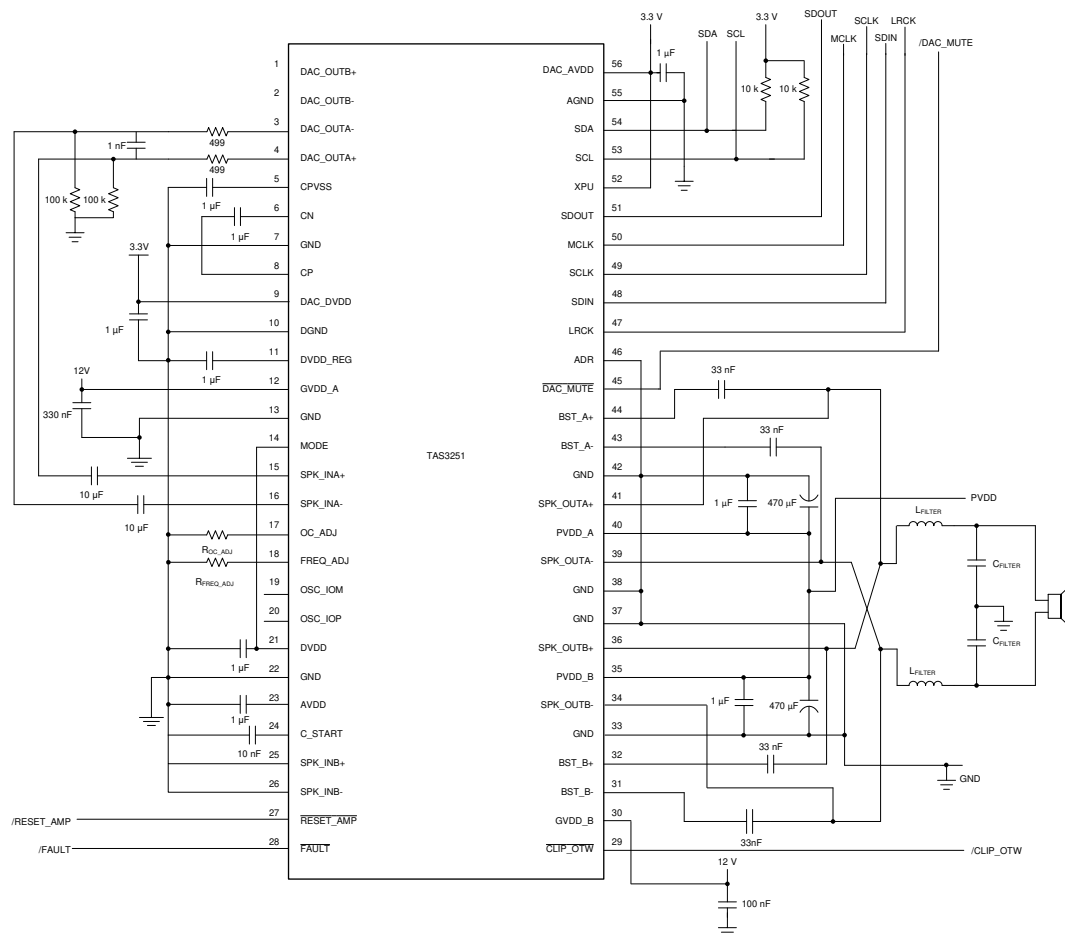


图 8-2. 前置滤波器并行桥接负载 (PBTL) 应用图

8.1.2.2 并行桥接负载，后置滤波器

下图显示了使用后置滤波器 PBTL 的应用，该应用需要四个电感器。正负输出电流在两个电感器之间共享。

- SPK_OUTA+、SPK_OUTA-、SPK_OUTB+ 和 SPK_OUTB- 首先分别连接到 L_{FILTER}。
- 电感器的扬声器侧连接到 A+ 和 B+ 以及 A- 和 B-。请参见下图。

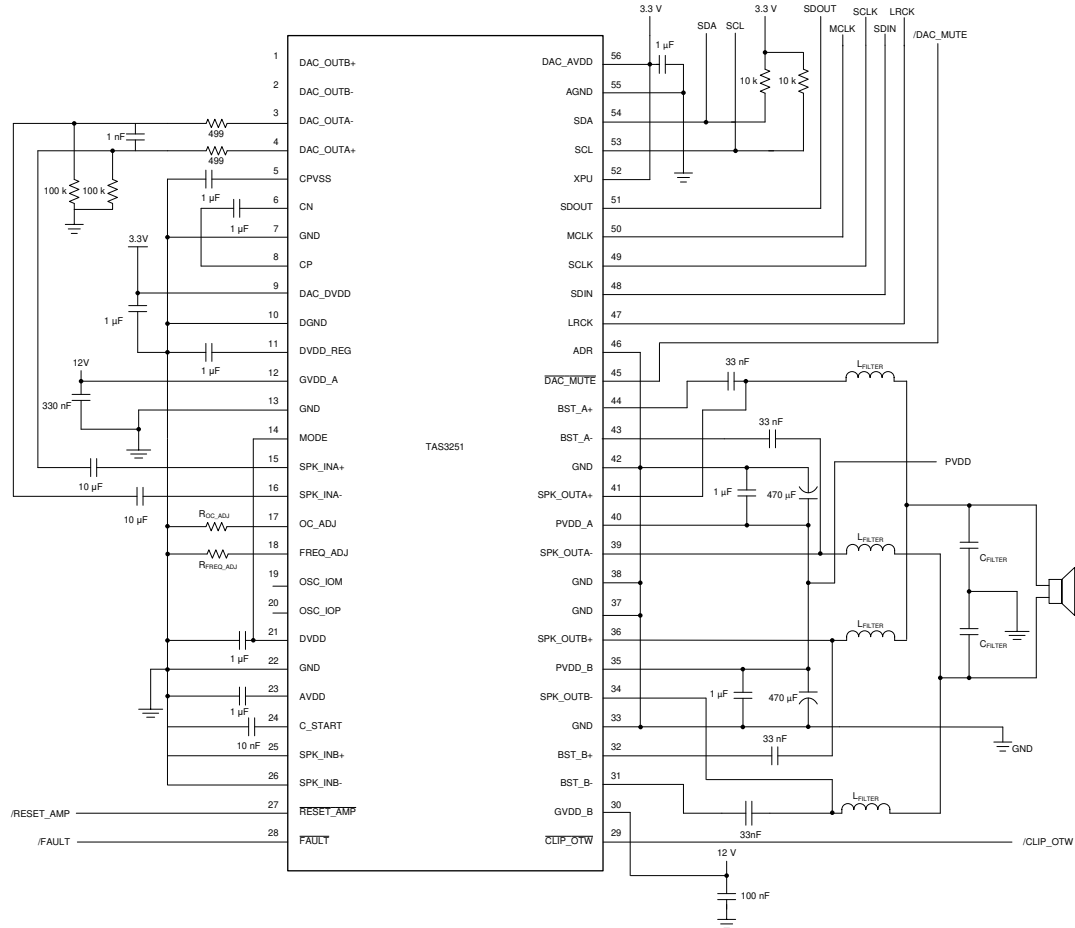


图 8-3. 后置滤波器并行桥接负载 (PBTL) 应用图

8.1.3 设计要求

以下是操作和控制 TAS3251 所需的。

- 电源
 - 模拟和数字：3.3V 电源
 - 栅极驱动：12V 电源
 - PVDD：12V 至 36V 电源
- 通信：通主机处理器用作 I²C 兼容控制器
- 存储器：TAS3251 具有易失性寄存器映射，可在断电时复位。主机处理器应具有足够的存储器，以将器件初始化为所需的配置。

8.1.4 详细设计过程

8.1.4.1 第一步：原理图和布局设计

首先为 TAS3251 设计硬件。使用 *典型应用原理图* 和 [表 5-1](#) 作为配置硬件引脚的指南。遵循 TAS3251EVM 中的元件放置方式和电路板布局布线。电路最关键的部分是电源输入、放大器输出信号和高频时钟和数据信号。在进行设计权衡时，应优先考虑这些布线和连接。

1. 首先根据应用要求选择工作模式：BTL、前置滤波器 PBTL (2 个电感器) 或后置滤波器 PBTL (4 个电感器)。
2. 根据所选的输出配置设计输出级，包括 LC 滤波器。使用 TAS3251EVM 作为参考。应使用 [LC 滤波器设计指南](#) 和 [LC 滤波器设计器](#) 工具来计算截止频率和元件值。
3. 通过配置引脚 18 FREQ_ADJ 上的电阻器来选择开关频率。
4. 通过配置引脚 17 OC_ADJ 上的电阻器来选择过流阈值。
5. 根据 [表 5-1](#) 和 *典型应用原理图* 在电源引脚上应用旁路电容器和去耦电容器。

8.1.4.1.1 去耦电容器建议

要设计出性能稳健、符合监管要求且音质优良的放大器，应使用高质量的去耦电容器。此应用中应使用陶瓷型 X7R。

必须考虑温度、纹波电流和电压过冲。这一点在为每个全桥的 PVDD 电源引脚选择 1 μ F 电容时尤为重要。它必须承受 PWM 开关的电压过冲、高功率输出期间放大器产生的热量以及高功率输出产生的纹波电流。在与 36V 电源配合使用时，电容的最低额定电压需为 50V。

8.1.4.1.2 PVDD 电容器建议

与每个全桥结合使用的大电容器称为 PVDD 电容器。应选择这些电容器以获得适当的电压裕度和足够的电容来满足电源需求。在实际应用中，有了设计良好的系统电源，470 μ F、50V 的电容可满足大多数应用需求。PVDD 电容应为低 ESR 类型，因为它们用于与高速开关相关的电路中。

8.1.4.1.3 BST 电容器

为了确保高侧栅极驱动在所有音频信号下都能正常工作，需要有足够大的自举电荷储存，推荐使用 33nF/25V X7R BST 电容器。

8.1.4.1.4 散热器

散热器应使用导热膏连接到器件，并与电路板接地良好连接。

8.1.4.2 第二步：配置用于目标系统的固定功能处理流程

使用 TAS3251EVM 和 PurePath Console 3 对扬声器系统进行表征、调试和测试。

1. 使用 TAS3251 评估模块 (TAS3251EVM) 和 PurePath Console 3 软件来配置器件设置和音频处理。PurePath Console 3 可在 TI.com 上申请并下载。

2. 在使用 TAS3251EVM 完成合适的配置后，使用 PurePath Console 3 的系统内编程模式，将配置加载到最终系统（而非 TAS3251EVM）中的 TAS3251 上。将 TAS3251EVM 的 I2C 走线连接到最终系统以进行编程。确保 I2C 线路具有兼容的电压和上拉电阻器。

8.1.4.3 第三步：软件集成

1. 使用 PurePath Console 3 软件中的导出功能生成寄存器映射配置文件，用于在系统启动时对 TAS3251 进行初始化。
2. 将该配置文件包含到主处理器程序中，以便在 TAS3251 初始化过程中加载。
3. 将动态控件命令（例如音量控制、静音命令和基于模式的 EQ 曲线）集成到主系统程序中。

8.1.5 两个 TAS3251 器件配置

本节介绍了使用两个 TAS3251 器件系统的硬件设计要求。

8.1.5.1 2 个 PBTL 应用

在此配置中，两个器件均配置为并行桥接负载 (PBTL) 模式。2 个 PBTL 硬件配置的示例用例包括：

- **立体声扬声器对**，带有左右通道音频。可以通过两种方法之一进行实施：
 - 将左通道 I²S 或 TDM 数据发送到一个器件，并将右通道 I²S 或 TDM 数据发送到另一个器件。
 - 或者，向一个器件发送左右通道，并通过 SDOUT 引脚将后处理数据发送到另一个器件。
- **2 分频有源分频器扬声器**，其中一个放大器驱动高频扬声器，另一个驱动低频扬声器。
 - 向两个器件发送相同的音频通道，并将 DSP 用在一个器件中用于高通滤波器，将另一个器件用于低通滤波器以形成 2 分频分频器。
 - 或者，将音频发送到一个主器件，在主器件中进行高通和低通处理，然后使用 SDOUT 引脚仅将高通或低通数据发送到另一个器件。

8.1.5.2 2 个 BTL + 1 个 PBTL 应用

在此配置中，一个器件配置为两桥接负载 (BTL) 模式，另一个器件配置为单声道、并行桥接负载 (PBTL) 模式。2 个 BTL 和 1 个 PBTL 硬件配置的示例用例包括：

- **2.1 扬声器系统**，带有左音频通道、右音频通道和低音炮音频通道。在此设置中，在一个器件中处理左音频、右音频和低音炮音频，然后将低音炮数据从 SDOUT 发送到另一个器件。
- **3 分频有源分频器扬声器**，其中一个放大器驱动高频扬声器和中频扬声器 (BTL)，另一个 (PBTL) 驱动低频扬声器或低音炮。在此配置中，在一个器件中处理所有内容，并将低音炮数据从 SDOUT 发送到另一个器件。

8.1.6 三个或更多 TAS3251 器件配置

本节介绍了使用三个或更多 TAS3251 器件系统的硬件设计要求和注意事项。

在系统中使用三个或更多器件时，单个 TAS3251 的处理能力可能不足以满足需求。为了构建复杂系统，可使用多个 DSP 绘制音频信号路径，并通过菊花链 DSP 或并联 DSP 的组合来处理音频，从而形成完整的扬声器信号路径。

8.1.7 应用曲线

表 8-1. 应用曲线

配置	性能图
BTL	图 6-5 总谐波失真 + 噪声与输出功率率间的关系
BTL	图 6-6 总谐波失真 + 噪声与频率间的关系
PBTL	图 6-13 总谐波失真 + 噪声与输出功率率间的关系
PBTL	图 6-14 总谐波失真 + 噪声与频率间的关系

8.2 电源相关建议

8.2.1 电源

该器件需要三个电源才能正常工作。一个用于低电压电路和 DAC 的 3.3V 导轨，一个用于放大器栅极驱动的 12V 导轨，以及 PVDD，用于为音频放大器的输出级提供电源。这些电源的工作范围如 *建议运行条件* 中所示。TI 建议在开始 I²C 通信之前等待 100ms 至 240ms 以使 DVDD 电源稳定下来，并在启用器件输出之前提供稳定的 I²S 时钟。

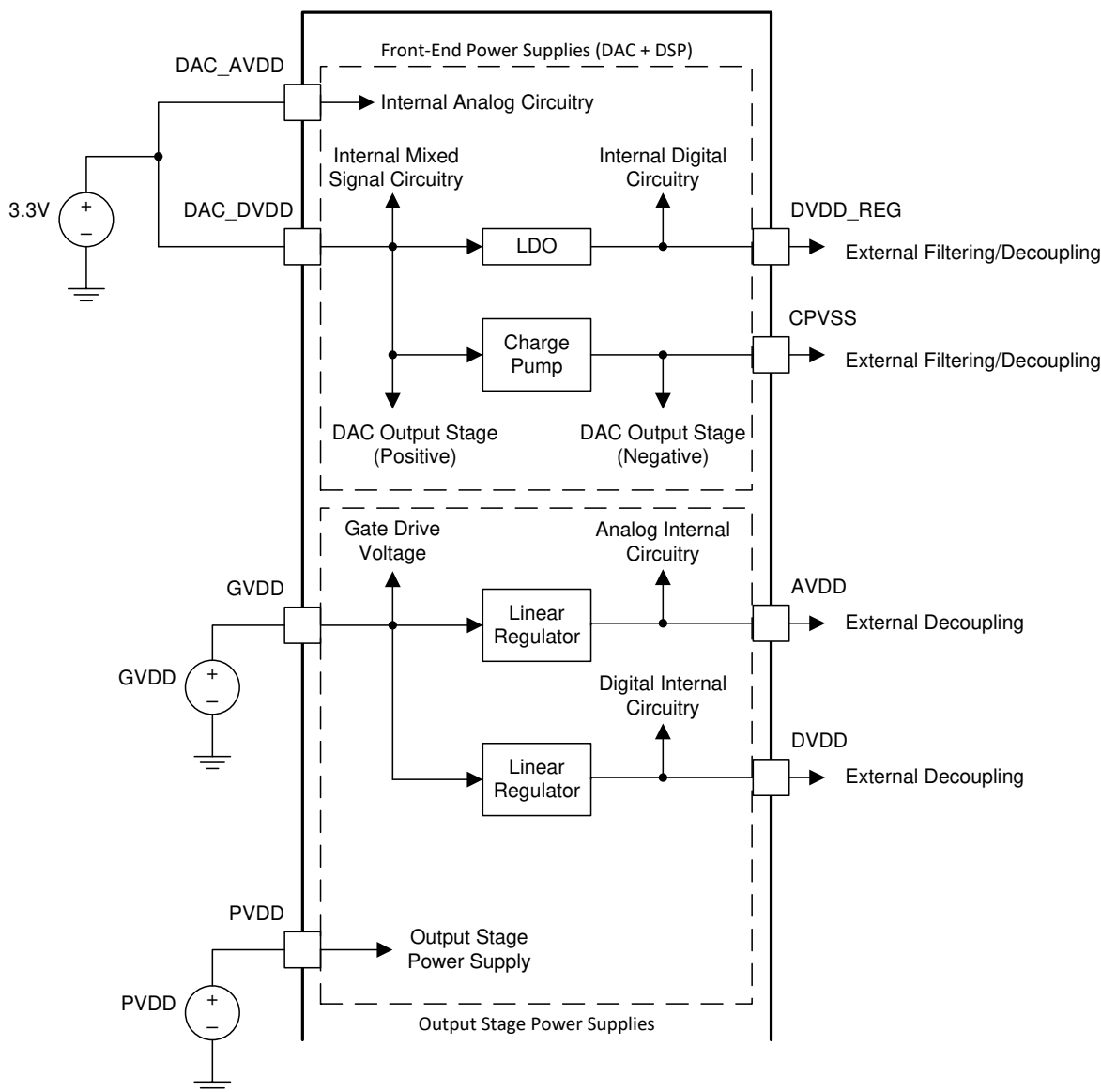


图 8-4. 电源功能方框图

8.2.1.1 DAC_DVDD 和 DAC_AVDD 电源

系统需要提供 DAC_DVDD 电源来为器件的各部分供电。如 [图 8-4](#) 所示，它为 DVDD_REG 引脚和 CPVDD 引脚供电。*EVM 用户指南*（以及 [节 8](#) 部分和 [节 8.3.2](#)）中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。偏离 *TAS3251 EVM 用户指南* 中提供的指导（其遵循了与 [节 8](#) 所示相同的技术）可能导致性能下降、功能异常，甚至损坏 TAS3251 器件。

器件的某些部分还会需要电压低于外部 DAC_DVDD 电源电压的独立电源。为简化系统的电源需求，TAS3251 器件中集成了一个低压降 (LDO) 线性稳压器，以提供这一电源。此线性稳压器内部连接到 DAC_DVDD 电源，其输出位于 DVDD_REG 引脚上，为外部旁路电容器提供了一个连接点。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

TAS3251 器件中使用的高性能 DAC 的输出以接地为中心，需要一个正低压电源和一个负低压电源。DAC 输出级的正电源来自 DAC_AVDD 引脚，该引脚可连接到系统提供的 DAC_DVDD 电源。TAS3251 器件中集成了一个电荷泵，用于产生负低压电源。电荷泵的电源输入是 CPVDD 引脚。提供 CPVSS 引脚是为了允许在负低压电源上连接滤波电容器。与其他电源一样，TAS3251 EVM 用户指南中展示了这些低压电源的外部元件选择、放置和布线，并应尽可能严格地遵循，以确保器件正常运行。

8.2.1.1.1 CPVSS、CN 和 CP 电荷泵

TAS3251 具有集成电荷泵，可用于为 DAC 输出级生成负电源电压。在 CN 和 CP 之间连接一个 1μF 陶瓷电容器，并在 CPVSS 和 GND 之间连接一个 1μF 陶瓷电容器。

8.2.1.2 VDD 电源

系统需要使用 VDD 电源来为器件的各部分供电。它为内部稳压器 DVDD 和 AVDD 提供电源，这些稳压器用于为器件输出功率级的数字和模拟部分供电。将 1μF 陶瓷电容器连接到 GND，并确保电容器额定电压足以满足 AVDD 和 DVDD 的要求。请参阅放大器电气特性中的 DVDD 和 AVDD 典型电压。布局章节和 TAS3251EVM 用户指南中重点说明了正确的连接、布线和去耦技术，必须尽可能严格遵循，以确保器件正常运行并发挥性能。偏离该章节提供的指导可能导致性能下降、功能异常，甚至损坏 TAS3251 器件。

器件的某些部分还会需要电压低于 VDD 电源电压的独立电源。为简化系统的电源需求，TAS3251 器件中集成了低压降 (LDO) 线性稳压器，以提供这些电源。这些线性稳压器内部连接到 VDD 电源，其输出位于 AVDD 和 DVDD 引脚上，为外部旁路电容器提供了一个连接点。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。对这些引脚的额外负载可导致电压骤降并增加噪声注入，从而对器件的性能和运行产生负面影响。

8.2.1.3 GVDD_X 电源

系统所需的 GVDD_X 电源用于为输出 H 桥的栅极驱动器供电。在引脚与 GND 之间放置一个 0.1 μ F 陶瓷电容器，并尽可能靠近引脚。该陶瓷电容器的额定电压应至少为 25V。布局章节和 TAS3251EVM 用户指南中重点说明了正确的连接、布线和去耦技术，必须尽可能严格遵循，以确保器件正常运行并发挥性能。偏离这些章节提供的指导可能导致性能下降、功能异常，甚至损坏 TAS3251 器件。

8.2.1.4 PVDD 电源

放大器的输出级使用 PVDD 电源驱动负载。此电源在回放期间为负载提供驱动电流。部分和部分中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。考虑到输出级的高电压切换，必须对输出功率级进行正确去耦合。如果未正确去耦合，则会导致电压尖峰，进而损坏器件，或导致音频性能不佳和器件关断故障。请参阅 TAS3251EVM 了解正确的元件选择方式、放置位置和布局，以获得最佳性能。

8.2.1.5 BST 电源

TAS3251 为每个半桥栅极驱动内置自举电源，可用于为高侧 MOSFET 供电，每个半桥只需一个电容器。这些电容器连接在各半桥输出端，当 PWM 输出处于低电平状态时，它们通过内部二极管由 GVDD 电源充电。当输出 PWM 为高电平时，高侧栅极驱动由 BST 电容器上的电压供电。建议将 BST 电容器放置在靠近 TAS3251 器件的位置，并尽量缩短 PCB 布线长度。在 BST_xx 引脚和相应的输出级 SPK_OUTxx 引脚之间连接一个 0.033 μ F、耐压至少 25V 的陶瓷电容器。

8.3 布局

8.3.1 布局指南

8.3.1.1 TAS3251 通用指南

包含开关输出级的音频放大器在器件布局和支持元件布局上需要特别注意。包括电磁兼容性 (EMC)、器件可靠性和音频性能在内的系统级性能都会受到布局的影响。有关基于放大器输出配置的布局建议，请参阅[布局示例](#)部分。以下列表提供了放置元件和布线时应遵循的一般指南。

- 使用连续接地层，为电源和音频信号提供低阻抗、低电感的返回路径。
- 保持 DAC 与放大器输入之间的布线尽可能短。在这些布线周围保持良好接地，以防止噪声。
- PVDD 线路上的小型旁路电容器应尽可能靠近 PVDD 引脚放置。
- 将所有旁路和去耦元件的接地端参考到 TAS3251 的接地端，通过将元件的接地端直接连接到器件的接地端实现。
- 尽可能多的接地引脚应保持从接地引脚到器件周围 PCB 区域的连续接地平面。这将有助于通过封装引脚传导热量。

8.3.1.2 PVDD 旁路电容器布置的重要性

旁路和去耦电容器应尽量靠近电源引脚放置，以确保稳定性并获得最佳性能。这适用于 DVDD、AVDD、CPVDD 和 PVDD。

TAS3251 的 PVDD 线路上的小旁路电容器必须尽可能靠近 PVDD 引脚放置。这些器件远离引脚放置不仅会增加系统中的电磁干扰，还会对器件的可靠性造成负面影响。如果这些元件距离 TAS3251 器件太远，则会使输出引脚上出现振铃，导致输出引脚上的电压超出 [节 6.1](#) 表中列出的最大允许额定值，从而损坏器件。因此，PVDD 网络中的电容器与其相关 PVDD 引脚的距离不得远于 [节 8.3.2](#) 中示例布局所示的距离。

8.3.2 布局示例

8.3.2.1 桥接负载 (BTL) 布局示例

本节展示了在桥接负载 (BTL) 模式下运行时的示例布局。

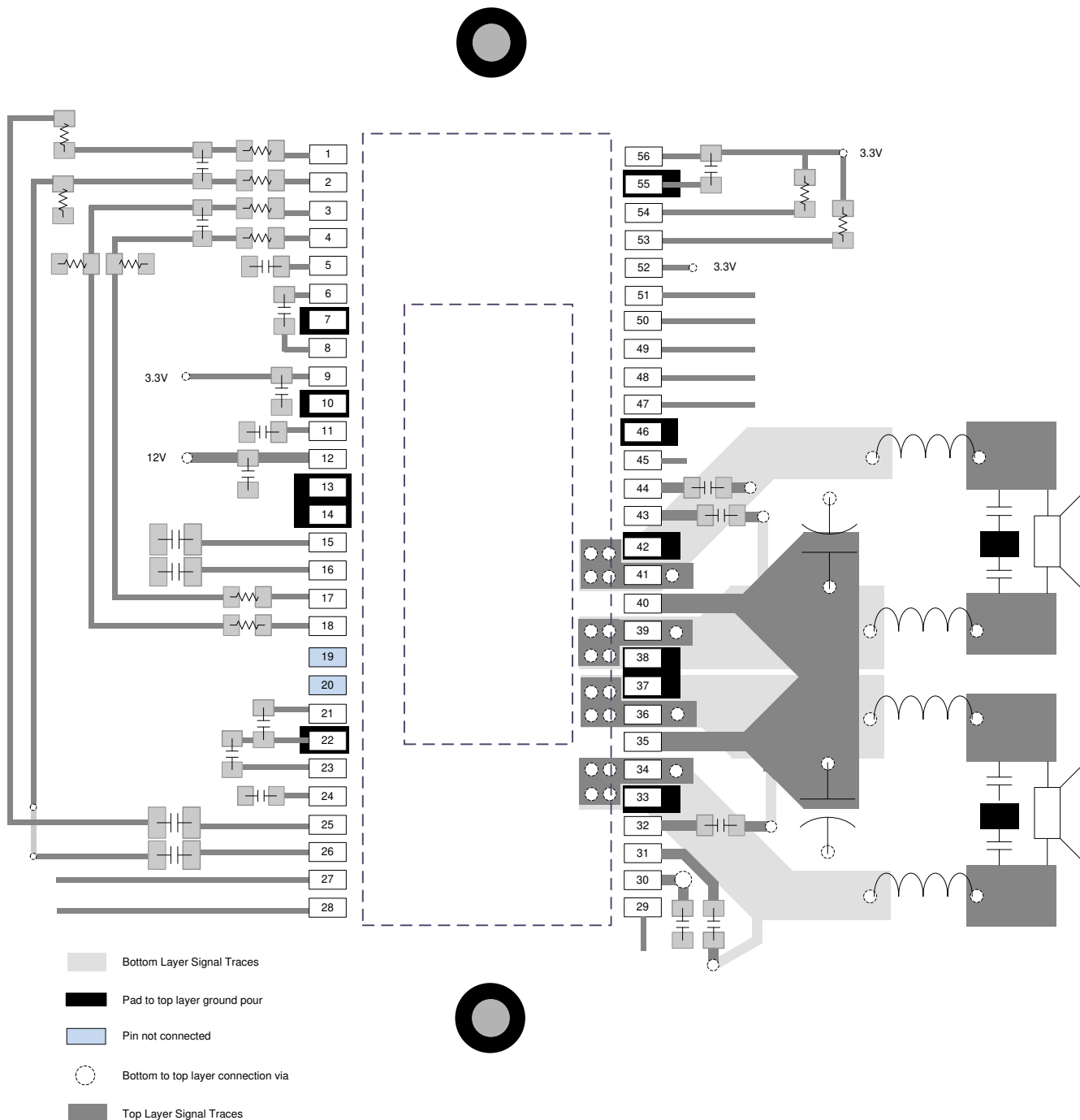


图 8-5. BTL 布局示例

8.3.2.2 并行桥接负载 (PBTl), 前置滤波器

本节介绍了在并行桥接负载 (PBTl) 模式下运行时的示例布局, 使用两个电感器在 LC 滤波器之前连接输出走线。与后置滤波器 PBTl 相比, 该布局需要的电感器更少。

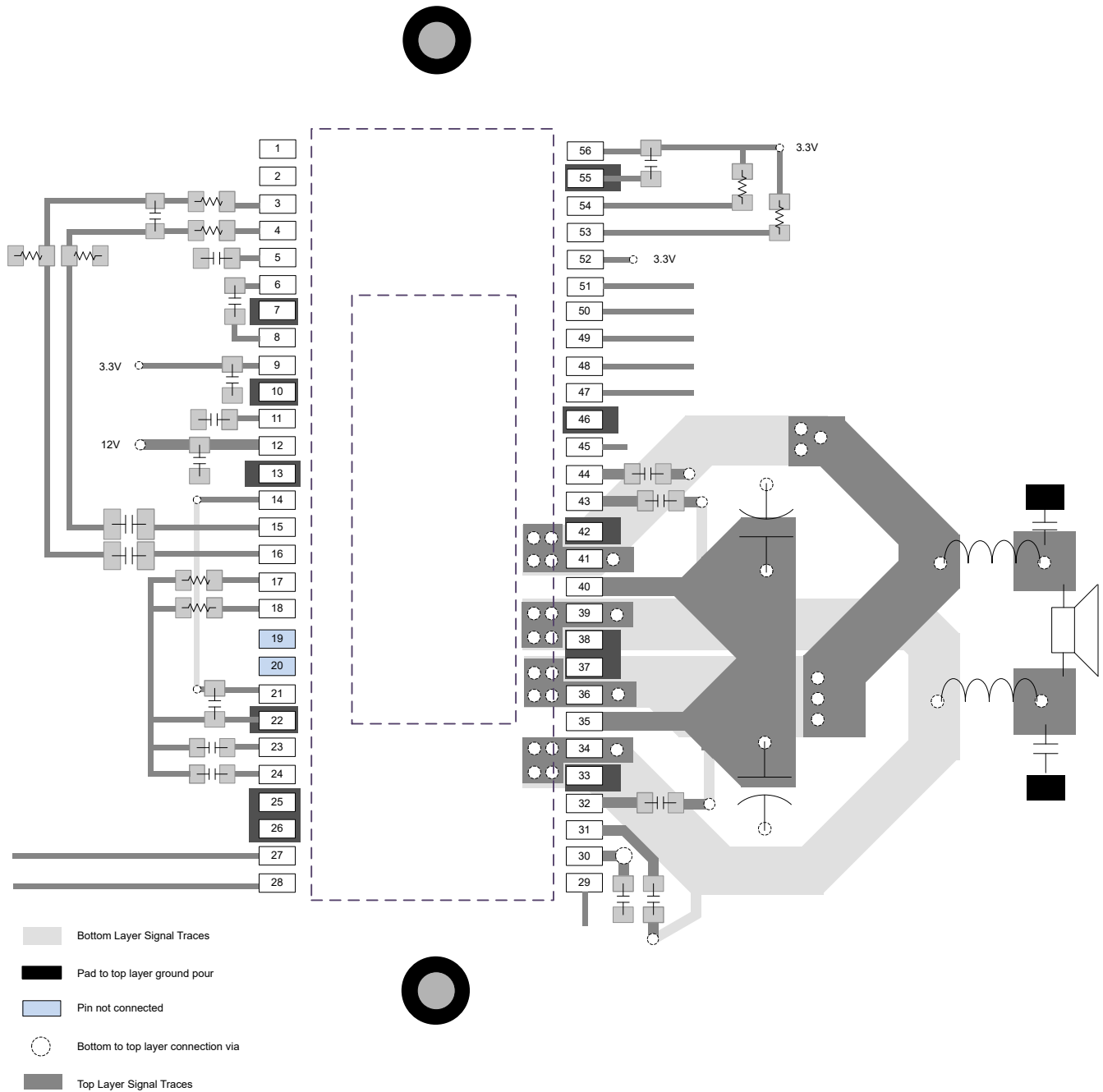


图 8-6. 前置滤波器 PBTl 布局示例

8.3.2.3 并行桥接负载 (PBTL), 后置滤波器

本节介绍了在并行桥接负载 (PBTL) 模式下运行时的示例布局, 使用四个电感器在 LC 滤波器之后连接输出走线。与后置滤波器 PBTL 相比, 该布局需要的电感器更少。

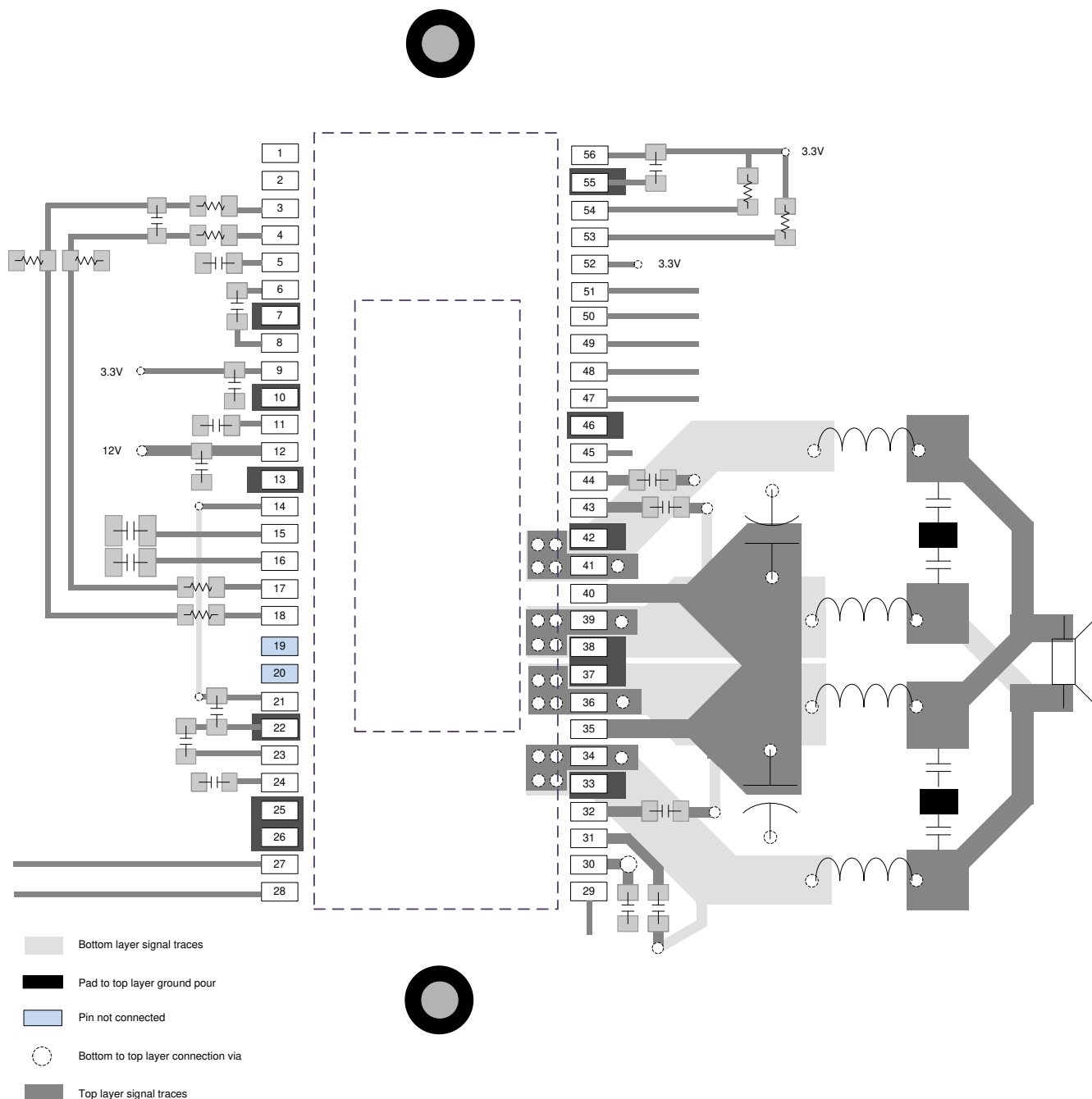


图 8-7. 后置滤波器 PBTL 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 器件命名规则

节 9.6 部分中列出的术语表是一个通用的术语表，其中包括常用的缩写和词语，它们都是根据一个范围广泛的 TI 计划定义的，符合 JEDEC、IPC、IEEE 等行业标准。本节中提供的术语表定义了本产品和文档、配套资料或与本产品配合使用的支持工具和软件独有的词汇、短语和缩写。如对定义和术语有其他疑问，请访问 [e2e 音频放大器论坛](#)。

桥接式负载 (BTL) 是一种输出配置，其中扬声器的两端分别连接一个半桥。

DUT 是指 **被测器件**，用于区分不同的器件。

闭环架构 是一种拓扑结构，其中放大器监视输出端子、对比输出信号与输入信号，并尝试修正输出信号的非线性。

动态控件 是指系统或终端用户在正常使用时可更改的控件。

GPIO 是通用输入/输出引脚。其是一个高度可配置的双向数字引脚，可执行系统所需的多种功能。

主机处理器 (也称系统处理器、标量、主机或系统控制器) 是指用作中央系统控制器的器件，可为与其连接的器件提供控制信息，还可以从上游器件采集音频源数据并将其分配给其他器件。此器件通常配置音频路径中音频处理器件 (如 TAS3251) 的控件，从而根据频率响应、时间校准、目标声压级、系统安全运行区域和用户偏好优化扬声器的音频输出。

HybridFlow 搭配使用 RAM 内置的元件和 ROM 内置的元件来构成一款可配置器件，不仅比完全可编程器件更易于使用，而且还能保持足够的灵活性以适应多种应用。

最大持续输出功率 是指放大器在 25°C 工作环境温度下可持续 (不关断) 提供的最大输出功率。测试需要在其温度达到热平衡且不再上升的时间段执行

并行桥接负载 (PBTL) 是一种输出配置，其中扬声器的两端分别连接一对并行放置的半桥

r_{DS(on)} 是指放大器输出级中所用 MOSFET 的导通电阻。

静态控件/静态配置 是指系统正常使用时不发生变化的控件。

过孔 是指 PCB 中的镀铜通孔。

9.1.2 开发支持

- [TAS3251 评估模块 TAS3251EVM](#) (TAS3251EVM)
- [PurePath™ Console 3 软件](#) (PUREPATHCONSOLE)
- [适用于 PurePath™ 音频 SmartAmp 的扬声器特性鉴定板](#) (PP-SALB-EVM)
- [TAS3251 处理流程](#) (SLAA799)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

Burr-Brown™, PurePath™, PowerPAD™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2020) to Revision C (September 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将提到的旧术语实例全部更改为控制器和目标.....	1
• 更改了图 8-6	113

Changes from Revision A (November 2018) to Revision B (June 2020)	Page
• 从器件比较表中删除了 TAS3245.....	3

Changes from Revision * (May 2018) to Revision A (November 2018)	Page
• 将文档状态从 预告信息 更改为 量产 数据.....	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS3251DKQ.A	Active	Production	HSSOP (DKQ) 56	20 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251
TAS3251DKQR	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251
TAS3251DKQR.A	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

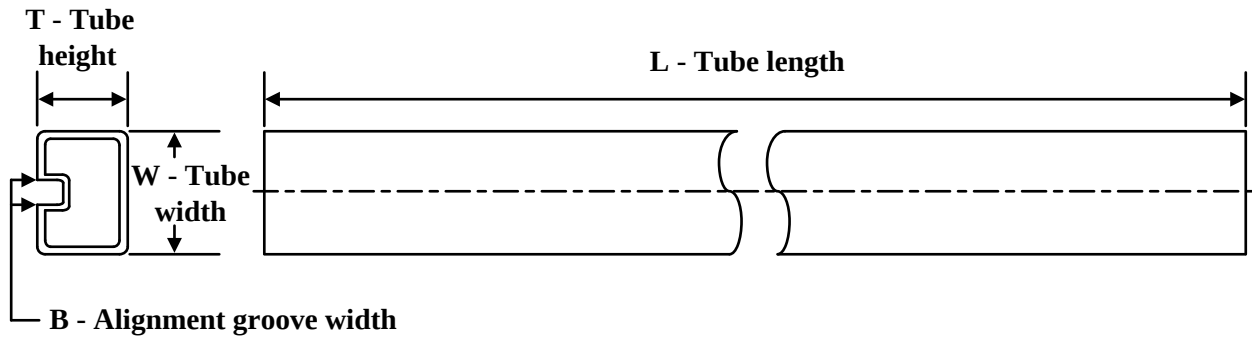
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

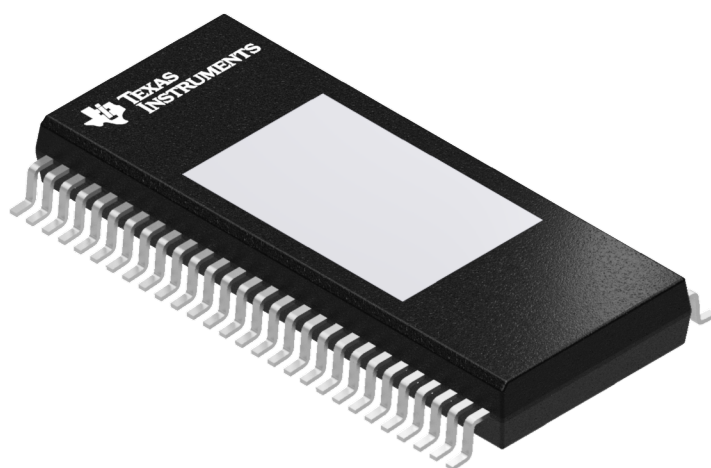
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

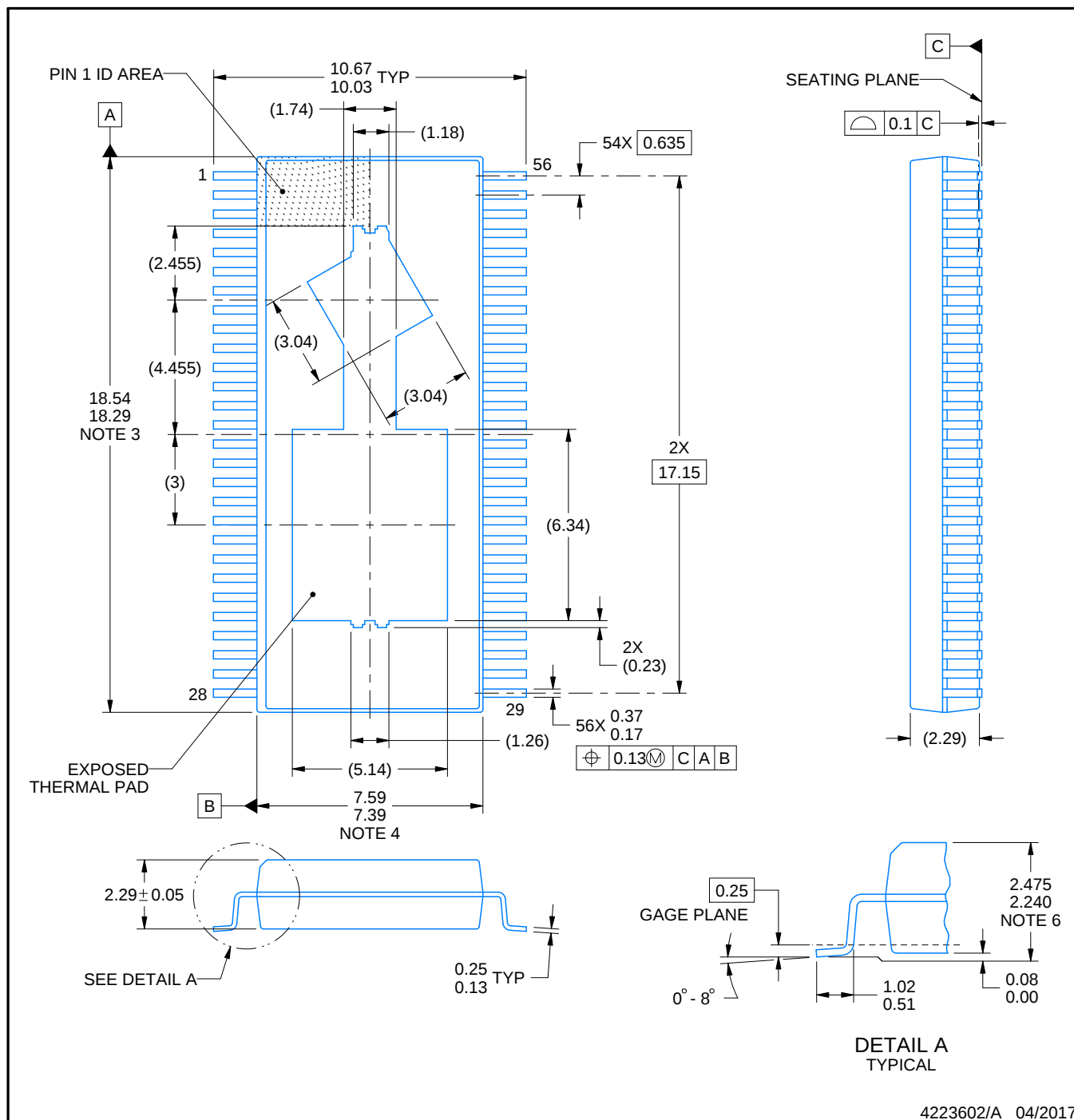
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TAS3251DKQ.A	DKQ	HSSOP	56	20	473.7	14.24	5110	7.87



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DKQ0056B**PowerPAD™ SSOP - 2.475 mm max height**

PLASTIC SMALL OUTLINE



4223602/A 04/2017

NOTES:

PowerPAD is a trademark of Texas Instruments.

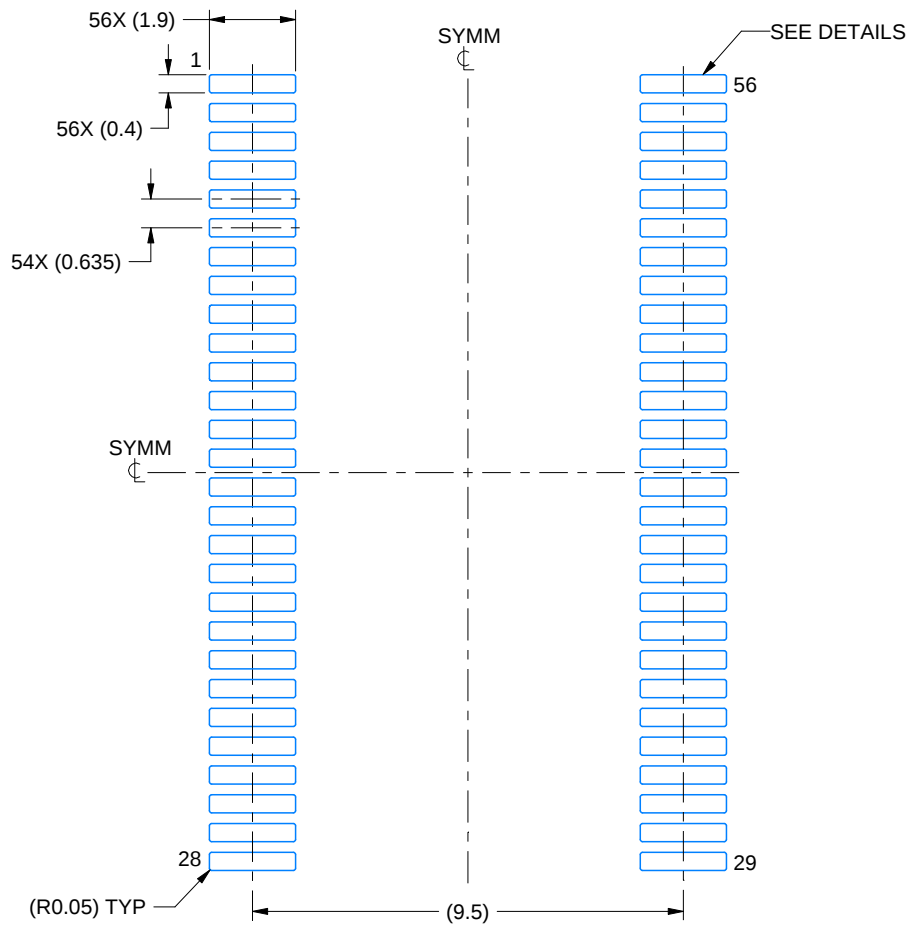
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. The exposed thermal pad is designed to be attached to an external heatsink.
6. For clamped heatsink design, refer to overall package height above the seating plane as 2.325 +/- 0.075 and molded body thickness dimension.

EXAMPLE BOARD LAYOUT

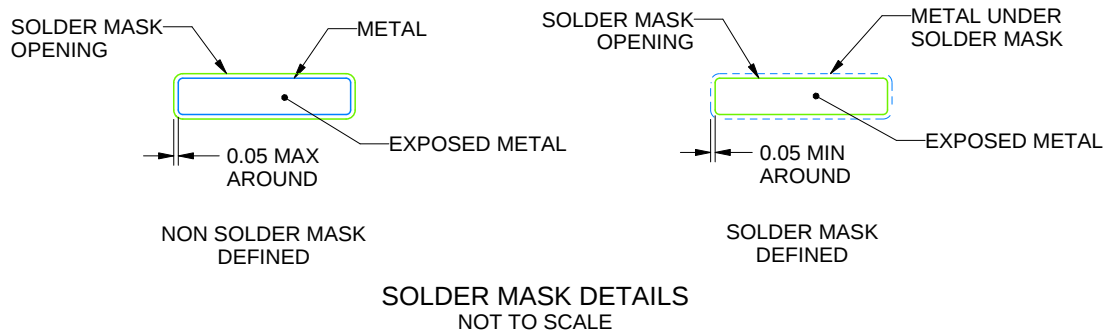
DKQ0056B

PowerPAD™ SSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4223602/A 04/2017

NOTES: (continued)

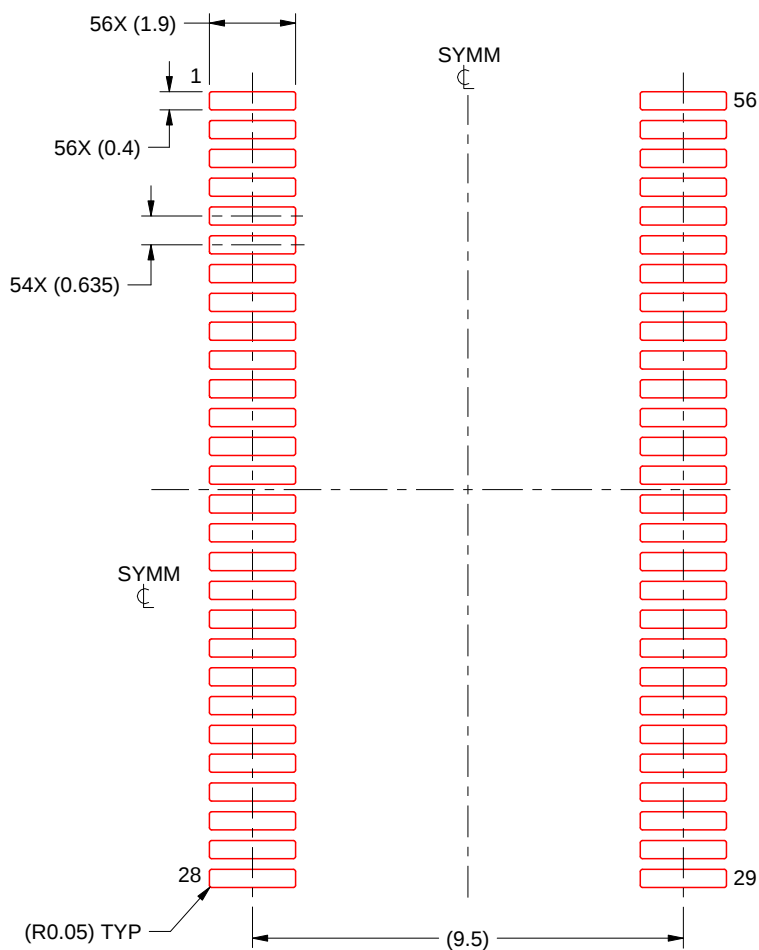
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DKQ0056B

PowerPAD™ SSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE:6X

4223602/A 04/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月