采用 Hybrid-Pro 算法的 TAS5828M 50W 立体声、数字输入、高效闭环 D 类放大器

1 特性

- 灵活音频 I/O：
  - 支持 32kHz、44.1kHz、48kHz、88.2kHz、96kHz、192kHz 采样率
  - 用于音频监控、子通道或回声消除的 I^2S、LJ、RJ、TDM 和 SDOUT
  - 支持三线制数字音频接口（无需 MCLK）
- 高效 D 级调制
  - 电源效率高于 90%，R_{DS}on 为 90mΩ
- 支持多路输出配置
  - 2.0 模式下（4Ω、23V、THD+N=1%），可提供 2 × 50W 的输出功率
  - 2.0 模式下（6Ω、24V、THD+N=1%），可提供 2 × 40W 的输出功率
  - 1.0 模式下（2Ω、23V、THD+N=1%），可提供 1 × 100W 的输出功率
  - 1.0 模式下（3Ω、24V、THD+N=1%），可提供 1 × 80W 的输出功率
- 出色的音频性能：
  - 1W、1kHz、PVDD = 12V 的条件下，THD + N ≤ 0.03%
  - SNR ≥ 110dB（A 加权），ICN ≤ 40μVRMS
- 灵活处理特性
  - 每通道 12 个 BQ、电平计
  - 3 频带高级 DRC + 2 个 BQ + AGL + 2 个 BQ
    - 在 48kHz 处理器采样模式下
  - 48kHz、96kHz、192kHz 处理器采样
  - 混合器、音量、动态 EQ、输出交叉开关
  - PVDD 检测和 Hybrid-Pro 算法音频信号跟踪
- 灵活电源配置
  - PVDD：4.5V 至 26.4V
  - DVDD 和 I/O：1.8V 或 3.3V
- 出色的集成式自我保护功能：
  - 过流错误 (OCE)
  - 逐周期电流限制
  - 过热警告 (OTW)
  - 过热错误 (OTE)
  - 欠压和过压锁定 (UVLO/OVLO)
  - PVDD 压降检测
- 轻松系统集成
  - I^2C 软件或硬件控制模式
  - 与开环器件相比，所需的无源器件更少

2 应用

- 电池供电扬声器
- 无线、蓝牙扬声器
- 条形音箱和低音炮
- 散热或效率敏感型音频系统

3 说明

TAS5828M 是一款立体声、高性能闭环 D 类放大器，具有集成的音频处理器和高达 192kHz 的架构。

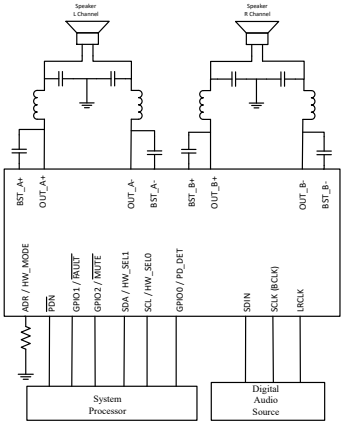
软件控制模式启动后，TAS5828M 不仅实现了经典 BQ、3 频带 DRC 和 AGL，还实现了 Hybrid-Pro 专有算法。Hybrid-Pro 算法可检测即将发生的音频功率需求，并通过 Hybrid-Pro 反馈引脚 (HPFB) 为前直流/直流转换器提供 PWM 格式控制信号。TAS5828M 支持长达 4ms 的音频信号延迟缓冲，以实现可预测的包络跟踪，这大大有助于防止因 DC-DC 电压调整而导致音频削波。

在设置为硬件控制模式时，TAS5828M 通过引脚配置支持开关频率、模拟增益、BTL/PBTL 模式和逐周期电流限制阈值。此模式专为免去终端系统软件驱动程序集成工作而设计。

器件信息

器件型号	封装(1)	本体尺寸（标称值）
TAS5828M	TSSOP (32) DAD	11.00mm × 6.20mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....2
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求.....11
5.7 典型特性.....12
6 参数测量信息.....26
7 详细说明.....27
7.1 概述.....27
7.2 功能方框图.....27
7.3 特性说明.....27
7.4 器件功能模式.....33
7.5 编程和控制.....38
8 寄存器映射.....46
8.1 CONTROL PORT 寄存器.....46
9 应用和实施.....74
9.1 应用信息.....74
9.2 典型应用.....76
9.3 电源相关建议.....79
9.4 布局.....81
10 器件和文档支持.....87
10.1 器件支持.....87
10.2 接收文档更新通知.....87
10.3 支持资源.....87
10.4 商标.....87
10.5 静电放电警告.....88
10.6 术语表.....88
11 修订历史记录.....88
12 机械、封装和可订购信息.....88

4 引脚配置和功能

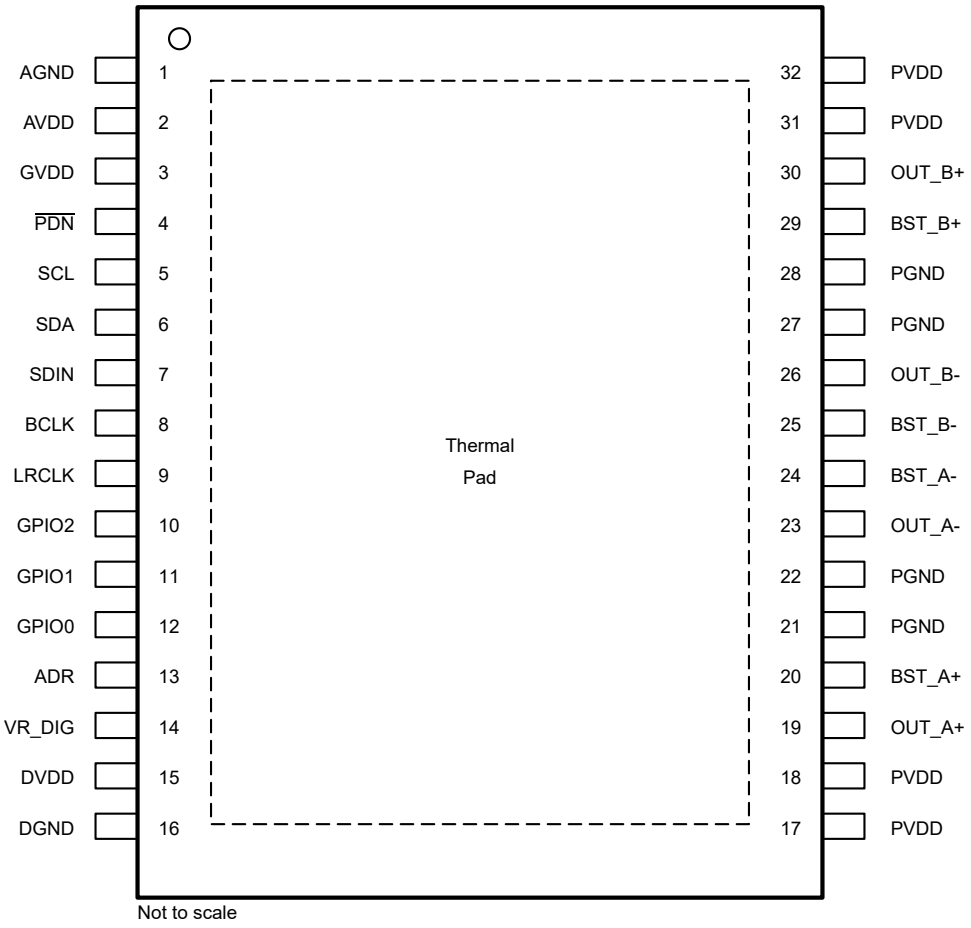


图 4-1. DAD (TSSOP) 封装，32 引脚焊盘朝上，软件模式，顶视图

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 - 软件模式

引脚		类型(1)	说明
名称	编号		
AGND	1	G	模拟地。
AVDD	2	P	内部稳定 5V 模拟电源电压。此引脚不得用于驱动外部器件。
GVDD	3	P	栅极驱动内部稳压器输出。此引脚不得用于驱动外部器件。
$\overline{\text{PDN}}$	4	DI	关断，低电平有效。$\overline{\text{PDN}}$ 将放大器置于关断状态，关闭所有内部稳压器。
SCL	5	DI	I^2C 串行控制时钟输入。
SDA	6	DI/O	I^2C 串行控制数据接口输入/输出。
SDIN	7	DI	串行数据端口的数据线路。
BCLK	8	DI	在串行数据端口的输入数据线路上有效的数字信号的位时钟。
LRCLK	9	DI	在串行端口的输入数据线上有效的数字信号的字选择时钟。在 I^2S、LJ 和 RJ 中，这对应于左声道和右声道边界。在 TDM 模式下，这对应于帧同步边界。
GPIO2	10	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x62h）编程。可配置为开漏输出或推挽输出。
GPIO1	11	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x61h）编程。可配置为开漏输出或推挽输出。
GPIO0	12	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x63h）编程。可配置为开漏输出或推挽输出。
ADR	13	AI	电阻器值表（下拉至 GND）可确定器件 I2C 地址。具体请参阅表 7-7。
VR_DIG	14	P	内部稳定 1.5V 数字电源电压。此引脚不得用于驱动外部器件。
DVDD	15	P	3.3V 或 1.8V 数字电源。
DGND	16	G	数字地。
PVDD	17	P	PVDD 电压输入。
	18	P	
	31	P	
	32	P	
PGND	21	G	功率器件电路的接地基准。将此引脚连接到系统接地。
	22	G	
	27	G	
	28	G	
OUT_A+	19	PO	差分扬声器放大器输出 A 的正极引脚。
BST_A+	20	P	OUT_A+ 自举电容器的连接点，用于为 OUT_A+ 的高侧栅极驱动创建电源。
OUT_A-	23	PO	差分扬声器放大器输出 A 的负极引脚。
BST_A-	24	P	OUT_A- 自举电容器的连接点，用于为 OUT_A- 的高侧栅极驱动创建电源。
BST_B-	25	P	OUT_B- 自举电容器的连接点，用于为 OUT_B- 的高侧栅极驱动创建电源。
OUT_B-	26	PO	差分扬声器放大器输出 B 的负极引脚。
BST_B+	29	P	OUT_B+ 自举电容器的连接点，用于为 OUT_B+ 的高侧栅极驱动创建电源。
OUT_B+	30	PO	差分扬声器放大器输出 B 的正极引脚。
PowerPAD™		P	接地，连接到接地散热器以获得出色系统性能。

(1) AI = 模拟输入，PO = 电源输出，DI = 数字输入，DO = 数字输出，DI/O = 数字双向（输入和输出），P = 电源，G = 接地 (0V)

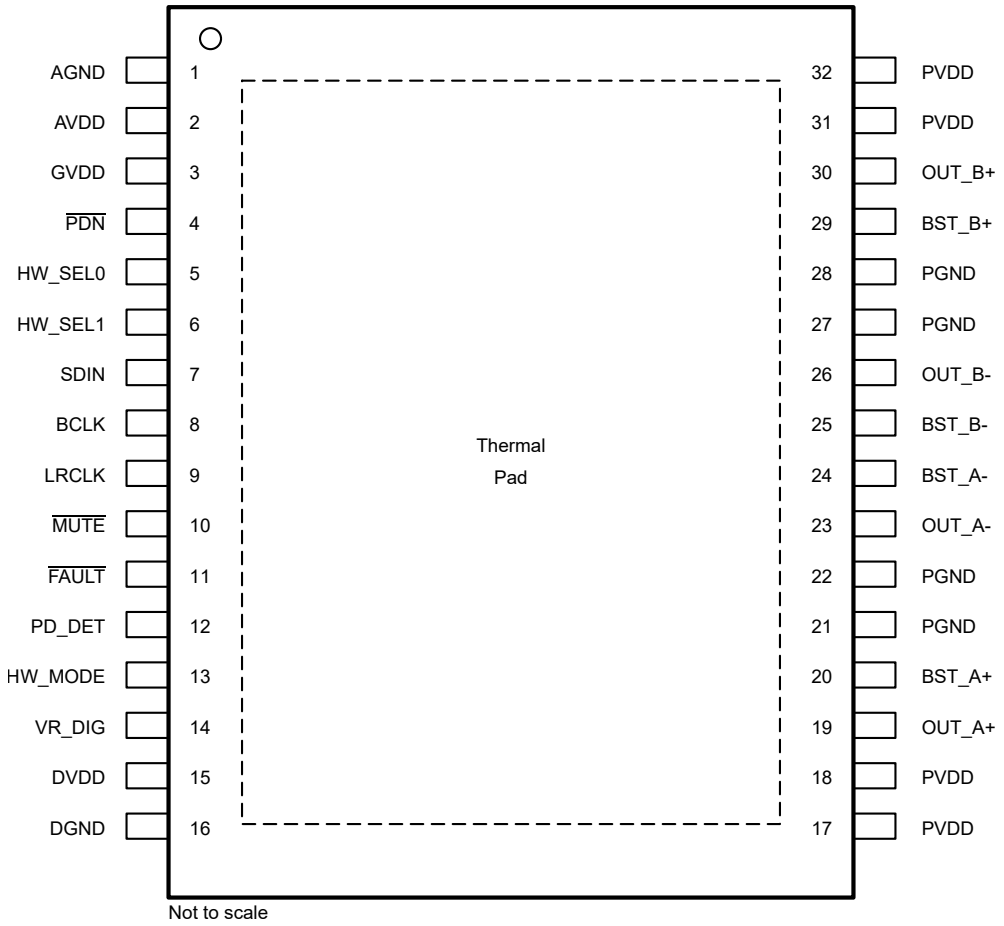


图 4-2. DAD (TSSOP) 封装，32 引脚焊盘朝上，硬件模式，顶视图

表 4-2. 引脚功能 - 硬件模式

引脚		类型 1	说明
名称	编号		
AGND	1	G	模拟地。
AVDD	2	P	内部稳定 5V 模拟电源电压。此引脚不得用于驱动外部器件。
GVDD	3	P	栅极驱动内部稳压器输出。此引脚不得用于驱动外部器件。
$\overline{\text{PDN}}$	4	DI	关断，低电平有效。$\overline{\text{PDN}}$ 将放大器置于关断状态，关闭所有内部稳压器。
HW_SEL0	5	DI	硬件模式下的模拟增益和 BTL/PBTL 模式选择。通过不同的电阻器上拉至 DVDD 或下拉至接地。具体请参阅表 7-6。
HW_SEL1	6	DI	硬件模式下的 PWM 开关频率和展频启用/禁用选择。通过不同的电阻器上拉至 DVDD 或下拉至接地。具体请参阅表 7-5。
SDIN	7	DI	串行数据端口的数据线路。
BCLK	8	DI	在串行数据端口的输入数据线路上有效的数字信号的位时钟。
LRCLK	9	DI	在串行端口的输入数据线上有效的数字信号的字选择时钟。在 I^2S、LJ 和 RJ 中，这对应于左声道和右声道边界。在 TDM 模式下，这对应于帧同步边界。
$\overline{\text{MUTE}}$	10	DI	扬声器放大器静音。必须将其拉至低电平（连接到 DGND）以使器件静音，并拉至高电平（连接到 DVDD）以退出静音状态。在静音状态下，器件输出保持在高阻抗状态。
$\overline{\text{FAULT}}$	11	DO	故障端子，发生内部故障时被拉至低电平。
PD_DET	12	DO	PVDD 压降检测，当 PVDD 压降至 8V 以下时会被拉至低电平。
HW_MODE	13	AI	直接连接到 DVDD，以确保器件进入硬件控制模式。
VR_DIG	14	P	内部稳定 1.5V 数字电源电压。此引脚不得用于驱动外部器件。
DVDD	15	P	3.3V 或 1.8V 数字电源。

Copyright © 2025 Texas Instruments Incorporated

表 4-2. 引脚功能 - 硬件模式（续）

引脚		类型 1	说明
名称	编号		
DGND	16	G	数字地。
PVDD	17	P	PVDD 电压输入。
	18	P	
	31	P	
	32	P	
PGND	21	G	功率器件电路的接地基准。将此引脚连接到系统接地。
	22	G	
	27	G	
	28	G	
OUT_A+	19	PO	差分扬声器放大器输出 A 的正极引脚。
BST_A+	20	P	OUT_A+ 自举电容器的连接点，用于为 OUT_A+ 的高侧栅极驱动创建电源。
OUT_A-	23	PO	差分扬声器放大器输出 A 的负极引脚。
BST_A-	24	P	OUT_A- 自举电容器的连接点，用于为 OUT_A- 的高侧栅极驱动创建电源。
BST_B-	25	P	OUT_B- 自举电容器的连接点，用于为 OUT_B- 的高侧栅极驱动创建电源。
OUT_B-	26	PO	差分扬声器放大器输出 B 的负极引脚。
BST_B+	29	P	OUT_B+ 自举电容器的连接点，用于为 OUT_B+ 的高侧栅极驱动创建电源。
OUT_B+	30	PO	差分扬声器放大器输出 B 的正极引脚。
PowerPAD™		P	接地，连接到接地散热器以获得出色系统性能。

1. AI = 模拟输入，PO = 电源输出，DI = 数字输入，DO = 数字输出，DI/O = 数字双向（输入和输出），P = 电源，G = 接地 (0V)

5 规格

5.1 绝对最大额定值

自然通风室温 25°C（除非另有说明）[(1)]

		最小值	最大值	单位
DVDD	低电压数字电源	-0.3	3.9	V
PVDD	PVDD 电源	-0.3	30	V
$V_{I(DigIn)}$	DVDD 基准数字输入[(2)]	-0.5	V_{DVDD} + 0.5	V
$V_{I(SPK_OUTxx)}$	扬声器输出引脚处的电压	-0.3	32	V
T_A	环境工作温度	-40	85	°C
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-40	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) DVDD 基准数字引脚包括：ADR/$\overline{FAULT}$、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、$\overline{PDN}$

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002。[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 支持在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
$V_{(POWER)}$	电源输入	PVDD	4.5		26.4	V
		DVDD	1.62		3.63	V
R_{SPK}	最小扬声器负载	4.5V 至 24V 工作 PVDD 范围，BTL 模式	3.2			Ω
		4.5V 至 24V 工作 PVDD 范围，PBTL 模式	1.6			Ω
$V_{IH(DigIn)}$	DVDD 基准数字输入的输入逻辑高电平		0.9 × V_{DVDD}		DVDD	V
$V_{IL(DigIn)}$	DVDD 基准数字输入的输入逻辑低电平				0.1 × V_{DVDD}	V
L_{OUT}	短路情况下 LC 滤波器中的最小电感值		1			μH

5.4 热性能信息

热指标[(1)]		TAS5828M - TSSOP32 (DAD)- 32 引脚 JEDEC 标准 4 层 PCB	单位
$R_{\theta JA(top)}$	结至外壳（顶部）热阻	1.2	°C/W
ψ_{JT}	结至顶部特征参数	1.2	°C/W
ψ_{JB}	结至电路板特征参数	21	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
数字 I/O						
|IIH|	DVDD 基准数字输入引脚的输入逻辑高电流电平	$V_{IN(DigIn)} = V_{DVDD}$			10	uA
|IIL|	DVDD 基准数字输入引脚的输入逻辑低电流电平	$V_{IN(DigIn)} = 0V$			-10	uA
$V_{IH(Digin)}$	DVDD 基准数字输入的输入逻辑高电平阈值		70%			V_{DVDD}
$V_{IL(Digin)}$	DVDD 基准数字输入的输入逻辑低电平阈值				30%	V_{DVDD}
$V_{OH(Digin)}$	输出逻辑高电压电平	$I_{OH} = 4mA$	80%			V_{DVDD}
$V_{OL(Digin)}$	输出逻辑低电压电平	$I_{OH} = -4mA$			20%	V_{DVDD}
I^2C 控制端口						
$C_{L(I2C)}$	每条 I^2C 线路允许的负载电容				400	pF
$f_{SCL(fast)}$	支持 SCL 频率	无等待状态，快速模式			400	kHz
$f_{SCL(slow)}$	支持 SCL 频率	无等待状态，慢速模式			100	kHz
串行音频端口						
t_{DLY}	所需的 LRCLK/FS 至 SCLK 上升沿延迟		5			ns
D_{SCLK}	允许的 SCLK 占空比		40%		60%	
f_S	支持的输入采样速率		32		192	kHz
f_{SCLK}	支持的 SCLK 频率		32		64	f_S
f_{SCLK}	SCL 频率				24.576	MHz
放大器工作模式和直流参数						
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，播放模式，完整 DSP 运行时的通用音频处理流程		23		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，睡眠模式		1		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，深度睡眠模式		1		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 0.8V，DVDD = 3.3V，关断模式		16		uA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，1SPW 调制，播放模式		39		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，输出高阻态模式		11		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，睡眠模式		7.5		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，深度睡眠模式		10		uA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，关断模式		10		uA
$A_{V(SPK_AMP)}$	可编程增益	值表示“峰值电压”，忽略因 PVDD 较低而导致的削波在 0dB 输入 (1FS) 时测得	13.75		29.4	dBV
$\Delta A_{V(SPK_AMP)}$	放大器增益误差	增益 = 26.4dBV		0.5		dB

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SPK_AMP}	扬声器放大器的开关频率。	软件模式		384		kHz
				480		kHz
				768		kHz
		硬件模式		480		kHz
				768		kHz
$R_{DS(on)}$	各个输出的漏源导通电阻 MOSFET	FET + 金属化。V_{PVDD}=24V，$I_{(OUT)}$=500mA，T_J=25℃		90		mΩ
保护						
OCE_{THRES}	过流误差阈值（扬声器电流）	扬声器输出电流（后置 LC 滤波器），扬声器电流，LC 滤波器=10uH+0.68uF，BTL 模式	7.5	8	8.5	A
$UVE_{THRES(PVDD)}$	PVDD 欠压误差阈值		3.7	4	4.2	V
$OVE_{THRES(PVDD)}$	PVDD 过压误差阈值		27	28.1	29.2	V
DCE_{THRES}	输出直流误差保护阈值	D 级放大器的输出直流电压交叉扬声器负载，用于触发输出直流故障保护		1.7		V
T_{DCDET}	输出直流检测时间	D 级放大器的输出保持在或高于 DCE_{THRES}		570		ms
OTE_{THRES}	过热误差阈值			165		℃
$OTE_{Hystersis}$	过热误差迟滞			10		℃
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 0 读取		112		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 1 读取		122		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 2 读取		134		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 3 读取		146		°C

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
音频性能（立体声 BTL）						
$\lvert V_{OS} \rvert$	放大器偏移电压	使用零输入数据以差动方式进行测量，使用 29.4dBV 模拟增益配置的可编程增益，V_{PVDD} 范围：12V~24V	-5		5	mV
$P_{O(SPK)}$	输出功率（每通道）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1KHz，THD+N = 10%		43		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1KHz，THD+N = 1%		35		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1KHz，THD+N = 10%		31		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1KHz，THD+N = 1%		25		W
		V_{PVDD} = 21 V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1KHz，THD+N = 10%		55		W
		V_{PVDD} = 21 V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1KHz，THD+N = 1%		44		W
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1KHz，THD+N = 10%		54		W
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1KHz，THD+N = 1%		43		W
$THD+N_{SPK}$	总谐波失真和噪声（P_O = 1W，f = 1KHz）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载= 4Ω		0.08		%
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，负载= 6Ω		0.06		%
$ICN_{(SPK)}$	空闲声道噪声（权重，AES17）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载 = 4Ω，Fsw = 768kHz，BD 调制		40		μVrms
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载 = 4Ω，Fsw=384kHz，1SPW 调制		35		μVrms
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，负载 = 6Ω，Fsw = 768kHz，BD 调制		35		μVrms
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，负载 = 6Ω，Fsw=384kHz，1SPW 调制		35		μVrms
DR	动态范围	A 加权，-60dBFS 方法。V_{PVDD} = 24V，负载 = 6Ω 模拟增益 = 29.4dBV		111		dB
SNR	信噪比	A 加权，以 1% THD+N 输出电平为基准，V_{PVDD} = 24V，负载 = 6Ω		111		dB
		A 加权，以 1% THD+N 输出电平为基准，V_{PVDD} = 18V，负载 = 4Ω		106		dB
PSRR	电源抑制比	注入噪声 = 1KHz，1Vrms，V_{PVDD} = 24V，输入音频信号 = 数字零		72		dB
$X\text{-}talk_{SPK}$	串扰（左右声道信号间耦合的最差情况）	f = 1KHz，基于 Murata 的电感器 (DFEG7030D-4R7)		100		dB

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
音频性能（单声道 PBTL）						
$\|V_{OS}\|$	放大器偏移电压	使用零输入数据以差动方式进行测量，使用 29.4dBV 模拟增益配置的可编程增益，V_{PVDD} = 12V-24V 范围，1SPW 模式	-5		5	mV
$P_{O(SPK)}$	输出功率	V_{PVDD} = 24V，R_{SPK} = 3Ω，f = 1KHz，THD+N = 1%		84		W
		V_{PVDD} = 24V，R_{SPK} = 3Ω，f = 1KHz，THD+N = 10%		104		W
		V_{PVDD} = 18V，R_{SPK} = 2Ω，f = 1KHz，THD+N = 1%		67		W
		V_{PVDD} = 18V，R_{SPK} = 2Ω，f = 1KHz，THD+N = 10%		80		W
$THD+N_{SPK}$	总谐波失真和噪声（P_O = 1W，f = 1KHz）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 2Ω		0.07		%
		V_{PVDD} = 24V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 3Ω		0.05		%
DR	动态范围	A 加权，-60dBFS 方法，V_{PVDD}=24V，R_{SPK} = 3Ω。		111		dB
SNR	信噪比	A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=24V，R_{SPK} = 3Ω		108		dB
		A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=18V，R_{SPK} = 2Ω		106		dB
PSRR	电源抑制比	注入噪声 = 1KHz，1Vrms，V_{PVDD} = 18V，输入音频信号 = 数字零		72		dB

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

		最小值	标称值	最大值	单位
串行音频端口时序 - 目标模式					
f_{SCLK}	SCL 频率	1.024			MHz
t_{SCLK}	SCLK 周期	40			ns
t_{SCLKL}	SCLK 脉冲宽度，低电平	16			ns
t_{SCLKH}	SCLK 脉冲宽度，高电平	16			ns
t_{SL}	SCLK 上升至 LRCLK/FS 边沿	8			ns
t_{LS}	LRCK/SCLK 边沿到 FS 上升沿	8			ns
t_{SU}	SCLK 上升沿之前的数据建立时间	8			ns
t_{DH}	SCLK 上升沿之后的数据保持时间	8			ns
t_{DFS}	SCLK 下降沿的数据延迟时间			15	ns
I^2C 总线时序 — 标准					
f_{SCL}	SCL 时钟频率			100	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			μs
t_{LOW}	SCL 时钟的低电平周期	4.7			μs
t_{HI}	SCL 时钟的高电平周期	4			μs
t_{RS-SU}	（重复）START 条件的建立时间	4.7			μs
t_{S-HD}	（重复）START 条件的保持时间	4			μs
t_{D-SU}	数据建立时间	250			ns
t_{D-HD}	数据保持时间	0		3450	ns
t_{SCL-R}	SCL 信号的上升时间	$20 + 0.1C_B$		1000	ns
t_{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		1000	ns
t_{SCL-F}	SCL 信号的下降时间	$20 + 0.1C_B$		1000	ns
t_{SDA-R}	SDA 信号的上升时间	$20 + 0.1C_B$		1000	ns
t_{SDA-F}	SDA 信号的下降时间	$20 + 0.1C_B$		1000	ns
t_{P-SU}	STOP 条件的建立时间	4			μs
C_b	每个总线的容性负载			400	pf
I^2C 总线时序 - 快速					
f_{SCL}	SCL 时钟频率			400	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HI}	SCL 时钟的高电平周期	600			ns
t_{RS-SU}	（重复）START 条件的建立时间	600			ns
t_{RS-HD}	（重复）START 条件的保持时间	600			ns
t_{D-SU}	数据建立时间	100			ns
t_{D-HD}	数据保持时间	0		900	ns
t_{SCL-R}	SCL 信号的上升时间	$20 + 0.1C_B$		300	ns
t_{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		300	ns
t_{SCL-F}	SCL 信号的下降时间	$20 + 0.1C_B$		300	ns
t_{SDA-R}	SDA 信号的上升时间	$20 + 0.1C_B$		300	ns
t_{SDA-F}	SDA 信号的下降时间	$20 + 0.1C_B$		300	ns
t_{P-SU}	STOP 条件的建立时间	600			ns
t_{SP}	所抑制尖峰的脉冲宽度			50	ns
C_b	每个总线的容性负载			400	pf

5.7 典型特性

5.7.1 采用 BD 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz、80kHz D 级放大器环路带宽的情况下进行的，使用的 LC 滤波器为 10 μH/0.68 μF，除非另有说明。

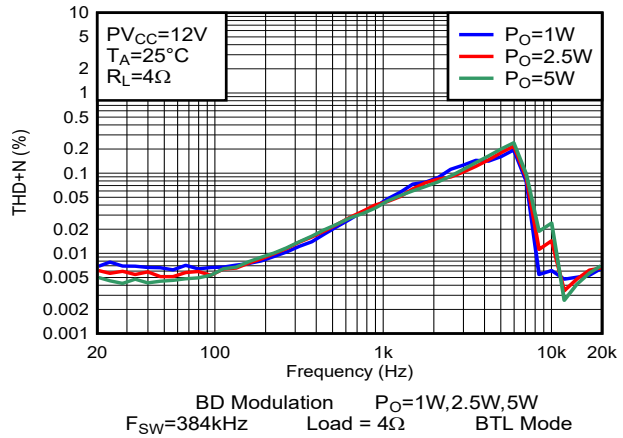


图 5-1. THD+N 与频率间的关系-BTL

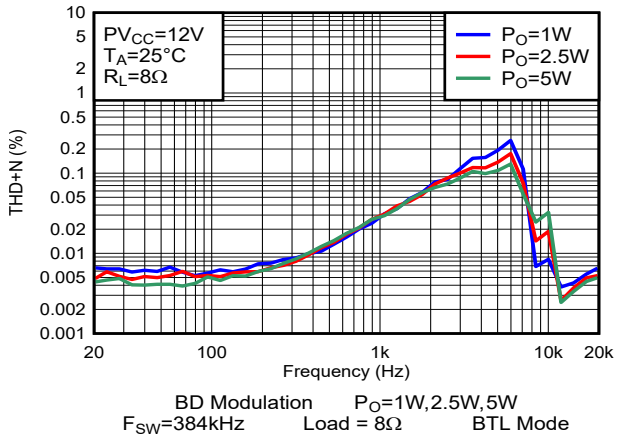


图 5-2. THD+N 与频率间的关系-BTL

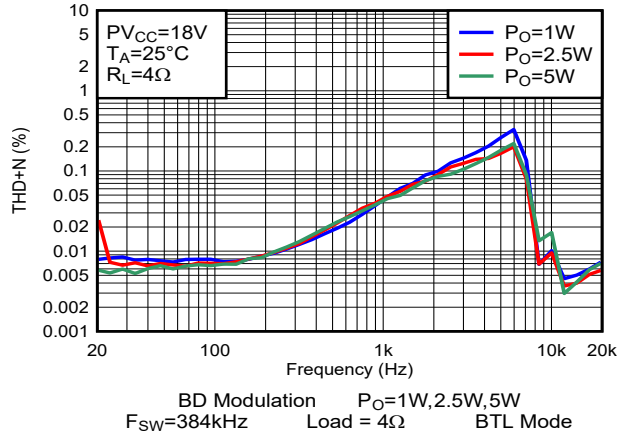


图 5-3. THD+N 与频率间的关系-BTL

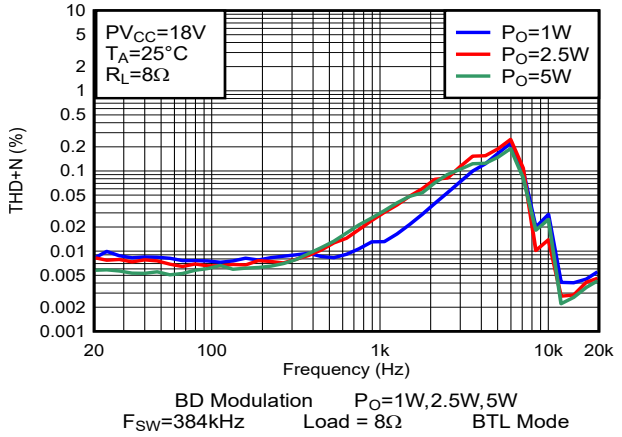


图 5-4. THD+N 与频率间的关系-BTL

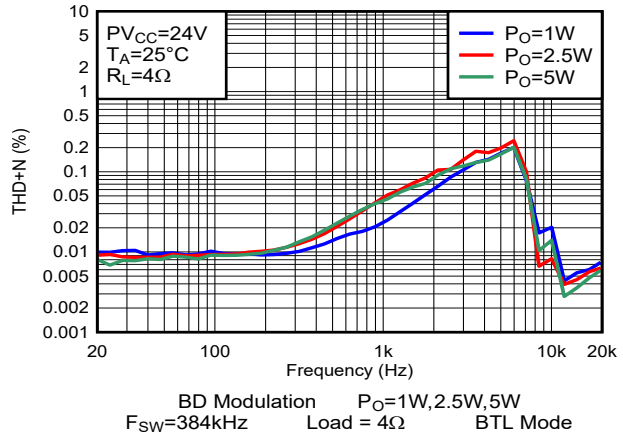


图 5-5. THD+N 与频率间的关系-BTL

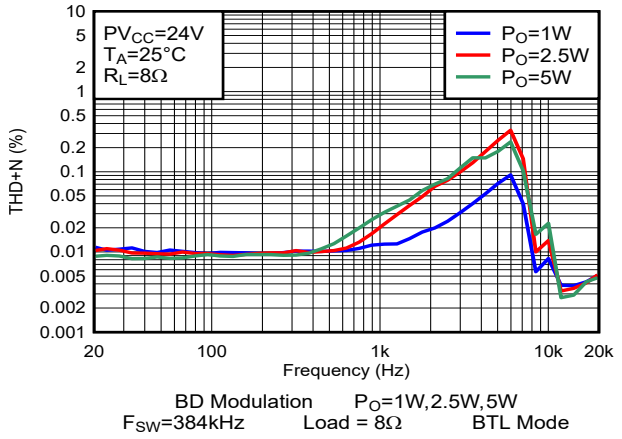
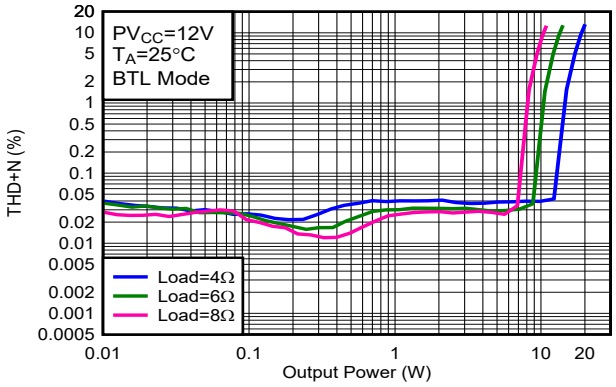


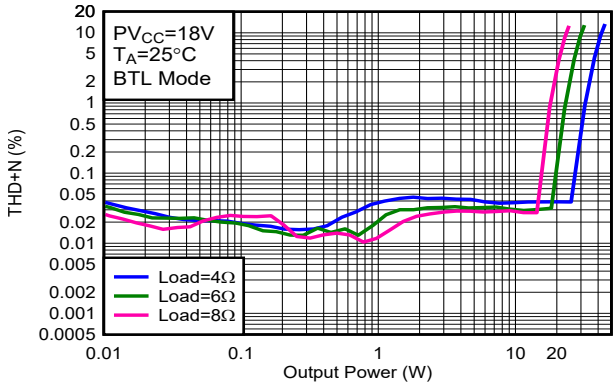
图 5-6. THD+N 与频率间的关系-BTL

Copyright © 2025 Texas Instruments Incorporated



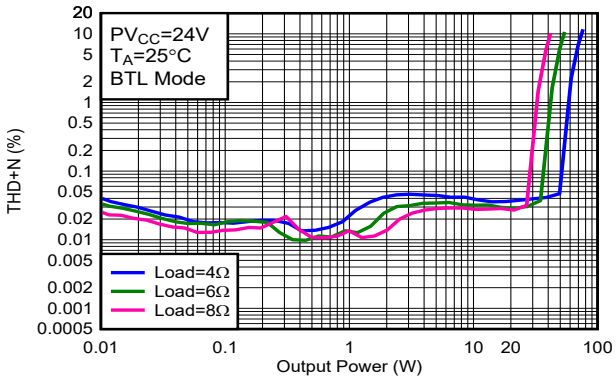
BD Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-7. THD+N 与输出功率间的关系-BTL



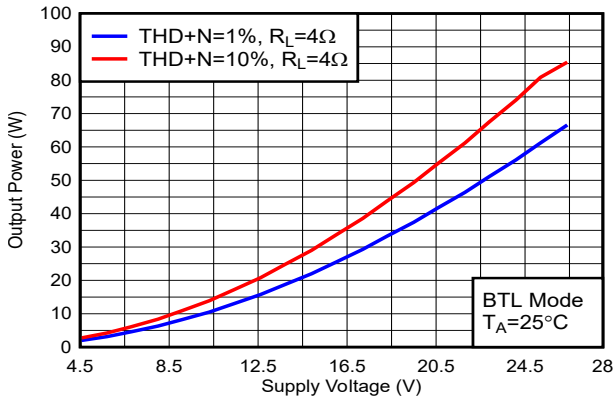
BD Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-8. THD+N 与输出功率间的关系-BTL



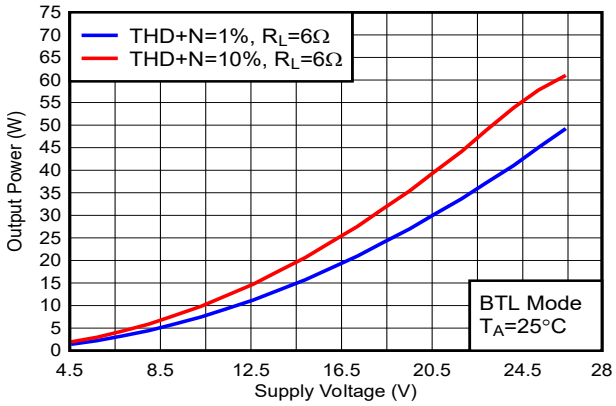
BD Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-9. THD+N 与输出功率间的关系-BTL



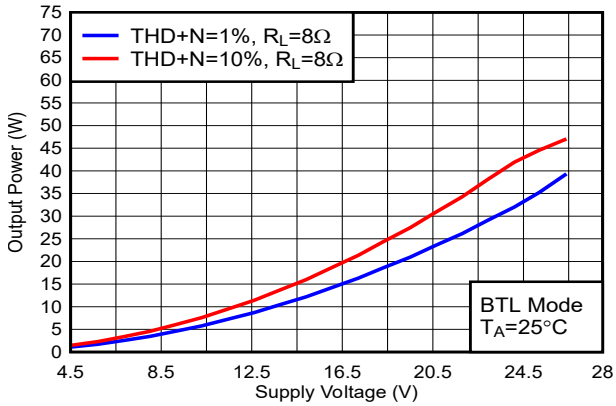
BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-10. 输出功率与电源电压间的关系



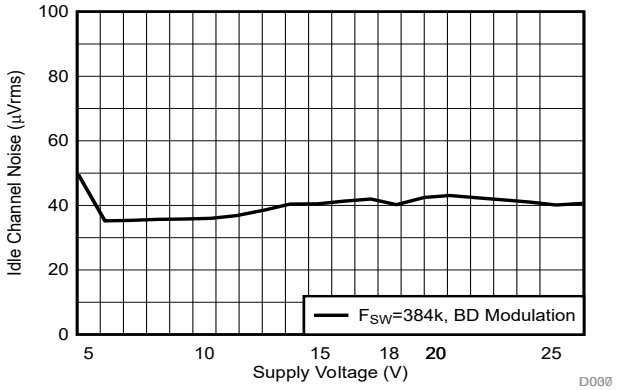
BD Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

图 5-11. 输出功率与电源电压间的关系



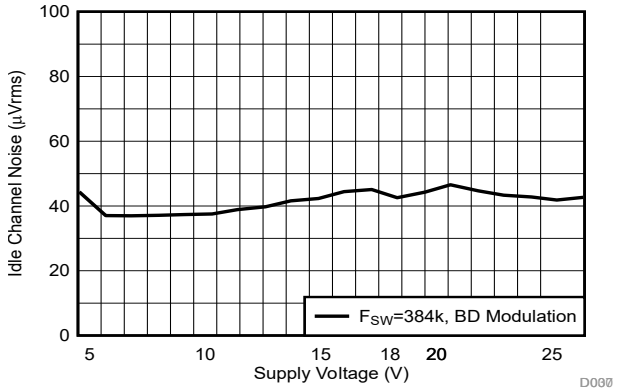
BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

图 5-12. 输出功率与电源电压间的关系



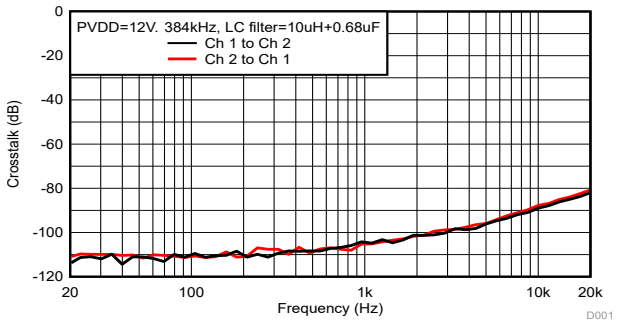
BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-13. 空闲声道噪声与电源电压间的关系



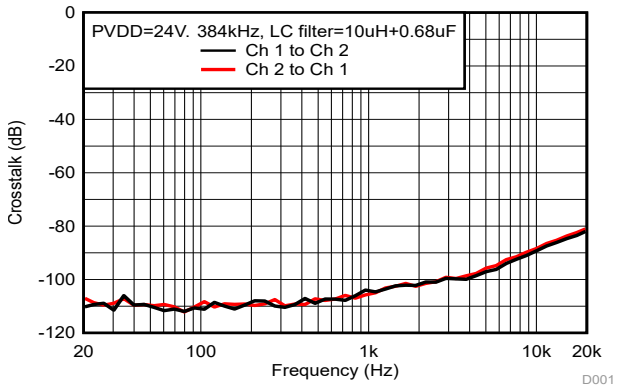
BD Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

图 5-14. 空闲声道噪声与电源电压间的关系



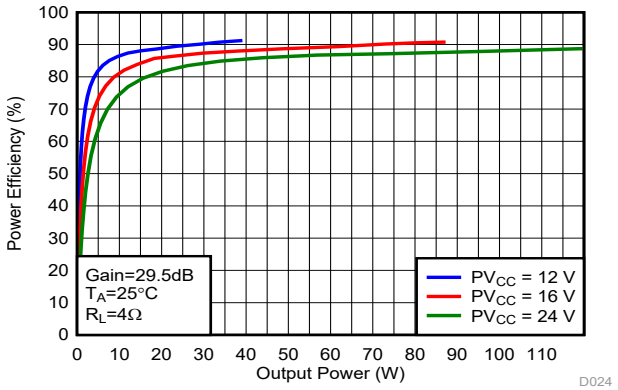
PVDD=12V BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-15. 串扰



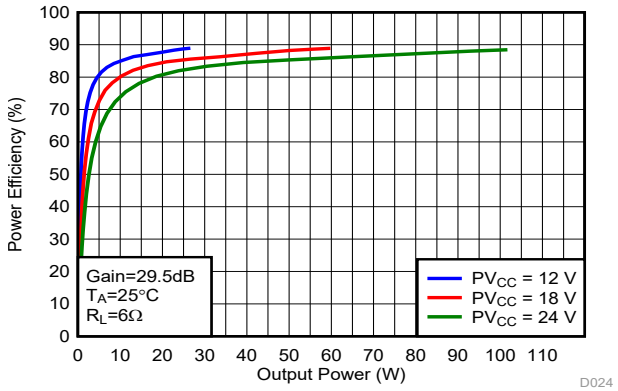
PVDD=24V BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-16. 串扰



BD Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-17. 效率与输出功率间的关系



BD Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

图 5-18. 效率与输出功率间的关系

Copyright © 2025 Texas Instruments Incorporated

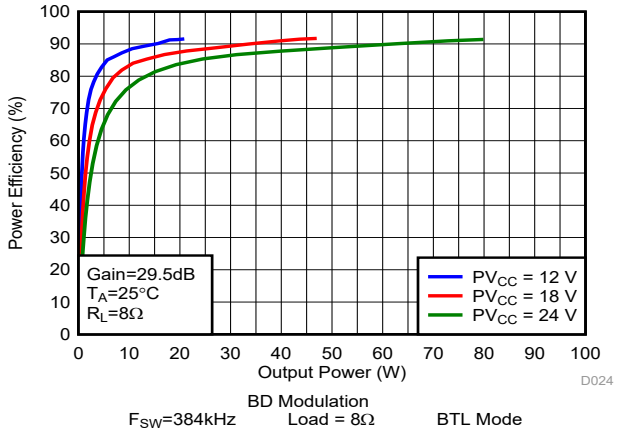


图 **5-19.** 效率与输出功率间的关系

5.7.2 采用 1SPW 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz、80kHz D 类环路带宽的情况下进行的，使用的 LC 滤波器为 10 μH/0.68 μF，除非另有说明。

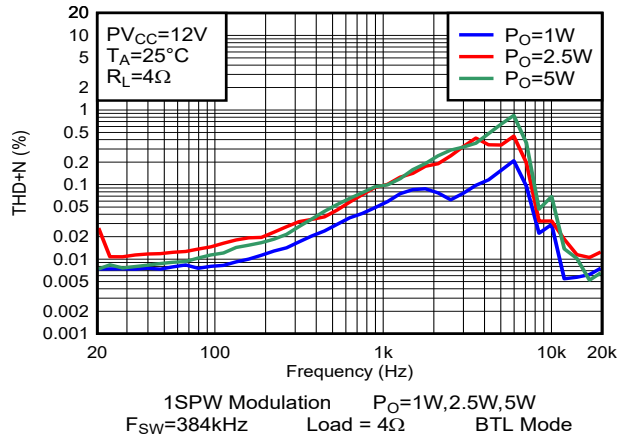


图 5-20. THD+N 与频率间的关系-BTL

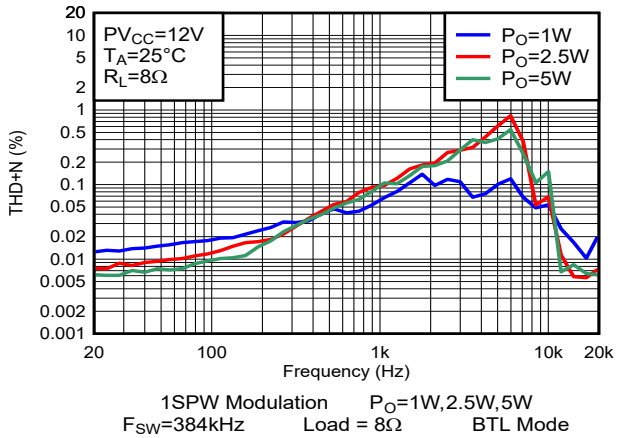


图 5-21. THD+N 与频率间的关系-BTL

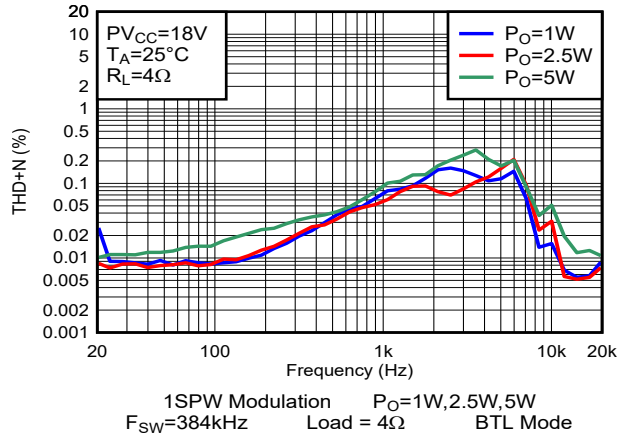


图 5-22. THD+N 与频率间的关系-BTL

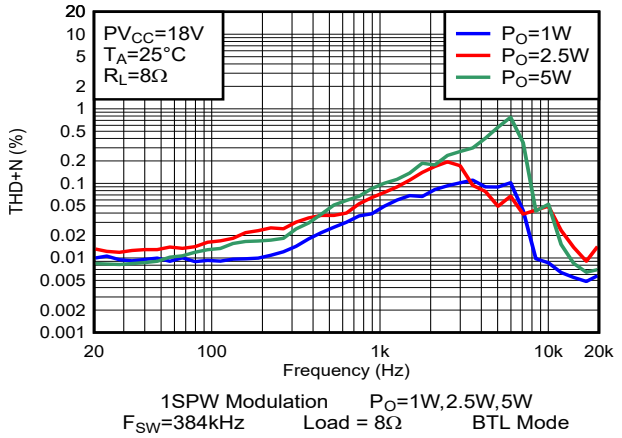


图 5-23. THD+N 与频率间的关系-BTL

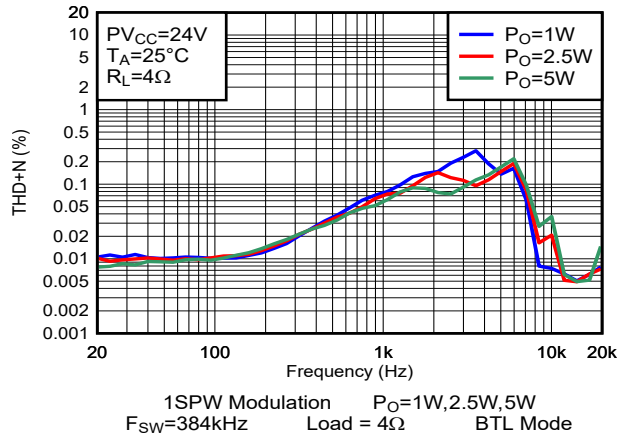


图 5-24. THD+N 与频率间的关系-BTL

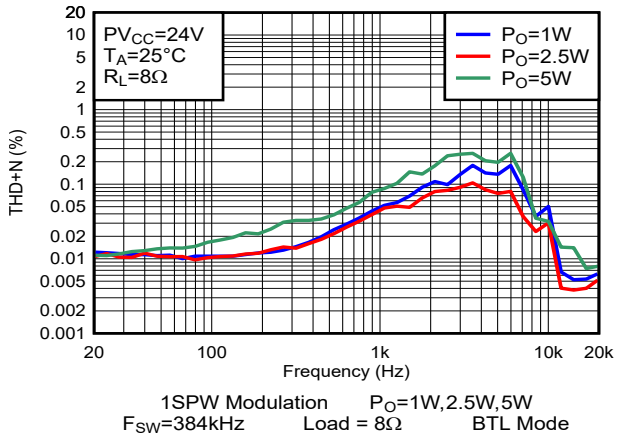
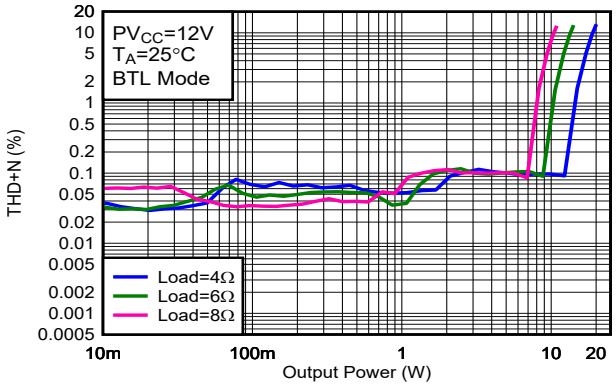


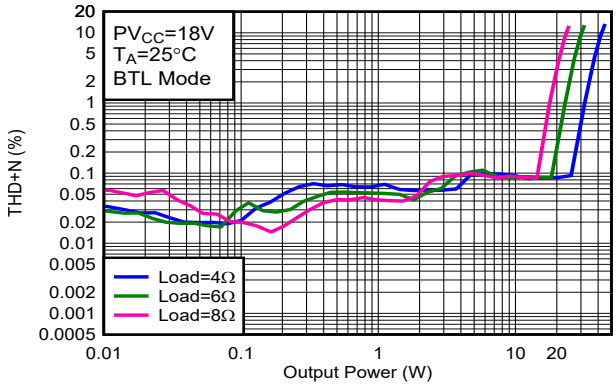
图 5-25. THD+N 与频率间的关系-BTL

Copyright © 2025 Texas Instruments Incorporated



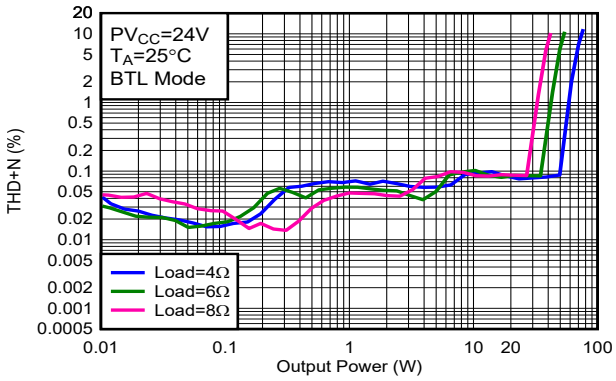
1SPW Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-26. THD+N 与输出功率间的关系-BTL



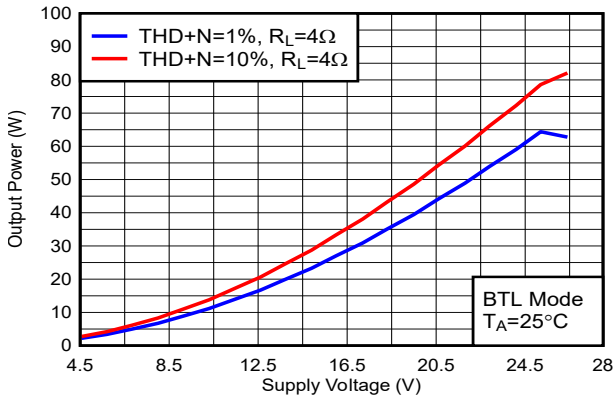
1SPW Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-27. THD+N 与输出功率间的关系-BTL



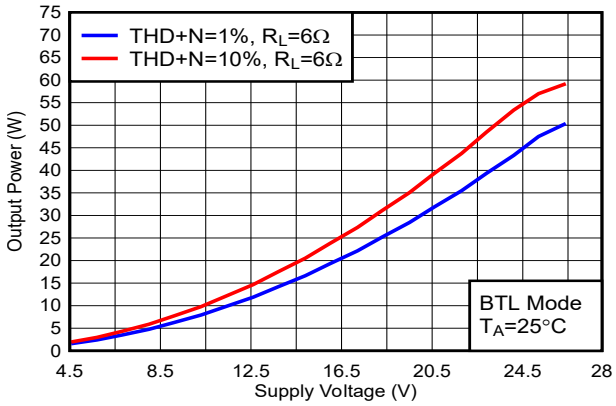
1SPW Modulation
F_{SW} = 384 kHz Load = 4Ω, 6Ω, 8Ω BTL Mode

图 5-28. THD+N 与输出功率间的关系-BTL



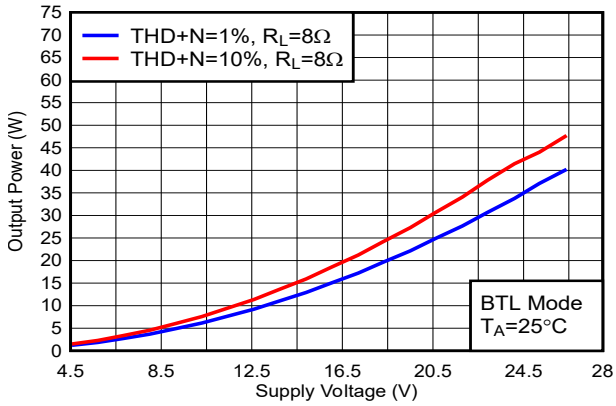
1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-29. 输出功率与电源电压间的关系



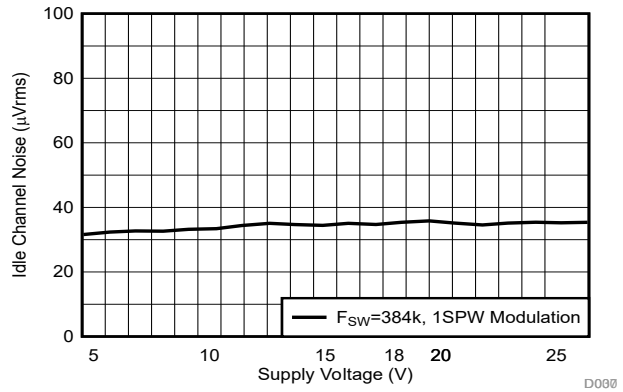
1SPW Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

图 5-30. 输出功率与电源电压间的关系



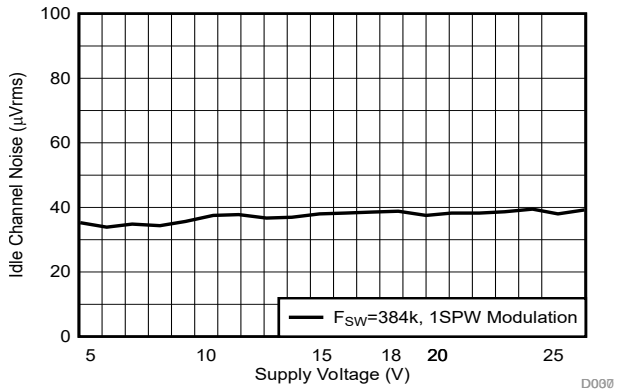
1SPW Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

图 5-31. 输出功率与电源电压间的关系



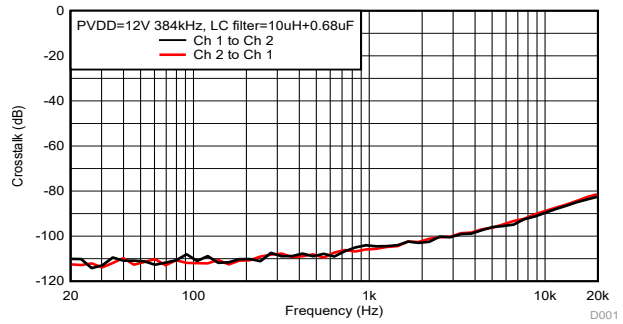
1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-32. 空闲声道噪声与电源电压间的关系



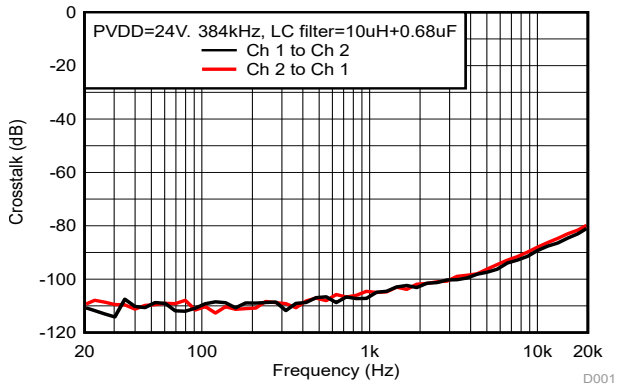
1SPW Modulation
F_{SW}=384kHz Load = 8Ω BTL Mode

图 5-33. 空闲声道噪声与电源电压间的关系



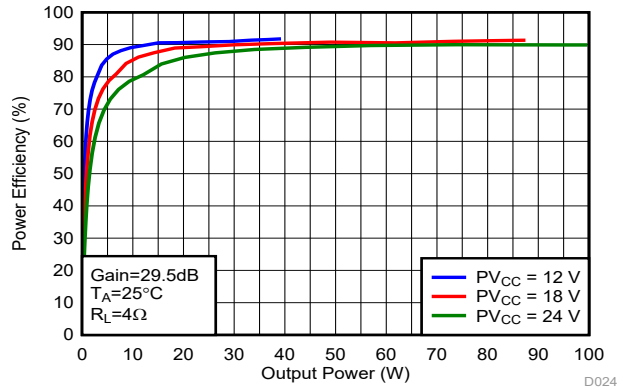
PVDD=12V 1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-34. 串扰



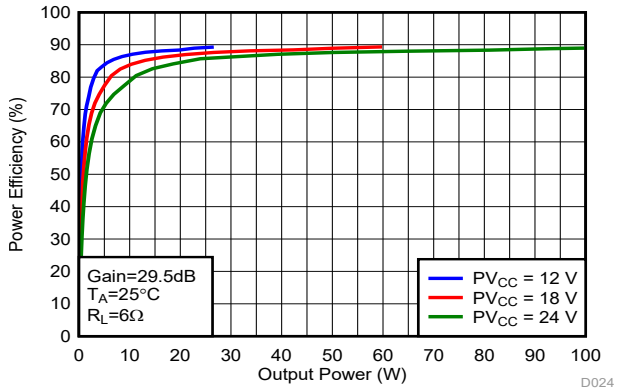
PVDD=24V 1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-35. 串扰 - 旧版



1SPW Modulation
F_{SW}=384kHz Load = 4Ω BTL Mode

图 5-36. 效率与输出功率间的关系



1SPW Modulation
F_{SW}=384kHz Load = 6Ω BTL Mode

图 5-37. 效率与输出功率间的关系

Copyright © 2025 Texas Instruments Incorporated

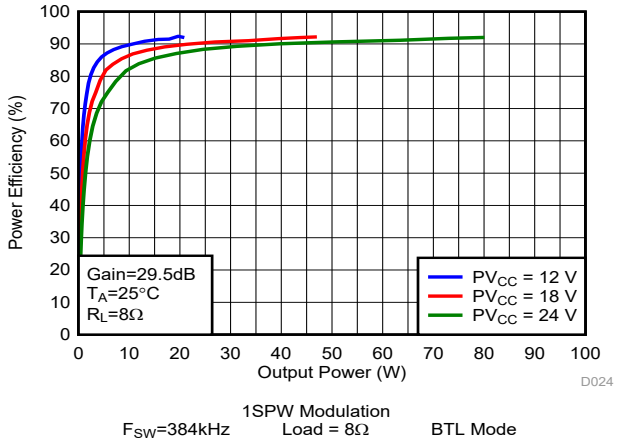


图 **5-38.** 效率与输出功率间的关系

5.7.3 采用 BD 调制的并行桥接负载 (PBTL) 配置

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz，80kHz D 类放大器环路带宽的情况下进行的，LC 滤波器为 10μH/0.68μF（后置滤波器 PBTL，在输出滤波器电感器部分之后合并两个输出通道，请参阅 节 9.2.4 中的详细信息），除非另有说明。

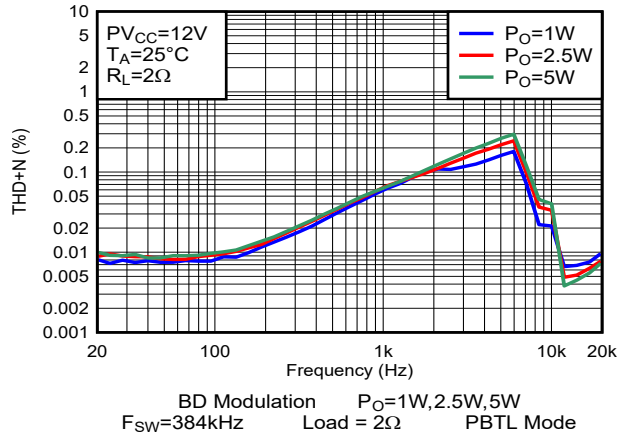


图 5-39. THD+N 与频率间的关系-PBTL

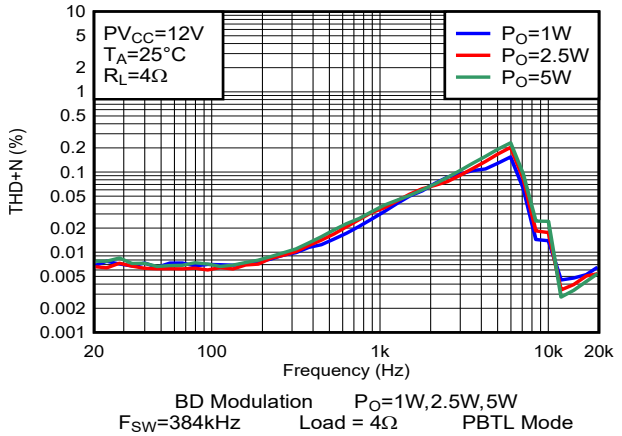


图 5-40. THD+N 与频率间的关系-PBTL

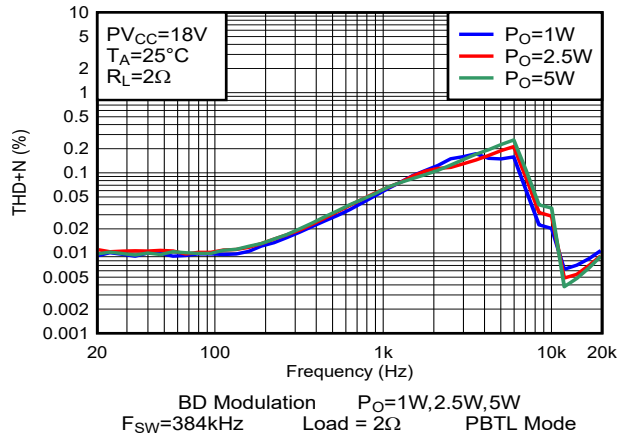


图 5-41. THD+N 与频率间的关系-PBTL

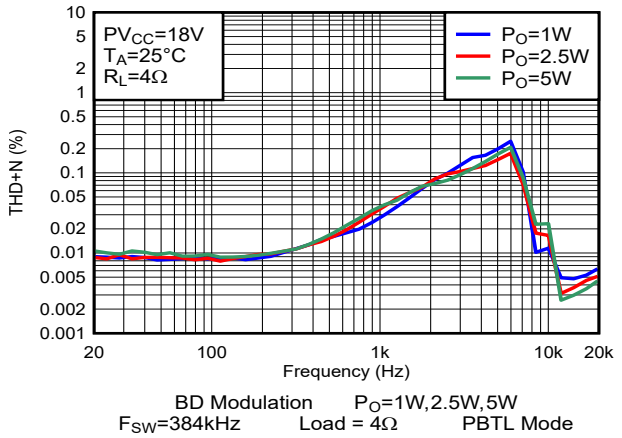


图 5-42. THD+N 与频率间的关系-PBTL

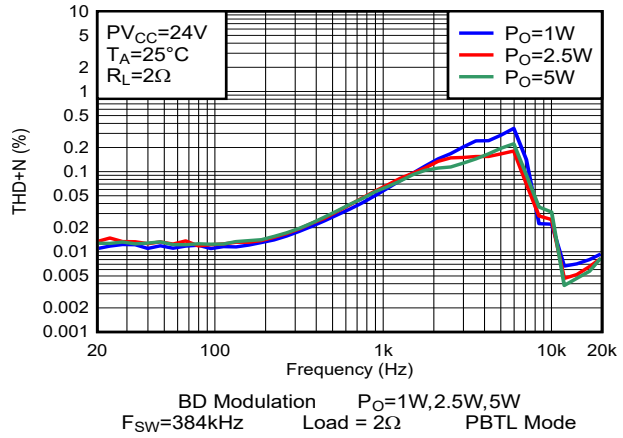


图 5-43. THD+N 与频率间的关系-PBTL

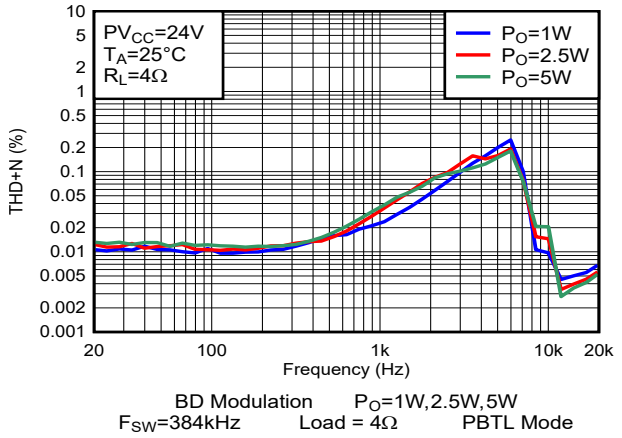
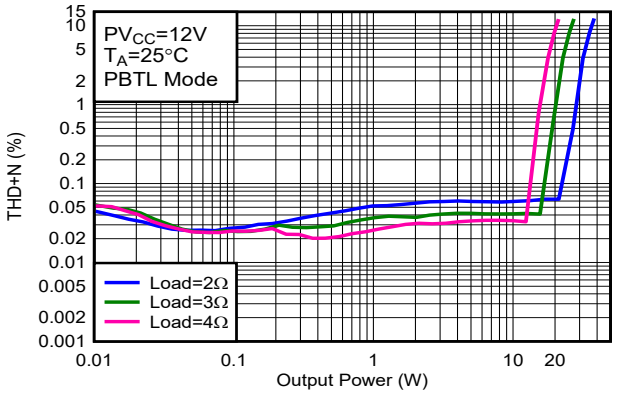


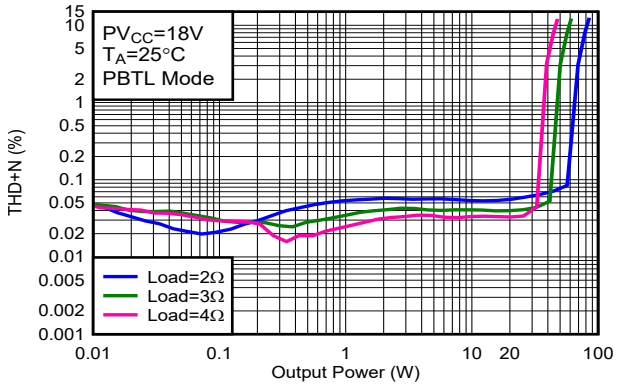
图 5-44. THD+N 与频率间的关系-PBTL

Copyright © 2025 Texas Instruments Incorporated



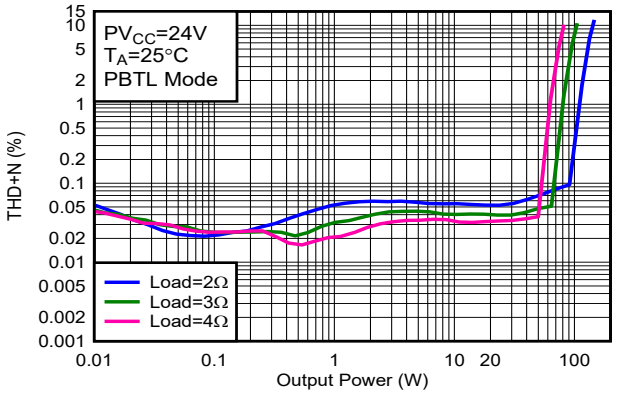
BD Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-45. THD+N 与输出功率间的关系-PBTL



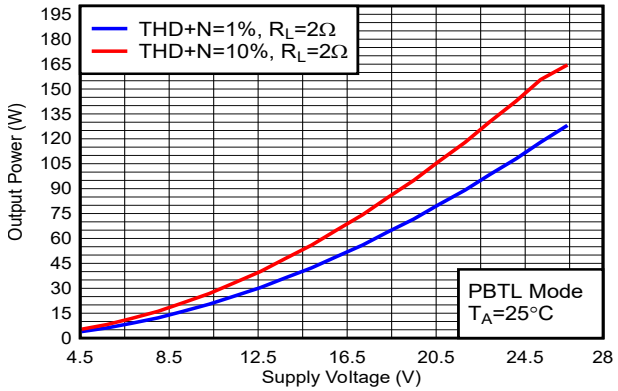
BD Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-46. THD+N 与输出功率间的关系-PBTL



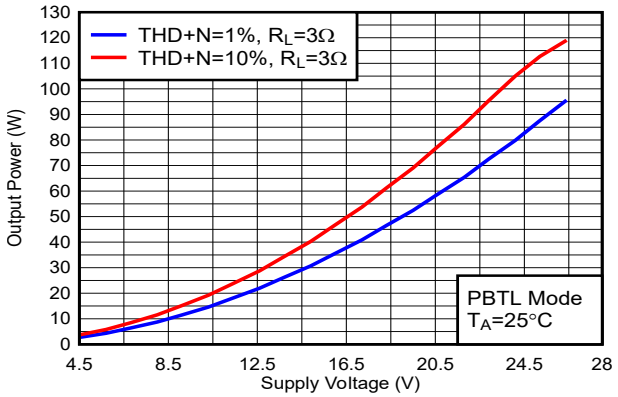
BD Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-47. THD+N 与输出功率间的关系-PBTL



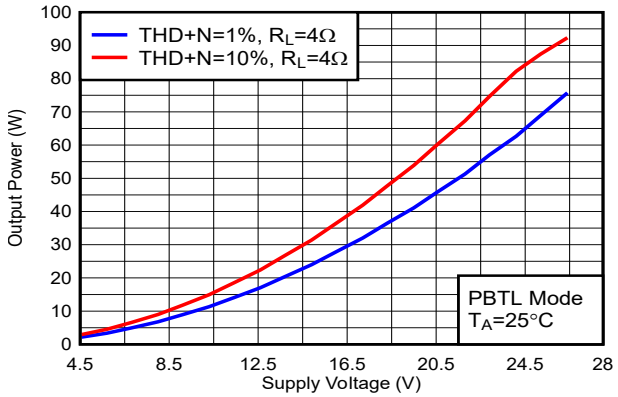
BD Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

图 5-48. 输出功率与电源电压间的关系



BD Modulation
F_{SW}=384kHz Load = 3Ω PBTL Mode

图 5-49. 输出功率与电源电压间的关系



BD Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

图 5-50. 输出功率与电源电压间的关系

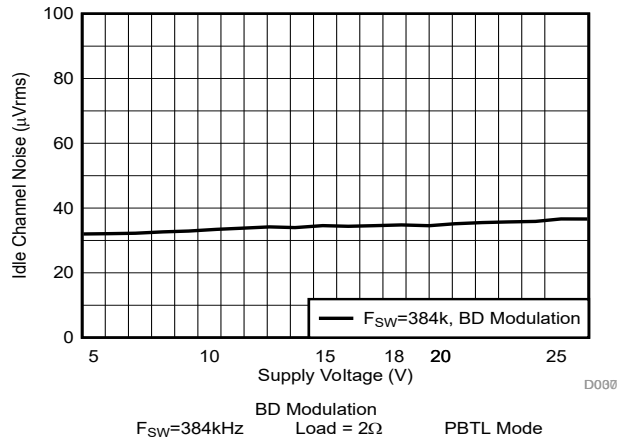


图 5-51. 空闲声道噪声与电源电压间的关系

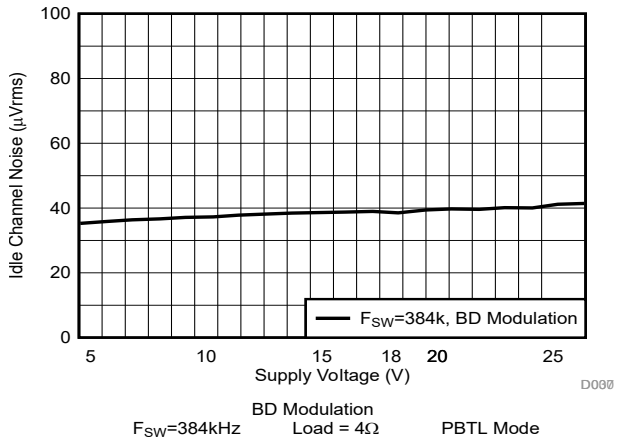


图 5-52. 空闲声道噪声与电源电压间的关系

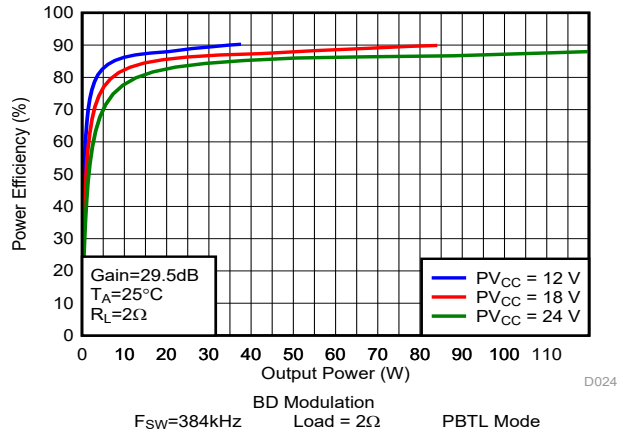


图 5-53. 效率与输出功率间的关系

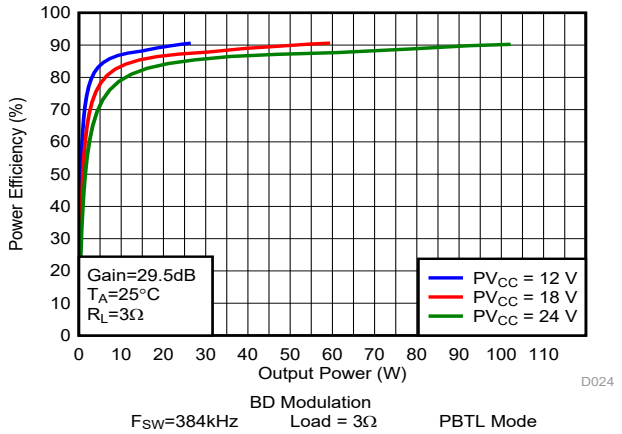


图 5-54. 效率与输出功率间的关系

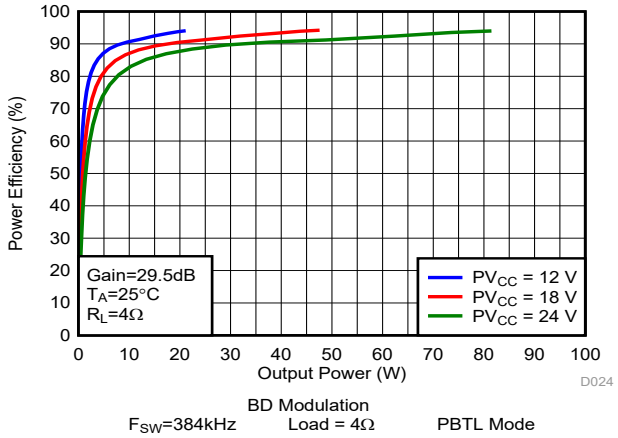


图 5-55. 效率与输出功率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7.4 采用 1SPW 调制的并行桥接负载 (PBTL) 配置

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz，80kHz D 类放大器环路带宽的情况下进行的，使用的 LC 滤波器为 10μH/0.68μF（后置滤波器 PBTL，在输出滤波器电感器部分之后合并两个输出通道，请参阅 节 9.2.4 中的连接方法），除非另有说明。

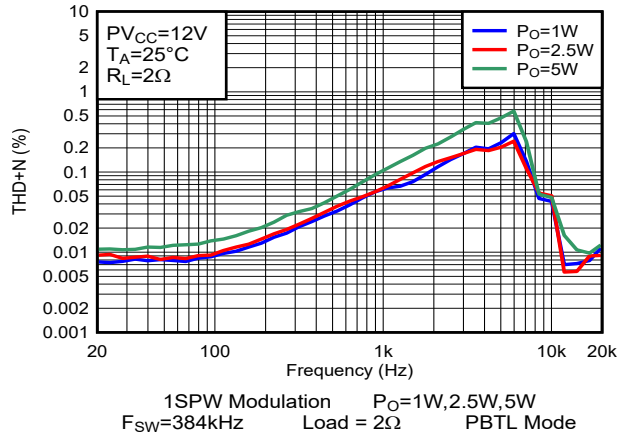


图 5-56. THD+N 与频率间的关系-PBTL

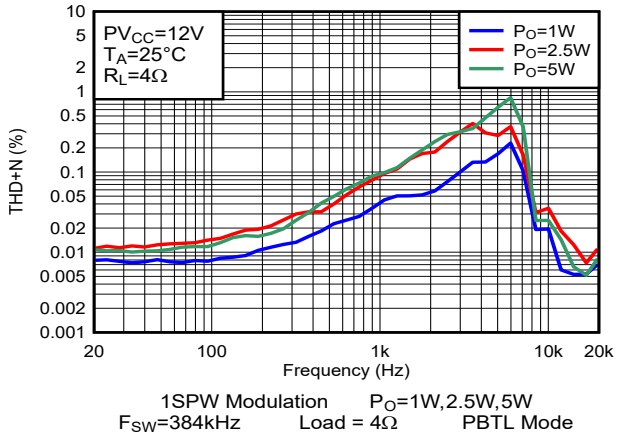


图 5-57. THD+N 与频率间的关系-PBTL

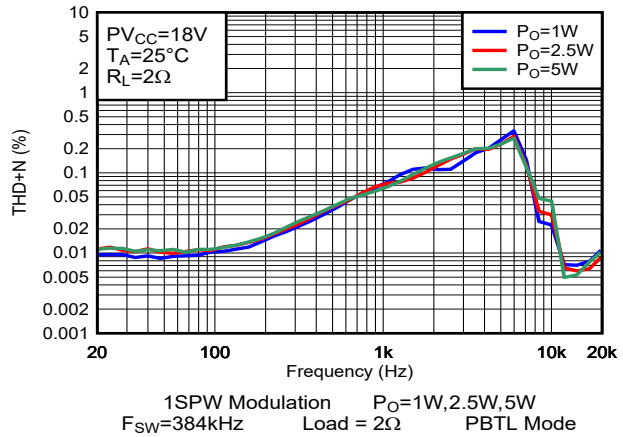


图 5-58. THD+N 与频率间的关系-PBTL

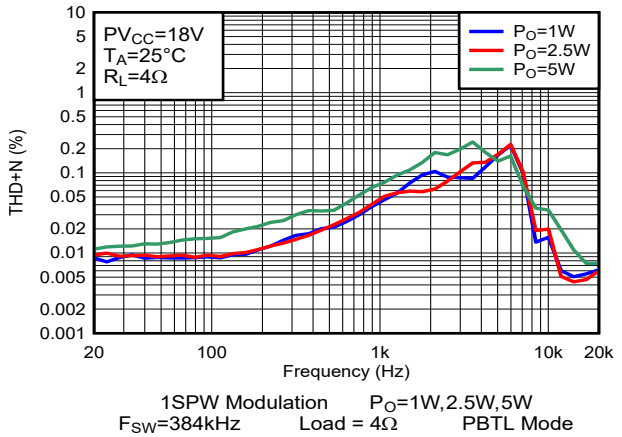


图 5-59. THD+N 与频率间的关系-PBTL

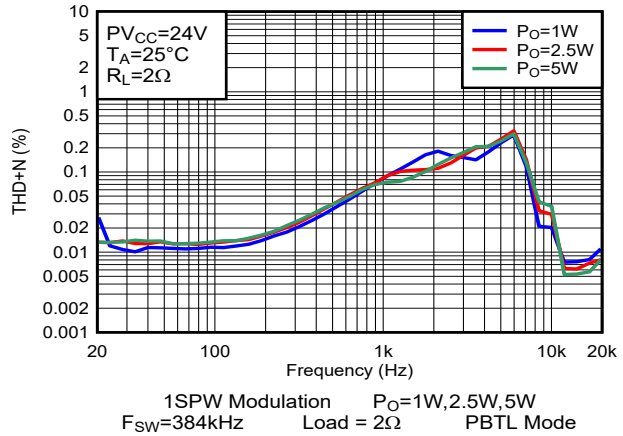


图 5-60. THD+N 与频率间的关系-PBTL

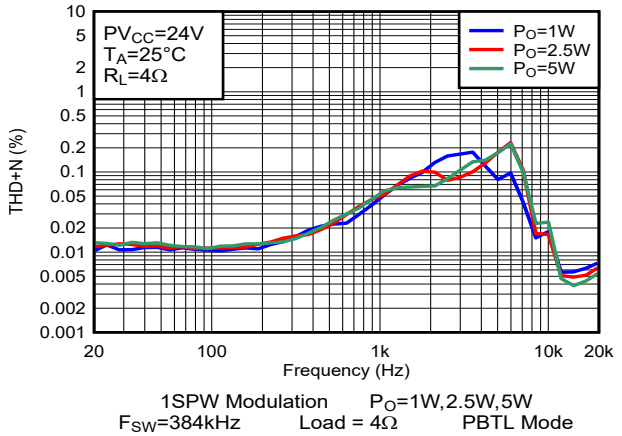
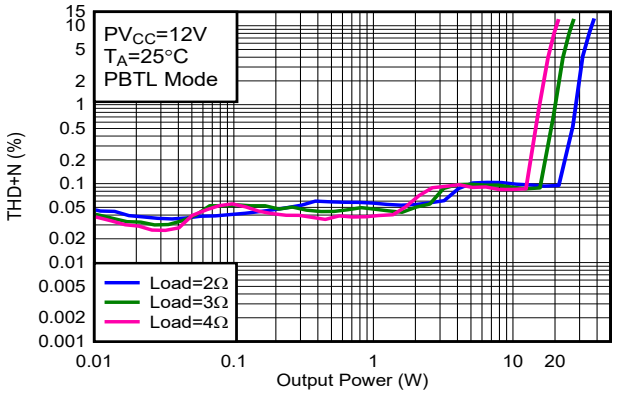


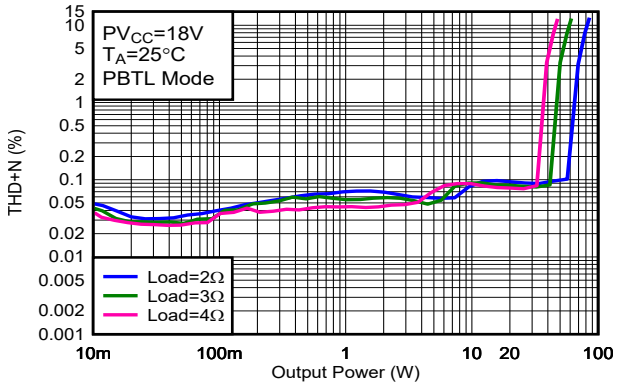
图 5-61. THD+N 与频率间的关系-PBTL

Copyright © 2025 Texas Instruments Incorporated



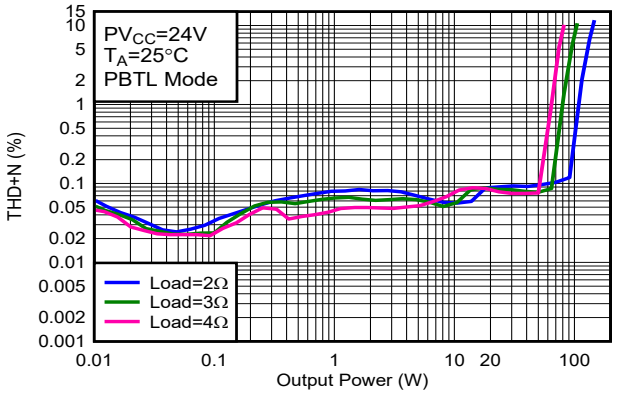
1SPW Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-62. THD+N 与输出功率间的关系-PBTL



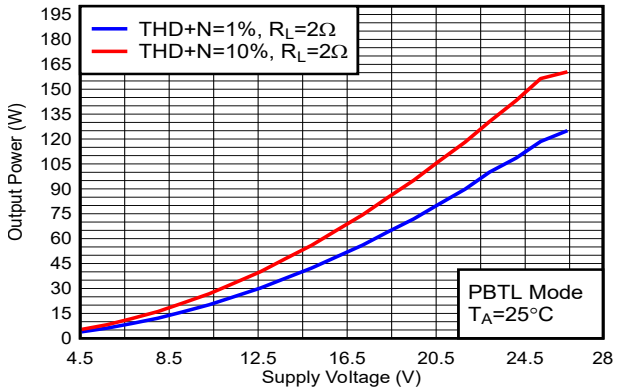
1SPW Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-63. THD+N 与输出功率间的关系-PBTL



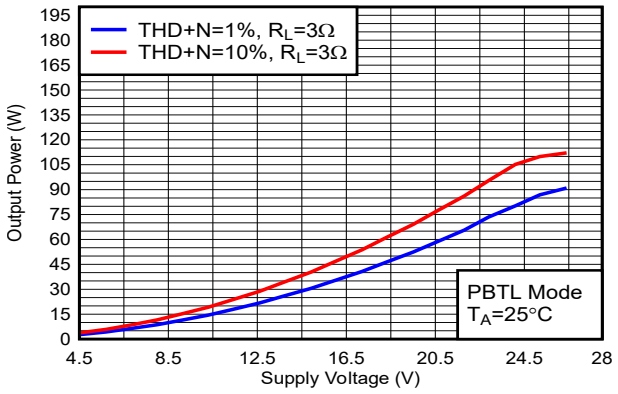
1SPW Modulation
F_{SW} = 384 kHz Load = 2Ω, 3Ω, 4Ω PBTL Mode

图 5-64. THD+N 与输出功率间的关系-PBTL



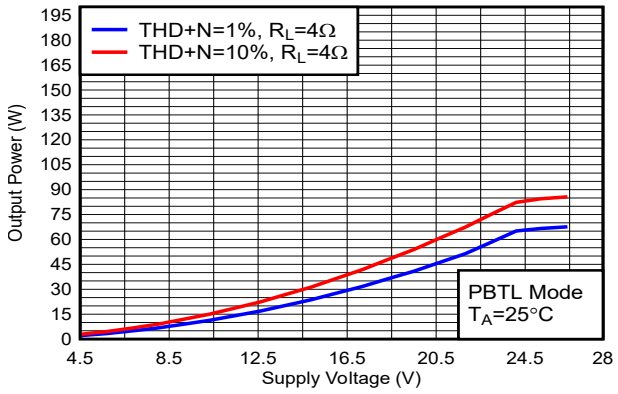
1SPW Modulation
F_{SW}=384kHz Load = 2Ω PBTL Mode

图 5-65. 输出功率与电源电压间的关系



1SPW Modulation
F_{SW}=384kHz Load = 3Ω PBTL Mode

图 5-66. 输出功率与电源电压间的关系



1SPW Modulation
F_{SW}=384kHz Load = 4Ω PBTL Mode

图 5-67. 输出功率与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

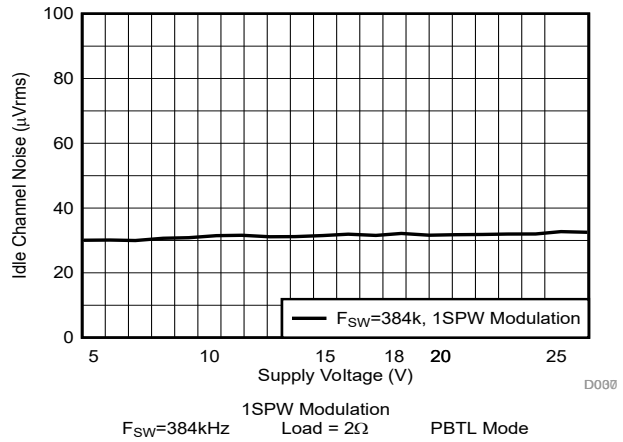


图 5-68. 空闲声道噪声与电源电压间的关系

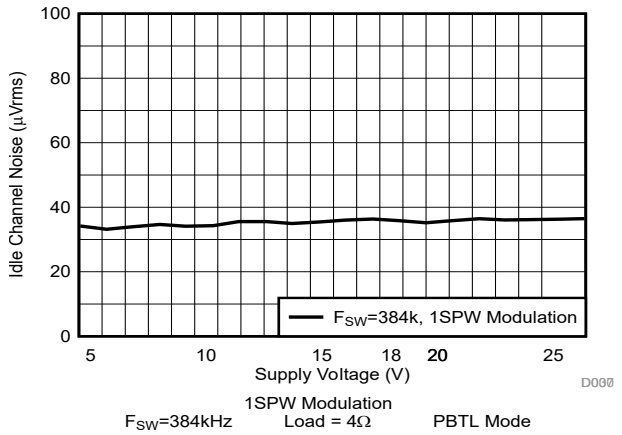


图 5-69. 空闲声道噪声与电源电压间的关系

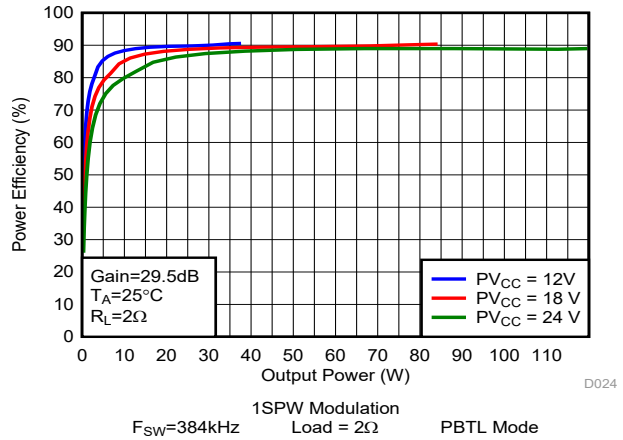


图 5-70. 效率与输出功率间的关系

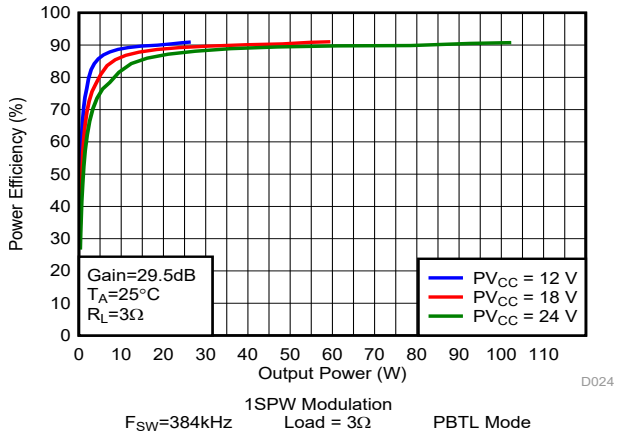


图 5-71. 效率与输出功率间的关系

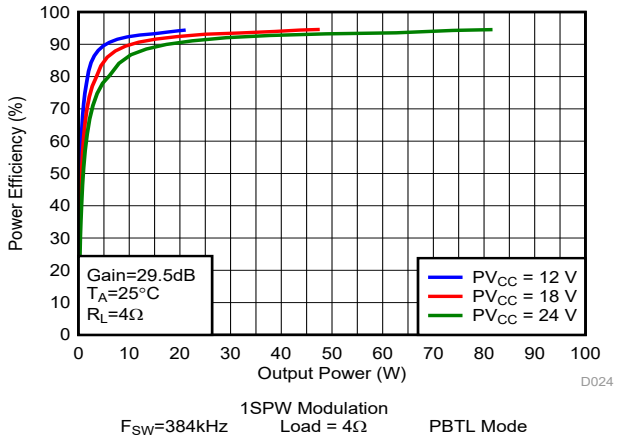


图 5-72. 效率与输出功率间的关系

6 参数测量信息

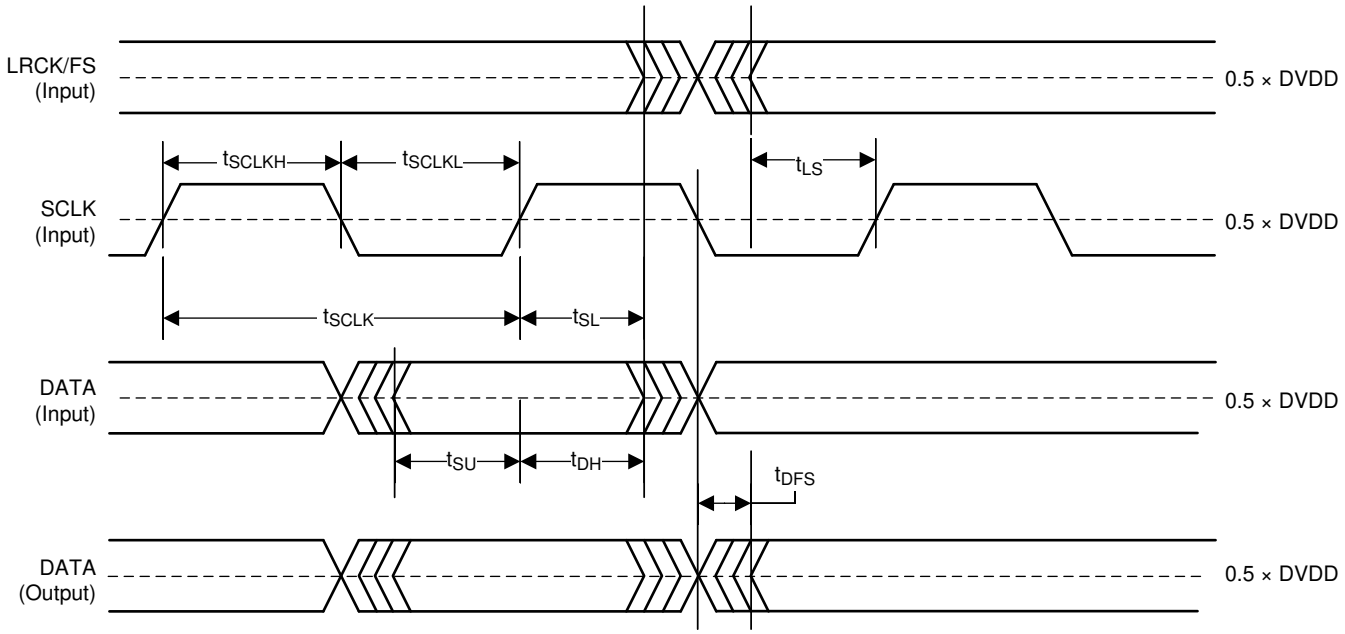


图 6-1. 目标模式下的串行音频端口时序

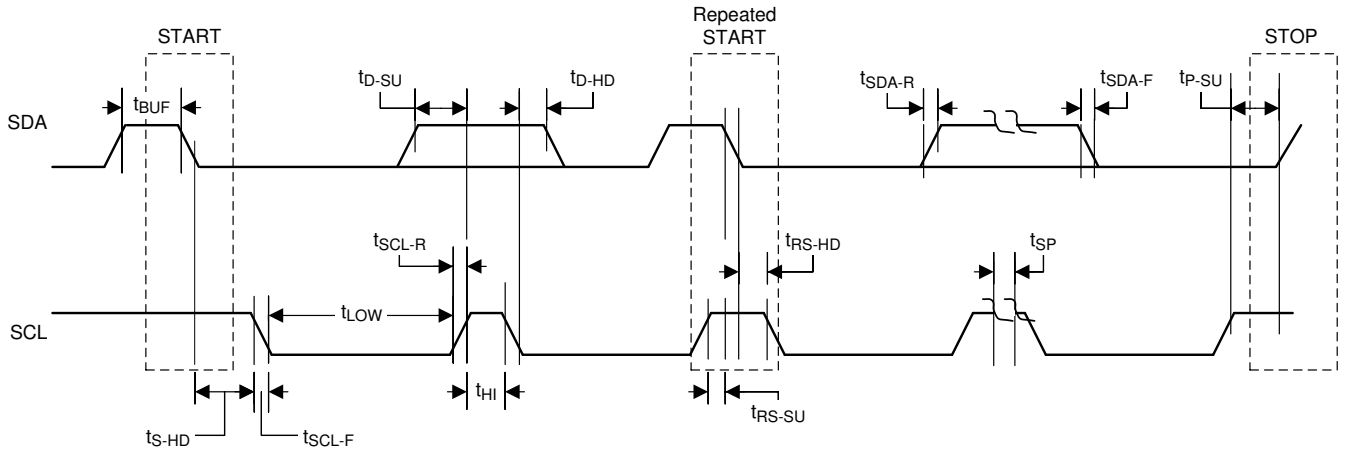


图 6-2. I²C 通信端口时序图

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

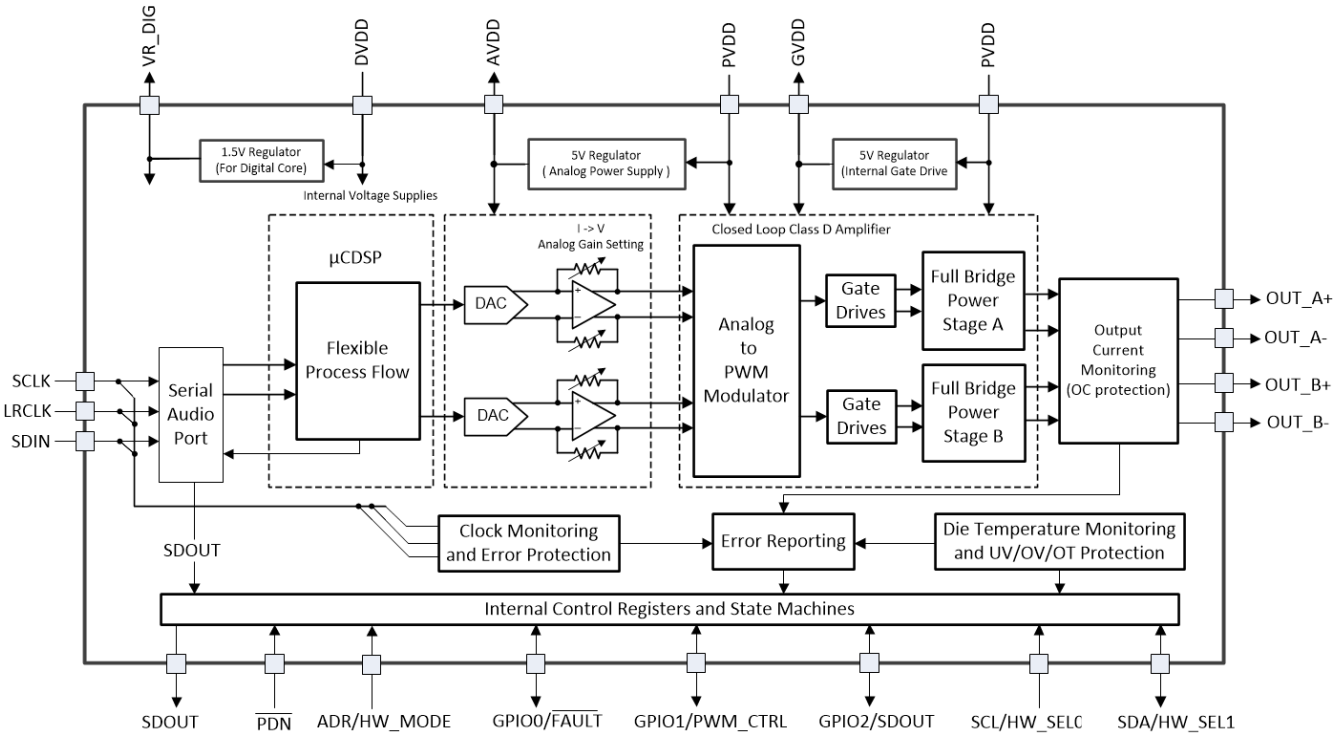
7.1 概述

TAS5828M 器件将 4 个主要构建块组合成单个内聚的器件，可更大限度地提高音质、灵活性和易用性。4 个主要构建块列示如下：

- 立体声数字至 PWM 调制器。
- 音频 DSP 子系统。
- 灵活的闭环放大器，能够在多种不同开关频率下以立体声或单声道运行，并具有各种输出电压和负载。
- 一个 I^2C 控制端口用于与器件进行通信

器件需要两个电源才能正常工作。DVDD 电源需要为低压数字电路供电。需要另一个称为 PVDD 的电源来为音频放大器的输出级供电。两个内部 LDO 将 PVDD 转换为 5V（用于 GVDD 和 AVDD），并分别转换为 1.5V（用于 DVDD）。

7.2 功能方框图



7.3 特性说明

7.3.1 电源

为了方便系统设计，除了（典型值）12V 或 24V 功率级电源外，TAS5828M 需要一个 3.3V 或 1.8V 电源。两个内部稳压器为栅极驱动电路和内部电路提供电压电平。外部引脚仅作为片外旁路电容器的连接点提供，以对电源进行滤波。将外部电路连接到这些稳压器输出可能导致性能降低并损坏器件。此外，所有需要浮动电压电源的电路（即高侧栅极驱动）都通过内置自举电路进行调节，而该电路只需很少的外部电容器。为了提供良好的电气和声学特性，输出级的 PWM 信号路径被设计为相同的独立半桥。为此，每个半桥都有单独的自举引脚 (BST_x)。栅极驱动电压 (GVDD) 由 PVDD 电压提供。应特别注意将所有去耦电容尽可能靠近相关引脚放置。通常，必须避免电源引脚和去耦电容器之间的电感。为了实现一个正常运行的自举电路，必须在每个自举引脚 (BST_x) 与功率级输出引脚 (OUT_x) 之间连接一个小型陶瓷电容器。当功率级输出为低电平时，自举电容器通过连接在栅极驱动稳压器输出引脚 (GVDD) 和自举引脚之间的内部二极管进行充电。当功率级输出为高电平时，自举电容器电势将移至输出电势以上，从而为高侧栅极驱动器提供电压电源。

7.3.2 器件时钟

TAS5828M 器件具有灵活的时钟系统。在内部，器件需要多个时钟，主要是以相关的时钟速率工作才能正常运行。所有这些时钟都可以从串行音频接口获得。

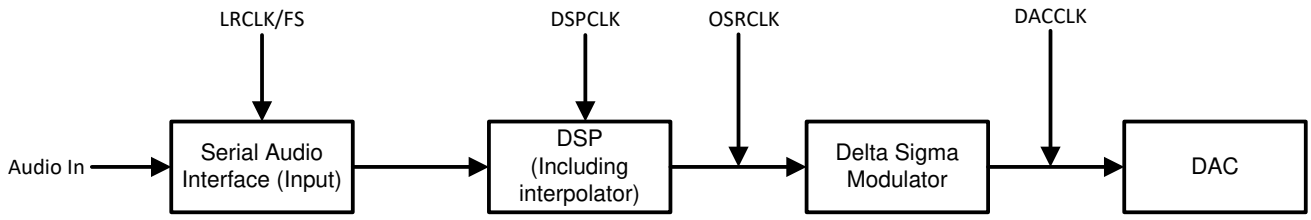


图 7-1. 具有相应时钟的音频流

图 7-1 展示了基本数据流和时钟分配。

串行音频接口通常具有 3 个连接引脚，如下所列：

- SCLK（位时钟）
- LRCLK/FS（左/右字时钟或帧同步）
- SDIN（输入数据）

此器件有一个内部 PLL，此 PLL 用于获取 SCLK 并创建 DSP 和 DAC 时钟所需的较高速率的时钟。

TAS5828M 器件有一个音频采样率检测电路，可自动检测采样率以哪个频率运行。支持 32kHz、44.1kHz 至 48kHz、88.2kHz 至 96kHz、176.4kHz 至 192kHz 的常见音频采样频率。采样频率检测器自动为 DAC 和 DSP 设置时钟。

如果输入 LRCLK/SCLK 在音乐播放期间停止，TAS5828M DSP 会切换到睡眠状态并等待时钟恢复（D 级输出自动切换到高阻态），一旦 LRCLK/SCLK 恢复，TAS5828M 会自动恢复到播放模式。无需重新加载 DSP 代码。

7.3.3 串行音频端口 – 时钟速率

串行音频接口端口是一个 3 线串行端口，传输的信号为 LRCLK/FS、SCLK 和 SDIN。SCLK 是串行音频位时钟，用于将 SDIN 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据通过 SCLK 在时钟控制下传输到 TAS5828M 器件中。当器件在 TDM 模式下运行时，LRCLK/FS 引脚是串行音频左/右字时钟或帧同步。

表 7-1. 音频数据格式、位深度和时钟速率

格式	数据位	最大 LRCLK/FS 频率 (kHz)	SCLK 速率 (f_S)
I^2S/LJ/RJ	32、24、20、16	32 至 192	64、32
TDM	32、24、20、16	32	128
		44.1,48	128,256,512
		96	128,256
		192	128

当时钟暂停、检测到不支持的 SCLK 与 LRCLK(FS) 比率时，器件会在寄存器 113（寄存器地址 0x71）中报告时钟错误。

7.3.4 时钟暂停自动恢复

当没有播放音频时，某些主机处理器将暂停 I^2S 时钟。当时钟停止时，器件将所有通道置于 Hi-Z 状态，并在寄存器 113（寄存器地址 0x71）中报告时钟错误。音频时钟恢复后，器件自动返回到之前的状态。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 采样率动态变化

TAS5828M 支持 LRCLK(FS) 速率动态变化。例如，将 LCRLK 从 32kHz 更改为 48kHz 或 96kHz 或 192kHz 时，主机处理器需要将 LRCLK(FS)/SCLK 置于停止状态至少 100μs，然后再更改为新的采样率。

7.3.6 串行音频端口 - 数据格式和位深度

该器件支持业界通用音频数据格式，包括标准 I2S、左对齐、右对齐和 TDM/DSP 数据。通过寄存器（寄存器地址 0x33h [5:4]）选择数据格式。如果 TDM/DSP 模式下 LRCLK/FS 的高宽度小于 SCK 的 8 个周期，则寄存器（寄存器地址 0x33h [3:2]）应设置为 01。所有格式都需要二进制补码、MSB 在前的音频数据；接受高达 32 位的音频数据。表 7-1 展示了该器件支持的所有数据格式、字长和时钟速率。图 7-2 至图 7-6 详细介绍了数据格式。通过寄存器（寄存器地址 0x33h [1:0]）选择字长。通过寄存器（寄存器地址 0x33h [7]）和寄存器（寄存器地址 0x34h [7:0]）选择数据偏移量。默认设置为 I2S 和 24 位字长。

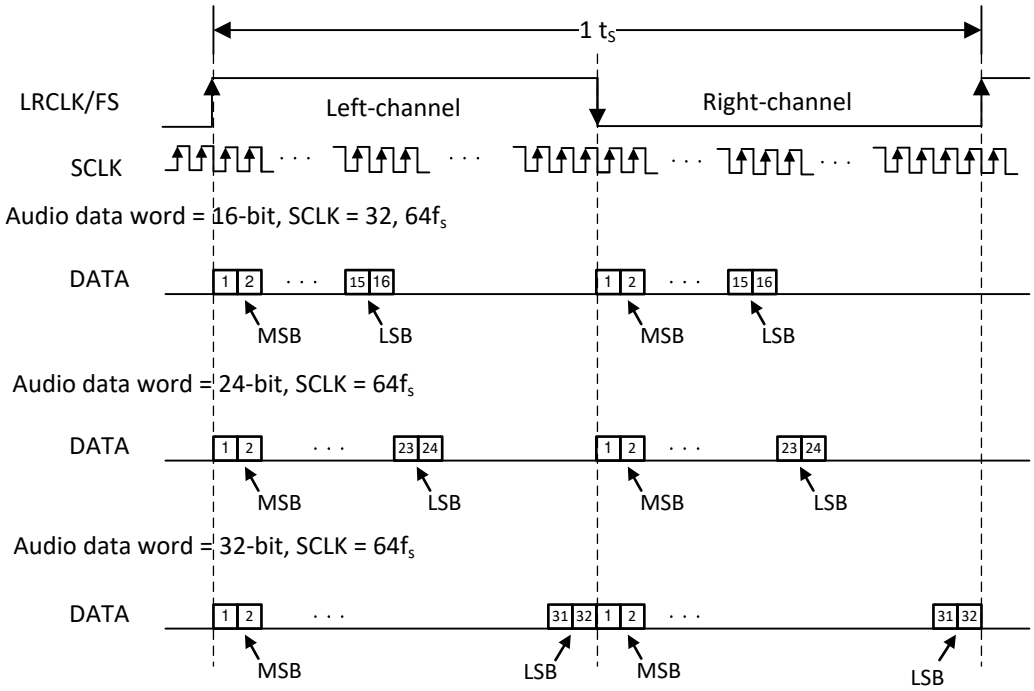
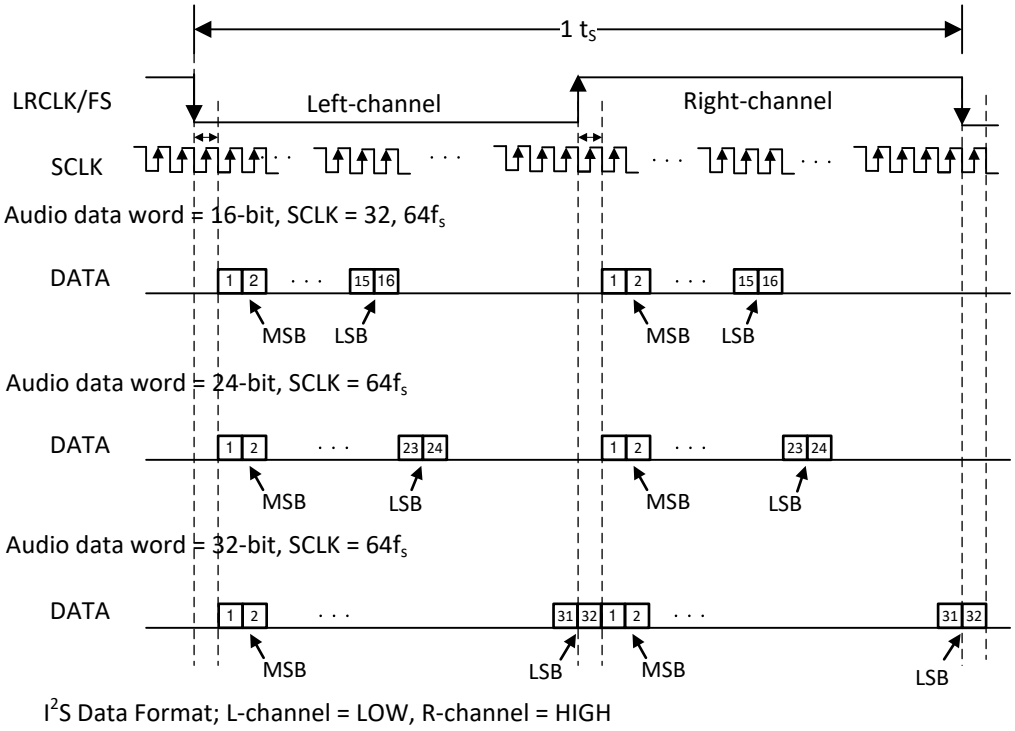
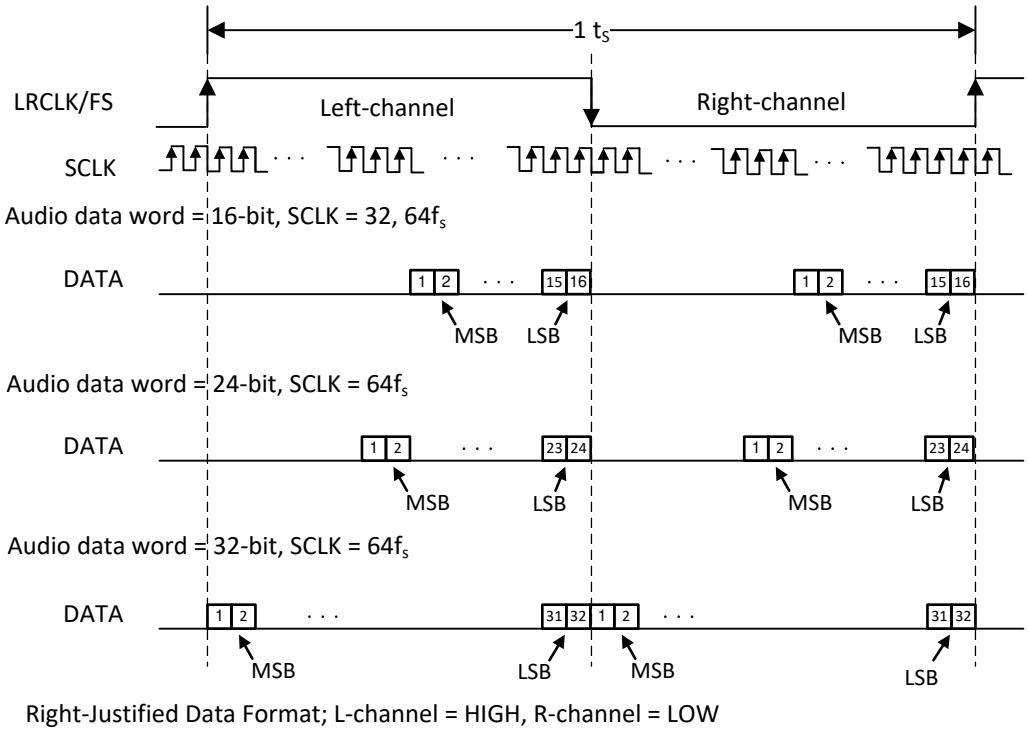


图 7-2. 左对齐音频数据格式



I²S 数据格式；左通道 = 低电平，右通道 = 高电平

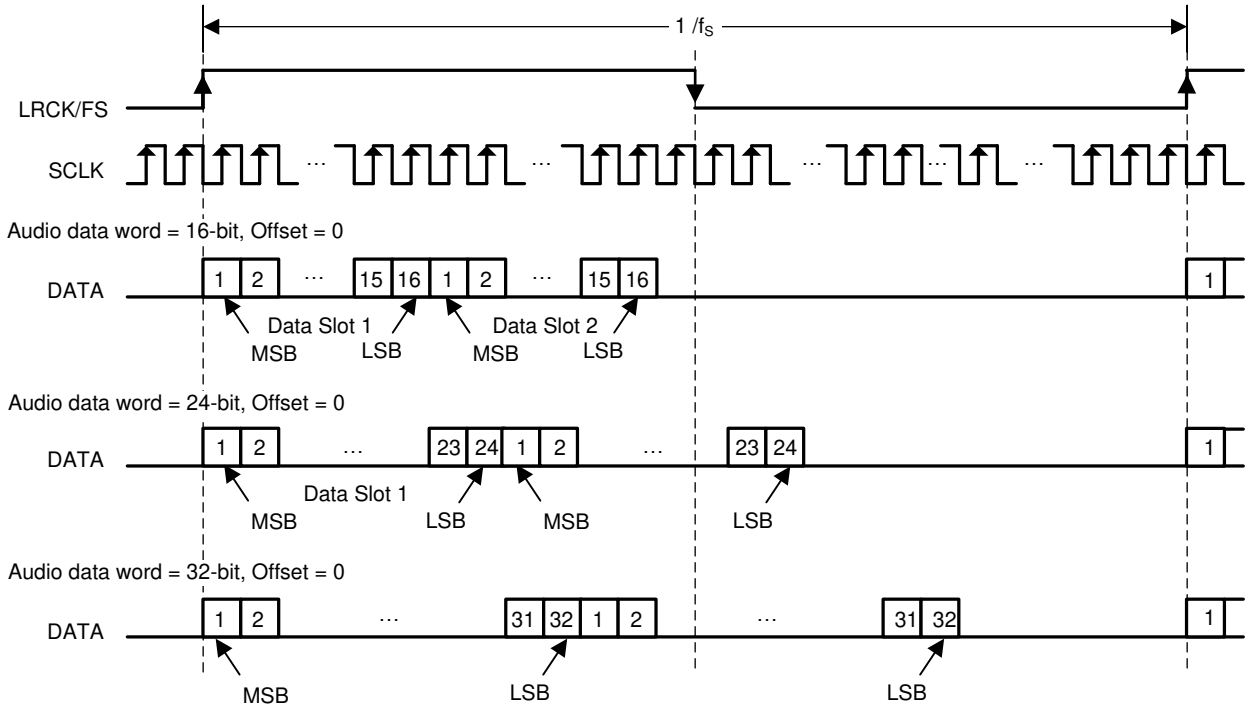
图 7-3. I²S 音频数据格式



右对齐数据格式；左通道 = 高电平，右通道 = 低电平

图 7-4. 右对齐音频数据格式

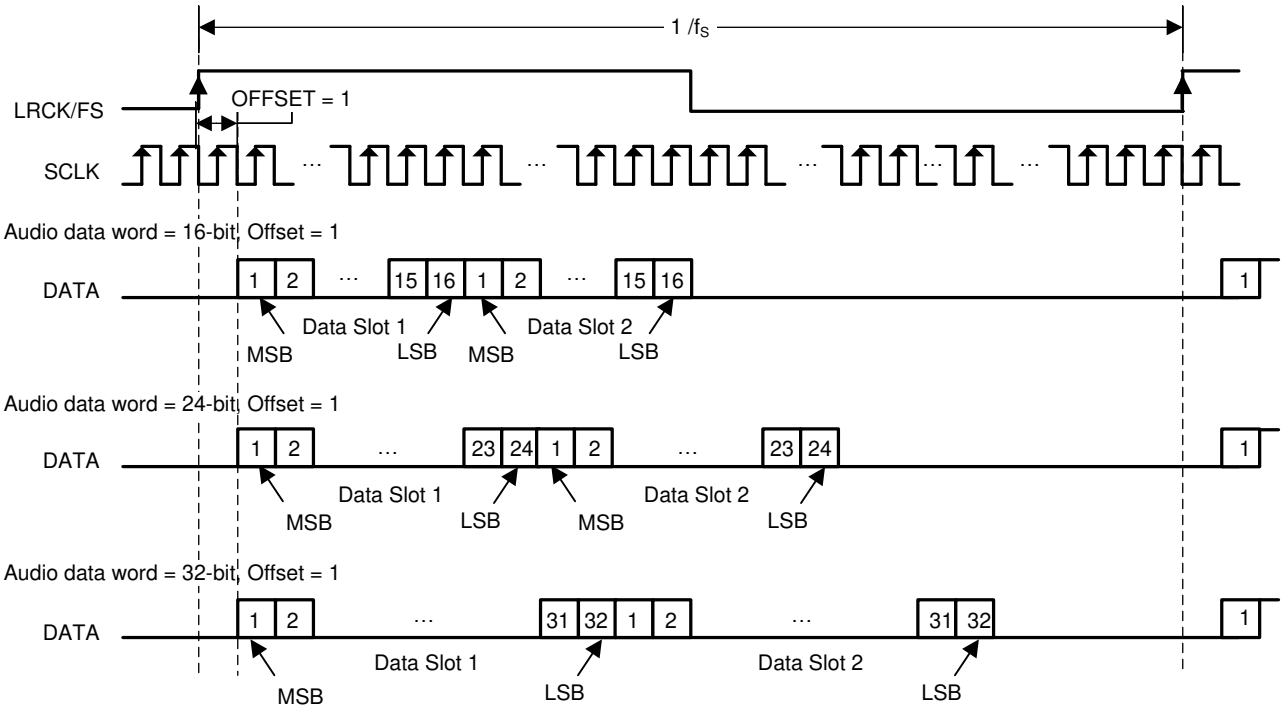
Copyright © 2025 Texas Instruments Incorporated



偏移 = 0 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少为 1x SCLK。上升沿被视为帧开始。

图 7-5. TDM 1 音频数据格式



偏移 = 1 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少为 1x SCLK。上升沿被视为帧开始。

图 7-6. TDM 2 音频数据格式

7.3.7 数字音频处理

TAS5828M 数字音频处理包括三个主要功能：基本音频调优块、Hybrid-Pro 算法和高级功能。

对于小于 192kHz 的处理器采样率，基本音频调优块包括 SRC（采样率转换器）、立体声通道输入混音器，每个通道配备 12 至 16 个 BQ（贯穿整个信号链），无爆破声音量控制，多段动态范围压缩 (DRC) 和 AGL。对于 192kHz 处理器采样率，功能仅限于 Hybrid-Pro 算法和 SRC。每个块的详细介绍，可参见 TAS5825M 处理流程。

Hybrid-Pro 可与混合调制结合使用，后者是一种出色的 D 类内部 PWM 调制方案，可在不影响 THD+N 性能的情况下进一步提高效率。从系统效率的角度来看，Hybrid-Pro 超越了混合 PWM 调制，它使用先进的前瞻 DSP 结构跟踪音频信号包络，控制外部 PVDD 电源电压轨，并保持足够的裕度以提供高动态范围而不会产生削波失真，从而尽可能节省电力。有关更多可配置选项、请参阅 TAS5828M 用户指南：

- 可选 8 步 384kHz PWM 格式或 16 步 192kHz PWM 格式 Hybrid-Pro 控制波形，用于外部直流/直流转换器。
- 可配置的最大 4ms 超前音频信号延迟缓冲器，能够适应各种应用系统的直流/直流带宽和电源耦合电容。
- Max 512 样本音频信号峰值保持，可优化从大音频输入到小电平的电源电压导轨切换，有助于避免削波失真。
- Hybrid-Pro Margin 自动调整音频信号触发电平和每个步进电平。Hybrid-Pro Margin 微调可实现效率和包络跟踪速度之间的平衡。

高级功能包括 PVDD 检测（动态余量跟踪）、热折返和混合 PWM 调制。这些功能基于集成的 8 位 PVDD 检测 ADC 和 4 级温度传感器实现。请参阅应用手册：TAS5825M 高级功能。

7.3.8 D 类音频放大器

在数字削波器之后，内插的音频数据接下来将发送到闭环 D 类放大器，其第一级为数字至 PWM 转换 (DPC) 块。在这个块中，立体声音频数据将转换成两对用于驱动扬声器放大器输出的互补脉宽调制 (PWM) 信号。DPC 周围的反馈环路可在电源电压下保持恒定增益，减少失真并提高对电源注入噪声和失真的抗扰度。模拟增益也应用于器件的 D 类放大器部分。下面将详细讨论 图 7-7 和 表 7-2 的增益结构。放大器的切换速率可通过寄存器（寄存器地址 0x02h [6:4]）进行配置

7.3.8.1 扬声器放大器增益选择

数字增益和模拟增益的组合用于提供扬声器放大器的总增益。如 图 7-7 所示，TAS5828M 的音频路径由数字音频输入端口、数字音频路径、数字到 PWM 转换器 (DPC)、栅极驱动器级、D 类功率级和反馈环路组成，反馈环路将输出信息反馈回 DPC 块以校正输出引脚上感知的失真。总放大器增益由数字增益（如数字音频路径中所示）、DAC 增益和模拟增益（从模拟调制器输入端到扬声器放大器功率级输出端）组成。

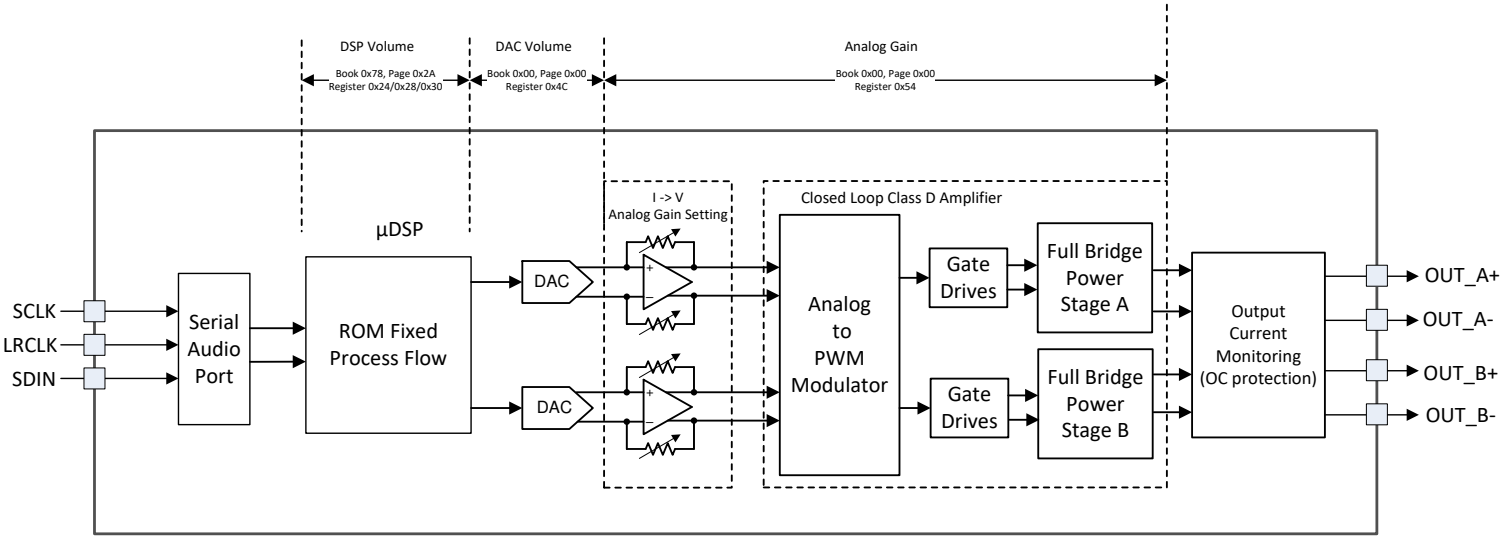


图 7-7. 扬声器放大器增益

Copyright © 2025 Texas Instruments Incorporated

如 图 7-7 所示，数字音频路径中存在扬声器放大器的第一个增益级。数字音频路径由音量控制（DSP 音量）和 DAC 音量组成。音量控制默认设置为 0dB。对于寄存器 0x54, AGAIN[4:0] 的所有设置，数字音量块保持 0dB。这些增益设置可确保输出信号不会在不同的 PVDD 电平下削波。0dBFS 输出为 29.5V 峰值输出电压

表 7-2. 模拟增益设置

AGAIN <4:0>	增益 (dBFS)	放大器输出峰值电压 (V_P/FS)	放大器输出峰值电压 (dBV_P/FS)
00000	0	29.5	29.4
00001	-0.5	27.85	28.9
00010	-1.0	26.29	28.4
00011	-1.5	24.82	27.9
…….	……..	…….	…….
11111	-15.5	4.95	13.9

7.3.8.2 D 类环路带宽和开关频率设置

TAS5828M 闭环结构提供环路带宽设置选项（通过寄存器 83 设置，寄存器地址 0x53h [6-5]），以便在不同的开关频率下协同工作（通过寄存器 2 设置、寄存器地址 0x02h [6-4]）。表 7-3 展示了环路带宽和开关频率选择的建议设置。相同的 Fsw、更好的 THD + N 性能和更高的 BW。

表 7-3. 环路带宽和开关频率设置

调制方案	Fsw	BW（环路带宽）	注释
混合，1SPW	384kHz	80kHz	原理：Fsw（开关频率）≥ 4.2 × 环路带宽
	480kHz	80kHz、100kHz	
	576kHz	80kHz、100kHz、120kHz	
	768kHz	80kHz、100kHz、120kHz、175kHz	
BD	384kHz	80kHz、100kHz、120kHz	原理：Fsw（开关频率）≥ 3 × 环路带宽
	480kHz	80kHz、100kHz、120kHz	
	576kHz	80kHz、100kHz、120kHz、175kHz	
	768kHz	80kHz、100kHz、120kHz、175kHz	

7.4 器件功能模式

7.4.1 软件控制

TAS5828M 器件通过 I^2C 通信端口进行配置。

I^2C 通信端口一节详细介绍了 I2C 通信协议。时序要求 - I^2C 总线时序中介绍了 I^2C 时序要求。

7.4.2 扬声器放大器工作模式

TAS5828M 器件可通过寄存器 0x02h [2] 配置为两种不同的放大器配置：

- BTL 模式
- PBTL 模式

7.4.2.1 BTL 模式

在 BTL 模式下，TAS5828M 会放大两个独立的信号，它们分别代表立体声信号的左右两个部分。放大的左声道信号通过差分输出对输出，对应的输出端口分别为 OUT_A+ 和 OUT_A-。放大的右声道信号通过差分输出对输出，对应的输出端口分别为 OUT_B+ 和 OUT_B-。

7.4.2.2 PBTL 模式

PBTL 运行模式用于描述一种运行，其中器件的两个输出彼此并行放置，以提高器件的供电能力。在 TAS5828M 器件的输出侧，可采用称为前置滤波器并行桥接负载 (PBTL) 的配置，在滤波器之前完成对器件的求和。但是，两个输出可能需要在输出滤波器的电感器部分之后合并在一起。这样做确实需要两个额外的电感器，但允许使用更

小、更便宜的电感器，因为电流是在两个电感器之间分配的。此过程称为后置滤波器 PBTL。在 TAS5828M 器件的输入侧，PBTL 放大器的输入信号是 I2S 或 TDM 数据的左帧。

7.4.3 低 EMI 模式

TAS5828M 采用多种模式在播放音频期间更大限度地降低 EMI，并可根据不同的应用使用这些模式。

7.4.3.1 展频

在某些情况下，使用展频可以更大限度地降低 EMI 噪声。TAS5828M 支持三角模式和随机模式的展频。

用户需要配置寄存器 SS_CTRL0 (0x6B) 以启用三角模式和展频。用户可使用 SS_CTRL1 (0x6C) 选择展频频率和范围。对于由 DEVICE_CTRL1 (0x02) 配置的 768kHz F_{SW}，表 7-4 中介绍了展频频率和范围。

表 7-4. 三角模式展频频率和范围选择

SS_TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角频率	24k				48k			
展频范围	5%	10%	20%	25%	5%	10%	20%	25%

用户应用示例：中心开关频率为 768kHz，三角频率为 48kHz。

寄存器 0x02 = 0x41 // 768kHz Fsw，BTL 模式，1SPW 模式。

寄存器 0x6b = 0x03 // 启用展频

寄存器 0x6c = 0x03 // SS_CTRL[3:0]=0011，三角频率 = 48kHz，展频范围为 10% (729kHz~807kHz)

7.4.3.2 通道间相移

该器件支持通道间 180 度 PWM 相移，以更大限度地降低 EMI。寄存器 0x53 的位 0 可用于禁用或启用相移。

7.4.3.3 多器件 PWM 相位同步

TAS5828M 支持为多器件应用系统选择最多四相。例如，当一个系统集成了 4 个 TAS5828M 器件时，用户可以通过寄存器 PHASE_CTRL(0x6A) 为每个器件选择 0/1/2/3 相位，这意味着每个器件之间有 45 度相移，可更大程度地降低 EMI。

有两种方法可实现多器件 PWM 相位同步。使用 I^2S 时钟在启动阶段进行相位同步或使用 GPIO 进行相位同步。

7.4.3.3.1 启动阶段与 I^2S 时钟的相位同步

1. 第 1 步，停止 I^2S 时钟。
2. 第 2 步，配置每个器件相位选择并启用相位同步。例如：器件 0 的寄存器 0x6A=0x03；器件 1 的寄存器 0x6A=0x07；器件 2 的寄存器 0x6A=0x0B；器件 3 的寄存器 0x6A=0x0F。
3. 第 3 步，将每个器件配置为高阻态模式。
4. 第 4 步，为每个器件提供 I^2S。所有 4 个器件的相位同步都由内部序列自动完成。
5. 第 5 步，初始化 DSP 代码（如果只需要进行相位同步，则可以跳过此步骤）。
6. 第 6 步，器件间的 PWM 相移应固定为 45 度。

7.4.3.3.2 通过 GPIO 实现相位同步

1. 第 1 步，将每个器件的 GPIOx 引脚连接到 PCB 上的 SOC GPIO 引脚。
2. 第 2 步，将每个器件 GPIOx 配置为寄存器 GPIO_CTRL (0X60) 和 GPIO_INPUT_SEL (0x64) 使用的相位同步输入。
3. 第 3 步，为每个器件选择一个不同的相位，并通过寄存器 PHASE_CTRL (0x6A) 启用相位同步。
4. 第 4 步，通过寄存器 DEVICE_CTRL2 (0x03) 将每个器件配置为播放模式，并监测 POWER_STATE register (0x68) 寄存器，直到器件变为高阻态状态。
5. 第 5 步，对 SOC GPIO 进行 0 到 1 的切换。然后，所有 4 个器件都进入播放模式，器件之间的 PWM 相移应固定为 45 度。

Copyright © 2025 Texas Instruments Incorporated

6. 第 6 步，相位同步已完成。根据应用将 GPIOx 引脚配置为其他功能。

7.4.4 热折返

热折返 (TFB) 旨在防止 TAS5828M 因芯片温度过度升高而损坏，以防器件在超过建议的温度/功率限值或热系统设计低于建议值的情况下运行。TFB 允许 TAS5828M 播放尽可能大的音量，而不会触发意外的热关断。TAS5828M 有四个过热警告 (OTW) 阈值，I2C 寄存器 0x73 的位 0、1、2 和 3 中指示了每个阈值。当 OTW 值（温度）从 1 级（最低 OTW 温度）增加到 4 级（最高 OTW 温度）时，内部自动增益限制器 (AGL) 会逐渐降低数字增益。应用的增益衰减与 OTW 电平成正比，较低的 OTW 电平会导致较低的衰减，而较高的 OTW 电平会导致较高的衰减。当裸片温度降低而 OTW 电平降低时，数字信号增益会逐渐增加，直到温度降至 OTW 电平以下并且数字增益恢复到原始电平。衰减增益和可调速率都是可编程的。TFB 增益调节速度（启动速率和释放速率）设置与常规 AGL 相同，也可以使用 PurePath™ Console3 中的 TAS5828M 应用进行配置。

7.4.5 器件状态控制

除关断模式外，TAS5828M 还具有其他 4 种不同功率耗散状态：深度睡眠、睡眠、高阻态和播放模式。电气特性中列出了诊断模式的功率级别。

- 写入寄存器 0x03 [1:0]=00 会将器件置于深度睡眠模式。在此模式下，I^2C 处于活跃状态。此模式可用于延长某些便携式扬声器应用中的电池寿命。一旦主机处理器停止播放音频，TAS5828M 可以设置为深度睡眠模式，以更大限度地降低功率耗散，直到主机处理器再次开始播放音频。可以设定寄存器 0x03 [1:0] 为 11 来返回播放模式。与关断模式（将 $\overline{PDN}$ 拉至低电平）相比，深度睡眠模式使 DSP 和 I2C 处于活跃状态。
- 写入寄存器 0x03 [1:0]=01 会将器件置于睡眠模式。在此模式下，I^2C 块、数字内核、DSP 存储器和 5V 模拟 LDO 处于活跃状态。
- 写入寄存器 0x03 [1:0]=10 会将器件置于高阻态模式。在此模式下，驱动器输出设置为高阻态，并且所有其他块都正常运行。
- 写入寄存器 0x03 [1:0]=11 会将器件置于播放模式，来启用输出路径。

7.4.6 器件调制

TAS5828M 有 3 个调制方案：BD 调制、1SPW 调制和混合调制。为具有寄存器 0x02 [1:0]-DAMP_MOD 的 TAS5828M 选择调制方案。

7.4.6.1 BD 调制

当放大器通过短扬声器导线驱动电感负载时，这种调制方案允许在没有经典 LC 重建滤波器的情况下运行。每个输出从 0 伏切换到电源电压。OUTPx 和 OUTNx 在无输入的情况下彼此同相，因此扬声器中几乎没有电流。对于正输出电压，OUTPx 的占空比大于 50%，OUTNx 小于 50%。对于负输出电压，OUTPx 的占空比小于 50%，OUTNx 大于 50%。负载两端的电压在整个开关周期的大部分时间都保持在 0V，这样可减小开关电流，进而减小负载中的任何 I^2R 损耗。

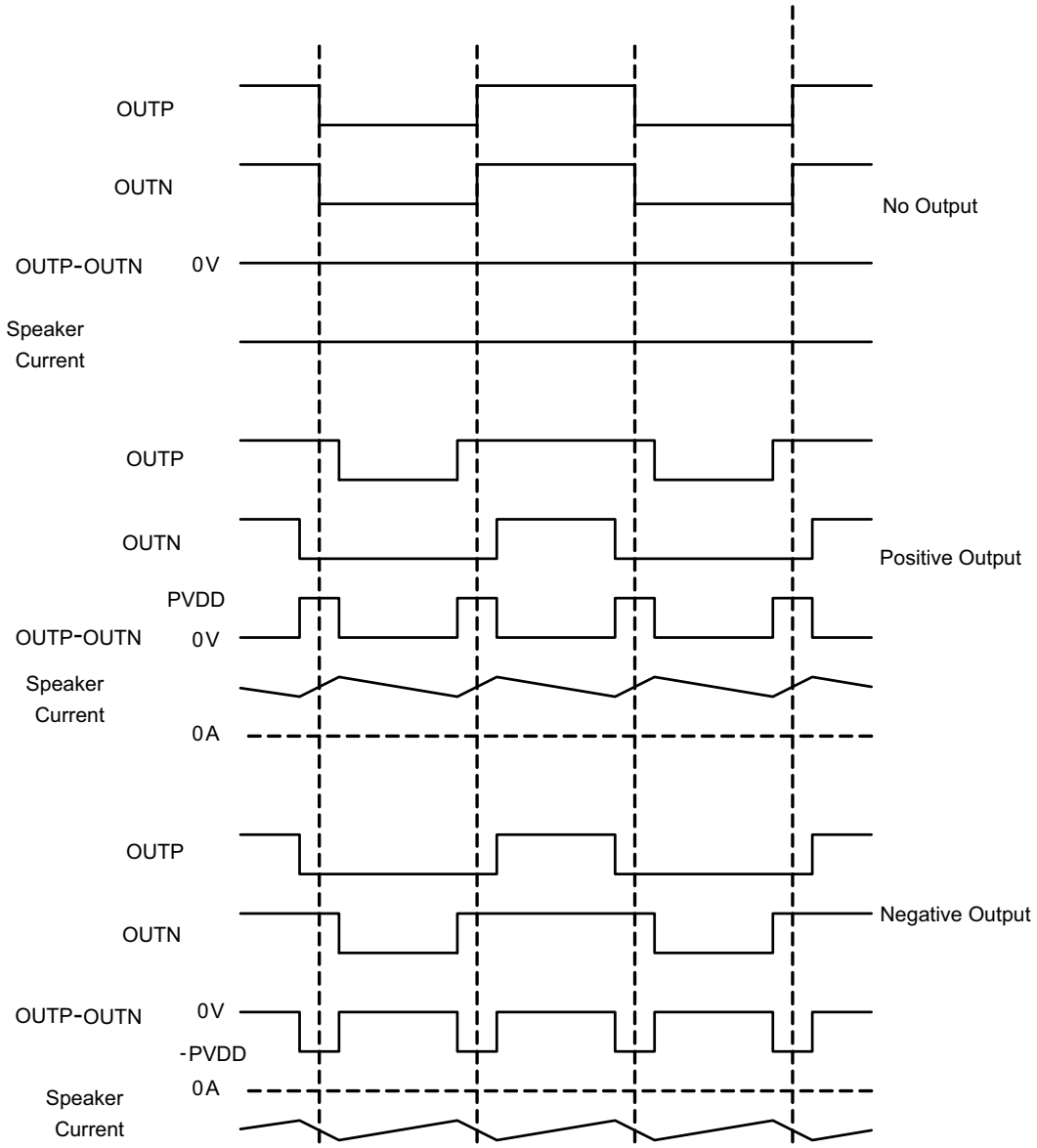


图 7-8. BD 模式调制

Copyright © 2025 Texas Instruments Incorporated

7.4.6.2 1SPW 调制

1SPW 模式会改变正常的调制方案，以实现更高的效率，同时会在 THD 性能下降方面造成轻微影响，并且需要在选择输出滤波器时多加注意。在低空闲电流模式下，输出在空闲条件下以大约 17% 的调制运行。当施加音频信号时，一个输出减少，一个输出增加。下降输出信号连接至 GND。此时，所有音频调制都是通过上升输出进行的。结果是在音频周期的大部分时间里只有一个输出在开关。由于开关损耗减小，在该模式下效率得到提高。

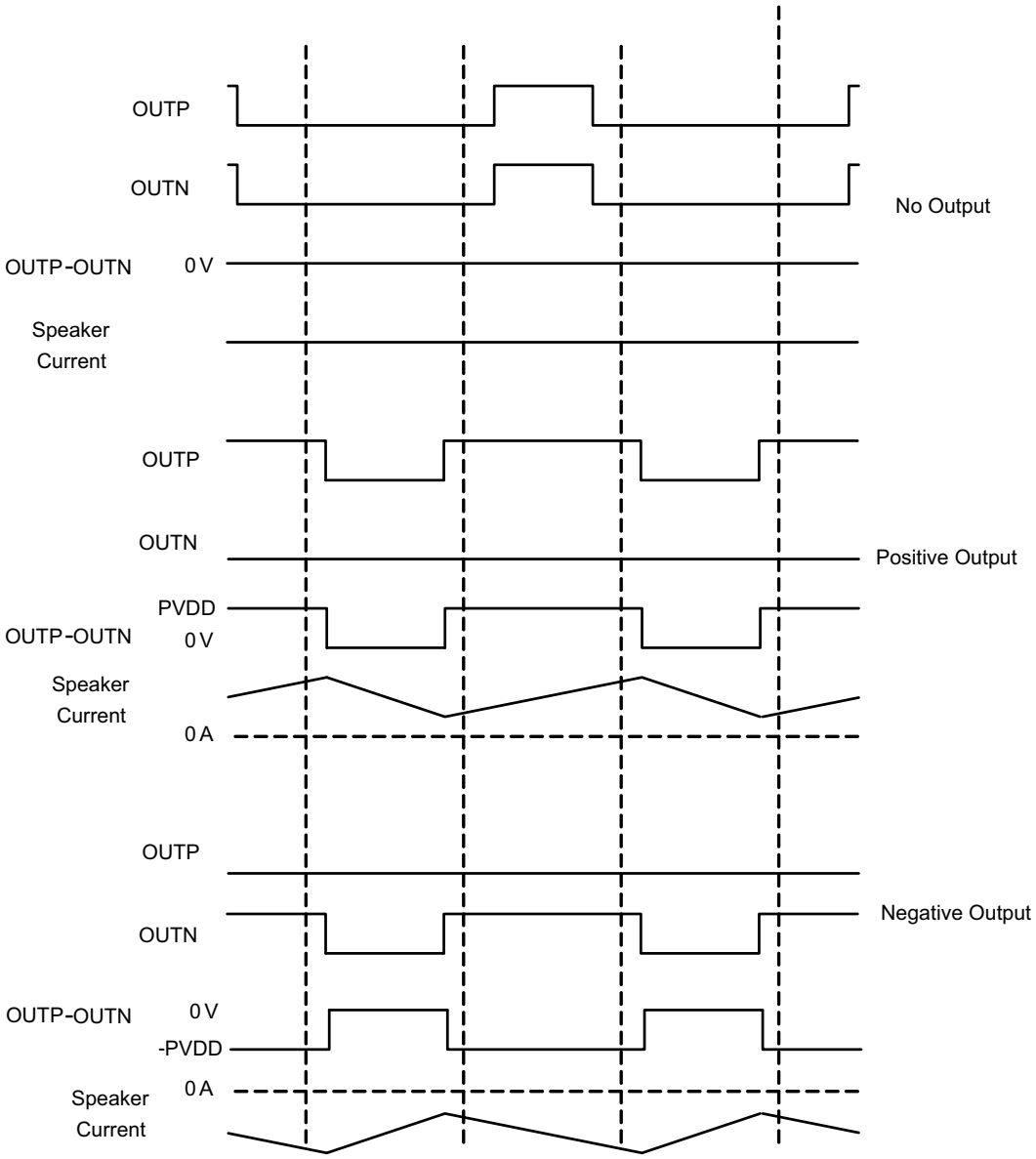


图 7-9. 1SPW 模式调制

7.4.6.3 混合调制

混合调制可在不影响 THD+N 性能的情况下更大限度地降低功率损耗，并且针对电池供电类应用进行了优化。通过混合调制，TAS5828M 可检测输入信号电平，并根据输出电平动态调整 PWM 占空比，从 1SPW 切换至 BD 调制。混合调制可实现超低空闲电流，并保持与 BD 调制相同的音频性能级别。

备注

混合调制需要内部 DSP 来检测输入信号电平并动态地调整 PWM 占空比。若要使用混合调制，用户需要在 TAS5828M PPC3 应用中选择支持混合调制的相应处理流程。请查看 TAS5828M PPC3 应用，了解有关 TAS5828M 灵活音频处理流程的更多信息。

7.5 编程和控制

7.5.1 I²C 串行通信总线

该器件具有与内部 I²C 总线协议兼容的双向串行控制接口，并支持 100kHz 和 400kHz 数据传输速率，可作为目标器件进行随机和顺序写入与读取操作。由于 TAS5828M 寄存器映射和 DSP 存储器涵盖多页和书本，因此用户在写入各个寄存器或 DSP 存储器之前先逐书更改，然后逐页更改。每页的切换是通过每页上的寄存器 0 实现的。该寄存器值选择页地址，范围为 0 到 255。TAS5828M 数据表中列出的所有寄存器都属于页 0。

7.5.2 硬件控制模式

对于不需要 I²C 寄存器控制的高级灵活性或没有可用的 I²C 主机控制器的系统，TAS5828M 可用于硬件控制模式。在硬件模式下，任何更改都通过硬件控制引脚来完成。具有相同配置的硬件控制模式和软件控制模式之间的音频性能是相同的，但在软件控制模式下，可以通过寄存器访问更多功能。

为实现所需启动设置，在原理图设计过程中需要考虑 TAS5828M 上的多个 I/O。进入硬件控制模式的方法是将 HW_MODE 引脚 13 拉高至 DVDD。

TAS5828M 的默认硬件配置优化了音频、热和 BOM，采用 BTL 模式、768kHz 开关频率、1SPW 模式、175kHz D 级放大器环路带宽、29.5Vp/FS 模拟增益、具有 80% OCP 阈值的 CBC 阈值。该器件需要将 HW_SEL0 引脚 5 和 HW_SEL1 引脚 6 直接连接到低 GND。

表 7-5. 硬件控制 - HW_SEL0 引脚 5

引脚配置	模拟增益	H 桥输出配置
0Ω 至 GND	29.5 V_P/FS	BTL
1kΩ 至 GND	20.9 V_P/FS	BTL
4.7kΩ 至 GND	14.7 V_P/FS	BTL
15kΩ 至 GND	7.4 V_P/FS	BTL
33kΩ 至 DVDD	7.4 V_P/FS	PBTL
6.8kΩ 至 DVDD	14.7 V_P/FS	PBTL
1.5kΩ 至 DVDD	20.9 V_P/FS	PBTL
0Ω 至 DVDD	29.5 V_P/FS	PBTL

表 7-6. 硬件控制 - HW_SEL1 引脚 6

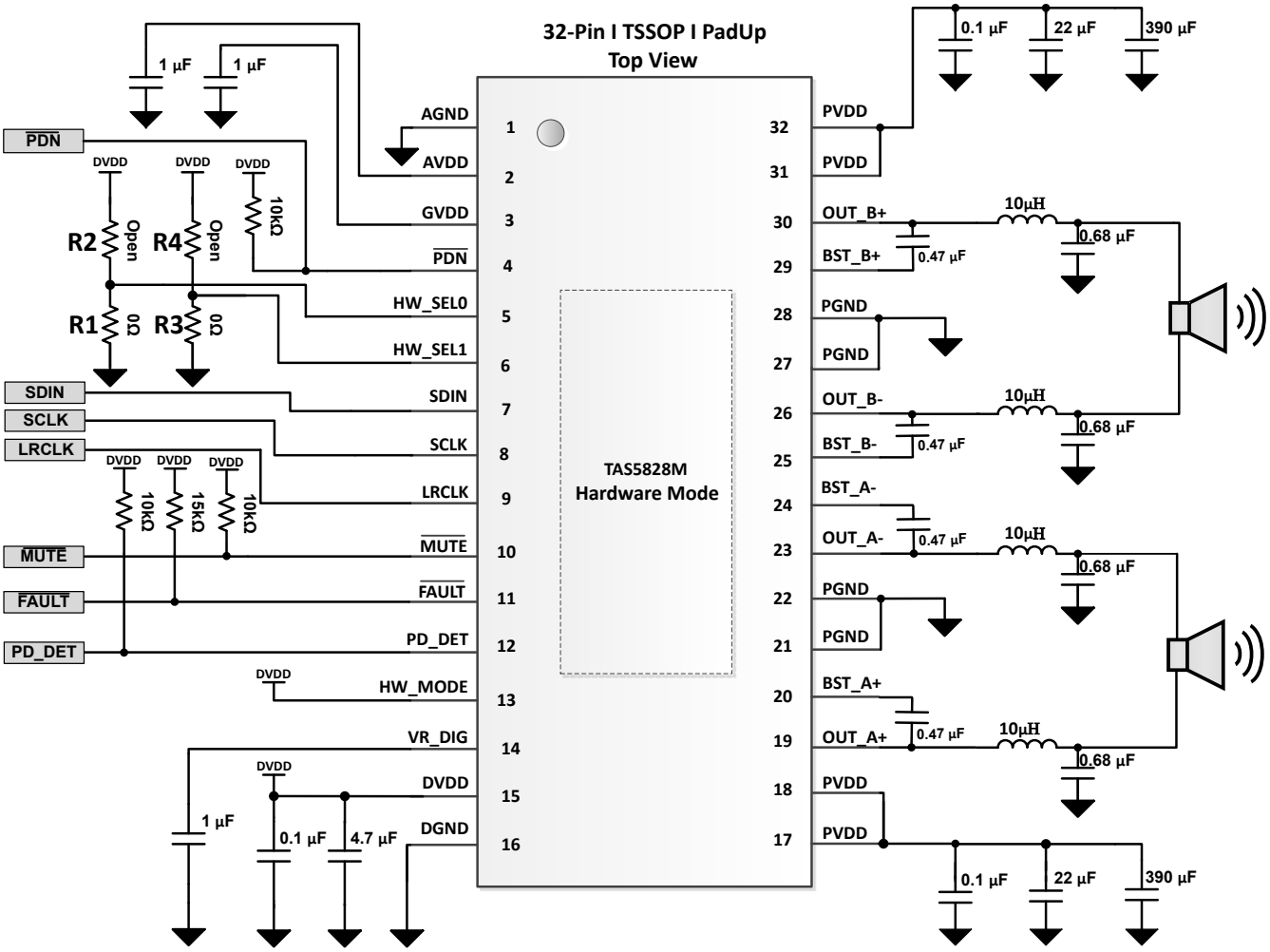
引脚配置	F_{SW} 和 D 级环路带宽	逐周期电流限制阈值	展频	调制
0Ω 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 80% OCP	禁用	1SPW
1kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 禁用	禁用	1SPW
4.7kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 40% OCP	禁用	1SPW
15kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 60% OCP	禁用	1SPW
33kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 禁用	启用	BD
6.8kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 80% OCP	启用	BD
1.5kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 40% OCP	启用	BD
0Ω 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 60% OCP	启用	BD

Copyright © 2025 Texas Instruments Incorporated

示例 1：

BTL 模式，FSW = 768kHz，1SPW 调制，175kHz 环路带宽，CBC 阈值 = 80% OCP，模拟增益 = 29.5 V_P/FS，展频禁用。

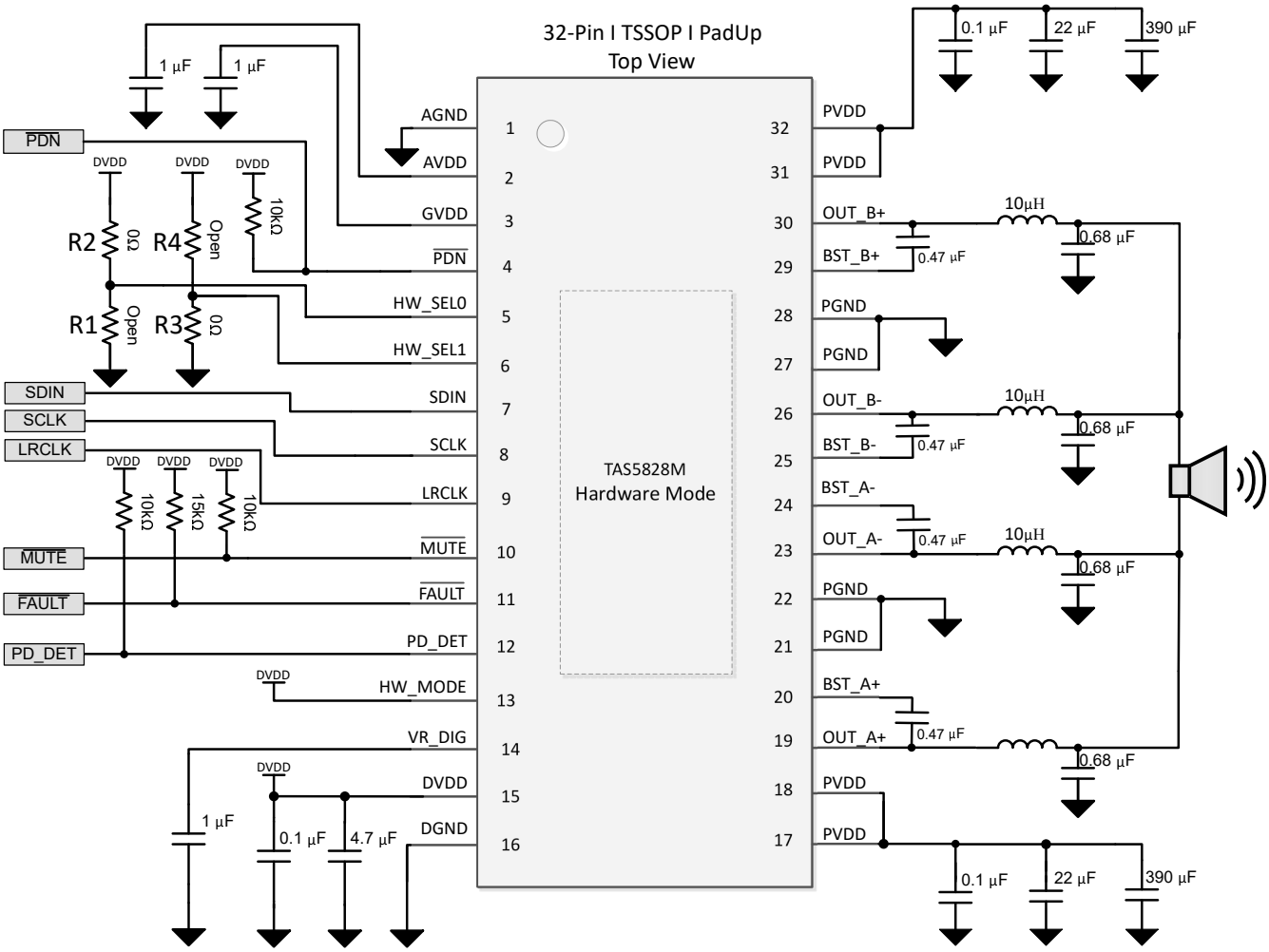
图 7-10. 典型硬件控制模式应用原理图-BTL 模式



示例 2：

PBTL 模式，FSW = 768kHz，1SPW 调制，175kHz 环路带宽，CBC 阈值 = 80% OCP，模拟增益 = 29.5 V_P/FS，展频禁用。

图 7-11. 典型硬件控制模式应用原理图-PBTL 模式



7.5.3 I²C 目标地址

TAS5828M 器件具有 7 位目标地址。表 7-7 中列出了通过 ADR 引脚的用户定义地址。

表 7-7. I² C 目标地址配置

ADR PIN 配置	MSB				用户定义			LSB
0Ω 至 GND	1	1	0	0	0	0	0	R/ $\overline{W}$
1kΩ 至 GND	1	1	0	0	0	0	1	R/ $\overline{W}$
4.7kΩ 至 GND	1	1	0	0	0	1	0	R/ $\overline{W}$
15kΩ 至 GND	1	1	0	0	0	1	1	R/ $\overline{W}$
33kΩ 至 DVDD	1	1	0	0	1	0	0	R/ $\overline{W}$
6.8kΩ 至 DVDD	1	1	0	0	1	0	1	R/ $\overline{W}$

Copyright © 2025 Texas Instruments Incorporated

7.5.3.1 随机写入

如图 7-12 所示，单字节数据写入传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位为 0。在接收到正确的 I²C 器件地址和读取/写入位后，该器件会以一个确认位进行响应。接下来，控制器传输对应于正在访问的内部存储器地址的地址字节。收到地址字节之后，器件会再次用一个确认位进行响应。接下来，控制器器件传输要写入正在访问的存储器地址的数据字节。收到数据字节之后，器件会再次用一个确认位进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

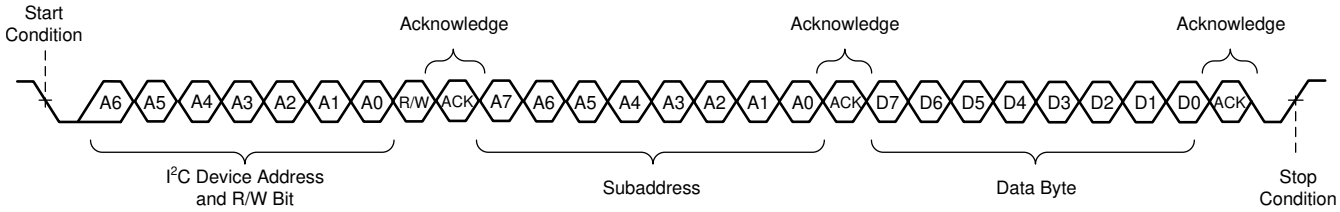


图 7-12. 随机写入传输

7.5.3.2 顺序写入

顺序数据写入传输与单字节数据写入传输完全相同，唯一的例外是控制器将多个数据字节传输到器件，如图 7-13 所示接收到每个数据字节后，器件会以一个确认位进行响应，并且 I² 子地址会自动递增 1。

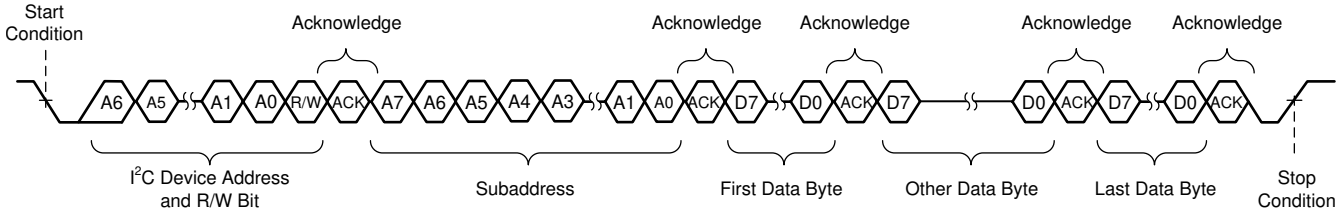


图 7-13. 顺序写入传输

7.5.3.3 随机读取

如图 7-14 所示，单字节数据读取传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。对于数据读取传输，实际上先后完成了写入和读取操作。最初，执行写入以传输要读取的内部存储器地址的地址字节。因此，读取/写入位为 0。在接收到地址和读取/写入位后，器件会以一个确认位进行响应。此外，发送内部存储器地址字节后，控制器器件会再次发送另一个启动条件，然后是地址和读取/写入位。这次，读取/写入位为 1，指示读取传输。在接收到地址和读取/写入位后，器件会再次以一个确认位进行响应。接下来，该器件从正在读取的存储器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成单字节数据读取传输。

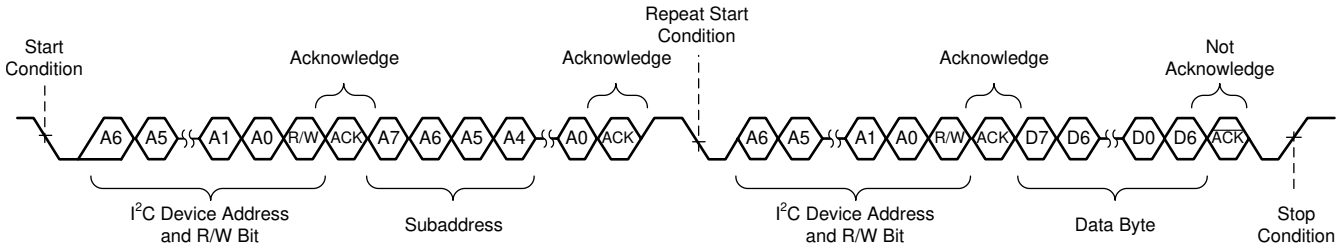


图 7-14. 随机读取传输

7.5.3.4 顺序读取

顺序数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到控制器器件，如图 7-15 所示。除最后一个数据字节外，控制器器件在接收到每个数据字节后都会以一个确认位进行响应，并自动将 I²C 子地址递增 1。收到最后一个数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成传输。

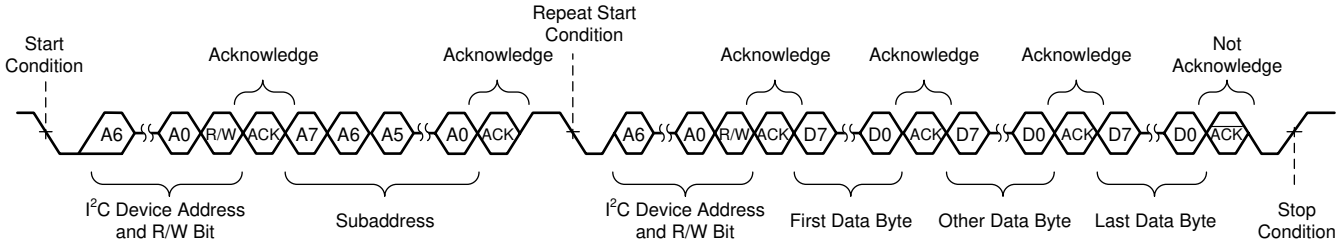


图 7-15. 顺序读取传输

7.5.3.5 DSP 存储器 Book、Page 和 BQ 更新

在每个 Book 的 Page 0x00 上，寄存器 0x7f 用于更改 Book。每页的寄存器 0x00 用于更改该页。要更改页，首先向寄存器 0x00 写入 0x00 以切换到 Page 0，然后将 Book 编号写入 Page 0 上的寄存器 0x7f。要在 Book 中的 Page 之间切换，只需将页码写入寄存器 0x00 即可。

所有双二阶滤波器系数都在 Book 0xAA 中提供。每个双二阶滤波器的五个系数按顺序完整地从最低地址写入到最高地址。

7.5.3.6 校验和

该器件支持两种不同的校验和方案，即循环冗余校验 (CRC) 校验和与异或 (XOR) 校验和。寄存器读取不会更改校验和，但对甚至不存在的寄存器的写入也会更改校验和。两个校验和都是 8 位校验和，并且两个校验和可同时使用。校验和可通过向其各自的 4 字节寄存器位置写入一个起始值（例如 0x 00 00 00 00）来复位。

7.5.3.6.1 循环冗余校验 (CRC) 校验和

使用的 8 位 CRC 校验和为 0x7 多项式（CRC-8-CCITT I.432.1；ATM HEC，ISDN HEC 和单元划分，(1 + x1 + x2 + x8)）。CRC 校验和的一个主要优点是 CRC 校验和对输入顺序敏感。CRC 支持所有 I²C 事务，不包括 Book 和 Page 切换。CRC 校验和是从任何 Book（B_x、Page_0、Reg_126）的 page0 上的寄存器 0x7E 读取的。可以通过将 0x00 写入 CRC 校验和有效的相同寄存器位置来复位 CRC 校验和。

7.5.3.6.2 异或 (XOR) 校验和

异或校验和是一种更简单的校验和方案。校验和与之前的 8 位校验和寄存器值执行每个寄存器字节写入的顺序 XOR 运算。XOR 仅支持 Book 0x8C，不包括 Page 切换和 Book 0x8C 的 Page 0x00 中的所有寄存器。从 Book 0x8C 的 Page 0x00 上的位置寄存器 0x7D 读取 XOR 校验和（B_140、Page_0、Reg_125）。可以通过将 0x00 写入读取 0x00 的同一寄存器位置来复位 XOR 校验和。

Copyright © 2025 Texas Instruments Incorporated

7.5.4 通过软件进行控制

- 启动过程
- 关断过程

7.5.4.1 启动过程

1. 使用适当的 I²C 器件地址设置或具有正确 HW_SEL0 和 HW_SEL1 设置的硬件模式来配置 ADR 引脚。
2. 启动电源（如果先启动 PVDD 或 DVDD，则无关紧要）。
3. 电源稳定后，等待至少 100 µs，将 $\overline{\text{PDN}}$ 拉至高电平以启用内部 LDO。
4. 通过 I²C 控制端口配置所需设置。此过程包括深度睡眠到高阻态、寄存器映射配置、DSP 系数和设置为播放模式。硬件模式不需要执行该步骤 I²C 写入。
5. 一旦 I²S 时钟稳定，TAS5828M 将进入正常运行音乐播放。

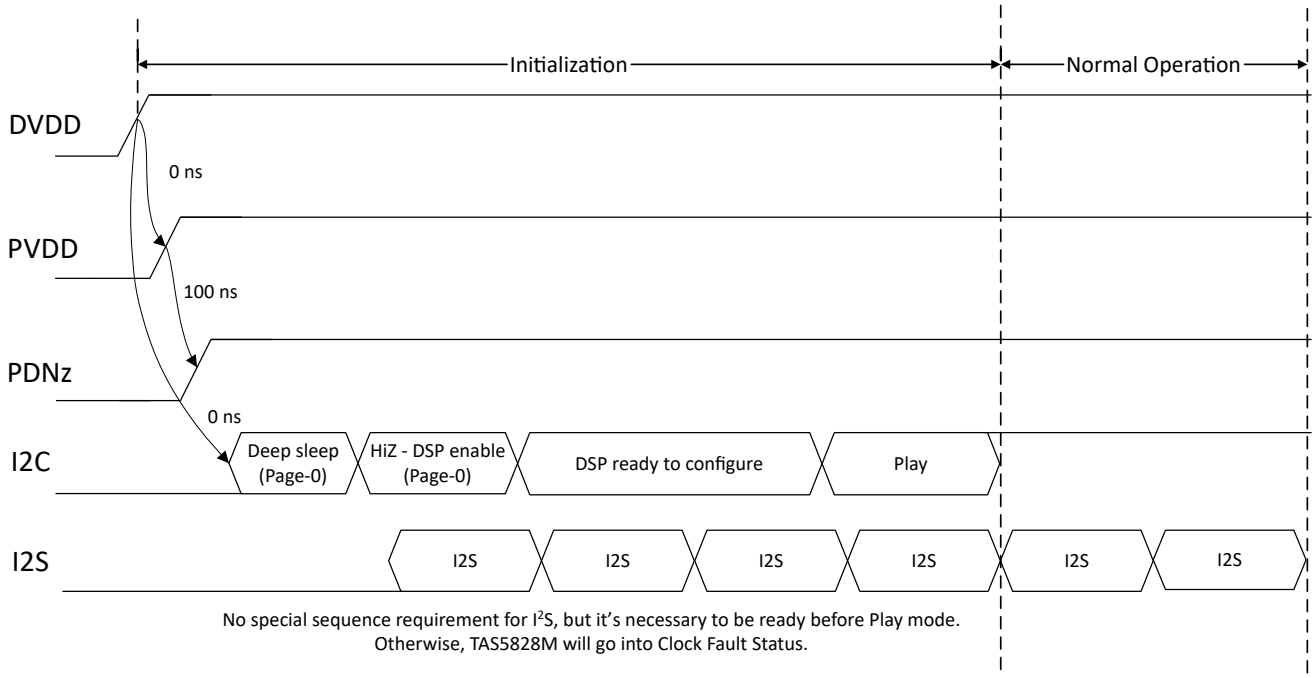
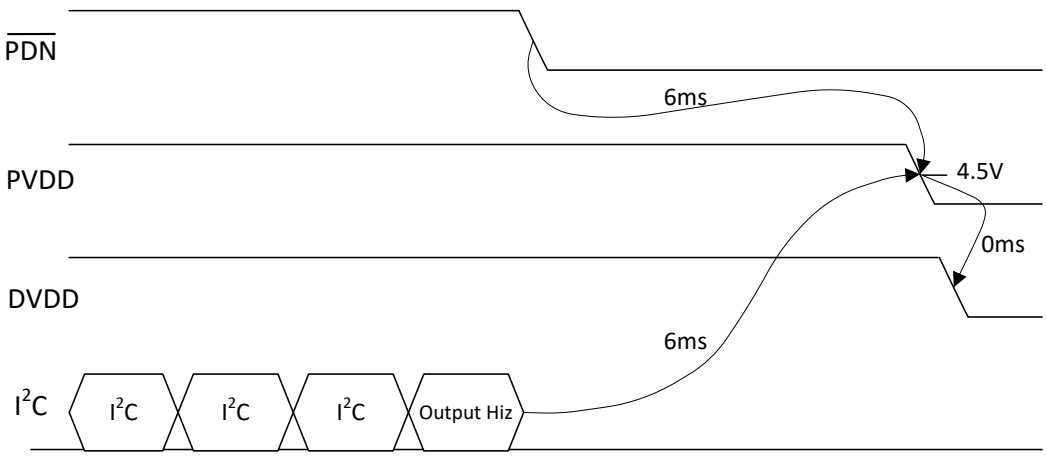


图 7-16. TAS5828M 启动顺序

7.5.4.2 关断过程

1. 器件会正常运行。
2. 通过 I²C 控制端口配置寄存器 0x03h [1:0]=10 (Hiz) 或将 $\overline{PDN}$ 拉至低电平。
3. 等待至少 6ms（这段时间取决于 LRCLK 速率、数字音量和数字音量斜降速率）。
4. 关闭电源。
5. 该器件现在已完全关断和断电。



- Before PVDD/DVDD power down, Class D Output driver needs to be disabled by $\overline{PDN}$ or by I²C.
- At least 6ms delay needed based on LRCLK (Fs) = 48kHz,Digital volume ramp down update every sample period, decreased by 0.5dB for each update, digital volume =24dB. Change the value of register 0x4C and 0x4E or change the LRCLK rate, the delay changes.

图 7-17. 下电序列

7.5.5 保护和监控

7.5.5.1 过流限制（逐周期）

除了能直接过流关断以使音频输出静音，TAS5828M 还提供 CBC 电流限制保护。目的是通过在 PWM 开关中插入脉冲来降低过流关断电平之前的输出电流，并且可以通过寄存器 0x77h [4:3] Reg_CBC_Level_Sel 配置阈值（列在 电气特性 - OCE_{THRES} 中）。

对音频的总体影响非常类似于电压削波，这会暂时限制音乐信号峰值功率，以保持连续音乐播放，而不会中断过载的消除。

7.5.5.2 过流关断 (OCSD)

如果存在严重的短路事件（例如输出对 PVDD 短路或对地短路），一旦峰值电流检测器超过过流阈值（列在 电气特性 - OCE_{THRES} 中），TAS5828M 便会启动小于 100ns 的关断过程。关断速度取决于许多因素，例如短路阻抗、电源电压和开关频率。

如果发生 OCSD 事件，故障 GPIO 被拉至低电平并报告 I²C 故障寄存器故障状态，则输出将传输到高阻抗 Hiz 状态，表示发生了故障。这是锁存的错误，用户需要通过 I²C 清除故障运行来重新启动输出。

7.5.5.3 直流检测误差

如果 TAS5828M 检测到输出电压交叉扬声器中的直流偏移超过直流误差保护阈值 DCR_{THRES}，并且此状态周期超过 T_{DCDET}（列在电气特性 - 保护中），FAULTZ 线路会被拉低，OUTxx 输出转换为高阻抗，表示存在故障。此锁存直流保护误差需要使 I²C 清除故障运行，以重新启动音频输出。

Copyright © 2025 Texas Instruments Incorporated

7.5.5.4 过热关断 (OTSD)

TAS5828M 器件会继续监控内核温度，以确保不会超过 电气特性 - OCE_{THRES} 中规定的过热阈值。如果发生 OTE 事件，故障 GPIO 被拉至低电平并报告 I^2C 故障状态，则音频输出将传输到高阻抗 HiZ 模式，表示发生了故障。这是锁存的错误，需要 I^2C 清除故障运行来重新启动音频播放。

7.5.5.5 PVDD 过压和欠压误差

如果 PVDD 电源上的电压上升至超过 电气特性 - 保护中列出的 $OVE_{THRES(PVDD)}$ 或下降至低于 $UVE_{THRES(PVDD)}$，则将故障 GPIO 拉至低电平并报告 I^2C 故障状态，然后音频输出传输到高阻抗 Hiz 模式。这些是自清除错误，这意味着一旦 PVDD 电平恢复正常运行，器件将恢复音频播放。

7.5.5.6 PVDD 压降检测

TAS5828M 不仅提供 PVDD 欠压关断保护，还提供可选的 PVDD 压降检测。根据内部 PVDD 实时检测电压，TAS5828M 能配置为预期行为，从而将引脚 10 PD_DET 从高电平切换为低电平，以指示 PVDD 降至低于特定电平（默认 8V），以及 TAS5828M 是否自动进入高阻态模式以关闭音频输出。所有这些设置均可通过寄存器 0x04h 和 0x05h 进行访问。

其目的是通过 GPIO 将 PVDD 压降信息反馈给用户产品控制系统，从而能实施灵活的保护策略。例如，一旦 PD_DET 引脚电压过低，SOC 将启动音频音量淡出过程。这一过程可提供有效的无“砰砰”控制关断。

7.5.5.7 时钟故障

当在传入的数据时钟上检测到时钟错误时，TAS5828M 器件会切换到内部振荡器并继续驱动 DAC，从而使最后一个已知值的数据衰减。此过程完成后，DAC 输出硬静音到地且音频输出停止。系统会通过 I^2C 故障状态寄存器报告此非锁存时钟故障状态，一旦恢复正确的时钟，器件将自动返回到播放模式。

8 寄存器映射

8.1 CONTROL PORT 寄存器

表 8-1 列出了 CONTROL PORT 的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都被视为保留的位置，并且不得修改寄存器内容。

表 8-1. CONTROL PORT 寄存器

偏移	首字母缩写词	寄存器名称	部分
1h	RESET_CTRL	寄存器 1	转到
2h	DEVICE_CTRL1	寄存器 2	转到
3h	DEVICE_CTRL2	寄存器 3	转到
4h	PVDD_DROP_DETECTION_CTRL1	寄存器 4	转到
5h	PVDD_DROP_DETECTION_CTRL2	寄存器 5	转到
Fh	I2C_PAGE_AUTO_INC	寄存器 15	转到
28h	SIG_CH_CTRL	寄存器 40	转到
29h	CLOCK_DET_CTRL	寄存器 41	转到
30h	SDOUT_SEL	寄存器 48	转到
31h	I2S_CTRL	寄存器 49	转到
33h	SAP_CTRL1	寄存器 51	转到
34h	SAP_CTRL2	寄存器 52	转到
35h	SAP_CTRL3	寄存器 53	转到
37h	FS_MON	寄存器 55	转到
38h	BCK (SCLK)_MON	寄存器 56	转到
39h	CLKDET_STATUS	寄存器 57	转到
40h	DSP_PGM_MODE	寄存器 64	转到
46h	DSP_CTRL	寄存器 70	转到
4Ch	DAC_GAIN	寄存器 76	转到
4Eh	DIG_VOL_CTRL1	寄存器 78	转到
4Fh	DIG_VOL_CTRL2	寄存器 79	转到
50h	AUTO_MUTE_CTRL	寄存器 80	转到
51h	AUTO_MUTE_TIME	寄存器 81	转到
53h	ANA_CTRL	寄存器 83	转到
54h	AGAIN	寄存器 84	转到
5Eh	PVDD_ADC	寄存器 94	转到
60h	GPIO_CTRL	寄存器 96	转到
61h	GPIO1_SEL	寄存器 97	转到
62h	GPIO2_SEL	寄存器 98	转到
63h	GPIO0_SEL	寄存器 99	转到
64h	GPIO_INPUT_SEL	寄存器 100	转到
65h	GPIO_OUT	寄存器 101	转到
66h	GPIO_OUT_INV	寄存器 102	转到
67h	DIE_ID	寄存器 103	转到
68h	POWER_STATE	寄存器 104	转到
69h	AUTOMUTE_STATE	寄存器 105	转到
6Ah	PHASE_CTRL	寄存器 106	转到

Copyright © 2025 Texas Instruments Incorporated

表 8-1. CONTROL PORT 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
6Bh	SS_CTRL0	寄存器 107	转到
6Ch	SS_CTRL1	寄存器 108	转到
6Dh	SS_CTRL2	寄存器 109	转到
6Eh	SS_CTRL3	寄存器 110	转到
6Fh	SS_CTRL4	寄存器 111	转到
70h	CHAN_FAULT	寄存器 112	转到
71h	GLOBAL_FAULT1	寄存器 113	转到
72h	GLOBAL_FAULT2	寄存器 114	转到
73h	警告	寄存器 115	转到
74h	PIN_CONTROL1	寄存器 116	转到
75h	PIN_CONTROL2	寄存器 117	转到
76h	MISC_CONTROL	寄存器 118	转到
77h	CBC_CONTROL	寄存器 119	转到
78h	FAULT_CLEAR	寄存器 120	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. CONTROL PORT 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 RESET_CTRL 寄存器（偏移 = 1h）[复位 = 0x00]

图 8-1 展示了 RESET_CTRL，表 8-3 中对此进行了介绍。

返回汇总表。

图 8-1. RESET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			RST_MOD	RESERVED			RST_REG
R/W			W	R			W

表 8-3. RESET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	该位被保留
4	RST_DIG_CORE	W	0	WRITE CLEAR BIT 复位 DIG_CORE WRITE CLEAR BIT 复位全数字内核。该位可复位完整的数字信号路径（包括 DSP 系数 RAM 和 I2C 控制端口寄存器）。由于 DSP 也将复位，系数 RAM 内容也会由 DSP 清除。 0：正常 1：复位完整数字信号路径
3-1	RESERVED	R	000	该位被保留
0	RST_REG	W	0	WRITE CLEAR BIT 复位寄存器 该位将模式寄存器复位回初始值。仅复位控制端口寄存器，不清除 RAM 内容。 0：正常 1：复位 I^2C 控制端口寄存器

8.1.2 DEVICE_CTRL_1 寄存器（偏移 = 2h）[复位 = 0x00]

图 8-2 显示了 DEVICE_CTRL_1，表 8-4 中对此进行了介绍。

返回汇总表。

图 8-2. DEVICE_CTRL_1 寄存器

7	6	5	4	3	2	1	0
RESERVED	FSW_SEL			RESERVED	DAMP_PBTL	DAMP_MOD	
R/W	R/W			R/W	R/W	R/W	

表 8-4. DEVICE_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6-4	FSW_SEL	R/W	000	选择 FSW 000：384K 010：480K 011：576K 100：768K 001：保留 101：保留 110:保留 111：保留

Copyright © 2025 Texas Instruments Incorporated

表 8-4. DEVICE_CTRL_1 寄存器字段说明（续）

位	字段	类型	复位	说明
3	RESERVED	R/W	0	该位被保留
2	DAMP_PBTL	R/W	0	0：将 DAMP 设置为 BTL 模式 1：将 DAMP 设置为 PBTL 模式
1-0	DAMP_MOD	R/W	00	00：BD 模式 01：1SPW 模式 10：混合模式

8.1.3 DEVICE_CTRL2 寄存器（偏移 = 3h）[复位 = 0x10]

图 8-3 显示了 DEVICE_CTRL2，表 8-5 中对此进行了介绍。

返回汇总表。

图 8-3. DEVICE_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED			DIS_DSP	MUTE_LEFT	RESERVED	CTRL_STATE	
R/W			R/W	R/W	R/W	R/W	

表 8-5. DEVICE_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	该位被保留
4	DIS_DSP	R/W	1	DSP 复位 当该位变为 0 时，DSP 开始上电并发送数据。只有在所有输入时钟稳定后，才需要将其设为 0，以便 DMA 通道不会超出同步范围。 0：正常运行 1：复位 DSP
3	MUTE	R/W	0	使左右声道静音 该位为左右声道发出软静音请求。音量平稳地降低/升高，以避免“砰砰”/“咔嗒”噪声。 0：正常音量 1：静音
2	RESERVED	R/W	0	该位被保留
1-0	CTRL_STATE	R/W	00	器件状态控制寄存器 00：深度睡眠 01：睡眠 10：高阻态， 11：播放

8.1.4 PVDD_DROP_DETECTION_CTRL1 寄存器（偏移 = 4h）[复位 = 0x00]

图 8-4 显示了 PVDD_DROP_DETECTION_CTRL1，表 8-6 中对此进行了介绍。

返回汇总表。

图 8-4. PVDD_DROP_DETECTION_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED				PVDD_DROP_DET_SEQUENCE	PVDD_DROP_DET_AVE_SAMPLES		PVDD_DROP_DET_BYPASS
R/W				R/W	R/W		R/W

表 8-6. PVDD_DROP_DETECTION_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	000	该位被保留
3	PVDD_DROP_DET_State_Control	R/W	0	该位控制器件在发生 PVDD 压降检测后是自动设置为高阻态还是仍然播放。 0：即使 PVDD 配置阈值下降，器件也会保持在播放模式 1：一旦 PVDD 配置阈值下降，器件就会进入高阻态模式
2-1	PVDD_DROP_DET_AVE_SAMPLES	R/W	00	用于压降检测的 PVDD 检测平均样本 该位用于设置压降检测的 PVDD 电压检测平均样本。 00：1 个样本 - 逐周期，无平均值 01：16 个样本 10：32 个样本 11：64 个样本
0	PVDD_DROP_DET_Enable	R/W	0	PVDD 压降检测启用 该位控制是否启用或绕过 PVDD 压降检测。 0：绕过 PVDD 压降检测 1：启用 PVDD 压降检测

8.1.5 PVDD_DROP_DETECTION_CTRL2 寄存器（偏移 = 5h）[复位 = 0x44]

图 8-5 显示了 PVDD_DROP_DETECTION_CTRL2，表 8-7 中对此进行了介绍。

返回汇总表。

图 8-5. PVDD_DROP_DETECTION_CTRL2 寄存器

7	6	5	4	3	2	1	0
PVDD 压降检测电压阈值							
R/W							

表 8-7. PVDD_DROP_DETECTION_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-0	PVDD 压降检测电压阈值	R/W	00000000	该位用于设置 PVDD 压降检测阈值。0xFFh 相当于满量程电压 30V。例如，8V 阈值：8V/30V = 0x44h/0xFFh。PVDD 压降阈值配置为： 00：0V 01：0.117V ... 44：8V ... FF：30V

8.1.6 I2C_PAGE_AUTO_INC 寄存器（偏移 = Fh）[复位 = 0x00]

图 8-6 显示了 I2C_PAGE_AUTO_INC，表 8-8 中对此进行了介绍。

返回汇总表。

图 8-6. I2C_PAGE_AUTO_INC 寄存器

7	6	5	4	3	2	1	0
RESERVED				PAGE_AUTOINC_REG	RESERVED		
R/W				R/W	R/W		

Copyright © 2025 Texas Instruments Incorporated

表 8-8. I2C_PAGE_AUTO_INC 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留
3	PAGE_AUTOINC_REG	R/W	0	页面自动递增禁用 针对非零 Book 禁用页面自动递增模式。 当该位为 0 且到达页末时，I2C 地址将自动递增到下一页的第 8 个地址位置。当该位为 1 且到达页的末尾时，I2C 地址返回到当前页的第 0 个位置、就像在旧版器件中一样。 0：启用页面自动递增 1：禁用页面自动递增
2-0	RESERVED	R/W	000	该位被保留

8.1.7 SIG_CH_CTRL 寄存器（偏移 = 28h）[复位 = 0x00]

图 8-7 展示了 SIG_CH_CTRL，表 8-9 中对此进行了介绍。

返回汇总表。

图 8-7. SIG_CH_CTRL 寄存器

7	6	5	4	3	2	1	0
SCLK_RATIO_CONFIGURE				FSMODE	RESERVED		
R/W				R/W	R/W		

表 8-9. SIG_CH_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	SCLK_RATIO_CONFIGURE	R/W	0000	这些位指示所配置的 SCLK 比率，即一个音频帧中的 SCLK 时钟数。器件会自动设置此比率。 4'b0011:32FS 4'b0101:64FS 4'b0111:128FS 4'b1001:256FS 4'b1011:512FS
3	FSMODE	R/W	0	FS 速度模式这些位用于选择 FS 运行模式，该模式必须根据当前音频采样率进行设置。如果输入 FS 为 44.1kHz/88.2kHz/176.4kHz，则需要手动设置该位。 4 'b0000 自动检测 4 'b0100 保留 4 'b0110 32KHz 4 'b1000 44.1KHz 4 'b1001 48KHz 4'b1010 88.2KHz 4 'b1011 96KHz 4 'b1100 176.4KHz 4 'b1101 192KHz 其他保留
2-0	RESERVED	R/W	000	该位被保留

8.1.8 CLOCK_DET_CTRL 寄存器（偏移 = 29h）[复位 = 0x00]

图 8-8 展示了 CLOCK_DET_CTRL，表 8-10 中对此进行了介绍。

返回汇总表。

图 8-8. CLOCK_DET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	DIS_DET_PLL	DIS_DET_SCLK_RANGE	DIS_DET_FS	DIS_DET_SCLK	DIS_DET_MISS	RESERVED	RESERVED
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-10. CLOCK_DET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6	DIS_DET_PLL	R/W	0	忽略 PLL 过速检测 该位控制是否忽略 PLL 过速检测。PLL 必须慢于 150MHz，否则会报告错误。被忽略时，PLL 过速错误不会导致时钟错误。 0：注意 PLL 过速检测 1：忽略 PLL 过速检测
5	DIS_DET_SCLK_RANGE	R/W	0	忽略 BCK 范围检测 该位控制是否忽略 SCLK 范围检测。SCLK 必须稳定在 256KHz 和 50MHz 之间，否则会报告错误。被忽略时，SCLK 范围错误不会导致时钟错误。 0：注意 BCK 范围检测 1：忽略 BCK 范围检测
4	DIS_DET_FS	R/W	0	忽略 FS 错误检测 该位控制是否忽略 FS 错误检测。如果忽略该检测，FS 错误不会导致时钟错误。但 CLKDET_STATUS 将报告 fs 错误。 0：注意 FS 检测 1：忽略 FS 检测
3	DIS_DET_SCLK	R/W	0	忽略 SCLK 检测 该位控制是否忽略根据 LRCK 的 SCLK 检测。SCLK 必须稳定在 32FS 和 512FS 之间（含），否则会报告错误。被忽略时，SCLK 错误不会导致时钟错误。 0：注意 SCLK 检测 1：忽略 SCLK 检测
2	DIS_DET_MISS	R/W	0	忽略 SCLK 缺失检测 该位控制是否忽略 SCLK 缺失检测。被忽略时，SCLK 缺失不会导致时钟错误。 0：进行 SCLK 缺失检测 1：忽略 SCLK 缺失检测
1	RESERVED	R/W	0	该位被保留
0	RESERVED	R/W	0	该位被保留

Copyright © 2025 Texas Instruments Incorporated

8.1.9 SDOUT_SEL 寄存器（偏移 = 30h）[复位 = 0x00]

图 8-10 展示了 SDOUT_SEL，表 8-11 中对此进行了介绍。

返回汇总表。

图 8-9. SDOUT_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED					RESERVED		SDOUT_SEL
R/W					R/W		R/W

表 8-11. SDOUT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0000000	这些位被保留
0	SDOUT_SEL	R/W	0	SDOUT 选择。该位选择作为 SDOUT 引脚输出的内容。 0：SDOUT 是 DSP 输出（后处理） 1：SDOUT 是 DSP 输入（预处理）

8.1.10 I2S_CTRL 寄存器（偏移 = 31h）[复位 = 0x00]

图 8-10 展示了 I2S_CTRL，表 8-12 中对此进行了介绍。

返回汇总表。

图 8-10. I2S_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED		SCLK_INV	RESERVED	RESERVED	RESERVED		RESERVED
R/W		R/W	R/W	R	R		R/W

表 8-12. I2S_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	00	该位被保留
5	SCLK_INV	R/W	0	SCLK 极性 该位设置反转 SCLK 模式。在反转 SCLK 模式下，DAC 假定 LRCK 和 DIN 边沿与 SCLK 的上升沿对齐。通常假定 LRCK 和 DIN 沿与 SCLK 下降沿对齐。 0：正常 SCLK 模式 1：反转 SCLK 模式
4	RESERVED	R/W	0	该位被保留
3	RESERVED	R	0	该位被保留
2-1	RESERVED	R	00	这些位被保留
0	RESERVED	R/W	0	该位被保留

8.1.11 SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 0x02]

图 8-11 显示了 SAP_CTRL1，表 8-13 中对此进行了介绍。

返回汇总表。

图 8-11. SAP_CTRL1 寄存器

7	6	5	4	3	2	1	0

图 8-11. SAP_CTRL1 寄存器（续）

I2S_SHIFT_MSB	RESERVED	DATA_FORMAT	I2S_LRCLK_PULSE	WORD_LENGTH
R/W	R/W	R/W	R/W	R/W

表 8-13. SAP_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	I2S_SHIFT_MSB	R/W	0	I2S 移位 MSB
6	RESERVED	R/W	0	该位被保留
5-4	DATA_FORMAT	R/W	00	I2S 数据格式 这些位控制 DAC 操作的输入和输出音频接口格式。 00：I2S 01：TDM/DSP 10：RTJ 11：LTJ
3-2	I2S_LRCLK_PULSE	R/W	00	01：LRCLK 脉冲 < 8 SCLK
1-0	WORD_LENGTH	R/W	10	I2S 字长 这些位控制 DAC 操作所需的输入和输出音频接口采样字长度。 00：16 位 01：20 位 10：24 位 11：32 位

8.1.12 SAP_CTRL2 寄存器（偏移 = 34h）[复位 = 0x00]

图 8-12 展示了 SAP_CTRL2，表 8-14 中对此进行了介绍。

返回汇总表。

图 8-12. SAP_CTRL2 寄存器

7	6	5	4	3	2	1	0
I2S_SHIFT							
R/W							

表 8-14. SAP_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-0	I2S_SHIFT	R/W	00000000	I2S 移位 LSB 这些位控制输入和输出的音频帧中音频数据的偏移。偏移定义为从音频帧的起始 (MSB) 到所需音频采样的起始位置的 SCLK 数。MSB [8] 位于 节 8.1.11 000000000：偏移 = 0 个 SCLK（无偏移） 000000001：偏移 = 1 个 SCLK 000000010：偏移 = 2 个 SCLK 以及 111111111：偏移 = 512 个 SCLK

Copyright © 2025 Texas Instruments Incorporated

8.1.13 SAP_CTRL3 寄存器（偏移 = 35h）[复位 = 0x11]

图 8-13 展示了 SAP_CTRL3，表 8-15 中对此进行了介绍。

返回汇总表。

图 8-13. SAP_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		LEFT_DAC_DPATH		RESERVED		RIGHT_DAC_DPATH	
R/W		R/W		R/W		R/W	

表 8-15. SAP_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	00	这些位被保留
5-4	LEFT_DAC_DPATH	R/W	01	左声道 DAC 数据路径。这些位控制左声道音频数据路径连接。 00：零数据（静音） 01：左声道数据 10：右声道数据 11：保留（请勿设置）
3-2	RESERVED	R/W	00	这些位被保留
1-0	RIGHT_DAC_DPATH	R/W	01	右声道 DAC 数据路径。这些位控制右声道音频数据路径连接。 00：零数据（静音） 01：右声道数据 10：左声道数据 11：保留（请勿设置）

8.1.14 FS_MON 寄存器（偏移 = 37h）[复位 = 0x00]

图 8-14 展示了 FS_MON，表 8-16 中对此进行了介绍。

返回汇总表。

图 8-14. FS_MON 寄存器

7	6	5	4	3	2	1	0
RESERVED		SCLK_RATIO_HIGH		FS			
R/W		R		R			

表 8-16. FS_MON 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	00	该位被保留
5-4	SCLK_RATIO_HIGH	R	00	检测到的 SCLK 比率为 2 msb
3-0	FS	R	0000	这些位指示当前检测到的音频采样率。 4 'b0000 FS 错误 4 'b0100 16KHz 4 'b0110 32KHz 4 'b1000 保留 4 'b1001 48KHz 4 'b1011 96KHz 4 'b1101 192KHz 其他保留

8.1.15 BCK (SCLK)_MON 寄存器（偏移= 38h）[复位= 0x00]

图 8-15 展示了 BCK_MON，表 8-17 中对此进行了介绍。

返回汇总表。

图 8-15. BCK (SCLK)_MON 寄存器

7	6	5	4	3	2	1	0
BCLK (SCLK)_RATIO_LOW							
R							

表 8-17. BCK_MON 寄存器字段说明

位	字段	类型	复位	说明
7-0	BCLK (SCLK)_RATIO_LOW	R	00000000	这些位指示当前检测到的 BCK (SCLK) 比率，即一个音频帧中 BCK (SCLK) 时钟的数量。 BCK (SCLK) = 32 FS~512 FS

8.1.16 CLKDET_STATUS 寄存器（偏移 = 39h）[复位 = 0x00]

图 8-16 展示了 CLKDET_STATUS，表 8-18 中对此进行了介绍。

返回汇总表。

图 8-16. CLKDET_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		DET_STATUS					
R/W		R					

表 8-18. CLKDET_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	00	该位被保留
5-0	DET_STATUS	R	000000	bit0：在自动检测模式 (reg_fsmode=0) 下，该位指示音频采样率是否有效。在非自动检测模式 (reg_fsmode!=0) 下，Fs 错误表示所配置 fs 与检测到的 fs 不同。即使设置了 FS 错误检测忽略，该标志也将被置位。 位 1：该位指示 SCLK 是否有效。SCLK 比率必须稳定并且在 32-512FS 范围内才有效。 bit2：该位指示 SCLK 是否缺失。 位 3：该位表示 PLL 是否锁定。当 PLL 被禁用时，该位将被报告为解锁。 位 4：该位指示 PLL 是否过速 位 5：该位指示 SCLK 是否过速或欠速

Copyright © 2025 Texas Instruments Incorporated

8.1.17 DSP_PGM_MODE 寄存器（偏移 = 40h）[复位 = 0x01]

图 8-17 展示了 DSP_PGM_MODE，表 8-19 中对此进行了介绍。

返回汇总表。

图 8-17. DSP_PGM_MODE 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1_HIZ	CH2_HIZ	RESERVED	
				R/W	R/W		

表 8-19. DSP_PGM_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留
3	CH1_HIZ	R/W	0	Hi-Z 模式通道 1 停止输出开关并将通道 1 设置为 Hi-Z 模式。 0：正常运行 1：高阻态状态
2	CH2_HIZ	R/W	0	Hi-Z 模式通道 2 停止输出开关并将通道 2 设置为 Hi-Z 模式。 0：正常运行 1：高阻态状态
1-0	RESERVED	R/W	01	该位被保留

8.1.18 DSP_CTRL 寄存器（偏移 = 46h）[复位 = 0x01]

图 8-18 展示了 DSP_CTRL，表 8-20 中对此进行了介绍。

返回汇总表。

图 8-18. DSP_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			USER_DEFINED_PROCESSING_RATE		RESERVED	BOOT_FROM_IRAM	USE_DEFAULT_COEFFS
R/W			R/W		R	R/W	R/W

表 8-20. DSP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	该位被保留
4-3	USER_DEFINED_PROCESSING_RATE	R/W	00	00：输入 01：48k 10：96k 11：192k
2	RESERVED	R	0	该位被保留
1	RESERVED	R	0	该位被保留
0	RESERVED	R/W	1	该位被保留

8.1.19 DAC_增益寄存器（偏移 = 4Ch）[复位 = 30h]

图 8-19 展示了 DAC_GAIN，表 8-21 中对此进行了介绍。

返回汇总表。

图 8-19. DAC_增益寄存器

7	6	5	4	3	2	1	0
DAC_GAIN							
R/W							

表 8-21. DAC_GAIN 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC 增益	R/W	00110000	DAC 增益 这些位控制左声道和右声道数字音量。数字音量为 24dB 至 -103dB，阶跃为 -0.5dB。 00000000：+24.0dB 00000001：+23.5dB ..... 和 00101111：+0.5dB 00110000：0.0dB 00110001： -0.5dB ..... 11111110：-103dB 11111111：静音

8.1.20 DIG_VOL_CTRL1 寄存器（偏移 = 4Eh）[复位 = 0x33]

图 8-20 显示了 DIG_VOL_CTRL1，表 8-22 中对此进行了介绍。

返回汇总表。

图 8-20. DIG_VOL_CTRL1 寄存器

7	6	5	4	3	2	1	0
PGA_RAMP_DOWN_SPEED		PGA_RAMP_DOWN_STEP		PGA_RAMP_UP_SPEED		PGA_RAMP_UP_STEP	
R/W		R/W		R/W		R/W	

表 8-22. DIG_VOL_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-6	PGA_RAMP_DOWN_SPEED	R/W	00	数字音量正常斜降频率 这些位控制音量斜降时数字音量的更新频率。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	PGA_RAMP_DOWN_STEP	R/W	11	数字音量正常斜降阶跃 这些位控制当音量斜降时数字音量更新的阶跃。 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-2	PGA_RAMP_UP_SPEED	R/W	00	数字音量正常斜升频率 这些位控制音量斜升时数字音量的更新频率。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接恢复音量（即时取消静音）

Copyright © 2025 Texas Instruments Incorporated

表 8-22. DIG_VOL_CTRL1 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	PGA_RAMP_UP_STEP	R/W	11	数字音量正常斜升阶跃 这些位控制当音量斜升时数字音量更新的阶跃。 00：每次更新递增 4dB e 01：每次更新递增 2dB 10：每次更新递增 1dB 11：每次更新递增 0.5dB

8.1.21 DIG_VOL_CTRL2 寄存器（偏移 = 4Fh）[复位 = 0x30]

图 8-21 展示了 DIG_VOL_CTRL2，表 8-23 中对此进行了介绍。

返回汇总表。

图 8-21. DIG_VOL_CTRL2 寄存器

7	6	5	4	3	2	1	0
FAST_RAMP_DOWN_SPEED		FAST_RAMP_DOWN_STEP		RESERVED			
R/W		R/W		R/W			

表 8-23. DIG_VOL_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	FAST_RAMP_DOWN_SPEED	R/W	00	数字音量紧急斜降频率 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的频率，与正常的软静音相比，这通常需要更快的斜降。 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	FAST_RAMP_DOWN_STEP	R/W	11	数字音量紧急斜降阶跃 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的阶跃，与正常的软静音相比，这通常需要更快的斜降。 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-0	RESERVED	R/W	0000	该位被保留

8.1.22 AUTO_MUTE_CTRL 寄存器（偏移 = 50h）[复位 = 0x00]

图 8-22 展示了 AUTO_MUTE_CTRL，表 8-24 中对此进行了介绍。

返回汇总表。

图 8-22. AUTO_MUTE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED					REG_AUTO_MUTE_CTRL		
R/W					R/W		

表 8-24. AUTO_MUTE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	00000	该位被保留

表 8-24. AUTO_MUTE_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	REG_AUTO_MUTE_CTRL	R/W	000	bit0： 0：禁用左声道自动静音 1：启用左声道自动静音 位 1： 0：禁用右声道自动静音 1：启用右声道自动静音 位 2： 0：自动静音左右声道，各自独立。 1：仅当两个通道都要自动静音时，才自动使左声道和右声道静音。

8.1.23 AUTO_MUTE_TIME 寄存器（偏移 = 51h）[复位 = 0x00]

图 8-23 展示了 AUTO_MUTE_TIME，表 8-25 中对此进行了介绍。

返回汇总表。

图 8-23. AUTO_MUTE_TIME 寄存器

7	6	5	4	3	2	1	0
RESERVED	AUTOMUTE_TIME_LEFT			RESERVED	AUTOMUTE_TIME_RIGHT		
R/W	R/W			R/W	R/W		

表 8-25. AUTO_MUTE_TIME 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6-4	AUTOMUTE_TIME_LEFT	R/W	000	左声道的自动静音时间 这些位指定通道可以自动静音之前，左声道上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000：11.5ms 001：53ms 010：106.5ms 011：266.5ms 100：0.535 秒 101：1.065 秒 110：2.665 秒 111：5.33s
3	RESERVED	R/W	0	该位被保留
2-0	AUTOMUTE_TIME_RIGHT	R/W	000	右声道的自动静音时间 这些位指定通道可以自动静音之前，右声道上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000：11.5ms 001：53ms 010：106.5ms 011：266.5ms 100：0.535 秒 101：1.065s 110：2.665 秒 111：5.33s

8.1.24 ANA_CTRL 寄存器（偏移 = 53h）[复位 = 0h]

图 8-24 展示了 ANA_CTRL，表 8-26 中对此进行了介绍

返回汇总表

Copyright © 2025 Texas Instruments Incorporated

图 8-24. ANA_CTRL 寄存器

7	6	5	4	3	2	1	0
AMUTE_DLY							
R/W							

表 8-26. ANA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6-5	D 类带宽控制	R/W	00	00：100kHz 01：80kHz 10：120kHz 11：175kHz 当 Fsw = 384kHz 时，选择 100kHz 带宽以获得高音频性能。当 Fsw = 768kHz 时，选择 175kHz 带宽以获得高音频性能。
4-1	RESERVED	R/W	0000	这些位被保留
0	左右 PWM 输出相位控制	R/W	0	0：异相 1：同相

8.1.25 AGAIN 寄存器（偏移 = 54h）[复位 = 0x00]

图 8-25 展示了 AGAIN，表 8-27 中对此进行了介绍。

返回汇总表。

图 8-25. AGAIN 寄存器

7	6	5	4	3	2	1	0
RESERVED			ANA_GAIN				
R/W			R/W				

表 8-27. AGAIN 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	该位被保留
4-0	ANA_GAIN	R/W	00000	模拟增益控制 该位控制模拟增益。 00000：0dB（29.5V 峰值电压） 00001：-0.5dB 11111：-15.5dB

8.1.26 PVDD_ADC 寄存器（偏移 = 5Eh）[复位 = 0h]

图 8-26 展示了 PVDD_ADC，表 8-28 中对此进行了介绍。

返回汇总表。

图 8-26. PVDD_ADC 寄存器

7	6	5	4	3	2	1	0
ADC_DATA_OUT							
R							

表 8-28. PVDD_ADC 寄存器字段说明

位	字段	类型	复位	说明
7-0	PVDD_ADC[7:0]	R	00000000	PVDD 电压 = PVDD_ADC[7:0] / 8.428 (V) 223：26.45V 222：26.34V 221：26.22V ... 39：4.63V 38：4.51V 37：4.39V

8.1.27 GPIO_CTRL 寄存器（偏移 = 60h）[复位 = 0x00]

图 8-27 展示了 GPIO_CTRL，表 8-29 中对此进行了介绍。

返回汇总表。

图 8-27. GPIO_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO0_OE	GPIO2_OE	GPIO1_OE
R/W					R/W	R/W	R/W

表 8-29. GPIO_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0000	该位被保留
2	GPIO0_OE	R/W	0	GPIO0 输出启用。该位设置 GPIO0 引脚的方向 0：GPIO0 是输入 1：GPIO0 是输出
1	GPIO2_OE	R/W	0	GPIO2 输出使能该位设置 GPIO2 引脚的方向 0：GPIO2 是输入 1：GPIO2 是输出
0	GPIO1_OE	R/W	0	GPIO1 输出使能该位设置 GPIO1 引脚的方向 0：GPIO1 是输入 1：GPIO1 是输出

8.1.28 GPIO1_SEL 寄存器（偏移 = 61h）[复位 = 0x00]

图 8-28 展示了 GPIO1_SEL，表 8-30 中对此进行了介绍。

返回汇总表。

图 8-28. GPIO1_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO1_SEL			
R/W				R/W			

表 8-30. GPIO1_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留

Copyright © 2025 Texas Instruments Incorporated

表 8-30. GPIO1_SEL 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	GPIO1_SEL	R/W	0000	0000：关闭（低电平） 1000：GPIO1 作为 WARNZ 输出 1001：GPIO1 作为串行音频接口数据输出 (SDOUT) 1011：GPIO1 作为 FAULTZ 输出 1100：GPIO1 作为 PVDD 压降检测标志 1101：GPIO1 作为 H 类

8.1.29 GPIO2_SEL 寄存器（偏移 = 62h）[复位 = 0x00]

图 8-29 展示了 GPIO2_SEL，表 8-31 中对此进行了介绍。

返回汇总表。

图 8-29. GPIO2_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO2_SEL			
R/W				R/W			

表 8-31. GPIO2_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留
3-0	GPIO2_SEL	R/W	0000	0000：关闭（低电平） 1000：GPIO2 作为 WARNZ 输出 1001：GPIO2 作为串行音频接口数据输出 (SDOUT) 1011：GPIO2 作为 FAULTZ 输出 1100：GPIO2 作为 PVDD 压降检测标志 1101：GPIO2 作为 H 类

8.1.30 GPIO0_SEL 寄存器（偏移 = 63h）[复位 = 0x00]

图 8-30 展示了 GPIO0_SEL，表 8-32 中对此进行了介绍。

返回汇总表。

图 8-30. GPIO0_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO0_SEL			
R/W				R/W			

表 8-32. GPIO0_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留
3-0	GPIO0_SEL	R/W	0000	0000：关闭（低电平） 1000：GPIO0 作为 WARNZ 输出 1001：GPIO0 作为串行音频接口数据输出 (SDOUT) 1011：GPIO0 作为 FAULTZ 输出 1100：GPIO0 作为 PVDD 压降检测标志 1101：GPIO0 作为 H 类

8.1.31 GPIO_INPUT_SEL 寄存器（偏移 = 64h）[复位 = 0x00]

图 8-31 展示了 GPIO_INPUT_SEL，表 8-33 中对此进行了介绍。

返回汇总表。

图 8-31. GPIO_INPUT_SEL 寄存器

7	6	5	4	3	2	1	0
GPIO_SPI_POCI_SEL		GPIO_PHASE_SYNC_SEL		GPIO_RESETZ_SEL		GPIO_MUTEZ_SEL	
R/W		R/W		R/W		R/W	

表 8-33. GPIO_INPUT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-6	GPIO_SPI_POCI_SEL	R/W	00	00：不适用 01：GPIO1 10：GPIO2 11：GPIO0
5-4	GPIO_PHASE_SYNC_SEL	R/W	00	00：不适用 01：GPIO1 10：GPIO2 11：GPIO0
3-2	GPIO_RESETZ_SEL	R/W	00	00：不适用 01：GPIO1 10：GPIO2 11：GPIO0 不能通过 GPIO 复位进行复位
1-0	GPIO_MUTEZ_SEL	R/W	00	00：不适用 01：GPIO1 10：GPIO2 11：GPIO0 MUTEZ 引脚低电平有效，输出驱动器设置为高阻态，D 类放大器的输出停止开关。

8.1.32 GPIO_OUT 寄存器（偏移 = 65h）[复位 = 0x00]

图 8-32 展示了 GPIO_OUT，表 8-34 中对此进行了介绍。

返回汇总表。

图 8-32. GPIO_OUT 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO_OUT		
R/W					R/W		

表 8-34. GPIO_OUT 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	00000	该位被保留
2-0	GPIO_OUT	R/W	000	bit0：GPIO1 输出 位 1：GPIO2 输出 位 2：GPIO0 输出

8.1.33 GPIO_OUT_INV 寄存器（偏移 = 66h）[复位 = 0x00]

图 8-33 展示了 GPIO_OUT_INV，表 8-35 中对此进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回汇总表。

图 8-33. GPIO_OUT_INV 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO_OUT		
R/W					R/W		

表 8-35. GPIO_OUT_INV 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	00000	该位被保留
2-0	GPIO_OUT	R/W	000	bit0：GPIO1 输出反相 位 1：GPIO2 输出反相 位 2：GPIO0 输出反相

8.1.34 DIE_ID 寄存器（偏移 = 67h）[复位 = 95h]

图 8-34 展示了 DIE_ID，表 8-36 中对此进行了介绍。

返回汇总表。

图 8-34. DIE_ID 寄存器

7	6	5	4	3	2	1	0
DIE_ID							
R							

表 8-36. DIE_ID 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIE_ID	R	10010101	DIE ID

8.1.35 POWER_STATE 寄存器（偏移 = 68h）[复位 = 0x00]

图 8-35 展示了 POWER_STATE，表 8-37 中对此进行了介绍。

返回汇总表。

图 8-35. POWER_STATE 寄存器

7	6	5	4	3	2	1	0
STATE_RPT							
R							

表 8-37. POWER_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-0	STATE_RPT	R	00000000	0：深度睡眠 1：睡眠 2：高阻态 3：播放 其他：保留

8.1.36 AUTOMUTE_STATE 寄存器（偏移 = 69h）[复位 = 0x00]

图 8-36 展示了 AUTOMUTE_STATE，表 8-38 中对此进行了介绍。

返回汇总表。

图 8-36. AUTOMUTE_STATE 寄存器

7	6	5	4	3	2	1	0
RESERVED						ZERO_RIGHT_MON	ZERO_LEFT_MON
R						R	R

表 8-38. AUTOMUTE_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	000000	该位被保留
1	ZERO_RIGHT_MON	R	0	该位指示右声道的自动静音状态。 0：未自动静音 1：自动静音
0	ZERO_LEFT_MON	R	0	该位指示左声道的自动静音状态。 0：未自动静音 1：自动静音

8.1.37 PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 0]

图 8-37 展示了 PHASE_CTRL，表 8-39 中对此进行了介绍。

返回汇总表。

图 8-37. PHASE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED				RAMP_PHASE_SEL		PHASE_SYNC_SEL	PHASE_SYNC_EN
R/W				R/W		R/W	R/W

表 8-39. PHASE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000	该位被保留
3-2	RAMP_PHASE_SEL	R/W	00	当多个设备集成在一个系统中时选择斜坡时钟相位，以减少电磁干扰 (EMI) 和峰值供电电流。TI 建议将所有器件设置为相同的斜坡频率和相同的展频。如果需要此功能，则必须在将器件驱动至播放模式之前设置放大器频率和展频。 2'b00：相位 0 2'b01：相位 1 2'b10：相位 2 2'b11：相位 3 以上都有 45 度的相移
1	PHASE_SYNC_SEL	R/W	0	斜坡相位同步选择， 0：是 GPIO 同步； 1：内部同步
0	PHASE_SYNC_EN	R/W	0	斜坡相位同步启用

Copyright © 2025 Texas Instruments Incorporated

8.1.38 RAMP_SS_CTRL0 寄存器（偏移 = 6Bh）[复位 = 0x00]

图 8-38 显示了 RAMP_SS_CTRL0，表 8-40 中对此进行了介绍。

返回汇总表。

图 8-38. SS_CTRL0 寄存器

7	6	5	4	3	2	1	0
RESERVED	RESERVED	SS_PRE_DIV_SEL	SS_MANUAL_MODE	RESERVED		SS_RDM_EN	SS_TRI_EN
R/W	R/W	R/W	R/W	R/W		R/W	R/W

表 8-40. RAMP_SS_CTRL0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6	RESERVED	R/W	0	该位被保留
5	SS_PRE_DIV_SEL	R/W	0	在手动模式下选择 PLL 时钟分频器 2 作为源时钟
4	SS_MANUAL_MODE	R/W	0	将斜坡 ss 控制器设置为手动模式
3-2	RESERVED	R/W	00	该位被保留
1	SS_RDM_EN	R/W	0	随机 SS 启用
0	SS_TRI_EN	R/W	0	三角 SS 启用

8.1.39 SS_CTRL1 寄存器（偏移 = 6Ch）[复位 = 0x00]

图 8-39 展示了 SS_CTRL1，表 8-41 中对此进行了介绍。

返回汇总表。

图 8-39. SS_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	SS_RDM_CTRL			SS_TRI_CTRL			
R/W	R/W			R/W			

表 8-41. SS_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6-4	SS_RDM_CTRL	R/W	000	添加抖动
3-0	SS_TRI_CTRL	R/W	0000	三角 SS 频率和范围控制

8.1.40 SS_CTRL2 寄存器（偏移 = 6Dh）[复位 = 0xA0]

图 8-40 展示了 SS_CTRL2，表 8-42 中对此进行了介绍。

返回汇总表。

图 8-40. SS_CTRL2 寄存器

7	6	5	4	3	2	1	0
TM_FREQ_CTRL							
R/W							

表 8-42. SS_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-0	TM_FREQ_CTRL	R/W	10100000	手动模式下控制斜坡频率，F=61440000/N

8.1.41 SS_CTRL3 寄存器（偏移 = 6Eh）[复位 = 0x11]

图 8-41 展示了 SS_CTRL3，表 8-43 中对此进行了介绍。

返回汇总表。

图 8-41. SS_CTRL3 寄存器

7	6	5	4	3	2	1	0
TM_DSTEP_CTRL				TM_USTEP_CTRL			
R/W				R/W			

表 8-43. SS_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-4	SS_TM_DSTEP_CTRL	R/W	0001	斜坡 ss 手动模式下控制三角模式展频下降阶跃
3-0	SS_TM_USTEP_CTRL	R/W	0001	斜坡 ss 手动模式下控制三角模式展频上升阶跃

8.1.42 SS_CTRL4 寄存器（偏移 = 6Fh）[复位 = 0x24]

图 8-42 展示了 SS_CTRL4，表 8-44 中对此进行了介绍。

返回汇总表。

图 8-42. SS_CTRL4 寄存器

7	6	5	4	3	2	1	0
RESERVED	TM_AMP_CTRL		SS_TM_PERIOD_BOUNDRY				
R/W	R/W		R/W				

表 8-44. SS_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0	该位被保留
6-5	TM_AMP_CTRL	R/W	01	斜升手动模型下控制斜坡放大器控制
4-0	SS_TM_PERIOD_BOUNDRY	R/W	00100	斜坡 ss 模式下控制三角模式展频边界

8.1.43 CHAN_FAULT 寄存器（偏移 = 70h）[复位 = 0x00]

图 8-43 展示了 CHAN_FAULT，表 8-45 中对此进行了介绍。

返回汇总表。

图 8-43. CHAN_FAULT 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1_DC_1	CH2_DC_1	CH1_OC_I	CH2_OC_I
R				R	R	R	R

Copyright © 2025 Texas Instruments Incorporated

表 8-45. CHAN_FAULT 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000	该位被保留
3	CH1_DC_1	R	0	左声道直流故障。一旦出现直流故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。
2	CH2_DC_1	R	0	右声道直流故障。一旦出现直流故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	CH1_OC_I	R	0	左声道过流故障。一旦出现 OC 故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。
0	CH2_OC_I	R	0	右声道过流故障。一旦出现 OC 故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。

8.1.44 GLOBAL_FAULT1 寄存器（偏移 = 71h）[复位 = 0h]

图 8-44 展示了 GLOBAL_FAULT1，表 8-46 中对此进行了介绍。

返回汇总表。

图 8-44. GLOBAL_FAULT1 寄存器

7	6	5	4	3	2	1	0
OTP_CRC_ERROR	BQ_WR_ERROR	LOAD_EEPROM_ERROR	RESERVED	RESERVED	CLK_FAULT_I	PVDD_OV_I	PVDD_UV_I
R	R	R	R	R	R	R	R

表 8-46. GLOBAL_FAULT1 寄存器字段说明

位	字段	类型	复位	说明
7	OTP_CRC_ERROR	R	0	指示 OTP CRC 检查错误。
6	BQ_WR_ERROR	R	0	最近的 BQ 写入失败
5	LOAD_EEPROM_ERROR	R	0	0：EEPROM 引导加载成功完成 1：EEPROM 引导加载未成功完成
4	RESERVED	R	0	该位被保留
3	RESERVED	R	0	该位被保留
2	CLK_FAULT_I	R	0	时钟故障。一旦出现时钟故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。时钟故障采用自动恢复模式，一旦时钟错误消除，器件会自动恢复到之前的状态。 通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	PVDD_OV_I	R	0	PVDD OV 故障。一旦出现 OV 故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。

表 8-46. GLOBAL_FAULT1 寄存器字段说明（续）

位	字段	类型	复位	说明
0	PVDD_UV_I	R	0	PVDD UV 故障。一旦出现 UV 故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。

8.1.45 GLOBAL_FAULT2 寄存器（偏移 = 72h）[复位 = 0h]

图 8-45 展示了 GLOBAL_FAULT2，表 8-47 中对此进行了介绍。

返回汇总表。

图 8-45. GLOBAL_FAULT2 寄存器

7	6	5	4	3	2	1	0
RESERVED					CBC_FAULT_CH2_I	CBC_FAULT_CH1_I	OTSD_I
R					R	R	R

表 8-47. GLOBAL_FAULT2 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0000	该位被保留
2	CBC_FAULT_CH2_I	R	0	右声道逐周期过流故障
1	CBC_FAULT_CH1_I	R	0	左声道逐周期过流故障
0	OTSD_I	R	0	过热关断故障。 一旦出现 OT 故障，该位将被设置为 1。D 级输出设置为高阻态。通过 $\overline{\text{FAULT}}$ 引脚 (GPIO) 报告。OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 节 8.1.51 第 7 位设置为 1 来清除此故障，或者该位保持为 1。

8.1.46 WARNING 寄存器（偏移 = 73h）[复位 = 0x00]

图 8-46 展示了 WARNING，表 8-48 中对此进行了介绍。

返回汇总表。

图 8-46. WARNING 寄存器

7	6	5	4	3	2	1	0
RESERVED		CBCW_CH1_I	CBCW_CH2_I	OTW_LEVEL4_I	OTW_LEVEL3_I	OTW_LEVEL2_I	OTW_LEVEL1_I
R		R	R	R	R	R	R

表 8-48. WARNING 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0	该位被保留
5	CBCW_CH1_I	R	0	左声道逐周期过流警告
4	CBCW_CH2_I	R	0	右声道逐周期过流警告

Copyright © 2025 Texas Instruments Incorporated

表 8-48. WARNING 寄存器字段说明（续）

位	字段	类型	复位	说明
3	OTW_LEVEL4_I	R	0	过热警告，4 级，146C
2	OTW_LEVEL3_I	R	0	过热警告，3 级，134C
1	OTW_LEVEL2_I	R	0	过热警告，2 级，122C
0	OTW_LEVEL1_I	R	0	过热警告，1 级，112C

8.1.47 PIN_CONTROL1 寄存器（偏移 = 74h）[复位 = 0x00]

图 8-47 展示了 PIN_CONTROL1，表 8-49 中对此进行了介绍。

返回汇总表。

图 8-47. PIN_CONTROL1 寄存器

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDD_UV	MASK_DVDD_OV	MASK_CLK_FAULT	RESERVED	MASK_PVDD_UV	MASK_DC	MASK_OC
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 8-49. PIN_CONTROL1 寄存器字段说明

位	字段	类型	复位	说明
7	MASK_OTSD	R/W	0	屏蔽 OTSD 故障报告
6	MASK_DVDD_UV	R/W	0	屏蔽 DVDD UV 故障报告
5	MASK_DVDD_OV	R/W	0	屏蔽 DVDD OV 故障报告
4	MASK_CLK_FAULT	R/W	0	屏蔽时钟故障报告
3	RESERVED	R	0	该位被保留
2	MASK_PVDD_UV	R/W	0	屏蔽 PVDD UV 故障报告屏蔽 PVDD OV 故障报告
1	MASK_DC	R/W	0	屏蔽直流故障报告
0	MASK_OC	R/W	0	屏蔽 OC 故障报告

8.1.48 PIN_CONTROL2 寄存器（偏移 = 75h）[复位 = 0xF8]

图 8-48 展示了 PIN_CONTROL2，表 8-50 中对此进行了介绍。

返回汇总表。

图 8-48. PIN_CONTROL2 寄存器

7	6	5	4	3	2	1	0
CBC_FAULT_LATCH_EN	CBC_WARN_LATCH_EN	CLKFLT_LATCH_EN	OTSD_LATCH_EN	OTW_LATCH_EN	MASK_OTW	MASK_CBCW	MASK_CBC_FAULT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-50. PIN_CONTROL2 寄存器字段说明

位	字段	类型	复位	说明
7	CBC_FAULT_LATCH_EN	R/W	1	通过将该位设置为 1 来启用 CBC 故障锁存
6	CBC_WARN_LATCH_EN	R/W	1	通过将该位设置为 1 来启用 CBC 警告锁存
5	CLKFLT_LATCH_EN	R/W	1	通过将该位设置为 1 来启用时钟故障锁存

表 8-50. PIN_CONTROL2 寄存器字段说明（续）

位	字段	类型	复位	说明
4	OTSD_LATCH_EN	R/W	1	通过将该位设置为 1 来启用 OTSD 故障锁存
3	OTW_LATCH_EN	R/W	1	通过将该位设置为 1 来启用 OT 警告锁存
2	MASK_OTW	R/W	0	通过将该位设置为 1 来屏蔽 OT 警告报告
1	MASK_CBCW	R/W	0	通过将该位设置为 1 来屏蔽 CBC 警告报告
0	MASK_CBC_FAULT	R/W	0	通过将该位设置为 1 来屏蔽 CBC 故障报告

8.1.49 MISC_CONTROL 寄存器（偏移 = 76h）[复位 = 0x00]

图 8-49 展示了 MISC_CONTROL，表 8-51 中对此进行了介绍。

返回汇总表。

图 8-49. MISC_CONTROL 寄存器

7	6	5	4	3	2	1	0
DET_STATUS_LATCH	RESERVED		OTSD_AUTO_REC_EN	RESERVED			
R/W	R/W		R/W	R/W			

表 8-51. MISC_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7	DET_STATUS_LATCH	R/W	0	1：锁存时钟检测状态 0：不锁存时钟检测状态
6-5	RESERVED	R/W	00	这些位被保留
4	OTSD_AUTO_REC_EN	R/W	0	OTSD 自动恢复启用
3-0	RESERVED	R/W	0000	该位被保留

8.1.50 CBC_CONTROL 寄存器（偏移 = 77h）[复位 = 0x00]

图 8-50 展示了 CBC_CONTROL，表 8-52 中对此进行了介绍。

返回汇总表。

图 8-50. CBC_CONTROL 寄存器

7	6	5	4	3	2	1	0
RESERVED			CBC_LEVEL_SEL		CBC_EN	CBC_WARN_EN	CBC_FAULT_EN
R/W			R/W		R/W	R/W	R/W

表 8-52. CBC_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	000	这些位被保留
4-3		CBC_LEVEL_SEL	00	该位设置 CBC 级别，即过流阈值的百分比： 00：80% 10：60% 01：40%
2	CBC_EN	R/W	0	启用 CBC 功能
1	CBC_WARN_EN	R/W	0	启用 CBC 警告

Copyright © 2025 Texas Instruments Incorporated

表 8-52. CBC_CONTROL 寄存器字段说明（续）

位	字段	类型	复位	说明
0	CBC_FAULT_EN	R/W	0	使能 CBC 故障

8.1.51 FAULT_CLEAR 寄存器（偏移 = 78h）[复位 = 0x00]

图 8-51 展示了 FAULT_CLEAR，表 8-53 中对此进行了介绍。

返回汇总表。

图 8-51. FAULT_CLEAR 寄存器

7	6	5	4	3	2	1	0
ANALOG_FAULT_CLEAR	RESERVED						
W	R/W						

表 8-53. FAULT_CLEAR 寄存器字段说明

位	字段	类型	复位	说明
7	ANALOG_FAULT_CLEAR	W	0	WRITE CLEAR BIT 一旦将该位写为 1，器件就会清除模拟故障
6-0	RESERVED	R/W	0000000	该位被保留

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

本节详细介绍了配置器件（涵盖多种常见配置）所需的信息，并提供了有关将 TAS5828M 器件集成到更大系统中的指导。

9.1.1 电感器选型

要求峰值电流小于 7.5A 的 OCP（过流保护）值。有三种情况会导致高峰值电流通过电感器。

1. 在上电（空闲状态，无音频输入）期间，占空比从 0 增加到 θ。有一个启动电流流经电感器以设置共模电压 (PVDD× θ)。

备注

θ = 0.5（BD 调制）、0.14（1SPW 调制）、0.14（混合调制）

2. 在音乐播放期间，一些具有非常硬的 PVDD 削波的音频突发信号（高频）会导致 PWM 占空比急剧上升。这是最糟糕的情况，很少发生。

$$I_{peak_clipping} \approx PVDD \times (1-\theta)/(F_{sw} \times L) \tag{1}$$

3. 最大输出功率导致的峰值电流。忽略此处流经电容器的纹波电流。

$$I_{peak_output_power} \approx \sqrt{2 \times Max_Output_Power / R_{speaker_Load}} \tag{2}$$

TI 建议电感饱和电流 I_{sat} 大于上电和播放音频期间的放大器峰值电流。

$$I_{SAT} \geq \max(I_{peak_power_up}, I_{peak_clipping}, I_{peak_output_power}) \tag{3}$$

表 9-1. 电感要求

PVDD (V)	开关频率 (kHz)	最小电感 (L) (μH)
≤ 12	384	4.7
> 12	384	10

对于较高的开关频率 (Fsw)，请选择最小电感为 384kHz/Fsw×L 的电感器。相同的 PVDD 和开关频率、较大的电感意味着更小的空闲电流和更低的功率损耗。

Copyright © 2025 Texas Instruments Incorporated

9.1.2 自举电容器

TAS5828M 的输出级使用高侧 NMOS 驱动器，而不是 PMOS 驱动器。为生成高侧 NMOS 的栅极驱动器电压，每个输出端子的自举电容器将充当开关周期的浮动电源。使用 0.47μF 电容器将相应的输出引脚 (OUT_X) 连接到自举引脚 (BST_X)。例如，在 OUT_A 和 BST_A 之间连接一个 0.47μF 电容器，用于自举 A 通道。同样，在 OUT_B 和 BST_B 引脚之间连接另一个 0.47μF 电容器，用于 B 通道反相输出。

9.1.3 电源去耦

为确保高效率、低 THD 和高 PSRR，需要进行适当的电源去耦。电源线路上的噪声瞬态是短时电压峰值。这些峰值可能包含高达数百兆赫的频率分量。必须使用一些大于 22μF 的优质、低 ESL、低 ESR 电容器对电源输入进行去耦。这些电容器将低频噪声旁路到接地平面。对于高频去耦，请将 1μF 或 0.1μF 电容器尽可能靠近器件的 PVDD 引脚布置。

9.1.4 输出 EMI 滤波

器件通常与低通滤波器搭配使用，后者用于滤除 PWM 调制输出的载波频率。由于此滤波器包含电感元件 L 和电容元件 C 而构成双极滤波器，因此常常称为 L-C 滤波器。

L-C 滤波器能够消除载波频率，从而降低电磁辐射并平滑从电源汲取的电流波形。L-C 滤波器是否存在以及大小由多个系统级限制因素决定。在某些低功率用例中，如果没有对 EMI 敏感的其他电路，可使用简单的铁氧体磁珠或铁氧体磁珠加上电容器来替代常用的传统大电感器和电容器。在其他高功率应用中，需要使用大型环形线圈电感器以实现最大功率，并且由于音频特性，可以使用薄膜电容器。有关根据所需负载和响应适当选择元件并设计 LC 滤波器的详细说明，请参阅应用报告 D 类 L-C 滤波器设计 (SLOA119)。

有关 EMI 性能和 EMI 设计注意事项，请参阅应用报告：TAS5825M 的 EMC 设计注意事项。

9.2 典型应用

9.2.1 2.0（立体声 BTL）系统

在 2.0 系统中，通过数字输入信号为放大器提供了两个声道。这两个声道经过放大后分别发送到两个独立的扬声器。在某些情况下，经放大的信号会在 L-C 滤波器之后通过无源分频网络根据频率进一步进行分离。即使如此，该应用仍然被视为 2.0 系统。

上述两个声道通常为一个称作立体声对的信号对，一个声道包含左声道音频，另一个声道包含右声道音频。虽然这两个声道可以包含任何两个音频声道，例如多声道扬声器系统中的两个环绕声道，但双声道系统中最常见的是立体声对。

图 9-1 展示了 2.0（立体声 BTL）系统应用。

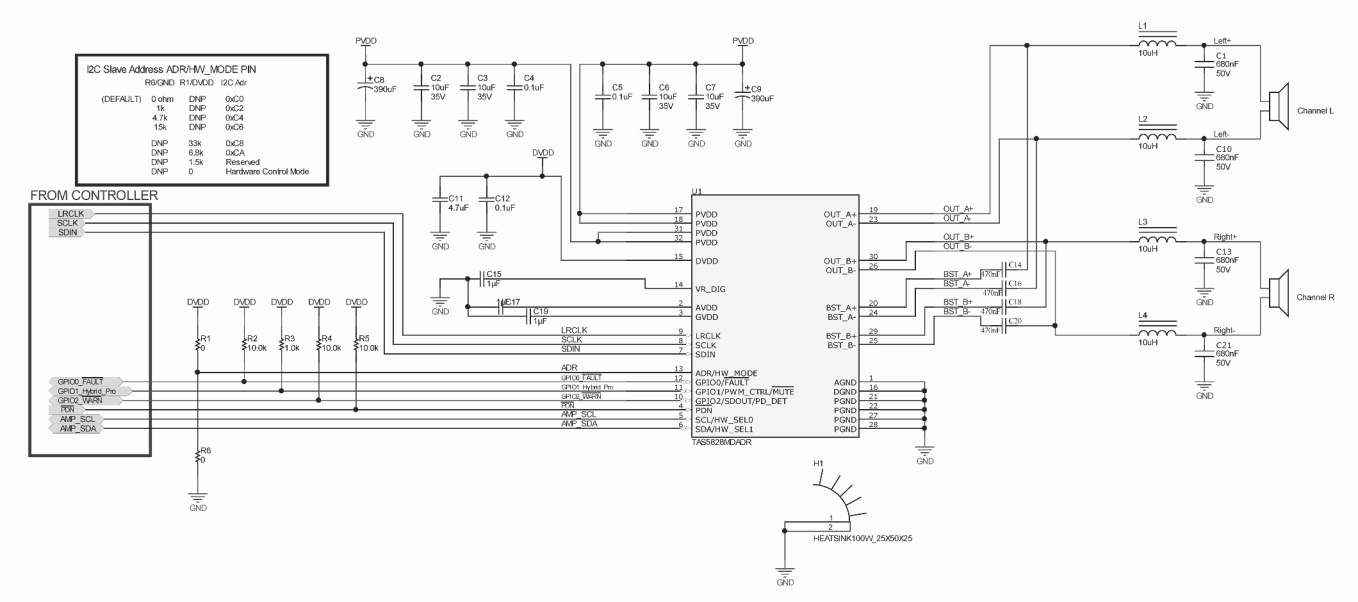


图 9-1. 2.0（立体声 BTL）系统应用原理图

Copyright © 2025 Texas Instruments Incorporated

9.2.2 设计要求

- 电源：
  - 3.3V 电源
  - 5V 至 24V 电源
- 通信：主机处理器用作 I^2C 兼容控制器
- 外部存储器（例如 EEPROM 和闪存），用于生成系数。

立体声 2.0 (BTL) 系统中对 TAS5828M 器件支持元件的要求如表 9-2 所示。

表 9-2. 立体声 2.0 (BTL) 系统的支持元件要求

参考位号	值	尺寸	详细描述
C8、C9	390μF	SMD	电容，铝制，390uF，35V，± 20%，SMD
C4、C5	0.1μF	0402	电容，陶瓷，10uF，35V，±10%，X5R，0805
C2、C3、C6、C7	10μF	0805	电容，陶瓷，22μF，35V，±20%，JB，0805
C11	4.7μF	0603	电容，陶瓷，4.7μF，10V，±10%，X5R，0603
C12	0.1μF	0603	电容，陶瓷，0.1μF，16V，±10%，X7R，0603
C15、C17、C19	1μF	0603	电容，陶瓷，1μF，16V，±10%，X5R，0603
C14、C16、C18、C20	0.47μF	0603	电容，陶瓷，0.47μF，16V，±10%，X7R，0603
C1、C10、C13、C21	0.68μF	0805	电容，陶瓷，0.68μF，50V，±10%，X7R，0805
L1、L2、L3、L4	10μH		电感，屏蔽鼓芯，铁氧体，10uH，7.1A，0.01294Ω，SMD，7447709100
R1、R6	0Ω	0402	电阻，0，5%，0.063W，0402
R2、R4、R5	10kΩ	0402	电阻，10.0k，1%，0.063W，0402
R3	1kΩ	0402	电阻，1.0k，1%，0.063W，0402

9.2.3 详细设计过程

此设计过程可用于立体声 2.0、高级 2.1 和单声道模式。

9.2.3.1 第一步：硬件完整性

- 以典型应用原理图为指南，将硬件集成到系统原理图中。
- 按照上面示例布局中给出的建议元件布置、电路板布局布线和布线，将器件及其支持元件集成到系统 PCB 文件中。
  - 电路最关键的部分是电源输入、放大器输出信号和高频信号，所有这些信号都进入串行音频端口。构建这些信号以确保其在建议进行设计权衡时优先考虑。
  - 如有问题和需要支持，请访问 E2E 论坛 (e2e.ti.com)。如果需要偏离推荐的布局，请访问 E2E 论坛申请布局审核。

9.2.3.2 第二步：硬件完整性

使用 TAS5828MEVM 评估模块和 PPC3 应用程序来配置所需的器件设置。

9.2.3.3 第三步：软件集成

- 使用 PPC3 应用程序的终端系统集成功能可生成基线配置文件。
- 根据终端设备的工作模式生成额外的配置文件，并将静态配置信息集成到初始化文件中。
- 将动态控件（例如音量控制、静音命令和基于模式的 EQ 曲线）集成到主系统程序中。

9.2.4 单声道 (PBTL) 系统

在单通道模式下，TAS5828M 可用作 PBTL 模式，以更高的输出功率驱动低音炮。

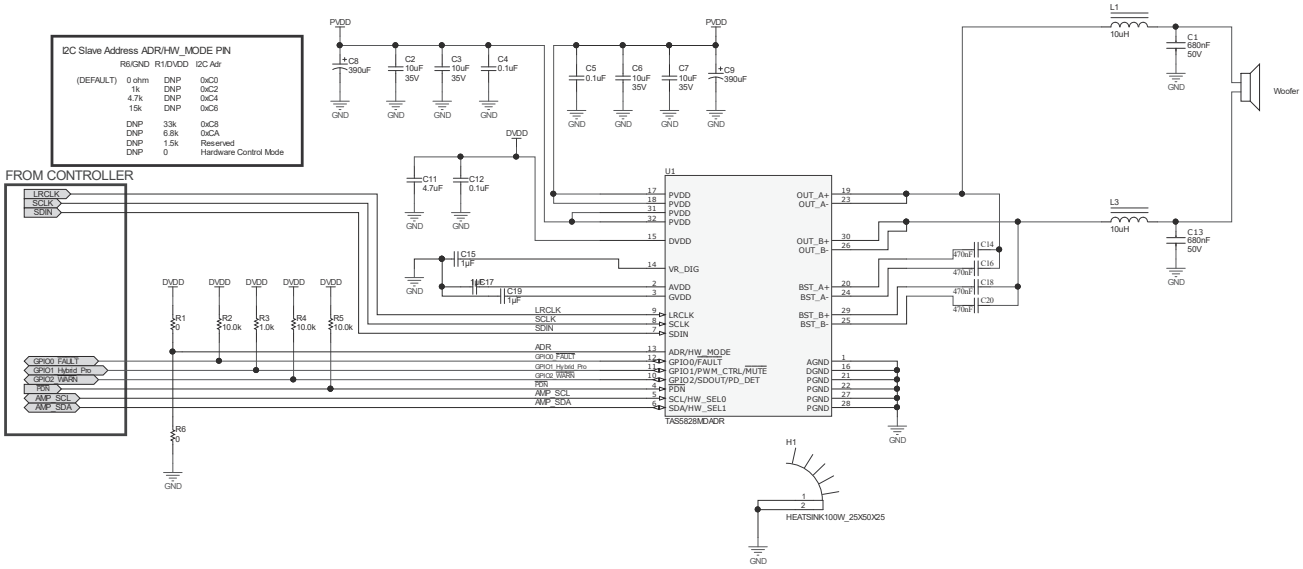


图 9-2. 低音炮 (PBTL) 应用原理图

表 9-3. 低音炮 (PBTL) 系统的支持元件要求

参考位号	值	尺寸	详细描述
C8、C9	390μF	SMD	电容，铝制，390uF，35V，± 20%，SMD
C4、C5	0.1μF	0402	电容，陶瓷，10uF，35V，±10%，X5R，0805
C2、C3、C6、C7	10μF	0805	电容，陶瓷，22μF，35V，±20%，JB，0805
C11	4.7μF	0603	电容，陶瓷，4.7μF，10V，±10%，X5R，0603
C12	0.1μF	0603	电容，陶瓷，0.1μF，16V，±10%，X7R，0603
C15、C17、C19	1μF	0603	电容，陶瓷，1μF，16V，±10%，X5R，0603
C14、C16、C18、C20	0.47μF	0603	电容，陶瓷，0.47μF，16V，±10%，X7R，0603
C1、C13	0.68μF	0805	电容，陶瓷，0.68μF，50V，±10%，X7R，0805
L1、L3	10μH		电感，屏蔽鼓芯，铁氧体，10uH，7.1A，0.01294Ω，SMD，7447709100
R1、R6	0Ω	0402	电阻，0，5%，0.063W，0402
R2、R4、R5	10kΩ	0402	电阻，10.0k，1%，0.063W，0402

Copyright © 2025 Texas Instruments Incorporated

9.2.5 高级 2.1 系统（两个 TAS5828M 器件）

在更高性能的系统中，可使用数字音频处理功能来增强低音炮输出，如同在高频声道中一样。为此，需要使用两个 TAS5828M 器件：一个用于左右高频扬声器，另一个用于单声道低音炮扬声器。在此系统中，可通过 SDOUT 引脚从 TAS5828M 器件发出音频信号。或者，低音炮放大器可以接受与立体声相同的数字输入（可来自中央系统处理器）。图 9-3 展示了 2.1（具有两个器件的立体声 BTLTAS5828M）系统应用。

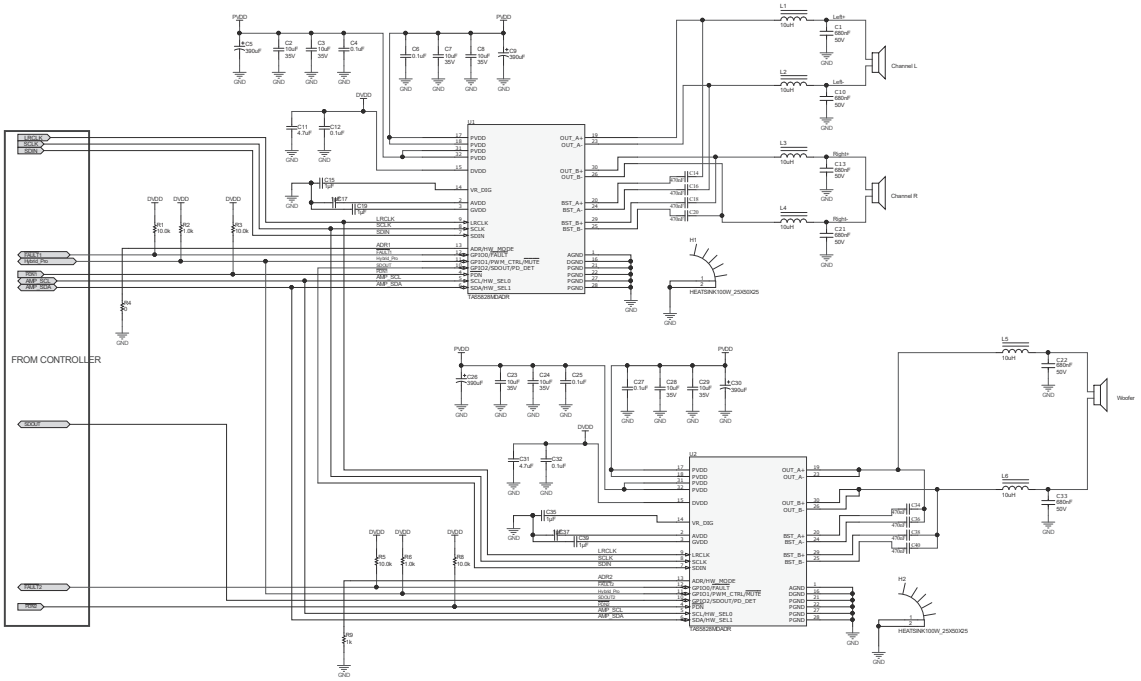


图 9-3. 2.1（带两个 TAS5828M 器件的 2.1 通道）应用原理图

9.3 电源相关建议

TAS5828M 器件需要两个电源才能正常工作。需要称为 PVDD 的高压电源来为扬声器放大器的输出级及相关电路供电。此外，还需要一个称为 DVDD 的低压电源来为器件的各个低功耗部分供电。*建议运行条件*表列出了 PVDD 和 DVDD 电源允许的电压范围。两个电源没有所需的上电顺序。现在可按以下顺序打开电源。

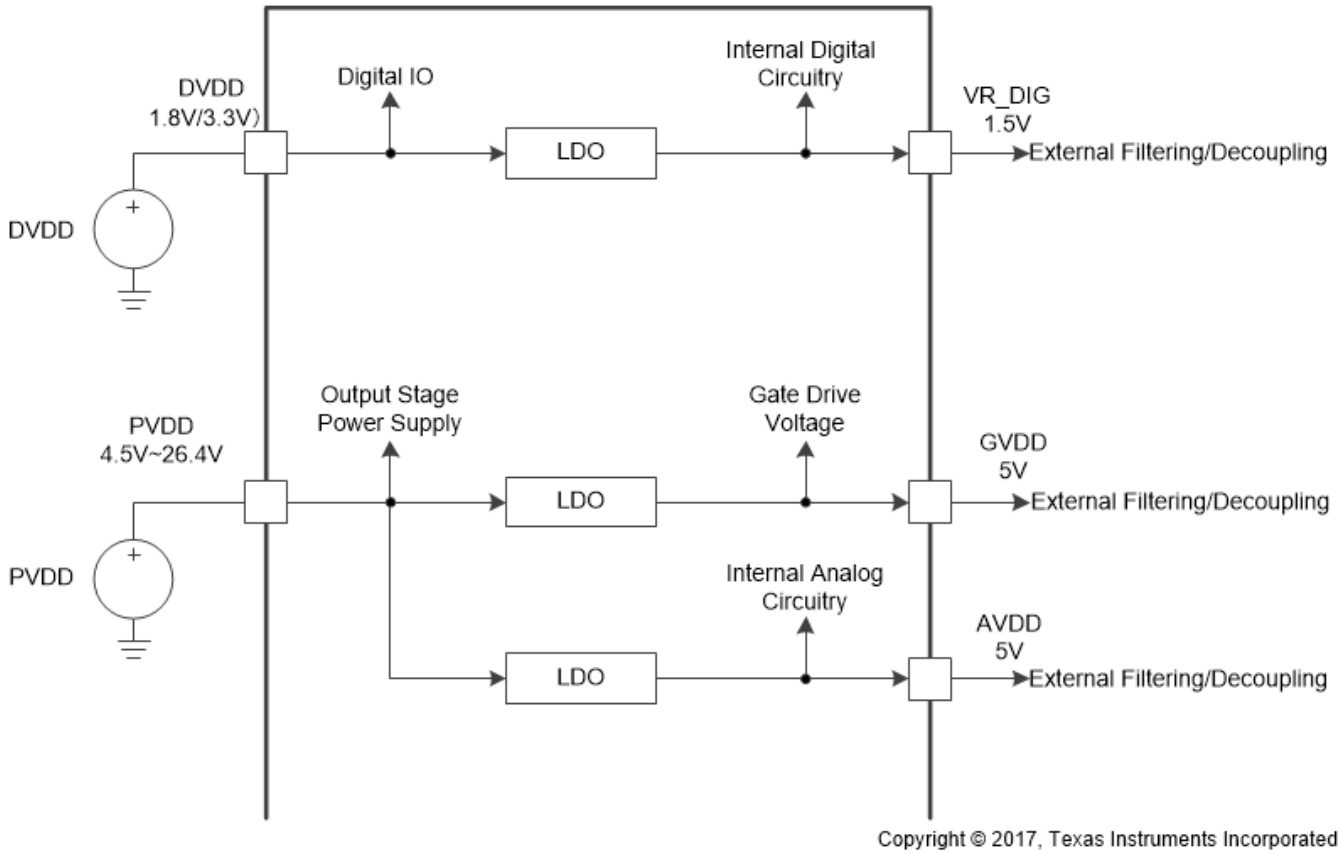


图 9-4. 电源功能方框图

9.3.1 DVDD 电源

系统需要使用 DVDD 电源来为器件的各部分供电。如 图 9-4 所示，DVDD 电源为 DVDD 引脚供电。*应用与实施*部分和*布局示例*部分中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。

器件的某些部分还会需要电压低于 DVDD 电源电压的独立电源。为简化系统的电源需求，TAS5828M 器件中集成了一个低压降 (LDO) 线性稳压器，以提供这一电源。此线性稳压器内部连接到 DVDD 电源，稳压器输出位于 DVDD_REG 引脚上，为外部旁路电容器提供了一个连接点。注意，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

9.3.2 PVDD 电源

扬声器放大器的输出级使用 PVDD 电源驱动负载。此电源在回放期间为负载提供驱动电流。TAS5828MEVM 中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。考虑到输出级的高电压切换，必须遵照 TAS5828M 器件*应用与实施*中所述的方式对输出功率级进行正确去耦。如果未遵照*应用与实施*中所示进行正确去耦，则会产生电压尖峰，进而可能导致器件受损。

扬声器放大器输出级中所用 MOSFET 的栅极需要使用单独的电源驱动。此电源通过集成线性稳压器从 PVDD 电源获得。提供 GVDD 引脚用于连接栅极驱动电压稳压器的去耦电容器。注意，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载会导致电压骤降，从而对器件的性能和运行产生负面影响。

Copyright © 2025 Texas Instruments Incorporated

另一个通过集成线性稳压器从 PVDD 电源获得的独立电源是 AVDD。提供 AVDD 引脚用于连接 TAS5828M 内部电路的去耦电容器。注意，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载会导致电压骤降，从而对器件的性能和运行产生负面影响。

9.4 布局

9.4.1 布局指南

9.4.1.1 音频放大器通用指南

包含开关输出级的音频放大器必须特别注意音频放大器布局以及其周围使用的支持元件的布局。系统级性能指标，包括热性能、电磁兼容性 (EMC)、器件可靠性和音频性能，都会受到器件和支持元件布局的影响。

严格遵循*布局示例*中所示的布局指南即可符合应用部分中提供的器件和元件选型指南。这些示例代表了在布置器件时所涉及的工程权衡的示范性基准平衡。这些设计可以根据需要稍加修改以满足特定应用的需求。例如，在某些应用中，可以通过在器件中使用额外的连续覆铜，以增大器件涉及为代价来改善散热性能。反之，通过在内部走线进行布线并加入过孔栅栏和附加滤波元件，可以折损散热性能来优先考虑 EMI 性能。在所有情况下，TI 建议从*布局示例*中所示的指导开始，并与 TI 现场应用工程师合作，或通过 E2E 社区根据应用特定目标修改布局。

9.4.1.2 PVDD 网络中 PVDD 旁路电容布置的重要性

靠近电源放置旁路和去耦电容早已是业界的共识。这适用于 DVDD、AVDD、GVDD 和 PVDD。然而，TAS5828M 器件的 PVDD 网络上的电容器值得特别注意。

DUT 的 PVDD 线路上的小旁路电容必须尽可能靠近 PVDD 引脚放置。这些器件远离引脚放置不仅会增加系统中的电磁干扰，还会对器件的可靠性造成负面影响。如果这些元件距离 TAS5828M 器件太远，则会使输出引脚上出现振铃，导致输出引脚上的电压超出*绝对最大额定值*表中列出的最大允许额定值，从而损坏器件。因此，PVDD 网络中的电容与相关电容 PVDD 引脚的距离不得远于*布局示例*部分示例布局中所示的距离。

9.4.1.3 优化散热性能

遵循 布局示例一节，在设计尺寸、散热性能、音频性能与电磁性能之间很好地取得良好平衡。在某些情况下，可能会因为设计限制条件而不可避免地偏离该指南。系统设计人员确保器件中的热量能够扩散到周围的环境空气中。TAS5828M 器件采用 TSSOP-DAD 焊盘朝上封装，充分提高器件的散热性能。热量通过低阻抗散热器路径从器件传递到环境空气。需要使用散热器。TI 建议使用 www.qats.com 中的 ATS-TI10P-519-C1-R3，如 图 9-5 所示。在空间受限的环境中，散热器的尺寸可能会偏离建议的散热器，但热性能会降低。

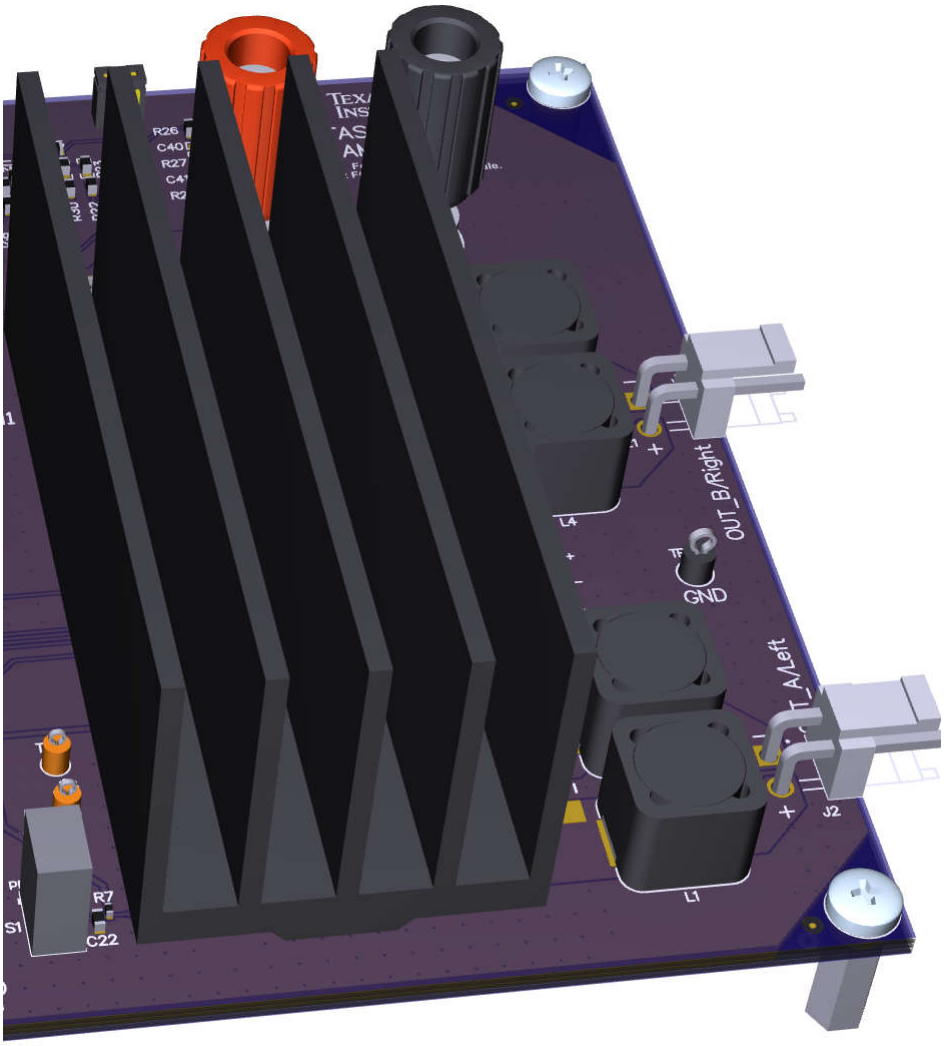


图 9-5. 2.0（立体声 BTL）EVM 3D 顶视图（带散热器）

Copyright © 2025 Texas Instruments Incorporated

9.4.2 布局示例

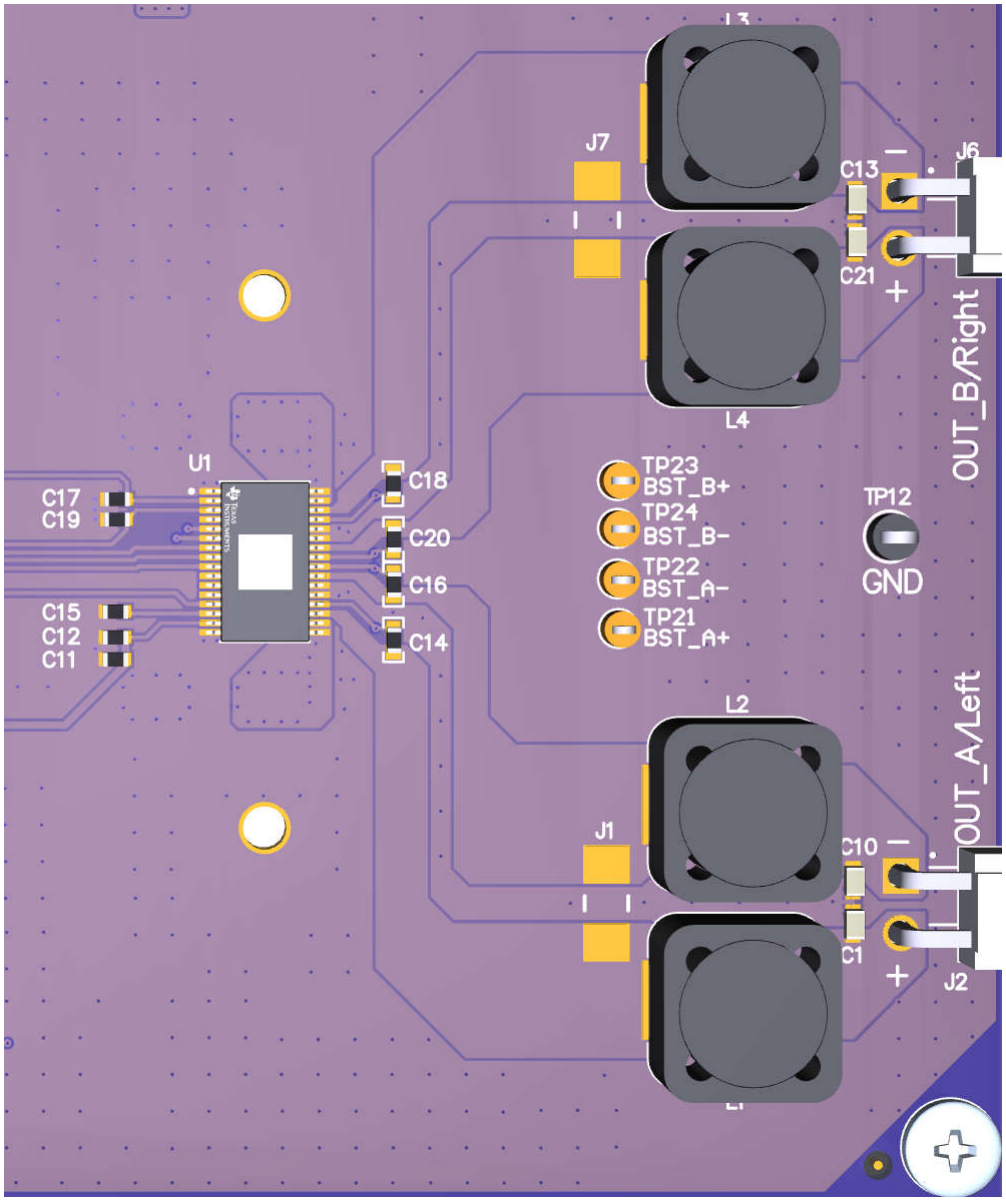
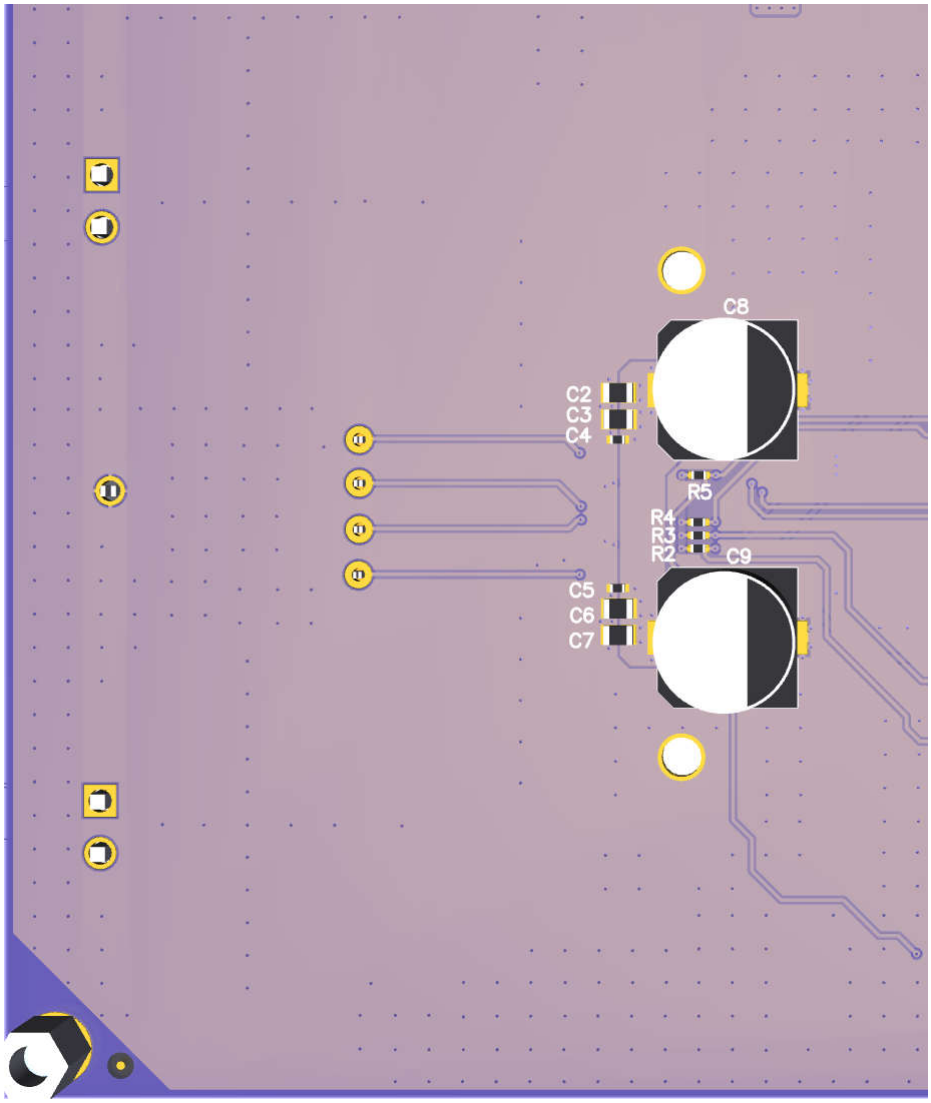


图 9-6. 2.0（立体声 BTL）3D 顶视图



备注

从底视图。沿 Y 轴翻转。

图 9-7. 2.0（立体声 BTL）3D 底视图

Copyright © 2025 Texas Instruments Incorporated

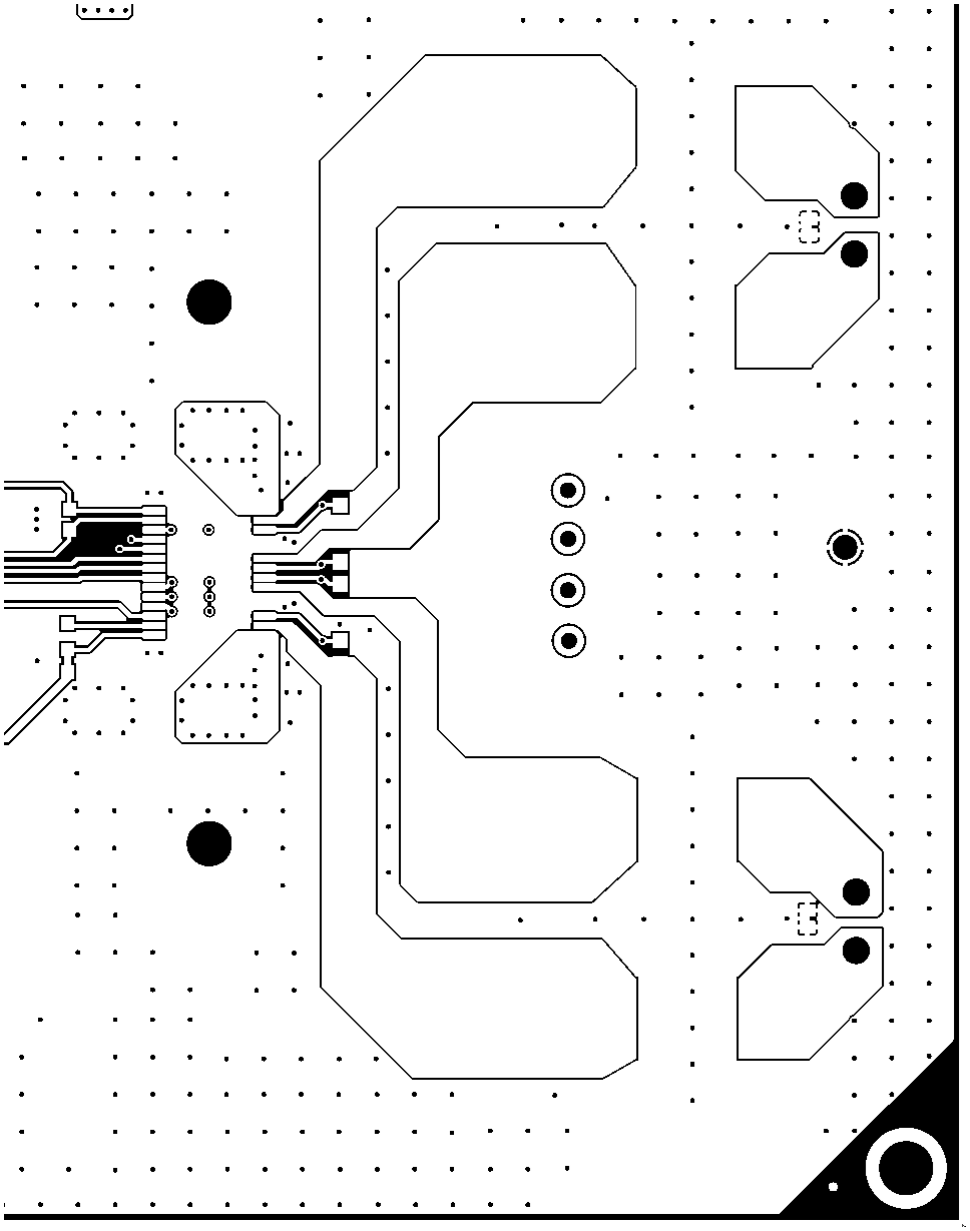


图 9-8. 2.0（立体声 BTL）PCB 顶层图（顶视图）

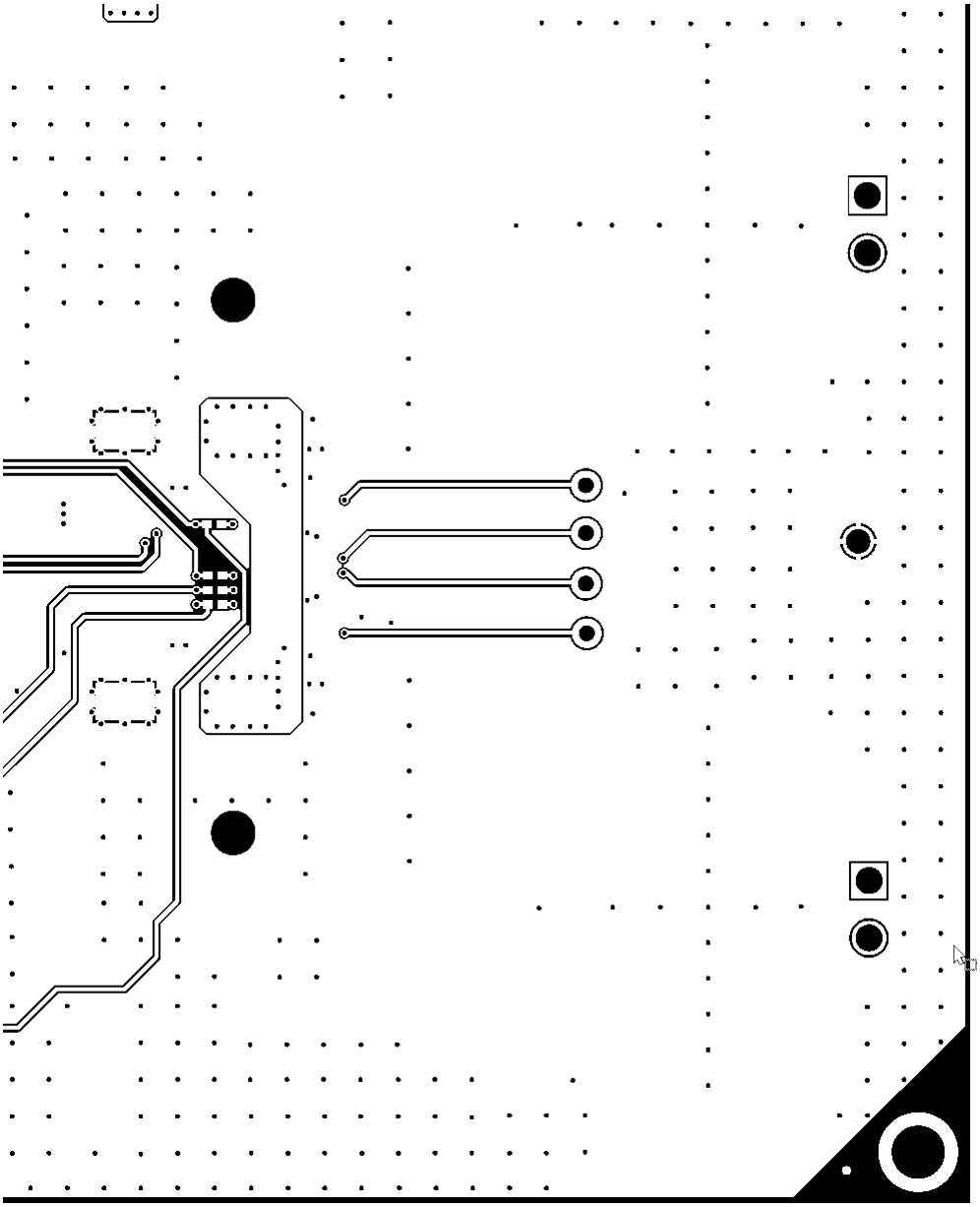


图 9-9. 2.0（立体声 BTL）PCB 低层图（顶视图）

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 器件命名规则

术语表部分是一个通用的术语表，其中包括常用的缩写和词语，它们都是根据一个范围广泛的 TI 计划定义的，符合 JEDEC、IPC、IEEE 等行业标准。本节中提供的术语表定义了本产品和文档、配套资料或与本产品配合使用的支持工具和软件独有的词汇、短语和缩写。如对定义和术语有其他疑问，请访问 e2e 音频放大器论坛。

桥接式负载 (BTL) 是一种输出配置，其中扬声器的两端分别连接一个半桥。

DUT 是指*被测器件*，用于区分不同的器件。

闭环架构是一种拓扑结构，其中放大器监视输出端子、对比输出信号与输入信号，并尝试修正输出信号的非线性。

动态控件是指系统或终端用户在正常使用时可更改的控件。

GPIO 是一种通用输入/输出引脚，也是一种高度可配置的双向数字引脚，可执行系统所需的多种功能。

主机处理器（也称系统处理器、标量、主机或系统控制器）是指用作中央系统控制器的器件，可为与其连接的器件提供控制信息，还可以从上游器件采集音频源数据并将数据分配给其他器件。该器件通常配置音频路径中音频处理器件（如 TAS5828M）的控件，从而根据频率响应、时间校准、目标声压级、系统安全运行区域和用户偏好优化扬声器的音频输出。

最大持续输出功率是指放大器在 25°C 工作环境温度下可持续（不关断）提供的最大输出功率。测试需要在放大器温度达到热平衡且不再上升的时间段执行

并行桥接负载 (PBTL) 是一种输出配置，其中扬声器的两端分别连接一对并行放置的半桥

$r_{DS(on)}$ 是指放大器输出级中所用 MOSFET 的导通电阻。

静态控件/静态配置是指系统正常使用时不发生变化的控件。

过孔是指 PCB 中的镀铜通孔。

10.1.2 开发支持

有关 RDGUI 软件，请咨询当地的现场支持工程师。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2021) to Revision B (April 2025)	Page
• 更改热折返说明以使其更加清晰	35
• 修复了 DSP_PGM_MODE 寄存器和其他拼写错误。将 DIG_VOL 重命名为 DAC_GAIN	46
• 删除了与焊盘朝下封装相关的布局部分。	81
• 更新了散热器信息并添加了图像	81
• 更新了布局图像	83

Changes from Revision * (June 2021) to Revision A (December 2021)	Page
• 将文档状态从：*预告信息* 更改为 *生产* 数据	1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5828MDADR	Active	Production	HTSSOP (DAD) | 32	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TAS 5828M
TAS5828MDADR.A	Active	Production	HTSSOP (DAD) | 32	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	TAS 5828M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

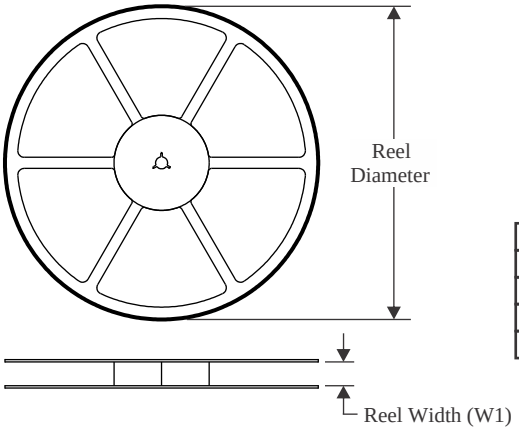
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

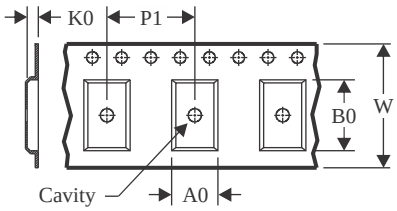
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

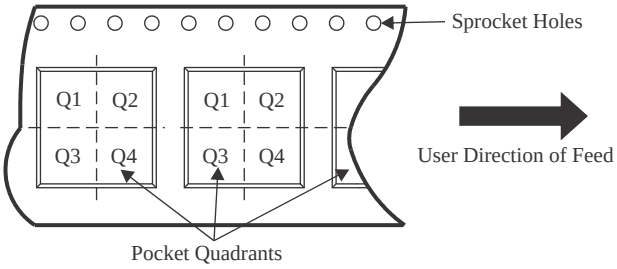


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

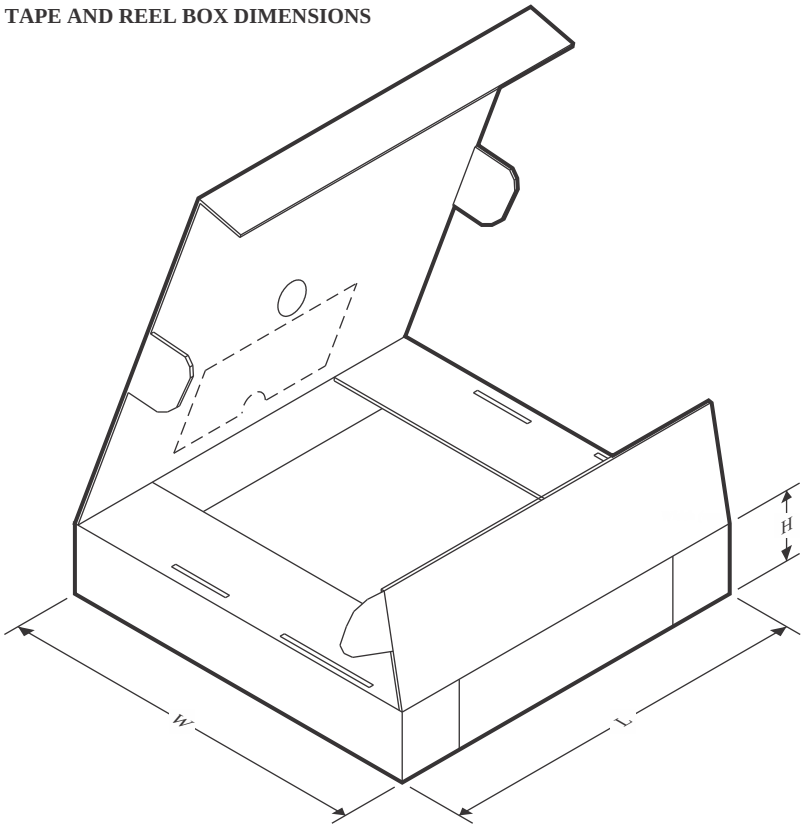
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5828MDADR	HTSSOP	DAD	32	2000	330.0	24.4	8.6	11.5	1.6	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS

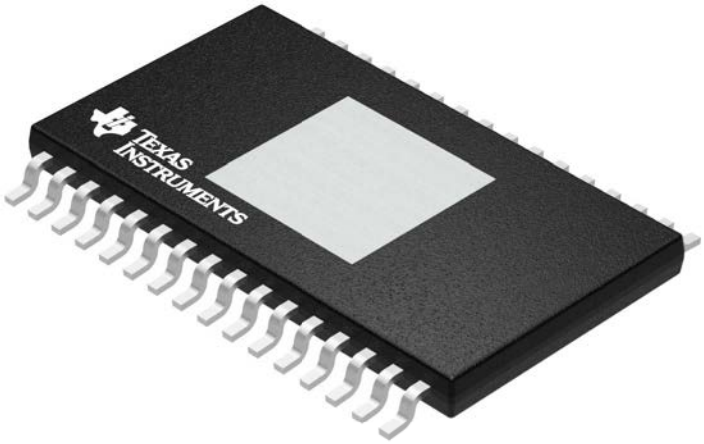


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5828MDADR	HTSSOP	DAD	32	2000	350.0	350.0	43.0

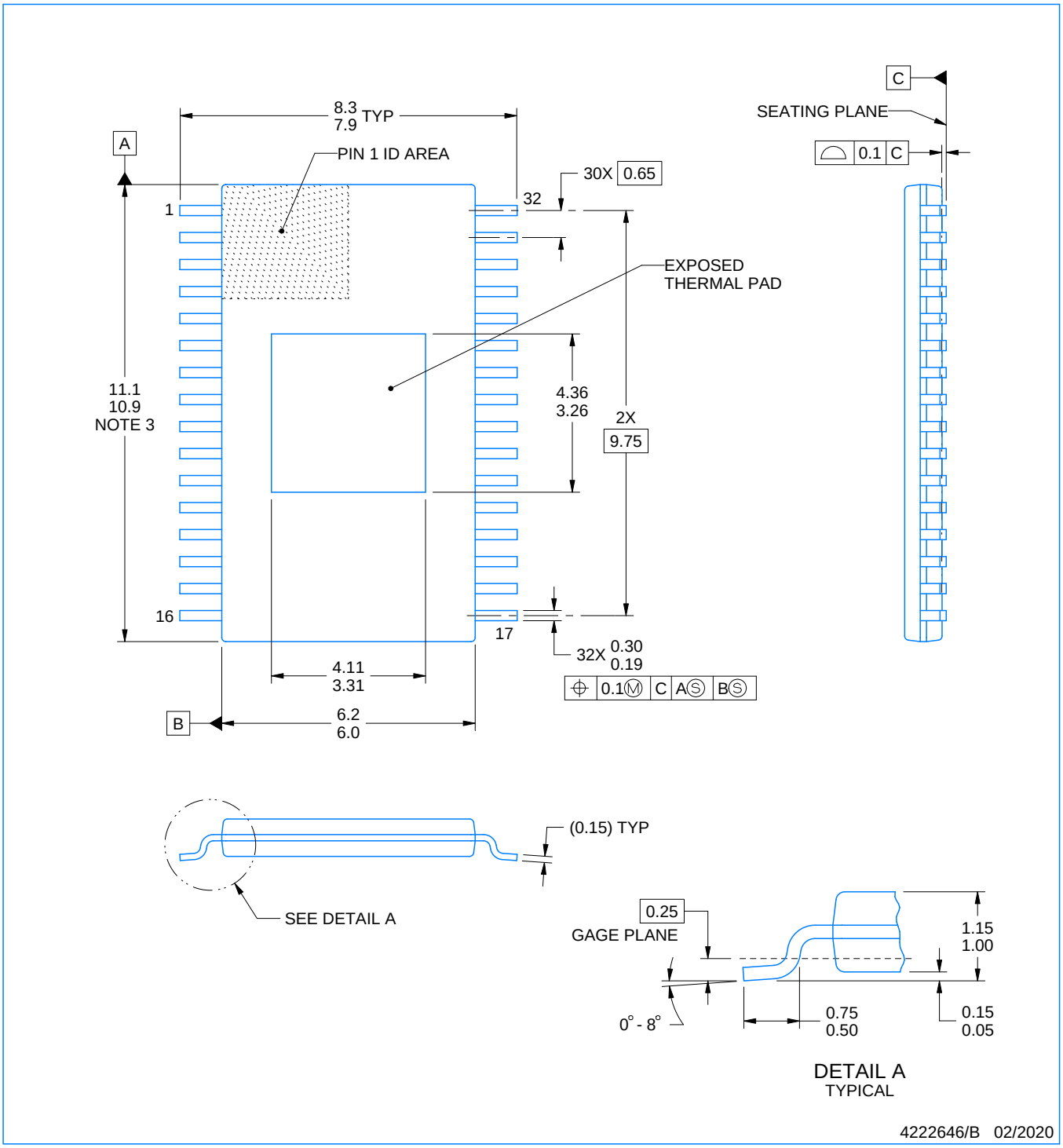
DAD 32 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

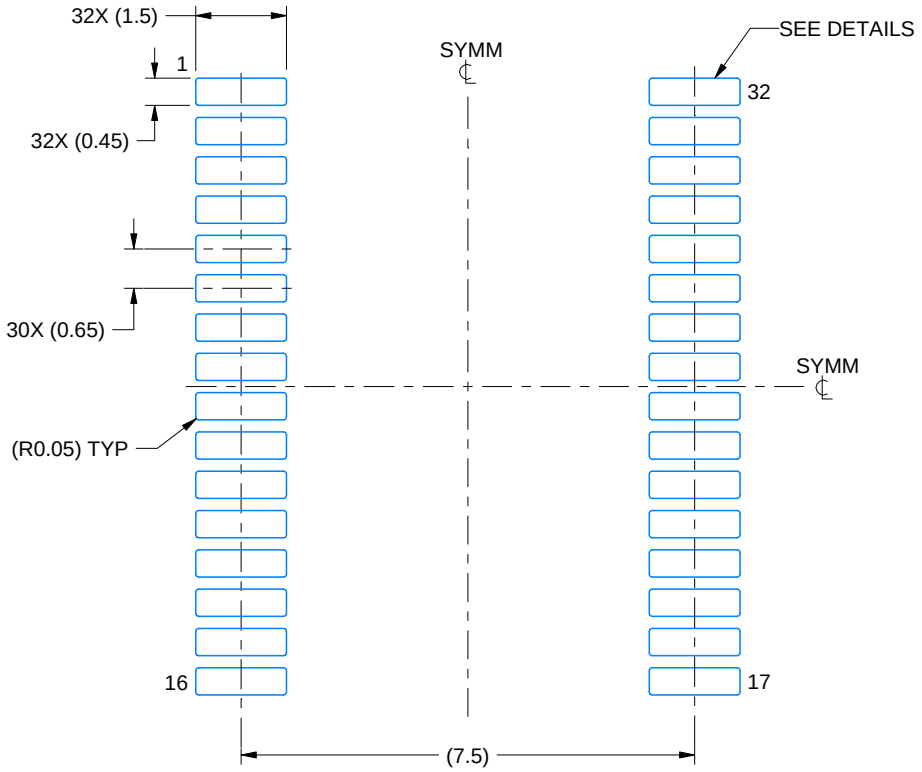
4073258-2/G



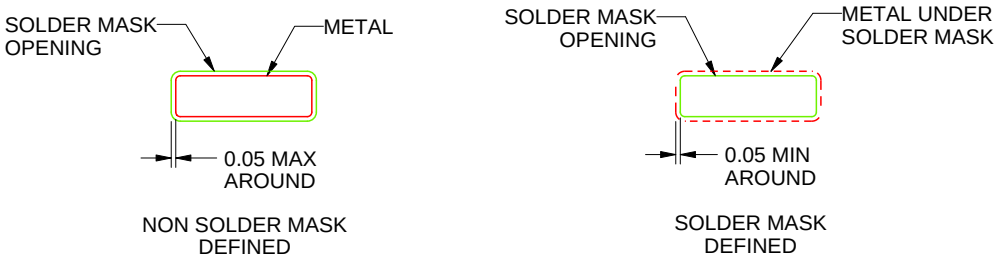
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
SCALE:8X

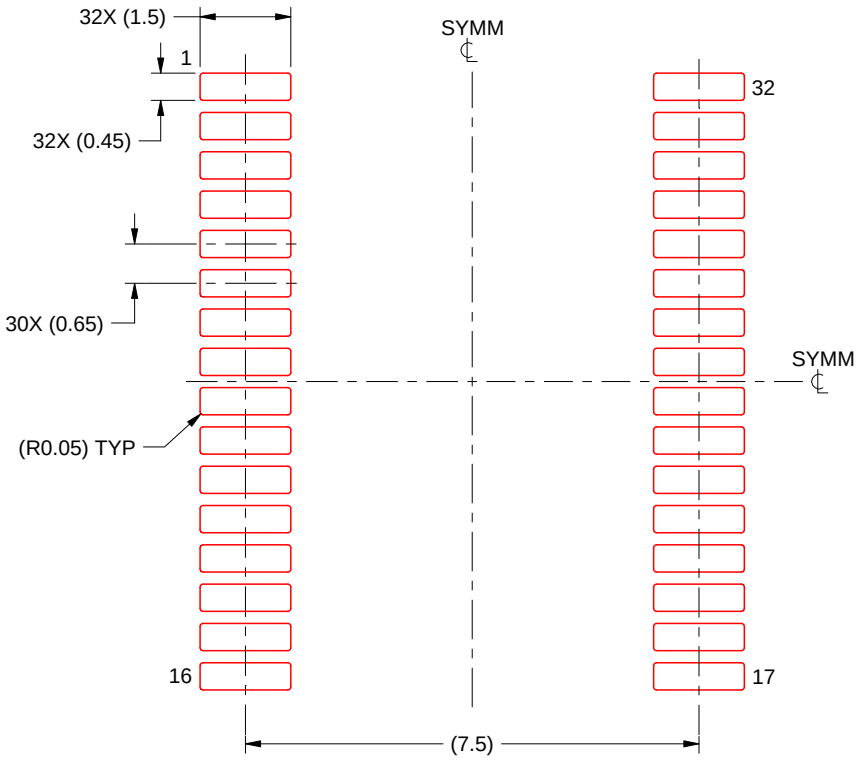


SOLDER MASK DETAILS
NOT TO SCALE

4222646/B 02/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4222646/B 02/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月