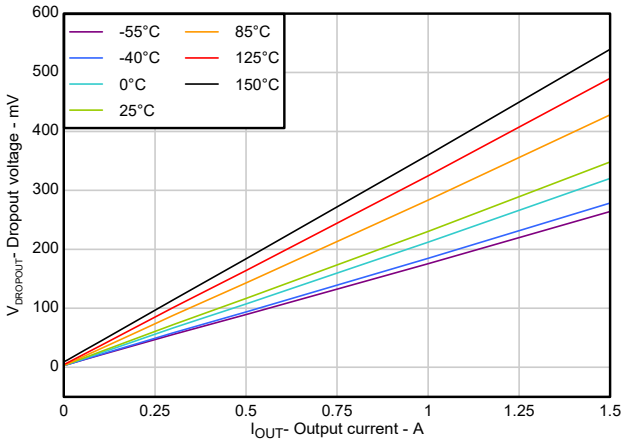
TL1963A 1.5A 低噪声、快速瞬态响应低压降稳压器

1 特性

- 输入电压范围：2.4V 至 20V
- 输出电压范围（可调节）：1.21V 至 20V
- 输出电压范围（固定）：
  - 旧芯片：1.5V、1.8V、2.5V 和 3.3V
  - 新芯片：1.8V、3.3V
- 输出精度（整条线路上、负载和温度）：
  - 旧芯片：±3%（所有封装）
  - 新芯片：
    - +3%/-2%（仅限 DCY）
    - ±1.5%（仅限 DCQ 和 KTT）
- 最大输出电流 (I_{OUT})：高达 1.5A
- 压降电压：I_{OUT} = 1.5A 时为 340mV（典型值）
- 用于实现稳定运行的输出电容器：≥ 10 µF，ESR ≤ 3Ω
- 低噪声：V_{OUT} = 1.21V 时为 23 µV_{RMS}（10Hz 至 100kHz）
- 集成故障保护：
  - 反向电流、热关断和过流保护（包括旧芯片和新芯片）
  - 反向电池保护（仅限旧芯片）
- 封装：
  - 4 引脚 SOT-223 (DCY)
  - 6 引脚 SOT-223 (DCQ)
  - 5 引脚 DDPAK/TO-263 (KTT)

2 应用

- 电动汽车充电基础设施
- 储能系统
- 医疗成像
- 半导体测试和 ATE



压降电压与输出电流间的关系（新芯片）

3 说明

TL1963A-xx 稳压器是低压降 (LDO) 稳压器，可为各种应用提供稳健、易用的电源管理设计。该器件可提供 1.5A 输出电流，压降为 340mV（典型值），并在可调节配置下支持宽输出范围（1.21V 至 20V）。此外，TL1963A-xx 还支持在线路、负载和温度范围内更严格的 ±1.5% 输出精度（适用于新芯片的 DCQ、KTT 封装）、快速瞬态响应以及低输出噪声（在单位增益可调节配置下为 23 µV_{RMS}），使其成为敏感射频电源应用的理想选择。

TL1963A-xx 稳压器在输出电容低至 10 µF 的条件下仍能保持稳定，并支持高达 3Ω 的 ESR 范围。TL1963A-xx（包括旧芯片和新芯片）内置过流、过温（热关断）和反向电流保护机制，以确保 LDO 的可靠运行，而 TL1963A-xx 的旧芯片还具备反向电池保护功能。

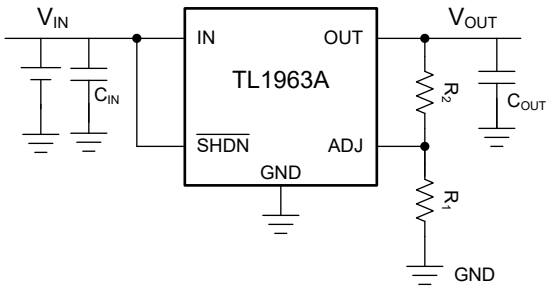
TL1963A-xx 采用 6.50mm × 7.0mm、4 引脚 SOT-223 (DCY)（仅限固定版），6.50mm × 7.06mm、6 引脚 SOT-223 (DCQ) 封装和 10.16mm × 15.24mm、5 引脚 DDPAK/TO-263 (KTT) 封装，提供固定和可调节输出。

封装信息

器件型号	封装(1)	封装尺寸(2)
TL1963A-xx	DCY（SOT-223，4）	6.50mm × 7.00mm
	DCQ（SOT-223，6）	6.50mm × 7.06mm
	KTT（DDPAK/TO-263，5）	10.16mm × 15.24mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性：TL1963A（DCQ、KTT 封装） 6
5.6 电气特性：TL1963A（DCY 封装） 9
5.7 典型特性 13
6 详细说明 24
6.1 概述 24
6.2 功能方框图 24
6.3 特性说明 24
6.4 器件功能模式 27
7 应用和实施 29
7.1 应用信息 29
7.2 典型应用 31
7.3 电源相关建议 36
7.4 布局 36
8 器件和文档支持 41
8.1 器件支持 41
8.2 文档支持 41
8.3 接收文档更新通知 41
8.4 商标 41
8.5 静电放电警告 41
8.6 术语表 41
9 修订历史记录 41
10 机械、封装和可订购信息 43

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

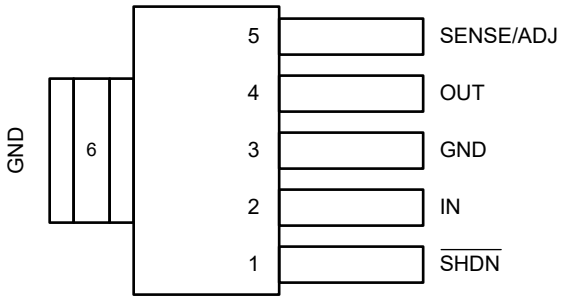


图 4-1. DCQ (SOT-223-6) 引脚配置（顶视图）

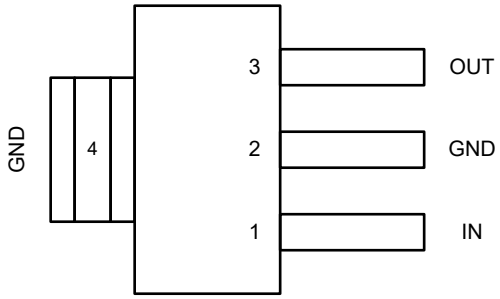


图 4-2. DCY (SOT-223-4) 引脚配置（顶视图）

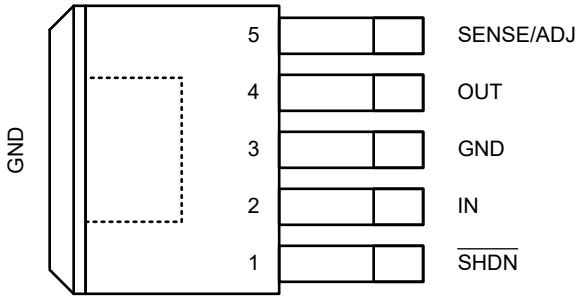


图 4-3. KTT (DDPAK/TO-263-5) 引脚配置（顶视图）

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	DCQ	DCY	KTT		
ADJ	5	—	5	I	对于 TL1963A 可调节配置，该引脚借助反馈分压器来设置输出电压。该引脚必须直接或通过电阻分压器连接到输出端，器件才能正常工作。ADJ 引脚中流动的电流会影响输出精度，在 电气特性：TL1963A（DCQ、KTT 封装）中记录为 I_{ADJ}。
GND	3、6	2、4	3	—	接地
IN	2	1	2	I	输入电源引脚。有关更多信息，请参阅 建议运行条件 表和 *输入/输出电容与瞬态响应*。TL1963A-xx 稳压器（仅限旧芯片）设计有反极性保护，新芯片和旧芯片版本都设计有反向电流保护。
OUT	4	3	4	O	稳压器的输出。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为了获得出色的瞬态响应，请在 OUT 与接地端之间使用标称推荐值或更大的陶瓷电容器，如 建议运行条件 表和 *输入/输出电容与瞬态响应* 部分所示。将此输出电容器尽可能靠近器件输出端放置。
SENSE	5	—	5	I	对于 TL1963A-xx 的固定电压版本，SENSE 引脚是误差放大器的输入。SENSE 引脚偏置电流在 电气特性：TL1963A（DCQ、KTT 封装）中记录为 I_{SENSE}。对于旧芯片，SENSE 引脚可以拉至地电平以下（例如在双电源系统中，稳压器负载返回至负电源），器件仍能启动并运行。有关更多详细信息，请参阅 与 SENSE 引脚的开尔文检测连接。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚				类型(1)	说明
名称	DCQ	DCY	KTT		
$\overline{\text{SHDN}}$	1	—	1	I	将 $\overline{\text{SHDN}}$ 引脚驱动为高电平会启用器件。将此引脚驱动为低电平会禁用器件。电气特性：TL1963A（DCQ、KTT 封装）表中列出了高阈值和低阈值。如果未使用 $\overline{\text{SHDN}}$ 引脚，必须将其连接到 V_{IN}。对于旧芯片，如果未连接 $\overline{\text{SHDN}}$ 引脚，则器件处于低功耗关断状态。
散热焊盘	—	—	—	—	对于 KTT、DCY 和 DCQ 封装，外露的散热焊盘接地，并必须焊接到 PCB 上以实现额定热性能。

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电压	输入电压（旧芯片）	-20	20	V
	输入电压（新芯片）	-0.3	20.2	V
	输出电压（旧芯片）	-20	20	V
	输出电压（新芯片，DCY）	-0.3	7	V
	输出电压（新芯片，DCQ 和 KTT）	-0.3	20	V
	输入输出压差（旧芯片）	-20	20	V
	输入输出压差（新芯片）	-7.0	20	V
	检测电压（旧芯片）	-20	20	V
	检测电压（新芯片）	-0.3	7	V
	ADJ 电压（旧芯片）	-7	7	V
	ADJ 电压（新芯片）	-0.3	7	V
	$\overline{SHDN}$ 电压（旧芯片）	-20	20	V
	$\overline{SHDN}$ 电压（新芯片）	-0.3	20	V
输出短路持续时间，t_{SHORT}			未确定	°C
最高引线温度（10s 焊接时间），T_{LEAD}			300	°C
最高结温，T_{JMAX}（旧芯片）			125	°C
工作结温，T_J（新芯片）		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			VALUE（旧芯片）	VALUE（新芯片）	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000		V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 (2)	±1000		

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	典型值	最大值	单位
V_{IN}	输入电压	旧芯片	V_{OUT} + V_{DO}		20	V
		新芯片	2.4		20	
V_{IH}	$\overline{SHDN}$ 高电平输入电压		2		20	V
V_{IL}	$\overline{SHDN}$ 低电平输入电压				0.25	V
I_{OUT}	输出电流		0		1.5	A

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	典型值	最大值	单位
T_J	工作结温		-40		125	°C
C_{IN}	输入电容器	新芯片		1		µF
C_{OUT}	输出电容器		10			µF
$C_{OUT\ ESR}$	输出电容器 ESR（新芯片）		10m		3	Ω

(1) 在某些输出电压/负载条件下，TL1963A 可能需要更高的最小输入电压，如“电气特性”中所示。

5.4 热性能信息

热指标(1)		TL1963A-xx				单位
		KTT 5 引脚	DCQ 6 引脚	DCY 4 引脚		
				旧芯片	新芯片	
$R_{\theta JA}$	结至环境热阻，旧器件	32.9	50.5	57.9	73.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻，旧器件	37.6	31.1	38.6	44.01	°C/W
$R_{\theta JB}$	结至电路板热阻，旧器件	18.9	5.1	7.1	12.67	°C/W
ψ_{JT}	结至顶部特征参数，旧器件	5.7	1.0	1.7	3.56	°C/W
ψ_{JB}	结至电路板特征参数，旧器件	17.3	5.0	7.0	12.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻，旧器件	1.0	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性：TL1963A（DCQ、KTT 封装）

在 $V_{IN} = V_{OUT} + 1V$，$V_{EN} = 5V$，$I_{OUT} = 1mA$，$C_{OUT} = 10\mu F$，$C_{IN} = 1\mu F$ 且 $T_J = -40°C$ 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
V_{IN} 最小输入电压，旧器件	$I_{LOAD} = 0.5A$		$T_J = 25°C$		1.9		V
	$I_{LOAD} = 1.5A$		$T_J = -40°C$ 至 125°C		2.1	2.5	V
V_{IN} 最小输入电压，新芯片	$I_{LOAD} = 0.5A$		$T_J = 25°C$			2.4	V
	$I_{LOAD} = 1.5A$		$T_J = -40°C$ 至 125°C			2.4	V
$V_{UVLO\ (RISING)}$，新芯片	V_{IN} 上升，$I_{OUT} = 10mA$		$T_J = -40°C$ 至 125°C	2.0	2.2	2.3	V
$V_{UVLO\ (FALLING)}$，新芯片	V_{IN} 下降，$I_{OUT} = 10mA$		$T_J = -40°C$ 至 125°C	1.9	2.05	2.15	V
$V_{UVLO\ (HYST)}$，新芯片			$T_J = -40°C$ 至 125°C		150		mV
V_{OUT} 稳压输出电压，旧器件	TL1963A-18	$V_{IN} = 2.3V$，$I_{LOAD} = 1mA$	$T_J = 25°C$	1.773	1.8	1.827	V
		$V_{IN} = 2.8V$ 至 20V，$I_{LOAD} = 1mA$ 至 1.5A	$T_J = -40°C$ 至 125°C	1.737	1.8	1.854	V
	TL1963A-33	$V_{IN} = 3.8V$，$I_{LOAD} = 1mA$	$T_J = 25°C$	3.25	3.3	3.35	V
		$V_{IN} = 4.3V$ 至 20V，$I_{LOAD} = 1mA$ 至 1.5A	$T_J = -40°C$ 至 125°C	3.2	3.3	3.4	V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：TL1963A（DCQ、KTT 封装）（续）

在 V_{IN} = V_{OUT} + 1V，V_{EN} = 5V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{IN} = 1μF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
V_{ADJ} ADJ 引脚电压，旧器件	TL1963A	V_{IN} = 2.21V，I_{LOAD} = 1mA	T_J = 25°C	1.192	1.21	1.228	V
		V_{IN} = 2.5V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	1.174	1.21	1.246	V
V_{OUT} 稳压输出电压，新芯片	TL1963A-18	V_{IN} = 2.4V，I_{LOAD} = 1mA	T_J = 25°C	1.782	1.8	1.818	V
		V_{IN} = 2.8V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	1.773	1.8	1.827	V
	TL1963A-33	V_{IN} = 3.8V，I_{LOAD} = 1mA	T_J = 25°C	3.284	3.3	3.316	V
		V_{IN} = 4.3V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	3.25	3.3	3.35	V
V_{ADJ} ADJ 引脚电压，新芯片	TL1963A	V_{IN} = 2.4V，I_{LOAD} = 1mA	T_J = 25°C	1.204	1.21	1.216	V
		V_{IN} = 2.4V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	1.192	1.21	1.228	V
线路调整率，旧器件	TL1963A-18	ΔV_{IN} = 2.3V 至 20V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V 至 20V，I_{LOAD} = 1mA			3.5	10	mV
	TL1963A	ΔV_{IN} = 2.21V 至 20V，I_{LOAD} = 1mA			1.5	5	mV
线路调整率，新芯片	TL1963A-18	ΔV_{IN} = 2.4V 至 10V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		1.25	7	mV
		ΔV_{IN} = 2.4V 至 20V，I_{LOAD} = 1mA			2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V 至 10V，I_{LOAD} = 1mA			2.0	10	mV
		ΔV_{IN} = 3.8V 至 20V，I_{LOAD} = 1mA			2.5	10	mV
	TL1963A	ΔV_{IN} = 2.4V 至 10V，I_{LOAD} = 1mA			1.0	5	mV
		ΔV_{IN} = 2.4V 至 20V，I_{LOAD} = 1mA			1.0	5	mV
负载调整率，旧器件	TL1963A-18	V_{IN} = 2.8V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		2	10	mV
			T_J = –40°C 至 125°C			20	mV
	TL1963A-33	V_{IN} = 4.3V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		3	20	mV
			T_J = –40°C 至 125°C			70	mV
	TL1963A	V_{IN} = 2.5V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		2	8	mV
			T_J = –40°C 至 125°C			18	mV

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：TL1963A（DCQ、KTT 封装）（续）

在 V_{IN} = V_{OUT} + 1V，V_{EN} = 5V，I_{OUT} = 1mA，C_{OUT} = 10µF，C_{IN} = 1µF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
负载调整率，新芯片	TL1963A-18	V_{IN} = 2.8V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C			3.5	mV
			T_J = -40°C 至 125°C			9	mV
	TL1963A-33	V_{IN} = 4.3V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C			6.5	mV
			T_J = -40°C 至 125°C			16.5	mV
	TL1963A	V_{IN} = 2.4V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C			2.5	mV
			T_J = -40°C 至 125°C			6	mV
		V_{IN} = 2.4V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	-0.5		0.5	%
V_{DO} 压降电压	TL1963A：V_{IN} ⩾ 2.4V，V_{ADJ} = 0.9 × V_{REF} TL1963A-33：V_{IN} = 3.3V	I_{LOAD} = 1mA	T_J = 25°C		0.0015	0.06	V
			T_J = -40°C 至 125°C			0.1	V
		I_{LOAD} = 100mA	T_J = 25°C		0.025	0.17	V
			T_J = -40°C 至 125°C			0.22	V
		I_{LOAD} = 500mA	T_J = 25°C		0.12	0.27	V
			T_J = -40°C 至 125°C			0.35	V
		I_{LOAD} = 1.5A	T_J = 25°C		0.34	0.45	V
			T_J = -40°C 至 125°C			0.55	V
I_{GND} GND 引脚电流，V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1，旧器件	I_{LOAD} = 0mA		T_J = –40°C 至 125°C		1	1.5	mA
	I_{LOAD} = 1mA				1.1	1.6	mA
	I_{LOAD} = 100mA				3.8	5.5	mA
	I_{LOAD} = 500mA				15	25	mA
	I_{LOAD} = 1.5A				80	120	mA
I_{GND} GND 引脚电流，V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1，新器件	I_{LOAD} = 0A		T_J = -40°C 至 125°C			1.2	mA
	I_{LOAD} = 1mA					1.2	mA
	I_{LOAD} = 100mA					1.2	mA
	I_{LOAD} = 500mA					1.2	mA
	I_{LOAD} = 1.5A					1.25	mA
e_N 输出电压噪声，旧器件	C_{OUT} = 10µF，I_{LOAD} = 1.5A，B_W = 10Hz 至 100kHz，V_{OUT} = V_{ADJ}		T_J = 25°C		14		μV_{RMS}
e_N 输出电压噪声，新芯片	C_{OUT} = 10µF，I_{LOAD} = 1.5A，B_W = 10Hz 至 100kHz，V_{OUT} = V_{ADJ}		T_J = 25°C		23		μV_{RMS}
I_{ADJ} ADJ 引脚偏置电流			T_J = 25°C		3	10	µA
关断阈值	V_{OUT} = 关断至导通		T_J = -40°C 至 125°C		0.9	2	V
	V_{OUT} = 导通至关断			0.25	0.75		V
I_{SHDN} SHDN 引脚电流	V_{SHDN} = 0V		T_J = 25°C		0.01	1	µA
	V_{SHDN} = 20V				3	30	µA
关断时的 $I_{Q\ SHDN}$ 静态电流，旧器件	V_{IN} = 6V，V_{SHDN} = 0V		T_J = 25°C		0.01	1	µA

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：TL1963A（DCQ、KTT 封装）（续）

在 V_{IN} = V_{OUT} + 1V，V_{EN} = 5V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{IN} = 1μF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
关断时的 $I_{Q\ SHDN}$ 静态电流，新芯片	V_{IN} = 6V，V_{SHDN} = 0V		T_J = 25°C			1.5	μA
纹波抑制，旧芯片	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A	T_J = 25°C	55	63		dB
纹波抑制，新芯片	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A		T_J = 25°C	53	60		dB
I_{LIMIT} 电流限制，旧器件	V_{IN} = 7V，V_{OUT} = 0V		T_J = 25°C		2		A
	V_{IN} = $V_{OUT(NOMINAL)}$ + 1V		T_J = -40°C 至 125°C	1.6			A
I_{LIMIT} 电流限制，新芯片	V_{OUT} 强制为 0.9 * $V_{OUT\ (NOMINAL)}$		T_J = 25°C		2		A
I_{LIMIT} 电流限制，新芯片			T_J = -40°C 至 125°C	1.6			A
I_{IL} 输入反向泄漏电流，旧器件	V_{IN} = -20V，V_{OUT} = 0V		T_J = -40°C 至 125°C			1	μA
I_{RO} 反向输出电流，旧器件	TL1963A-15	V_{OUT} = 1.5V，V_{IN} < 1.5V	T_J = 25°C		600	1200	μA
I_{RO} 反向输出电流，旧器件	TL1963A-25	V_{OUT} = 2.5V，V_{IN} < 2.5V	T_J = 25°C		600	1200	μA
I_{RO} 反向输出电流，旧器件	TL1963A-18	V_{OUT} = 1.8V，V_{IN} < 1.8V	T_J = 25°C		600	1200	μA
	TL1963A-33	V_{OUT} = 3.3V，V_{IN} < 3.3V			600	1200	μA
	TL1963A	V_{OUT} = 1.21V，V_{IN} < 1.21V			300	600	μA
$I_{RC\ (Steady\ State)}$，新芯片	稳态反向电流	V_{OUT}=7V，V_{IN}=2.4V	T_J = -40°C 至 125°C			250	μA
I_R，新芯片	反向电流检测	V_{OUT} 上升，V_{IN} = 6V 条件下，检测到反向电流并触发保护时的 VOUT – VIN	T_J = -40°C 至 125°C		25		mV
I_R，新芯片	反向电流保护响应时间	V_{IN} = 6V，V_{OUT} 上升，V_{OUT} - V_{IN} = 300mV	T_J = -40°C 至 125°C		5		μS
T_{SD+}	热关断升温			150	161		°C
T_{SD-}	热关断降温			130	141		°C

5.6 电气特性：TL1963A（DCY 封装）

在 V_{IN} = V_{OUT} + 1V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{IN} = 1μF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件	T_J	最小值	典型值	最大值	单位
V_{IN} 最小输入电压，旧器件	I_{LOAD} = 0.5A	T_J = 25°C		1.9		V
	I_{LOAD} = 1.5A	T_J = -40°C 至 125°C		2.1	2.5	V
V_{IN} 最小输入电压，新芯片	I_{LOAD} = 0.5A	T_J = 25°C			2.4	V
	I_{LOAD} = 1.5A	T_J = -40°C 至 125°C			2.4	V
$V_{UVLO\ (RISING)}$，新芯片	V_{IN} 上升，I_{OUT} = 10mA	T_J = -40°C 至 125°C	2	2.2	2.3	V
$V_{UVLO\ (FALLING)}$，新芯片	V_{IN} 下降，I_{OUT} = 10mA	T_J = -40°C 至 125°C	1.85	2.05	2.15	V

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性：TL1963A（DCY 封装）（续）

在 V_{IN} = V_{OUT} + 1V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{IN} = 1μF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
$V_{UVLO\ (HYST)}$，新芯片			T_J = -40°C 至 125°C		150		mV
V_{OUT} 稳压输出电压，旧器件	TL1963A-18	V_{IN} = 2.3V，I_{LOAD} = 1mA	T_J = 25°C	1.773	1.8	1.827	V
		V_{IN} = 2.8V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	1.737	1.8	1.854	V
	TL1963A-33	V_{IN} = 3.8V，I_{LOAD} = 1mA	T_J = 25°C	3.25	3.3	3.35	V
		V_{IN} = 4.3V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	3.2	3.3	3.4	V
V_{OUT} 稳压输出电压，新芯片，DCY 封装	TL1963A-18	V_{IN} = 2.4V，I_{LOAD} = 1mA	T_J = 25°C	1.77	1.8	1.836	V
		V_{IN} = 2.8V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	1.764	1.8	1.854	V
	TL1963A-33	V_{IN} = 3.8V，I_{LOAD} = 1mA	T_J = 25°C	3.246	3.3	3.37	V
		V_{IN} = 4.3V 至 20V，I_{LOAD} = 1mA 至 1.5A	T_J = -40°C 至 125°C	3.234	3.3	3.4	V
线路调整率，旧器件	TL1963A-18	ΔV_{IN} = 2.3V 至 20V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		2.5	7	mV
	TL1963A-33	ΔV_{IN} = 3.8V 至 20V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		3.5	10	mV
线路调整率，新芯片	TL1963A-18	ΔV_{IN} = 2.4V 至 10V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		0.25	1.2	mV
		ΔV_{IN} = 2.4V 至 20V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		4.5	6	mV
	TL1963A-33	ΔV_{IN} = 3.8V 至 10V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		0.35	1.65	mV
		ΔV_{IN} = 3.8V 至 20V，I_{LOAD} = 1mA	T_J = -40°C 至 125°C		7.5	11.55	mV
负载调整率，旧器件	TL1963A-18	V_{IN} = 2.8V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		2	10	mV
			T_J = –40°C 至 125°C			20	mV
	TL1963A-33	V_{IN} = 4.3V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		3	20	mV
			T_J = –40°C 至 125°C			70	mV
负载调整率，新芯片，DCY 封装	TL1963A-18	V_{IN} = 2.8V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		1.0	1.8	mV
		V_{IN} = 2.8V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = –40°C 至 125°C			2.4	mV
	TL1963A-33	V_{IN} = 4.3V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = 25°C		1.2	2.5	mV
		V_{IN} = 4.3V，ΔI_{LOAD} = 1mA 至 1.5A	T_J = –40°C 至 125°C			3.3	mV

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性：TL1963A（DCY 封装）（续）

在 V_{IN} = V_{OUT} + 1V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{IN} = 1μF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
V_{DO} 压降电压	TL1963A-33：V_{IN} = 3.3V	I_{LOAD} = 1mA	T_J = 25°C		0.002	0.005	V
			T_J = -40°C 至 125°C			0.007	V
		I_{LOAD} = 100mA	T_J = 25°C		0.022	0.027	V
			T_J = -40°C 至 125°C			0.036	V
		I_{LOAD} = 500mA	T_J = 25°C		0.12	0.13	V
			T_J = -40°C 至 125°C			0.18	V
		I_{LOAD} = 1.5A	T_J = 25°C		0.34	0.40	V
			T_J = -40°C 至 125°C			0.53	V
I_{GND} GND 引脚电流，V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1，旧器件	I_{LOAD} = 0mA		T_J = –40°C 至 125°C		1	1.5	mA
	I_{LOAD} = 1mA		T_J = –40°C 至 125°C		1.1	1.6	mA
	I_{LOAD} = 100mA		T_J = -40°C 至 125°C		3.8	5.5	mA
	I_{LOAD} = 500mA		T_J = -40°C 至 125°C		15	25	mA
	I_{LOAD} = 1.5A		T_J = -40°C 至 125°C		80	120	mA
I_{GND} GND 引脚电流，V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1，新器件	I_{LOAD} = 0A		T_J = -40°C 至 125°C			1.1	mA
	I_{LOAD} = 1mA		T_J = -40°C 至 125°C			1.1	mA
	I_{LOAD} = 100mA		T_J = -40°C 至 125°C			1.1	mA
	I_{LOAD} = 500mA		T_J = -40°C 至 125°C			1.1	mA
	I_{LOAD} = 1.5A		T_J = -40°C 至 125°C			1.1	mA
e_N 输出电压噪声，旧器件	C_{OUT} = 10μF，I_{LOAD} = 1.5A，B_W = 10Hz 至 100kHz，V_{OUT} = V_{ADJ}		T_J = 25°C		14		μV_{RMS}
e_N 输出电压噪声，新芯片	C_{OUT} = 10μF，I_{LOAD} = 1.5A，B_W = 10Hz 至 100kHz，V_{OUT} = V_{ADJ}		T_J = 25°C		23		μV_{RMS}
纹波抑制，旧器件	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A	T_J = 25°C	55	63		dB
纹波抑制，新芯片	V_{IN} - V_{OUT} = 1.5V（平均值），V_{RIPPLE} = 0.5V_{P-P}，f_{RIPPLE} = 120Hz，I_{LOAD} = 0.75A		T_J = 25°C	53	60		dB
I_{LIMIT} 电流限制，旧器件	V_{IN} = 7V，V_{OUT} = 0V		T_J = 25°C		2		A
	V_{IN} = $V_{OUT\ (NOMINAL)}$ + 1		T_J = -40°C 至 125°C	1.6			A
I_{LIMIT} 电流限制，新芯片	V_{OUT} 强制为 0.9 × $V_{OUT\ (NOMINAL)}$		T_J = 25°C		2.2		A
			T_J = -40°C 至 125°C	1.65		2.75	A

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性：TL1963A（DCY 封装）（续）

在 V_{IN} = V_{OUT} + 1V，I_{OUT} = 1mA，C_{OUT} = 10µF，C_{IN} = 1µF 且 T_J = -40°C 至 125°C 的条件下规定（除非另有说明）

参数	测试条件		T_J	最小值	典型值	最大值	单位
I_{IL} 输入反向泄漏电流，旧器件	V_{IN} = -20V，V_{OUT} = 0V		T_J = -40°C 至 125°C			1	µA
I_{RO} 反向输出电流，旧器件	TL1963A-15	V_{OUT} = 1.5V，V_{IN} < 1.5V	T_J = 25°C		600	1200	µA
I_{RO} 反向输出电流，旧器件	TL1963A-25	V_{OUT} = 2.5V，V_{IN} < 2.5V	T_J = 25°C		600	1200	µA
I_{RO} 反向输出电流，旧器件	TL1963A-18	V_{OUT} = 1.8V，V_{IN} < 1.8V	T_J = 25°C		600	1200	µA
	TL1963A-33	V_{OUT} = 3.3V，V_{IN} < 3.3V	T_J = 25°C		600	1200	µA
$I_{R\ (Steady\ State)}$，新芯片	V_{IN} 下的反向电流	V_{IN} = 0V，V_{OUT} ≤ 7V	T_J = -40°C 至 125°C			10	µA
I_R，新芯片	反向电流检测	V_{OUT} 上升，V_{IN} = 6V 条件下，检测到反向电流并触发保护时的 V_{OUT} – V_{IN}	T_J = -40°C 至 125°C		25		mV
I_R，新芯片	反向电流保护响应时间	V_{IN} = 6V，V_{OUT} 上升，V_{OUT} - V_{IN} = 300mV	T_J = -40°C 至 125°C		5		µS
T_{SD+}	热关断升温			150	161		°C
T_{SD-}	热关断降温			130	141		°C

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

在工作温度 T_J = 25°C，V_{IN} = $V_{OUT(NOM)}$ + 1.0V 或 2.4V（以较大者为准），I_{OUT} = 1mA，C_{IN} = 10µF 且 C_{OUT} = 10µF 的条件下（除非另有说明）。

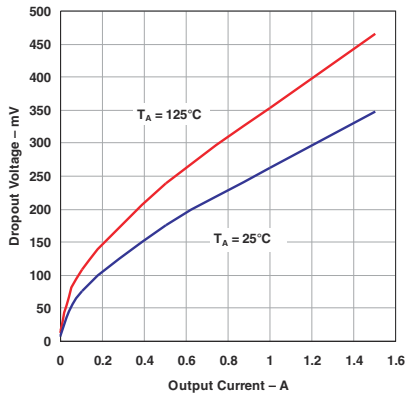


图 5-1. 压降电压与输出电流之间的关系（旧芯片）

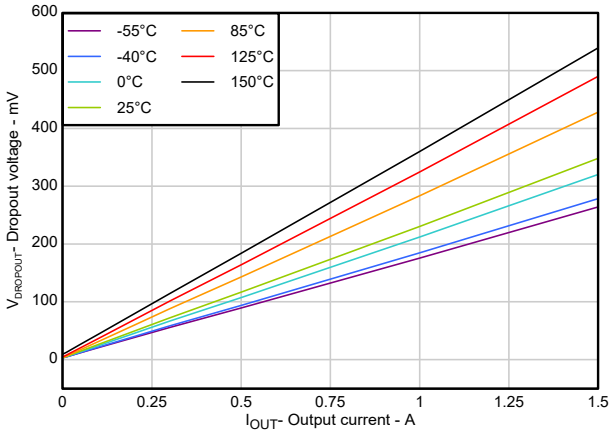


图 5-2. 压降电压与输出电流间的关系（新芯片）

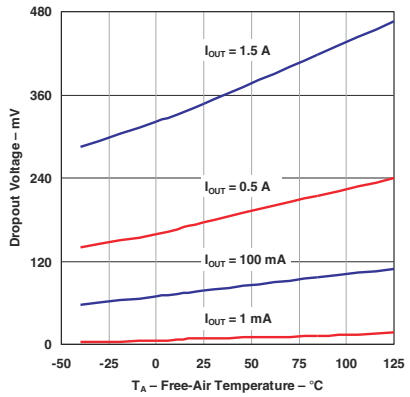
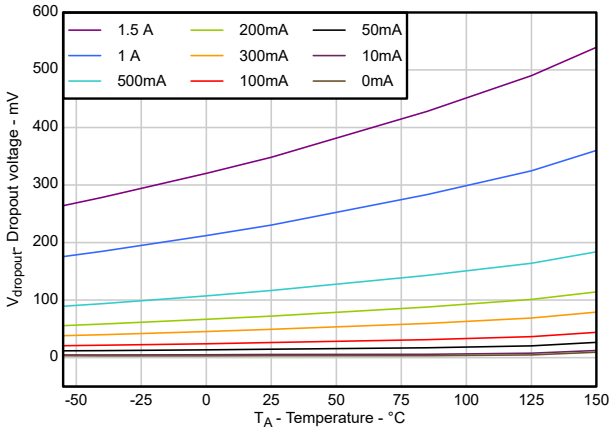
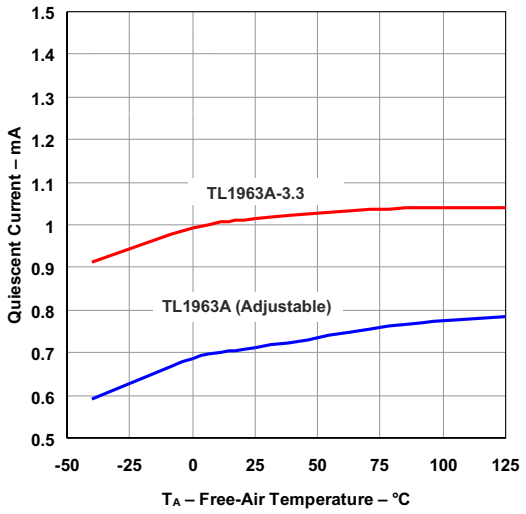


图 5-3. 压降电压与温度之间的关系（旧芯片）



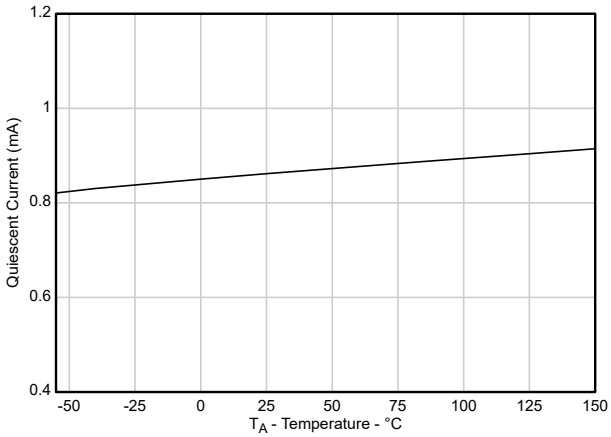
对于 TL1963A-3.3
(V_{OUT} = 3.3V)

图 5-4. 压降电压与温度间的关系（新芯片）



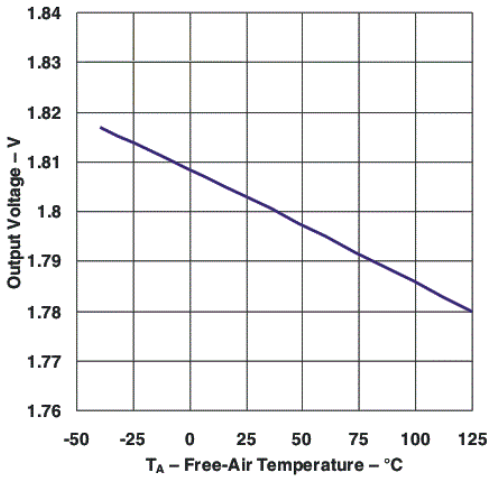
V_{IN} = 6V I_{OUT} = 0A V_{SHDN} = VIN

图 5-5. 静态电流与温度间的关系（旧芯片）



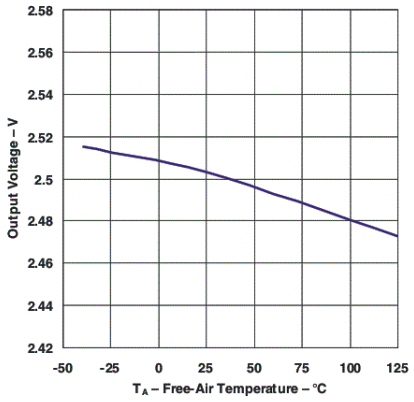
TL1963A-3.3 (V_{OUT} = 3.3V) I_{OUT} = 0A

图 5-6. 静态电流与温度间的关系（新芯片）



I_{OUT} = 1mA TL1963A-18

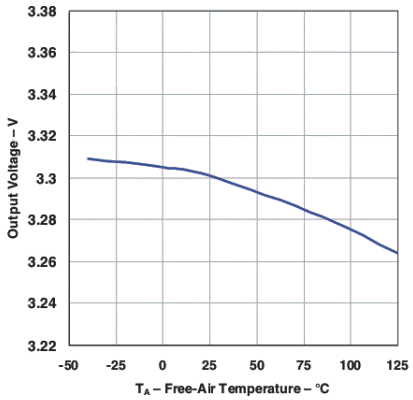
图 5-7. TL1963A-18 输出电压与温度间的关系（旧芯片）



I_{OUT} = 1mA TL1963A-25

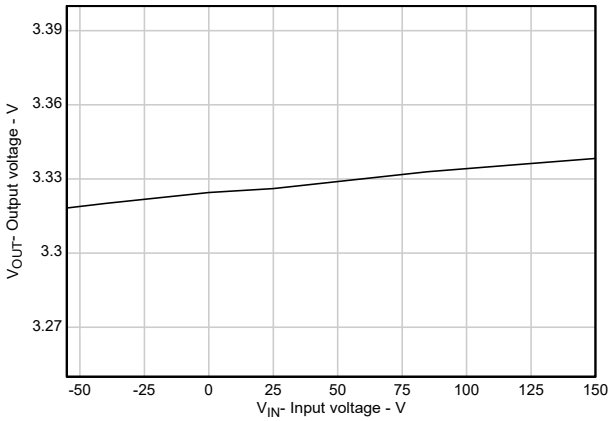
图 5-8. TL1963A-25 输出电压与温度间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated



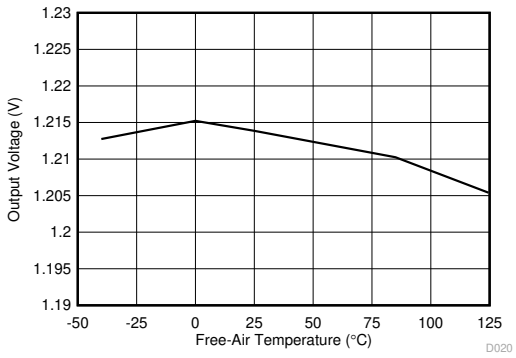
I_{OUT} = 1mA TL1963A-33

图 5-9. TL1963A-33 输出电压与温度间的关系（旧芯片）



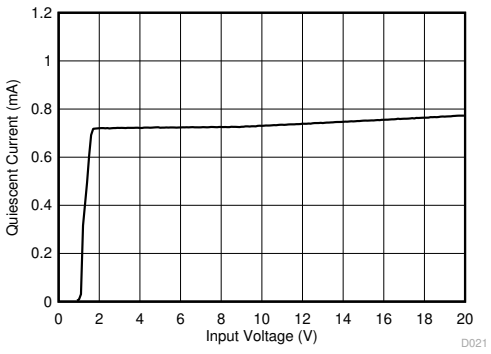
I_{OUT} = 1mA TL1963A-33

图 5-10. TL1963A-33 输出电压与温度间的关系（新芯片）



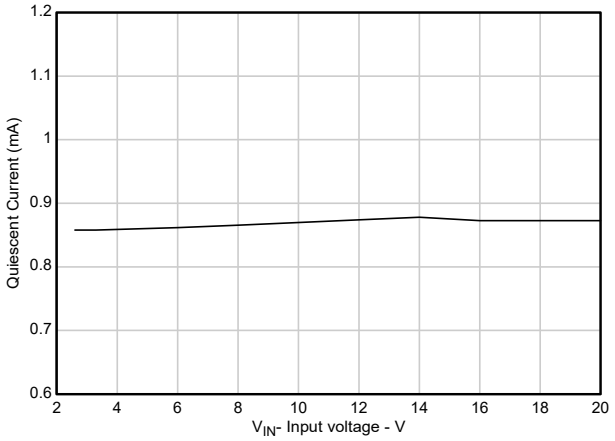
I_{OUT} = 1mA V_{IN} = 6V

图 5-11. TL1963A 输出电压与温度间的关系（旧芯片）



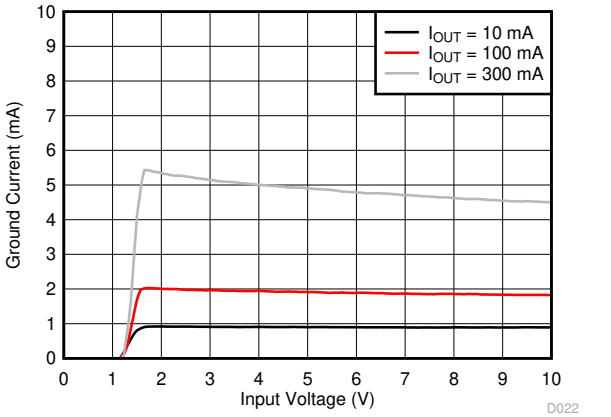
T_J = 25°C R_{OUT} = 4.3kΩ V_{SHDN} = V_{IN}

图 5-12. 静态电流与输入电压之间的关系（旧芯片）



T_J = 25°C R_{OUT} = 4.3kΩ V_{SHDN} = V_{IN}

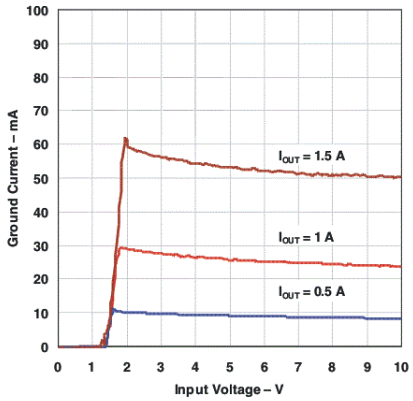
图 5-13. 静态电流与输入电压之间的关系（新芯片）



T_J = 25°C V_{OUT} = 1.21V V_{SHDN} = V_{IN}

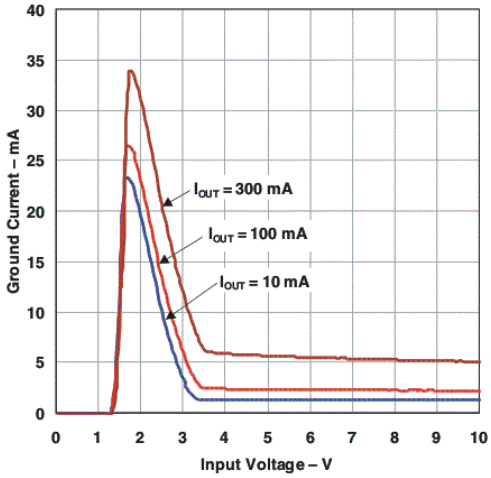
图 5-14. TL1963A 接地电流与输入电压间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated



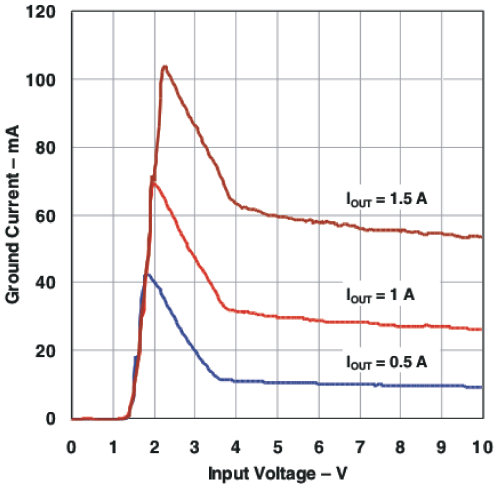
T_J = 25°C V_{OUT} = 1.21V V_{SHDN} = V_{IN}

图 5-15. TL1963A 接地电流与输入电压间的关系（旧芯片）



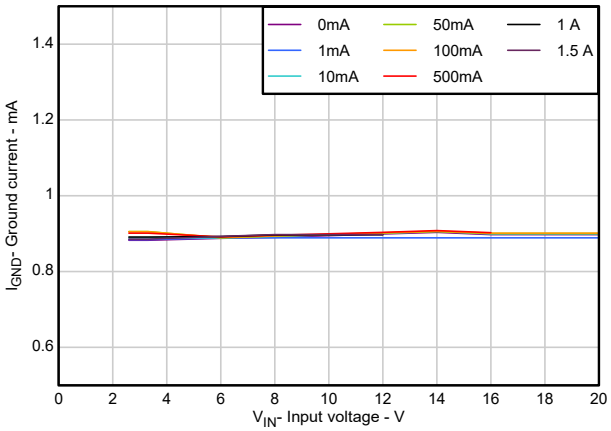
T_J = 25°C V_{SHDN} = V_{IN}

图 5-16. TL1963A-33 接地电流与输入电压间的关系（旧芯片）



T_J = 25°C V_{SHDN} = V_{IN}

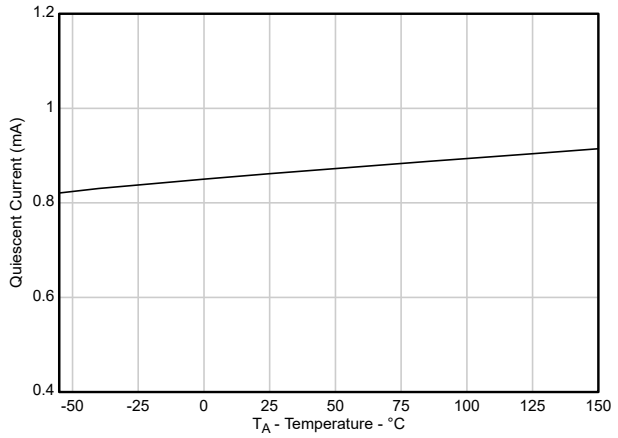
图 5-17. TL1963A-33 接地电流与输入电压间的关系（旧芯片）



T_J = 25°C V_{SHDN} = V_{IN}

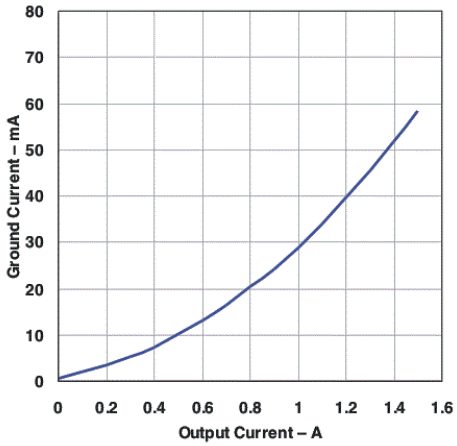
图 5-18. TL1963A-33 接地电流与输入电压间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated



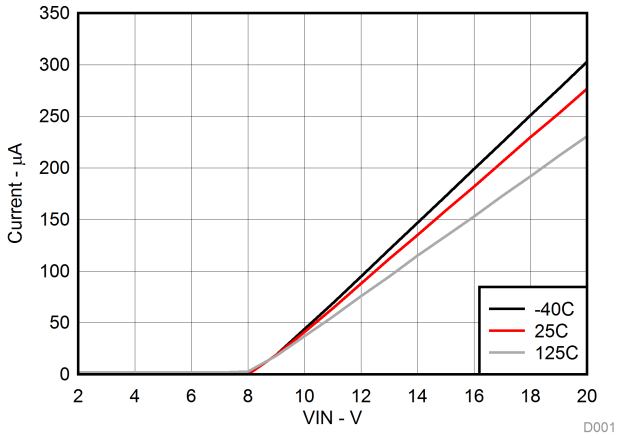
T_J = 25°C V_{SHDN} = V_{IN}

图 5-19. TL1963A-33 静态电流与温度间的关系（新芯片）



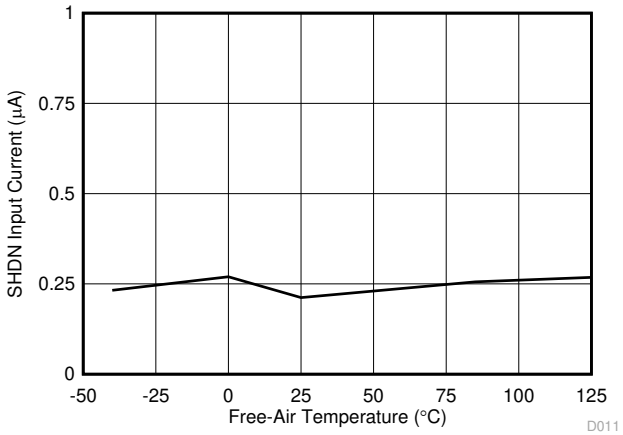
V_{IN} = V_{OUT}(nom) + 1

图 5-20. 接地电流与输出电流间的关系（旧芯片）



V_{SHDN} = 0V

图 5-21. 关断状态下的静态电流与输入电压间的关系（旧芯片）



V_{SHON} = 0V

图 5-22. $\overline{SHDN}$ 引脚电流 (I_{SHDN}) 与温度间的关系（旧芯片）

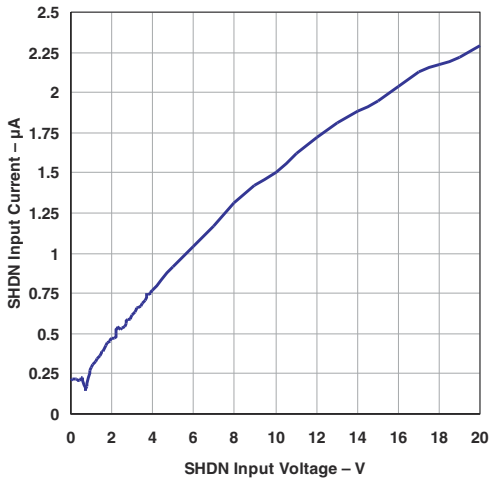
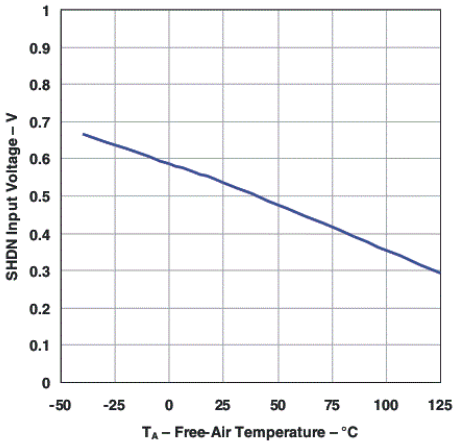
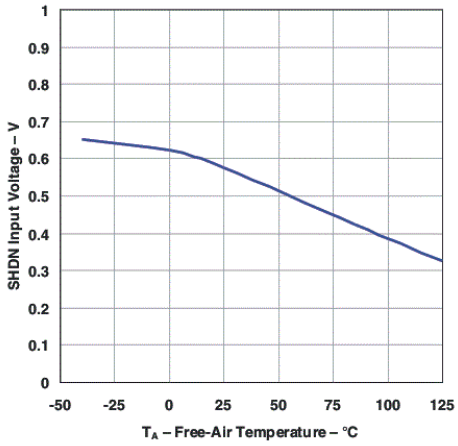


图 5-23. $\overline{SHDN}$ 引脚电流 (I_{SHDN}) 与 $\overline{SHDN}$ 输入电压间的关系（旧芯片）



I_{OUT} = 1mA

图 5-24. $\overline{SHDN}$ 阈值（关断至导通）与温度间的关系（旧芯片）



I_{OUT} = 1mA

图 5-25. $\overline{SHDN}$ 阈值（导通至关断）与温度间的关系（旧芯片）

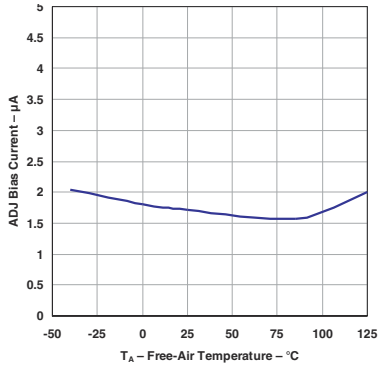
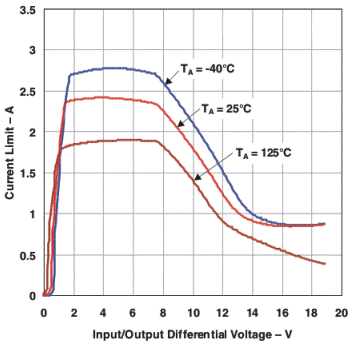


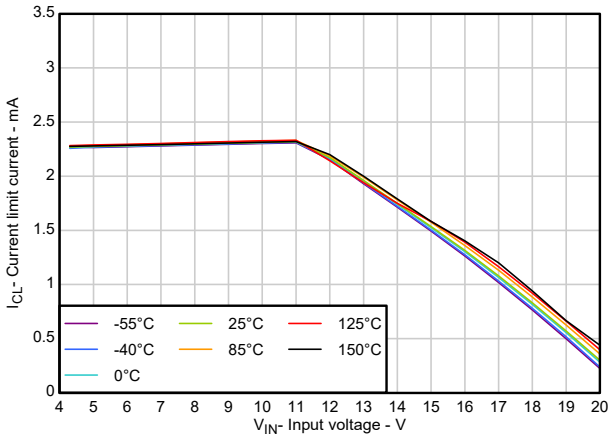
图 5-26. ADJ 偏置电流与温度间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated



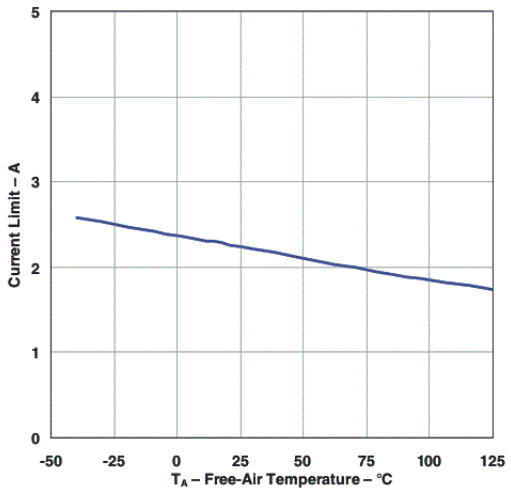
ΔV_{OUT} = 100mV

图 5-27. 电流限制与输入输出压差间的关系（旧芯片）



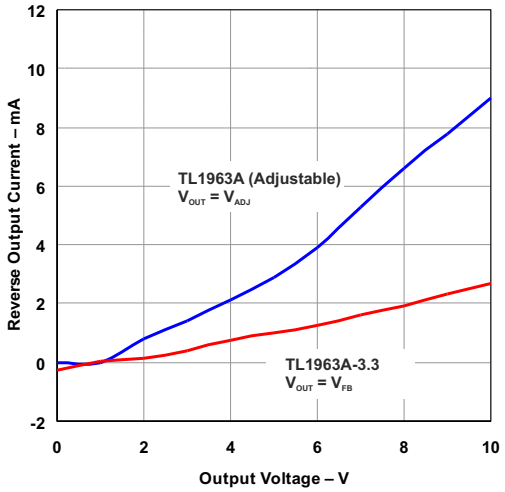
ΔV_{OUT} = 100mV

图 5-28. 电流限制与输入输出压差间的关系（新芯片）



V_{IN} = 7V V_{OUT} = 0V

图 5-29. 电流限制与温度间的关系（旧芯片）

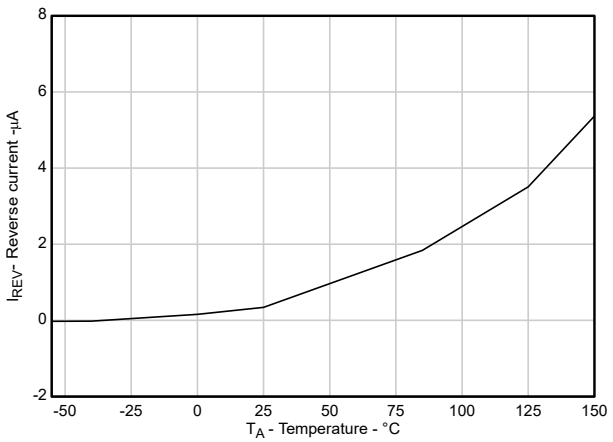


T_J = 25°C V_{IN} = 0V

电流流入 OUT 引脚

图 5-30. 反向输出电流与输出电压间的关系（旧芯片）

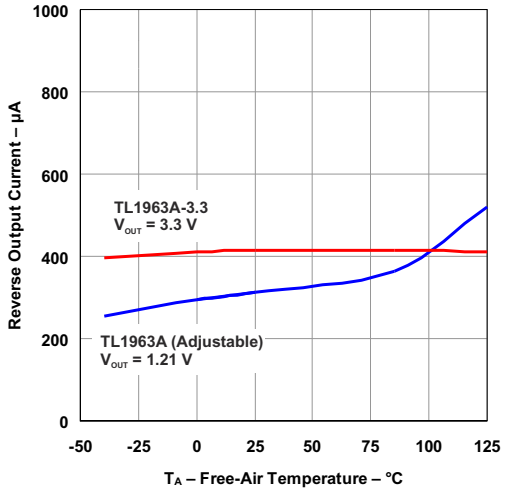
Copyright © 2026 Texas Instruments Incorporated



T_J = 25°C V_{IN} = 0V

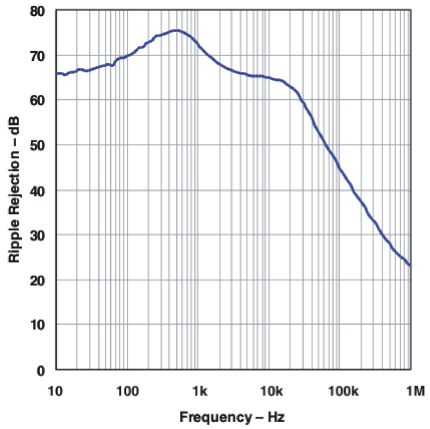
电流流入 OUT 引脚

图 5-31. 反向输出电流与温度间的关系（新芯片）



V_{IN} = 0V

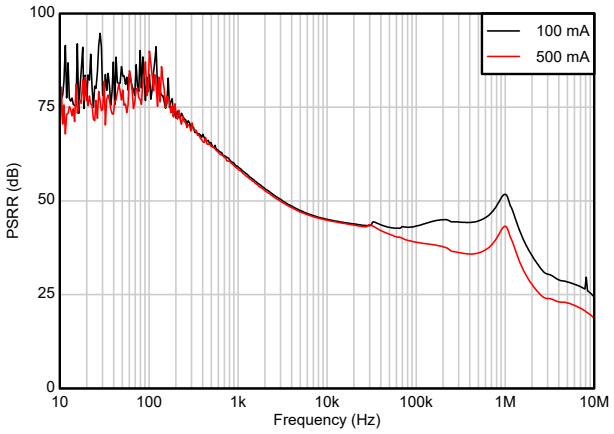
图 5-32. 反向输出电流与温度间的关系（旧芯片）



V_{RIPPLE} = 0.05V_{PP} C_{IN} = 0 T_A = 25°C

V_{IN} = 2.7V C_{OUT} = 10µF（陶瓷）

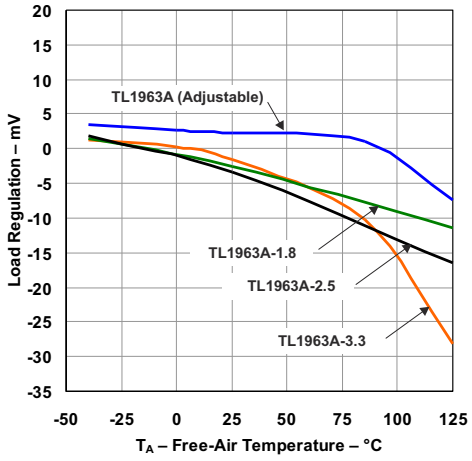
图 5-33. 纹波抑制与频率之间的关系（旧芯片）



C_{OUT} = 10µF（陶瓷） V_{IN} = 4.3V，V_{OUT} = 3.3V

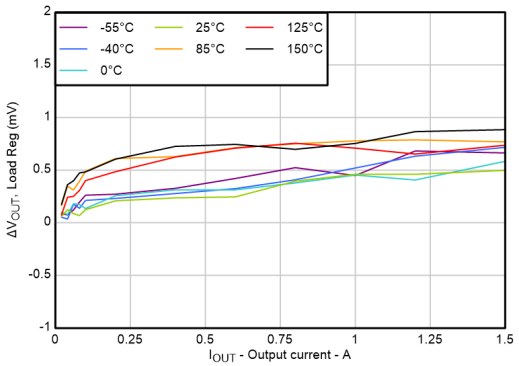
图 5-34. 纹波抑制与频率间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated



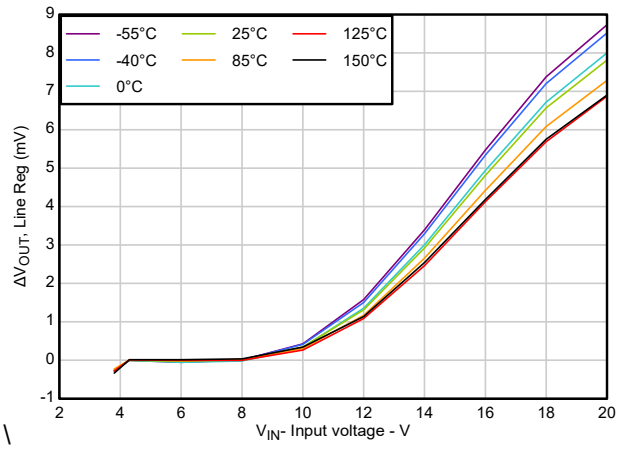
I_{OUT} = 1mA 至 1.5A

图 5-35. 负载调整率与温度间的关系（旧芯片）



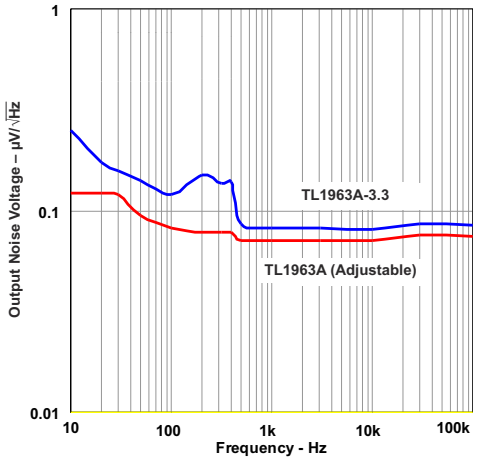
I_{OUT} = 1mA 至 1.5A

图 5-36. 负载调整率与温度间的关系（新芯片）



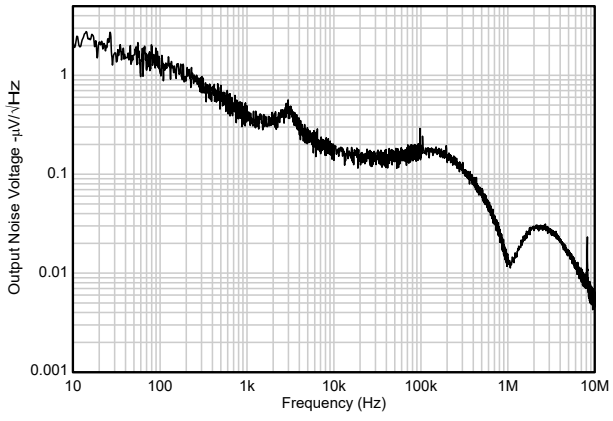
V_{IN} = 2.8V 至 20V

图 5-37. 线性调整率与温度间的关系（新芯片）



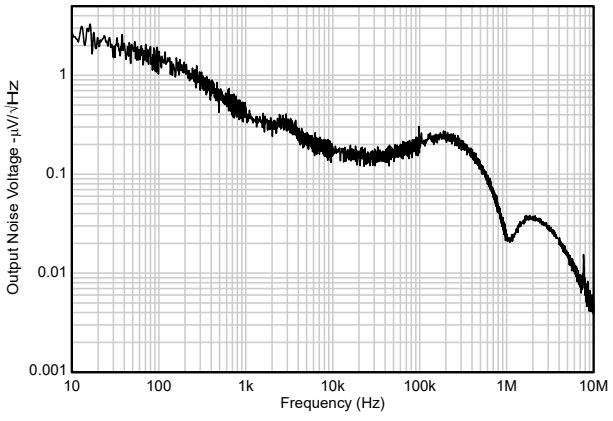
C_{OUT} = 10μF（陶瓷）　I_{OUT} = 1.5A

图 5-38. 输出噪声电压与频率间的关系（旧芯片）



C_{OUT} = 10μF（陶瓷）　I_{OUT} = 0.3A

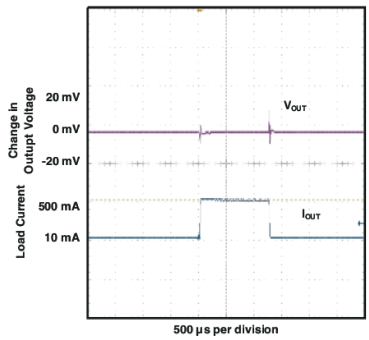
图 5-39. 输出噪声电压与频率间的关系（新芯片）



C_{OUT} = 10μF（陶瓷）　I_{OUT} = 1.5A

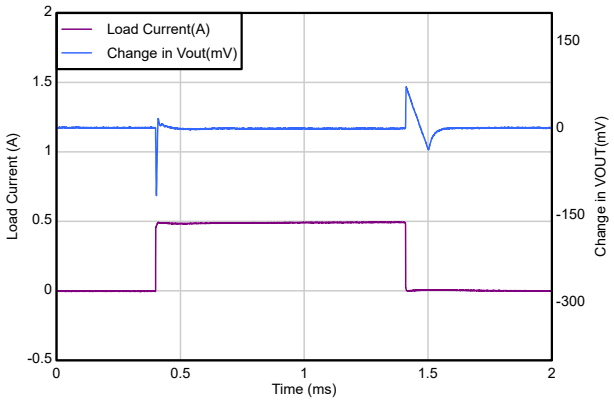
图 5-40. 输出噪声电压与频率间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated



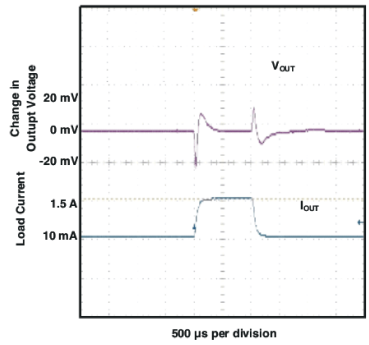
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 5-41. 负载瞬态响应（旧芯片）



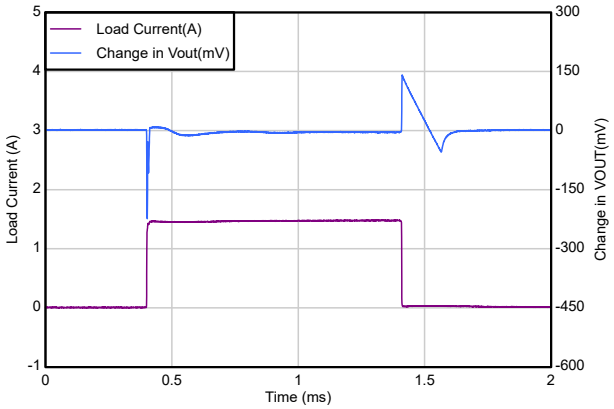
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 5-42. 负载瞬态响应（新芯片）



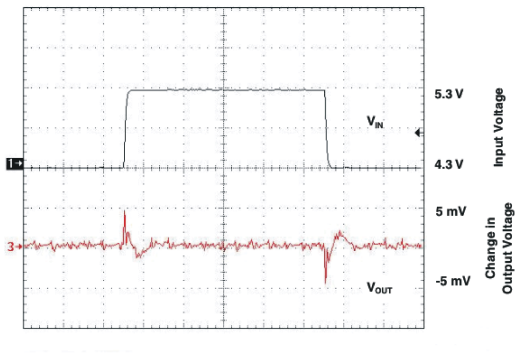
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 5-43. 负载瞬态响应（旧芯片）



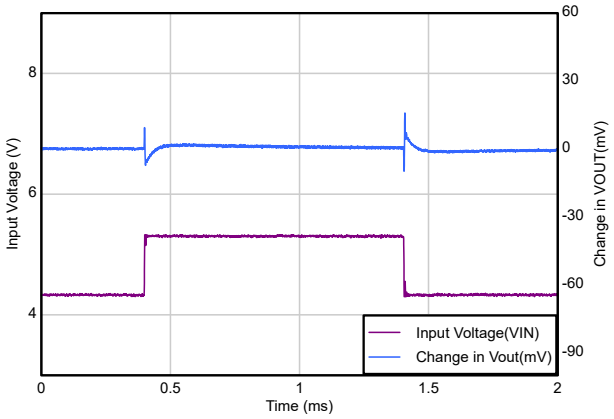
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 5-44. 负载瞬态响应（新芯片）



I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

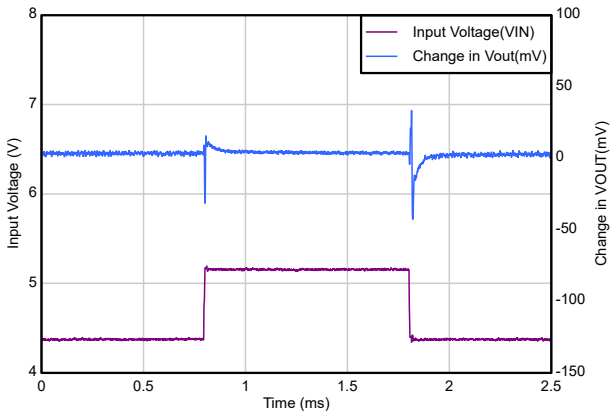
图 5-45. 线路瞬态响应（旧芯片）



I_{OUT} = 0.3A C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 5-46. 线路瞬态响应（旧芯片）

Copyright © 2026 Texas Instruments Incorporated



I_{OUT} = 1.5A C_{IN} = 10µF

C_{OUT} = 10µF（陶瓷）

图 5-47. 线路瞬态响应（旧芯片）

6 详细说明

6.1 概述

TL1963A-xx 系列是针对快速瞬态响应进行了优化的 1.5A 低压降稳压器。这些器件可提供 1.5A 输出电流，压降为 340mV（典型值），并在可调节配置下支持宽输出范围（1.21V 至 20V）。极低的压降、更宽的输出范围以及快速的瞬态性能，使这些器件成为为各种功耗敏感型应用供电的绝佳选择。除了低静态电流外，TL1963A-xx 稳压器（包括旧芯片和新芯片）还具有多种保护特性，例如过流、过温（热关断）和反向电流保护。在电池备用应用中，当输入被拉至接地、由备用电池维持输出时，TL1963A-xx 的表现如同在输出端串联了一个二极管，可防止反向电流流动。TL1963A-xx 的旧芯片也具有反向电池保护功能。

6.2 功能方框图

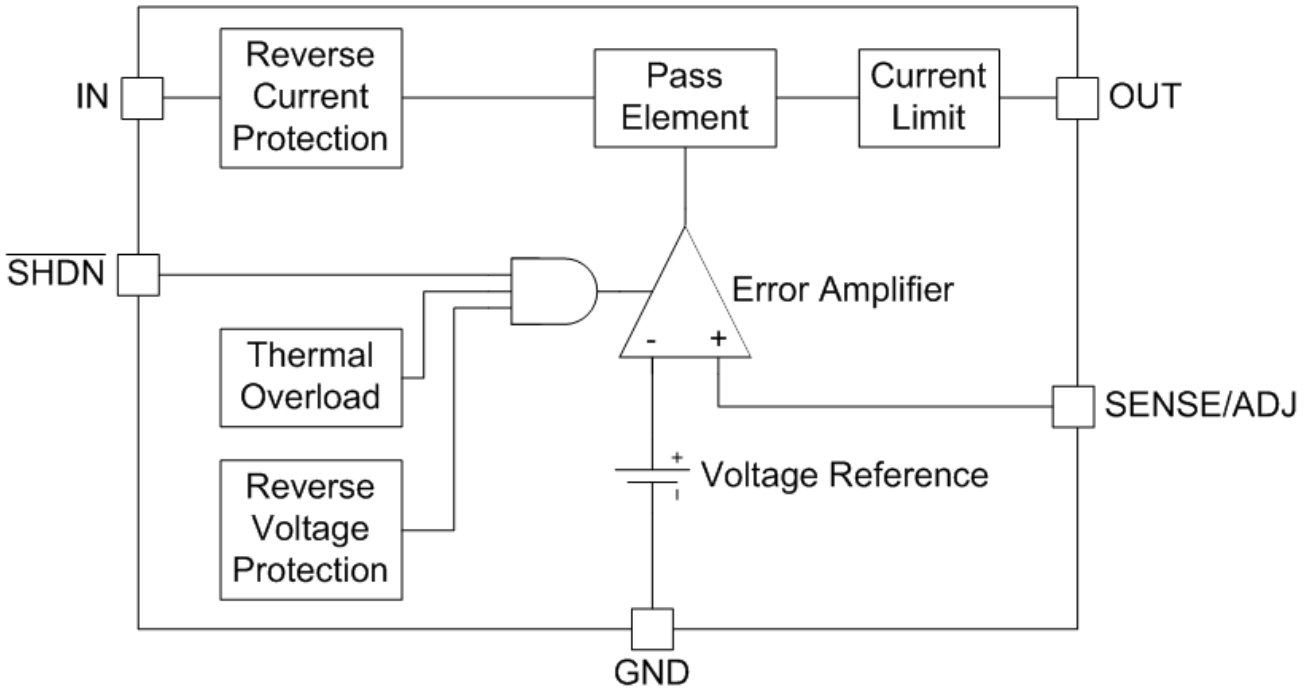


图 6-1. 功能方框图

6.3 特性说明

6.3.1 SHDN

器件的 $\overline{SHDN}$ 引脚为高电平有效引脚。当 $\overline{SHDN}$ 引脚的电压大于 $\overline{SHDN}$ 引脚的高电平输入电压（关断阈值，V_{OUT} = 关断至导通）时，输出电压被启用；当 $\overline{SHDN}$ 引脚电压小于 $\overline{SHDN}$ 引脚的低电平输入电压（关断阈值，V_{OUT} = 导通至关断）时，输出电压被禁用。*电气特性：TL1963A（DCQ、KTT 封装）* 列出了高阈值和低阈值。如果不需要独立控制输出电压，则将 $\overline{SHDN}$ 引脚连接至器件的输入端。

$\overline{SHDN}$ 引脚可由 5V 逻辑驱动，或由带上拉电阻器的开路集电极逻辑驱动。需要使用上拉电阻器来提供开路集电极门的上拉电流以及 $\overline{SHDN}$ 引脚电流，具体数值列于 *电气特性：TL1963A（DCQ、KTT 封装）* 中。$\overline{SHDN}$ 引脚还具有弱内部下拉电阻，并且当 $\overline{SHDN}$ 引脚未连接或悬空时，该器件将禁用。

6.3.2 压降电压

压降电压 (V_{DO}) 定义为在额定输出电流 (I_{RATED}) 下输入电压与输出电压之差 (V_{IN} – V_{OUT})，此时传输晶体管完全导通。I_{RATED} 是*建议运行条件* 表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电

Copyright © 2026 Texas Instruments Incorporated

压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由传输晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 欠压锁定

对于新芯片版本，TL1963A-xx 器件具有一个独立的欠压锁定 (UVLO) 电路，可监测输入电压，从而以受控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 存在内置迟滞。*电气特性：TL1963A（DCY 封装）*/*电气特性：TL1963A（DCQ、KTT 封装）* 表指定了 UVLO 限值 ($V_{UVLO(RISING)}$ 和 $V_{UVLO(FALLING)}$)。

6.3.4 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 T_{SD+}（典型值）时禁用器件。热关断迟滞可确认在温度降至 T_{SD-}（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然内部保护电路的设计可以防止热过载情况，但此电路不应替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.3.5 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{LIMIT})。*电气特性：TL1963A（DCY 封装）*/*电气特性：TL1963A（DCQ、KTT 封装）* 列出了 I_{LIMIT}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{LIMIT}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

电流限制 显示了折返电流限制图。

Copyright © 2026 Texas Instruments Incorporated

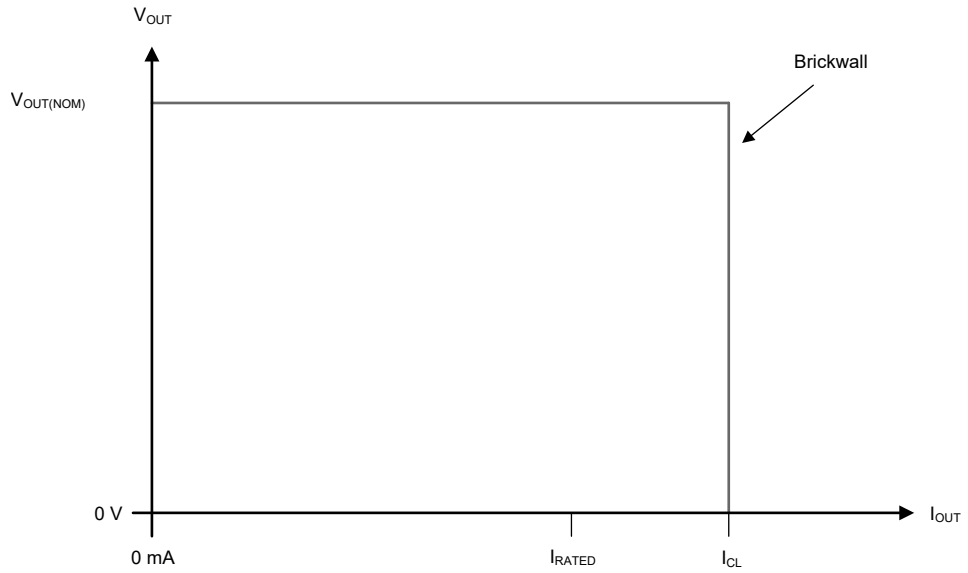


图 6-2. 电流限制

TL1963A-xx 器件还有一个内部过功率限制电路，可将 LDO 上的功率耗散约束在内部 SOA（安全工作区）限值范围内。LDO 因素在确保硅元件及封装中使用的键合线安全运行方面由 SOA 限制。这些限制可验证器件的可靠运行，并防止器件失效因过热、击穿或其他损坏效应而产生。有关详细信息，请参阅过载恢复。

6.3.6 过载恢复

与许多 IC 电源稳压器一样，TL1963A-xx 具有安全工作区保护功能。安全区保护会随着输入输出压差的增加而降低电流限制，并确保功率晶体管在所有输入输出压差值下均位于安全工作区。该保护设计在达到器件击穿电压的所有输入输出压差值下均提供一定的输出电流。

LDO 上耗散的功率 (P_{Dissip}) 由 LDO 两端的压降 (V_{IN} - V_{OUT}) 和流过 LDO 的负载电流 (I_L) 定义。

$$P_{Dissip} = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

功率限制电路可监测 LDO 上的压降（余量，V_{IN} - V_{OUT}）和流经的输出负载电流 (I_{OUT})。如果 P_{Dissip} 超过定义的 SOA 限制，则功率限制电路会限制流经的负载电流 (I_{OUT})。

首次打开电源时，随着输入电压升高，输出将随输入升高，这使得稳压器在启动时负载非常大。在启动期间，随着输入电压升高，输入输出压差很小，使稳压器能够提供较大的输出电流。在输入电压较高的情况下，如果消除输出短路后输出电压无法恢复，则会出现问题。其他稳压器也存在这种现象，因此不是 TL1963A-xx 独有的。

当输入电压较高而输出电压较低时，如果输出负载大，会出现该问题。常见的情形出现在短路刚刚消除之后，或者在输入电压已经导通后关断引脚被拉至高电平之时。此类负载的负载线可能会在两个点与输出电流曲线相交。如果发生这种情况，稳压器便存在两个稳定的输出工作点。由于这种双重交叠效应，可能需要将输入电源断电至零并重新上电，才能使输出恢复。

6.3.7 输出电压噪声

TL1963A-xx 稳压器的设计使其在满载运行时，能在 10Hz 至 100kHz 带宽内提供低输出电压噪声。对于旧芯片，TL1963A（可调节版本）在此频率带宽内的输出电压噪声典型值为 35nV/√Hz。当输出电压更高时（通过电阻分压器生成），输出电压噪声也会相应地被放大。因此，在 10Hz 至 100kHz 带宽内，旧芯片 TL1963A（可调节配置）的 RMS 噪声为 14 μV_{RMS}，TL1963A-33 则增至 38 μV_{RMS}；而新芯片 TL1963A（可调节配置）的 RMS 噪声为 23 μV_{RMS}。

Copyright © 2026 Texas Instruments Incorporated

若在电路布局和测试中不够仔细，可能测得更高的输出电压噪声值。邻近走线的串扰会在 TL1963A-xx 的输出端引入不想要的噪声。需要考虑电源纹波抑制。TL1963A-xx 稳压器并不具备无限的电源抑制能力，会将一小部分输入噪声传递到输出端。

6.3.8 保护特性

TL1963A-xx 稳压器集成了多种保护特性，使其非常适合用在电池供电电路中。除了与单片稳压器相关的普通保护特性（例如电流限制和热限制）外，这些器件的 ***旧芯片版本*** 还具备反向输入电压和反向输出电压保护。这些器件的旧芯片和新芯片版本还支持从输出端到输入端的反向电压。

电流限制保护和热过载保护旨在保护器件免受器件输出端电流过载的影响。正常工作时，结温不得超过 125°C。

6.3.8.1 仅限旧芯片

该器件的输入端可承受 20V 反向电压。流入器件的电流限制在 1mA 以下（通常低于 100 µA），且输出端不会出现负电压。该器件既能保护自身，也能保护负载。该特性提供了针对电池反接的保护。

TL1963A-xx 的输出可拉低至地电平以下而不会损坏器件。如果输入保持开路或接地，输出可拉至低于地电平 20V。对于固定电压版本，输出端表现为一个大电阻器（通常为 5kΩ 或更高），将电流限制在通常低于 600 µA 的水平。对于可调节版本，输出端表现为开路；没有电流从该引脚流出。如果输入由电压源供电，则输出端会提供器件的短路电流，并通过热限制进行自我保护。在这种情况下，将 $\overline{\text{SHDN}}$ 引脚接地会关断器件，并阻止输出端提供短路电流。

可调节器件的 ADJ 引脚可拉至高于或低于地电平最多 7V，而不会损坏器件。如果输入保持开路或接地，ADJ 引脚在拉低至地电平以下时表现为开路，在拉高至地电平以上时则表现为一个与二极管串联的大电阻器（通常为 5kΩ）。

当 ADJ 引脚连接至电阻分压器，且输出被拉高时，可能导致 ADJ 引脚电压超过其 7V 箝位电压的情况，此时必须将 ADJ 引脚的输入电流限制在 5mA 以下。例如，当输出被强制拉到 20V 时，使用电阻分压器从 1.21V 基准电压提供 1.5V 的稳压输出。必须选择分压器的上端电阻器，使得在 ADJ 引脚电压为 7V 时，流入 ADJ 引脚的电流小于 5mA。将 OUT 与 ADJ 之间的 13V 压差除以流入 ADJ 引脚的 5mA 最大电流，得出上端电阻器的最小值为 2.6kΩ。

6.3.8.2 旧芯片和新芯片

在需要备用电池的电路中，可能会出现几种不同的输入/输出情况。当输入被拉至地电平、拉至某个中间电压或保持开路时，输出电压可以得到维持。

当 TL1963A-xx 的 IN 引脚被强制拉至 OUT 引脚电平以下，或 OUT 引脚被拉至 IN 引脚电平以上时，输入电流通常会降至 2 µA 以下（仅限旧芯片）。旧芯片的 I_{RO}（反向输出电流）和新芯片的 $I_{RC(steady\ state)}$ 定义了从 OUT 引脚流入和从 GND 引脚流出的稳态电流，详见 电气特性：TL1963A（DCY 封装）表。如果器件输入端连接至电量耗尽（低电压）的电池，而输出端由备用电池或另一个稳压器电路维持，就可能出现这种情况。当输出被拉至输入电平以上时，$\overline{\text{SHDN}}$ 引脚的状态对反向输出电流没有影响。

6.4 器件功能模式

6.4.1 器件功能模式比较

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 *电气特性：TL1963A（DCY 封装）*/*电气特性：TL1963A（DCQ、KTT 封装）* 表。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	$V_{\overline{SHDN}}$（仅适用于 DCQ、KTT）	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{\overline{SHDN}} > \overline{\text{SHDN}}$ 阈值，V_{OUT} = 关断至导通	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$

表 6-1. 器件功能模式比较（续）

工作模式	参数			
	V_{IN}	$V_{\overline{SHDN}}$（仅适用于 DCQ、KTT）	I_{OUT}	T_J
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{\overline{SHDN}} >$ $\overline{SHDN}$ 阈值，V_{OUT} = 关断至导通	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{\overline{SHDN}} <$ $\overline{SHDN}$ 阈值，V_{OUT} = 导通至关断	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温大于 –40°C 且小于 +125°C
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 对于 DCQ、KTT 封装，$\overline{SHDN}$ 电压先前已高于 $\overline{SHDN}$ 导通阈值电压，但尚未降至 $\overline{SHDN}$ 关断阈值电压以下

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，$V_{IN} < V_{OUT(NOM)} + V_{DO}$，紧随正常稳压状态，但 *不包括* 启动期间）时，传输晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

6.4.4 禁用

对于 DCQ 和 KTT 封装，通过强制 $\overline{SHDN}$ 引脚的电压低于最大 $\overline{SHDN}$ 引脚关断输入电压，可以关断器件的输出（请参阅 *电气特性：TL1963A（DCQ、KTT 封装）* 表）。此外，对于新芯片中所有的 DCY、DCQ 和 KTT 封装，也可通过强制 LDO 输入低于 UVLO 阈值来关断 LDO。禁用时，传输晶体管关断，内部电路也关断，从而降低静态电流消耗。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

本部分重点介绍了在各种应用中实施该器件的一些设计注意事项。

7.1.1 输入/输出电容与瞬态响应

TL1963A-xx 稳压器的设计可确保其在使用各种输出电容器时均能保持稳定。输出电容器的 ESR 会影响稳定性，尤其是在使用小电容器时。TI 建议使用最小 10 µF、ESR 为 3 Ω 或更低的输出电容器，以防止振荡。较大的输出电容值可减小峰值偏差，并在负载电流变化较大时提供更优的瞬态响应。旁路电容（用于对 TL1963A-xx 供电的各个元件进行去耦）会增加有效的输出电容值。

使用陶瓷电容器时需格外注意。陶瓷电容器由各种各样的电介质制成，每种电介质在不同的温度和所施加电压下的特性各异。最常用的电介质包括 Z5U、Y5V、X5R 和 X7R。Z5U 和 Y5V 电介质适用于在小型封装内提供高电容值，但具有较强的电压系数和温度系数。与 5V 稳压器配合使用时，一个 10 µF 的 Y5V 电容器在整个工作温度范围内的有效值可能低至 1 µF 至 2 µF。X5R 和 X7R 电介质的特性更稳定，更适合用作输出电容器。X7R 类型在整个温度范围内的稳定性更佳，而 X5R 成本更低且可提供更高的电容值。

电压系数和温度系数并非问题的唯一来源。某些陶瓷电容器具有压电响应。压电器件会因机械应力而在其端子上产生电压，类似于压电加速度计或麦克风的工作原理。对于陶瓷电容器，应力可能由系统中的振动或热瞬变引起。

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在大范围的频率上具有高阻抗，则可以并联使用几个输入电容器来降低频率上的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.1.2 反向电流

TL1963A-xx 具有集成反向电流保护功能。反向电流保护可在输出电压高于输入电压时防止电流从 OUT 引脚流向 IN 引脚。当输出电压得到维持，而输入被拉至地电平、拉至某个中间电压或保持开路时，可能发生这种情况。当输出电压高于输入电压时，反向电流保护电路会将电源路径置于高阻抗状态。此设置可减小从输出到输入的泄漏电流。无论 $\overline{\text{SHDN}}$ 引脚的逻辑状态如何，或者 OUT 引脚电压是否高于 1.8V，反向电流保护始终处于活动状态（仅限旧芯片）。旧芯片的 I_{RO}（反向输出电流）和新芯片的 $I_{RC(steady\ state)}$ 定义了从 OUT 引脚流入和从 GND 引脚流出的稳态电流，详见 *电气特性：TL1963A（DCY 封装）*/*电气特性：TL1963A（DCQ、KTT 封装）* 表。

7.1.3 前馈电容

对于可调节电压版本器件，可将前馈电容器 (C_{FF}) 从 OUT 引脚连接到 ADJ 引脚。C_{FF} 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。*建议运行条件* 表列出了建议的 C_{FF} 值。使用更高的电容 C_{FF} 时，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点* 应用手册。

C_{FF} 和 R_1 在频率为 f_Z 时的环路增益中产生零点，而 C_{FF}、R_1 和 R_2 在频率为 f_P 时的环路增益中形成极点。通过以下公式计算 C_{FF} 零点和极点频率：

$$f_Z = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)]} \quad (3)$$

$$f_P = \frac{1}{[2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)]} \quad (4)$$

Copyright © 2026 Texas Instruments Incorporated

7.1.4 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。这些 psi 指标与可用于散热的覆铜面积明显无关。*热性能信息* 该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \Psi_{JT} \times P_D \tag{5}$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \Psi_{JB} \times P_D \tag{6}$$

其中

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标* 应用手册。

7.1.5 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{7}$$

备注

正确选择系统电压轨，可最大限度地减少功率耗散，进而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域必须包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

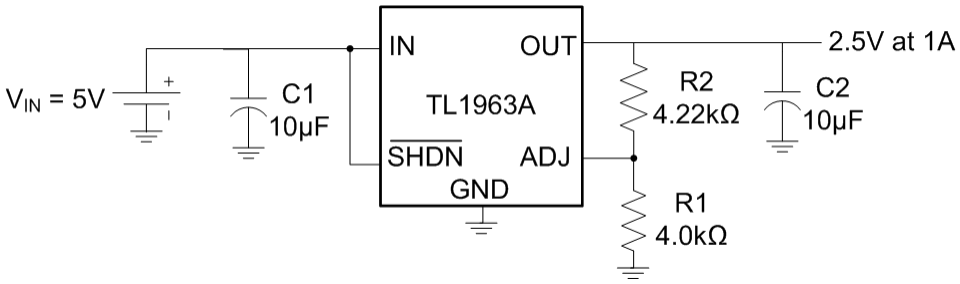
最大功耗决定了该器件允许的最高环境温度 (T_A)。根据以下公式，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。

$$T_J = T_A + \left(R_{\theta JA} \times P_D\right) \tag{8}$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。JEDEC 标准 PCB 及铜层铺展面积决定了 *热性能信息* 表中列出的结温至环境温度热阻，并作为封装热性能的相对度量。

Copyright © 2026 Texas Instruments Incorporated

7.2 典型应用



A. 所有电容器均为陶瓷材质。

图 7-1. 可调节输出电压运行

在固定电压配置中使用 TL1963A-xx。将 SENSE/ADJ 引脚连接到 OUT 以确保正常运行，如 图 7-2 所示。对于 1.21V 的固定输出电压，使用 TL1963A。

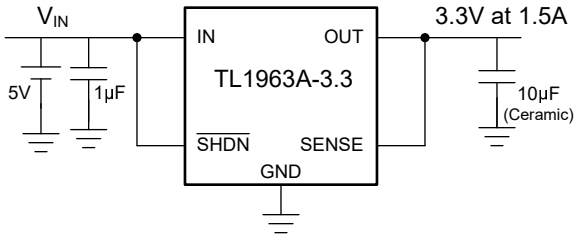


图 7-2. 4.3V 至 3.3V 稳压器

7.2.1 与 SENSE 引脚的开尔文检测连接

在 SENSE 引脚与稳压器 OUT 引脚的连接处可获得理想的调节效果。在关键应用中，稳压器与负载之间 PC 走线的电阻 (R_P) 会引起小幅压降。在固定电压运行期间，如果将 SENSE/ADJ 引脚单独布线至负载，则可实现开尔文连接。这使稳压器能够补偿输出端与负载之间寄生电阻 (RP) 两端的压降。在负载电流较高时，这一点更为关键。请注意，外部 PCB 走线上的压降会增加稳压器的压降电压。

SENSE 引脚偏置电流在 电气特性：TL1963A（DCQ、KTT 封装） 中记录为 I_{SENSE}。对于旧芯片，可以将 SENSE 引脚拉至地电平以下（例如在双电源系统中，稳压器负载返回至负电源），器件仍能启动并运行。

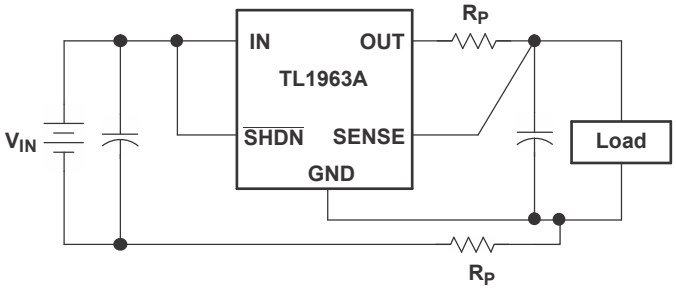


图 7-3. 开尔文检测连接

7.2.2 设计要求

表 7-1. 设计参数

设计参数	示例值
输入电压 (V_{IN})	5.0V

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 设计参数（续）

设计参数	示例值
输出电压 (V_{OUT})	2.5V
输出电流 (I_{OUT})	0A 至 1A
负载调整率	1%

7.2.3 详细设计过程

TL1963A 的可调节输出电压范围为 1.21V 至 20V。如 图 7-1 所示，通过两个外部电阻器 R1 和 R2 的比值来设定输出电压。该器件将 ADJ 引脚的电压维持在以地为基准的 1.21V。此时流过 R1 的电流等于 (1.21V/R1)，流过 R2 的电流等于流过 R1 的电流加上 ADJ 引脚偏置电流。ADJ 引脚偏置电流 I_{ADJ}（见电气特性：TL1963A（DCQ、KTT 封装））流经 R2 进入 ADJ 引脚。使用 方程式 9 计算输出电压。

$$V_{OUT} = 1.21V\left[1 + \frac{R2}{R1}\right] + I_{ADJ} \times R2 \quad (9)$$

R1 的值必须小于 4.17kΩ，以尽量减小 ADJ 引脚偏置电流 (I_{ADJ}) 对输出电压造成的误差。请注意，在关断状态下，输出关闭，分压器电流为零。对于 2.50V 的输出电压，R1 设置为 4.0kΩ。然后使用上述公式计算得出 R2 为 4.22kΩ。

$$V_{OUT} = 1.21V\left[1 + \frac{4.22k\Omega}{4.0k\Omega}\right] + 3\mu A \times 4.22k\Omega \quad (10)$$

$$V_{OUT} = 2.50V \quad (11)$$

可调节器件在 ADJ 引脚与 OUT 引脚短接、输出电压为 1.21V 的条件下进行测试和规定。输出电压高于 1.21V 时的规格参数与所需输出电压与 1.21V 的比值成正比：V_{OUT}/1.21V。例如，当 V_{OUT} = 1.21V 时，输出电流从 1mA 变为 1.5A 时的负载调整率为 –2mV（典型值）。当 V_{OUT} = 2.50V 时，典型负载调整率为：

$$\left[\frac{2.50V}{1.21V}\right][-2mV] = -4.13mV \quad (12)$$

对于旧芯片，图 7-4 显示 1A 负载阶跃下输出的实际变化约为 3mV。25°C 时的最大负载调整率为 –8mV。当 V_{OUT} = 2.50V 时，最大负载调整率为：

$$\left[\frac{2.50V}{1.21V}\right][-8mV] = -16.53mV \quad (13)$$

由于 16.53mV 仅占 2.5V 输出电压的 0.7%，因此负载调整率满足设计要求。

7.2.4 应用曲线

在工作温度 T_J = 25°C，V_{IN} = $V_{OUT(NOM)}$ + 1.0V 或 2.4V（以较大者为准），I_{OUT} = 1mA，C_{IN} = 10μF 且 C_{OUT} = 10μF 的条件下（除非另有说明）。

Copyright © 2026 Texas Instruments Incorporated

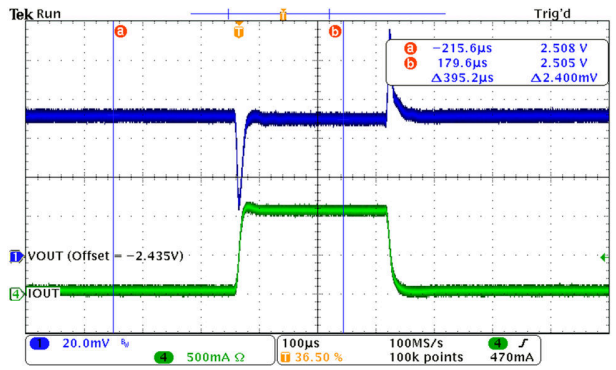
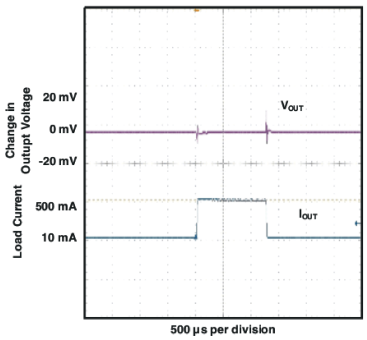
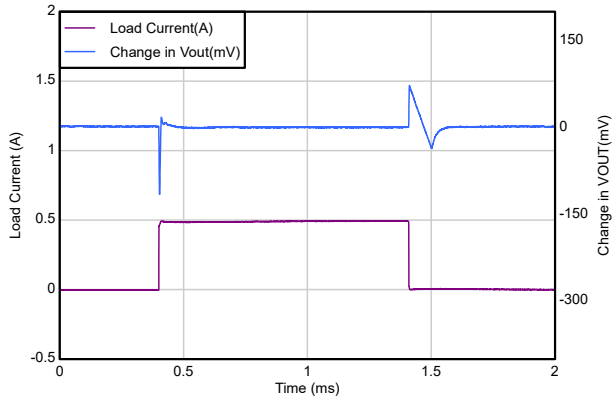


图 7-4. 1A 负载瞬态响应 (C_{OUT} = 10uF) (旧芯片)



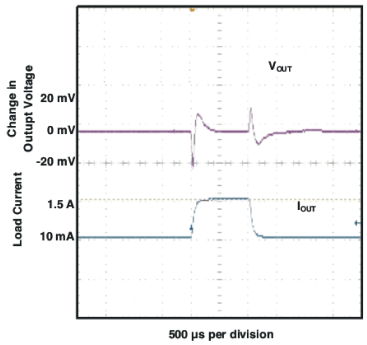
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (陶瓷)

图 7-5. 负载瞬态响应 (旧芯片)



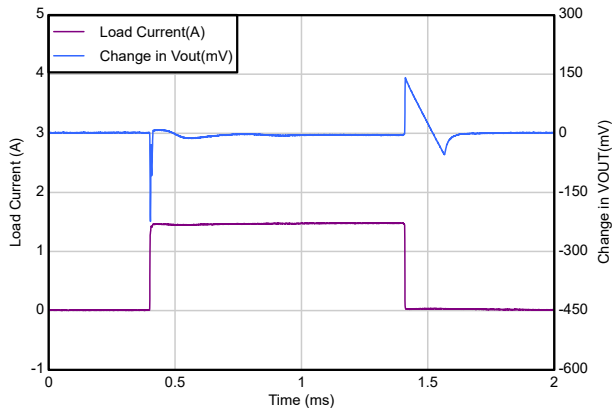
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (陶瓷)

图 7-6. 负载瞬态响应 (新芯片)



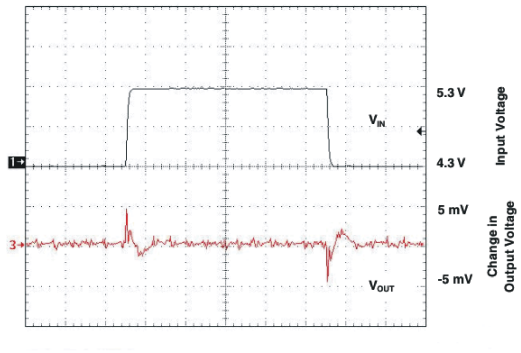
V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (陶瓷)

图 7-7. 负载瞬态响应 (旧芯片)



V_{IN} = 4.3V C_{IN} = 10µF
C_{OUT} = 10µF (陶瓷)

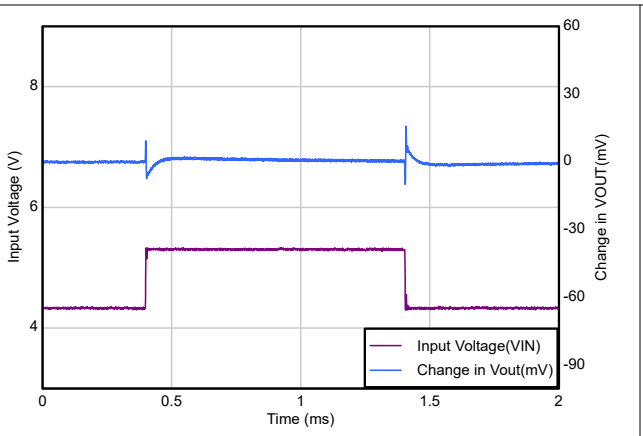
图 7-8. 负载瞬态响应 (新芯片)



I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF (陶瓷)

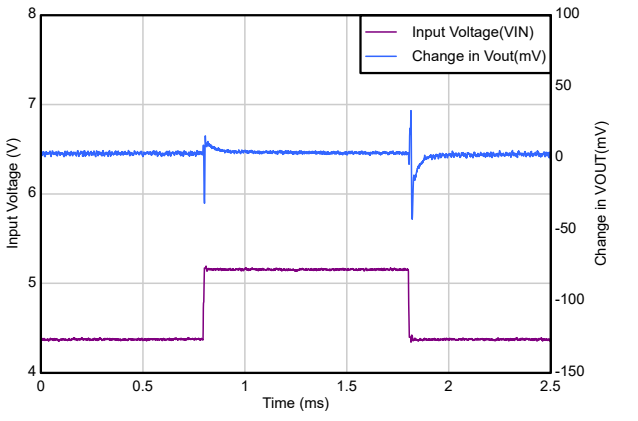
图 7-9. 线路瞬态响应 (旧芯片)

Copyright © 2026 Texas Instruments Incorporated



I_{OUT} = 0.3A C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

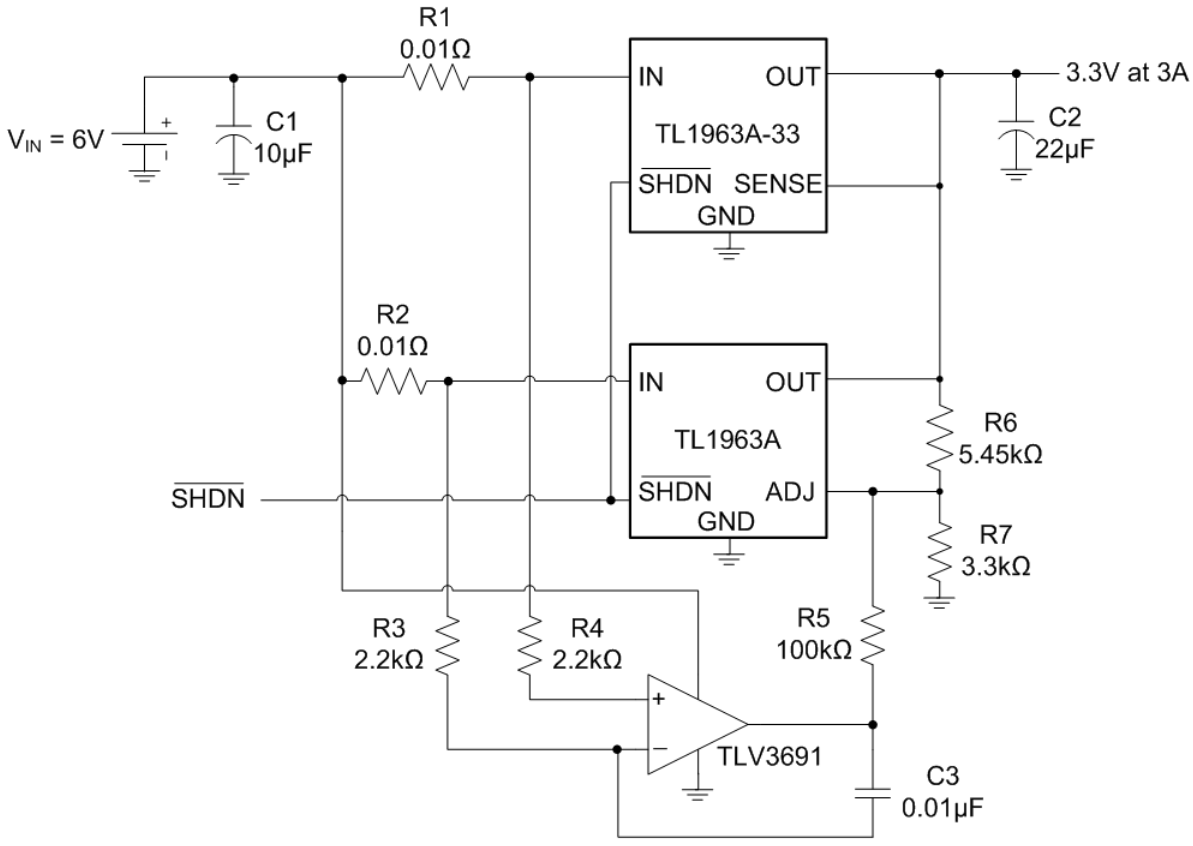
图 7-10. 线路瞬态响应（旧芯片）



I_{OUT} = 1.5A C_{IN} = 10µF
C_{OUT} = 10µF（陶瓷）

图 7-11. 线路瞬态响应（旧芯片）

7.2.5 用于实现更高输出电流的并联稳压器（仅限旧芯片）



A. 所有电容器均为陶瓷材质。

图 7-12. 用于实现更高输出电流的并联稳压器

Copyright © 2026 Texas Instruments Incorporated

7.2.5.1 设计要求

表 7-2. 设计参数

设计参数	示例值
输入电压 (V_{IN})	6.0V
输出电压 (V_{OUT})	3.3V
输出电流 (I_{OUT})	3.0A

7.2.5.2 详细设计过程（仅限旧芯片）

在需要更高输出电流的应用中，将可调节输出稳压器与固定输出稳压器并联以增加电流容量。使用两个检测电阻器和一个比较器来控制可调节稳压器的反馈环路，从而平衡两个稳压器之间的电流。

在 用于实现更高输出电流的并联稳压器（仅限旧芯片） 中，电阻器 R1 和 R2 用于检测流入每个稳压器的电流，它们必须具有非常低的电阻，以避免不必要的功率损耗。R1 和 R2 必须具有相同的值和 1% 或更佳的容差，以便在稳压器之间均等分配电流。此示例使用的值为 0.01Ω。

TLV3691 轨到轨毫微功耗比较器在 VIN 和 GND 之间交替输出，具体取决于流入每个稳压器的电流。要设计此控制电路，需要首先考虑两个输出电流大致相等且比较器输出为低电平的情况。在这种情况下，TL1963A 的输出必须设置为与固定电压稳压器相同。TL1963A-33 具有 3.3V 固定输出，因此这是可调节稳压器的设定点。首先选择小于 4.17kΩ 的 R7 值。此示例使用 3.3kΩ。R5 必须具有高电阻才能满足 方程式 18。此示例使用 100kΩ。然后使用 方程式 14 确定 R5 和 R7 的并联电阻，因为 R5 和 R7 都从 ADJ 引脚连接到 GND。

$$[R5 \parallel R7] = \frac{R5 \times R7}{R5 + R7} = 3.19k\Omega \tag{14}$$

计算 R5 和 R7 的并联电阻后，可以使用 方程式 15 确定 R6 的值。

$$R6 = \frac{V_{OUT}}{1.22V}[R5 \parallel R7] - [R5 \parallel R7] \tag{15}$$

$$R6 = \frac{3.3V}{1.22V}[3.19k\Omega] - [3.19k\Omega] \tag{16}$$

$$R6 = 5.45k\Omega \tag{17}$$

当 TL1963A-33 提供的电流大于 TL1963A 时，比较器输出变为高电平。这会降低 ADJ 引脚上的电压，使 TL1963A 尝试通过提供更大的电流来升高输出电压。TL1963A-33 则随之提供更小的电流，以尝试阻止输出电压上升。当流经 TL1963A-33 的电流变得小于 TL1963A 时，比较器输出返回至 GND。要实现此目的，需要满足 方程式 18：

$$V_{IN}\left[\frac{R7}{R5 + R7}\right] + [V_{IN} - V_{OUT}]\left[\frac{R6}{R5 + R6}\right] < Vref \tag{18}$$

$$6V\left[\frac{3.3k\Omega}{100k\Omega + 3.3k\Omega}\right] + [2.7V]\left[\frac{5.45k\Omega}{100k\Omega + 5.45k\Omega}\right] < 1.21V \tag{19}$$

$$0.19V + 0.14V < 1.21V \tag{20}$$

$$0.33V < 1.21V \tag{21}$$

Copyright © 2026 Texas Instruments Incorporated

7.2.5.3 应用曲线

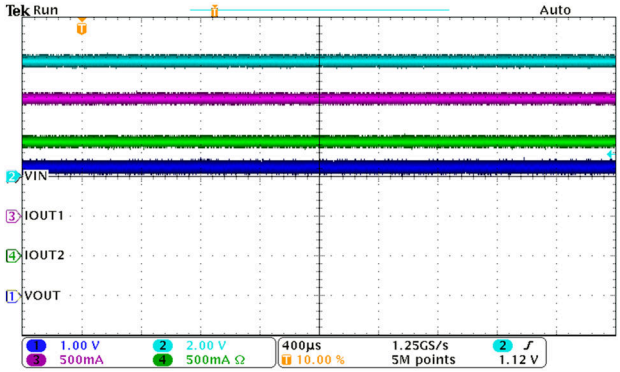


图 7-13. 共享负载电流的并联稳压器（仅限旧芯片）

7.3 电源相关建议

该器件的设计支持在高达 20V 的输入电源电压下运行。最小输入电压必须提供大于压差的充足裕量，才能使器件实现稳压输出。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请遵循本节中的准则。请将所有电路元件放置在印刷电路板 (PCB) 的同一侧，并尽可能靠近各自的 LDO 引脚连接。使用元件侧的宽铜层，将输入和输出电容器的接地回路连接放置在尽可能靠近 GND 引脚的位置。请勿使用过孔和长迹线创建与输入电容器、输出电容器或电阻分压器的 LDO 电路连接，因为这种做法会对系统性能产生负面影响。这种接地和布局方案可更大限度地减少电感寄生效应，从而减少负载电流瞬变，更大限度地降低噪声并提高电路稳定性。还建议使用接地参考平面，该平面嵌入在 PCB 中，或者位于 PCB 底部与元件相对的位置。该参考平面用于提供输出电压的精度并屏蔽 LDO 以使其免受噪声影响。为优化器件散热性能并在高环境温度下实现最大电流输出，请尽可能扩大散热焊盘下方的铜箔面积，并在铜箔上布置充足的散热过孔。将 DCQ 封装的接片接地。将 KTT 封装的外露散热焊盘连接到宽接地平面，以实现有效散热。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

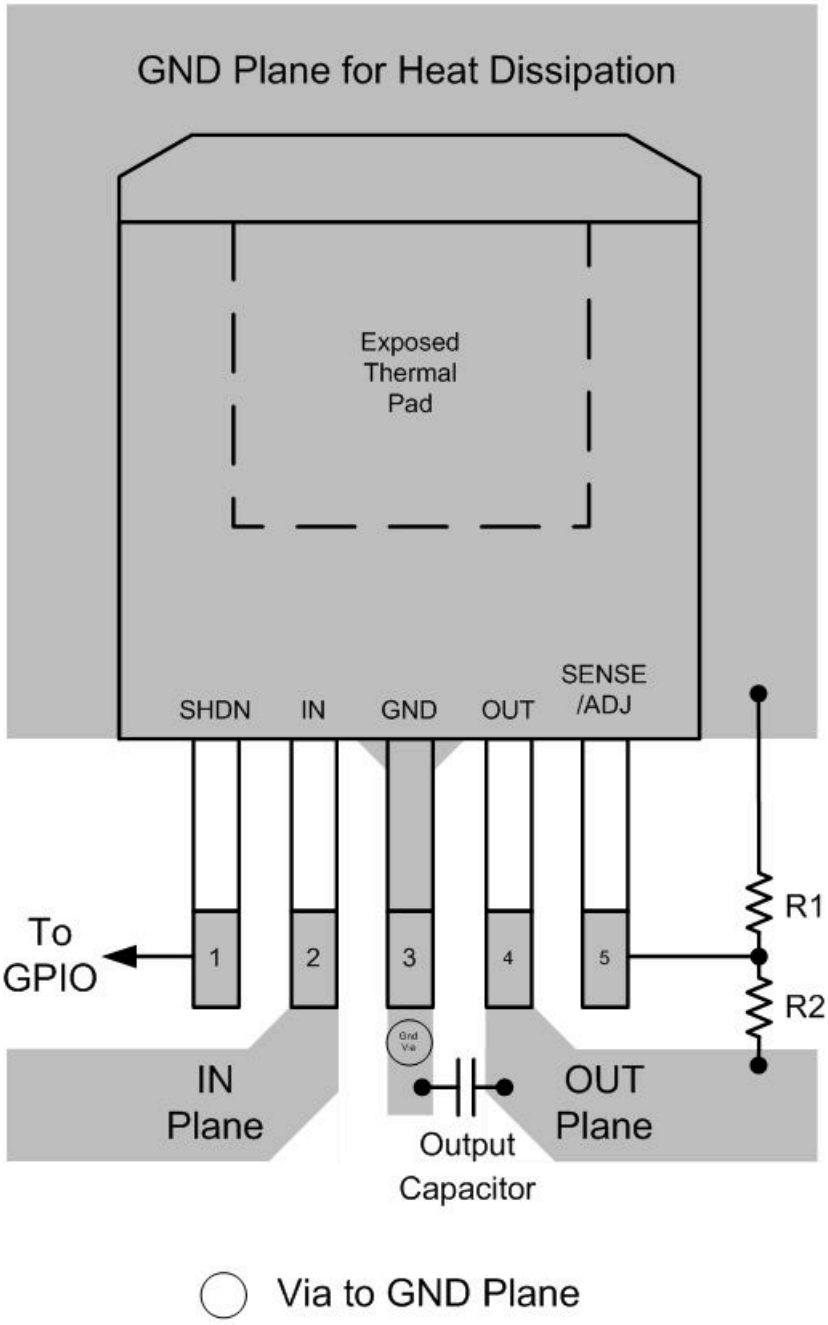


图 7-14. TO-263 布局示例 (KTT)

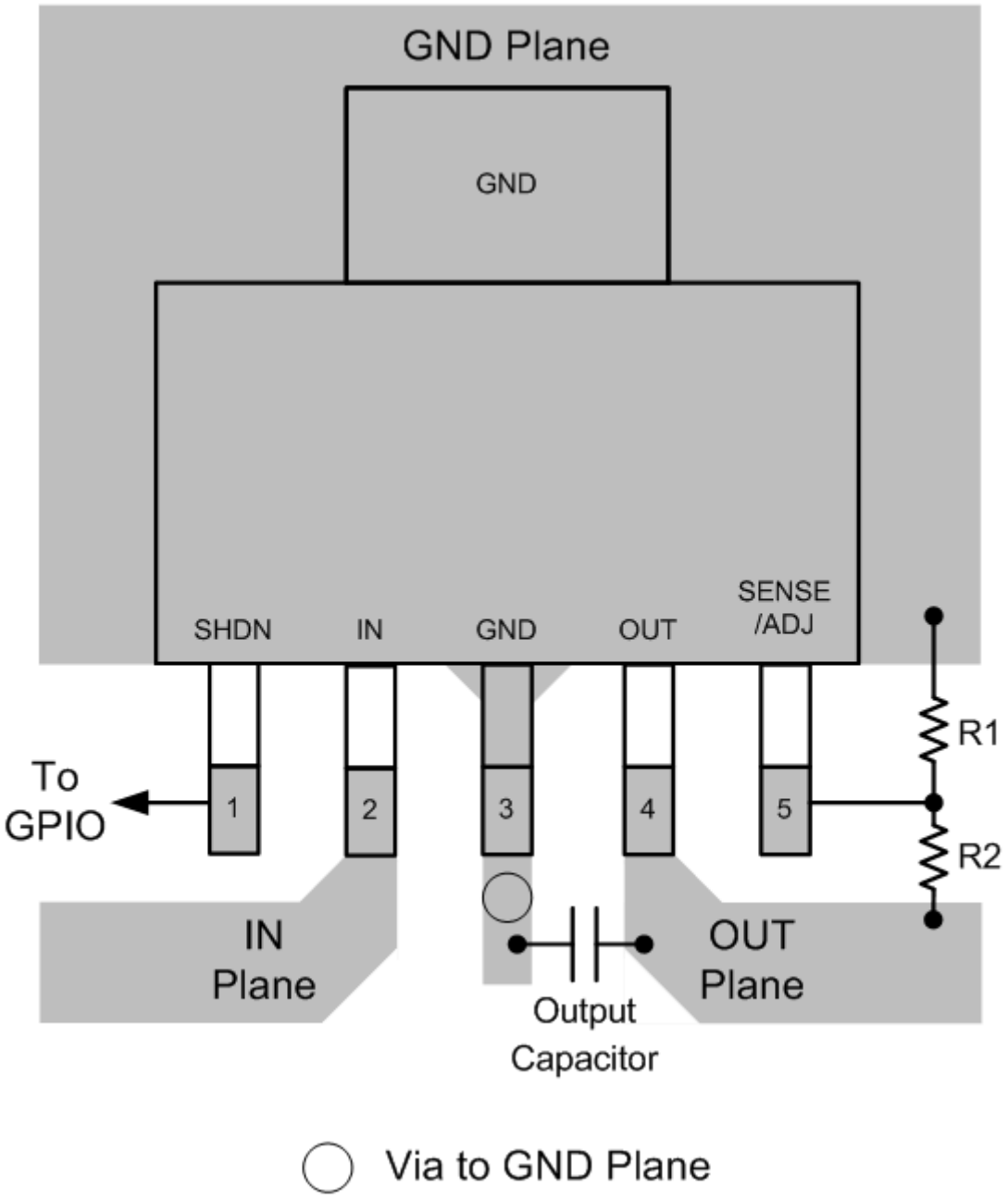


图 7-15. 6SOT-223 布局示例 (DCQ)

Copyright © 2026 Texas Instruments Incorporated

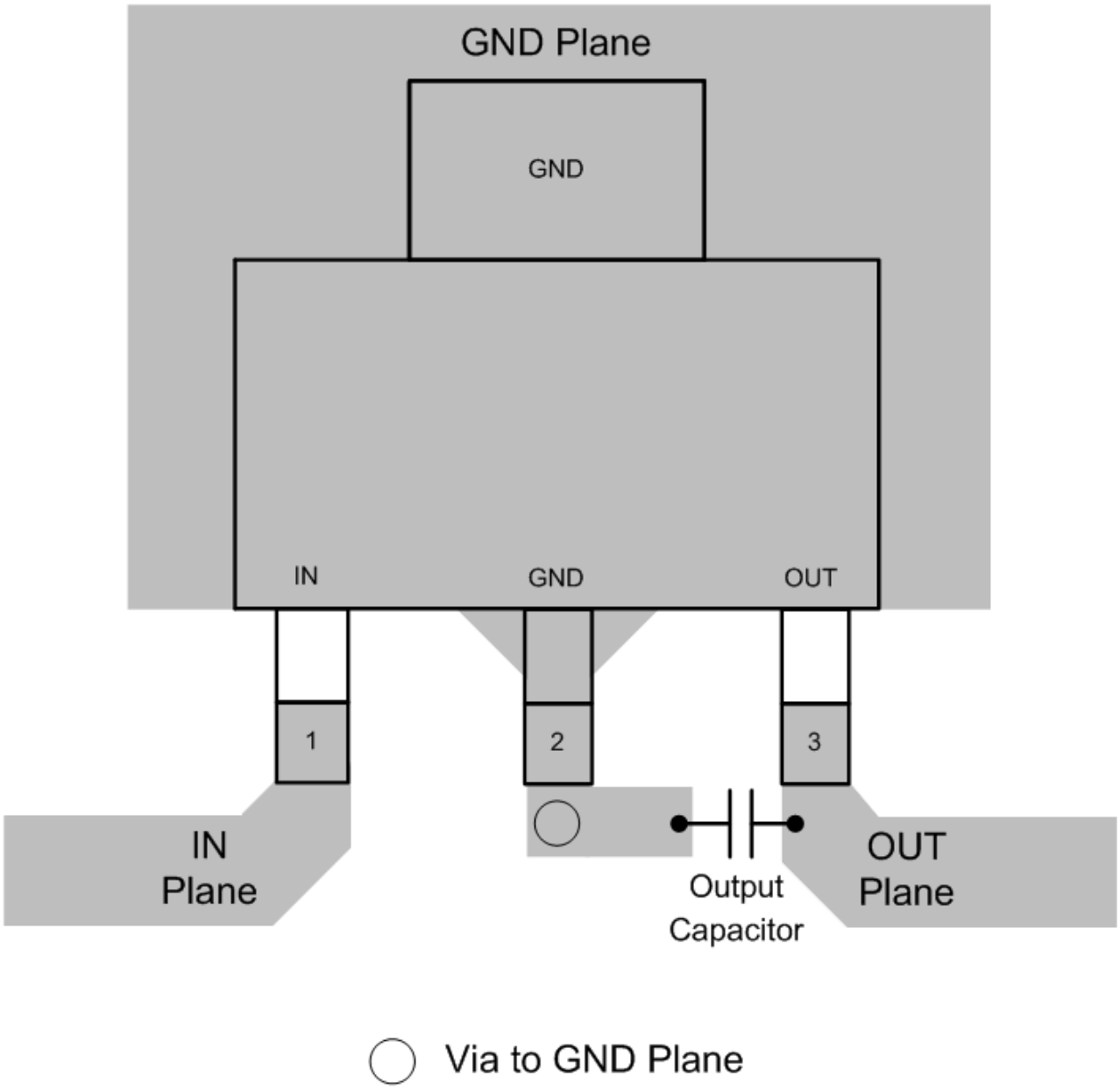


图 7-16. 4SOT-223 布局示例 (DCY)

7.4.3 散热注意事项

建议的最高工作结温 (125°C) 会限制器件的功率处理能力。器件消耗的功率由两部分组成：

- 输出电流乘以输入/输出电压差： $I_{OUT}(V_{IN} - V_{OUT})$
- GND 引脚电流乘以输入电压： $I_{GND}V_{IN}$

可以使用 *节 5.7* 中的“GND 引脚电流”图找到 GND 引脚电流。功率耗散等于上面列出的两部分之和。

TL1963A-xx 系列稳压器具有内部热限制功能，可在过载情况下保护器件。对于连续正常情况，建议的最高工作结温为 125°C。务必仔细考虑从结温至环境温度的所有热阻来源。还应考虑附近安装的其他热源。

对于表面贴装器件，可借助 PC 板及其铜走线的散热能力来实现散热。使用铜板加强筋和电镀通孔来散发功率器件产生的热量。

Copyright © 2026 Texas Instruments Incorporated

旧芯片的 表 7-3 中列出了若干不同电路板尺寸和铜面积下的热阻值。所有测量均在静止空气中、1/16" FR-4 板材、1oz 覆铜的条件下进行。

表 7-3. KTT 封装的热数据（5 引脚 TO-263）[旧芯片]

铜面积		电路板面积	热阻（结温至环境温度）
顶部(1)	背面		
2500mm^2	2500mm^2	2500mm^2	23°C/W
1000mm^2	2500mm^2	2500mm^2	25°C/W
125mm^2	2500mm^2	2500mm^2	33°C/W

(1) 器件安装在顶部。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

可将评估模块 (EVM) 与 TL1963A-xx 配套使用，帮助评估初始电路性能。TL1963A-33EVM EVM（和相关的用户指南）可在 TI 网站上的产品文件夹中申请，也可直接从 TI 网上商店购买。

8.1.2 器件命名规则

表 8-1. 器件命名规则

产品(1)	说明
TL1963A-**xx yyy z** TL1963A**yyy z**	xx 为额定输出电压（例如，18 = 1.8V，33 = 3.3V）。yyy 为封装指示符。z 为封装数量。TL1963A**yyy z** 表示可调节器件。该器件的发货版本可能采用旧芯片（CSO：SHE）或新芯片（CSO：RFB），它使用了最新的制造流程。卷带封装标签提供 CSO 信息以区分正在使用的芯片。全篇对新芯片和旧芯片的器件性能进行了说明。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问 www.ti.com 中的器件产品文件夹。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI)，*PCB 热量计算器*
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 商标

所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (January 2015) to Revision H (June 2026)	Page
• 更新了*特性*部分，以包含旧芯片和新芯片之间的性能比较（输入、输出范围、输出电压精度和封装热性能详细信息）	1
• 更新了“绝对最大额定值”、“ESD”、“建议运行条件”、“热性能”和“电气特性”表，以呈现旧芯片和新芯片之间的性能比较	5
• 更新了“概述”部分，以突出旧芯片和新芯片的主要特性	24
• 更新了*过载恢复*、*输出电压噪声*和*保护特性*部分，以便对旧芯片和新芯片进行比较并提升客户可读性，并添加了有关 *SHDN*、*欠压锁定 (UVLO)*、*热关断*和*电流限制*部分的详细信息。	24
• 更新了“保护特性”，创建了“仅限旧芯片”和“旧芯片和新芯片”部分	27

Copyright © 2026 Texas Instruments Incorporated

- 更新了*器件功能模式*部分，以提升数据表的可读性。 27
- 更新了“应用信息”部分以提升数据表的可读性，添加了*反向电流*、*前馈电容器*、*估算结温和功率耗散 (P_D)* 部分。 29
- 更新了“典型应用”部分，以提升可读性并方便旧芯片与新芯片之间的比较。 31
- 在*应用曲线*部分中添加了旧芯片和新芯片的负载和线路瞬态图。 32
- 将“电源相关建议”移到了“应用和实施”部分中 36
- 将“布局”移动到“应用和实施”部分 36
- 添加了“器件支持”部分并更新了 TL1963A-xx 器件的 EVM 详细信息。 41
- 向“器件命名规则”部分添加了旧芯片和新芯片的详细信息 41

Changes from Revision F (January 2014) to Revision G (January 2015) **Page**

- 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL1963A-15DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-15
TL1963A-15DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYT	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15DCYT.A	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TF
TL1963A-15KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-15
TL1963A-15KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-15
TL1963A-18DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-18
TL1963A-18DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TG
TL1963A-18DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TG
TL1963A-18KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-18
TL1963A-18KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-18
TL1963A-25DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-25
TL1963A-25DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYT	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH
TL1963A-25DCYT.A	Active	Production	SOT-223 (DCY) | 4	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TH

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL1963A-25KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-25
TL1963A-25KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-25
TL1963A-33DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1963A-33
TL1963A-33DCYR	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TJ
TL1963A-33DCYR.A	Active	Production	SOT-223 (DCY) | 4	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TJ
TL1963A-33KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-33
TL1963A-33KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A-33
TL1963ADCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQT	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963ADCQT.A	Active	Production	SOT-223 (DCQ) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL1963A
TL1963AKTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A
TL1963AKTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A
TL1963AKTTRG3	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TL1963A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL1963A :

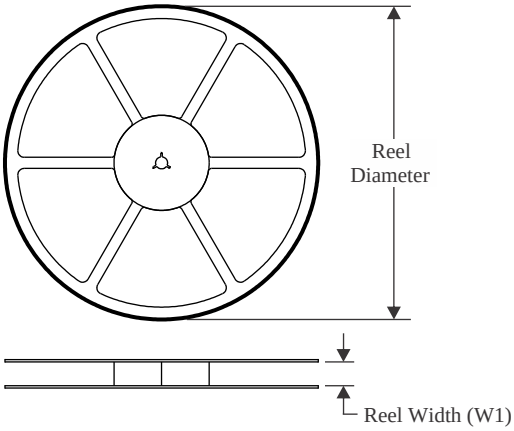
- Automotive : TL1963A-Q1

NOTE: Qualified Version Definitions:

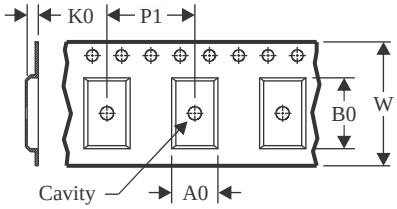
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

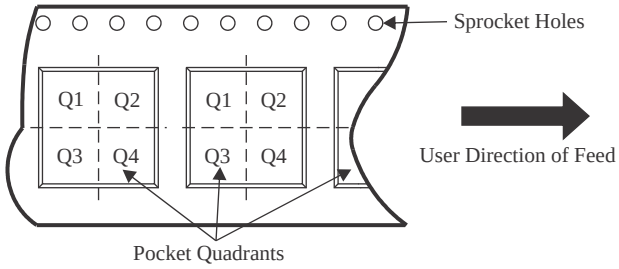


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

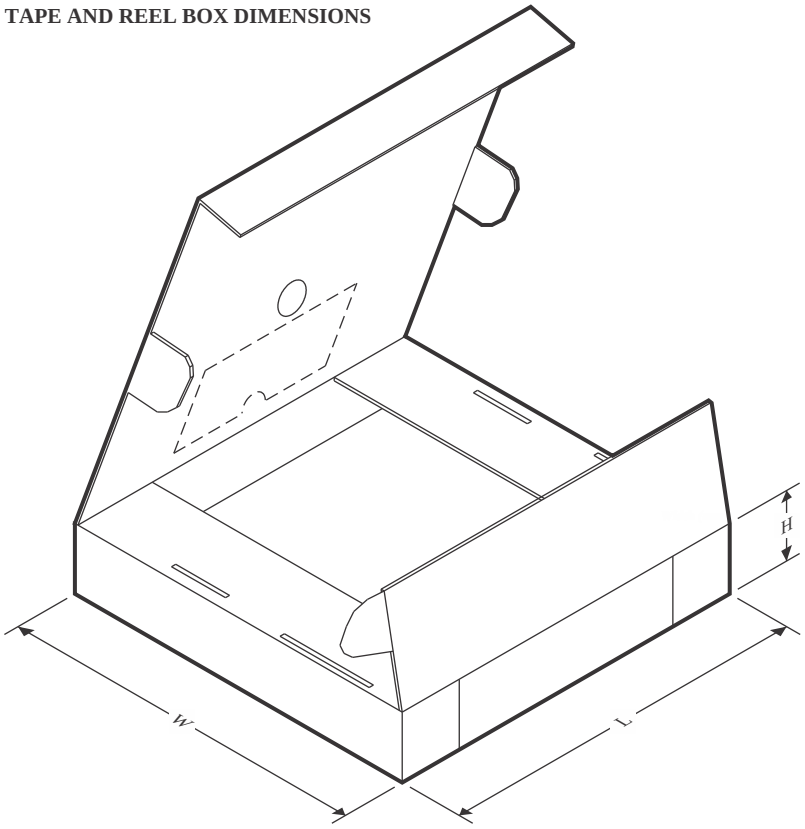


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL1963A-15DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-15DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-15DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-15DCYT	SOT-223	DCY	4	250	180.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-15KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963A-18DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-18DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-18DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-18DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-18KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963A-25DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-25DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-25DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-25DCYT	SOT-223	DCY	4	250	180.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL1963A-25KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963A-33DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963A-33DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-33DCYR	SOT-223	DCY	4	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TL1963A-33KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
TL1963ADCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963ADCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963ADCQT	SOT-223	DCQ	6	250	177.8	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TL1963AKTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL1963A-15DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-15DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-15DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-15DCYT	SOT-223	DCY	4	250	190.0	190.0	30.0
TL1963A-15KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-18DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-18DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-18DCYR	SOT-223	DCY	4	2500	366.0	364.0	50.0
TL1963A-18DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-18KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-25DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-25DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963A-25DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-25DCYT	SOT-223	DCY	4	250	190.0	190.0	30.0
TL1963A-25KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963A-33DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-33DCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TL1963A-33DCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0

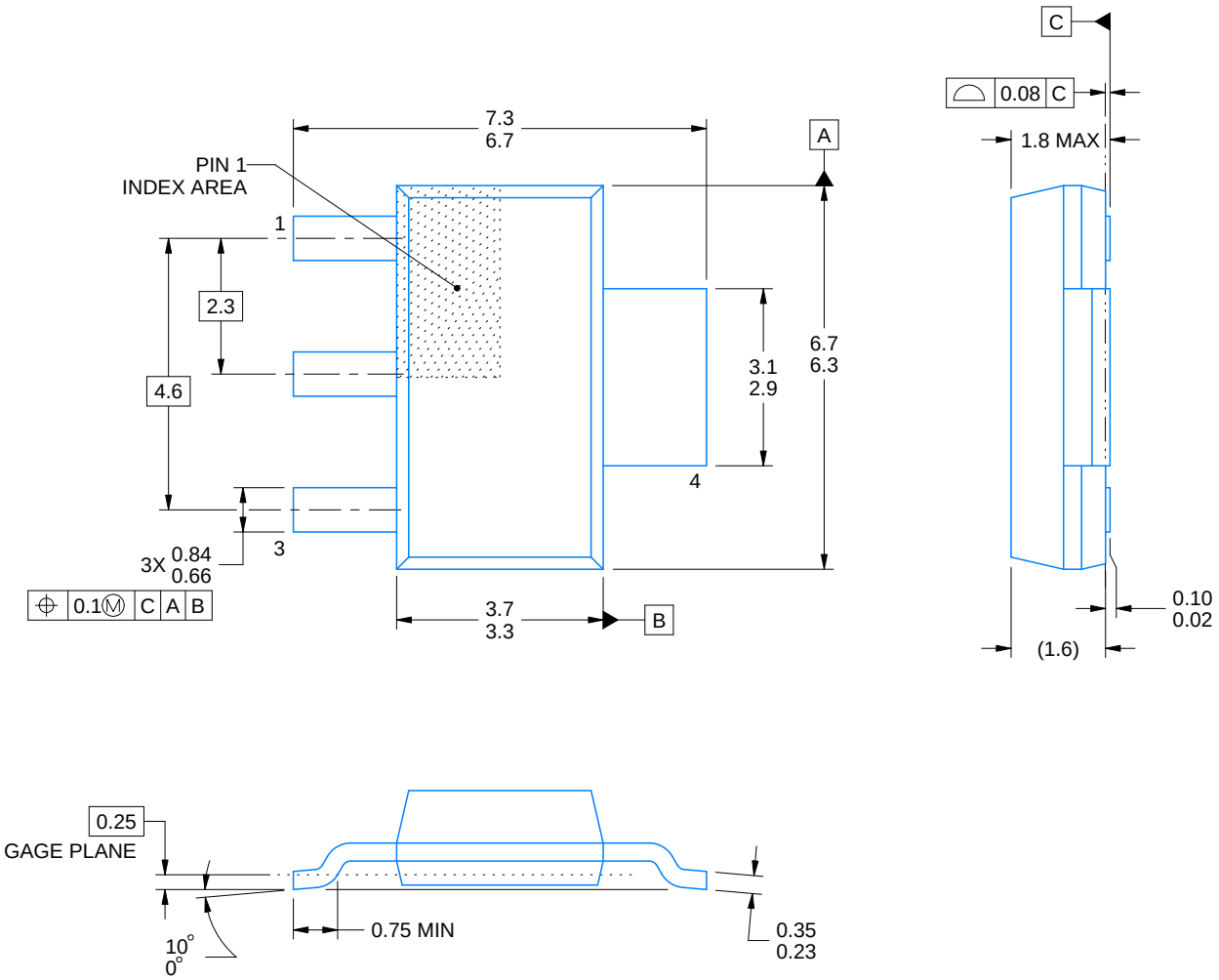
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL1963A-33DCYR	SOT-223	DCY	4	2500	340.0	340.0	38.0
TL1963A-33DCYR	SOT-223	DCY	4	2500	366.0	364.0	50.0
TL1963A-33KTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TL1963ADCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TL1963ADCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TL1963ADCQT	SOT-223	DCQ	6	250	180.0	180.0	85.0
TL1963AKTTR	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0

PACKAGE OUTLINE

DCY0004A

SOT-223 - 1.8 mm max height

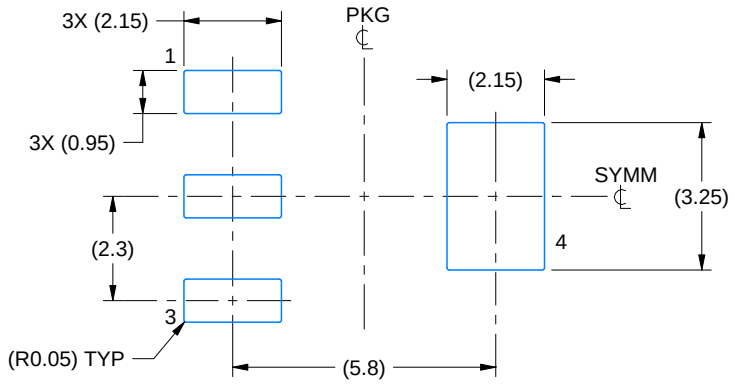
PLASTIC SMALL OUTLINE



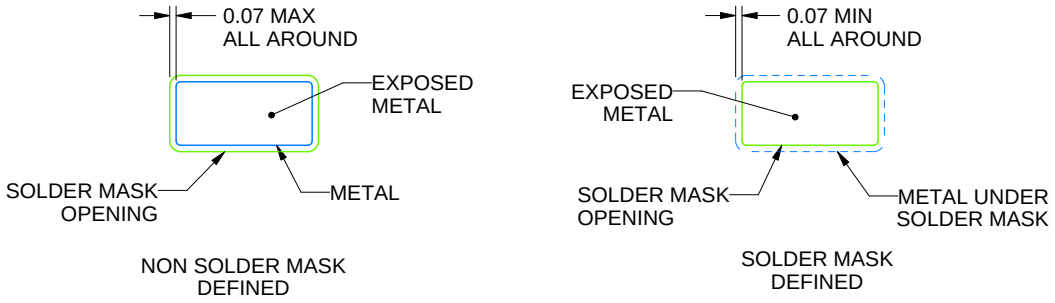
4214843/C 05/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC TO-261.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4214843/C 05/2026

NOTES: (continued)

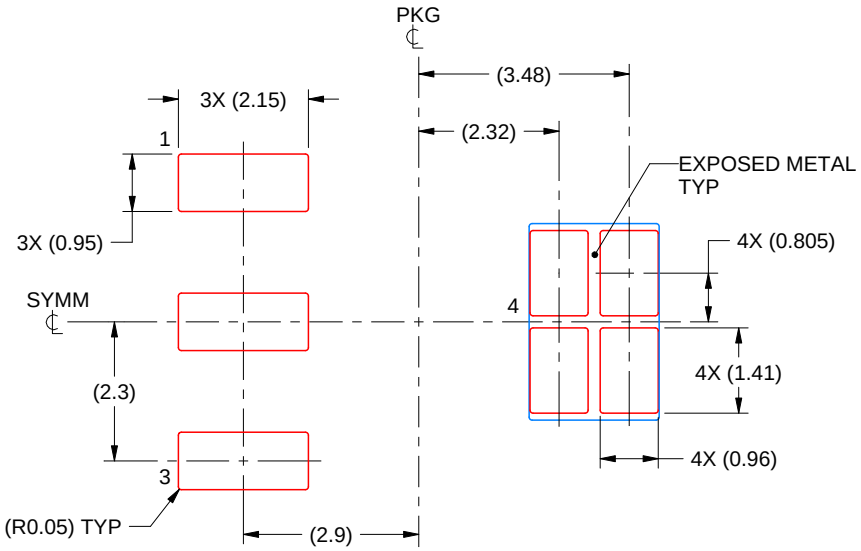
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCY0004A

SOT-223 - 1.8 mm max height

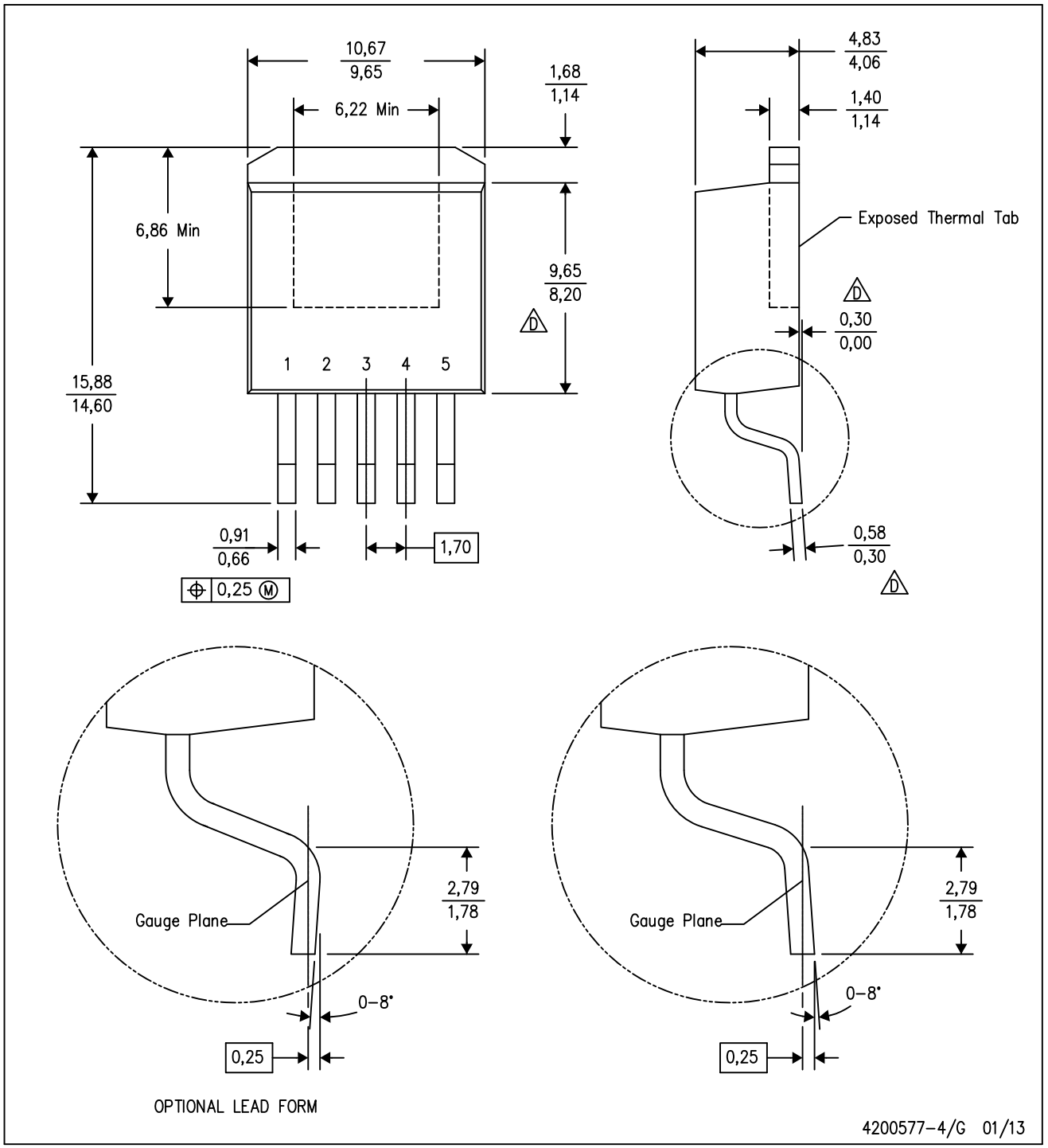
PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

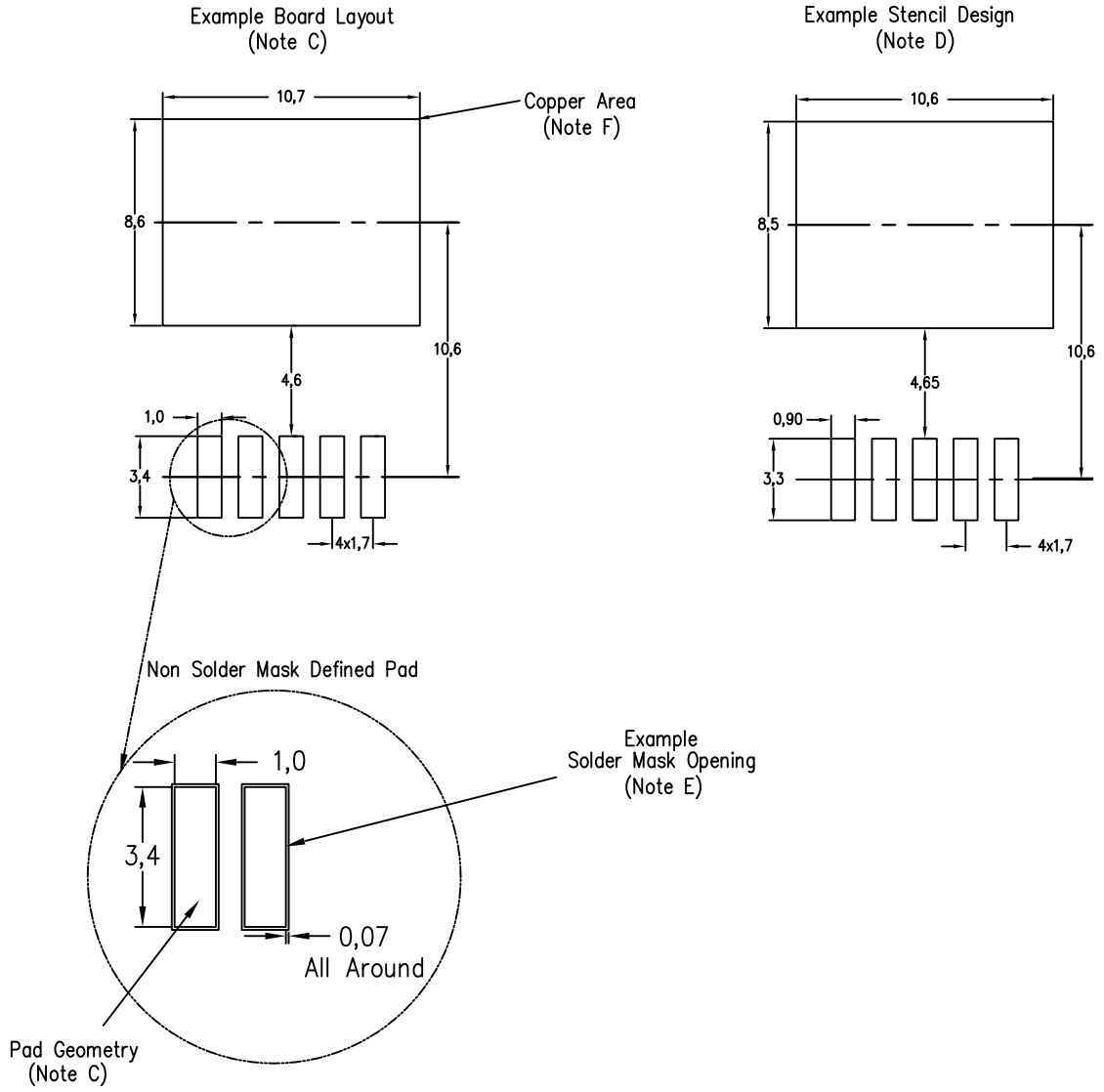
4214843/C 05/2026

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
D. Falls within JEDEC TO–263 variation BA, except minimum lead thickness, maximum seating height, and minimum body length.

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



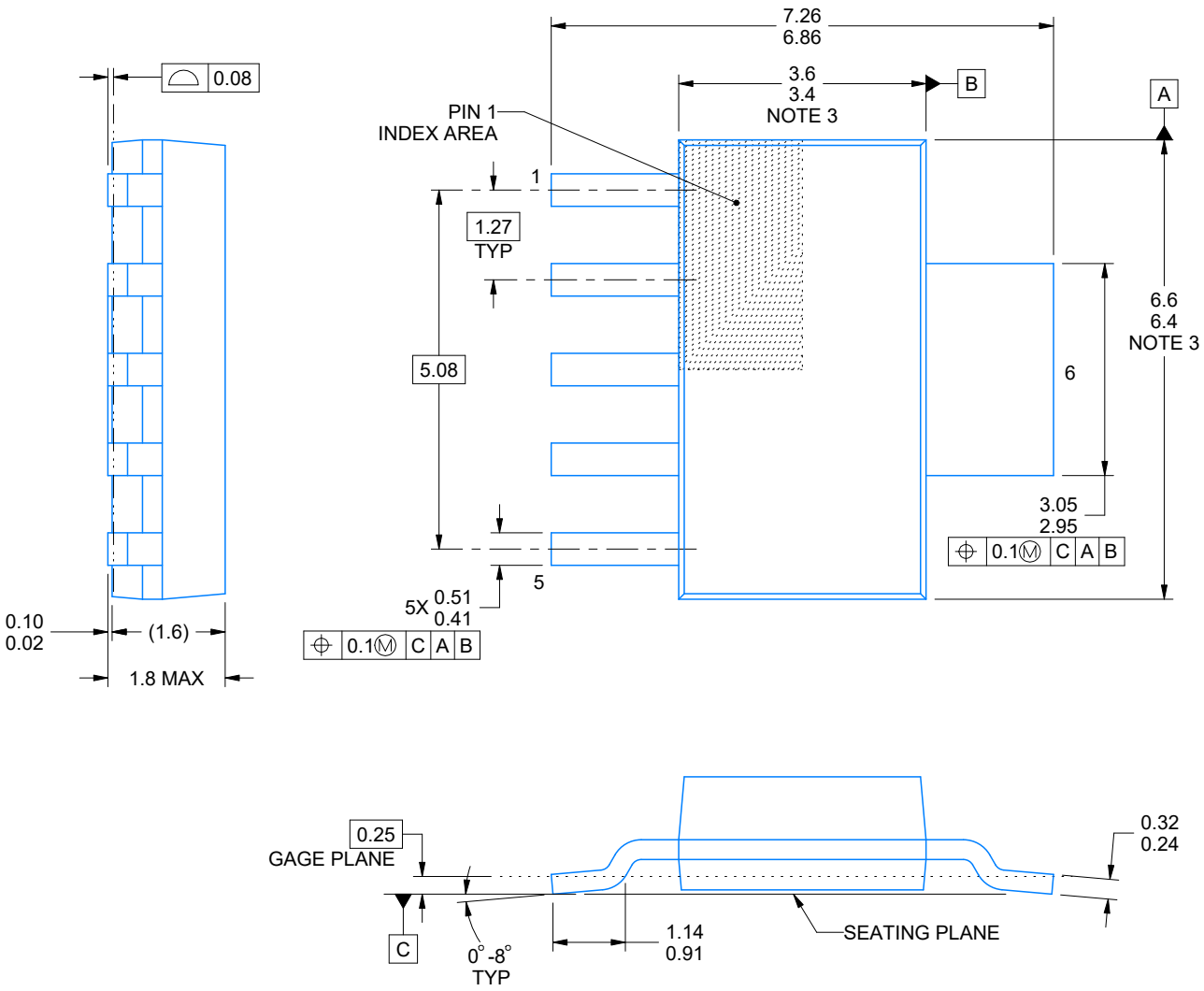
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
F. This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

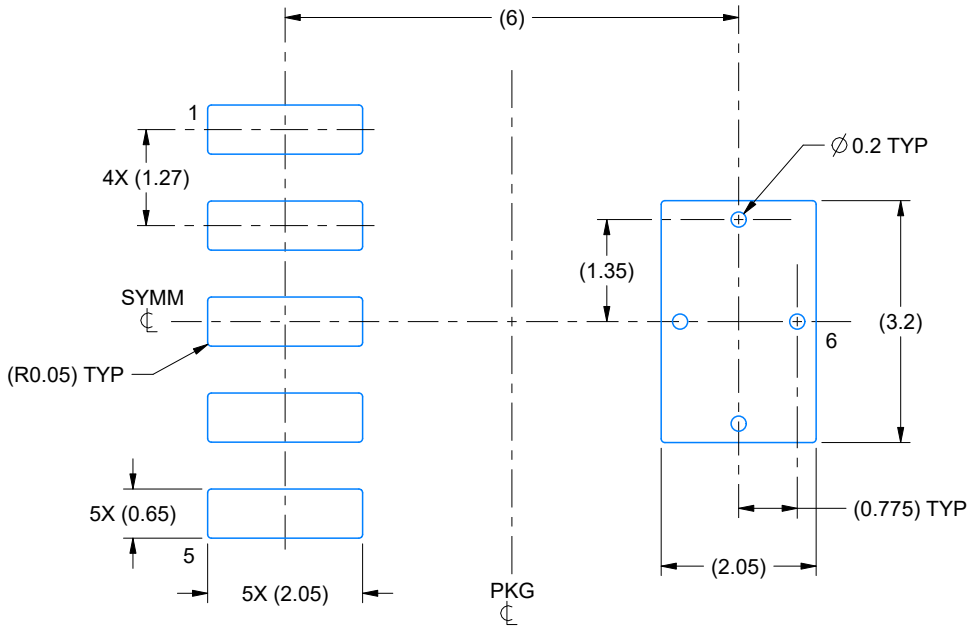
PLASTIC SMALL OUTLINE



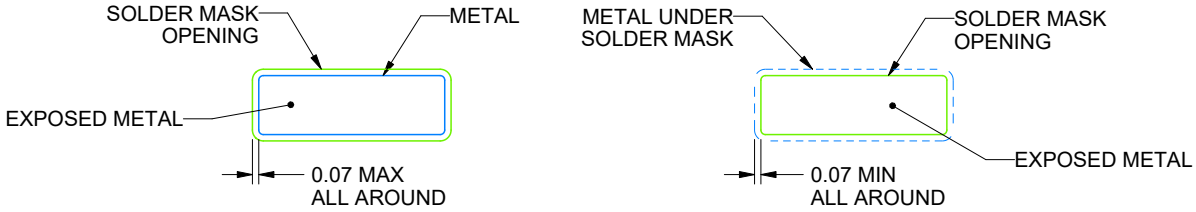
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

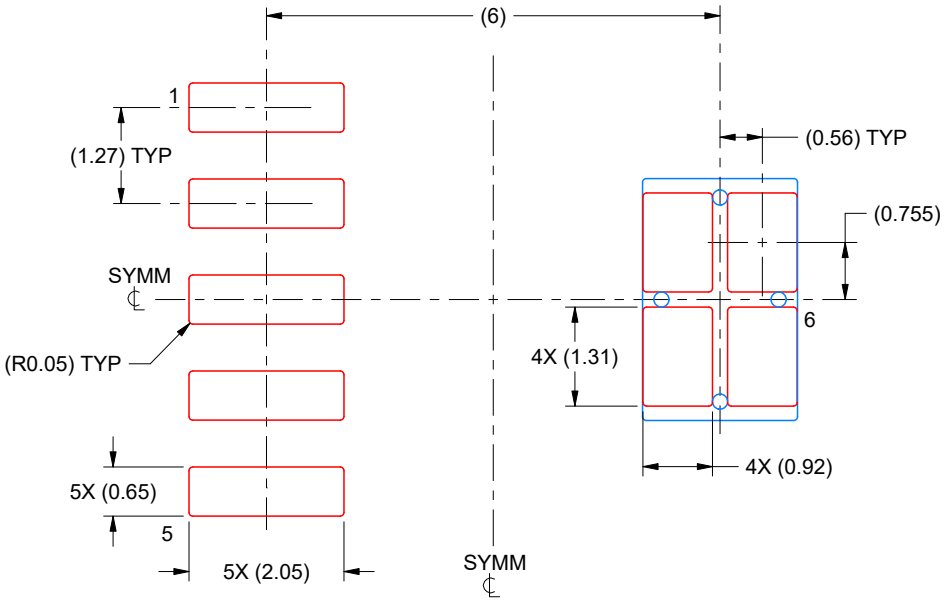


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月