TLIN2029-Q1 具有显性状态超时、提供故障保护功能的 LIN 收发器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 125°C T_A
  - 器件 HBM 认证等级：±8kV
  - 器件 CDM 认证等级：±1.5kV
- 符合 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A 和 ISO/DIS 17987-4.2 标准（请参阅 SLLA490）
- 符合适用于 LIN 的 SAE J2602 推荐实践的要求（请参阅 SLLA490）
- 支持 ISO 9141 (K-Line)
- 支持 12V 应用
- LIN 传输数据速率高达 20kbps
- 宽工作范围
  - 4V 至 36V 电源电压
  - ±45V LIN 总线故障保护
- 休眠模式：超低电流消耗支持以下类型的唤醒事件：
  - LIN 总线
  - 通过 EN 引脚实施的本地唤醒
- 上电和断电无干扰运行
- 保护特性：
  - V_{SUP} 欠压保护
  - TXD 显性超时 (DTO) 保护
  - 热关断保护
  - 系统级未供电节点或接地断开失效防护。
- 采用 SOIC (8) 和无引线 VSON (8) 封装，提高了自动光学检测 (AOI) 能力

2 应用

- 车身电子装置和照明
- 信息娱乐系统与仪表组
- 混合动力电动汽车和动力总成系统
- 被动安全
- 电器

3 说明

TLIN2029-Q1 是一款本地互连网络 (LIN) 物理层收发器，集成了唤醒和保护功能，兼容 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2 A 和 ISO/DIS 17987 – 4.2 标准。LIN 是一种单线双向总线，通常用于数据传输速率高达 20kbps 的车载网络。TLIN2029-Q1 旨在为 12V 应用提供支持，具有更宽的工作电压范围和额外的总线故障保护。

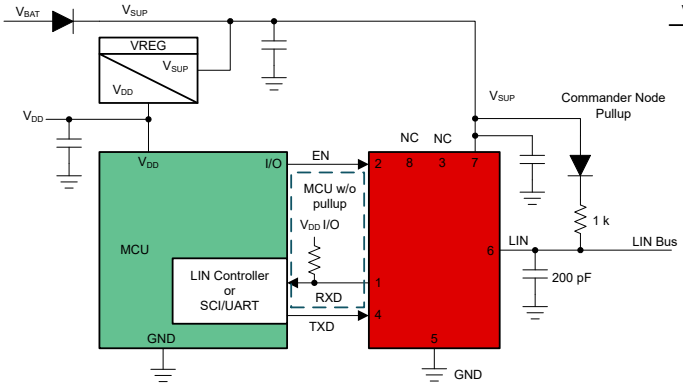
LIN 接收器支持高达 100kbps 的数据传输速率，从而更快速地执行内联编程。TLIN2029-Q1 使用一个可降低电磁辐射 (EME) 的限流波形整形驱动器将 TXD 输入上的数据流转化为 LIN 总线信号。接收器将数据流转化为逻辑电平信号，此信号通过开漏 RXD 引脚发送到微处理器。睡眠模式可实现超低电流消耗，该模式允许通过 LIN 总线或 EN 引脚实现唤醒。

集成电阻器、静电放电 (ESD) 和故障保护功能支持设计人员在其应用中节省布板空间。

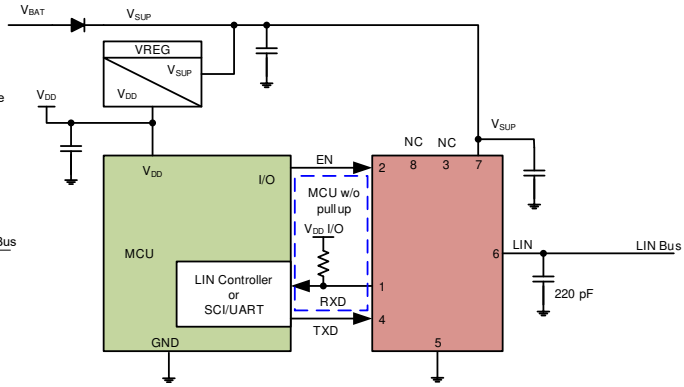
封装信息

器件型号	封装(1)	封装尺寸(2)
TLIN2029-Q1	SOIC (D) (8)	4.9mm x 6mm
	VSON (DRB) (8)	3mm x 3mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图 - 指挥官模式



简化版原理图 - 响应者模式

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 ESD 等级 - IEC 4
5.4 热性能信息 4
5.5 建议运行条件 5
5.6 电气特性 5
5.7 开关特性 7
5.8 时序要求 8
6 参数测量信息 10
7 详细说明 19
7.1 概述 19
7.2 功能方框图 19
7.3 特性说明 19
7.4 器件功能模式 23
8 应用和实施 25
8.1 应用信息 25
8.2 典型应用 25
8.3 电源相关建议 26
8.4 布局 27
9 器件和文档支持 28
9.1 文档支持 28
9.2 接收文档更新通知 28
9.3 支持资源 28
9.4 商标 28
9.5 静电放电警告 28
9.6 术语表 28
10 修订历史记录 29
11 机械、封装和可订购信息 30

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

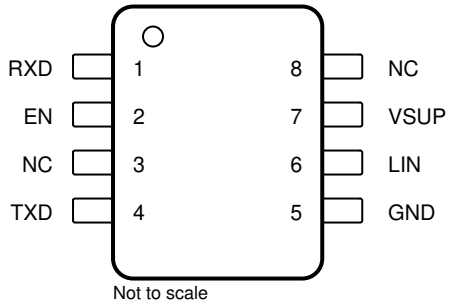


图 4-1. D 封装，8 引脚 (SOIC)
（顶视图）

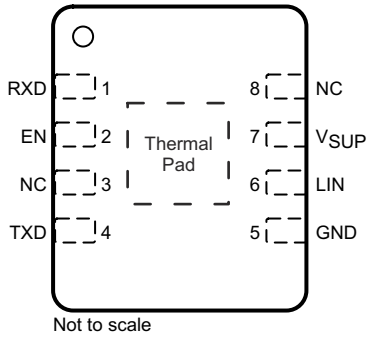


图 4-2. DRB 封装，8 引脚 (VSON)
顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
RXD	1	DO	报告 LIN 总线电压状态的 RXD 输出（开漏）接口
EN	2	DI	使能输入 - 高电平将器件置于正常运行模式，低电平将器件置于睡眠模式
NC	3	–	未连接
TXD	4	DI	TXD 输入接口用于控制 LIN 输出的状态 - 内部下拉至地
GND	5	GND	接地
LIN	6	HV I/O	LIN 总线单线发送器和接收器
V_{SUP}	7	HV 电源	器件电源电压（连接至与外部反向阻断二极管串联的电池）
NC	8	–	未连接
散热焊盘		-	无电气连接。可连接到 PCB 来改善热耦合（仅限 DRB 封装）

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）(1)

符号	参数	最小值	最大值	单位
V_{SUP}	电源电压范围（ISO/DIS 17987 参数 10）	-0.3	60	V
V_{LIN}	LIN 总线输入电压（ISO/DIS 17987 参数 82）	-60	60	V
V_{LOGIC}	逻辑引脚电压（RXD、TXD、EN）	-0.3	6	V
T_A	环境温度范围	-40	125	°C
T_J	结温范围	-55	150	°C

(1) 超出“绝对最大额定值”下列出的压力可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

ESD 等级				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM) TXD、RXD、EN 引脚，符合 AEC Q100-002 标准(1)		±4000	V
		人体放电模型 (HBM) LIN 和 V_{SUP} 引脚，符合 AEC Q100-002 标准(2)		±8000	
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有端子	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) LIN 总线的应力以 GND 为基准。

5.3 ESD 等级 - IEC

ESD 和浪涌保护额定值			值	单位
$V_{(ESD)}$	静电放电	ISO 10605 符合 IEC 62228-3 接触放电	±8000	V
$V_{(ESD)}$	供电 ESD 性能，依照 SAEJ2962-1(1)	接触放电	±8000	V
		气隙放电	±25000	
ISO 7637-2 和 IEC 62215-3 瞬态，依照 IBEE LIN EMC 测试规范(2)（LIN 和 V_{SUP}）		脉冲 1	-100	V
		脉冲 2	75	V
		脉冲 3a	-150	V
		Pulse 3b	100	V

(1) SAE SAEJ2962-1 测试在第三方 EMC 测试设施内完成，可根据要求提供测试报告。
(2) ISO 7637 是系统级瞬态测试。 不同的系统级配置可能产生不同的结果。

5.4 热性能信息

热指标(1)		TLIN2029D D (SOIC) 8-PINS	TLIN2029DRB DRB (VSON) 8-PINS	单位
$R_{\Theta JA}$	结至环境热阻	115.5	48.5	°C/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	58.7	55.5	°C/W
$R_{\Theta JB}$	结至电路板热阻	58.9	22.2	°C/W
Ψ_{JT}	结至顶部特性参数	14.1	1.2	°C/W
Ψ_{JB}	结至电路板特性参数	58.2	22.2	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		TLIN2029D	TLIN2029DRB	单位
		D (SOIC)	DRB (VSON)	
		8-PINS	8-PINS	
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	-	4.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 (SPRA953)。

5.5 建议运行条件

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数 - 定义		最小值	标称值	最大值	单位
V_{SUP}	电源电压	4		48	V
V_{LIN}	LIN 总线输入电压	0		48	V
V_{LOGIC}	逻辑引脚电压（RXD、TXD、EN）	0		5.25	V
TSD	热关断温度	165			°C
$TSD_{(HYS)}$	热关断迟滞		15		°C

5.6 电气特性

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_{SUP}	工作电源电压（ISO/DIS 17987 参数 10、53）	器件在 LIN 定义的标称电源电压范围之外可正常工作。请参阅图 6-1 和图 6-2	4		48	V
V_{SUP}	标称电源电压（ISO/DIS 17987 参数 10、53）	正常模式和待机模式：LIN 信号为 10kHz 方波、占空比为 50%、摆幅为 36V 时的斜坡 V_{SUP}。请参阅图 6-1 和图 6-2	4		48	V
		睡眠模式	4		48	V
UV_{SUP}	V_{SUP} 欠压阈值	最小值是下降沿，最大值是上升沿	2.9		3.85	V
UV_{HYS}	V_{SUP} 欠压阈值下的迟滞电压差值			0.2		V
I_{SUP}	电源电流	正常模式：EN = 高电平，总线显性：总线总负载，其中 R_{LIN} > 500Ω，C_{LIN} < 10nF（请参阅图 6-7）		1.2	5	mA
		待机模式：EN = 低电平，总线显性：总线总负载，其中 R_{LIN} > 500Ω，C_{LIN} < 10nF（请参阅图 6-7）		1	2.1	mA
I_{SUP}	电源电流	正常模式：EN = 高电平，总线隐性 (LIN = V_{SUP})		400	700	µA
		待机模式：EN = 低电平，总线隐性 (LIN = V_{SUP})		20	35	µA
		睡眠模式：4.0V < V_{SUP} ≤ 27V，LIN = VSUP，EN = 0V，TXD 和 RXD 悬空		9	15	µA
		睡眠模式：27V < V_{SUP} ≤ 48V，LIN = VSUP，EN = 0V，TXD 和 RXD 悬空			30	µA
TSD	热关断		165			℃
$TSD_{(HYS)}$	热关断迟滞			15		℃
RXD 输出引脚（开漏）						
V_{OL}	输出低电压	R_{PU} = 2.4kΩ			0.6	V

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性（续）

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{OL}	低电平输出电流，开漏	LIN = 0V，RXD = 0.4V	1.5			mA
I_{ILG}	漏电流，高电平	LIN = V_{SUP}，RXD = 5V	-5	0	5	µA
TXD 输入引脚						
V_{IL}	低电平输入电压		-0.3		0.8	V
V_{IH}	高电平输入电压		2		5.5	V
I_{ILG}	低电平输入漏电流	TXD = 低电平	-5	0	5	µA
R_{TXD}	内部下拉电阻器值		125	350	800	kΩ
LIN 引脚						
V_{OH}	高电平输出电压	LIN 隐性，TXD = 高电平，I_O = 0mA，V_{SUP} = 7V 至 48V(1)	0.85			V_{SUP}
		LIN 隐性，TXD = 高电平，I_O = 0mA，V_{SUP} = 4V ≤ V_{SUP} < 7V(1)	3			V
V_{OL}	低电平输出电压	LIN 显性，TXD = 低电平，V_{SUP} = 7V 至 48V(1)			0.2	V_{SUP}
		LIN 显性，TXD = 低电平，V_{SUP} = 4V ≤ V_{SUP} < 7V(1)			1.2	V
$V_{SUP_NON_OP}$	VSUP，其中隐性 LIN 总线的影响 < 5%（ISO/DIS 17987 参数 11、54/56）	TXD & RXD 开路 LIN = 4V 至 58V	-0.3		58	V
I_{BUS_LIM}	限制电流（ISO/DIS 17987 参数 57）	TXD = 0V，V_{LIN} = 36V，R_{MEAS} = 440Ω，V_{SUP} = 36V，V_{BUSdom} < 4.518V 参阅图 6-6	75	120	300	mA
$I_{BUS_PAS_dom}$	接收器漏电流，显性（ISO/DIS 17987 参数 13、58）	LIN = 0V，V_{SUP} = 24V 驱动器关闭/隐性图 6-7	-1			mA
$I_{BUS_PAS_rec1}$	接收器漏电流，隐性（ISO/DIS 17987 参数 14、59）	LIN > V_{SUP}，4V ≤ V_{SUP} ≤ 45V 驱动器关闭；图 6-8			20	µA
$I_{BUS_PAS_rec2}$	接收器漏电流，隐性（ISO/DIS 17987 参数 14、59）	LIN = V_{SUP}，驱动器关闭；图 6-8	-5		5	µA
$I_{BUS_NO_GND}$	漏电流，接地失效（ISO/DIS 17987 参数 15、60）	GND = V_{SUP}，V_{SUP} = 27V，LIN = 0V；图 6-9	-1		1	mA
$I_{BUS_NO_GND}$	漏电流，接地失效（ISO/DIS 17987 参数 15、60）	GND = V_{SUP}，V_{SUP} ≥ 36V，LIN = 0V；图 6-9	-1.5		1.5	mA
$I_{BUS_NO_BAT}$	漏电流，失电（ISO/DIS 17987 参数 16、61）	LIN = 48V，V_{SUP} = GND；图 6-10			5	µA
V_{BUSdom}	低电平输入电压（ISO/DIS 17987 参数 17、62）	LIN 显性（包括用于唤醒的 LIN 显性），请参阅图 6-4、图 6-3			0.4	V_{SUP}
V_{BUSrec}	高电平输入电压（ISO/DIS 17987 参数 18、63）	LIN 隐性，请参阅图 6-4、图 6-3	0.6			V_{SUP}
V_{BUS_CNT}	接收器中心阈值（ISO/DIS 17987 参数 19、64）	V_{BUS_CNT} = (V_{IL} + V_{IH})/2，请参阅图 6-4、图 6-3	0.475	0.5	0.525	V_{SUP}
V_{HYS}	迟滞电压（ISO/DIS 17987 参数 20、65）	V_{HYS} = (V_{IL} - V_{IH})，请参阅图 6-4、图 6-3			0.175	V_{SUP}
V_{SERIAL_DIODE}	串联二极管 LIN 端接上拉路径	根据设计和表征而定	0.4	0.7	1	V
R_{PU-LIN}	连接到 V_{SUP} 的内部上拉电阻器	正常模式和待机模式	20	45	60	kΩ
I_{RSLEEP}	连接至 V_{SUP} 的上拉电流源	睡眠模式，V_{SUP} = 27V，LIN = GND	-2		-20	µA
C_{LINPIN}	LIN 引脚的电容	V_{SUP} = 14V			25	pF
EN 输入引脚						

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性（续）

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压		-0.3		0.8	V
V_{IH}	高电平输入电压		2		5.5	V
V_{IT}	迟滞电压	根据设计和表征而定		50	500	mV
I_{ILG}	低电平输入电流	EN = 低电平	-5	0	5	μA
R_{EN}	内部下拉电阻器		125	350	800	kΩ

(1) LIN 驱动器总线负载条件（C_{LIN}、R_{LIN}）：无外部负载

5.7 开关特性

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$D1_{12V}$	占空比 1（ISO/DIS 17987 参数 27）(1)	$TH_{REC(MAX)}$ = 0.744 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.581 x V_{SUP}，V_{SUP} = 4V 至 7.4V，t_{BIT} = 50μs (20kbps)，D1 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.396			
$D1_{12V}$	占空比 1(2)	$TH_{REC(MAX)}$ = 0.625 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.581 x V_{SUP}，V_{SUP} = 7.4V 至 9.4V，t_{BIT} = 50μs (20kbps)，D1 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.368			
$D1_{12V}$	占空比 1（ISO/DIS 17987 参数 27）	$TH_{REC(MAX)}$ = 0.744 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.581 x V_{SUP}，V_{SUP} = 9.4V 至 18V，t_{BIT} = 50μs (20kbps)，D1 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.396			
$D2_{12V}$	占空比 2（ISO/DIS 17987 参数 28）	$TH_{REC(MIN)}$ = 0.422 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.284 x V_{SUP}，V_{SUP} = 4V 至 7.4V，t_{BIT} = 50μs (20kbps)，D2 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.581	
$D2_{12V}$	占空比 2(2)	$TH_{REC(MIN)}$ = 0.422 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.284 x V_{SUP}，V_{SUP} = 7.4V 至 9.4V，t_{BIT} = 50μs (20kbps)，D2 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.67	
$D2_{12V}$	占空比 2（ISO/DIS 17987 参数 28）	$TH_{REC(MIN)}$ = 0.422 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.284 x V_{SUP}，V_{SUP} = 9.4V 至 18V，t_{BIT} = 50μs (20kbps)，D2 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.581	
$D3_{12V}$	占空比 3（ISO/DIS 17987 参数 29）	$TH_{REC(MAX)}$ = 0.778 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.616 x V_{SUP}，V_{SUP} = 7V 至 18V，t_{BIT} = 96μs (10.4kbps)，D3 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.417			
$D3_{12V}$	占空比 3	$TH_{REC(MAX)}$ = 0.645 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.616 x V_{SUP}，V_{SUP} = 4V 至 7V，t_{BIT} = 96μs (10.4kbps)，D3 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.417			

Copyright © 2024 Texas Instruments Incorporated

5.7 开关特性（续）

参数在 -40℃ ≤ T_A ≤ 125℃ 范围内有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$D4_{12V}$	占空比 4（ISO/DIS 17987 参数 30）	$TH_{REC(MIN)}$ = 0.389 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.251 x V_{SUP}，V_{SUP} = 4.6V 至 7.4V，t_{BIT} = 96µs (10.4kbps)，D4 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.59	
$D4_{12V}$	占空比 4(2)	$TH_{REC(MIN)}$ = 0.389 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.251 x V_{SUP}，V_{SUP} = 7.4V 至 9.4V，t_{BIT} = 96µs (10.4kbps)，D4 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.6	
$D4_{12V}$	占空比 4（ISO/DIS 17987 参数 30）	$TH_{REC(MIN)}$ = 0.389 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.251 x V_{SUP}，V_{SUP} = 7.4V 至 18V，t_{BIT} = 96µs (10.4kbps)，D4 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.59	
$D1_{24V}$	占空比 1（ISO/DIS 17987 参数 72）(1)	$TH_{REC(MAX)}$ = 0.710 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.544 x V_{SUP}，V_{SUP} = 15V 至 36V，t_{BIT} = 50µs (20kbps)，D1 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.33			
$D2_{24V}$	占空比 2（ISO/DIS 17987 参数 73）	$TH_{REC(MIN)}$ = 0.446 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.302 x V_{SUP}，V_{SUP} = 15.6V 至 36V，t_{BIT} = 50µs (20kbps)，D2 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.642	
$D3_{24V}$	占空比 3（ISO/DIS 17987 参数 74）	$TH_{REC(MAX)}$ = 0.744 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.581 x V_{SUP}，V_{SUP} = 7V 至 36V，t_{BIT} = 96µs (10.4kbps)，D3 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.386			
$D3_{24V}$	占空比	$TH_{REC(MAX)}$ = 0.645 x V_{SUP}，$TH_{DOM(MAX)}$ = 0.581 x V_{SUP}，V_{SUP} = 4V 至 7V，t_{BIT} = 96µs (10.4kbps)，D3 = $t_{BUS_rec(min)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）	0.386			
$D4_{24V}$	占空比 4（ISO/DIS 17987 参数 75）	$TH_{REC(MIN)}$ = 0.422 x V_{SUP}，$TH_{DOM(MIN)}$ = 0.284 x V_{SUP}，V_{SUP} = 4.6V 至 36V，t_{BIT} = 96µs (10.4kbps)，D4 = $t_{BUS_rec(MAX)}$/(2 x t_{BIT})（请参阅图 6-11、图 6-12）			0.591	

(1) 占空比：LIN 驱动器总线负载条件（C_{LIN}、R_{LIN}）：Load1 = 1nF、1kΩ；Load2 = 10nF、500Ω；Load3 = 6.8nF、660Ω。为 10.4kbps 运行定义占空比 3 和 4。TLIN2029 还满足这些更低数据速率要求，同时能够按照占空比 1 和 2 的规定实现更高的 20kbps 速率运行。SAEJ2602 根据 LIN 2.0 占空比定义推导传播延迟公式，有关详细信息，请参阅 SAEJ2602 规范

(2) 请参阅勘误表 TLIN1029-Q1 和 TLIN2029-Q1 V_{SUP} 上的占空比

5.8 时序要求

符号	说明	测试条件	最小值	标称值	最大值	单位
t_{rx_pdr}、t_{rx_pdf}	接收器上升和下降传播延迟时间（ISO/DIS 17987 参数 31、76）	R_{RXD} = 2.4kΩ、C_{RXD} = 20pF（请参阅图 6-13 和图 6-14）			6	µs
t_{rx_sym}	接收器传播延迟时间的对称性	上升沿相对于下降沿，(trx_sym = t_{rx_pdf} – t_{rx_pdr})，R_{RXD} = 2.4kΩ，C_{RXD} = 20pF（请参阅图 6-13 和图 6-14）	-2		2	µs

Copyright © 2024 Texas Instruments Incorporated

5.8 时序要求（续）

符号	说明	测试条件	最小值	标称值	最大值	单位
t_{LINBUS}	LIN 唤醒时间（LIN 总线上用于唤醒的最短显性时间）	请参阅图 6-17、图 7-2 和图 7-3。	25	65	150	µs
t_{CLEAR}	在 LIN 总线出现卡滞显性故障时清除错误唤醒预防逻辑所需的时间（LIN 总线清除总线卡滞显性故障的隐性时间）	参阅图 7-3	8	25	50	µs
t_{DST}	显性状态超时		20	45	80	ms
t_{MODE_CHANGE}	模式更改延迟时间	通过 EN 引脚从待机模式更改为正常模式或从正常模式更改为睡眠模式所需的时间（请参阅图 6-15 和图 7-4）	2		15	µs
t_{NOMINT}	正常模式初始化时间	正常模式初始化且 RXD 引脚上的数据变为有效所需的时间（请参阅图 6-15）			35	µs
t_{PWR}	上电时间	上电时，RXD 上的数据变为有效所需的时间			1.5	ms

Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

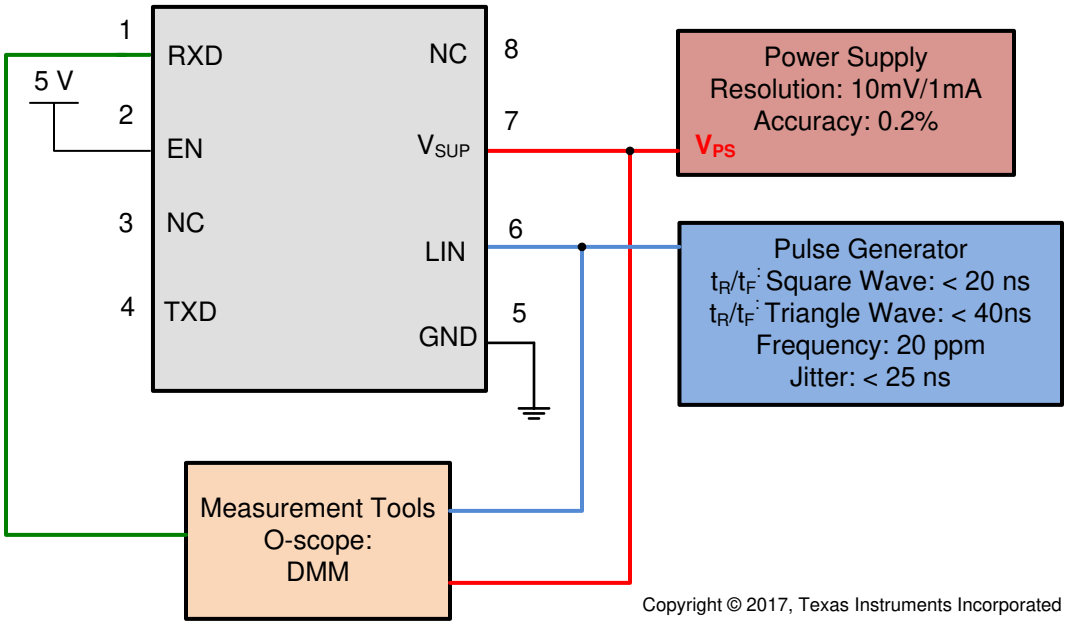


图 6-1. 测试系统：具有 RX 和 TX 访问的工作电压范围：参数 9、10

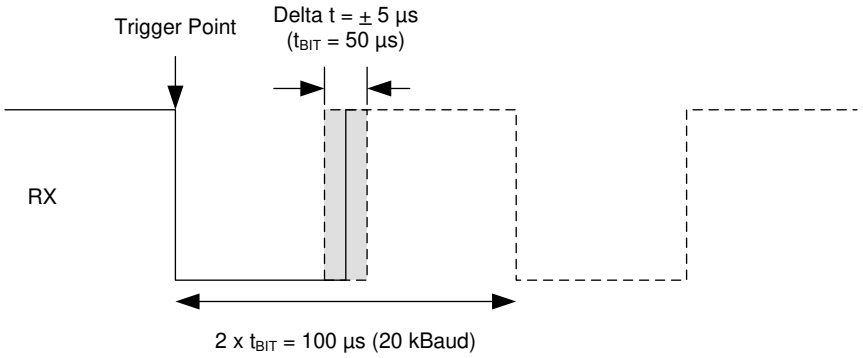


图 6-2. RX 响应：工作电压范围

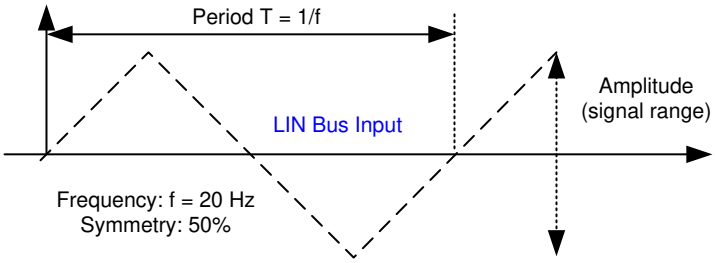


图 6-3. LIN 总线输入信号

Copyright © 2024 Texas Instruments Incorporated

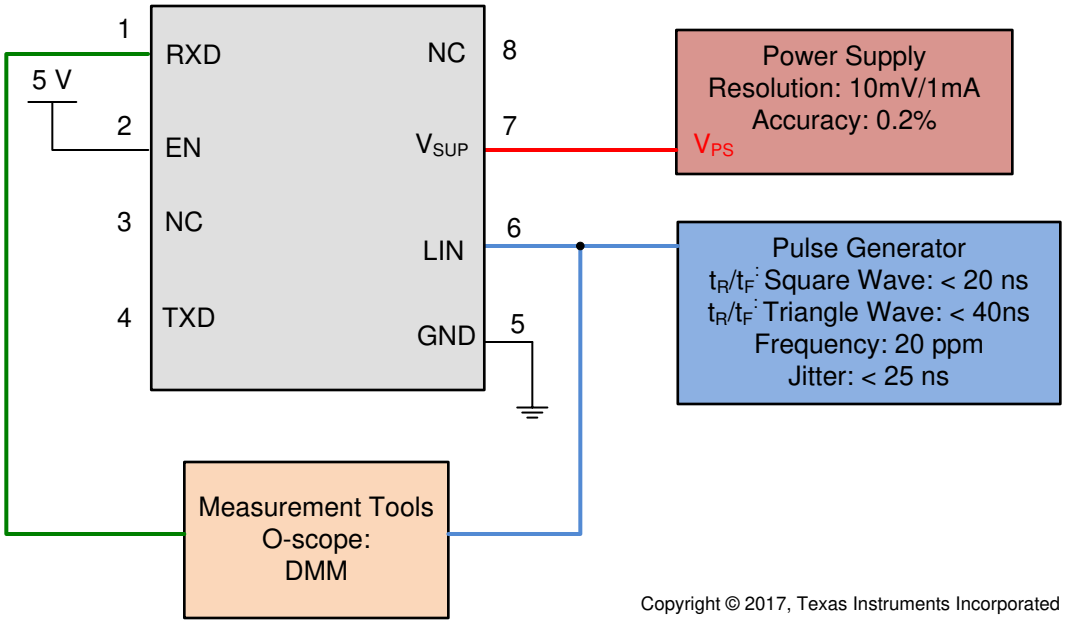


图 6-4. 具有 RX 访问的 LIN 接收器测试，参数 17、18、19、20

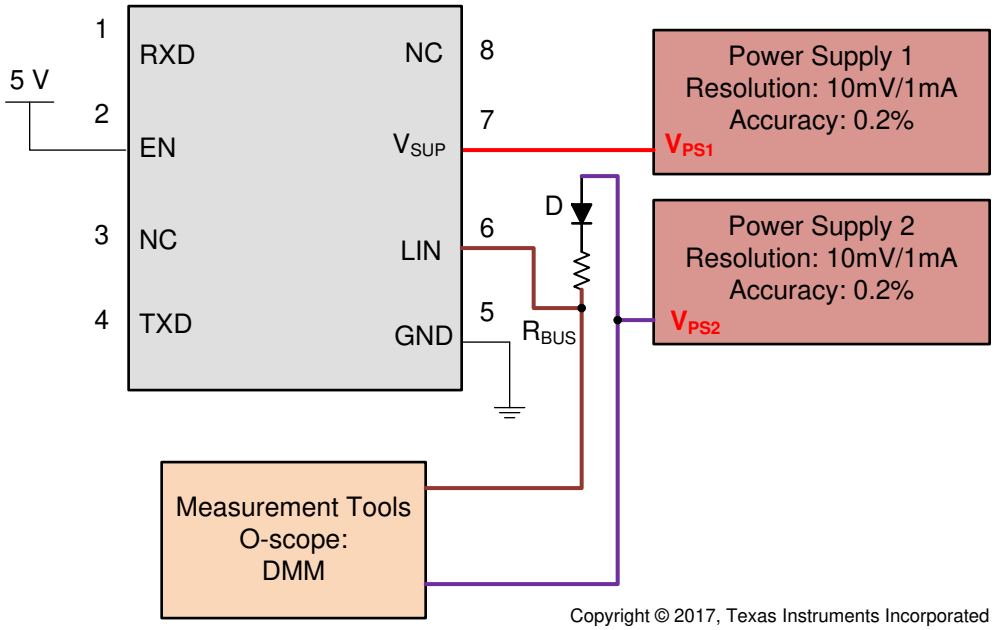


图 6-5. $V_{SUP_NON_OP}$ 参数 11 54/56

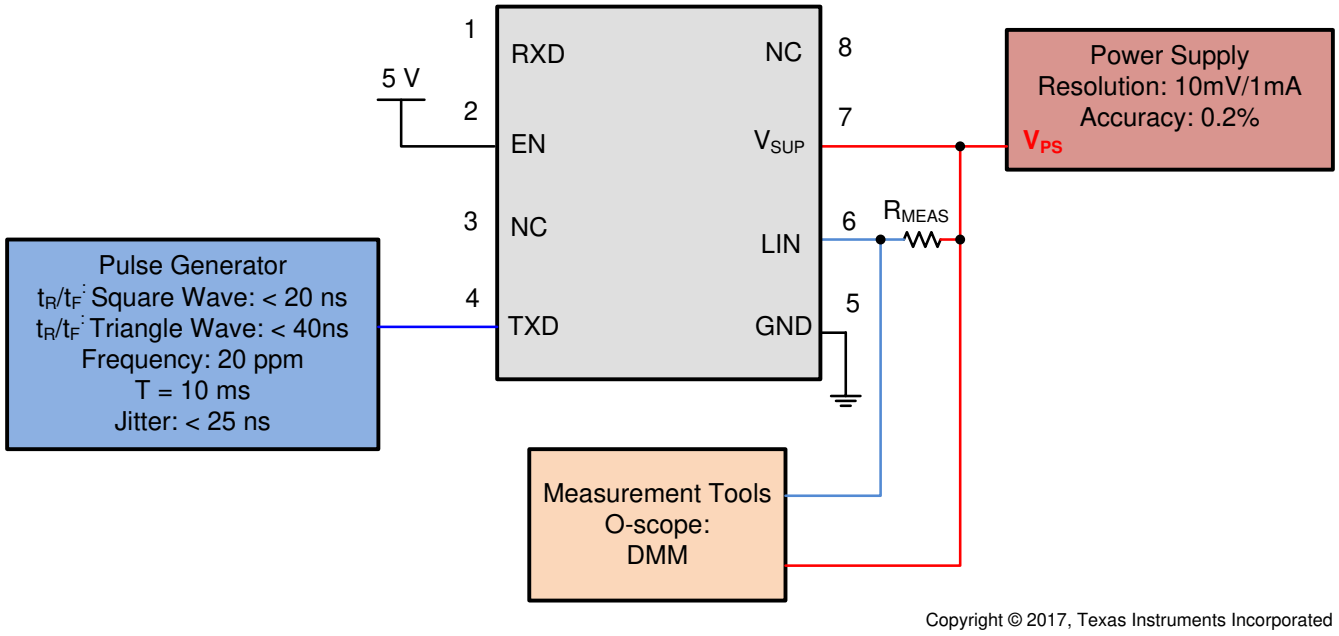


图 6-6. I_{BUS_LIM} 处于显性状态（驱动器开启）时的测试电路，参数 12

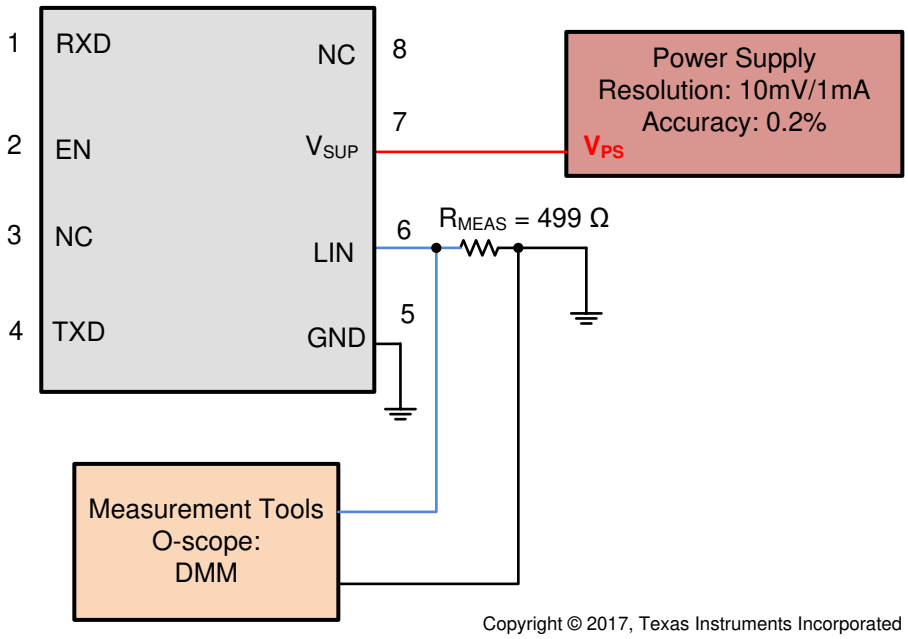


图 6-7. $I_{BUS_PAS_dom}$ 的测试电路；TXD = 隐性状态，V_{BUS} = 0V，参数 13

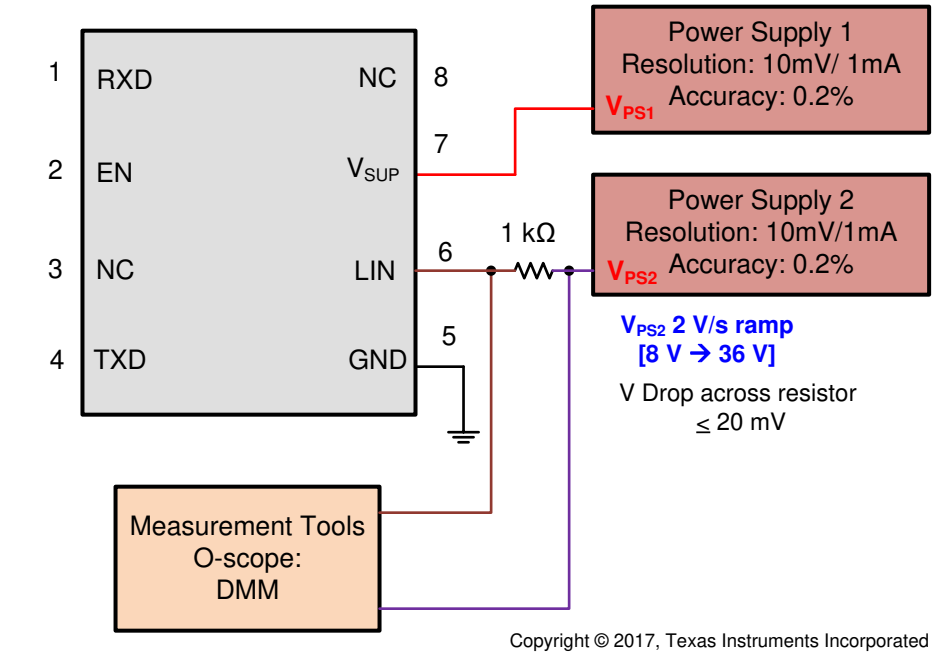


图 6-8. $I_{BUS_PAS_rec}$ 的测试电路，参数 14

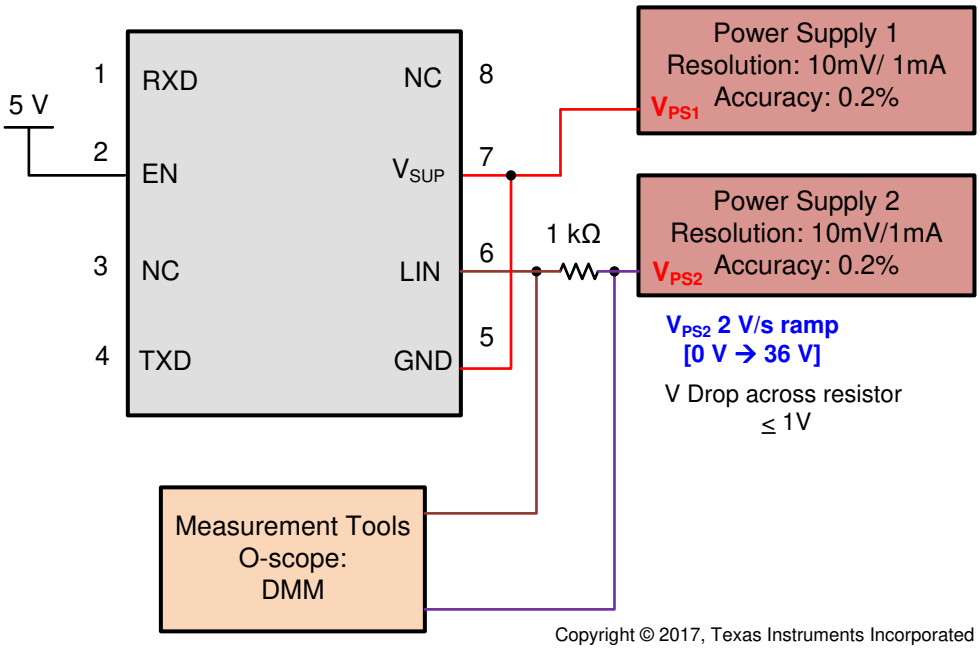


图 6-9. $I_{BUS_NO_GND}$ 的测试电路，接地失效

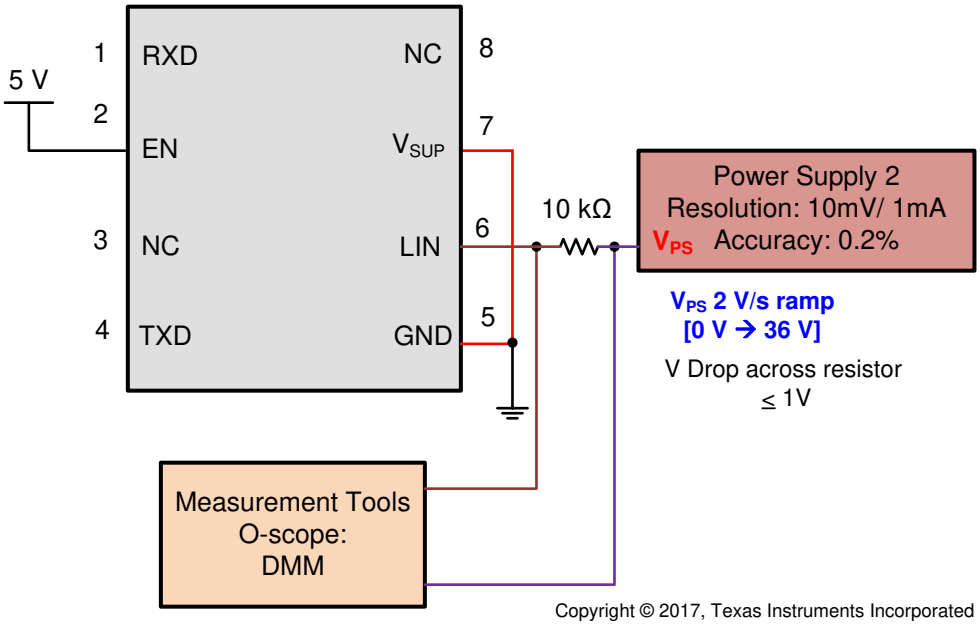


图 6-10. $I_{BUS_NO_BAT}$ 的测试电路，失电

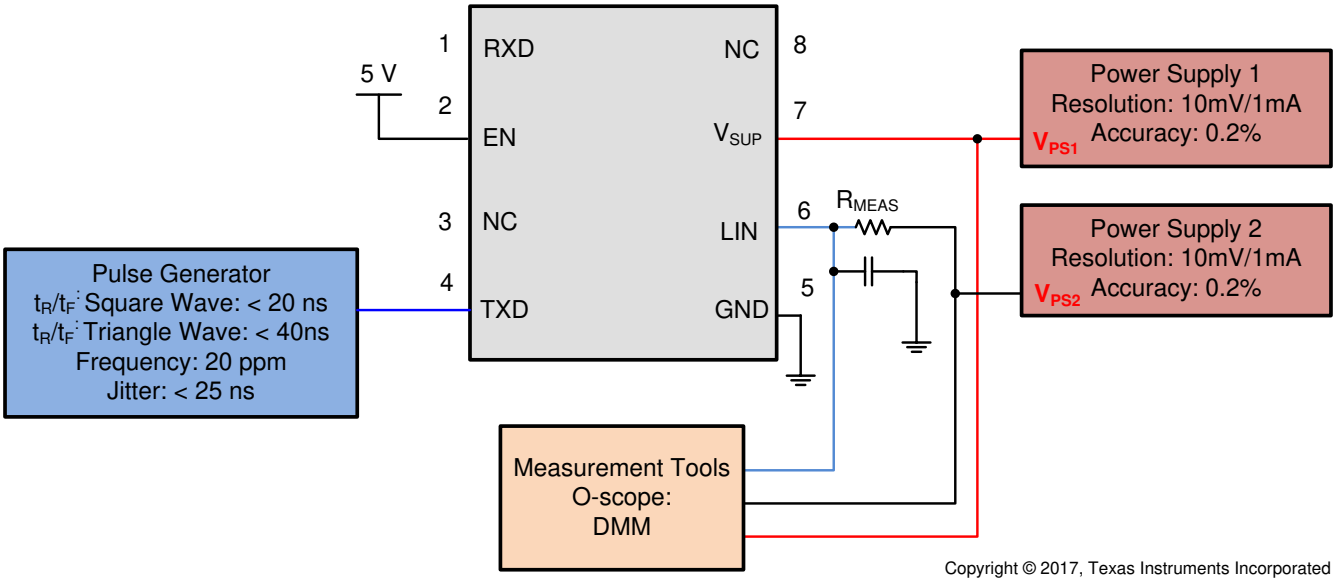


图 6-11. 测试电路斜率控制和占空比，参数 27、28、29、30 、72、73、74、75

Copyright © 2024 Texas Instruments Incorporated

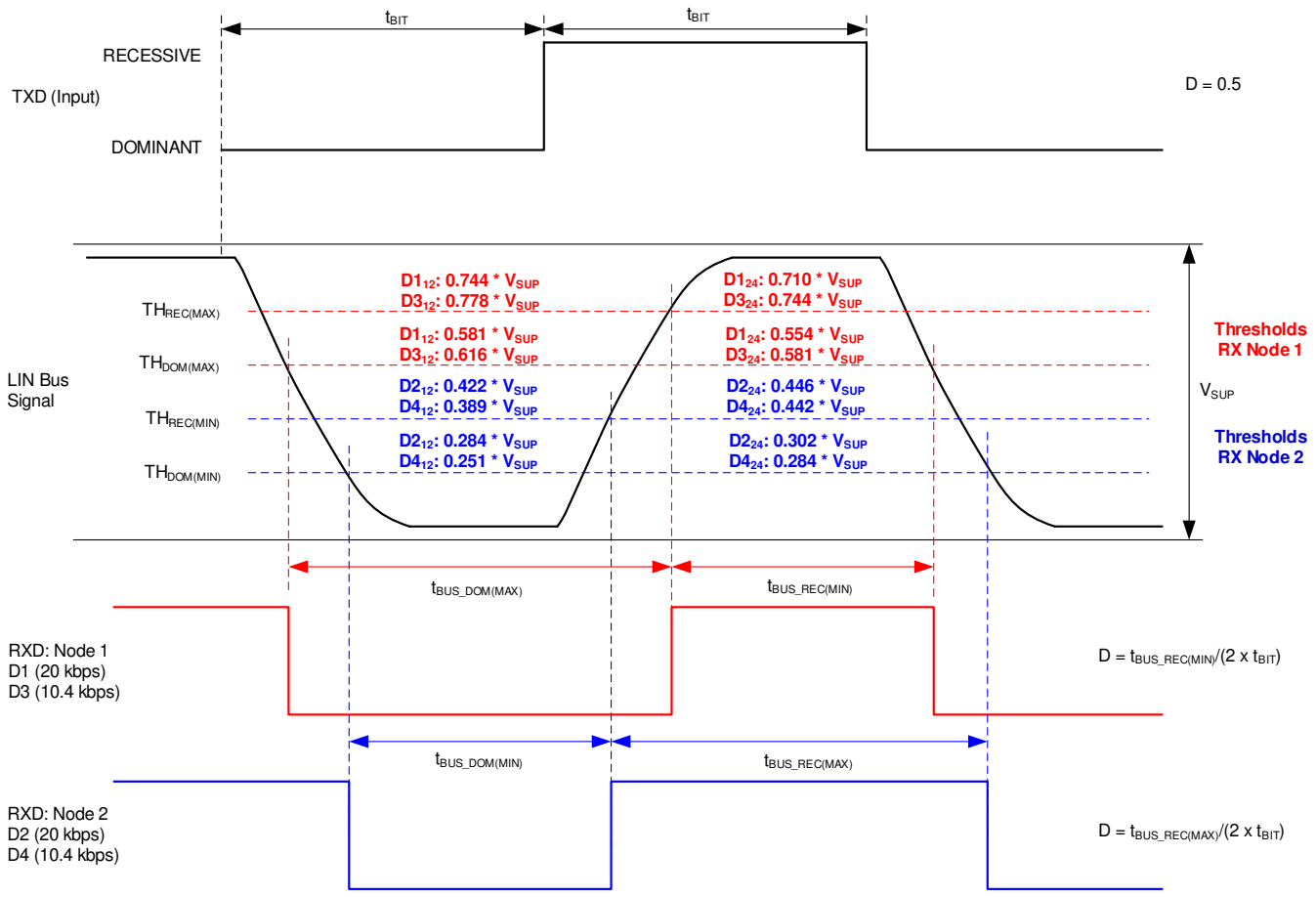


图 6-12. 总线时序参数的定义

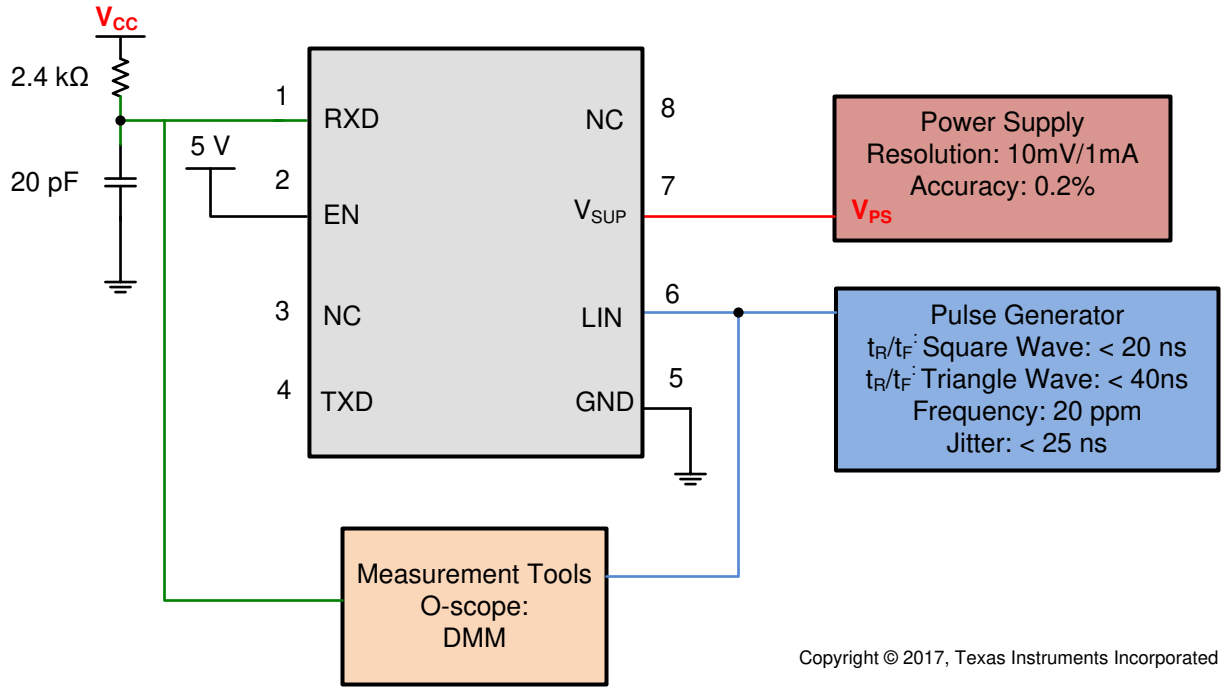
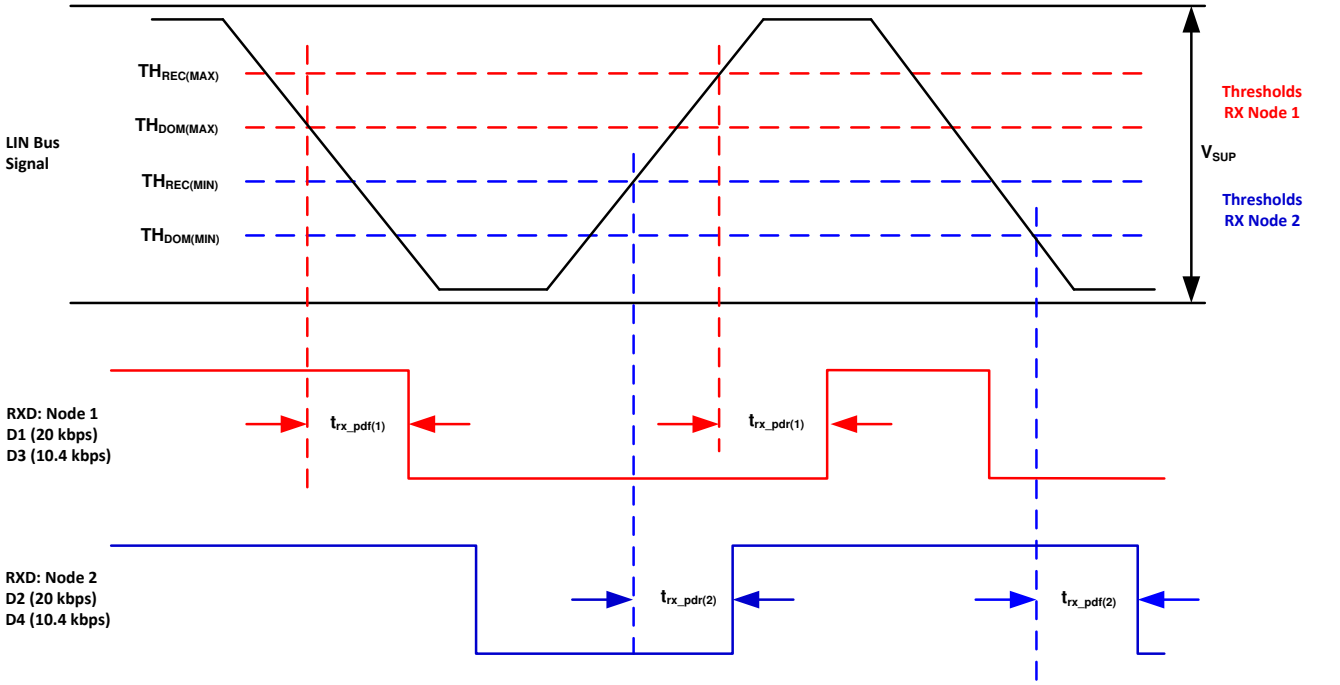


图 6-13. 传播延迟测试电路；参数 31、32



Copyright © 2017, Texas Instruments Incorporated

图 6-14. 传播延迟

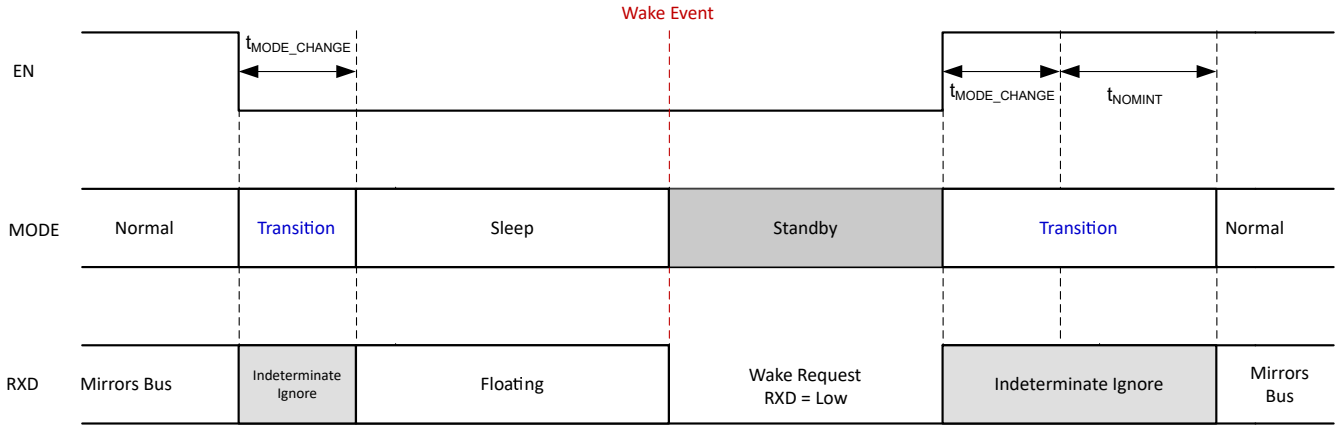


图 6-15. 代码转换

Copyright © 2024 Texas Instruments Incorporated

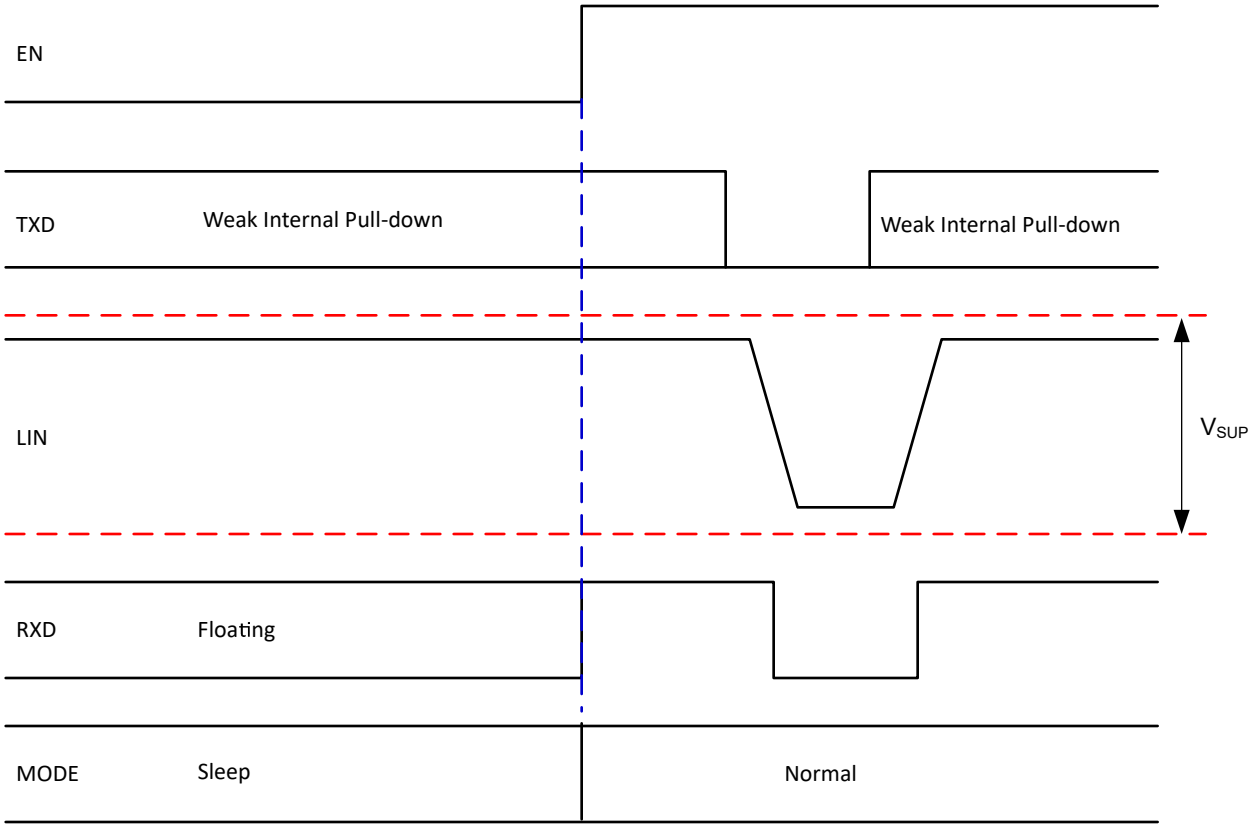

EN
TXD
Weak Internal Pull-down
Weak Internal Pull-down
LIN
VSUP
RXD
Floating
MODE
Sleep
Normal

图 6-16. 通过 EN 唤醒

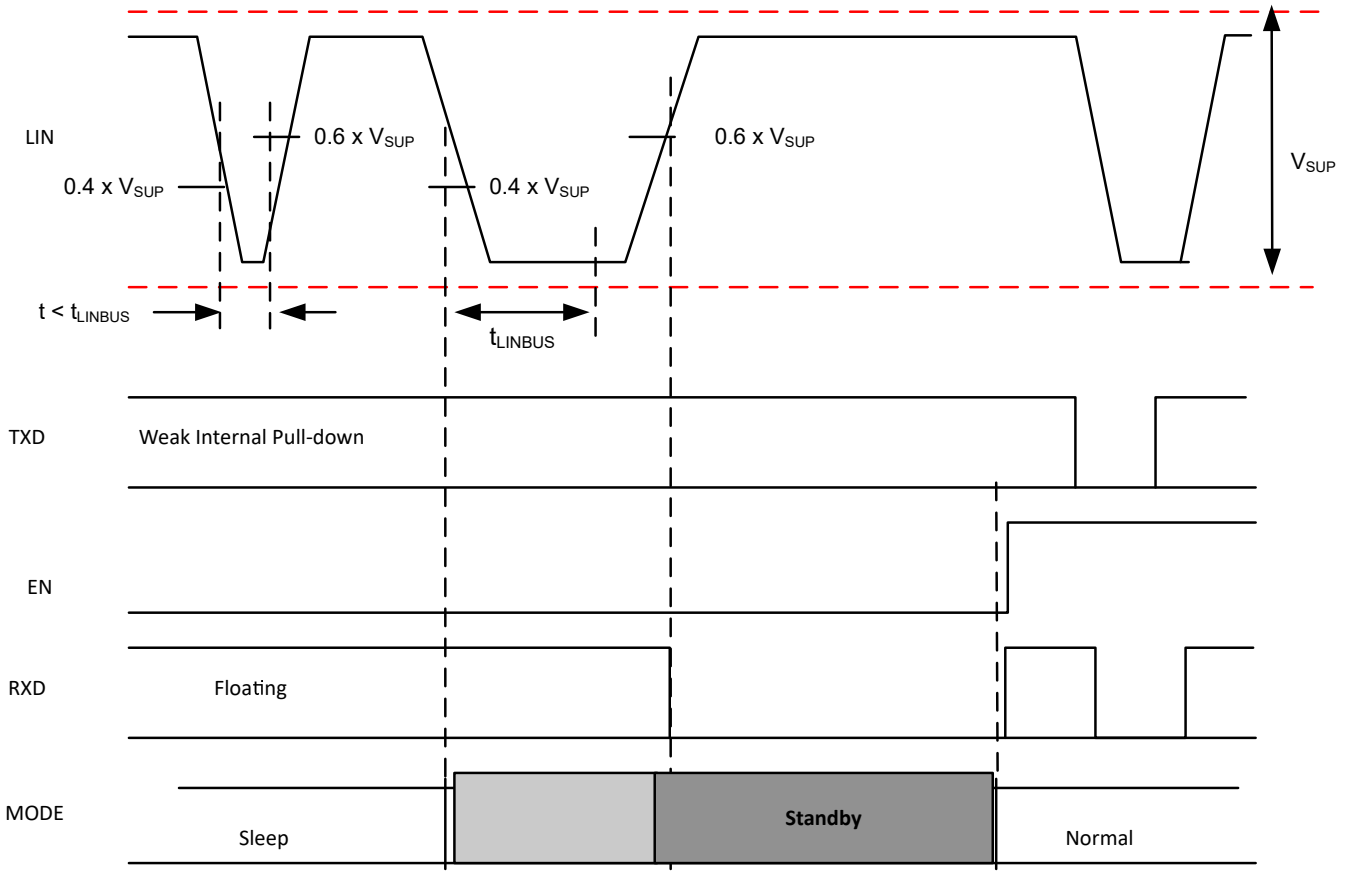
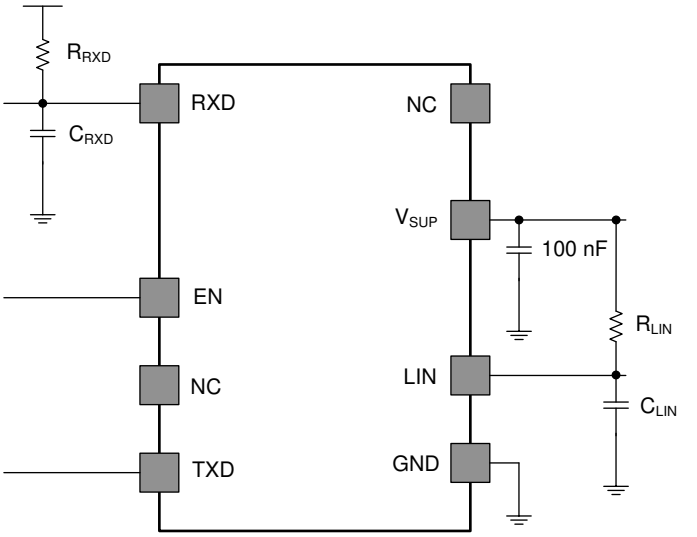


图 6-17. 通过 LIN 唤醒



Copyright © 2017, Texas Instruments Incorporated

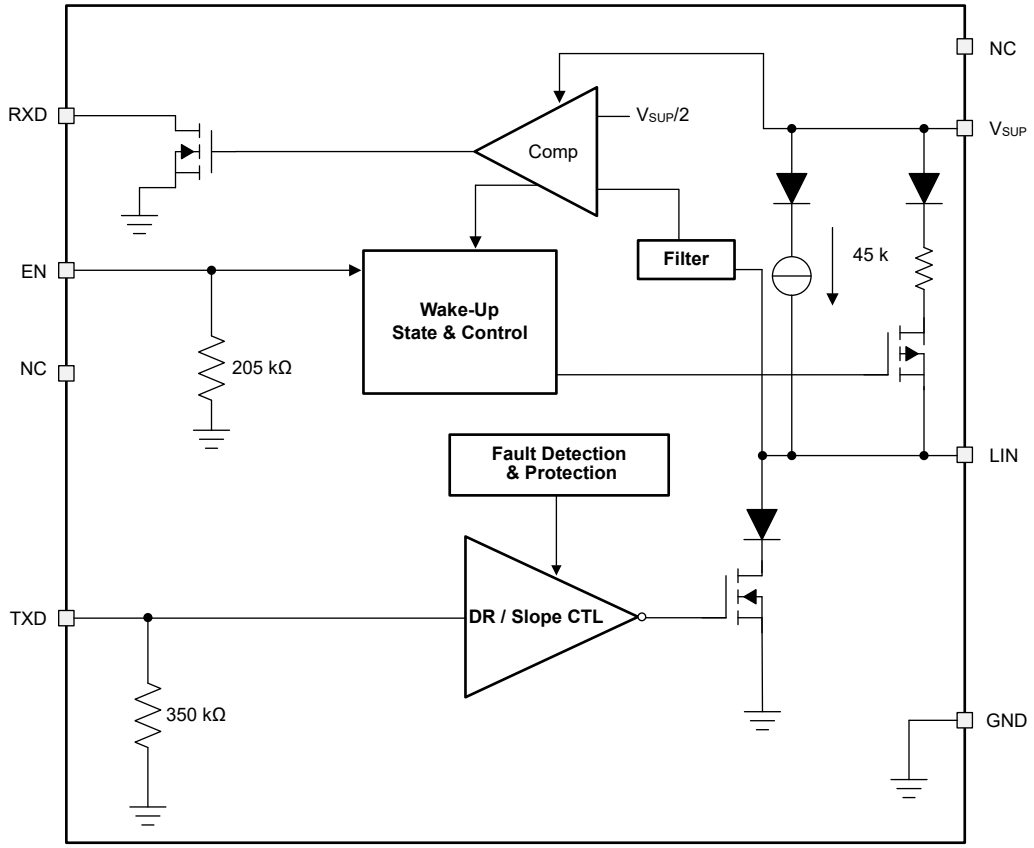
图 6-18. 交流特性测试电路

7 详细说明

7.1 概述

TLIN2029-Q1 是一款本地互连网络 (LIN) 物理层收发器，集成了唤醒和保护功能，符合 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A 和 ISO/DIS 17987 – 4 标准。LIN 总线是一种单线制双向总线，通常用于低速车载网络，采用的数据传输速率范围为 2.4kbps 到 20kbps。TLIN2029-Q1 LIN 接收器运行速率高达 100kbps，支持内联编程。TLIN2029-Q1 通过 LIN 物理层规范中概要介绍的限流波形整型驱动器，将 TXD 输入上的 LIN 协议数据流转换为 LIN 总线信号。接收器将数据流转化为逻辑电平信号，此信号通过开漏 RXD 引脚发送到微处理器。LIN 总线共有两种状态：显性状态（电压接近接地）和隐性状态（电压接近电池）。在隐性状态下，LIN 总线由内部上拉电阻器 (45kΩ) 和串联二极管拉至高电平。响应者模式应用无需外部上拉元件。按照 LIN 规范，指挥官模式应用需要一个外部上拉电阻器 (1kΩ) 和一个串联二极管。TLIN2029-Q1 提供许多保护功能，例如 ESD 抗扰性和高总线关断电压。该器件还提供两种唤醒方法：EN 引脚和 LIN 总线唤醒。

7.2 功能方框图



7.3 特性说明

7.3.1 LIN（本地互连网络）总线

此高压输入/输出引脚是一个单线 LIN 总线发送器和接收器。LIN 引脚可以承受高达 60V 的瞬态电压。通过阻断二极管可以更大程度降低从 LIN 到电源 (V_{SUP}) 的反向电流，即使在接地漂移或失电 (V_{SUP}) 的情况下也是如此。

7.3.1.1 LIN 发送器特性

根据 LIN 规范，发送器具有阈值和交流参数。发送器是具有内部电流限制和热关断功能的低侧晶体管。在热关断情况下，会禁用发送器来保护器件。器件有一个连接到 V_{SUP} 的内部上拉电阻和串联二极管结构，所以 LIN 响应者模式应用不需要外部上拉元件。当该器件用于指挥官模式节点应用时，必须将外部上拉电阻和串联二极管连接到 V_{SUP}。

Copyright © 2024 Texas Instruments Incorporated

7.3.1.2 LIN 接收器特性

根据 LIN 规范，接收器的特性阈值与器件电源引脚成正比。

接收器可以接收比 LIN 或 SAEJ2602 规范所支持的速率更高的数据速率 (> 100kbps)。这样就可以使用 TLIN2029-Q1 在末端生产环节或其他应用中进行高速下载。可实现的实际数据速率取决于系统时间常数（总线电容和上拉电阻）以及系统中使用的驱动器特性。

7.3.1.2.1 终端

器件有一个连接到 V_{SUP} 的内部上拉电阻和串联二极管结构，所以 LIN 响应者模式应用不需要外部上拉元件。根据 LIN 规范将器件用于指挥官模式应用时，必须添加一个外部上拉电阻器 (1kΩ) 和一个连接至 V_{SUP} 的串联二极管。

图 7-1 展示了指挥官节点配置以及如何定义电压电平

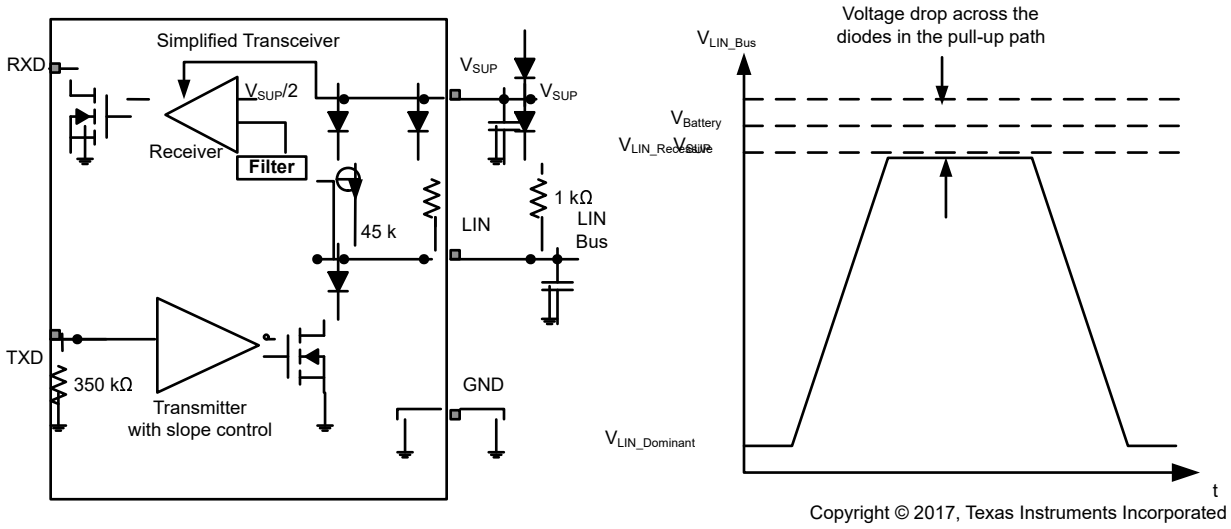


图 7-1. 指挥官节点配置和电压电平

7.3.2 TXD（发送输入和输出）

TXD 是连接 MCU LIN 协议控制器或 SCI 和 UART 的接口，用于控制 LIN 输出的状态。当 TXD 为低电平时，LIN 输出为显性（接近地电平）。当 TXD 为高电平时，LIN 输出为隐性（接近 $V_{Battery}$）。请参阅图 7-1。TXD 输入结构与具有 3.3V 和 5V I/O 的微控制器兼容。TXD 具有内部下拉电阻器。LIN 总线会受到保护，避免因系统故障，无法通过显性状态超时计时器将 TXD 驱动为低电平，而导致卡滞在显性状态。

7.3.3 RXD（接收输出）

RXD 是连接 MCU LIN 协议控制器或 SCI 和 UART 的接口，用于报告 LIN 总线电压的状态。LIN 隐性状态（接近 $V_{Battery}$）由 RXD 上的高电平表示，LIN 显性状态（接近地电平）由 RXD 引脚上的低电平表示。RXD 输出结构是开漏输出级。这样就可让器件与 3.3V 和 5V I/O 微控制器一起使用。如果微控制器的 RXD 引脚没有集成上拉电阻器，则需要连接到微控制器 I/O 电源电压的外部上拉电阻器。在待机模式下，RXD 引脚驱动为低电平，指明唤醒请求来自 LIN 总线。

7.3.4 V_{SUP}（电源电压）

V_{sup} 是电源电压引脚。V_{SUP} 通过外部反向阻断二极管连接到电池（图 7-1）。如果在 ECU 电平发生功率损耗，器件 LIN 引脚的漏电流超低，不会使总线负载下降。这非常适合 LIN 系统，在这种系统中，某些节点未供电（点火供电），而网络的其余部分仍保持供电（电池供电）。

Copyright © 2024 Texas Instruments Incorporated

7.3.5 GND（接地）

GND 是器件接地连接。只要接地偏移不会使 V_{SUP} 降低到最低工作电压以下，该器件就可以在存在接地偏移的情况下运行。确保输入和输出电压在相应阈值内。如果在 ECU 电平下发生接地失效，器件 LIN 引脚的漏电流超低，不会使总线负载下降。这非常适合 LIN 系统，在这种系统中，某些节点未供电（点火供电），而网络的其余部分仍保持供电（电池供电）。

7.3.6 EN（使能输入）

EN 控制器件的工作模式。当 EN 为高电平时，器件处于正常工作模式，允许从 TXD 到 LIN 以及从 LIN 到 RXD 的传输路径。当 EN 为低电平时，器件进入睡眠模式且没有可用的传输路径。器件仅在唤醒后才能进入正常模式。EN 有一个内部下拉电阻器，用来确保器件保持低功耗模式，即使 EN 悬空时也是如此。

7.3.7 保护特性

TLIN2029-Q1 具有几种保护功能，如下所述。

7.3.8 TXD 显性超时 (DTO)

在正常模式下，如果 TXD 因硬件或软件应用程序故障而意外地永久驱动至低电平，LIN 总线受显性状态超时计时器保护。此计时器由 TXD 引脚上的下降沿触发。如果 TXD 上的低电平信号持续时间超过 t_{DST}，则禁用发送器，从而使 LIN 总线恢复到隐性状态，并在总线上恢复通信。清除保护且通过 TXD 上的上升沿复位 t_{DST} 计时器。TXD 引脚有一个内部下拉电阻，用于确保在 TXD 断开连接时器件可以进入已知状态。此故障期间，收发器保持正常模式（假设 EN 上的指定请求没有变化），禁用发送器、RXD 引脚反映 LIN 总线上的状态，LIN 总线上拉终端保持开启。

7.3.9 总线卡滞显性系统故障：错误唤醒锁定

TLIN2029-Q1 包含用于检测总线卡滞显性系统故障的逻辑，防止在系统故障期间错误唤醒器件。进入睡眠模式后，器件会检测 LIN 总线的状态。如果总线处于显性状态，则锁定唤醒逻辑，直至总线上的有效隐性状态“清除”总线卡滞显性状态，从而防止过多的电流消耗。图 7-2 和图 7-3 展示了这种保护行为。

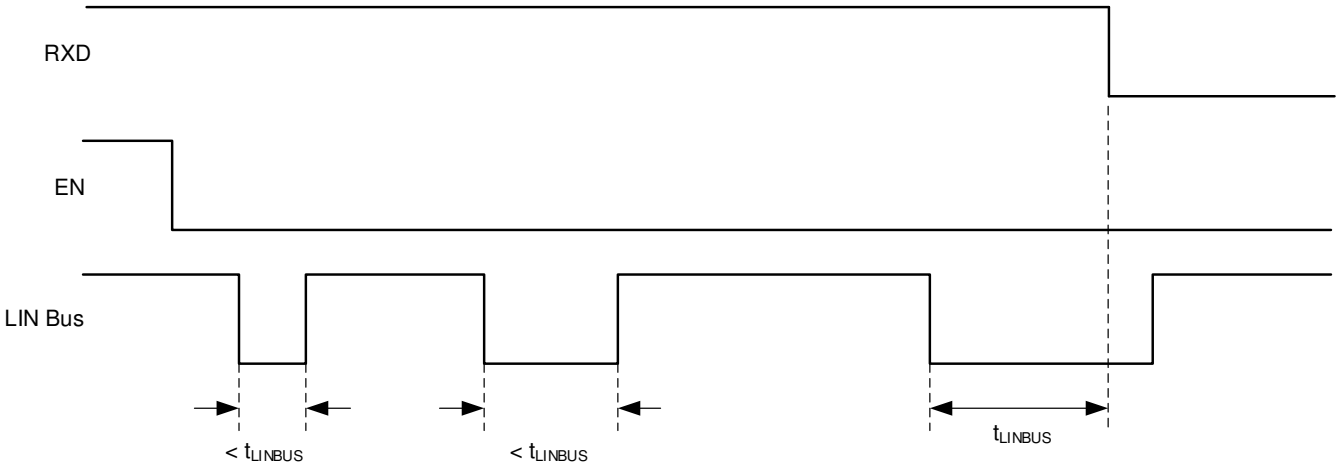


图 7-2. 无总线故障：在总线隐性状态和唤醒的情况下进入睡眠模式

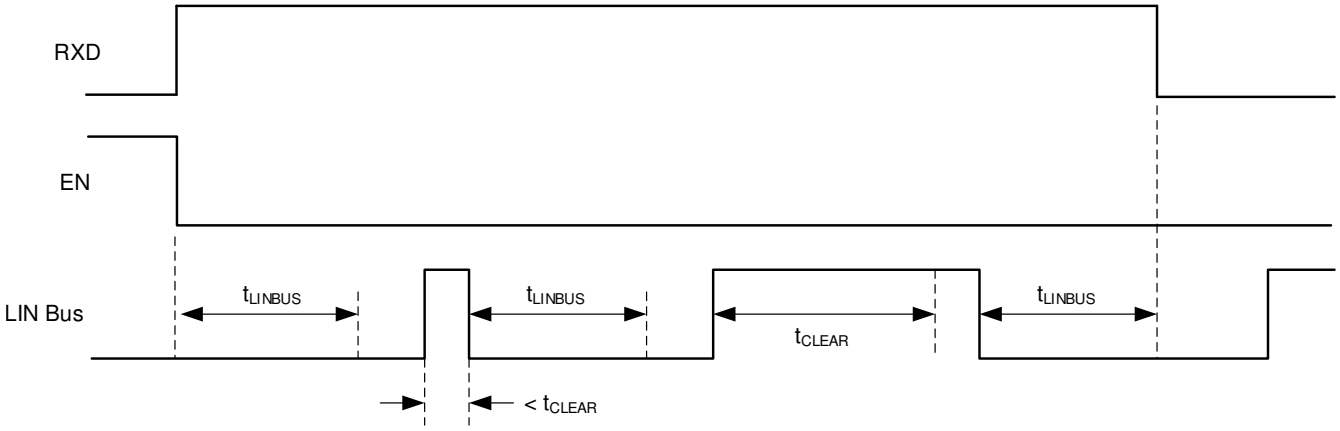


图 7-3. 总线故障：在发生总线卡滞显性故障、清除和唤醒的情况下进入睡眠模式

7.3.10 热关断

LIN 发送器受限流电路保护；但是，如果器件的结温超过热关断阈值，则器件会将 LIN 发送器置于隐性状态。在解除过热故障状况且结温冷却至超过迟滞温度后，假定器件保持正常工作模式，则重新启用发送器。此故障期间，收发器保持正常模式（假设 EN 上的指定请求没有变化)、发送器处于隐性状态、RXD 引脚反映 LIN 总线上的状态，且 LIN 总线上拉终端保持开启。

7.3.11 V_{SUP} 上的欠压

TLIN2029-Q1 包含一个上电复位电路，可以避免 V_{SUP} 小于 UV_{SUP} 时在欠压条件下出现错误的总线消息。

7.3.12 未供电器件和 LIN 总线

在汽车应用中，系统中的某些 LIN 节点可能未供电（点火供电），而网络中的其他节点仍由电池供电。TLIN2029-Q1 具有超低的总线未供电漏电流，因此未供电的节点不会影响网络或使其负载下降。

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

TLIN2029-Q1 有三种工作模式：正常、睡眠和待机。接下来的几节将介绍这些模式以及器件如何在不同模式之间切换。图 7-4 以图形方式展示了不同模式之间的关系，而表 7-1 展示了引脚的状态。

表 7-1. 工作模式

模式	EN	RXD	LIN 总线端接	发送器	注释
睡眠	低	悬空	弱电流上拉	关闭	
待机	低	低	45kΩ（典型值）	关闭	检测到唤醒事件，等待 MCU 设置 EN
正常	高	LIN 总线数据	45kΩ（典型值）	开启	LIN 传输速率高达 20kbps

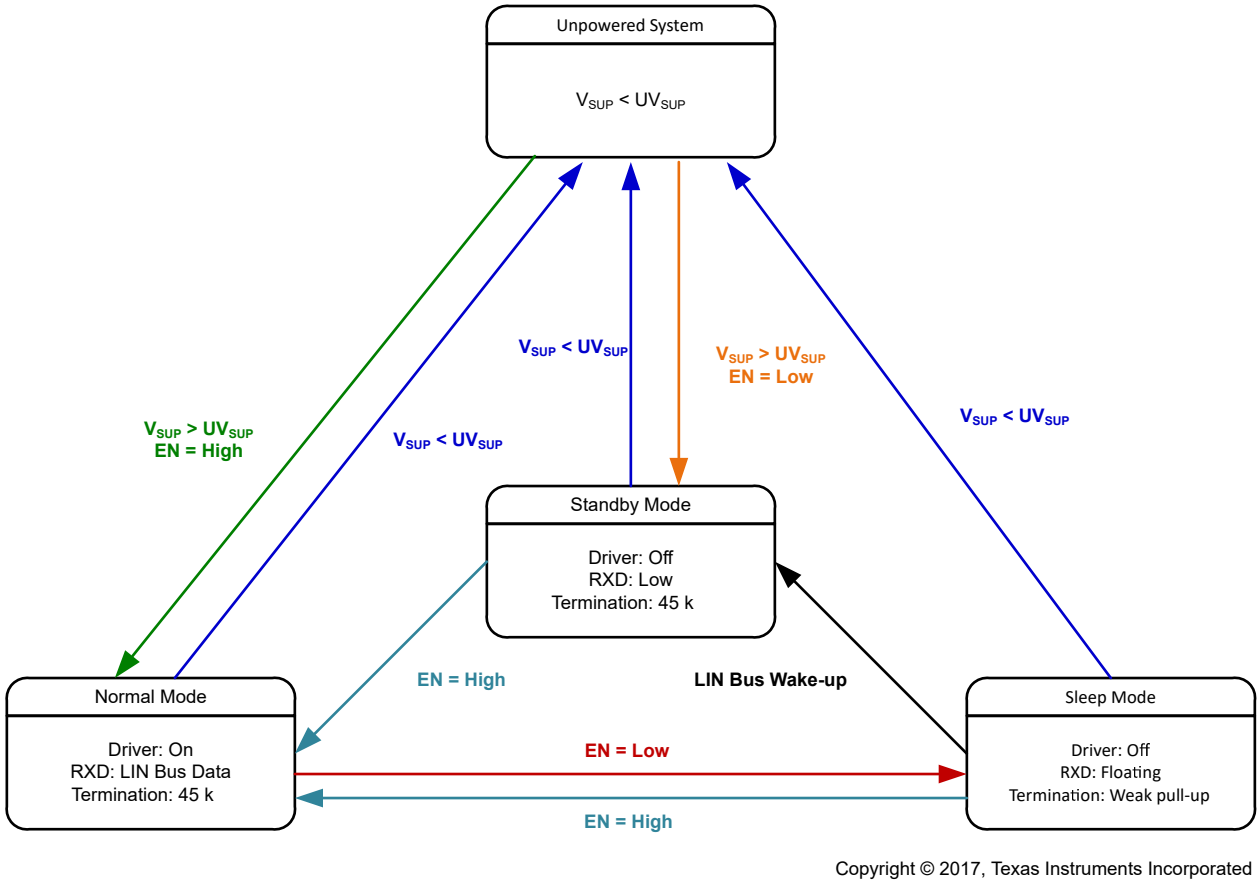


图 7-4. 运行状态图

7.4.1 正常模式

如果 EN 引脚在加电时为高电平，则器件在正常模式下加电。如果 EN 引脚为低电平，则器件在待机模式下加电。EN 引脚控制器件的模式。在正常工作模式下，接收器和发送器处于活动状态。支持 LIN 发送达到 LIN 指定的最大速率，即 20kbps。接收器检测 LIN 总线上的数据流，然后在 LIN 控制器的 RXD 上输出数据流。LIN 总线上的隐性信号是逻辑高电平，而 LIN 总线上的显性信号是逻辑低电平。驱动器将输入数据从 TXD 发送到 LIN 总线。当 TLIN2029-Q1 处于睡眠或待机模式时 EN 转换为高电平的时间达到 > t_{MODE_CHANGE} + t_{NOMINT}，则器件会进入正常模式。

7.4.2 睡眠模式

睡眠模式是 TLIN2029-Q1 的省电模式。仅当 EN 引脚为低电平时才会从正常模式进入睡眠模式。即使此模式下电流消耗超低，TLIN2029-Q1 仍可以通过唤醒信号或在 EN 设置为高电平的持续时间 ≥ t_{MODE_CHANGE} 时从 LIN 总线唤醒。对 LIN 总线进行滤波，以防止出现错误的唤醒事件。唤醒事件必须在相应的时间周期 (t_{LINBUS}) 内处于活动状态。

将 EN 设置为低电平且持续时间超过 t_{MODE_CHANGE} 可进入睡眠模式。

当器件处于睡眠模式时，存在以下状况：

- 禁用 LIN 总线驱动器，关闭内部 LIN 总线终端（从而在 LIN 对地短路时更大限度地减少功率损耗）。但是，弱电流上拉处于活动状态，防止在与 LIN 总线的外部连接丢失时出现错误的唤醒事件。
- 禁用正常接收器。
- EN 输入和 LIN 唤醒接收器处于活动状态。

7.4.3 待机模式

当器件处于睡眠模式时，只要通过 LIN 总线发生唤醒事件，就会进入此模式。当进入待机模式时，LIN 总线响应者模式端接电路会打开。待机模式通过 RXD 上的低电平来指示或触发。有关更多应用信息，请参阅 *节 8.2.2.2*。

如果在器件处于待机模式时 EN 设置为高电平的时间超过 t_{MODE_CHANGE}，则器件会返回正常模式。启用从 TXD 到 LIN 总线和 LIN 总线到 RXD 的正常传输路径。

7.4.4 唤醒事件

有两种方法可用于从睡眠模式唤醒：

- 由 LIN 总线上隐性（高电平）到显性（低电平）状态转换的下降沿启动远程唤醒，其中显性状态将保持时长为 t_{LINBUS} 的滤波时间。在满足此 t_{LINBUS} 滤波时间之后，LIN 总线上从显性状态转换为隐性状态的上升沿会启动远程唤醒事件，从而消除由 LIN 总线上的干扰或总线接地短路导致的错误唤醒。
- 通过将 EN 设置为高电平且持续时间超过 t_{MODE_CHANGE} 来启动本地唤醒。

7.4.4.1 唤醒请求 (RXD)

当 TLIN2029-Q1 遇到来自 LIN 总线的唤醒事件时，RXD 会变为低电平，器件转换至待机模式，直至 EN 重新置为高电平且器件进入正常模式。器件进入正常模式后，RXD 引脚就会释放唤醒请求信号，然后 RXD 引脚会反映来自 LIN 总线的接收器输出。

7.4.4.2 代码转换

当 TLIN2029-Q1 从正常模式转换到睡眠模式或待机模式时，器件需要一定的时间 t_{MODE_CHANGE}，以便确保从 EN 引脚开始的状态变化能够完全传播到整个器件，并使其进入新的状态。器件需要 t_{MODE_CHANGE} 加 t_{NOMINT} 的时间才能从睡眠或待机模式转换到正常模式。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

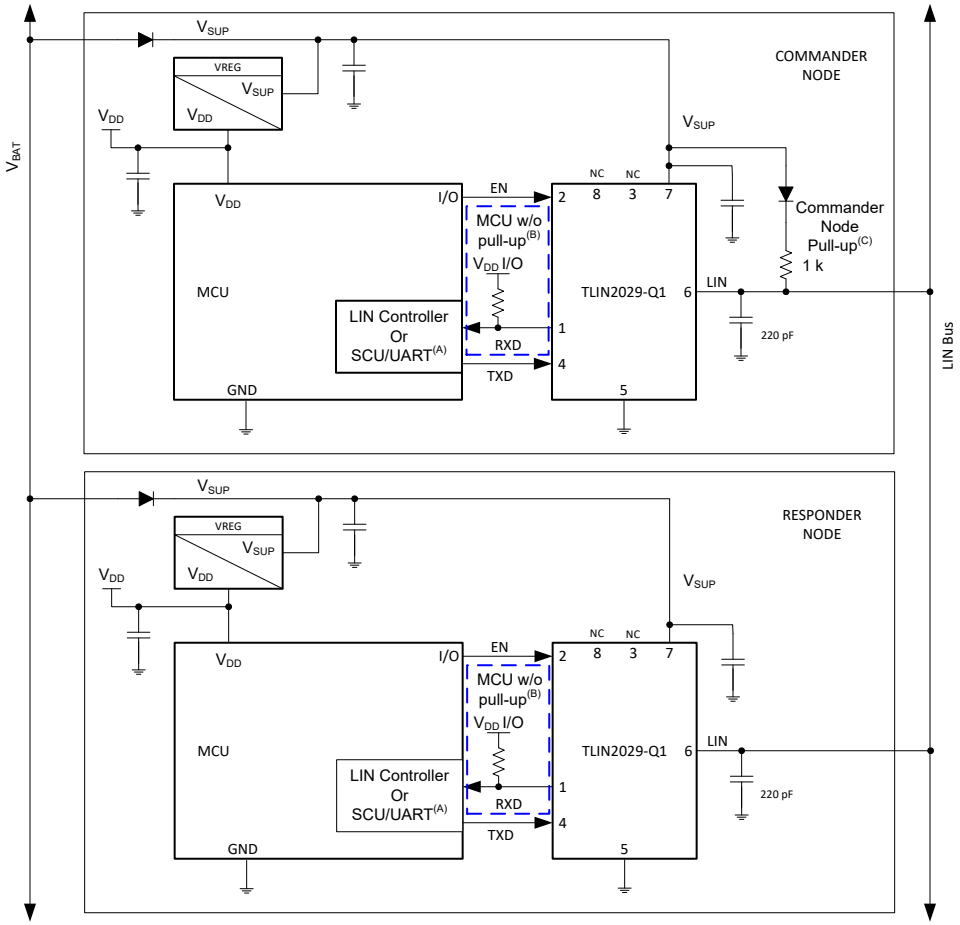
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TLIN2029-Q1 可在 LIN 网络中用作响应者节点器件和指挥官节点器件。该器件可同时支持远程唤醒请求和本地唤醒请求。

8.2 典型应用

该器件集成了一个 45kΩ 上拉电阻器和串联二极管，用于响应者节点应用。对于指挥官应用，可以使用外部 1kΩ 上拉电阻器和串联阻断二极管。图 8-1 展示了指挥官模式和响应者模式应用中都使用的器件。



A. 如果 LIN 响应者节点的 MCU 上的 RXD 有内部上拉电阻器，则无需外部上拉电阻器。
B. 如果 LIN 响应者节点的 MCU 上的 RXD 没有内部上拉电阻器，则需要外部上拉电阻器。
C. 指挥官节点应用需要外部 1kΩ 上拉电阻器和串联二极管。
D. 去耦电容器值取决于系统，但通常为 100nF、1μF 和 ≥ 10μF。

图 8-1. 典型 LIN 总线

Copyright © 2024 Texas Instruments Incorporated

8.2.1 设计要求

RXD 输出结构是开漏输出级。这样就可让 TLIN2029-Q1 与 3.3V 和 5V I/O 处理器一起使用。如果处理器的 RXD 引脚没有集成上拉电阻器，则需要连接到处理器 I/O 电源电压的外部上拉电阻器。所选外部上拉电阻器值应介于 1kΩ 至 10kΩ 之间，具体取决于所使用的电源（请参阅电气特性中的 I_{OL}）。应使用尽可能靠近器件电源引脚的 100nF 电容器对器件的 V_{SUP} 引脚进行去耦。

8.2.2 详细设计过程

8.2.2.1 正常模式应用手册

当在监控 RXD 引脚的唤醒请求的系统中使用 TLIN2029-Q1 时，在模式转换期间应特别小心。当切换接收器时，RXD 引脚的输出在状态之间的转换周期是不确定的。在 t_{MODE_CHANGE} 之前，应用软件不应在 RXD 引脚上寻找指示唤醒请求的边沿。图 6-15 展示了这种情况

8.2.2.2 待机模式应用手册

如果 TLIN2029-Q1 在 V_{SUP} 上检测到欠压，RXD 引脚会转换为低电平，并向软件发出信号，指明 TLIN2029-Q1 处于待机模式。器件必须恢复睡眠模式才能实现超低功耗状态。

8.2.2.2.1 TXD 显性状态超时应用手册

TXD 显性状态超时所允许的最长显性 TXD 时间限制了器件可能的最低数据速率。LIN 协议对于指挥官节点和响应者节点应用具有不同的限制，因此每个应用场景都有不同的最大连续显性位，因而最小数据速率也不同。

8.2.3 应用曲线

下图展示了轻负载条件下从 TXD 引脚到 LIN 引脚的显性至隐性以及隐性至显性的传播延迟。

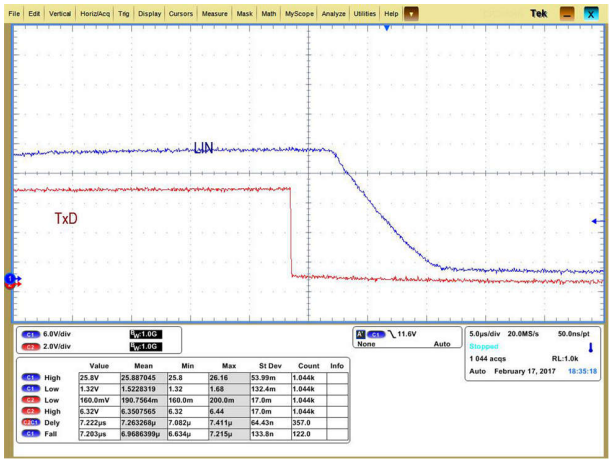


图 8-2. 隐性至显性传播

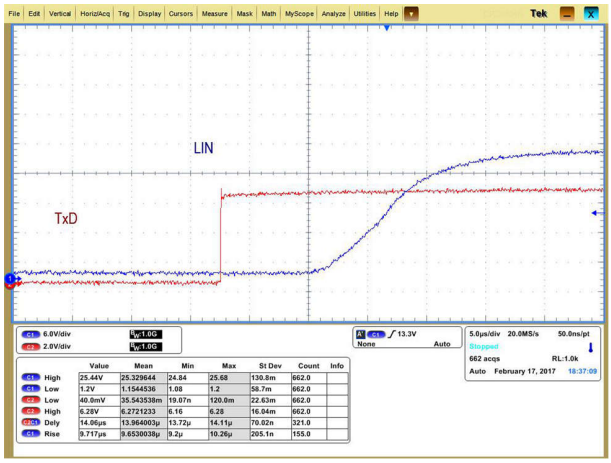


图 8-3. 显性至隐性传播

8.3 电源相关建议

TLIN2029-Q1 设计为直接使用汽车电池或 4V 至 45V 范围内的任何其他直流电源供电。100nF 去耦电容器应尽可能靠近器件的 V_{SUP} 引脚放置。在电源噪声较大的应用中，一种很好的做法是使用 1μF 和 10μF 去耦电容器。

Copyright © 2024 Texas Instruments Incorporated

8.4 布局

为确保 PCB 设计成功，应首先从保护和滤波电路的设计入手。因为 ESD 瞬变的频率带宽较宽（大约 3MHz 至 3GHz），因此在 PCB 设计过程中必须应用高频布局技术。在连接器上放置保护器件还能防止这类噪声事件进一步传送至 PCB 和系统。

8.4.1 布局指南

- **引脚 1 (RXD)：**该引脚为开漏输出，需要使用一个 1kΩ 至 10kΩ 范围内的外部上拉电阻器才能正常运行。请注意，最小值将取决于使用的 VIO 电源。请参阅电气规格中的 I_{OL}。如果与收发器配对的微处理器没有集成上拉电阻器，则应在 RXD 和微处理器的稳压电源之间放置一个外部电阻器。
- **引脚 2 (EN)：**EN 是一个输入引脚，用于将器件置于低功耗睡眠模式。如果不使用此功能，则应通过使用 1kΩ 至 10kΩ 之间的串联电阻将该引脚拉高至微处理器的稳压电源。此外，可以在引脚上放置一个串联电阻，以便在发生过压故障时限制数字线路上的电流。
- **引脚 3 (NC)：**未连接。
- **引脚 4 (TXD)：**TXD 引脚用于从微控制器发送输入信号。可以放置一个串联电阻，以便在此引脚上发生过压的情况下限制流向器件的输入电流。可以在靠近器件输入引脚的位置放置一个接地电容器，以滤除噪声。
- **引脚 5 (GND)：**这是器件的接地连接。此引脚应通过短布线连接至接地平面，并使用两个过孔来限制总返回电感。
- **引脚 6 (LIN)：**此引脚连接至 LIN 总线。对于响应者模式应用，实施 220pF 电容器接地。对于指挥官模式应用，应在 LIN 引脚和 V_{SUP} 引脚之间放置一个额外的串联电阻器和阻断二极管。请参阅图 8-1
- **引脚 7 (VSUP)：**这是器件的电源引脚。100nF 去耦电容应尽可能靠近器件放置。
- **引脚 8 (NC)：**未连接。

备注

所有接地和电源连接都应尽可能短，并至少使用两个过孔来更大限度地减小总环路电感。

8.4.2 布局示例

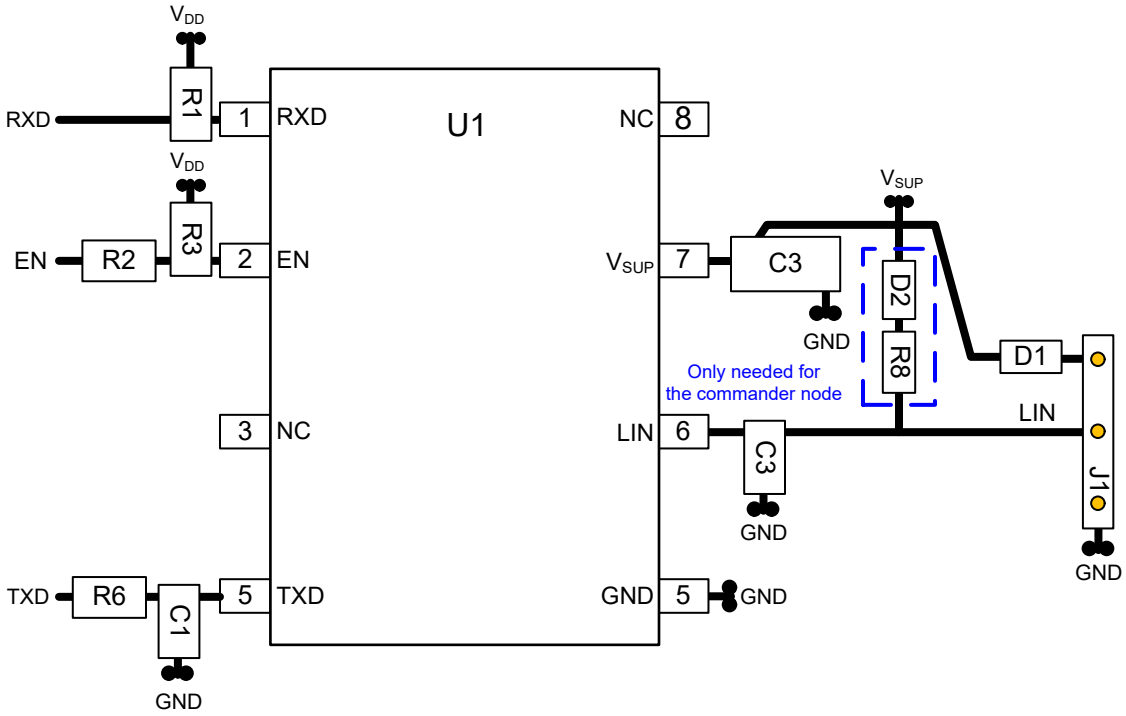


图 8-4. 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

TLIN1029-Q1 和 TLIN2029-Q1 V_{SUP} 上的占空比

请参阅以下相关文档：

- LIN 标准：
  - ISO/DIS 17987-1：道路车辆 - 本地互联网络 (LIN) - 第 1 部分：一般信息和用例定义
  - ISO/DIS 17987-4：道路车辆 - 本地互联网络 (LIN) - 第 4 部分：电气物理层 (EPL) 规格 12V/24V
  - SAEJ2602-1：面向汽车应用的 LIN 网络标准
  - LIN 规范 LIN 2.0、LIN 2.1、LIN 2.2 和 LIN 2.2A
- EMC 要求：
  - SAEJ2962-1：通信收发器认证要求 - LIN
  - ISO 10605：道路车辆 - 静电放电引起的电干扰的试验方法
  - ISO 11452-4:2011：道路车辆 - 窄带辐射电磁能量的电子干扰元件试验方法 - 第 4 部分：线束激励方法
  - ISO 7637-1:2015：道路车辆 - 传导和耦合造成的电干扰 - 第 1 部分：定义和一般注意事项
  - ISO 7637-3：道路车辆 - 传导和耦合造成的电干扰 - 第 3 部分：通过电容耦合和电感耦合经由非电源线线路的瞬间电传输
  - IEC 62132-4:2006：集成电路 - 150kHz - 1Ghz 电磁抗扰度的测量 - 第 4 部分：直接射频功率注入法
  - IEC 61000-4-2
  - IEC 61967-4
  - CISPR25
- 符合性测试要求：
  - ISO/DIS 17987-7.2：道路车辆 - 本地互联网络 (LIN) - 第 7 部分：电气物理层 (EPL) 符合性测试规范
  - SAEJ2602-2：面向汽车应用的 LIN 网络标准一致性测试
-

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (May 2022) to Revision G (February 2024) **Page**

- 将“器件信息”表更改为*封装信息*表 1
- 更新了*电气特性*表中的 I_{BUS_LIM} 值 5

Changes from Revision E (May 2020) to Revision F (May 2022) **Page**

- 将提到的所有旧术语实例更改为“指挥官”和“响应者” 1

Changes from Revision D (April 2020) to Revision E (May 2020) **Page**

- 将（参阅 SLLA490）添加到*特性*列表中 1
- 添加了：请参阅勘误表 TLIN1029-Q1 和 TLIN2029-Q1 V_{SUP} 上的占空比 7

Changes from Revision C (July 2019) to Revision D (April 2020) **Page**

- 将“特性”从±58V LIN 总线故障保护更改为±60V LIN 总线故障保护 1
- 将 200pF 电容器更改为 220pF（位于*简化原理图 - 指挥官模式*中） 1
- 将 200pF 电容器更改为 220pF（位于*简化原理图 - 响应者模式*中） 1
- 将“绝对最大额定值”中的 V_{LIN} 从“MIN = –58，MAX = 58”更改为：“MIN = –60，MAX = 60” 4
- 将 C_{LINPIN} 从 MAX = 45pF 更改为：MAX = 25pF，并在“电气特性”的测试条件中添加了 V_{SUP} = 14V 5
- 将引脚 6 (LIN) 的文本从“200pF 电容器”更改为“220pF 电容器”（位于*布局指南*部分） 27

Changes from Revision B (February 2018) to Revision C (July 2019) **Page**

- 将 SOIC 封装尺寸从 4.90mm x 6.00mm 更改为 4.90mm x 3.91mm（位于*器件信息*中） 1
- 将 220pF 电容器更改为：200pF（位于*简化原理图 - 指挥官模式*中） 1
- 将 220pF 电容器更改为：200pF（位于*简化原理图 - 响应者模式*中） 1
- 将 V_{LOGIC} 绝对最大额定值 MAX 从 5.5V 更改为 6V 4
- 将图 8-2 的标题更改为：隐性至显性传播 26
- 将图 8-3 的标题更改为：显性至隐性传播 26
- 将引脚 6 (LIN) 的文本从“220pF 电容器”更改为“200pF 电容器”（位于*布局指南*部分） 27

Changes from Revision A (December 2017) to Revision B (February 2018) **Page**

- 更改了英文拼写错误，将“Complaint to LIN 2.0...”更改为“Compliant to LIN 2.0...”（位于“特性”和“说明”部分） 1
- 更改了英文拼写错误，将“complaint to LIN 2.0...”更改为“compliant to LIN 2.0...”（位于*概述*部分） 19

Changes from Revision * (October 2017) to Revision A (December 2017) **Page**

- 将器件状态从*预告信息*更改为*量产数据* 1

Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLIN2029DQ1	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	TL029
TLIN2029DQ1.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL029
TLIN2029DRBRQ1	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TL029
TLIN2029DRBRQ1.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL029
TLIN2029DRBTQ1	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TL029
TLIN2029DRBTQ1.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL029
TLIN2029DRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	TL029
TLIN2029DRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL029

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

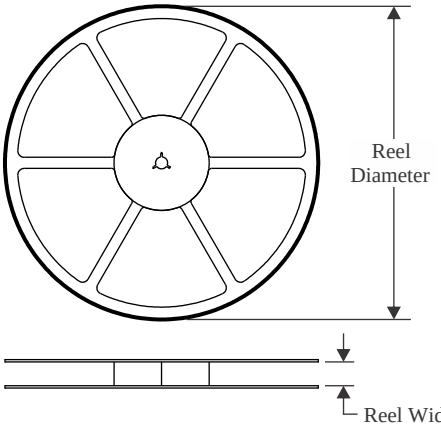
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

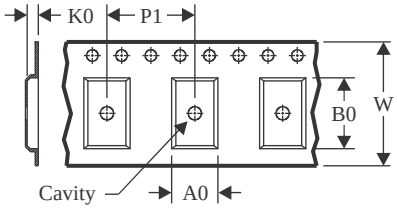
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

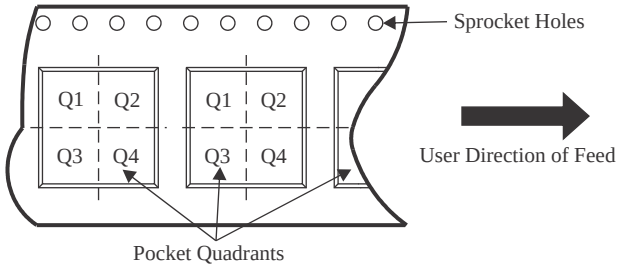


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

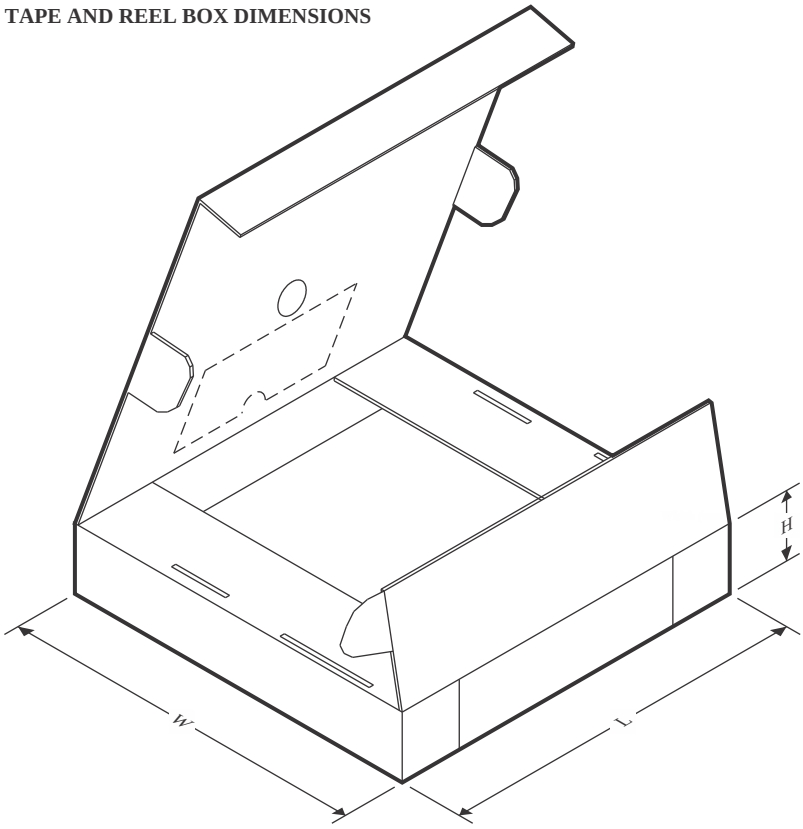
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLIN2029DRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLIN2029DRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TLIN2029DRBTQ1	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TLIN2029DRBTQ1	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

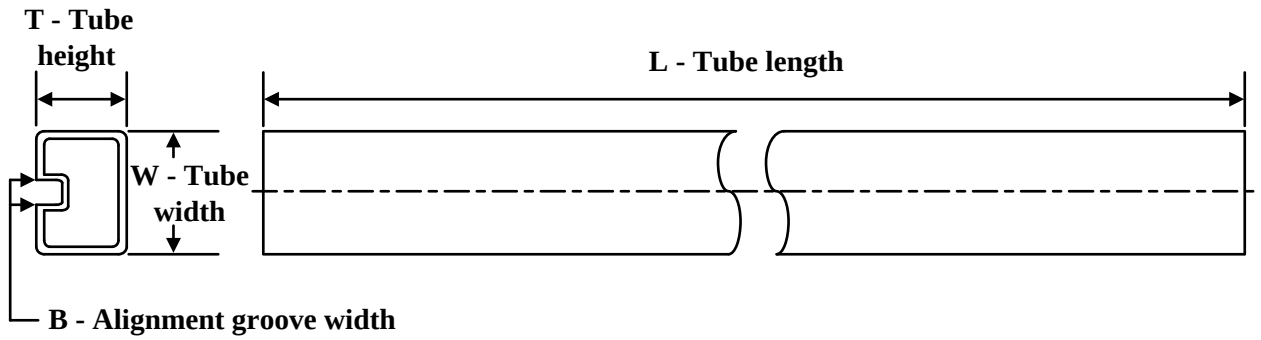
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLIN2029DRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TLIN2029DRBRQ1	SON	DRB	8	3000	367.0	367.0	38.0
TLIN2029DRBTQ1	SON	DRB	8	250	213.0	191.0	35.0
TLIN2029DRBTQ1	SON	DRB	8	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLIN2029DQ1	D	SOIC	8	75	507	8	3940	4.32
TLIN2029DQ1	D	SOIC	8	75	517	7.87	635	4.25
TLIN2029DQ1	D	SOIC	8	75	507	8	3940	4.32
TLIN2029DQ1.A	D	SOIC	8	75	507	8	3940	4.32
TLIN2029DQ1.A	D	SOIC	8	75	517	7.87	635	4.25
TLIN2029DQ1.A	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

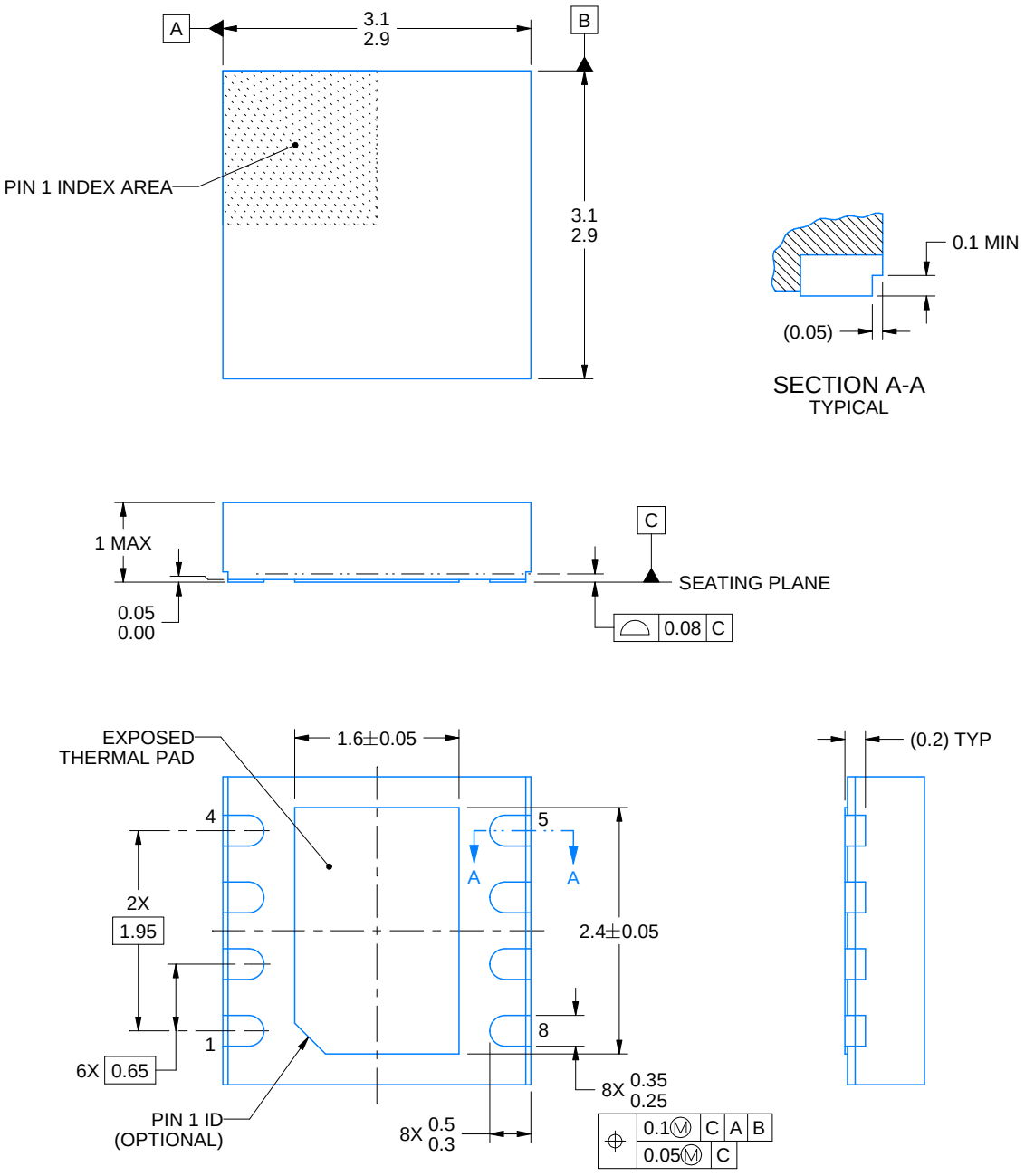
4203482/L

DRB0008F

PACKAGE OUTLINE

VSON - 1 mm max height

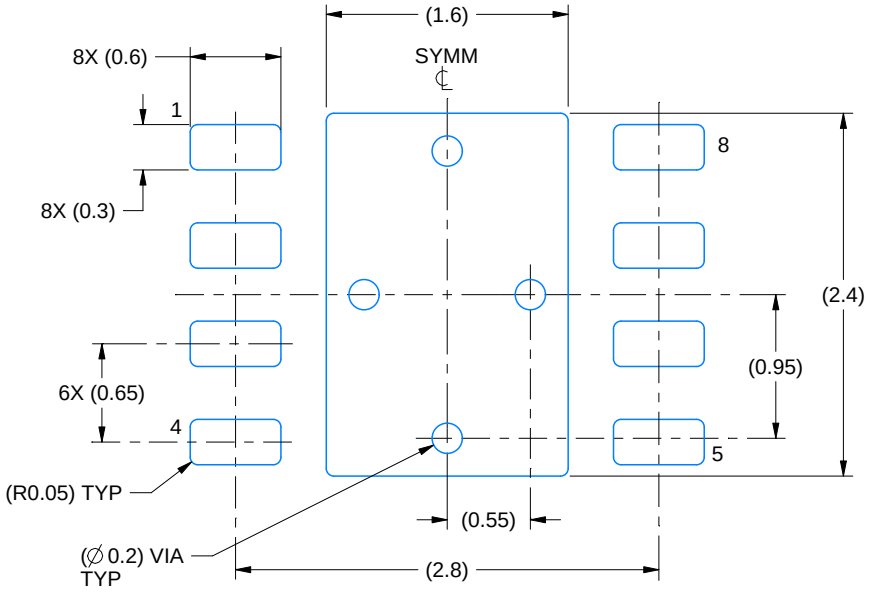
PLASTIC SMALL OUTLINE - NO LEAD



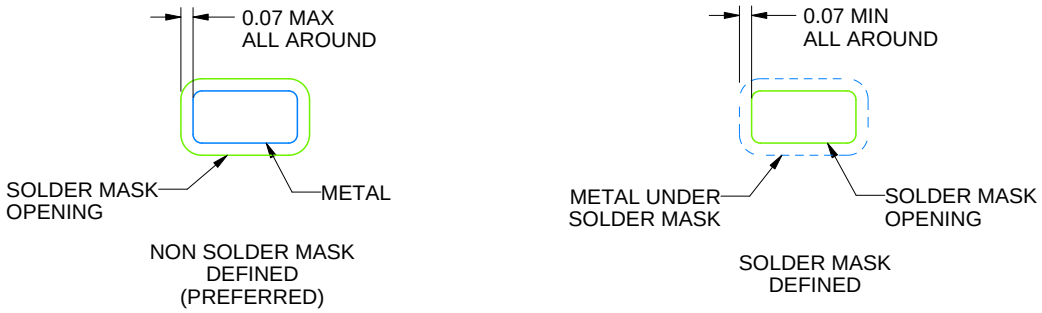
4222121/C 10/2016

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

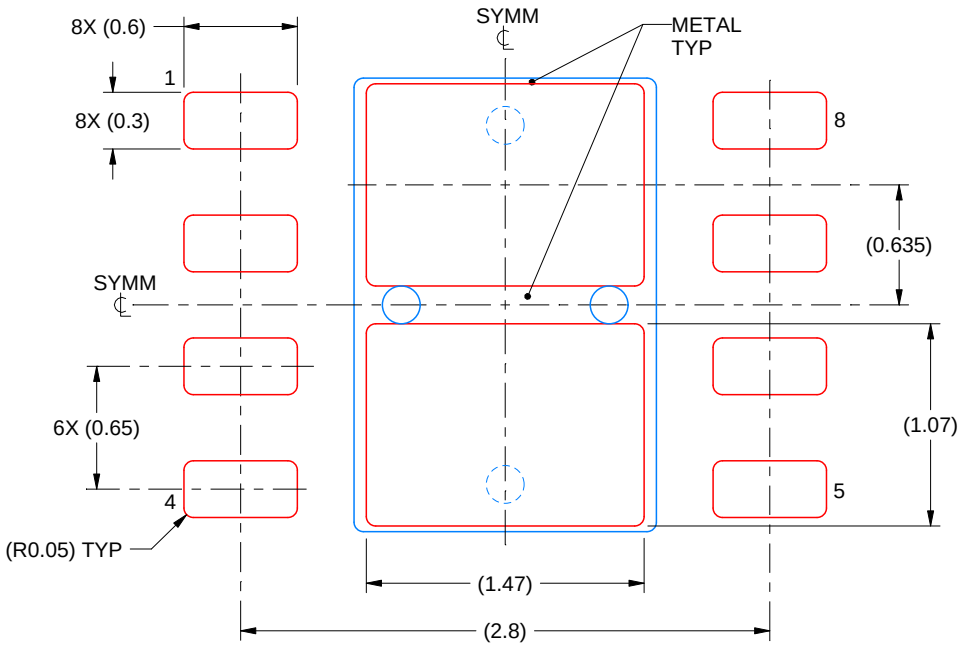


SOLDER MASK DETAILS

4222121/C 10/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222121/C 10/2016

NOTES: (continued)

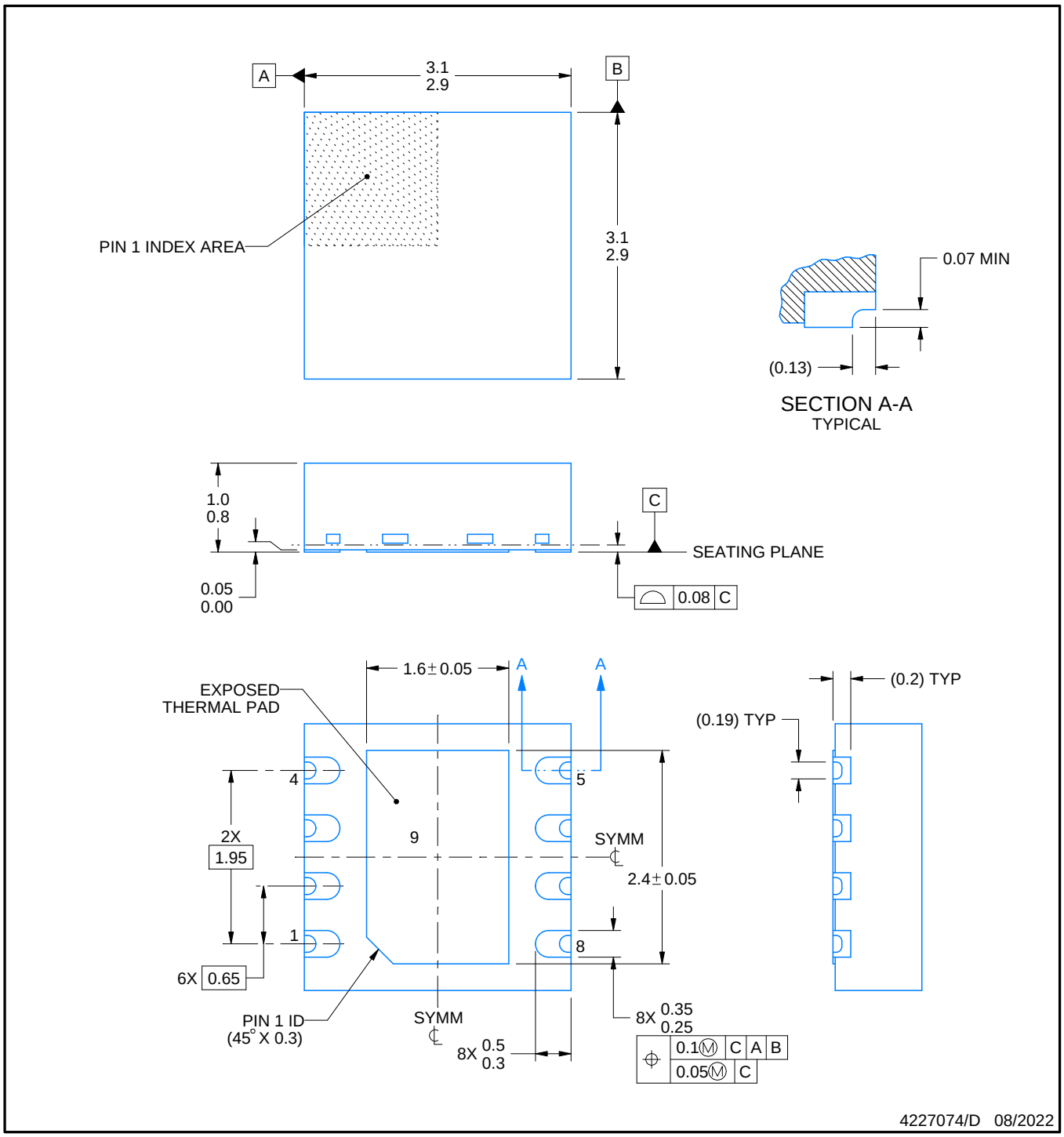
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

DRB0008K

PACKAGE OUTLINE

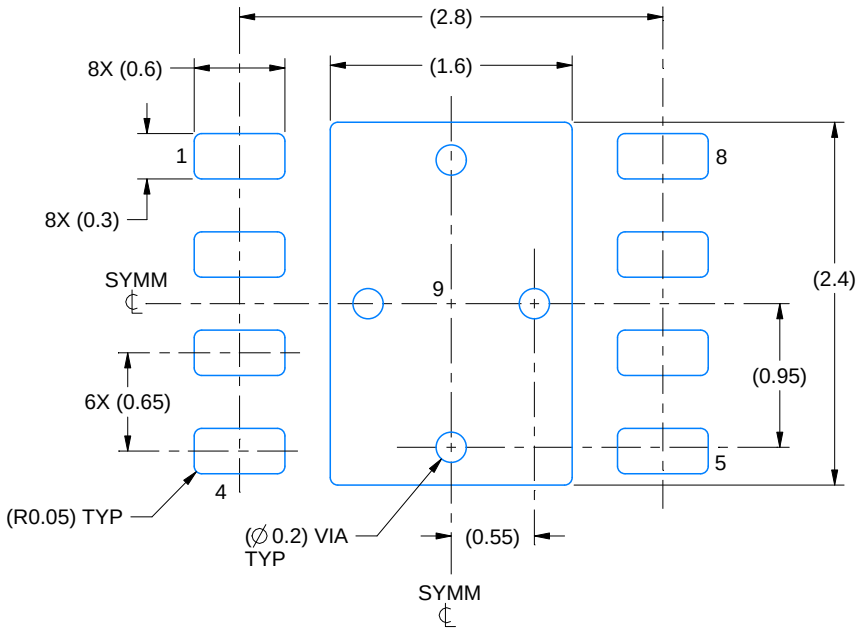
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

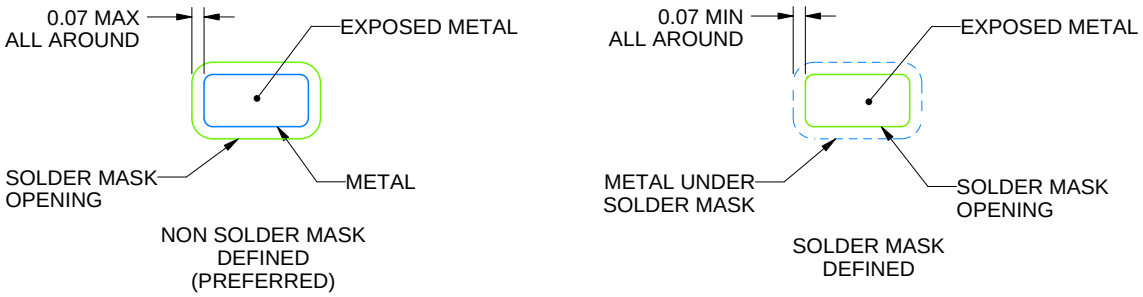


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

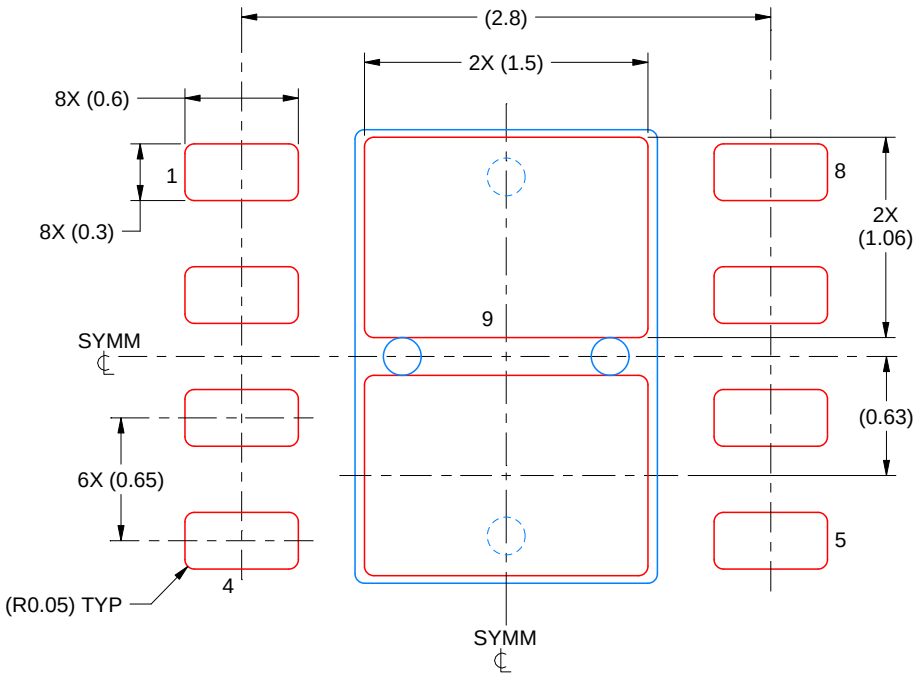


SOLDER MASK DETAILS

4227074/D 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



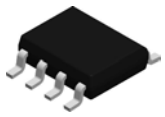
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4227074/D 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

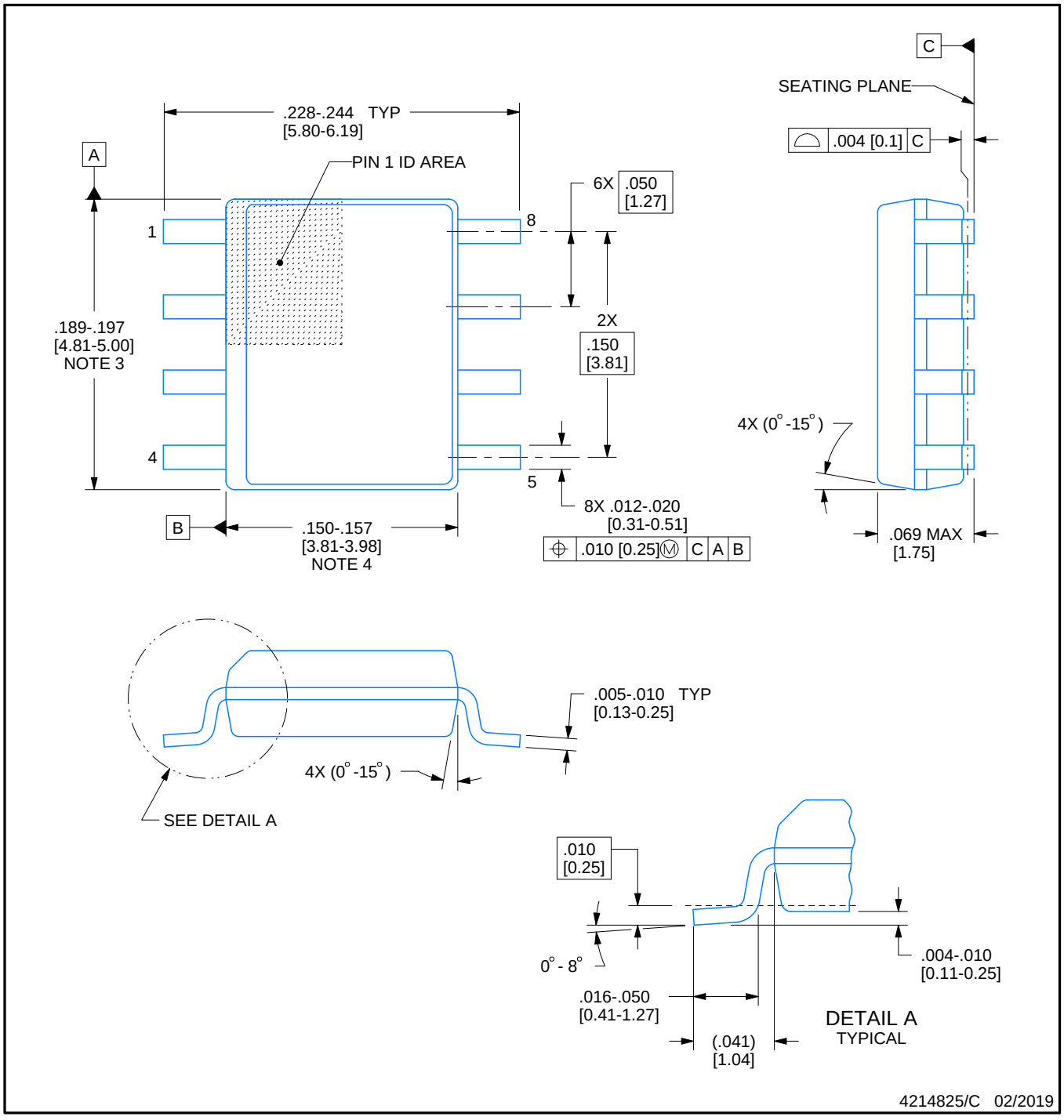


PACKAGE OUTLINE

D0008A

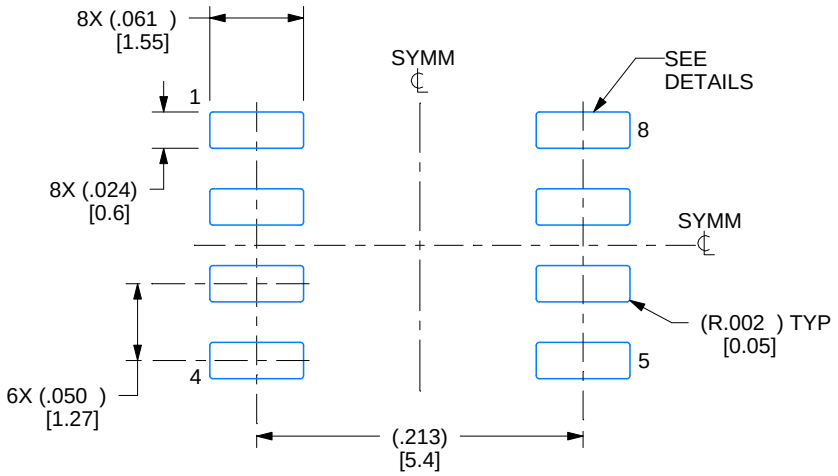
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

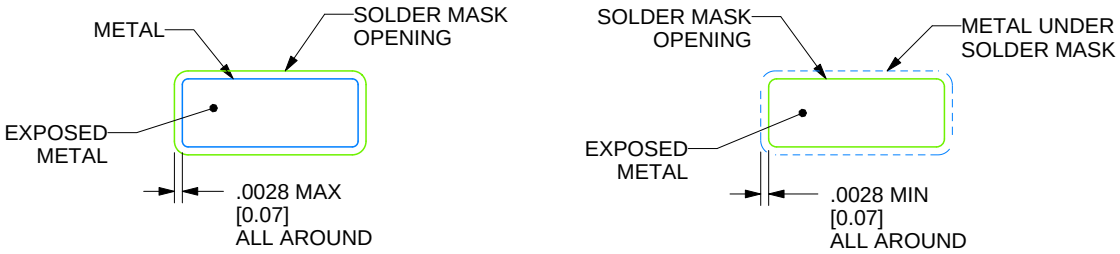


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

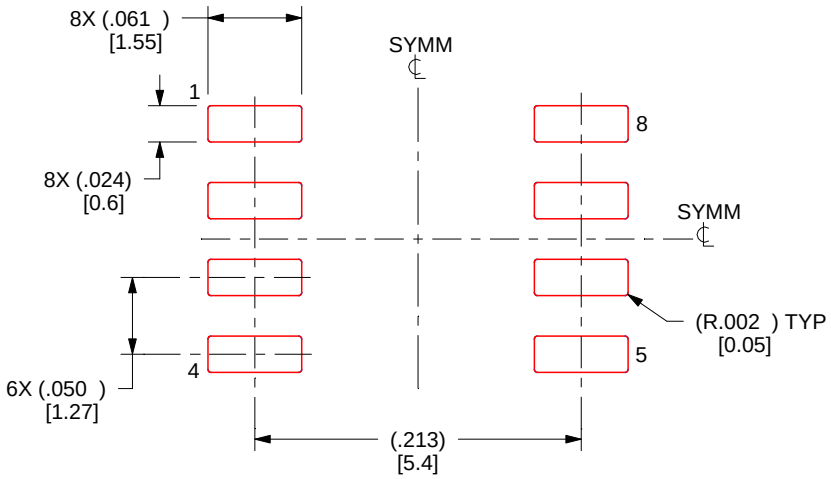
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月