TLVx171

面向成本敏感型系统的 36V 单通道电源、低功耗运算放大器

1 特性

- 电源电压范围：2.7V 至 36V，±1.35V 至 ±18V
- 低噪声：在 1 kHz 时为 16 nV/√Hz
- 低零漂：±1μV/°C（典型值）
- 电磁干扰 (EMI) 滤波器和内部射频 (RF)
- 输入范围包括负电源
- 单位增益稳定：200pF 容性负载
- 轨至轨输出
- 增益带宽：3MHz
- 低静态电流：每个放大器 525μA
- 高共模抑制：105dB（典型值）
- 低偏置电流：10pA

2 应用

- 传感器
- 点钞机
- AC-DC 转换器
- 电源模块
- 逆变器
- 测试设备
- 电池供电的仪器
- 薄膜晶体管 (TFT) - 液晶显示屏 (LCD) 驱动电路
- 有源滤波器

3 说明

该 36V TLVx171 系列为成本受限的工业和个人电子产品系统提供一种低功耗选项，此类系统需要使用一个抗电磁干扰 (EMI) 的低噪声、单通道电源运算放大器，其工作电压范围为 2.7V (±1.35V) 至 36V (±18V)。单通道 TLV171、双通道 TLV2171 和四通道 TLV4171 可为电源提供低偏移、漂移和静态电流，同时兼顾高带宽特性。该系列器件采用多种适用于空间受限系统的微型封装，各种封装的技术规范相同，能够最大程度提升设计灵活性。

与多数仅在单一电源电压下额定运行的运算放大器不同，TLVx171 系列的额定运行电压范围为 2.7V 至 36V。超过电源轨的输入信号不会导致相位反转。TLVx171 系列在容性负载高达 200pF 时可保持稳定。输入信号可在负电源轨以下 100mV 到正电源轨以上 2V 范围内保持正常运行。此类器件可在高于正电源轨电压 100mV 的满轨到轨输入电压下运行，但在正电源轨电压 ±2V 下运行时，性能会有所下降。

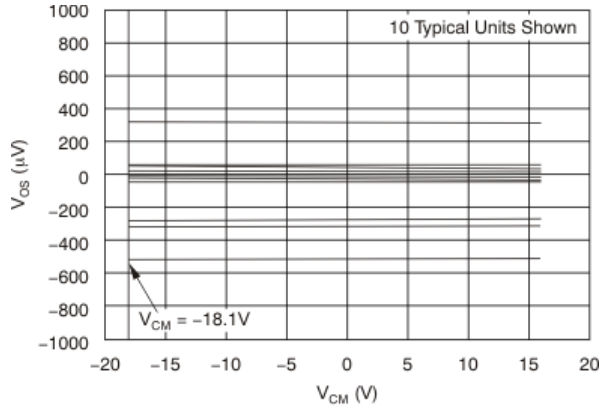
TLVx171 运算放大器系列额定运行温度范围为 -40°C 至 +125°C。

器件信息(1)

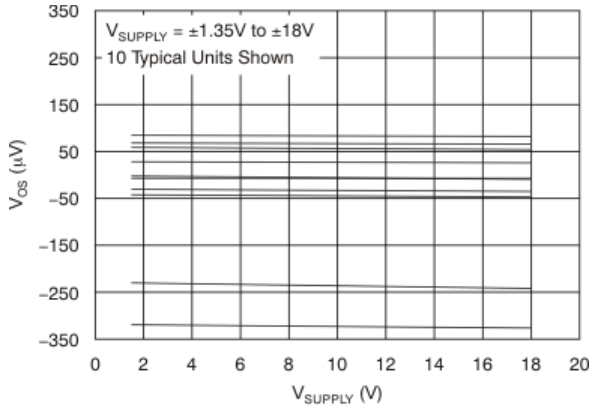
器件型号	封装	封装尺寸（标称值）
TLV171	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV2171	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
TLV4171	SOIC (14)	8.65mm x 3.91mm
	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

失调电压与共模电压间的关系



失调电压与电源间的关系



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 技术规格 ... 5
6.1 绝对最大额定值 ... 5
6.2 ESD 额定值 ... 5
6.3 建议的工作条件 ... 5
6.4 热性能信息：TLV171 ... 6
6.5 热性能信息：TLV2171 ... 6
6.6 热性能信息：TLV4171 ... 6
6.7 电气特性 ... 7
6.8 典型特性 ... 9
7 详细 说明 ... 15
7.1 概述 ... 15
7.2 功能框图 ... 15
7.3 特性 说明 ... 15
7.4 器件功能模式 ... 19
8 应用和实现 ... 20
8.1 应用信息 ... 20
8.2 典型应用 ... 20
9 电源相关建议 ... 22
10 布局 ... 22
10.1 布局准则 ... 22
10.2 布局示例 ... 23
11 器件和文档支持 ... 24
11.1 器件支持 ... 24
11.2 文档支持 ... 25
11.3 相关链接 ... 25
11.4 接收文档更新通知 ... 25
11.5 社区资源 ... 25
11.6 商标 ... 25
11.7 静电放电警告 ... 25
11.8 Glossary ... 25
12 机械、封装和可订购信息 ... 25

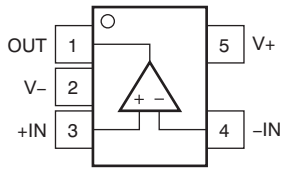
4 修订历史记录

日期	修订版本	注意
2016 年 9 月	*	初始发行版。

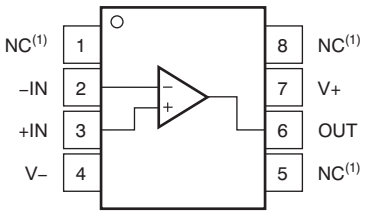
版权 © 2016, Texas Instruments Incorporated

5 引脚配置和功能

TLV171：DBV 封装
5 引脚 SOT-23
俯视图



TLV171：D 封装
8 引脚 SOIC
俯视图

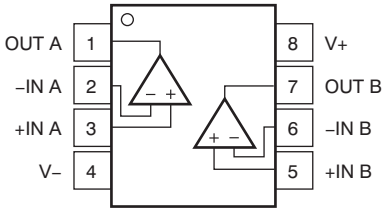


引脚功能：**TLV171**

引脚			I/O	说明
名称	TLV171			
	DBV	D		
IN–	4	2	I	负（反相）输入
IN+	3	3	I	正（同相）输入
NC(1)	—	1、5、8	—	无内部连接（可以悬空）
OUT	1	6	O	输出
V+	5	7	—	正电源（最高）
V–	2	4	—	负电源（最低）

(1) NC 表示无内部连接。

TLV2171：D 和 DGK 封装
8 引脚 SOIC 和 VSSOP
俯视图

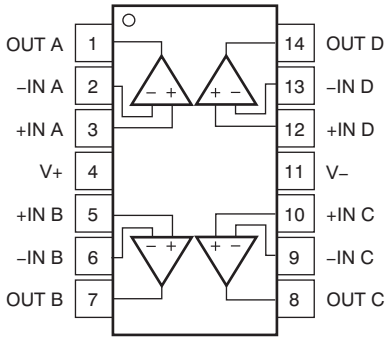


引脚功能：**TLV2171**

引脚			I/O	说明
名称	TLV2171			
	D	DGK		
–IN A	2	2	I	反相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN A	3	3	I	同相输入，通道 A
+IN B	5	5	I	同相输入，通道 B
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
V–	4	4	—	负电源（最低）
V+	8	8	—	正电源（最高）

版权 © 2016, Texas Instruments Incorporated

TLV4171：D 和 PW 封装
14 引脚 SOIC 和 TSSOP
俯视图



引脚功能：**TLV4171**

引脚			I/O	说明
名称	D	PW		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
–IN C	9	9	I	反相输入，通道 C
+IN C	10	10	I	同相输入，通道 C
–IN D	13	13	I	反相输入，通道 D
+IN D	12	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	8	8	O	输出，通道 C
OUT D	14	14	O	输出，通道 D
V–	11	11	—	负电源（最低）
V+	4	4	—	正电源（最高）

版权 © 2016, Texas Instruments Incorporated

6 技术规格

6.1 绝对最大额定值

在自然通风温度范围内测得，除非另有说明。(1)

		最小值	最大值	单位
电压	电源电压，V+ 至 V−	-20	20	V
	信号输入引脚	(V−) − 0.5	(V+) + 0.5	
电流	信号输入引脚	-10	10	mA
	输出短路(2)	连续		
温度	工作温度，T_A	-55	150	°C
	结温，T_J		150	
	贮存温度，T_{stg}	-65	150	

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下器件的功能性操作以及在超出*建议的工作条件*下的任何其它操作，在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。
(2) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源电压 (V+ - V–)	单通道电源	2.7		36	V
	双通道电源	±1.35		±18	
额定温度范围		-40		+125	°C

版权 © 2016, Texas Instruments Incorporated

6.4 热性能信息：TLV171

热指标(1)		TLV171		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	149.5	245.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	97.9	133.9	°C/W
$R_{\theta JB}$	结至电路板热阻	87.7	83.6	°C/W
ψ_{JT}	结至顶部的特征参数	35.5	18.2	°C/W
ψ_{JB}	结至电路板的特征参数	89.5	83.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

6.5 热性能信息：TLV2171

热指标(1)		TLV2171		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	134.3	175.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	72.1	74.9	°C/W
$R_{\theta JB}$	结至电路板热阻	60.6	22.2	°C/W
ψ_{JT}	结至顶部的特征参数	18.2	1.6	°C/W
ψ_{JB}	结至电路板的特征参数	53.8	22.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

6.6 热性能信息：TLV4171

热指标(1)		TLV4171		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	93.2	106.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	51.8	24.4	°C/W
$R_{\theta JB}$	结至电路板热阻	49.4	59.3	°C/W
ψ_{JT}	结至顶部的特征参数	13.5	0.6	°C/W
ψ_{JB}	结至电路板的特征参数	42.2	54.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

版权 © 2016, Texas Instruments Incorporated

6.7 电气特性

在 T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	T_A = 25°C		0.75	±2.7	mV
		T_A=-40°C 至 +125°C			±3.0	
dV_{OS}/dT	输入失调电压漂移	T_A = –40°C 至 +125°C		1		µV/°C
PSRR	输入失调电压与电源电压间的关系	V_S = 4V 至 36V，T_A = –40°C 至 +125°C	90	105		dB
输入偏置电流						
I_B	输入偏置电流			±10		pA
I_{OS}	输入失调电流			±4		pA
噪声						
	输入电压噪声	f = 0.1Hz 至 10Hz		3		μV_{PP}
e_n	输入电压噪声密度	f = 100Hz		27		$nV/\sqrt{Hz}$
		f=1kHz		16		
输入电压						
V_{CM}	共模电压范围(1)		(V–) – 0.1		(V+) – 2	V
CMRR	共模抑制比	V_S = ±18V，(V–) – 0.1V < V_{CM} < (V+) – 2V，T_A = –40°C 至 +125°C	94	105		dB
输入阻抗						
	差模			100 || 3		MΩ || pF
	共模			6 || 3		10^{12}Ω || pF
开环增益						
A_{OL}	开环电压增益	V_S = 36V，(V–) + 0.35V < V_O < (V+) – 0.35V，T_A = –40°C 至 +125°C	94	130		dB
频率响应						
GBP	增益带宽积			3.0		MHz
SR	压摆率	G = +1		1.5		V/µs
t_S	稳定时间	到 0.1%，V_S = ±18V，G = +1，10V 阶跃		6		µs
		到 0.01%（12 位），V_S = ±18V，G = +1，10V 阶跃		10		
	过载恢复时间	V_{IN} × 增益 > V_S		2		µs
THD+N	总谐波失真 + 噪声	G = +1，f = 1kHz，V_O = $3V_{RMS}$		0.0002%		

(1) 输入范围可超出 (V+)–2V，最高到 V+。请参阅*典型特性*和*应用和实现*部分，了解更多信息。

电气特性 (接下页)

在 T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输出						
V_O	电源轨的电压输出摆幅	正轨，V_S = ±18V，R_L = 10kΩ，T_A = 25°C		160		mV
		负轨，V_S = ±18V，R_L = 10kΩ，T_A = 25°C		90		mV
		R_L = 10kΩ，A_{OL} ≥ 94dB，T_A = –40°C 至 +125°C	(V-)+0.35		(V+)-0.35	V
I_{SC}	短路电流			25		mA
				–35		
C_{LOAD}	容性负载驱动			请参阅 *典型特性*		pF
R_O	开环输出电阻	f = 1MHz，I_O = 0A		150		Ω
电源						
V_S	额定电压范围		2.7		36	V
I_Q	静态电流（每个放大器）	I_O = 0A，T_A = –40°C 至 +125°C		525	695	µA
温度						
	额定温度范围		-40		125	°C
	工作温度范围		–55		150	°C

版权 © 2016, Texas Instruments Incorporated

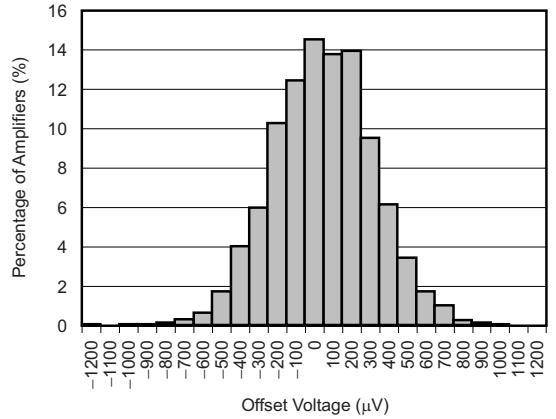
6.8 典型特性

V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 且连接至 V_S/2，C_L = 100pF（除非另有说明）

表 1. 特征性能测量

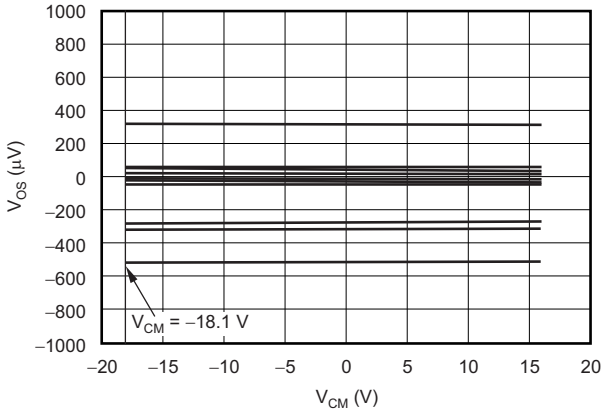
说明	图表
失调电压分布图	图 1
失调电压与共模电压间的关系	图 2
失调电压与共模电压间的关系（前级）	图 3
输入偏置电流和输入失调电流与温度间的关系	图 4
输出电压摆幅与输出电流间的关系（最大供电电压）	图 5
CMRR 和 PSRR 与频率间的关系（以输入为参考）	图 6
0.1Hz 至 10Hz 噪声	图 7
输入电压噪声频谱密度与频率间的关系	图 8
静态电流与电源电压间的关系	图 9
开环增益和相位与频率间的关系	图 10
闭环增益与频率间的关系	图 11
开环增益与温度间的关系	图 12
开环输出阻抗与频率间的关系	图 13
小信号过冲与容性负载间的关系	图 14， 图 15
无相位反转	图 16
小信号阶跃响应 (100mV)	图 17, 图 18
大信号阶跃响应	图 19， 图 20
大信号稳定时间（10V 正阶跃）	图 21
大信号稳定时间（10V 负阶跃）	图 22
短路电流与温度间的关系	图 23
最大输出电压与频率间的关系	图 24
EMIRR IN+ 与频率间的关系	图 25

版权 © 2016, Texas Instruments Incorporated



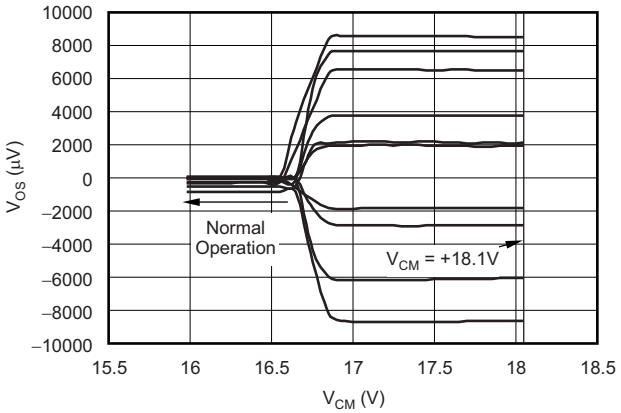
根据 3500 个放大器得出的分布图

图 1. 失调电压产生分布图



显示 10 个典型单元

图 2. 失调电压与共模电压间的关系



显示 10 个典型单元

图 3. 失调电压与共模电压间的关系（前级）

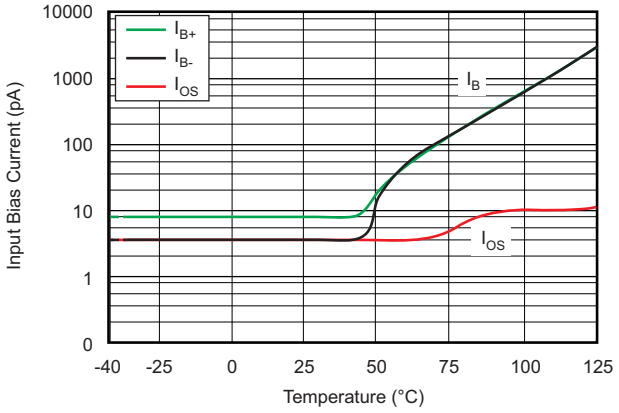


图 4. 输入偏置电流和输入失调电流与温度间的关系

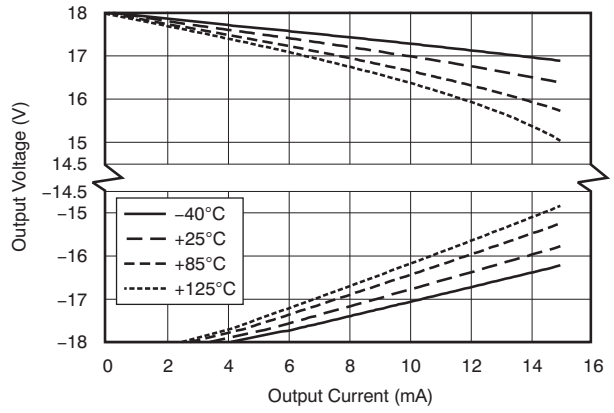


图 5. 输出电压摆幅与输出电流间的关系（最大供电电压）

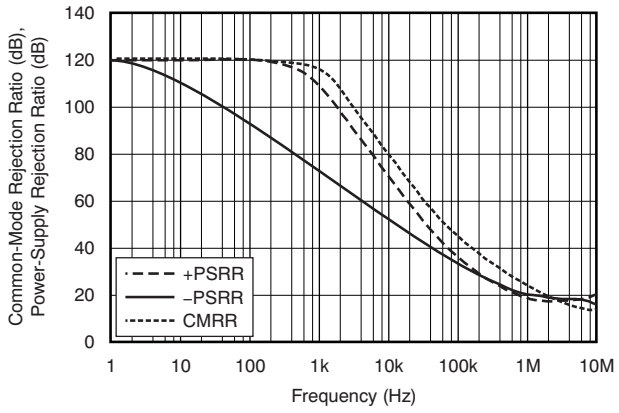


图 6. CMRR 和 **PSRR** 与频率间的关系（以输入为参考）

版权 © 2016, Texas Instruments Incorporated

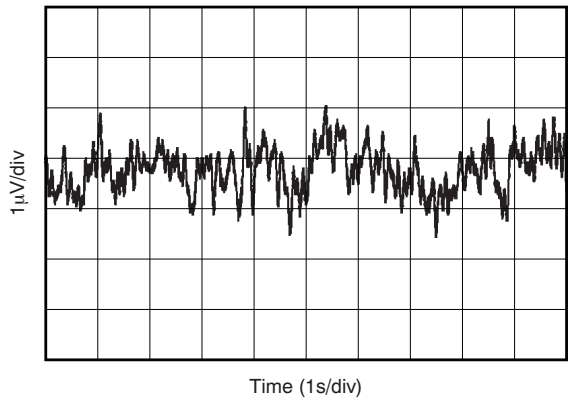


图 **7. 0.1Hz** 至 **10Hz** 噪声

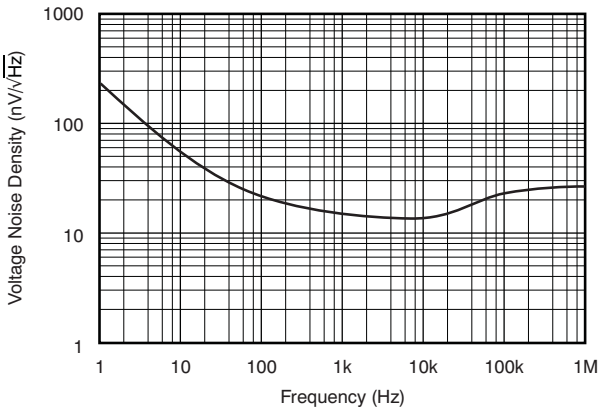


图 **8.** 输入电压噪声频谱密度与频率间的关系

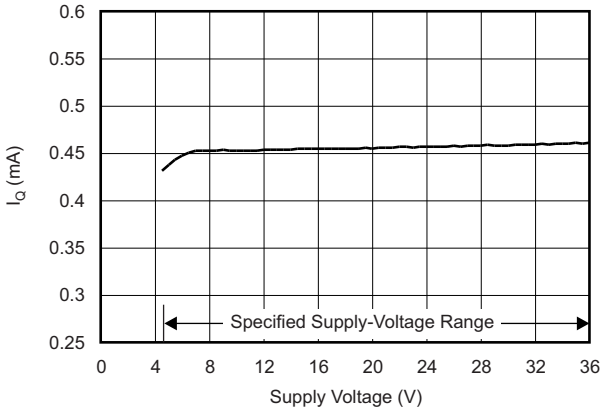


图 **9.** 静态电流与电源电压间的关系

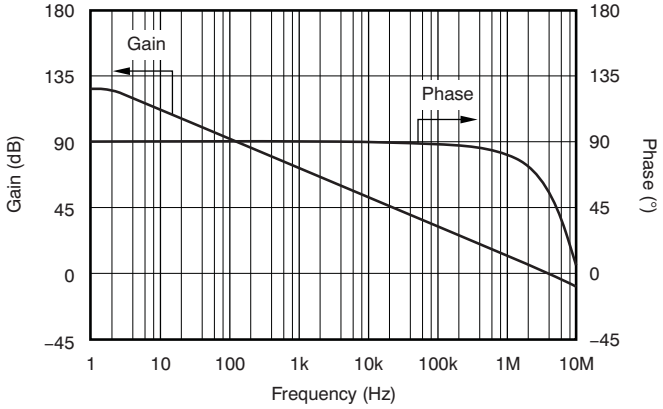


图 **10.** 开环增益和相位与频率间的关系

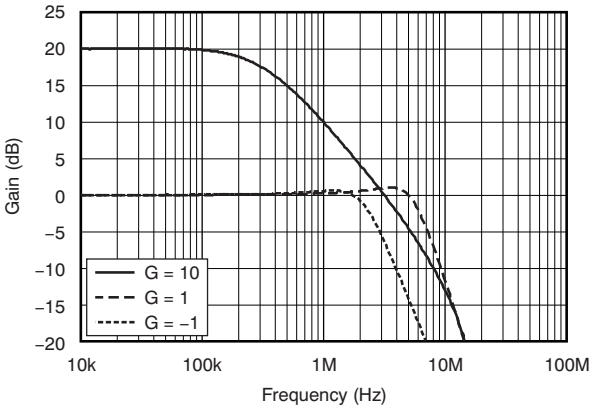
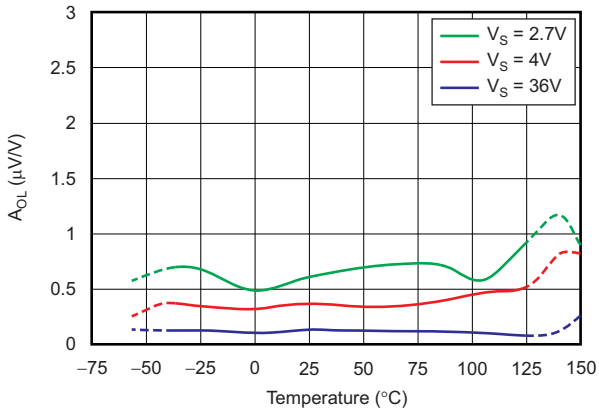


图 **11.** 闭环增益与频率间的关系



显示 5 个典型单元

图 **12.** 开环增益与温度间的关系

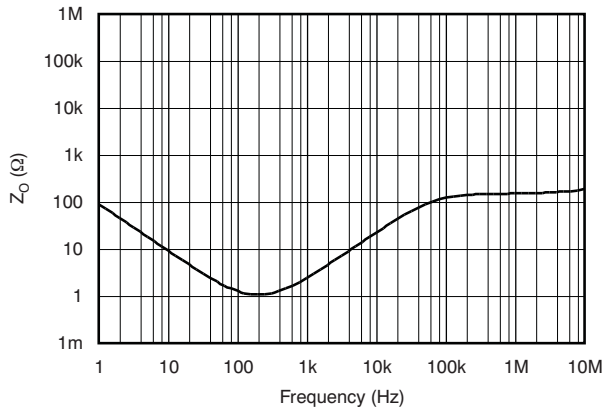
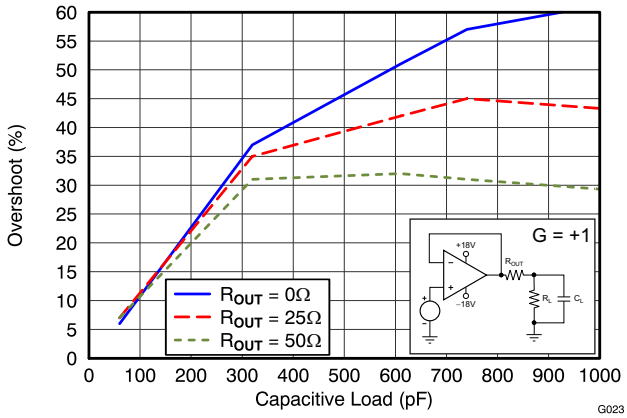
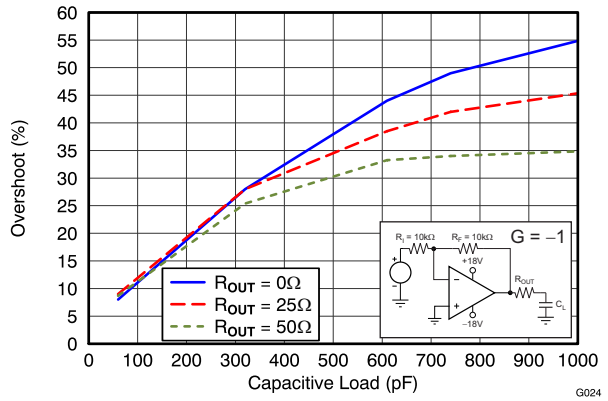


图 **13.** 开环输出阻抗与频率间的关系



100mV 输出阶跃，R_L = 10kΩ

图 **14.** 小信号过冲与容性负载间的关系



100mV 输出阶跃，R_L = 10kΩ

图 **15.** 小信号过冲与容性负载间的关系

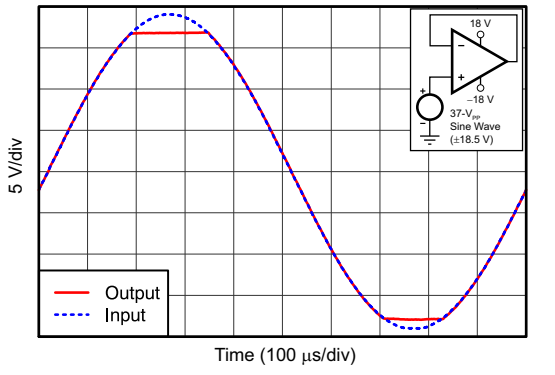
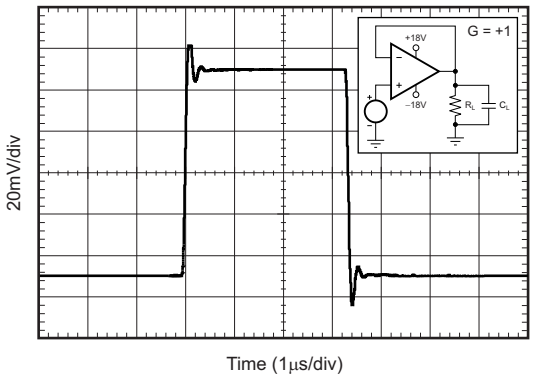


图 **16.** 无相位反转



R_L = 10kΩ，C_L = 100pF

图 **17.** 小信号阶跃响应 **(100mV)**

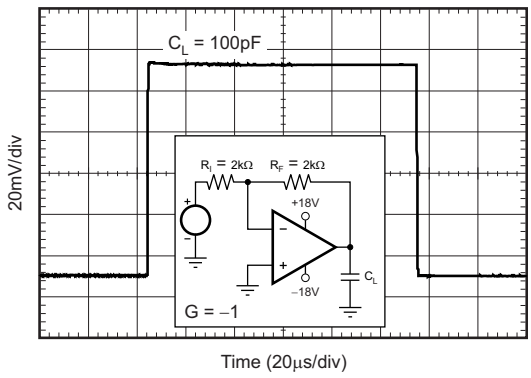
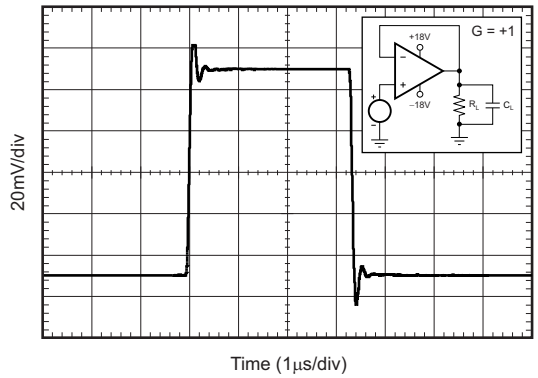


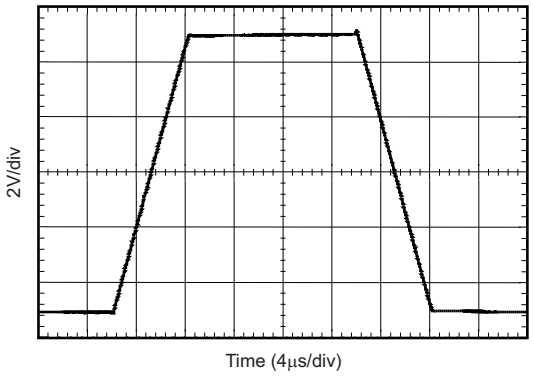
图 **18.** 小信号阶跃响应 **(100mV)**

版权 © 2016, Texas Instruments Incorporated



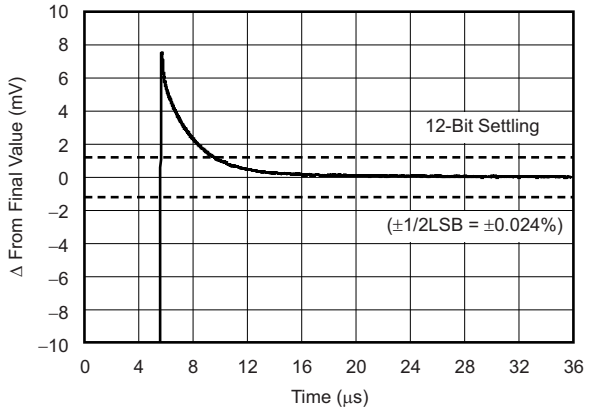
G = +1，R_L = 10kΩ，C_L = 100pF

图 **19.** 大信号阶跃响应



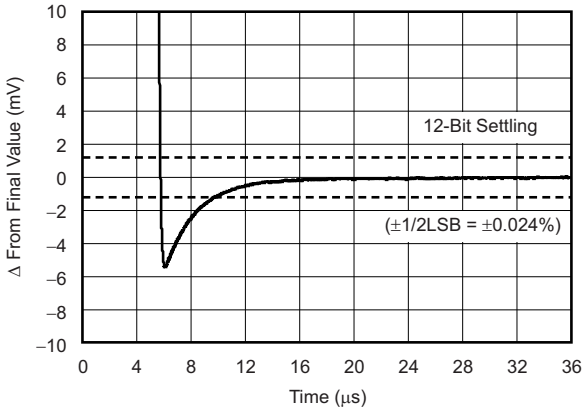
G = –1，R_L = 10kΩ，C_L = 100pF

图 **20.** 大信号阶跃响应



10V 正阶跃，G = –1

图 **21.** 大信号稳定时间



10V 负阶跃，G = –1

图 **22.** 大信号稳定时间

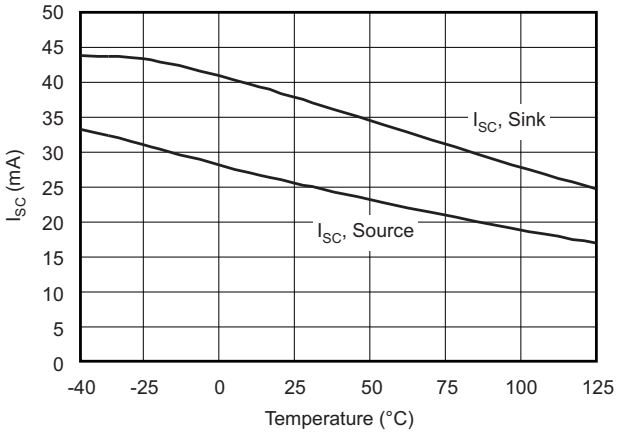


图 **23.** 短路电流与温度间的关系

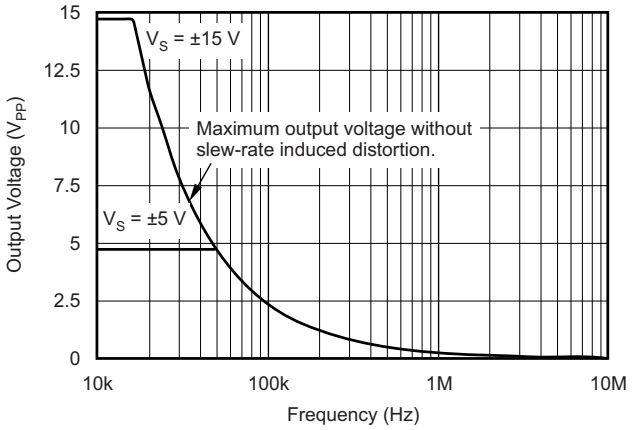


图 **24.** 最大输出电压与频率间的关系

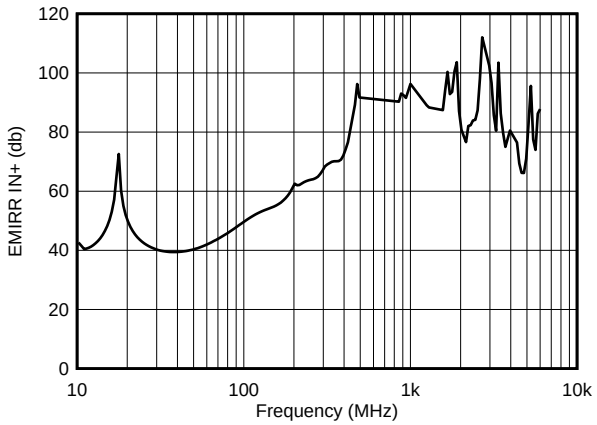


图 **25. EMIRR IN+** 与频率间的关系

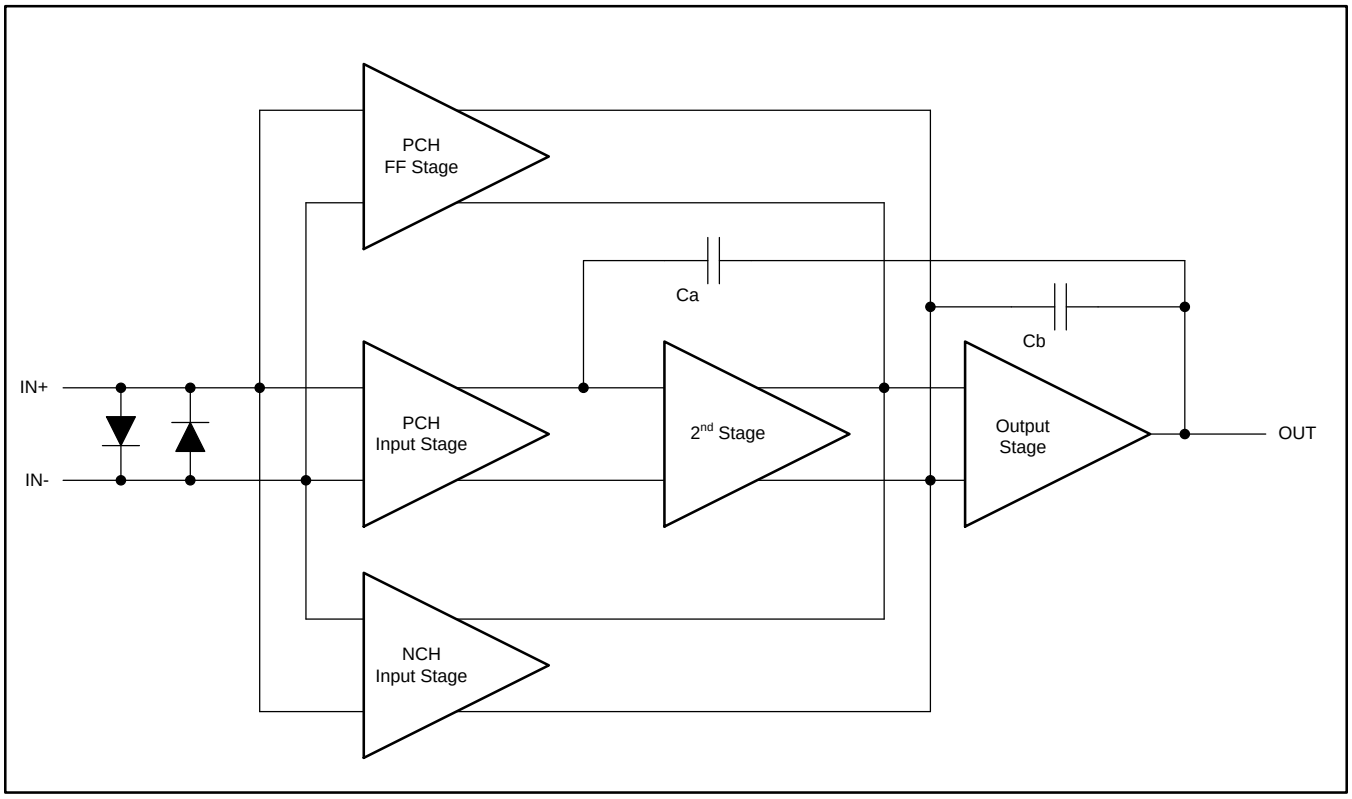
版权 © 2016, Texas Instruments Incorporated

7 详细 说明

7.1 概述

TLVx171 系列运算放大器可提供出色的总体性能，因此，这类器件非常适合多种通用 应用。仅为 2μV/°C 的出色零点漂移，可在整个温度范围内提供极佳的稳定性。此外，该器件系列可提供出色的总体性能，以及高共模抑制比 (CMRR)、电源抑制比 (PSRR) 和开环电压增益 (A_{OL})。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作特性

TLVx171 系列放大器的额定工作电压范围在单通道电源条件下为 2.7V 至 36V（±1.35V 至 ±18V，双通道电源）。多种技术规格适用于 –40°C 至 +125°C 的温度范围。*典型特性*部分提供的参数可能随工作电压或温度的不同出现显著变化。

特性 说明 (接下页)

7.3.2 反相保护

TLVx171 系列具有内部反相保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的常见现象，会导致输出反向进入相对的电源轨。TLVx171 的输入采用过大的共模电压来防止相位反转。或者，输出限制至适当的电源轨。图 26中显示了这个特性。

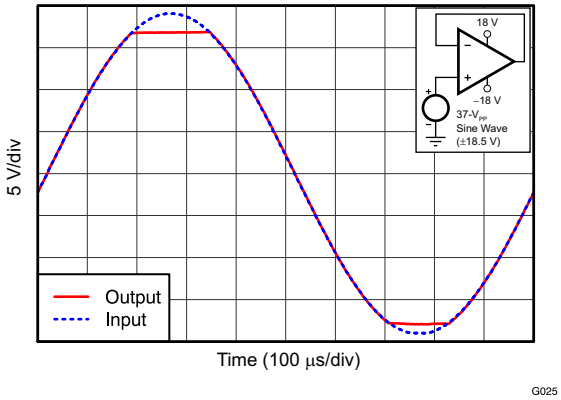


图 **26.** 无相位反转

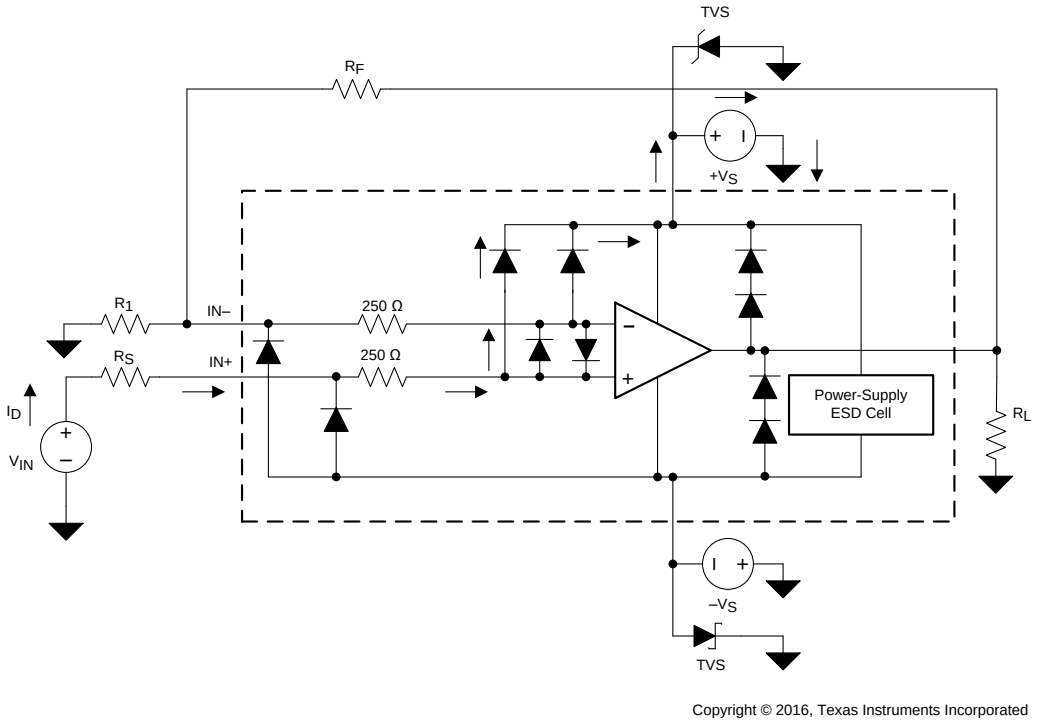
7.3.3 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同的引脚功能均具有由特定半导体制造工艺和连接到引脚的特定电路的电压击穿特性决定的电应力限制。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 27 所示为 TLVx171 中的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未激活状态。

版权 © 2016, Texas Instruments Incorporated

特性 说明 (接下页)



Copyright © 2016, Texas Instruments Incorporated

图 27. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路可围绕运算放大器核心提供电流路径，防止对核心造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个驱动二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发或阈值电压，该电压介于 TLVx171 的正常工作电压和器件击穿电压之间。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 27 中所示）时，ESD 保护组件将保持未激活状态并且不会介入应用电路的运行。然而，如果施加的电压超出某个特定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

图 27 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 (V+) 500mV 甚至更多。电路中将发生的大多数情况取决于电源特性。如果 V+ 能够吸收电流，那么上面的一个输入导向二极管就会导通，并将电流传导至 V+。越来越高的 V_{IN} 会带来过高的电流。因此，本产品说明书的规格建议 应用 将输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 就会将电流拉至运算放大器，然后将其用作正电源。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源（V+ 或 V–）为 0V 时向输入施加输入信号，放大器如何回应。同样，具体结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过导流二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

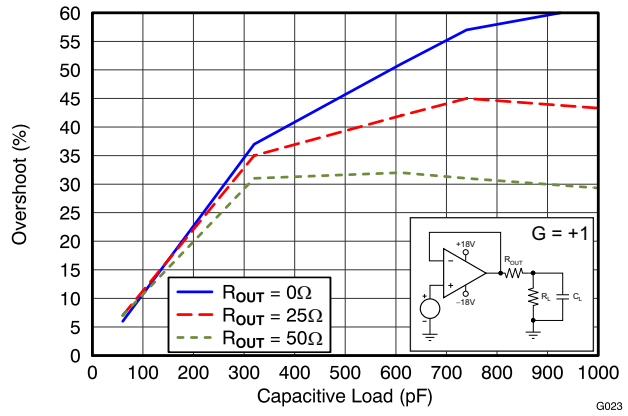
如果不确定电源对该电流的吸收能力，可在电源引脚处外接齐纳二极管；请参阅图 27。选择齐纳电压可确保二极管不会在正常运行过程中导通。但齐纳电压必须足够低，以便齐纳二极管在电源引脚电压超过安全工作电压时导通。

特性 说明 (接下页)

TLVx171 的输入引脚通过背对背二极管获得保护，避免因差分电压过大而受损；请参阅图 27。在大多数电路 应用中，输入保护电路没有任何作用。但在低增益或 G = 1 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 TLVx171 的低噪声性能。图 27 所示为使用限流反馈电阻的示例配置。

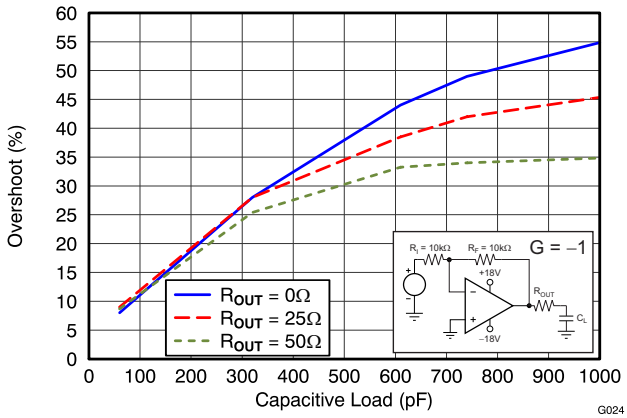
7.3.4 容性负载和稳定性

TLVx171 的动态特性针对常见工作条件进行了优化。低闭环增益和高容性负载的组合会减少放大器的相位裕量并可导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT}）。图 28 和图 29 显示了小信号过冲和容性负载在不同 R_{OUT} 值时的关系图。另请参阅 应用 公告 AB-028 《*反馈曲线图定义运算放大器交流性能*》，获得分析技巧和应用电路的详细信息。



100mV 输出阶跃，G = 1，R_L = 10kΩ

图 **28.** 小信号过冲与容性负载间的关系



100mV 输出阶跃，G = –1，R_L = 10kΩ

图 **29.** 小信号过冲与容性负载间的关系

版权 © 2016, Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 共模电压范围

为了实现正常运行，TLVx171 系列的输入共模电压范围扩展至低于负电源轨 100mV 并且在顶轨 2V 之内。

此系列器件可在超出顶轨 100mV 的完整轨至轨输入范围内运行，但是在顶轨 2V 之内运行时，性能会受到影响。

7.4.2 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和状态后，输出器件中的载流子需要经过一段时间才能恢复正常状态。当载流子恢复至平衡状态后，器件以正常压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。TLVx171 的过载恢复时间大约为 2μs。

版权 © 2016, Texas Instruments Incorporated

8 应用和实现

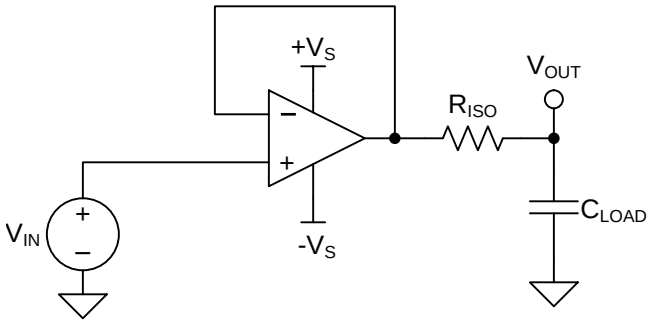
> 注
> 以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TLVx171 系列运算放大器可在大量通用 应用中提供较高的总体性能。与所有放大器一样，在采用噪声电源或高阻抗电源的 应用 中，去耦电容器需靠近器件引脚放置。在大多数情况下，0.1μF 电容器已足够满足需求。请遵循*布局准则*部分的附加建议，以便实现此器件的最大性能。许多 应用 可将容性负载引入到放大器输出（可能会导致不稳定）。在这类 应用 中稳定放大器的一种方法是在放大器输出和容性负载间添加隔离电阻器。*典型应用*部分给出了选择此电阻器的设计流程。

8.2 典型应用

此电路可用于驱动电缆屏蔽、基准缓冲器、MOSFET 栅极和二极管等容性负载。此电路使用隔离电阻器 (R_{ISO}) 来稳定运算放大器的输出。R_{ISO} 修改系统的开环增益以确保电路具有足够的相位裕度。



Copyright © 2016, Texas Instruments Incorporated

图 **30.** 具有 **R_{ISO}** 稳定性补偿的单位增益缓冲器

8.2.1 设计要求

设计要求包括：

- 电源电压：30V (±15V)
- 容性负载：100pF、1000pF、0.01μF、0.1μF 和 1μF
- 相位裕度：45° 和 60°

8.2.2 详细设计流程

图 30 显示了驱动容性负载的单位增益缓冲器。公式 1 显示了图 30 中的电路传递函数。图 30 中未显示运算放大器的开环输出电阻 R_O。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

公式 1 中的传递函数存在极点和零点。极点频率 (f_p) 取决于 (R_O + R_{ISO}) 和 C_{LOAD}。组件 R_{ISO} 和 C_{LOAD} 决定了零点频率 (f_z)。通过选择 R_{ISO}，可使开环增益 (A_{OL}) 与 1/β 间的接近率 (ROC) 达到 20dB/十倍频，从而确保系统稳定性。图 31 阐明了这一概念。单位增益缓冲器的 1/β 曲线为 0dB。

版权 © 2016, Texas Instruments Incorporated

典型应用 (接下页)

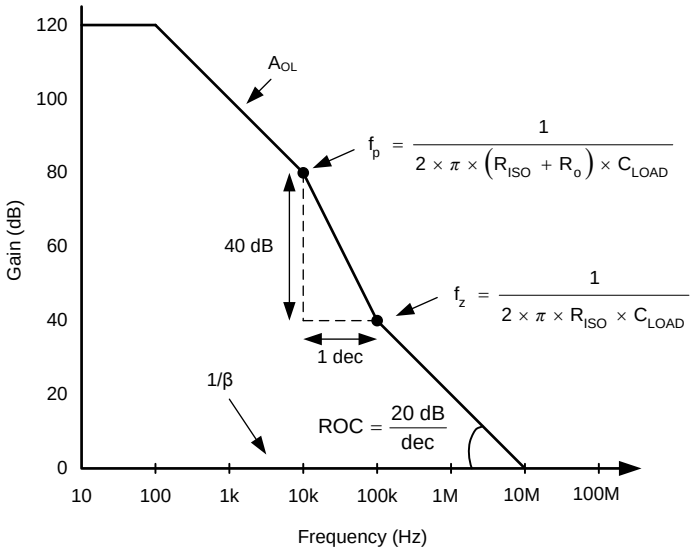


图 **31.** 具有 R_{ISO} 补偿的单位增益放大器

ROC 稳定性分析通常为模拟结果。分析的有效性取决于多种因素，尤其是准确的 R_O 建模。除模拟 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器，对电路的过冲百分比和交流增益峰值进行测量。然后，通过这些测量值计算相位裕度。表 2 显示了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计以及可用于代替 TLV171 的其他备选器件的更多详细信息，请参阅精密设计*采用隔离电阻器的容性负载驱动解决方案*。

表 **2.** 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

8.2.3 应用曲线

使用描述的方法，可确定在不同容性负载下生成 45º 和 60º 相位裕度的 R_{ISO} 值。图 32 中显示了相关结果。

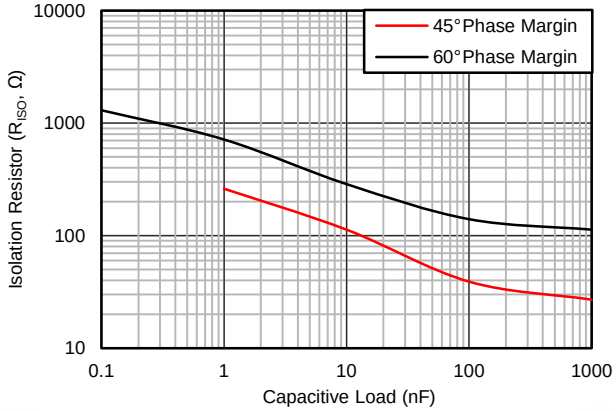


图 **32.** 不同容性负载实现目标相位裕度所需的隔离电阻器

9 电源相关建议

TLVx171 的额定工作电压范围是 2.7V 至 36V（±1.35V 至 ±18V）；多种技术规格适用于 –40°C 至 +85°C 的温度范围。*典型特性*部分提供的参数可能随工作电压或温度的不同出现显著变化。

CAUTION

电源电压大于 40V 可能会对器件造成永久损坏（请参阅*绝对最大额定值*表）。

将 0.1µF 旁路电容器置于电源引脚附近，提供低阻态回路降低电源从噪声源等耦合来的噪声。有关旁路电容位置的详细信息，请参阅*布局*部分。

10 布局

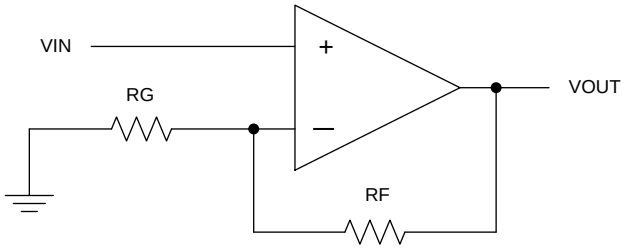
10.1 布局准则

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路中的模拟部分和数字部分单独接地是最为简单有效的噪声抑制方法。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果上述走线无法分离，感测走线与噪声走线可优先选择以交叉垂直的方式排布，而非平行布线。
- 外部组件的位置应尽量靠近器件。如图 34 所示，使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

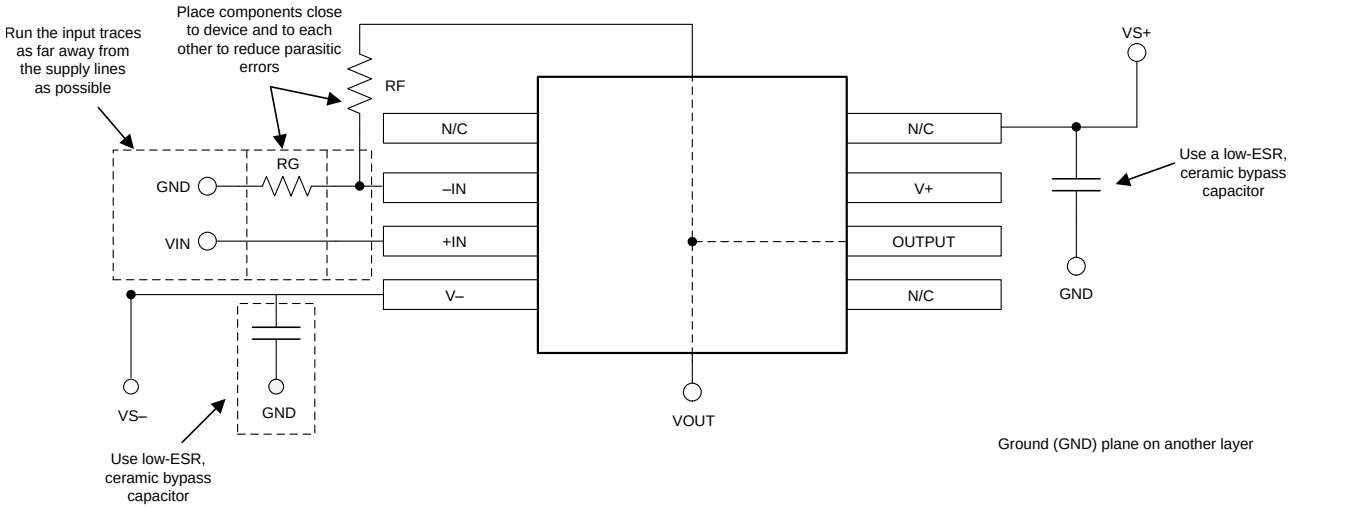
版权 © 2016, Texas Instruments Incorporated

10.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

图 **33.** 原理图表示



Copyright © 2017, Texas Instruments Incorporated

图 **34.** 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™（免费软件下载）

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。 TINA-TI™是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI™ 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI™ 提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的功能，从而构建一个动态快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI™ 软件。请下载 TINA-TI™ 文件夹中的免费 TINA-TI™ 软件。

11.1.1.2 DIP 适配器 EVM

DIP 适配器 EVM 工具为小型表面贴装器件的原型设计提供了一种简易的低成本方法。该评估工具适用于以下 TI 封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV（SOT23-6、SOT23-5 和 SOT23-3）、DCK（SC70-6 和 SC70-5）和 DRL (SOT563-6)。DIP 适配器 EVM 也可搭配引脚排使用，或者直接与现有电路相连。

11.1.1.3 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种器件封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持塑料双列直插封装 (PDIP)、小外形尺寸集成电路 (SOIC)、微型小外形尺寸 (MSOP)、薄型小外形尺寸 (TSSOP) 和小外形尺寸晶体管 (SOT)-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供相关器件。TI 建议您在订购通用运放 EVM 时申请几个运放器件样品。

11.1.1.4 TI 高精度设计

TI 高精度设计是由 TI 公司高精度模拟 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 http://www.ti.com/ww/en/analog/precision-designs/。

11.1.1.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH® 滤波器设计器使用精选的 TI 运算放大器以及 TI 供应商合作伙伴提供的无源组件来打造优化的滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

版权 © 2016, Texas Instruments Incorporated

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

《反馈曲线图定义运算放大器交流性能》应用公告（文献编号：SBOA015）

11.3 相关链接

表 3 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **3.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV171	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2171	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV4171	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 接收文档更新通知

如需接收文档更新通知，请访问 ti.com 上的器件产品文件夹。点击右上角的提醒我 (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查看任意已修订文档中包含的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.8 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV171IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	14RT
TLV171IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14RT
TLV171IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	14RT
TLV171IDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	14RT
TLV171IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	14RT
TLV171IDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14RT
TLV171IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV171
TLV171IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV171
TLV2171IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDGKTG4	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDGKTG4.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14OV
TLV2171IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL2171
TLV2171IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL2171
TLV4171ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171ID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171IDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171IDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLV4171
TLV4171IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4171
TLV4171IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4171
TLV4171IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4171
TLV4171IPWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4171

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

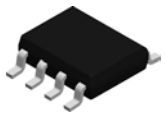
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV171 :

- Automotive : TLV171-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

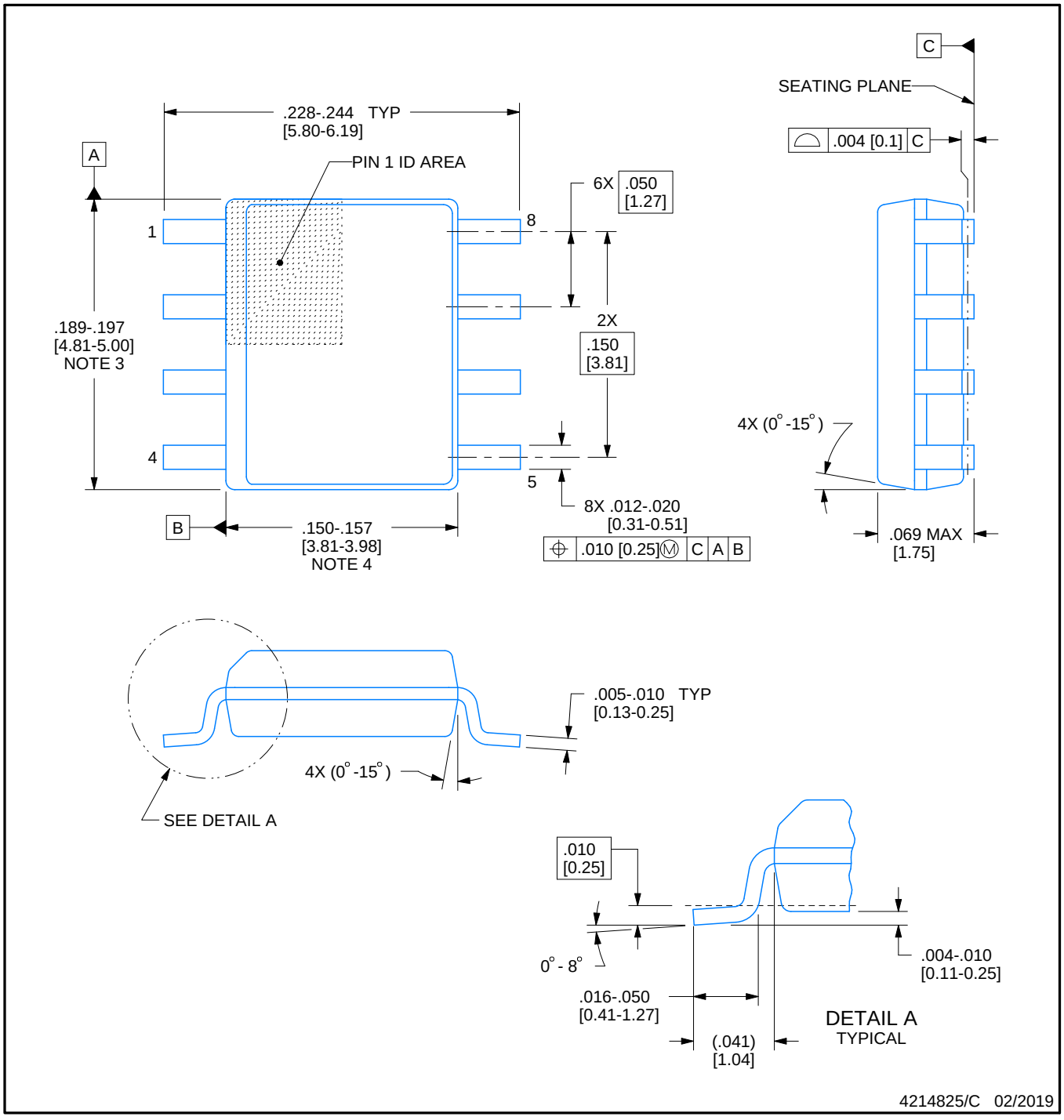


PACKAGE OUTLINE

D0008A

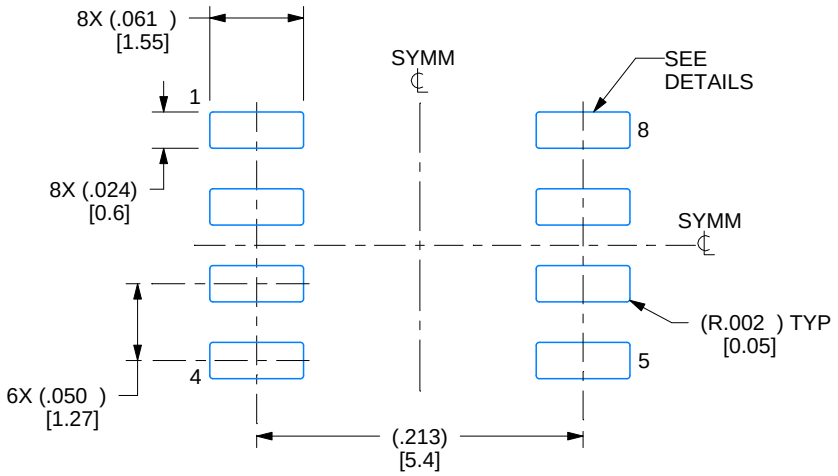
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

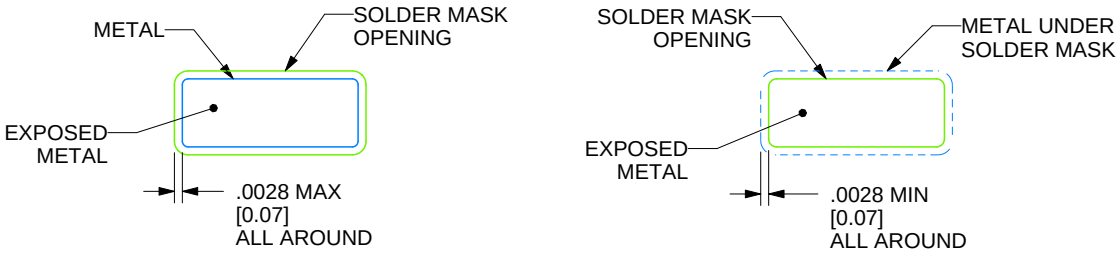


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

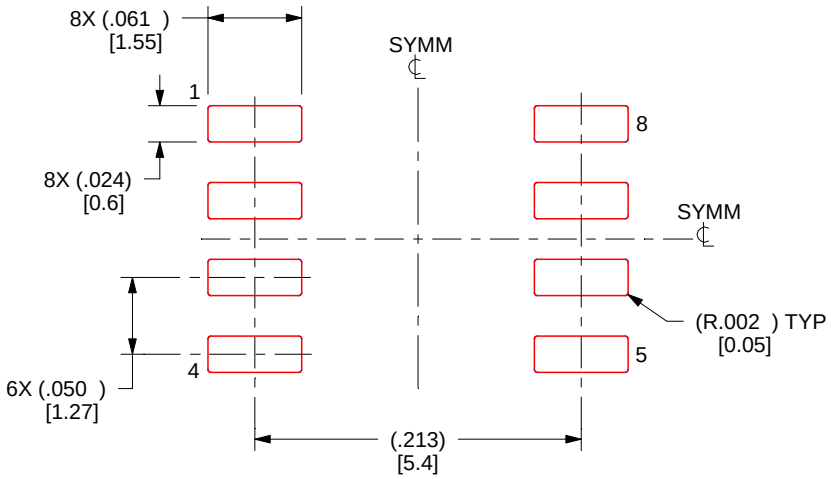
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

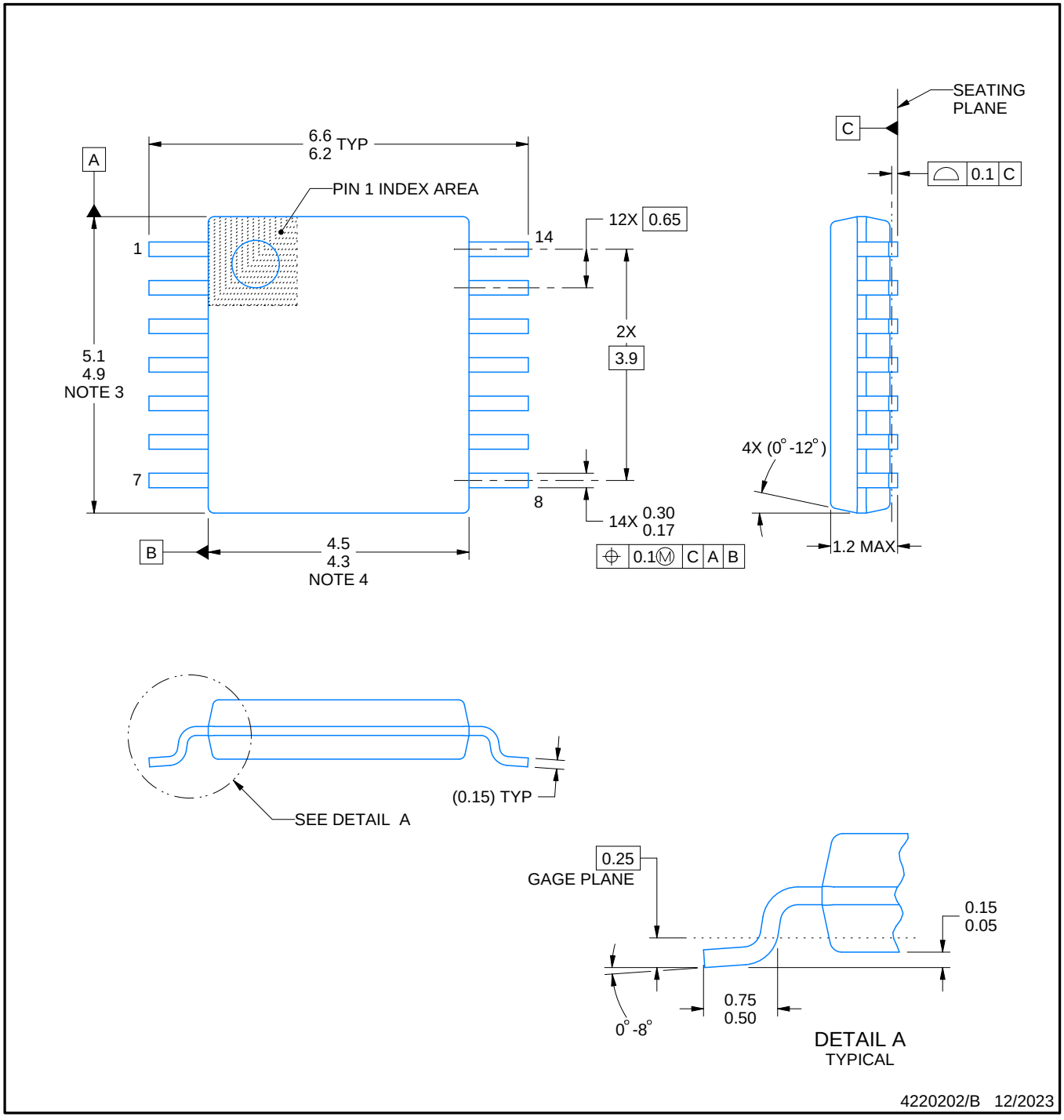
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

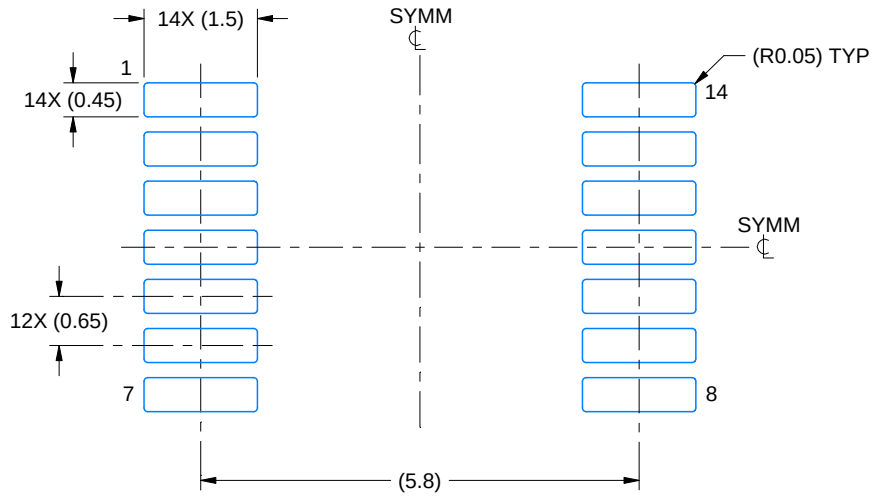
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

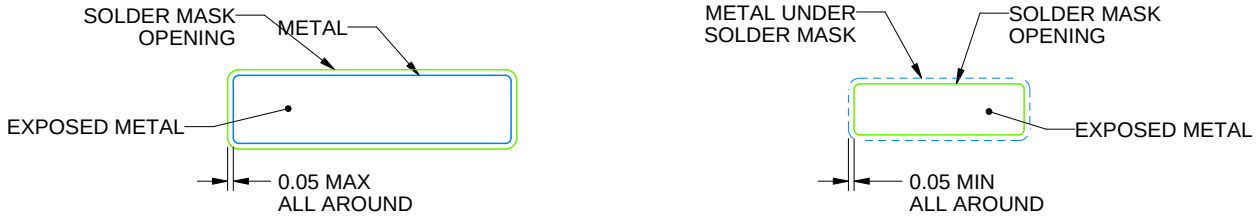


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

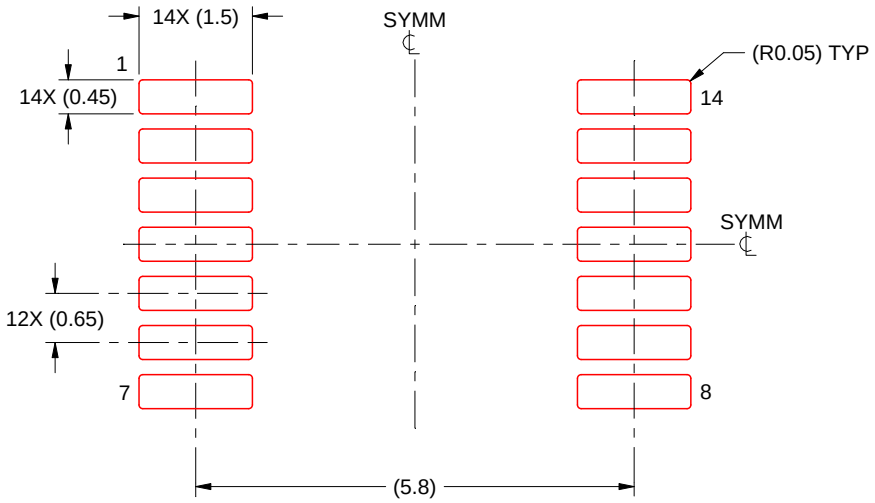


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

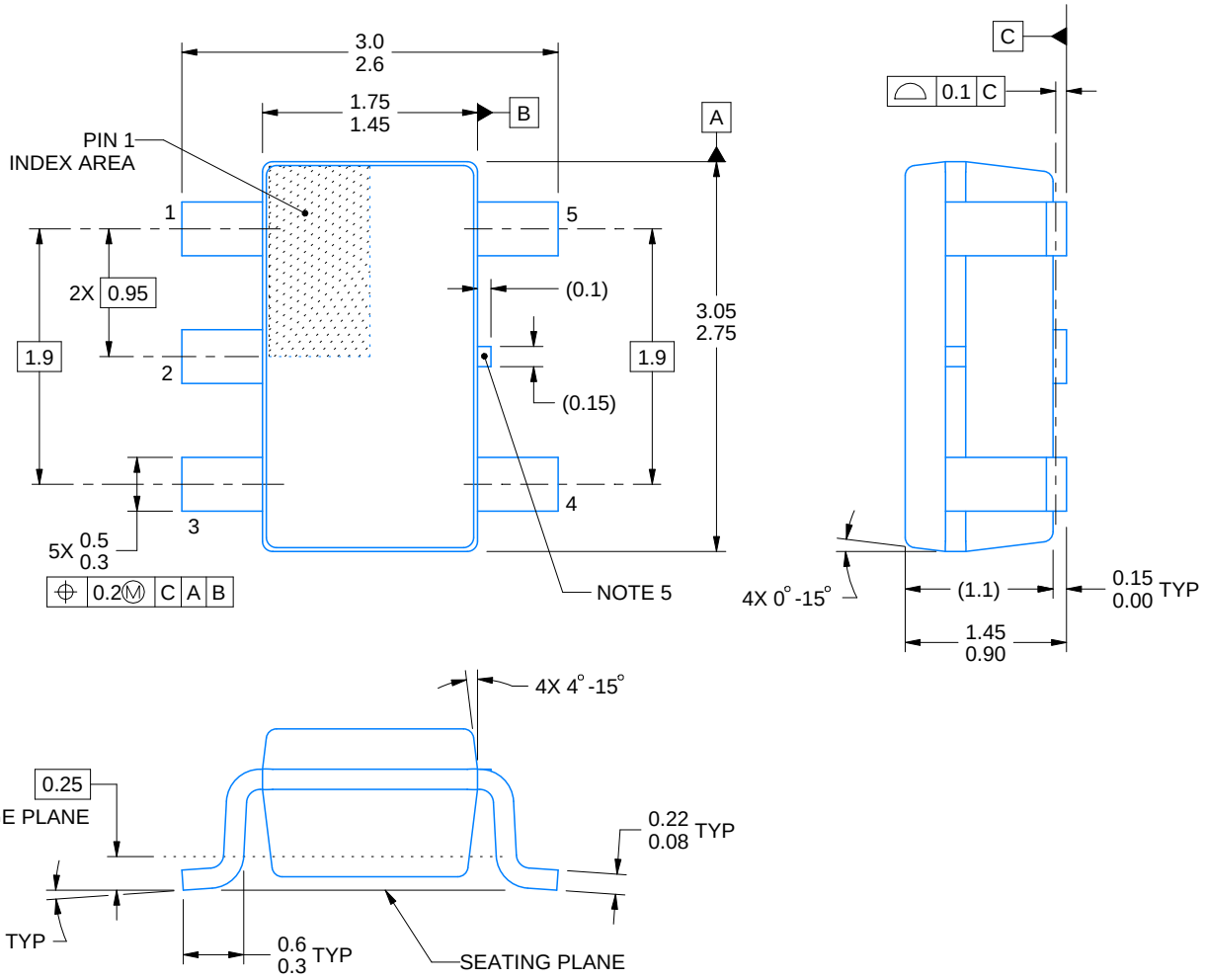
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

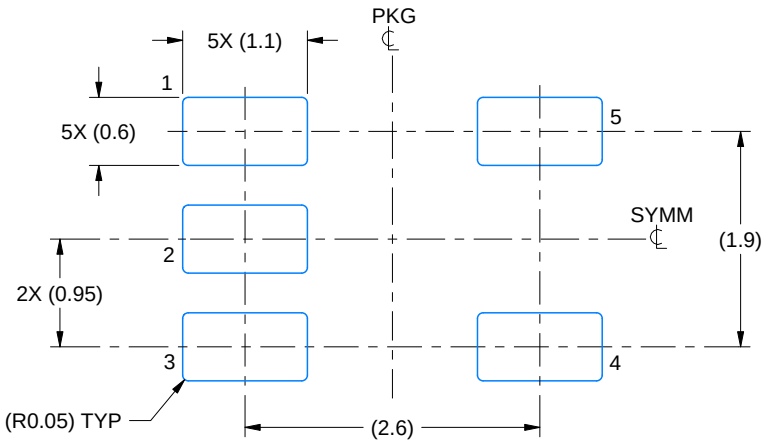
SMALL OUTLINE TRANSISTOR



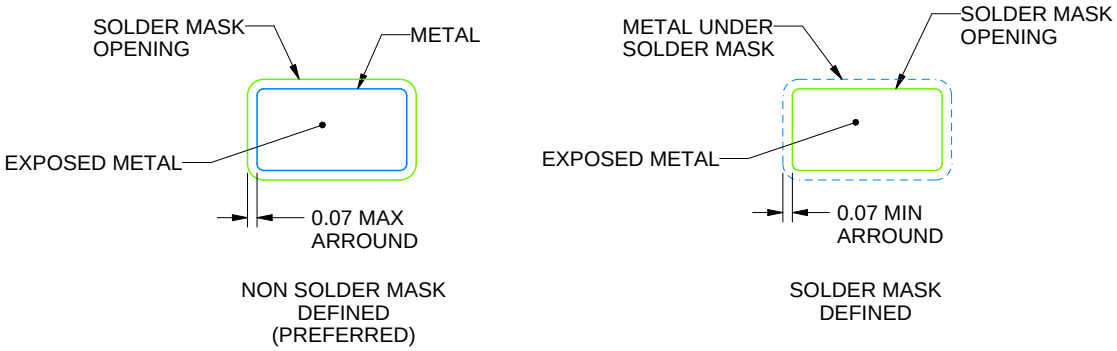
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

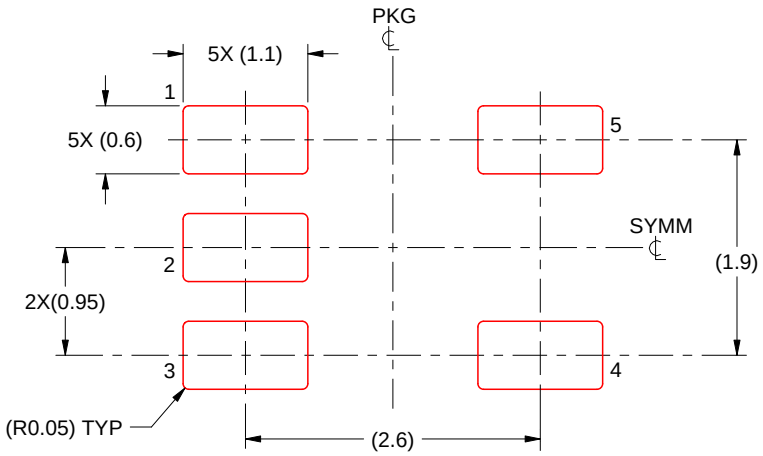


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

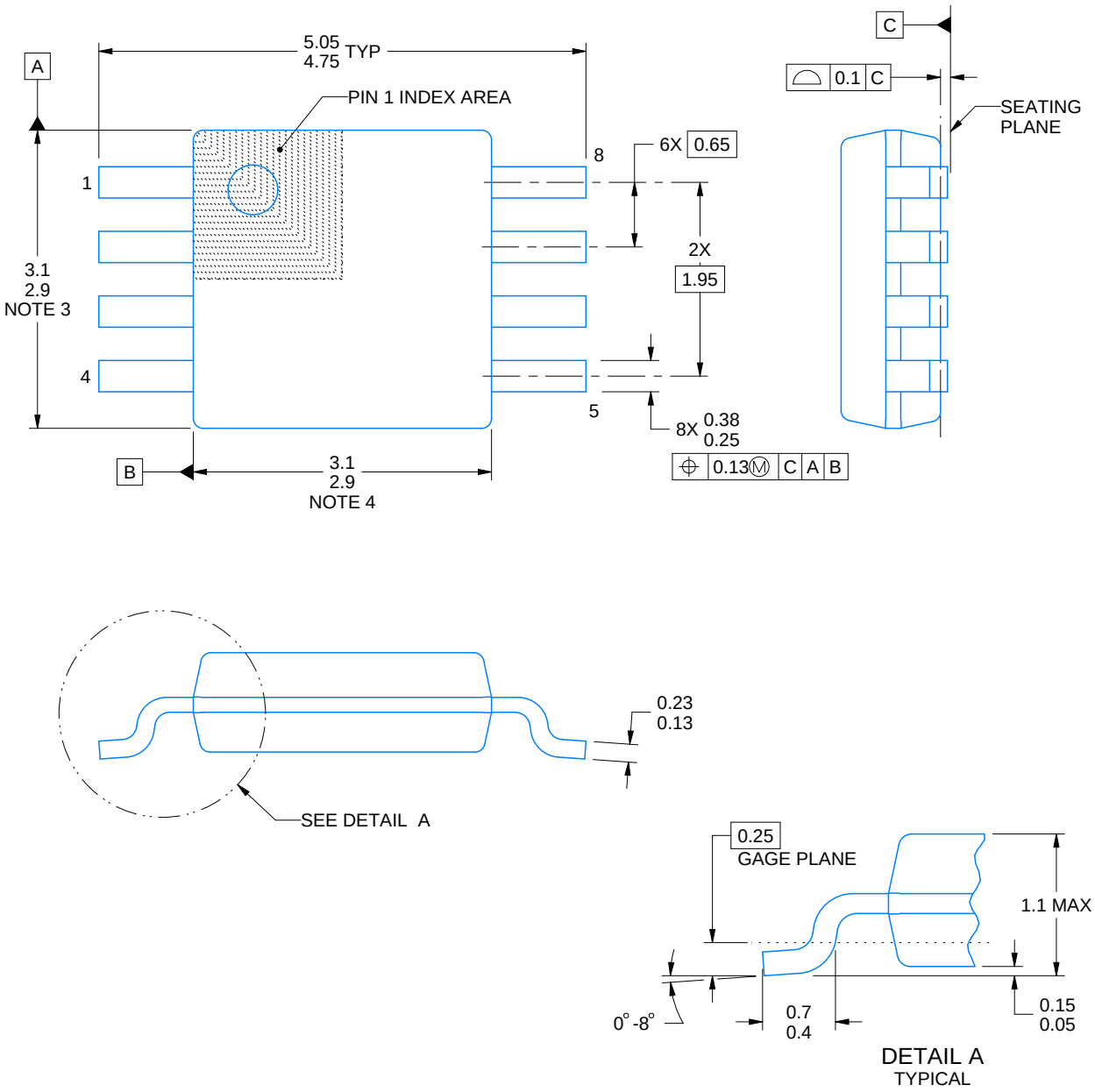
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

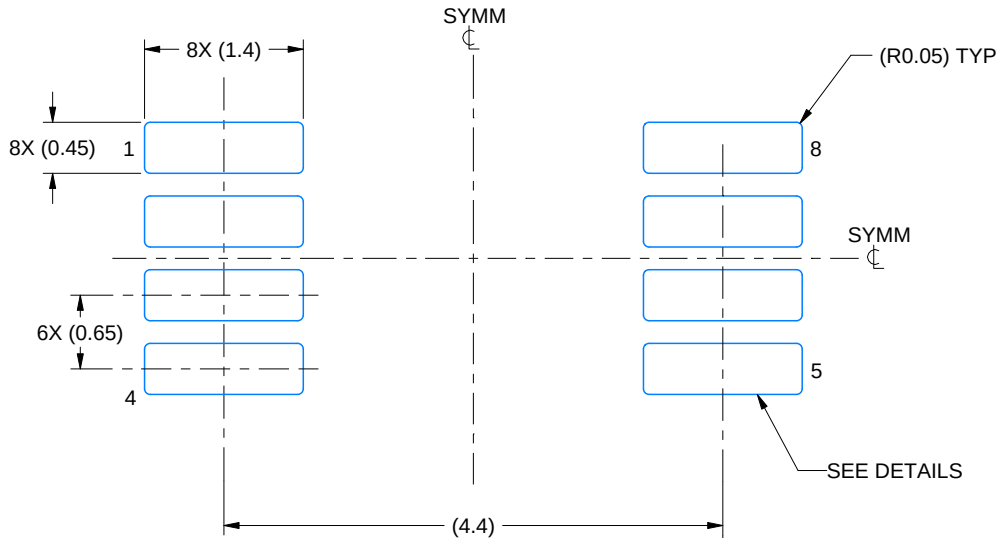
SMALL OUTLINE PACKAGE



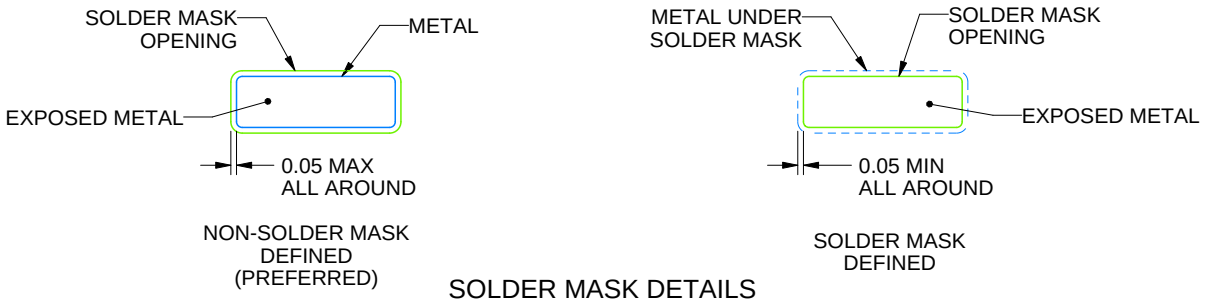
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

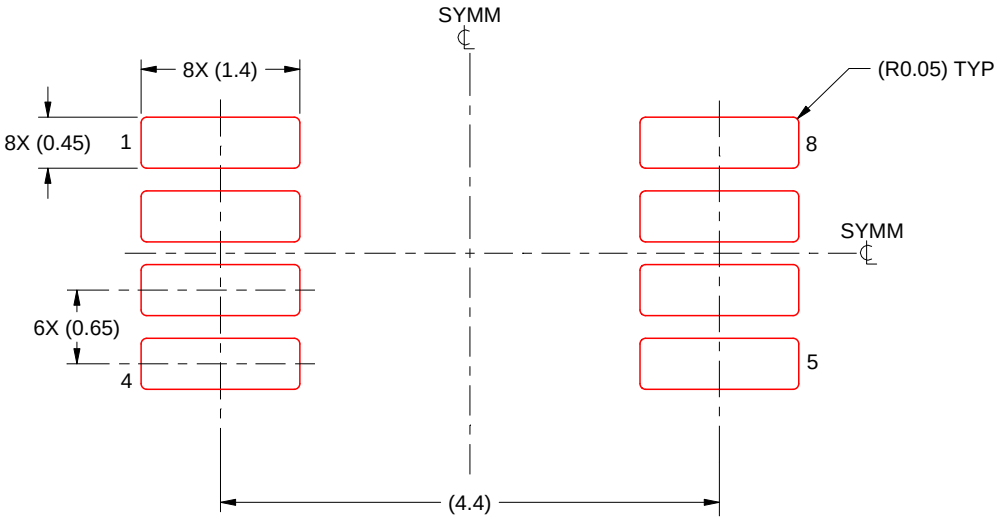


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

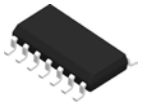


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

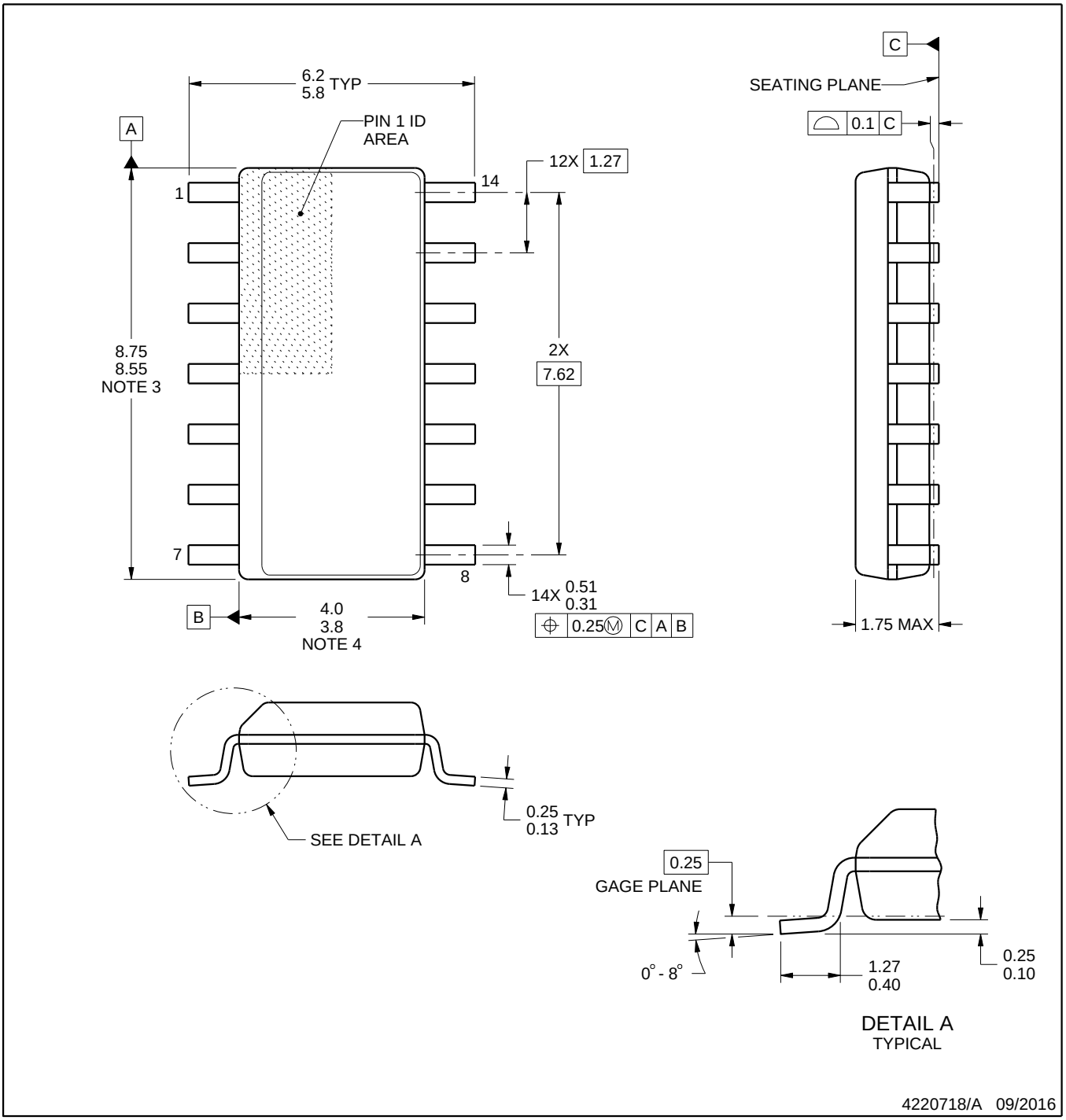


PACKAGE OUTLINE

D0014A

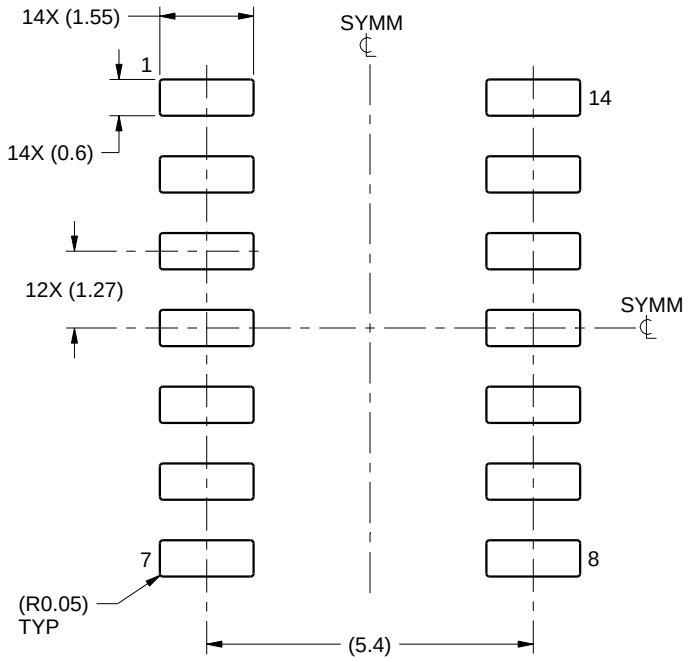
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

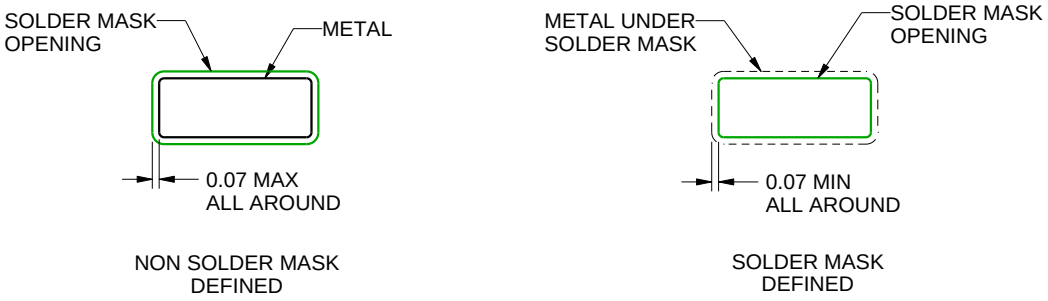


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

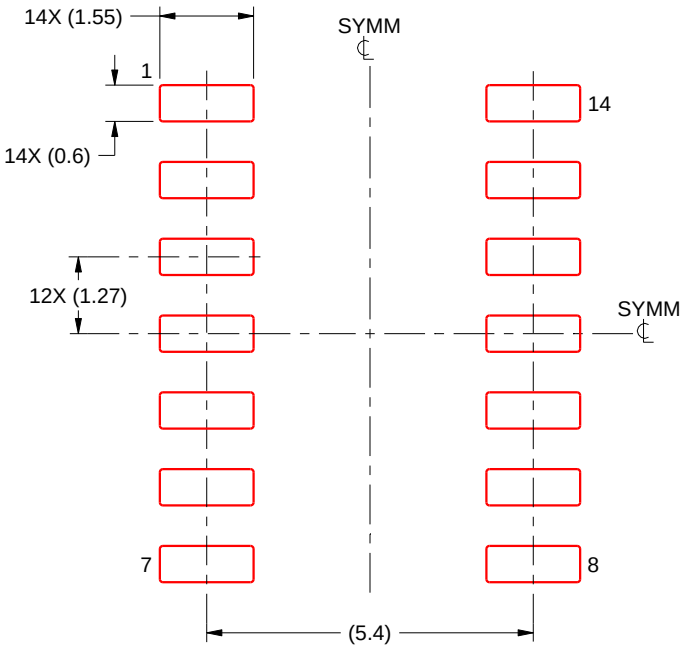
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月