TLV3541, TLV3542, TLV3544
ZHCSFL4A – OCTOBER 2016 – REVISED AUGUST 2026

TLV354x 适用于成本敏感型系统的 200MHz、轨到轨 I/O、CMOS 运算放大器

1 特性

- 适用于成本敏感型系统的宽带宽放大器
- 单位增益带宽：200MHz
- 高压摆率：150V/μs
- 低噪声：7.5nV/√Hz
- 轨到轨 I/O
- 高输出电流：> 100mA
- 出色的视频性能：
  - 差分增益：0.02%，差相：0.09°
  - 0.1dB 增益平坦度：40MHz
- 低输入偏置电流：3pA
- 静态电流：5.2mA
- 热关断
- 电源电压范围：2.5V 至 5.5V

2 应用

- 高分辨率 ADC 驱动器放大器
- IR 触控
- 低电压、高频信号处理
- 视频处理
- 基站收发信台
- 光纤网络、可调激光器
- 光电二极管跨阻放大器
- 条形码扫描仪
- 快速电流检测放大器
- 超声波成像

3 说明

TLV3541、TLV3542 和 TLV3544 是单通道、双通道和四通道、低功耗（每通道 5.2mA）、高速、单位增益稳定、轨到轨输入/输出运算放大器，专为视频和其他需要宽带宽的应用而设计。

这些器件仅消耗 6.5mA（最大值）的电源电流，具有 200MHz 的增益带宽积、150V/μs 的转换速率和 f=1MHz 时 7.5nV/√Hz 的低输入噪声。TLV354x 系列集高带宽、高压摆率和低噪声等特性于一体，非常适合低电压、高速信号调节系统。

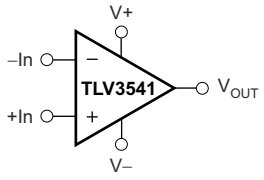
TLV354x 系列运算放大器经过优化，可在低至 2.5V (±1.25V) 和高达 5.5V (±2.75V) 的单电源或双电源下运行。共模输入范围可以扩展至电源电压以上。输出摆幅在电源轨的 100mV 以内，并支持宽动态范围。

TLV354x 器件的额定电压范围为 –40°C 至 +125°C。将 TLV354x 系列用作许多市售高带宽运算放大器的插件替代产品。

封装信息

器件型号	封装(1)	封装尺寸(2)
TLV3541	SOIC (8)	3.91mm × 4.90mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV3542	SOIC (8)	3.91mm × 4.90mm
	VSSOP (8)	3.00mm × 3.00mm
TLV3544	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 TLV3541 热性能信息 5
5.5 TLV3542 热性能信息 6
5.6 TLV3544 热性能信息 6
5.7 电气特性 6
5.8 典型特性 9
6 详细说明 12
6.1 概述 12
6.2 功能方框图 12
6.3 特性说明 12
6.4 器件功能模式 17
7 应用和实施 18
7.1 应用信息 18
7.2 典型应用 18
7.3 系统示例 19
7.4 电源相关建议 20
7.5 布局 20
8 器件和文档支持 22
8.1 文档支持 22
8.2 接收文档更新通知 22
8.3 支持资源 22
8.4 商标 22
8.5 静电放电警告 22
8.6 术语表 22
9 修订历史记录 22
10 机械、封装和可订购信息 23

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

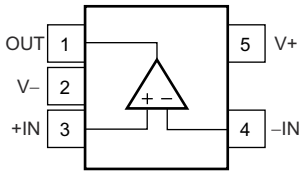
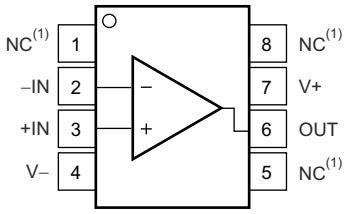


图 4-1. TLV3541：DBV 封装 5 引脚 SOT-23（顶视图）



A. NC 表示无内部连接。

图 4-2. TLV3541：D 封装 8 引脚 SOIC（顶视图）

表 4-1. 引脚功能：TLV3541

引脚			类型(1)	说明
名称	DBV (SOT-23)	D (SOIC)		
+IN	3	3	I	非反相输入
–IN	4	2	I	反相输入
NC	—	1、5、8	—	未进行内部电路连接（可以悬空）
OUT	1	6	O	输出
V–	2	4	—	负（最低）电源
V+	5	7	—	正（最高）电源

(1) I = 输入，O = 输出

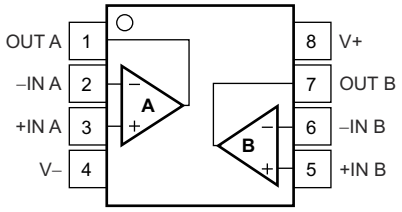


图 4-3. TLV3542：DGK 和 D 封装 8 引脚 VSSOP，SOIC（顶视图）

表 4-2. 引脚功能：TLV3542

引脚		类型(1)	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负（最低）电源
V+	8	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

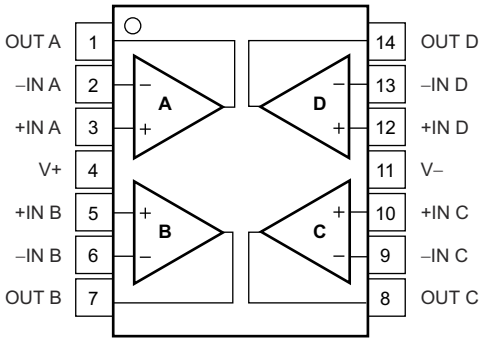


图 4-4. TLV3544：D 和 PW 封装，14 引脚 SOIC、TSSOP（顶视图）

表 4-3. 引脚功能：TLV3544

引脚			类型(1)	说明
名称	TLV3544			
	D (SOIC)	PW (TSSOP)		
–IN A	2	2	I	反相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
–IN C	9	9	I	反相输入，通道 C
–IN D	13	13	I	反相输入，通道 D
+IN A	3	3	I	同相输入，通道 A
+IN B	5	5	I	同相输入，通道 B
+IN C	10	10	I	同相输入，通道 C
+IN D	12	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	8	8	O	输出，通道 C
OUT D	14	14	O	输出，通道 D
V–	11	11	—	负（最低）电源
V+	4	4	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)		7.5	V
V_I	信号输入端子	(V–) – 0.5	(V+) + 0.5	V
I_I	信号输入端子	-10	+10	mA
I_{SC}	输出短路(2)	持续		
T_A	工作温度	-55	125	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压，V– 至 V+	2.5		5.5	V
T_A	额定温度	-40		125	°C

5.4 TLV3541 热性能信息

热指标(1)		TLV3541		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	158.76	216.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	94.00	115.0	°C/W
$R_{\theta JB}$	结至电路板热阻	102.70	83.2	°C/W
ψ_{JT}	结至顶部特征参数	38.24	50.3	°C/W
ψ_{JB}	结至电路板特征参数	102.06	82.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 TLV3542 热性能信息

热指标(1)		TLV3542		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	113.9	175.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	60.4	67.8	°C/W
$R_{\theta JB}$	结至电路板热阻	54.1	97.1	°C/W
ψ_{JT}	结至顶部特征参数	17.1	9.3	°C/W
ψ_{JB}	结至电路板特征参数	53.6	95.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.6 TLV3544 热性能信息

热指标(1)		TLV3544		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	83.8	92.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	70.7	27.5	°C/W
$R_{\theta JB}$	结至电路板热阻	59.5	33.6	°C/W
ψ_{JT}	结至顶部特征参数	11.6	1.9	°C/W
ψ_{JB}	结至电路板特征参数	37.7	33.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.7 电气特性

在 T_A = 25°C、R_F = 0Ω、R_L = 1kΩ（连接至 V_S/2）时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入偏移电压	V_S = 5V，T_A = 25°C		±2	±10	mV
dV_{OS}/dT	输入失调电压漂移	V_S = 5V，T_A = –40°C 至 +125°C		±4.5		μV/°C
PSRR	输入失调电压与电源间的关系	V_S = 2.7V 至 5.5V，V_{CM} = (V_S / 2) – 0.55V	60	70		dB
输入偏置电流						
I_B	输入偏置电流			3		pA
I_{OS}	输入偏移电流			±1		pA
噪声						
en	输入电压噪声密度	f = 1MHz		7.5		nV/√Hz
i_n	输入电流噪声密度	对于 TLV3542 和 TLV3544，f = 1MHz		50		fA/√Hz
i_n	输入电流噪声密度	对于 TLV3541，f = 1MHz		300		fA/√Hz
输入电压范围						
V_{CM}	共模电压		(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	V_S = 5.5V，–0.1V < V_{CM} < 3.5V，T_A = 25°C	66	80		dB

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性（续）

在 T_A = 25°C、R_F = 0Ω、R_L = 1kΩ（连接至 V_S/2）时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
CMRR	共模抑制比	V_S = 5.5V，–0.1V < V_{CM} < 5.6V，T_A = 25°C	56	68		dB
输入阻抗						
C_{IN}	差分			10^{13} || 2		Ω || pF
	共模			10^{13} || 2		
开环增益						
A_{OL}	开环增益	V_S = 5V，0.3V < V_O < 5.2V，T_A = 25°C	92	108		dB
频率响应						
f_{-3dB}	小信号带宽	G = +1，V_O = 100mV$_{PP}$，R_F = 25Ω		200		MHz
		G = +2、V_O = 100mV$_{PP}$		90		
GBW	增益带宽积	G = +10		100		MHz
$f_{0.1dB}$	0.1dB 增益平坦度带宽	G = +2、V_O = 100mV$_{PP}$		40		MHz
SR	压摆率	V_S = 5V，G = +1，4V 阶跃		150		V/μs
		V_S = 5V，G = +1，2V 阶跃		130		
	上升和下降时间	对于 TLV3542 和 TLV3544，G = +1，V_O = 200mV$_{PP}$，10% 至 90%		2		ns
	上升和下降时间	对于 TLV3541，G = +1，V_O = 200mV$_{PP}$，10% 至 90%		3		ns
		G = +1，V_O = 2V$_{PP}$，10% 至 90%		11		
	趋稳时间	0.1%，V_S = 5V，G = +1，2V 输出阶跃		30		ns
	趋稳时间	0.01%，V_S = 5V，G = +1，2V 输出阶跃		60		
	过载恢复时间	V_{IN} × G = V_S		5		ns
HD2	二阶谐波失真	G = +1，f = 1MHz，V_O = 2V$_{PP}$，R_L = 200Ω，V_{CM} = 1.5V		-75		dBc
HD3	三阶谐波失真	G = +1，f = 1MHz，V_O = 2V$_{PP}$，R_L = 200Ω，V_{CM} = 1.5V		-83		dBc
	差分增益误差	NTSC，R_L = 150Ω		0.02%		
	差分相位误差	NTSC，R_L = 150Ω		0.09		°
	通道间串扰	TLV3542，f = 5MHz		-100		dB
		TLV3544，f = 5MHz		-84		
输出						
	相对于电源轨的电压输出摆幅	V_S = 5V，R_L = 1kΩ，A_{OL} > 90dB，T_A = –40°C 至 +125°C		0.1	0.3	V
I_O	输出电流	V_S = 5V	100			mA
		V_S = 3V		50		
	闭环输出阻抗	f < 100kHz		0.05		Ω
R_O	开环输出电阻	对于 TLV3542 和 TLV3544		35		Ω
R_O	开环输出电阻	对于 TLV3541		39		Ω
电源						
V_S	额定电压		2.7		5	V
V_S	工作电压		2.5		5.5	V
I_Q	（每个放大器）的静态电流	T_A = 25°C，V_S = 5V，I_O = 0A		5.2	6.5	mA
热关断：结温						
	关断			160		°C

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性（续）

在 T_A = 25°C、R_F = 0Ω、R_L = 1kΩ（连接至 V_S/2）时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	从关断状态复位			140		°C

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

在 T_A = 25°C、V_S = 5V、G = 1V/V、R_F = 0Ω、R_L = 1kΩ（连接至 V_S / 2）时测得，除非另有说明。

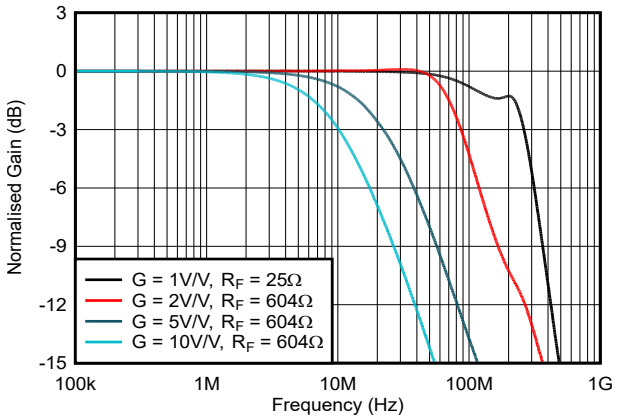
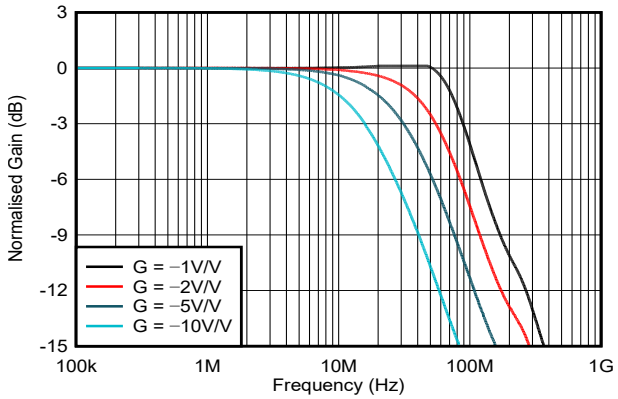


图 5-1. 非反相微小信号频率响应



R_F = 604Ω，V_O = 0.1V_{pp}

图 5-2. 反相小信号频率响应

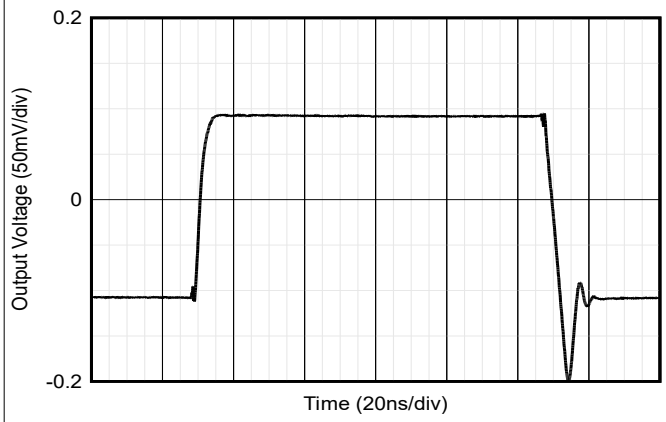


图 5-3. 非反相微小信号阶跃响应

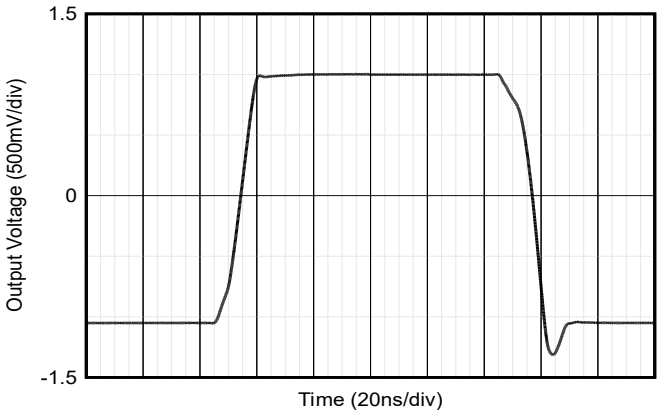
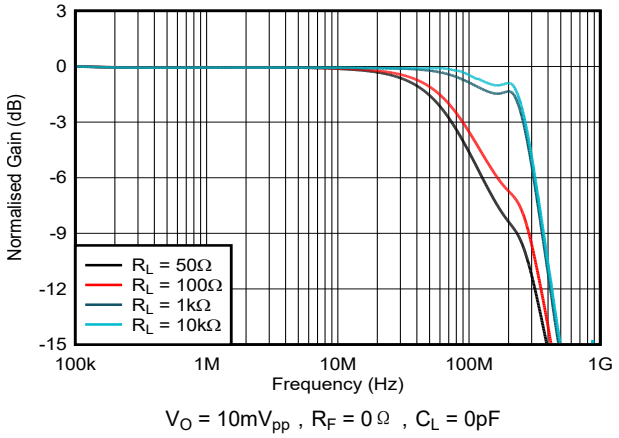
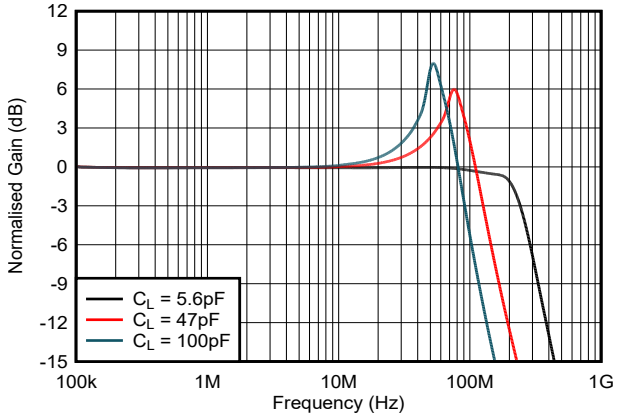


图 5-4. 非反相大信号阶跃响应



V_O = 10mV_{pp}，R_F = 0Ω，C_L = 0pF

图 5-5. 频率响应与各种 R_L 值之间的关系



R_S = 0Ω，V_O = 10mV_{pp}

图 5-6. 各种 C_L 的频率响应

Copyright © 2026 Texas Instruments Incorporated

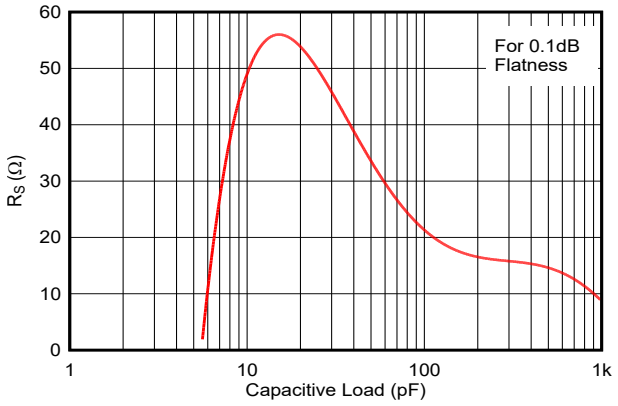


图 5-7. 建议的 R_S 与容性负载间的关系

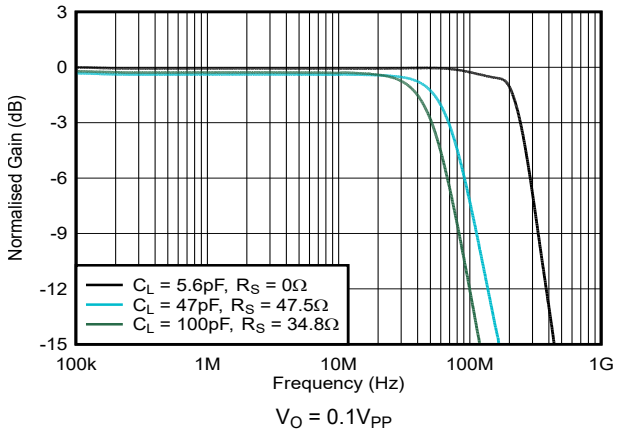


图 5-8. 频率响应与容性负载间的关系

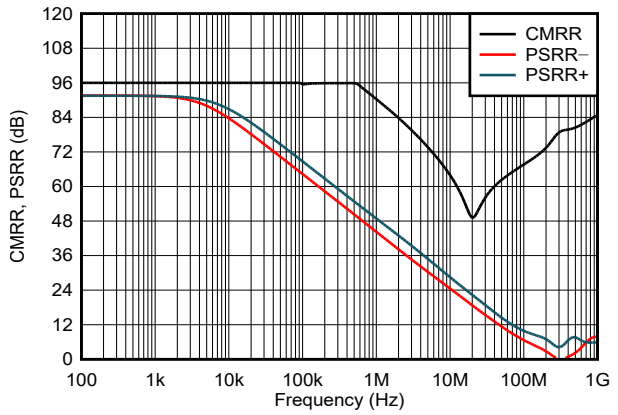


图 5-9. 共模抑制比和电源抑制比与频率间的关系

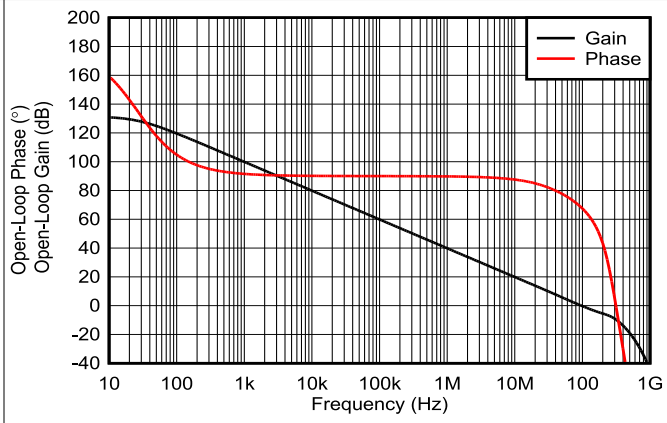


图 5-10. 开环增益和相位

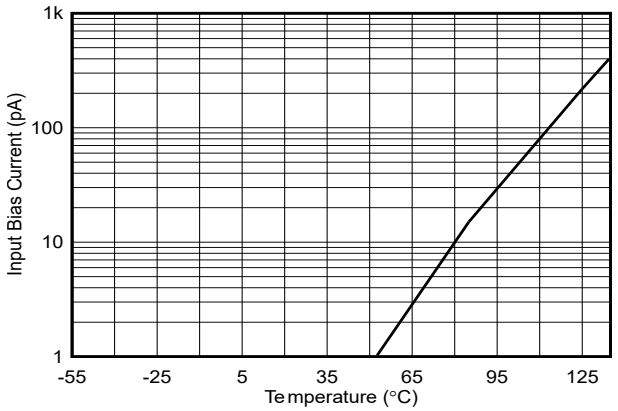


图 5-11. 输入偏置电流与温度间的关系

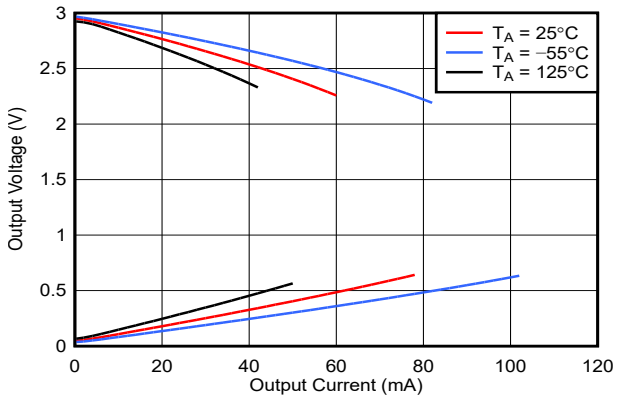


图 5-12. 输出电压摆幅与输出电流间的关系 (V_S = 3V)

Copyright © 2026 Texas Instruments Incorporated

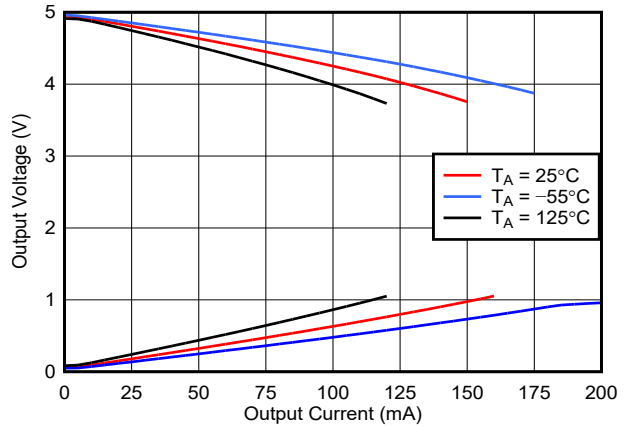


图 5-13. 输出电压摆幅与输出电流间的关系 (V_S = 5V)

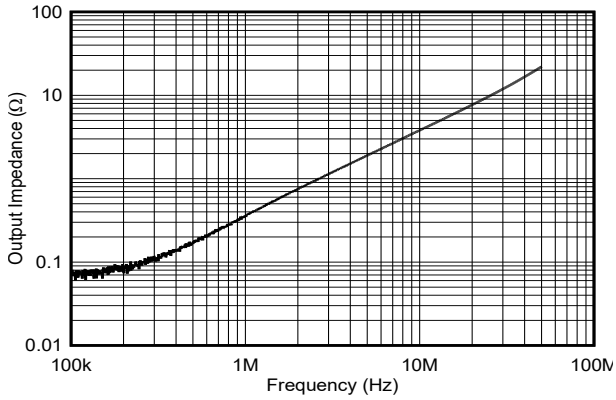


图 5-14. 闭环输出阻抗与频率间的关系

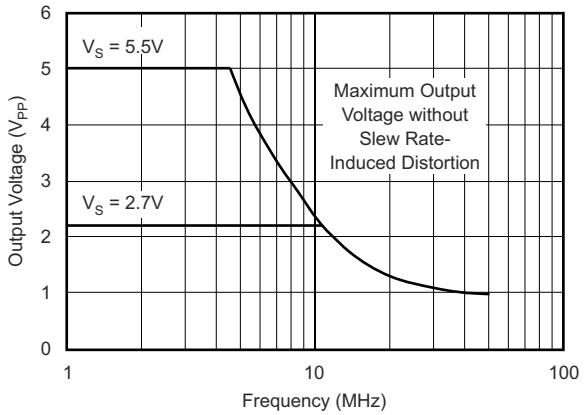


图 5-15. 最大输出电压与频率间的关系

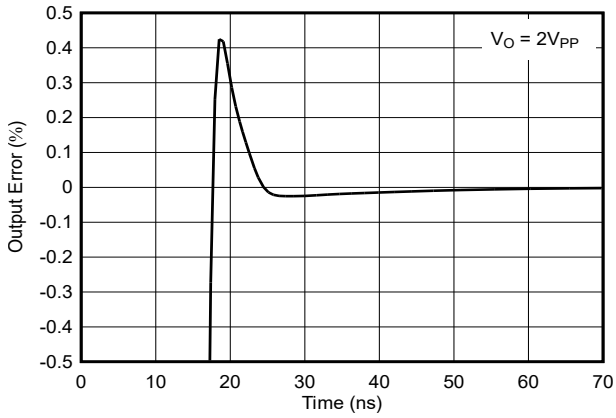


图 5-16. 输出趋稳时间精度达 0.1%

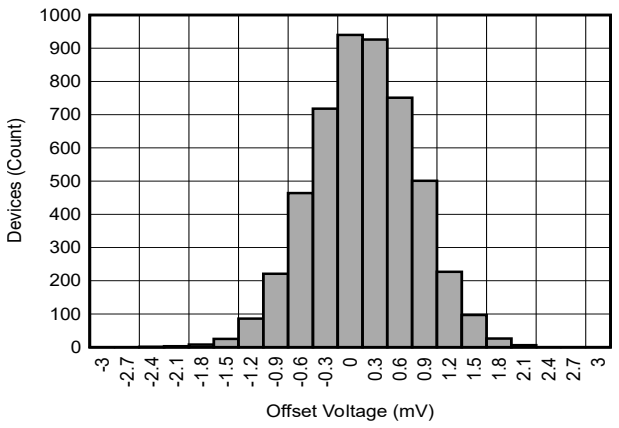


图 5-17. 失调电压产生分布

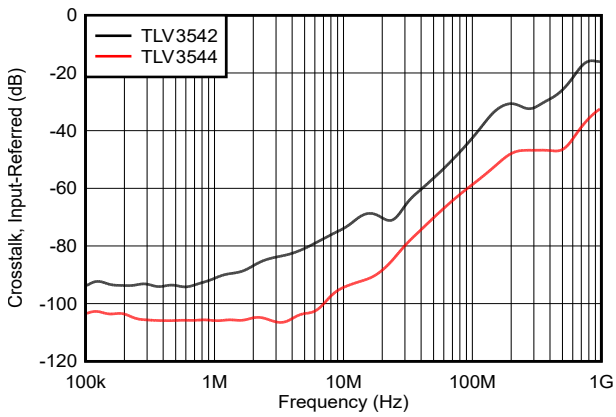


图 5-18. 通道间串扰

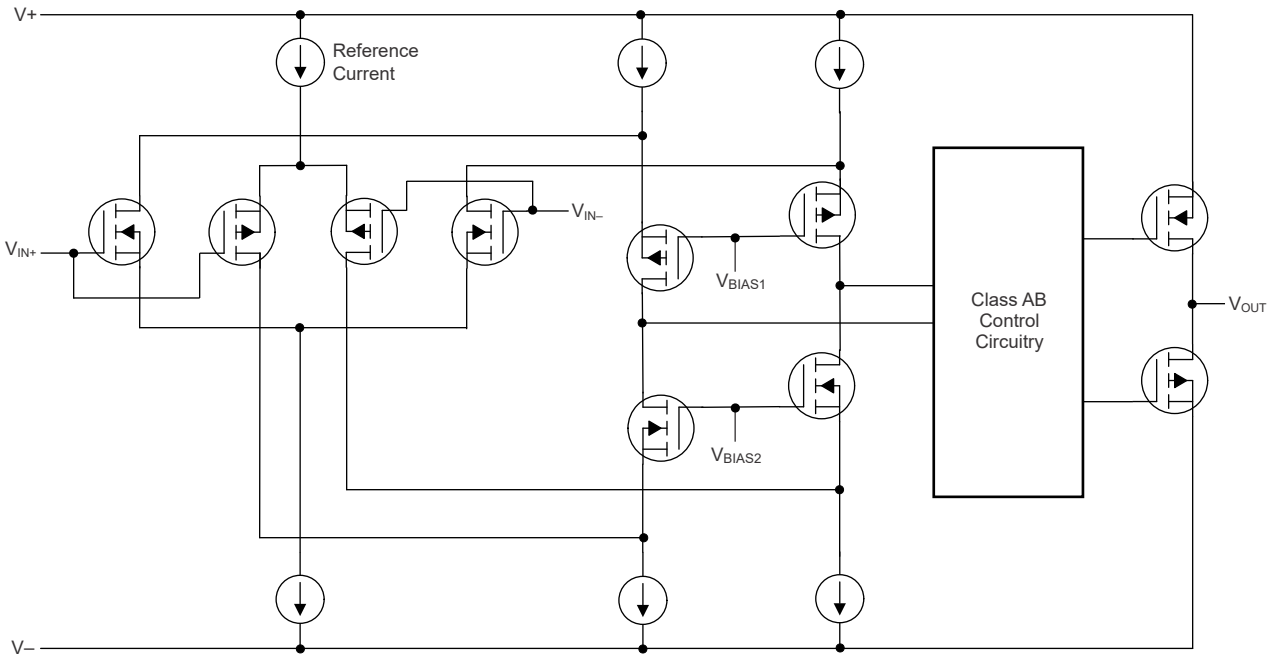
6 详细说明

6.1 概述

TLV354x 是一种为视频、高速及其他应用而设计的 CMOS、轨到轨 I/O、高速、电压反馈。器件可以提供单路、双路或四路运算放大器。

这些放大器的增益带宽为 100MHz，转换速率为 150V/μs，但放大器的单位增益稳定，工作电压为 +1V/V。

6.2 功能方框图



6.3 特性说明

6.3.1 工作电压

TLV354x 的额定电源电压范围为 2.7V 至 5.5V（±1.35V 至 ±2.75V）。然而，电源电压的范围可为 2.5V 至 5.5V（±1.25V 至 ±2.75V）。高于 7.5V（绝对最大值）的电源电压可能会对放大器造成永久性损坏。

随电源电压或温度变化的参数如 *节 5.8* 部分所示。

6.3.2 轨到轨输入

TLV354x 的指定输入共模电压范围在电源轨基础上向外扩展了 100mV。此扩展范围由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联，请参见 *节 6.2*。N 沟道对对于靠近正电源轨的输入电压有效，通常比正电源高 (V+) – 1.2V 至 100mV，而 P 沟道对针对低于负电源轨 100mV 至大约 (V+) – 1.2V 间的输入打开。有一个小转换区域，通常介于 (V+) – 1.5V 至 (V+) – 0.9V 之间，在这个区间内两个对都打开。此 600mV 转换区域可能随工艺不同而有 ±500mV 波动。因此，此转换区域（两个输入级都打开）在低端上的范围介于 (V+) – 2.0V 至 (V+) – 1.5V 之间，而在高端上的范围高达 (V+) – 0.9V 至 (V+) – 0.4V。

双折叠的共源共栅增加了来自两个输入对的信号，并向 AB 类输出级提供差分信号。

6.3.3 轨到轨输出

采用具有共源晶体管的 AB 类输出级来实现轨到轨输出。对于高阻抗负载 (200 Ω)，输出电压摆幅通常为与电源轨相差 100mV。在 10 Ω 负载下，可实现有用的输出摆幅，并且保持高开环增益。请见典型特性曲线，*输出电压摆幅与输出电流间的关系*（图 5-12 和图 5-13）。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 输出驱动

TLV354x 输出级可提供 ±100mA 持续输出电流，但通过 5V 电源提供大约 2.7V 的输出摆幅，如图 6-1 所示。为了获得最大可靠性，不建议使持续直流电流超过 ±100mA。请见典型特性曲线，*输出电压摆幅与输出电流间的关系*（图 5-12 和图 5-13）。为了提供大于 ±100mA 的连续输出电流，TLV354x 可以并行运行，如图 6-2 所示。

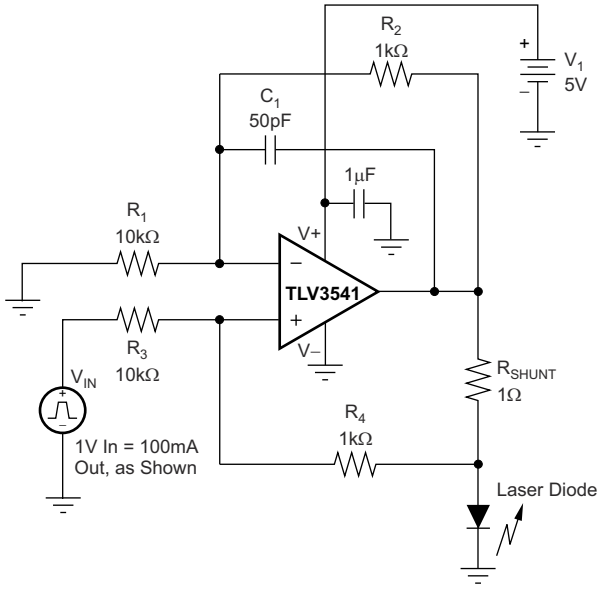


图 6-1. 激光二极管驱动器

TLV354x 提供高达 200mA 的峰值电流，该电流与典型短路电流相对应。因此，提供了片上热关断电路来保护 TLV354x 免受危险的高结温影响。在 160°C 时，保护电路会关断放大器。当结温冷却至低于 +140°C 时，将恢复正常运行。

Copyright © 2026 Texas Instruments Incorporated

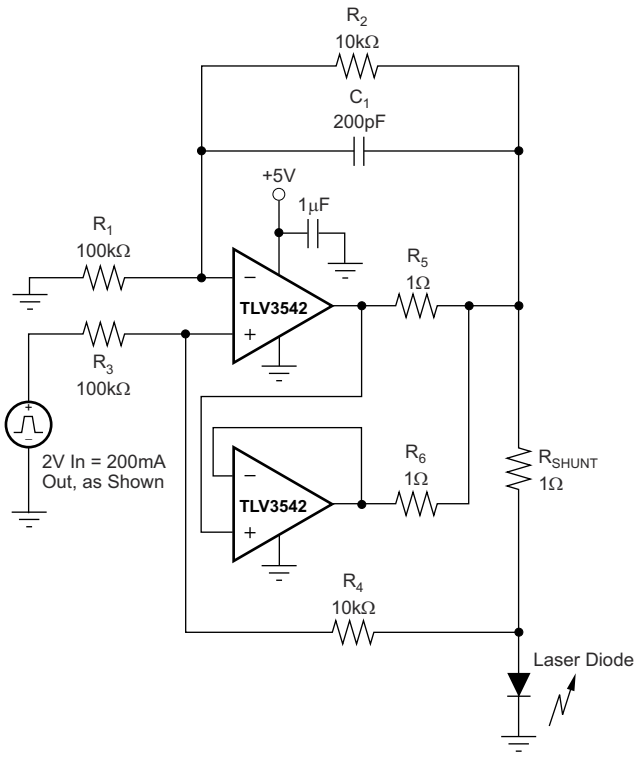


图 6-2. 并行运行

6.3.5 视频

TLV354x 输出级能够驱动标准的反端接 75Ω 视频电缆，如图 6-3 所示。通过反向端接传输线路，器件不会对其驱动器表现出容性负载。正确的反向端接 75Ω 电缆不显示为电容；该器件为 TLV354x 输出端提供 150Ω 电阻负载。

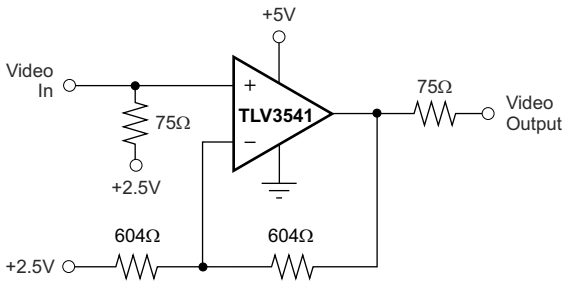
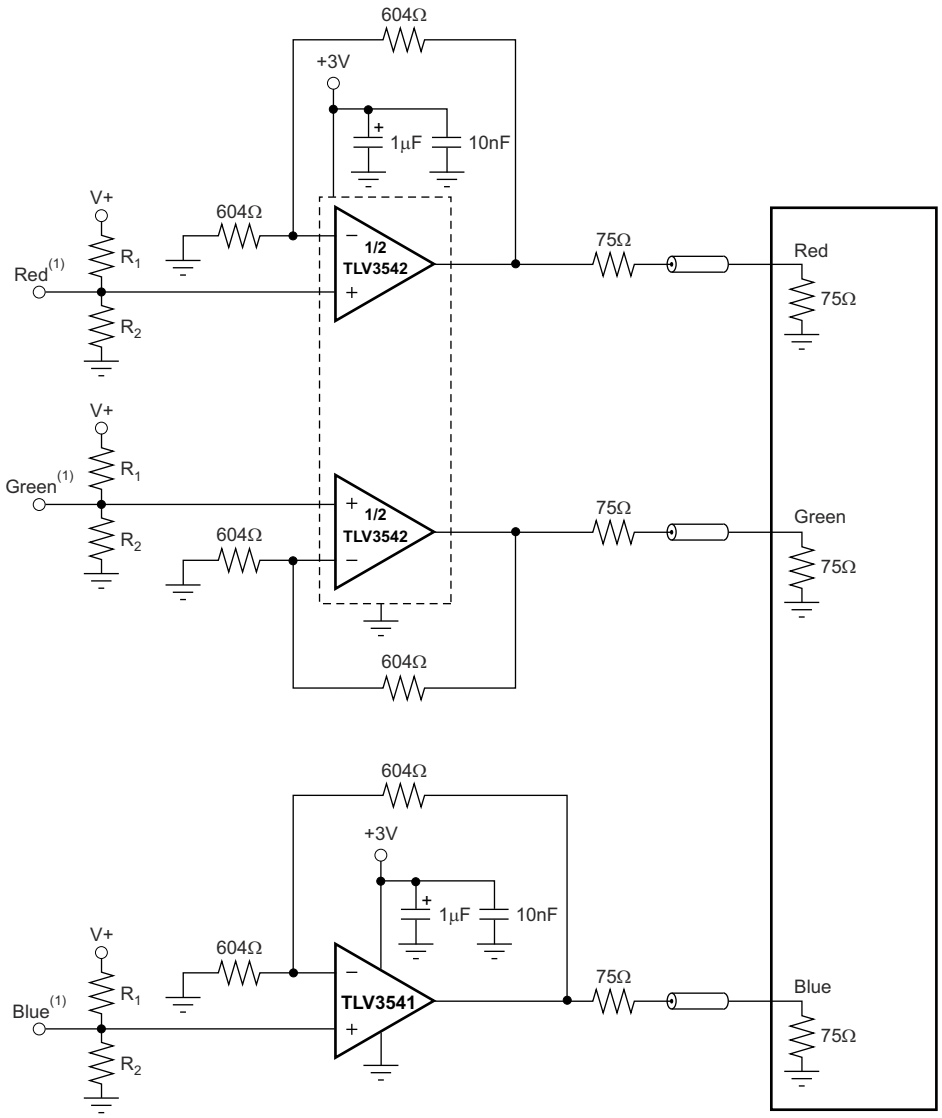


图 6-3. 单电源视频线路驱动器

TLV3542 可用作 RGB 图形信号的放大器，该信号通过对信号进行偏移和交流耦合，在视频黑电平处具有零电压。请参阅图 6-4。

Copyright © 2026 Texas Instruments Incorporated



A. 源视频信号偏移地电平以上 300mV，以适应运算放大器摆幅至接地能力。

图 6-4. RGB 电缆驱动器

6.3.6 驱动模数转换器

TLV354x 系列运算放大器提供 60ns 的建立时间（精度为 0.01%），因此非常适合驱动高速和中速采样模数转换器和缓冲基准电路。TLV354x 系列提供了一种在提供信号增益的同时缓冲模数转换器输入电容及产生的电荷注入的有效方法。对于需要高直流精度的应用，TI 建议使用 OPA350 系列。

图 6-5 显示了驱动模数转换器的 TLV3541。使用反相配置的 TLV3541，在反馈电阻器上电容器可滤除信号中的高频噪声。

Copyright © 2026 Texas Instruments Incorporated

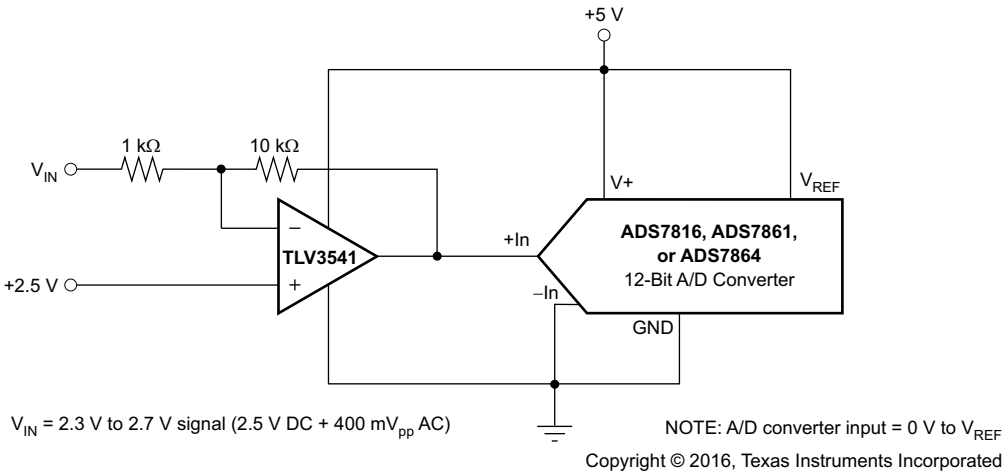


图 6-5. 采用反相配置的 TLV3541 来驱动 ADS7816

6.3.7 容性负载和稳定性

TLV354x 系列运算放大器驱动各种容性负载。但是，在某些情况下，所有运算放大器都可能变得不稳定。运算放大器配置、增益及负载值只是确定稳定性时需要考虑的几个因素。采用单位增益配置的运算放大器最易受到容性负载的影响。容性负载与器件输出电阻以及任何额外的负载电阻相互作用，在小信号响应中产生一个极点，从而使相位裕度降级。请参阅有关不同 C_L 值对应的频率响应的典型特性曲线（图 5-6），了解详情。

TLV354x 拓扑结构增强了驱动电容负载的能力。在单位增益下，这些运算放大器在大容性负载下表现良好。请参阅有关*推荐的 R_S 与电容负载间的关系*（图 5-7）和*频率响应与电容负载间的关系*（图 5-8）的典型特性曲线，了解详情。

图 6-6 示出了提高单位增益配置中容性负载驱动的一种方法，即插入一个与输出串联的 10Ω 转 20Ω 电阻器。此配置显著减少了大容性负载时的振铃。请参见典型特性曲线，*频率响应与容性负载间的关系*（图 5-8）。但是，如果有一个与容性负载并联的电阻负载，则 R_S 会创建一个分压器。这种分压在输出端引入了直流误差，并略微降低了输出摆动。此误差可能微不足道。例如，当 R_L = 10kΩ 且 R_S = 20Ω 时，输出端的误差约为 0.2%。

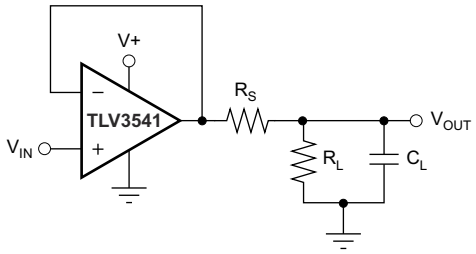


图 6-6. 单位增益配置的串联电阻器可以改进容性负载驱动

6.3.8 宽带跨阻放大器

TLV354x 具有宽带宽、低输入偏置电流、低输入电压和电流噪声，因此是低电压单电源应用中适当的宽带光电二极管跨阻放大器。低电压噪声很重要，因为光电二极管电容会导致电路的有效噪声增益在高频时增加。

跨阻设计的关键要素（如图 6-7 所示）是预期的二极管电容 [包括 TLV354x 的寄生输入共模和差模输入电容 (2 + 2)pF]、所需的跨阻抗增益 (R_F) 和 TLV354x（典型值为 100MHz）的增益带宽积 (GBW)。在确定好这三个变量后，可通过设置反馈电容器 (C_F) 值来控制频率响应。

Copyright © 2026 Texas Instruments Incorporated

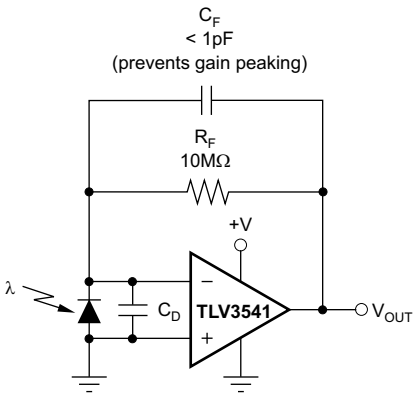


图 6-7. 跨阻放大器

为了实现平坦、二阶 Butter-worth 频率响应，必须按方程式 1 所示设置反馈极点：

$$\frac{1}{2\,\pi\,R_F\,C_F} = \sqrt{\frac{GBP}{4\,\pi\,R_F\,C_D}} \tag{1}$$

典型的表面贴装电阻器具有大约 0.2pF 的寄生电容，必须从计算的反馈电容值中扣除该电容。带宽的计算方法为方程式 2：

$$f_{-3dB} = \sqrt{\frac{GBP}{2\,\pi\,R_F\,C_D}}\ Hz \tag{2}$$

为了获得更高的跨阻带宽，使用高速 CMOS OPA355 (200MHz GBW) 或 OPA655 (400MHz GBW)。

6.4 器件功能模式

TLV354x 具有双功能模式，可在电源电压大于 2.5V (±1.25V) 时工作。TLV354x 的最大电源电压为 5.5V (±2.75V)。在 +160°C 时，保护电路会关断放大器。当结温冷却至低于 +140°C 时，将恢复正常运行。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TLV354x 是宽带宽、低噪声、轨到轨输入和输出放大器。这些器件的工作电压为 2.5V 至 5.5V，单位增益稳定，适用于广泛的通用应用。输入共模电压范围包括两个轨道，并允许 TLV354x 器件用于任何单电源应用。轨到轨输入和输出摆动显著增加了动态范围，特别是在低电源应用中，使器件非常适合驱动模数转换器 (ADC)。

TLV354x 系列器件具有 200MHz 带宽和 150V/μs 转换率，宽带噪声仅为 7.5nV/√Hz。

7.2 典型应用

运算放大器的典型应用是反相放大器，如图 7-1 中所示。反相放大器在输入端接收正电压，并向输入端输出反相信号，从而产生相同幅度的负电压。以相同的方式，放大器使输出端的负输入电压为正。此外，还可以通过选择输入电阻器 R_I 和反馈电阻器 R_F 来添加放大。

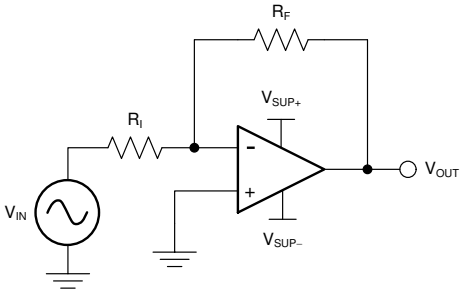


图 7-1. 应用原理图

7.2.1 设计要求

选择的电源电压必须大于输入电压范围和所需输出范围。必须考虑输入共模范围的限制 (V_{CM}) 和到电源轨的输出电压摆幅 (V_O)。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

7.2.2 详细设计过程

使用 方程式 3 和 方程式 4 来确定反相放大器需要的增益：

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (3)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (4)$$

确定所需增益后，选择 R_I 或 R_F 的值。选择千欧姆范围内的值对于通用应用来说是可取的，因为放大器电路使用毫安范围内的电流。这个毫安电流范围证实了该器件不会消耗太多电流。代价是大电阻（几百千欧）消耗的电流最小，但产生的噪声最高。小电阻（几百欧姆）会产生低噪声，但会消耗较大电流。此示例使用的 R_I 为 10kΩ，意味着对 R_F 使用 36kΩ。这些值由 方程式 5 确定：

$$A_V = -\frac{R_F}{R_I} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

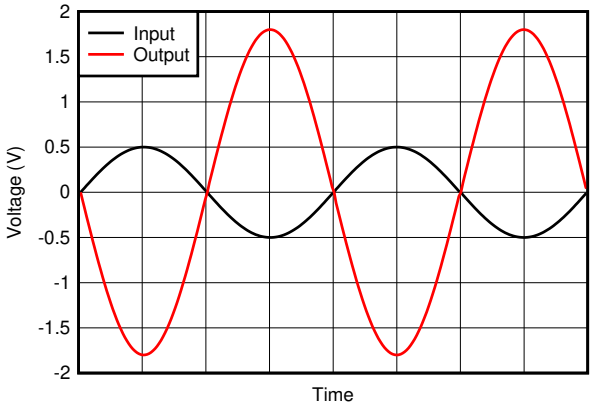


图 7-2. 反相放大器输入及输出

7.3 系统示例

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 图 7-3 中所示。

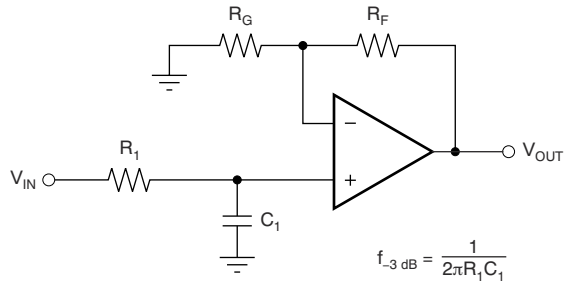


图 7-3. 单极低通滤波器

如果需要更多的衰减，需要多个极点滤波器。在此任务中，可使用 Sallen-Key 滤波器，如 图 7-4 中所示。为了获得最优化结果，放大器的带宽必须是滤波器频率带宽的八到十倍。不遵守这一准则会导致放大器出现相移。

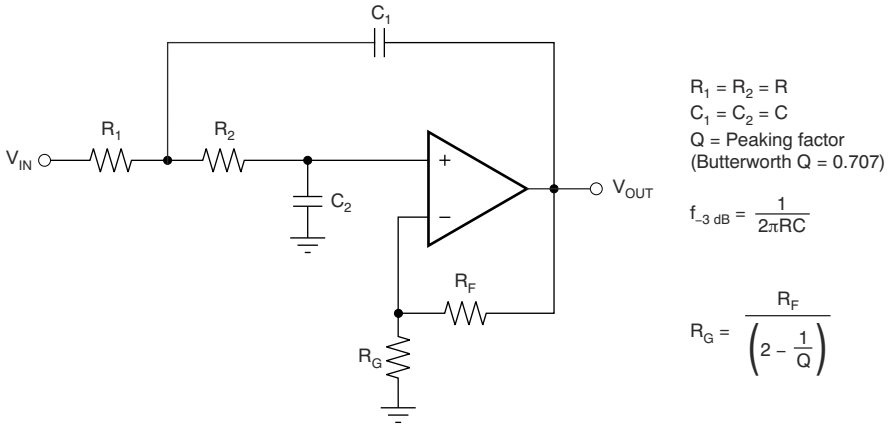


图 7-4. 两极低通 Sallen-Key 滤波器

Copyright © 2026 Texas Instruments Incorporated

7.4 电源相关建议

TLV354x 系列的电压范围为 2.7V 至 5.5V（±1.35V 至 ±2.75V），尽管这些器件可以在 2.5V 至 5.5V（±1.25V 至 ±2.75V）范围内运行；许多规格适用于 -40°C 至 +125°C 的温度范围。*节 5.8* 中介绍了可以随工作电压或温度的变化而显著变化的参数。

小心

电源电压超过 7.5V 可能会对器件造成永久损坏。（请参阅节 5.1）。

将 0.1 µ F 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 *节 7.5.1*。

7.4.1 输入和 ESD 保护

TLV354x 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入引脚和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值* 表中所述不超过 10mA，这些 ESD 保护二极管就还可以提供电路内输入过驱保护。图 7-5 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

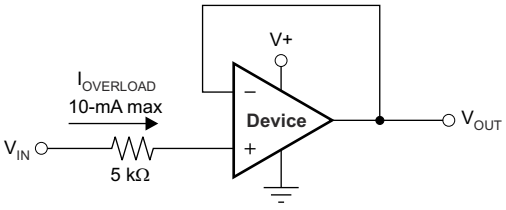


图 7-5. 输入电流保护

7.5 布局

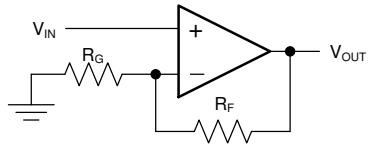
7.5.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声通过整个电路的电源引脚以及运算放大器传入模拟电路。使用旁路电容器，通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果上述迹线无法分离，则让敏感性迹线与有噪声迹线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽量靠近器件放置。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容（如图 7-6 所示）。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

Copyright © 2026 Texas Instruments Incorporated

7.5.2 布局示例



(Schematic Representation)

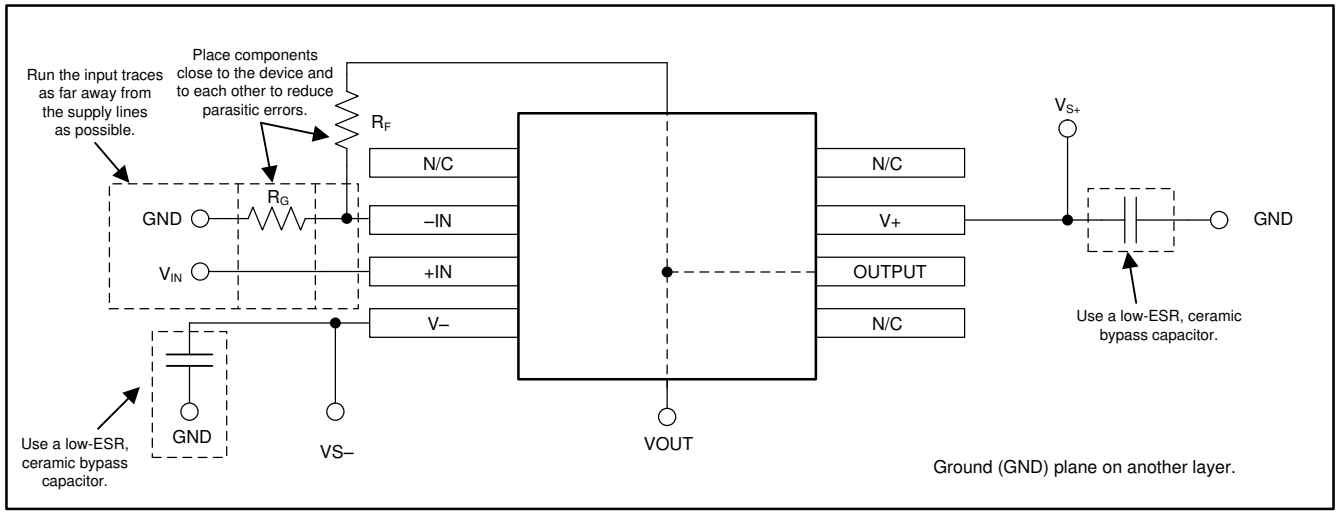


图 7-6. 同相配置的运算放大器电路板布局

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

TI 建议使用以下适用于 TLV354x 器件的参考文档。所有这些文档都可从 www.ti.com.cn 上下载（除非另有说明）。

- *运算放大器应用手册*
- *模拟工程师口袋参考书*

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2016) to Revision A (August 2026)	Page
• 更新了规格表中 TLV3541 的热性能信息、电流噪声、上升及下降时间、开环输出电阻	6
• 更新了典型特性中的新格式图	9

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3541IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4	Last Time Buy	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4.A	Last Time Buy	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVRG4.B	Last Time Buy	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD
TLV3541IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3541IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3541IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541
TLV3542IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU | NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	18TE
TLV3542IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3542IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3542IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542
TLV3544IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV3544A
TLV3544IDR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV3544A
TLV3544IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 3544
TLV3544IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 3544

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3544 :

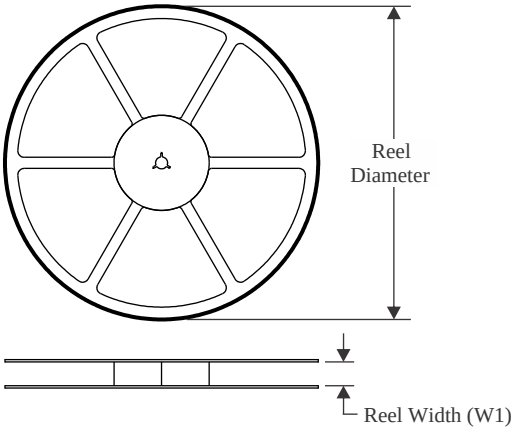
- Automotive : TLV3544-Q1

NOTE: Qualified Version Definitions:

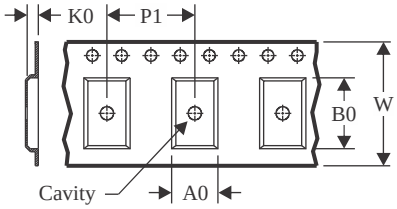
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

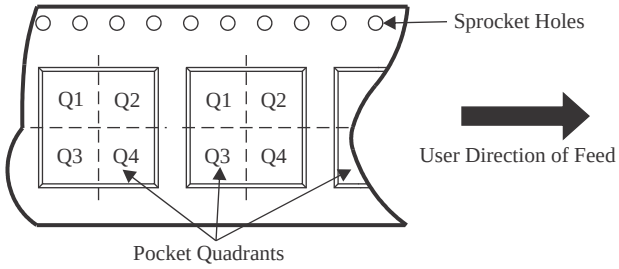


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

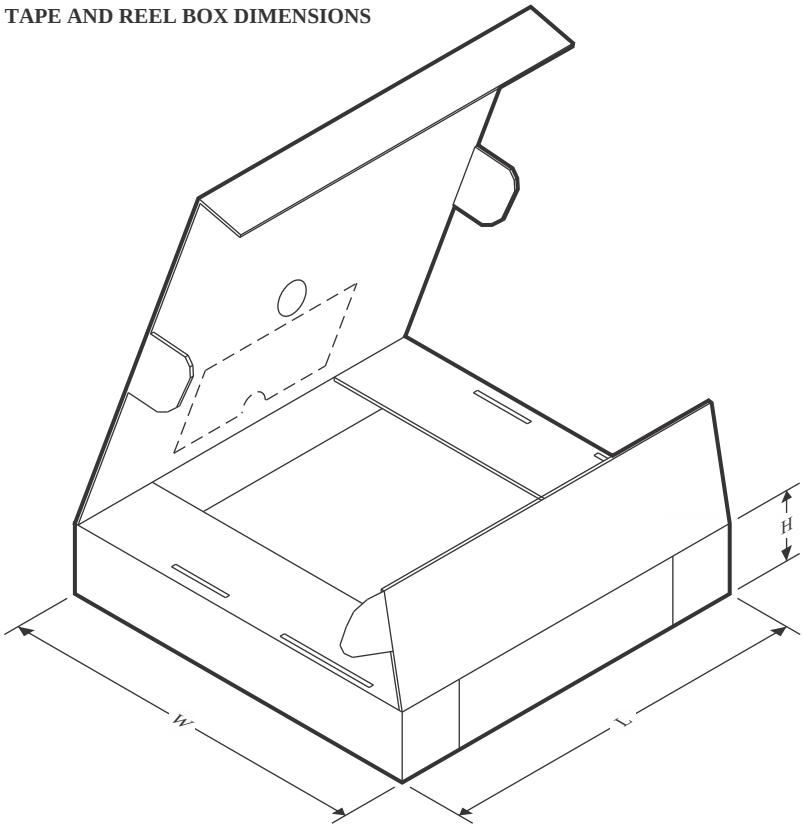
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3541IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV3541IDBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV3541IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV3541IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV3542IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3542IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV3542IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3544IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV3544IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

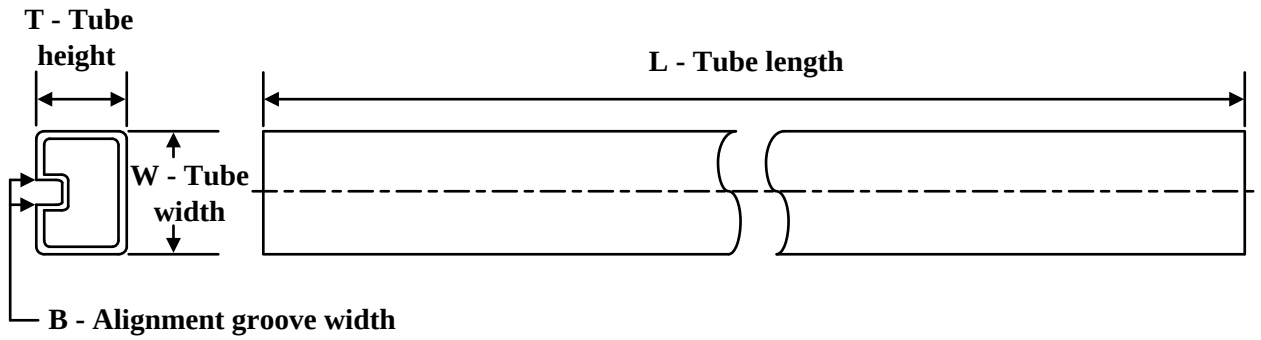
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3541IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV3541IDBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV3541IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV3541IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3542IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3542IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV3542IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV3542IDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0
TLV3542IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
TLV3542IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3544IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV3544IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

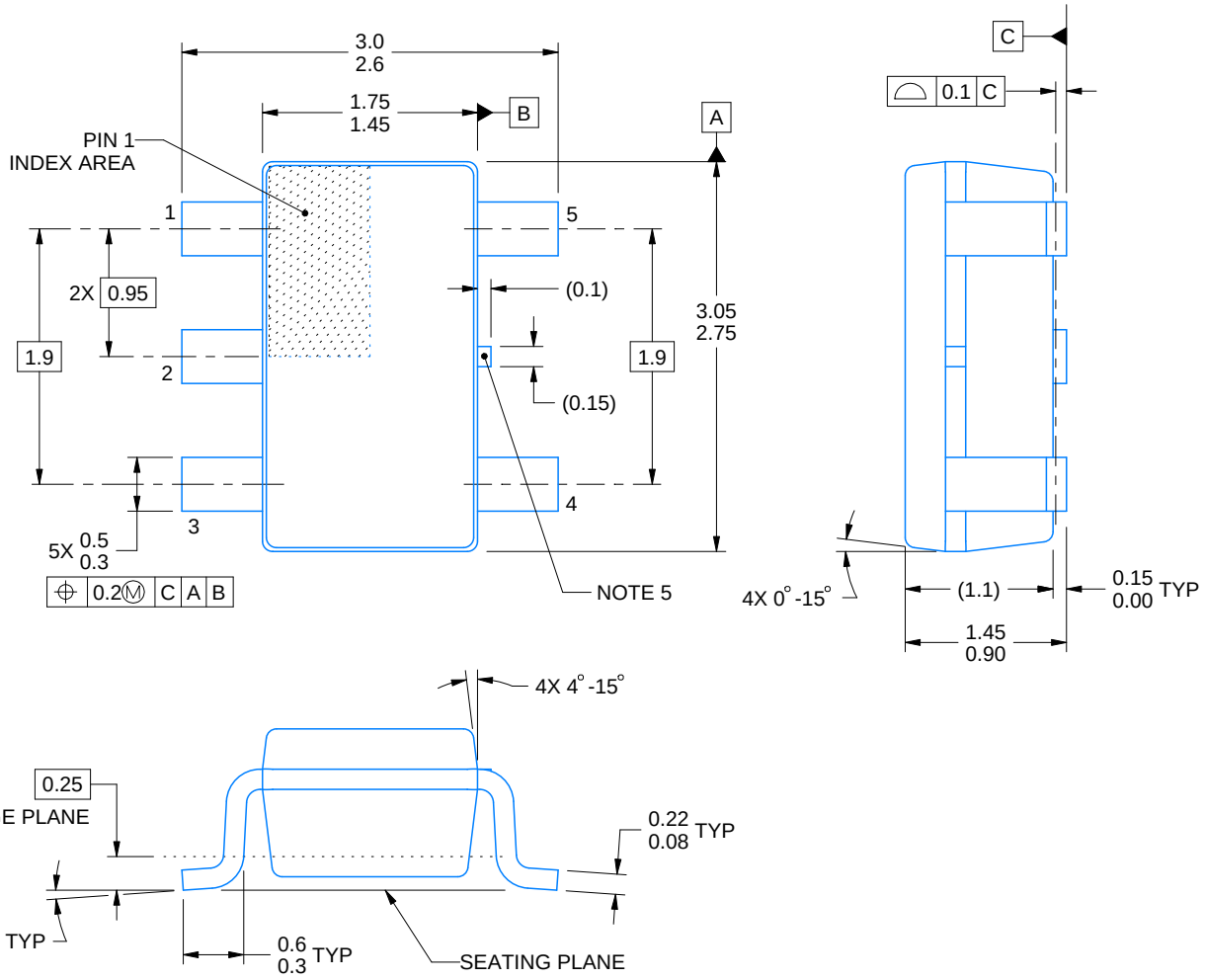
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLV3541IDR	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3541IDR.A	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3541IDR.B	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3542IDR	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3542IDR.A	D	SOIC	8	2500	507	7.85	3750	2.24
TLV3542IDR.B	D	SOIC	8	2500	507	7.85	3750	2.24

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

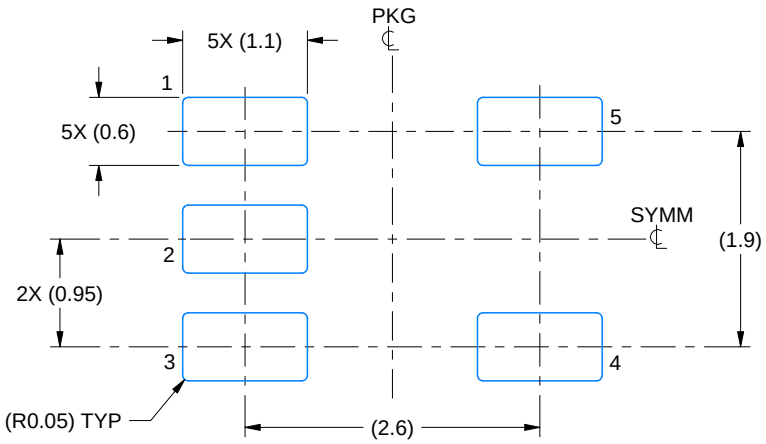
SMALL OUTLINE TRANSISTOR



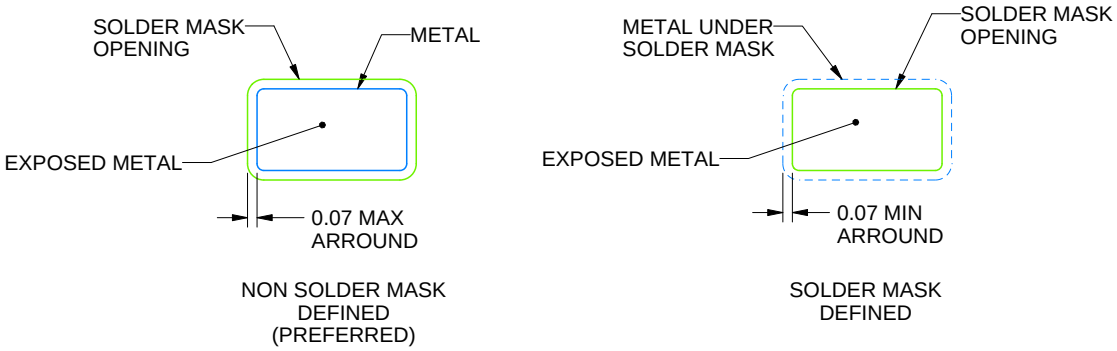
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

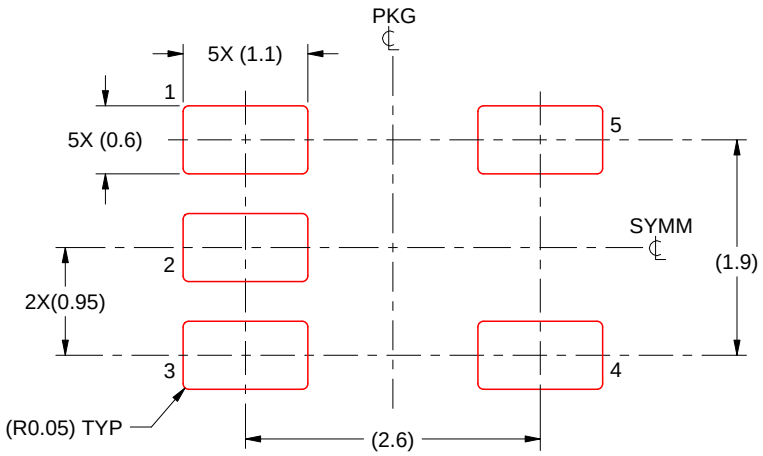


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

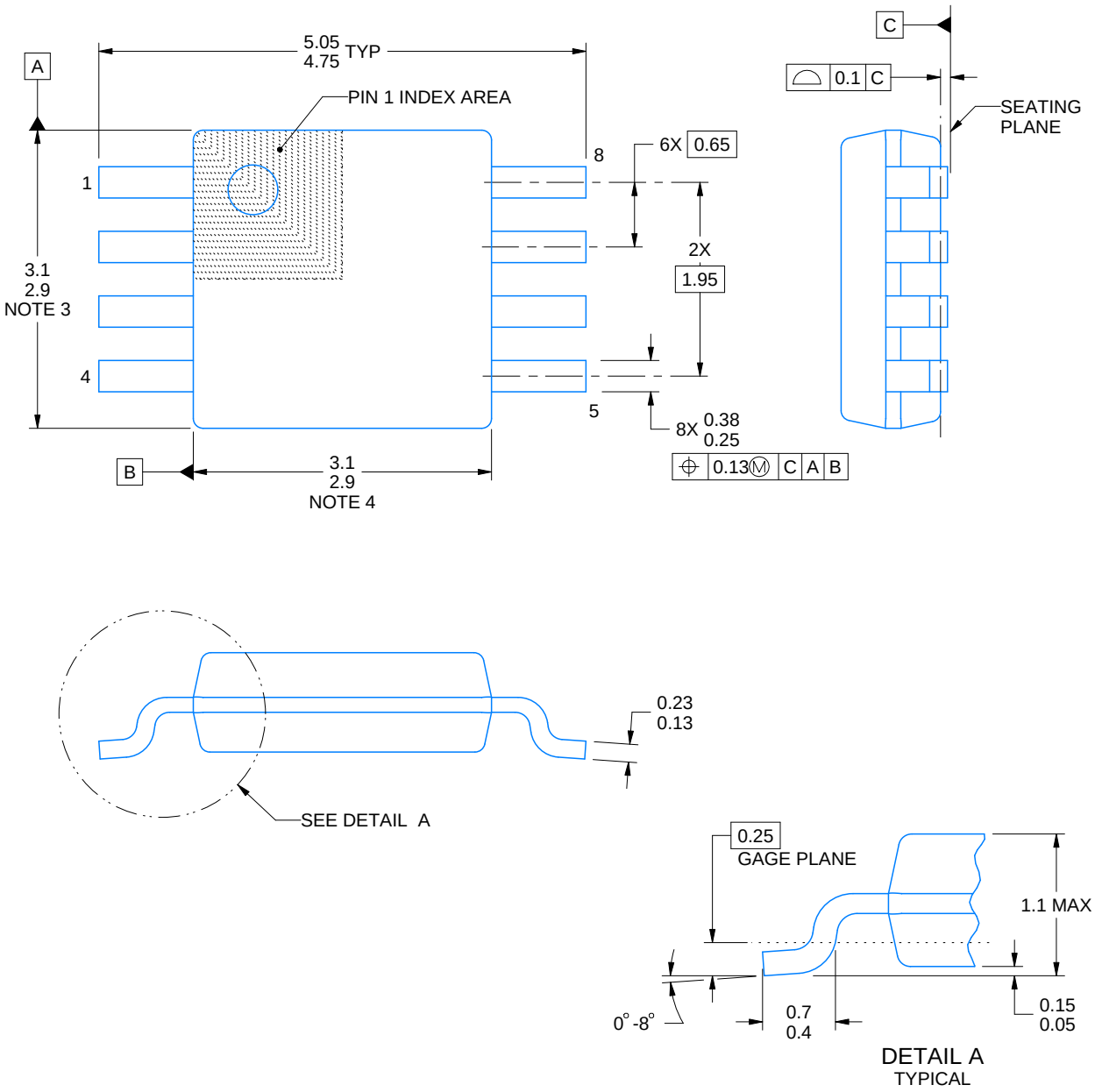
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

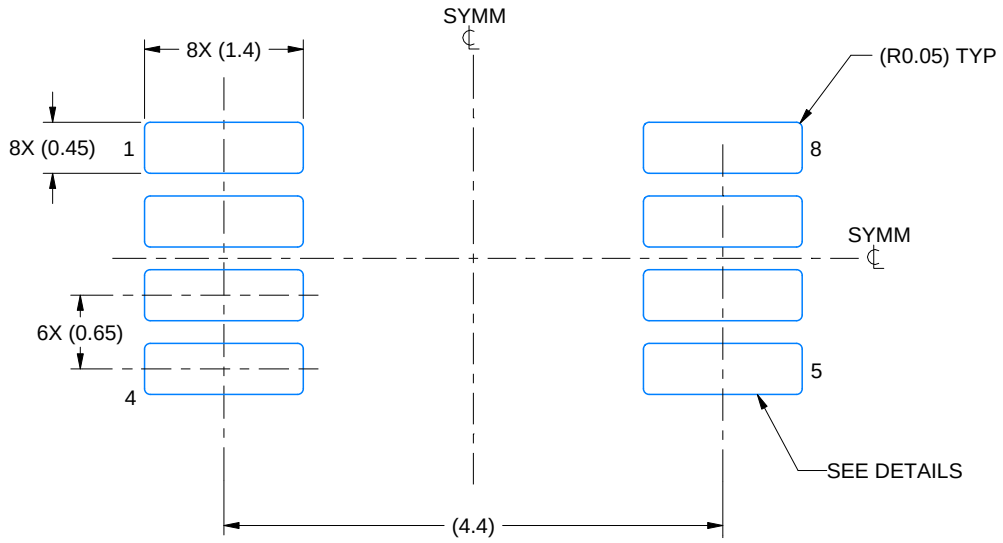
SMALL OUTLINE PACKAGE



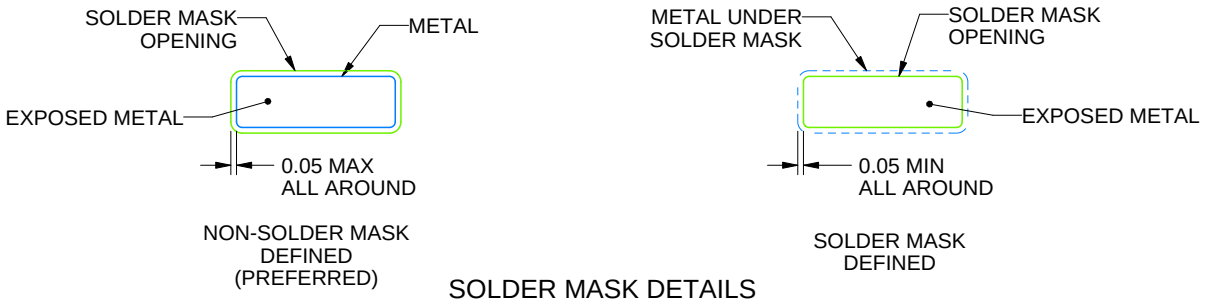
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

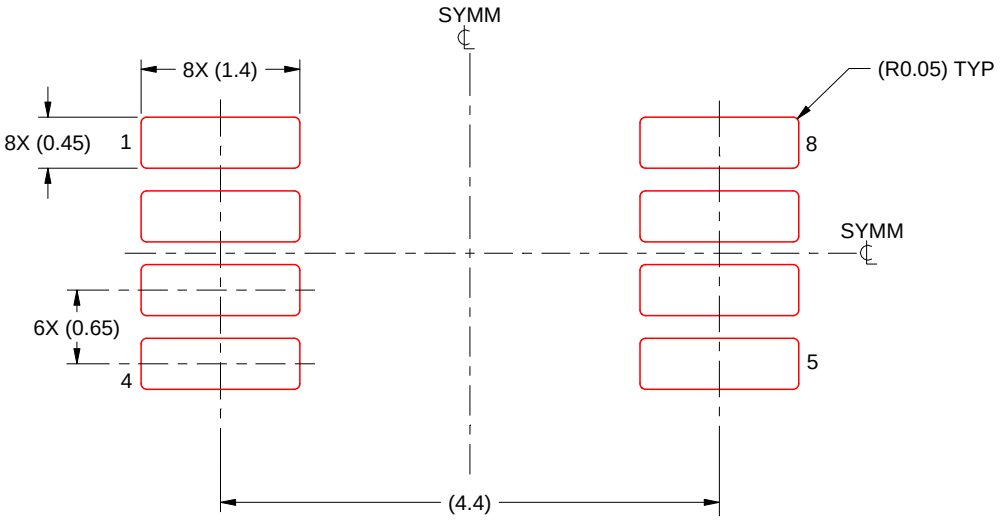


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

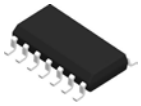


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

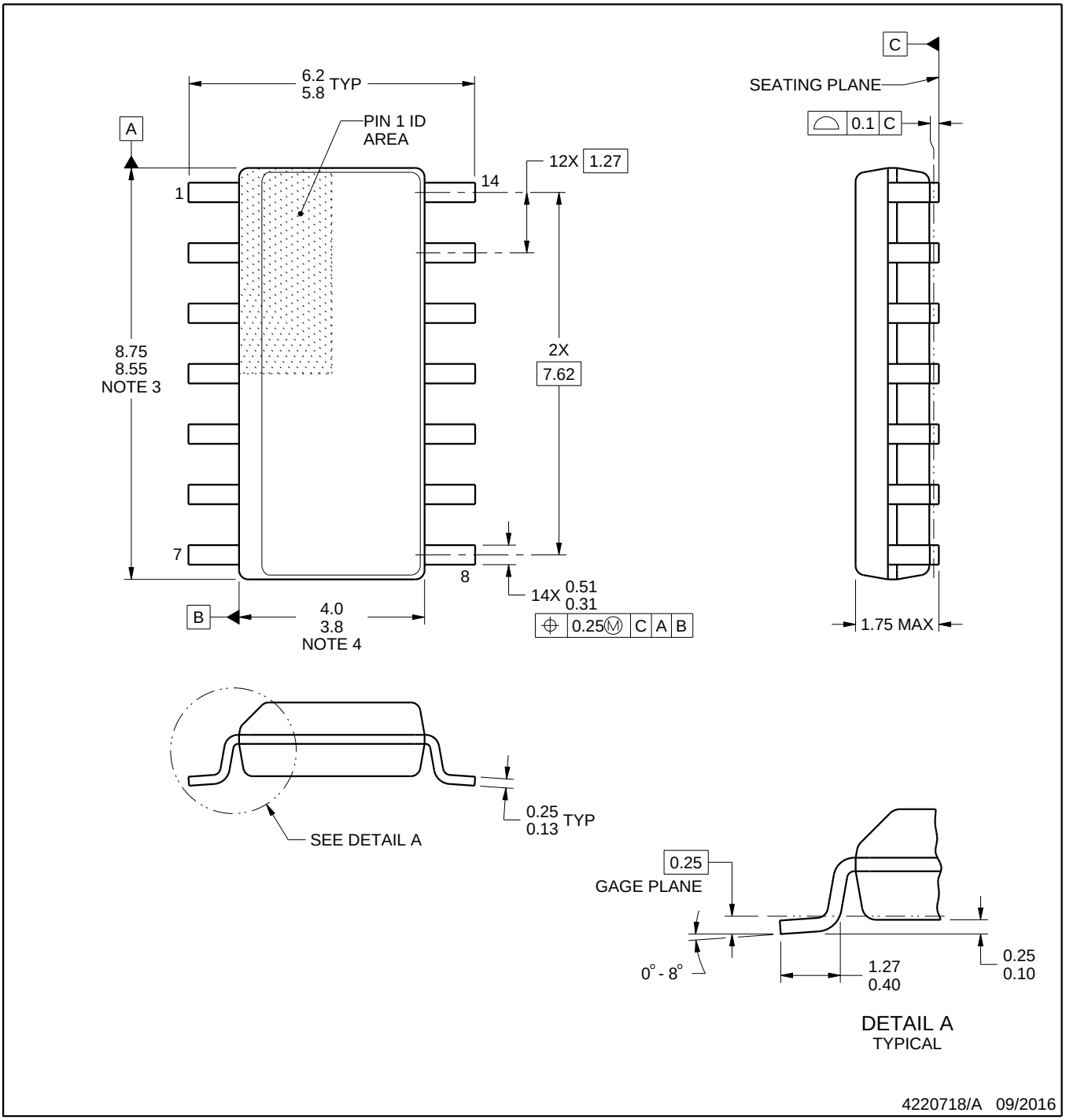


PACKAGE OUTLINE

D0014A

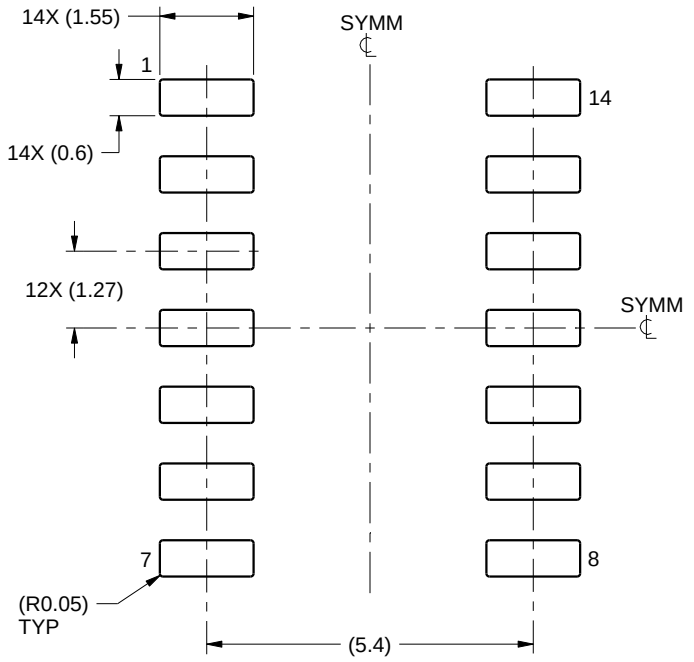
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

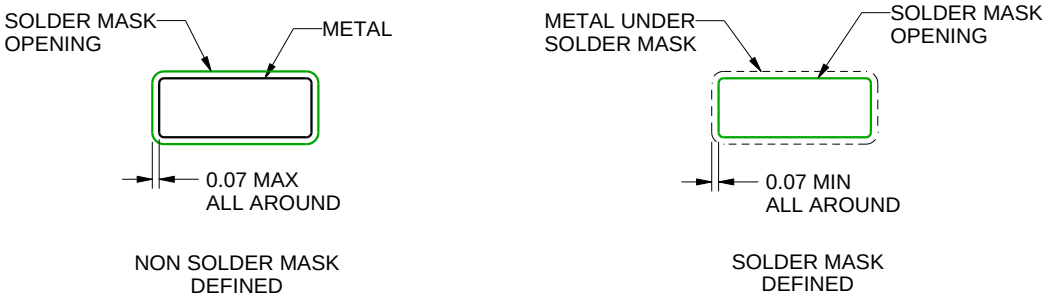


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

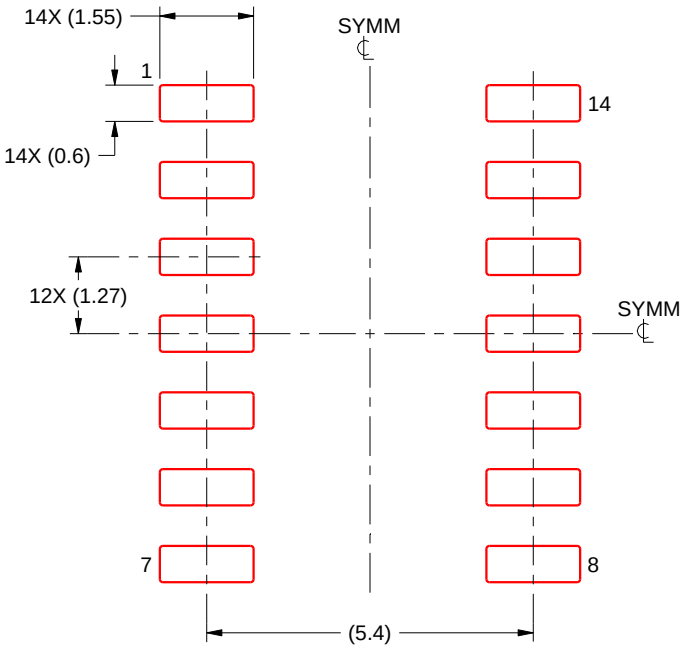
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

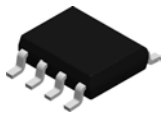


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

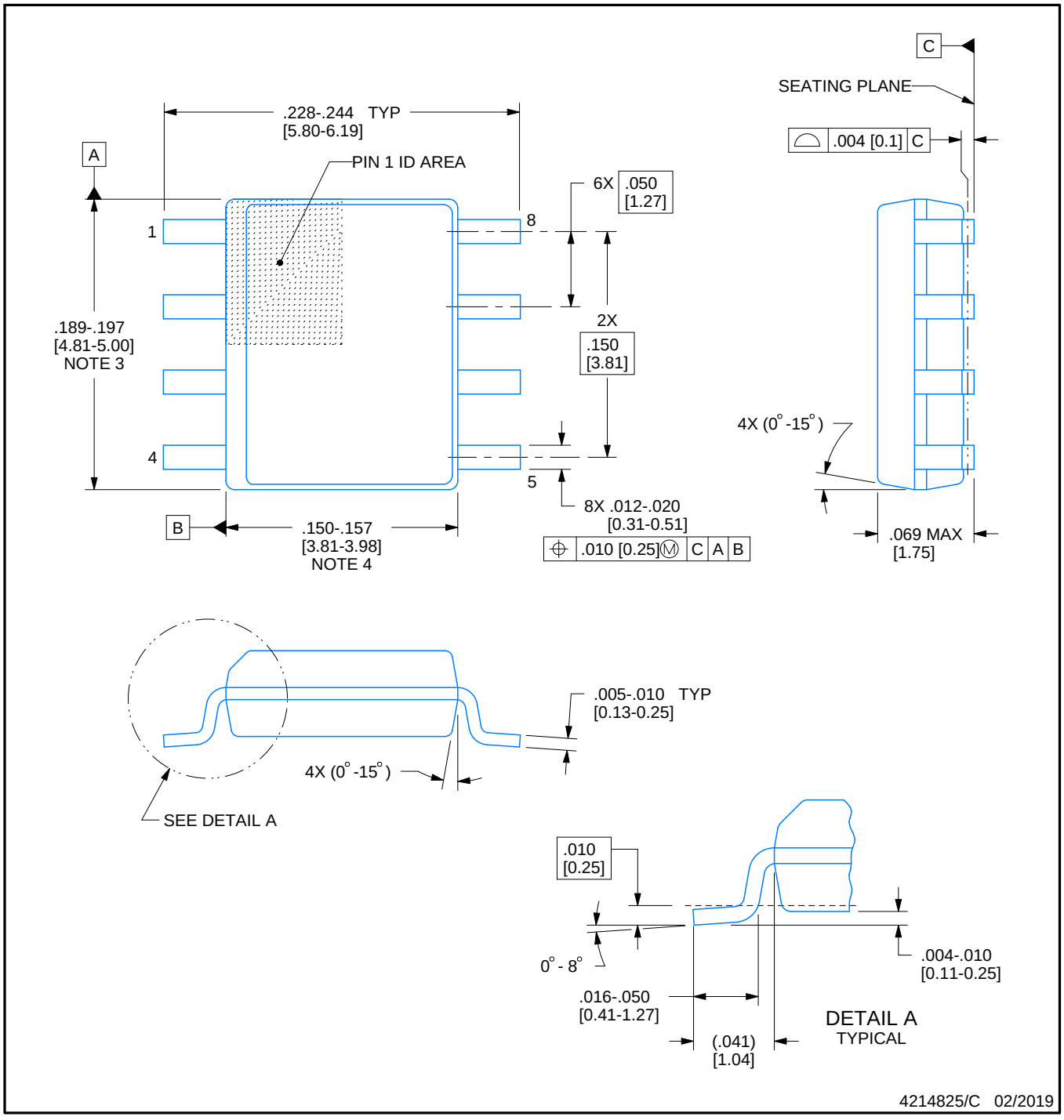


PACKAGE OUTLINE

D0008A

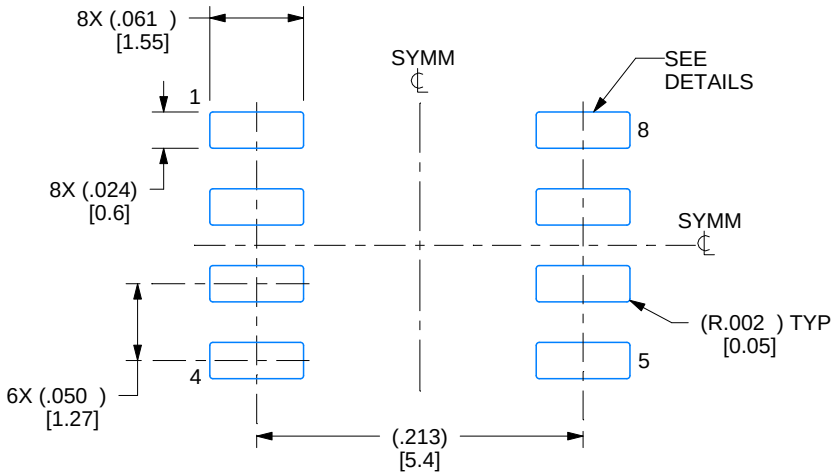
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

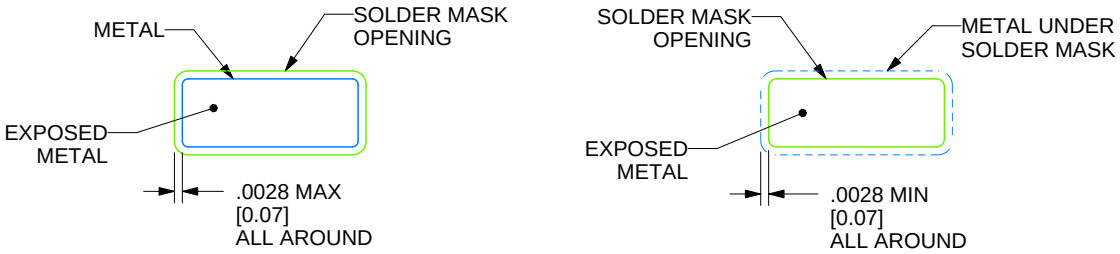


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

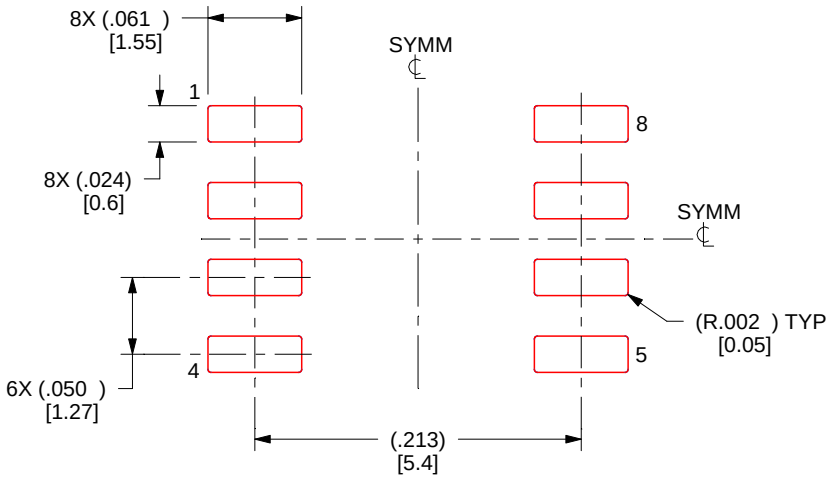
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

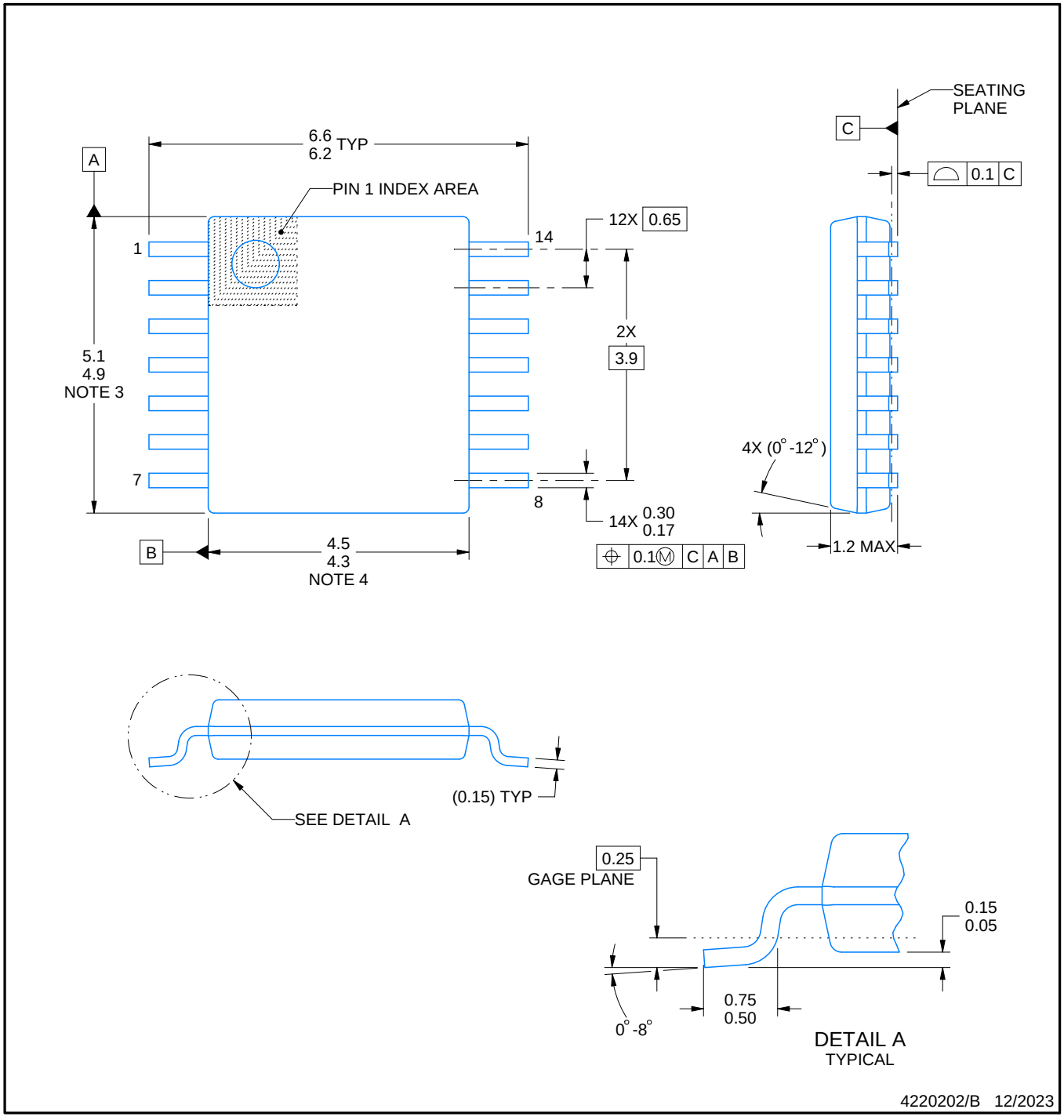
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

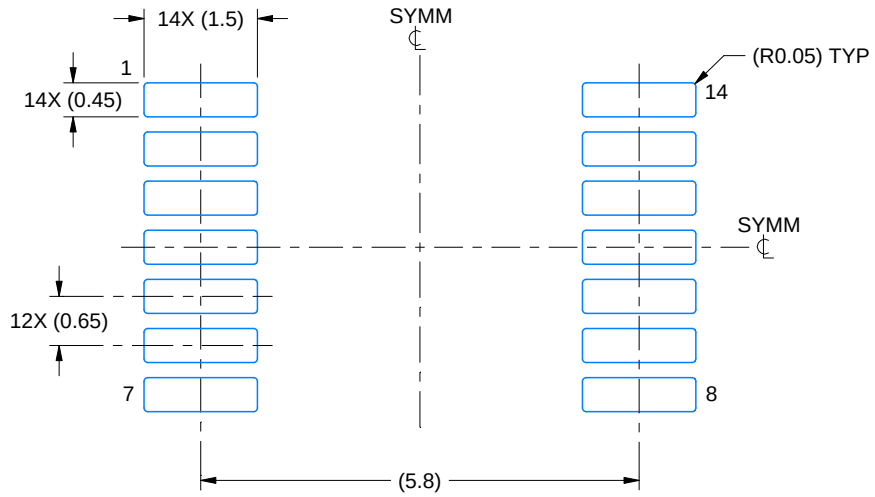
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

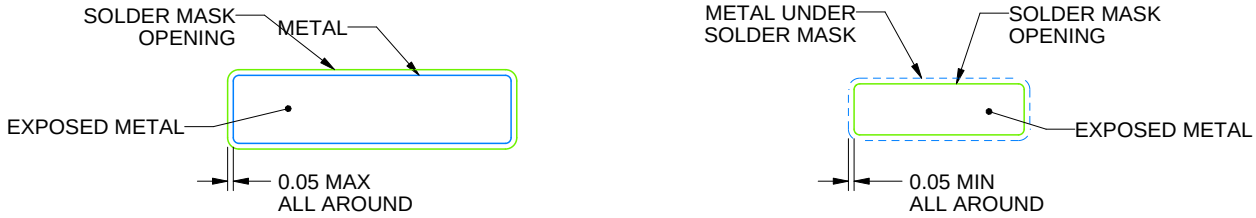


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

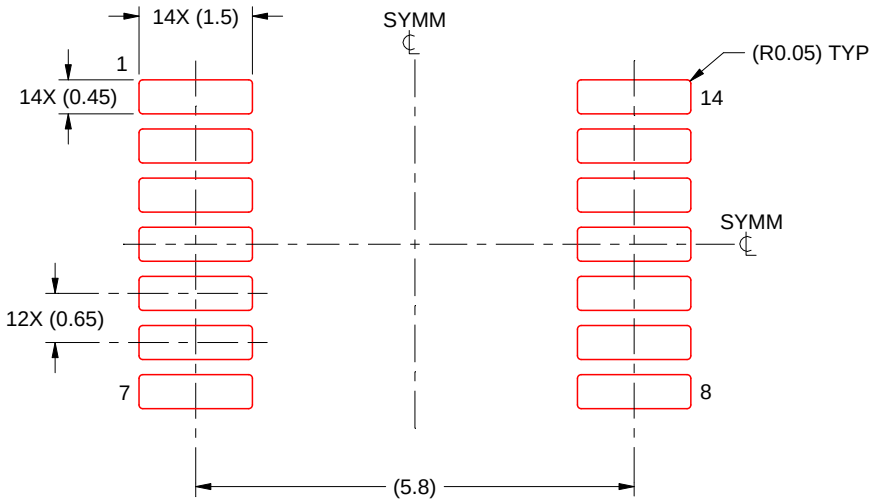


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月