具有折返电流限制的 TLV740 300mA 低压降稳压器

1 特性

- 折返过流保护
- 封装：
  - 1mm × 1mm，4 引脚 X2SON
  - 5 引脚 SOT-23
- 超低压降：460mV (300mA)
- 精度：1%
- 低 I_Q：50µA
- 输入电压范围：1.4V 至 5.5V
- 可提供固定输出电压：
  1V 至 3.3V
- 高 PSRR：1kHz 时为 65dB
- 有源输出放电

2 应用

- 便携式媒体播放器
- 普通笔记本电脑
- 流媒体播放器
- 家用打印机
- STB 和 DVR

3 说明

TLV740P 低压降 (LDO) 线性稳压器是一款低静态电流 LDO，具有出色的线路和负载瞬态性能，专为对功耗敏感的应用设计。此器件可提供 1% 的典型精度。

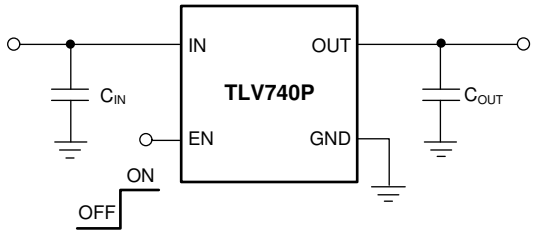
TLV740P 还可在器件上电和使能期间提供浪涌电流控制。TLV740P 将输入电流限制为定义的电流限值，从而防止从输入电源流出的电流过大。此功能对于电池供电类器件尤为重要。

TLV740P 采用标准的 DQN 和 DBV 封装。TLV740P 还提供了有源下拉电路，用于对输出负载进行快速放电。

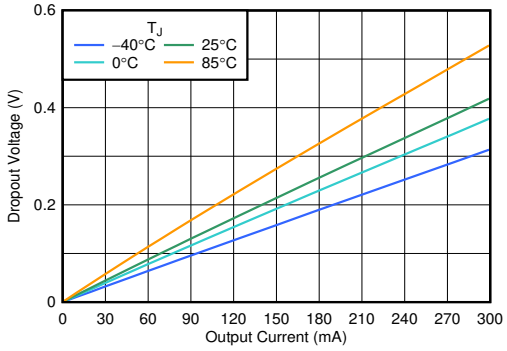
封装信息

器件型号	封装(1)	封装尺寸(2)
TLV740、TLV740P	DBV（SOT-23，5）	2.9mm × 2.8mm
	DQN（X2SON，4）	1mm × 1mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路



压降电压与输出电流间的关系 (3.3V V_{OUT})

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 典型特性 6
6 详细说明 11
6.1 概述 11
6.2 功能方框图 11
6.3 特性说明 11
6.4 器件功能模式 14
7 应用和实施 15
7.1 应用信息 15
7.2 典型应用 20
7.3 最佳设计实践 21
7.4 电源相关建议 21
7.5 布局 21
8 器件和文档支持 22
8.1 器件支持 22
8.2 文档支持 22
8.3 接收文档更新通知 22
8.4 支持资源 22
8.5 商标 22
8.6 静电放电警告 22
8.7 术语表 22
9 修订历史记录 23
10 机械、封装和可订购信息 23

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

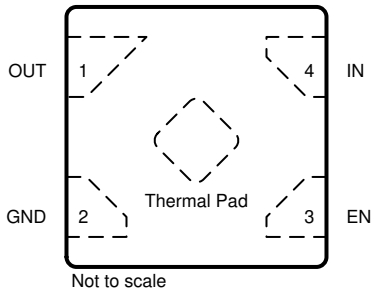


图 4-1. DQN 封装，4 引脚 X2SON（顶视图）

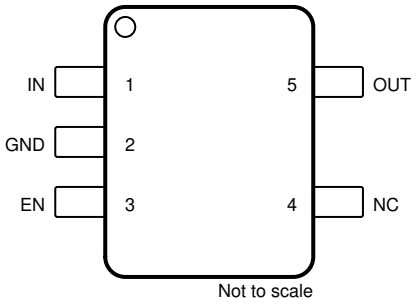


图 4-2. DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能

引脚			类型	说明
名称	编号			
	X2SON	SOT-23		
EN	3	3	I	使能引脚。将此引脚驱动为逻辑高电平可启用器件；将此引脚驱动为逻辑低电平可禁用器件。请勿将该引脚悬空。如果不使用，则将 EN 连接到 IN。
GND	2	2	—	接地引脚。此引脚必须连接到板上的接地端。
IN	4	1	I	输入引脚。为了获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用推荐值或更大的陶瓷电容器，请参阅 *建议工作条件* 表。将输入电容器放置在尽可能靠近器件的输入的位置上。
NC	—	4	—	无连接引脚。这个引脚不是内部连接。连接至接地端以提高热性能或保持悬空。
OUT	1	5	O	稳压输出引脚。为了保证稳定性，从 OUT 到接地端需要 1-µF 或更大的有效电容。请参阅 *建议工作条件* 表。为获得出色的瞬态响应，请使用 1µF 或从 OUT 到接地端的更大陶瓷电容器。将此输出电容器尽可能靠近器件输出端放置。
散热焊盘		—	—	散热焊盘以电气方式连接到 GND 引脚。将散热焊盘连接到大面积 GND 平面，以提升热性能。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	V_{IN}	-0.3	6.0	V
	V_{EN}	-0.3	V_{IN} (2)	
	V_{OUT}	-0.3	V_{IN} + 0.3 或 3.6(3)	
温度	工作结温，T_J	-55	125	°C
	贮存温度，T_{stg}	-55	150	

(1) 应力超出*绝对最大额定值*下列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 最大值为 V_{IN} 或更低。
(3) 最大值为 V_{IN} + 0.3V 或 3.6V（以较低者为准）。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压	1.4		5.5	V
V_{OUT}	输出电压	0		V_{IN} + 0.3	V
V_{EN}	使能电压	0		V_{IN} (1)	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器	1			µF
C_{OUT}	输出电容器(2)	1		100	µF
f_{EN}	启用翻转频率			10	kHz
T_J	结温	-40		85	°C

(1) V_{EN} 等于或低于 V_{IN}。
(2) 为了实现稳定性，需要最小值为 0.5µF 的有效输出电容。

5.4 热性能信息

热指标(1)		TLV740P		单位
		DQN (X2SON)	DBV (SOT-23-5)	
		4 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	224.3	216	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	161.5	123.2	°C/W
$R_{\theta JB}$	结至电路板热阻	164.6	88.2	°C/W
ψ_{JT}	结至顶部特征参数	10.9	62.2	°C/W
ψ_{JB}	结至电路板特征参数	164.0	87.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	154.8	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

条件为工作温度范围（T_J = +25°C）、V_{IN} = $V_{OUT(NOM)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} = 1 μF（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
	输出精度	1V ≤ V_{OUT} ≤ 3.3V		-1		1	%
	最大输出电流(1)					300	mA
	输出电压温度系数	I_{OUT} = 0.1mA，-40℃ ≤ T_J ≤ +85℃			0.0017		%/℃
	线路调整	$V_{OUT(NOM)}$ + 0.5V ≤ V_{IN} ≤ 5.5V			1	5	mV
	负载调整率	1mA ≤ I_{OUT} ≤ 300mA			10	30	mV
V_{DO}	压降电压	V_{OUT} = 0.95 x $V_{OUT(nom)}$	1V ≤ V_{OUT} < 1.8V，I_{OUT} = 300mA		1200	1300	mV
		V_{OUT} = 0.95 x $V_{OUT(nom)}$	1.8V ≤ V_{OUT} < 2.1V，I_{OUT} = 300mA		700	800	
		V_{OUT} = 0.95 x $V_{OUT(nom)}$	2.1V ≤ V_{OUT} ≤ 3.3V，I_{OUT} = 300mA		460	500	
I_{GND}	接地电流	I_{OUT} = 0mA			50	80	μA
I_{SHDN}	关断电流	V_{EN} ≤ 0.4V，3.1V ≤ V_{IN} ≤ 5.5V，–40°C ≤ T_J ≤ +85°C			0.1	1	μA
PSRR	电源抑制比	V_{IN} = 5.4V，V_{OUT} = 3.3V，I_{OUT} = 150mA	f = 100Hz		67		dB
			f = 10kHz		45		
			f = 1MHz		32		
Vn	输出噪声电压	BW = 100Hz 至 100kHz，V_{OUT} = 1.0V，I_{OUT} = 1mA			65		$μV_{RMS}$
t_{STR}	启动时间(2)	C_{OUT} = 1μF，I_{OUT} = 300mA			100		μs
V_{HI}	EN 引脚高压（已启用使能）	V_{IN} = 5.5V，V_{EN} = 0V		1.0		V_{IN}	V
V_{LO}	EN 引脚低压（已禁用）			0		0.4	V
I_{EN}	使能引脚电流	EN = 5.5V，–40°C ≤ T_J ≤ +85°C			10		nA
$R_{PULLDOWN}$	下拉电阻(3)	V_{IN} = 5.5V，V_{EN} = 0V			120		Ω
I_{CL}	输出电流限制			360			mA
I_{SC}	短路电流限值	V_{OUT} = 0V			40		mA
$T_{SD(shutdown)}$	热关断温度	关断，温度升高			158		°C
$T_{SD(reset)}$	热关断复位温度	复位，温度降低			140		

(1) 最大输出电流受 PCB 布局、金属布线宽度、层数、环境温度和其他环境因素的影响。必须仔细考虑系统的热限制。
(2) 启动时间 = 从 EN 置为有效到 0.95 × $V_{OUT(NOM)}$ 的时间。
(3) $R_{PULLDOWN}$ 规范仅适用于具备主动输出放电的器件。这些器件的型号中带有字母 P，表示该器件具有主动输出放电功能。

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性

在工作温度范围（T_J = –40°C 至 85°C）、V_{IN} = $V_{OUT(nom)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} =1 µF 下测得（除非另有说明）；典型值在 T_J = 25°C 下测得

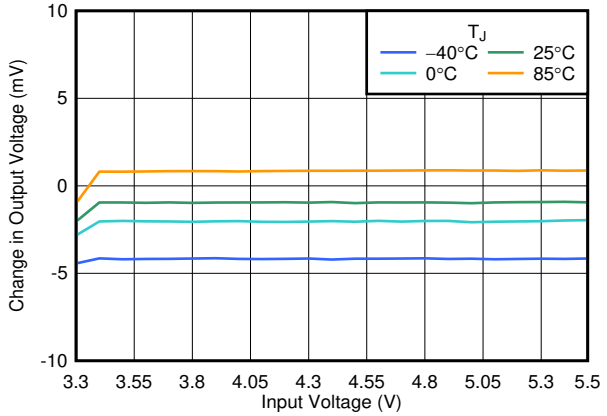


图 5-1. 线性调整率与 V_{IN} 间的关系

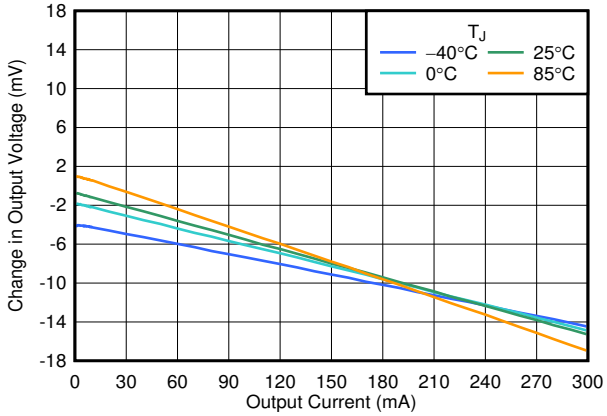


图 5-2. 负载调整率与 I_{OUT} 间的关系

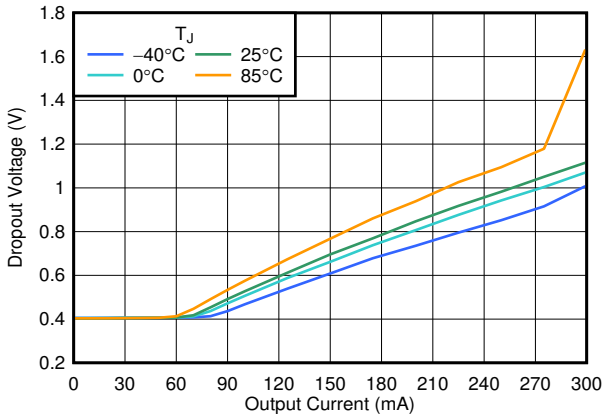


图 5-3. 压降与 I_{OUT} 间的关系

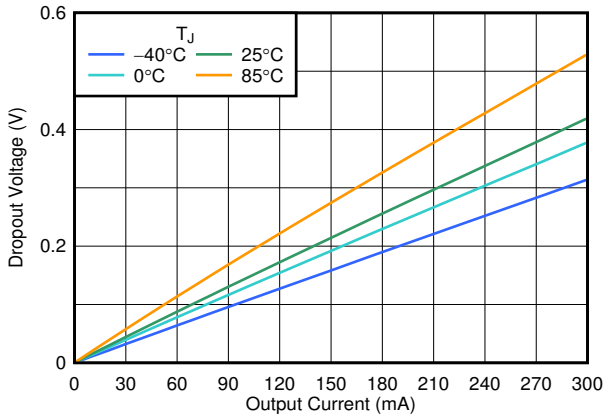


图 5-4. 压降与 I_{OUT} 间的关系

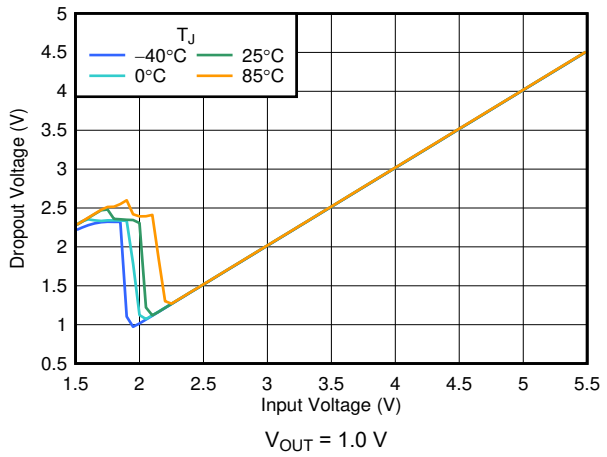


图 5-5. 压降与 V_{IN} 间的关系

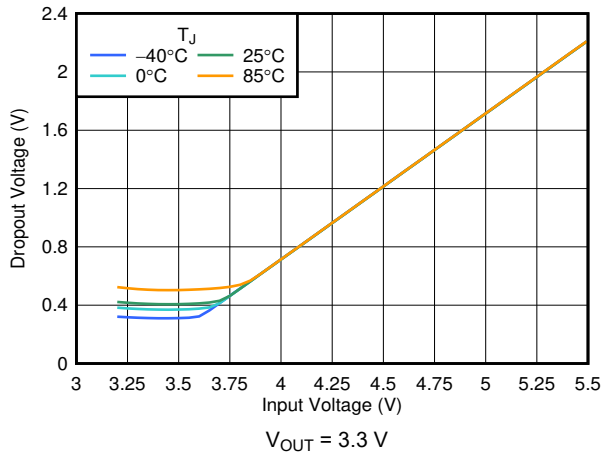


图 5-6. 压降与 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

在工作温度范围（T_J = –40°C 至 85°C）、V_{IN} = $V_{OUT(nom)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} =1 µF 下测得（除非另有说明）；典型值在 T_J = 25°C 下测得

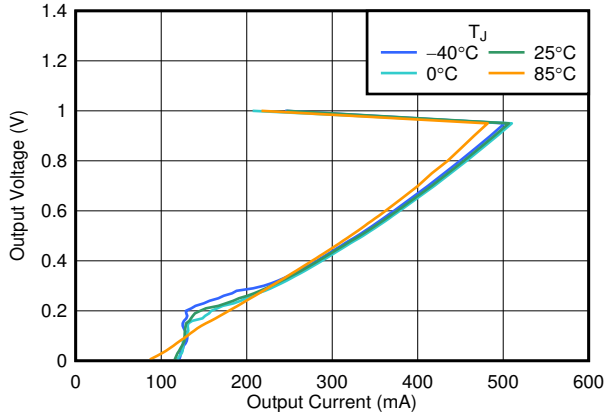


图 5-7. 折返电流限值与 I_{OUT} 间的关系

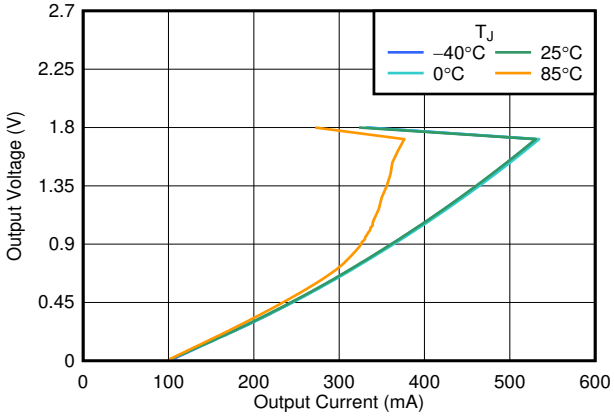


图 5-8. 折返电流限值与 I_{OUT} 间的关系

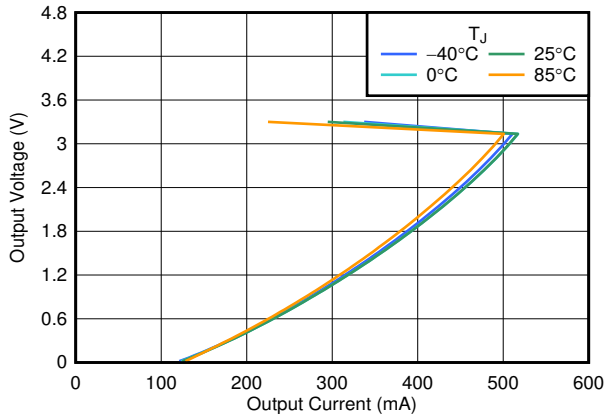


图 5-9. 折返电流限值与 I_{OUT} 间的关系

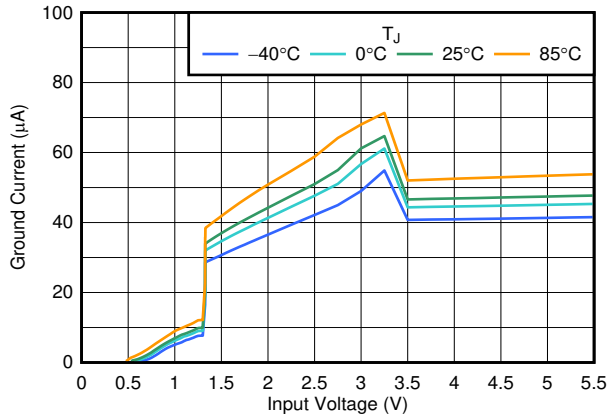


图 5-10. I_{GND} 与 V_{IN} 间的关系

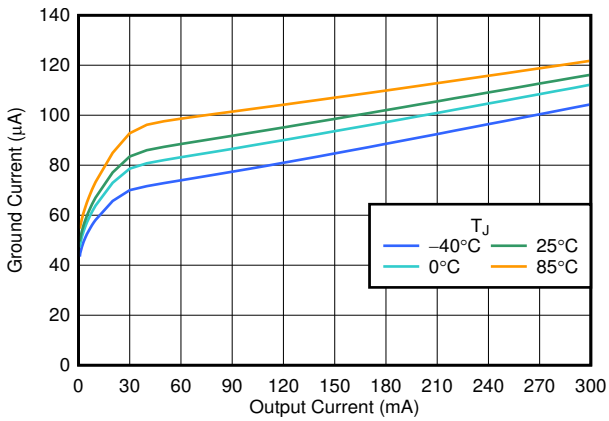


图 5-11. I_{GND} 与 I_{OUT} 间的关系

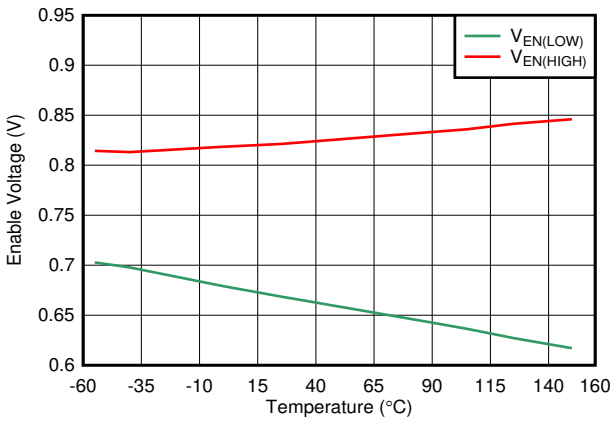


图 5-12. EN 高阈值和低阈值与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

在工作温度范围（T_J = –40°C 至 85°C）、V_{IN} = $V_{OUT(nom)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} =1 µ F 下测得（除非另有说明）；典型值在 T_J = 25°C 下测得

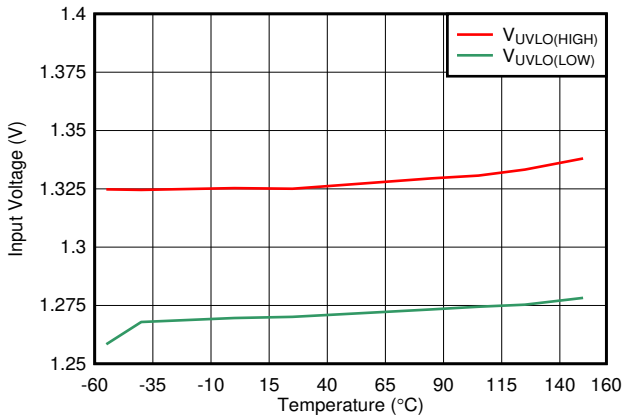
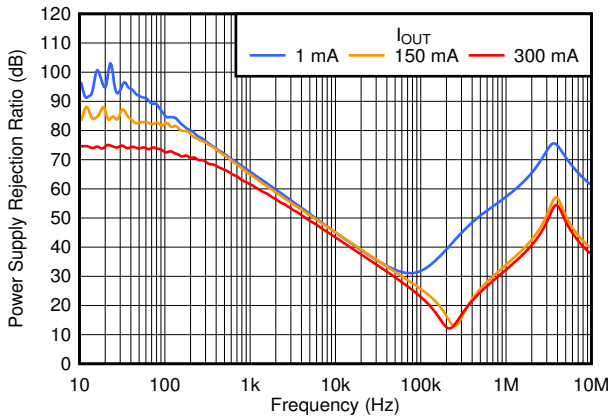
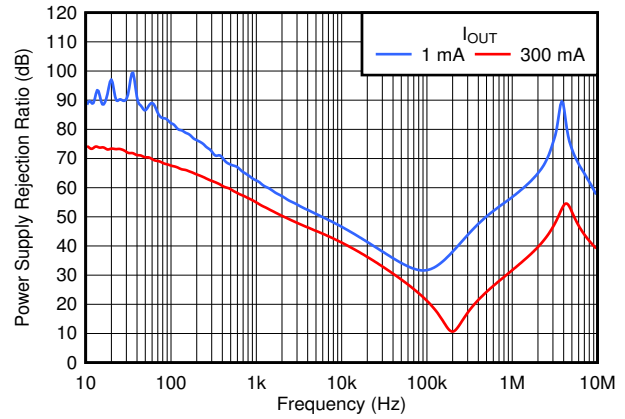


图 5-13. UVLO 上升和下降阈值与温度间的关系



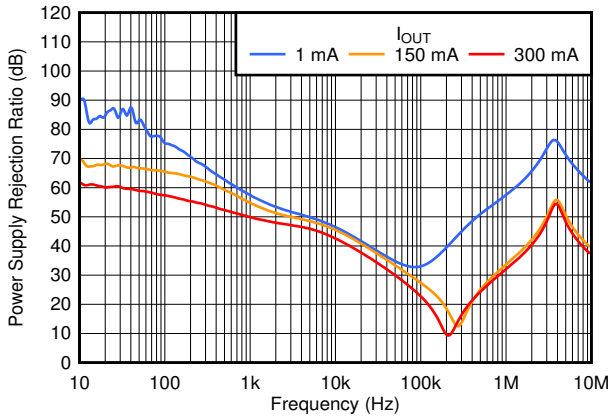
C_{IN} = 开路，V_{OUT} = 1.0V

图 5-14. PSRR 与频率和 I_{OUT} 间的关系



C_{IN} = 开路，V_{OUT} = 1.8V

图 5-15. PSRR 与频率和 I_{OUT} 间的关系



C_{IN} = 开路，V_{OUT} = 3.3V

图 5-16. PSRR 与频率和 I_{OUT} 间的关系

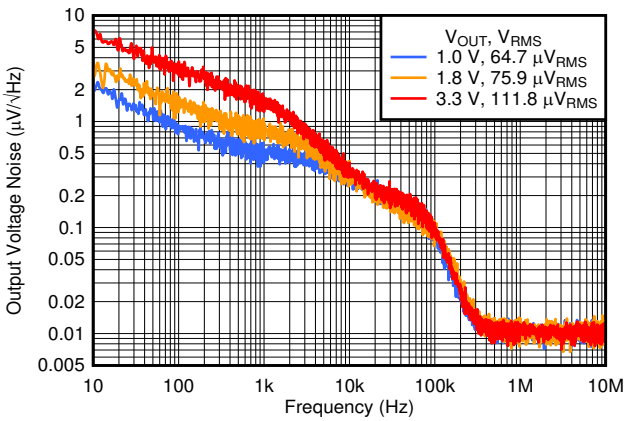
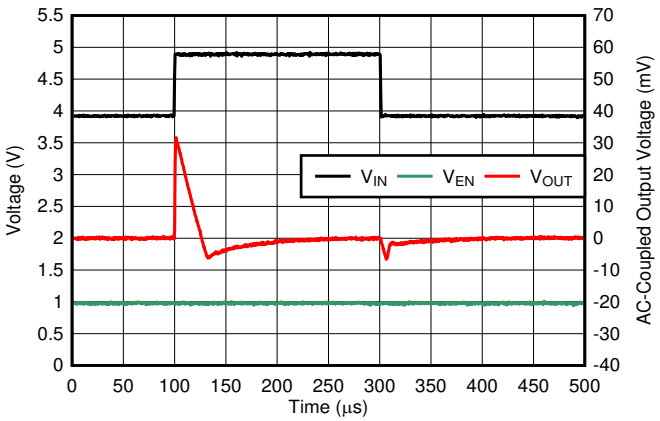


图 5-17. 输出噪声与频率和 V_{OUT} 间的关系



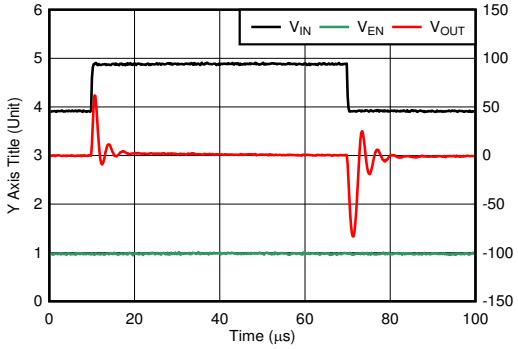
V_{IN} = 3.9V 至 4.9V，转换率 = 1V/µs，V_{EN} = 1V，I_{OUT} = 1mA

图 5-18. 线路瞬态

Copyright © 2025 Texas Instruments Incorporated

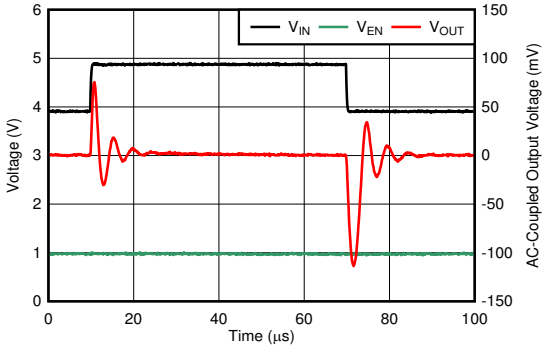
5.6 典型特性（续）

在工作温度范围（T_J = –40°C 至 85°C）、V_{IN} = $V_{OUT(nom)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} =1 µF 下测得（除非另有说明）；典型值在 T_J = 25°C 下测得



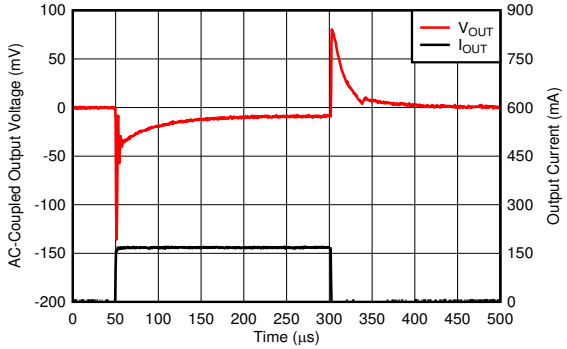
V_{IN} = 3.9V 至 4.9V，转换率 = 1V/µs，V_{EN} = 1V，I_{OUT} = 150mA

图 5-19. 线路瞬态



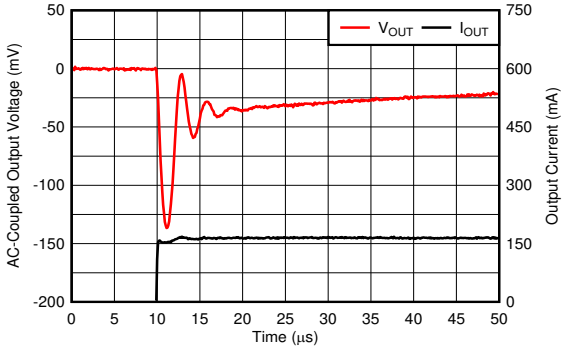
V_{IN} = 3.9V 至 4.9V，转换率 = 1V/µs，V_{EN} = 1V，I_{OUT} = 300mA

图 5-20. 线路瞬态



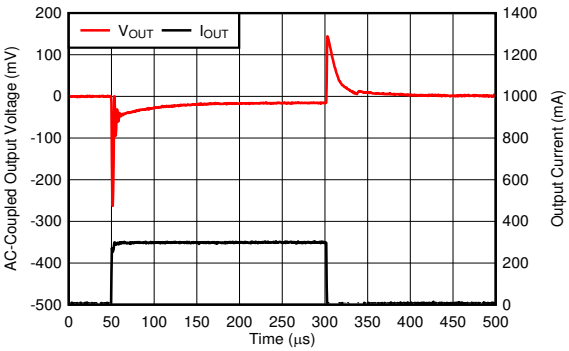
V_{IN} = 3.9V，V_{EN} = 1V，I_{OUT} = 1mA 至 150mA，转换率 = 1A/µs

图 5-21. 负载瞬态



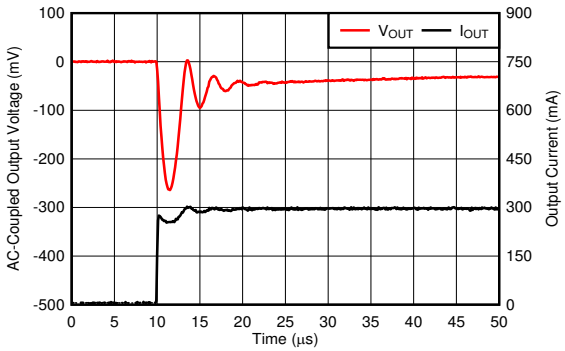
V_{IN} = 3.9V，V_{EN} = 1V，I_{OUT} = 1mA 至 150mA，转换率 = 1A/µs，上升沿

图 5-22. 负载瞬态



V_{IN} = 3.9V，V_{EN} = 1V，I_{OUT} = 1mA 至 300mA，转换率 = 1A/µs

图 5-23. 负载瞬态



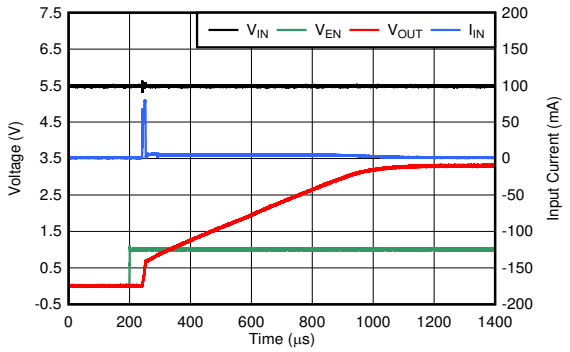
V_{IN} = 3.9V，V_{EN} = 1V，I_{OUT} = 1mA 至 300mA，转换率 = 1A/µs，上升沿

图 5-24. 负载瞬态

Copyright © 2025 Texas Instruments Incorporated

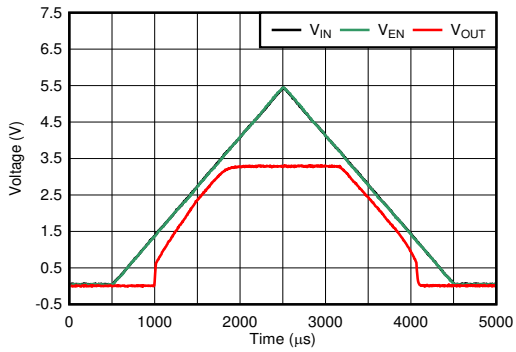
5.6 典型特性（续）

在工作温度范围（T_J = –40°C 至 85°C）、V_{IN} = $V_{OUT(nom)}$ + 2.1V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} =1 µF 下测得（除非另有说明）；典型值在 T_J = 25°C 下测得



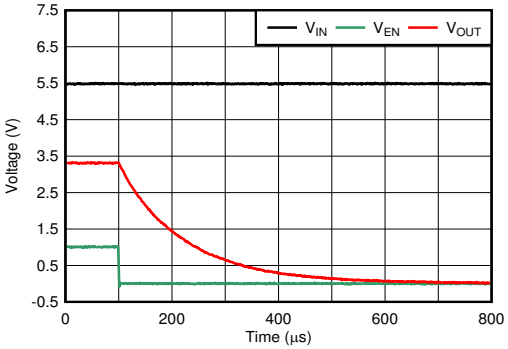
V_{IN} = 5.5V，C_{IN} = 开路，I_{OUT} = 开路

图 5-25. EN 启动，浪涌电流



V_{IN} = 0V 至 5.5V 至 0V，I_{OUT} = 150mA

图 5-26. 启动和关断



V_{IN} = 5.5V，V_{EN} = 1V 至 0 V，I_{OUT} = 开路

图 5-27. 使能关断响应

Copyright © 2025 Texas Instruments Incorporated

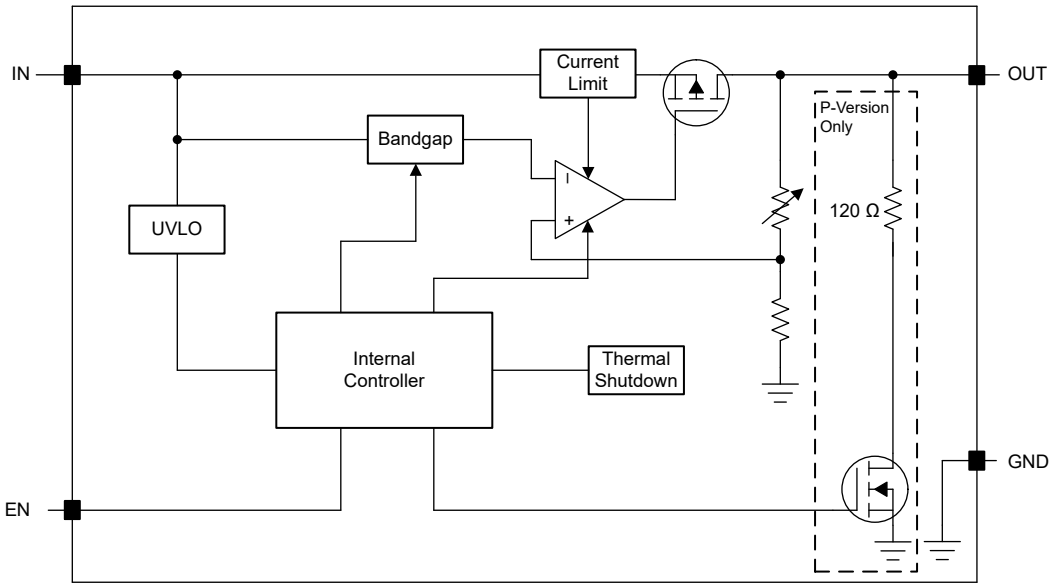
6 详细说明

6.1 概述

TLV740P 是一款具有成本效益的低压降 (LDO) 稳压器，静态电流低，同时具有出色的线路和负载瞬态性能。这些特性使得该器件非常适合用于各种便携式应用。

该 LDO 提供折返电流限制、输出使能、主动放电、欠压锁定 (UVLO) 和热保护功能。

6.2 功能方框图



6.3 特性说明

6.3.1 折返电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

对于此器件，$V_{FOLDBACK} = 0.95V \times V_{OUT(NOM)}$。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 $[(V_{IN} - V_{OUT}) \times I_{SC}]$。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用报告。

Copyright © 2025 Texas Instruments Incorporated

图 6-1 显示了折返电流限制图。

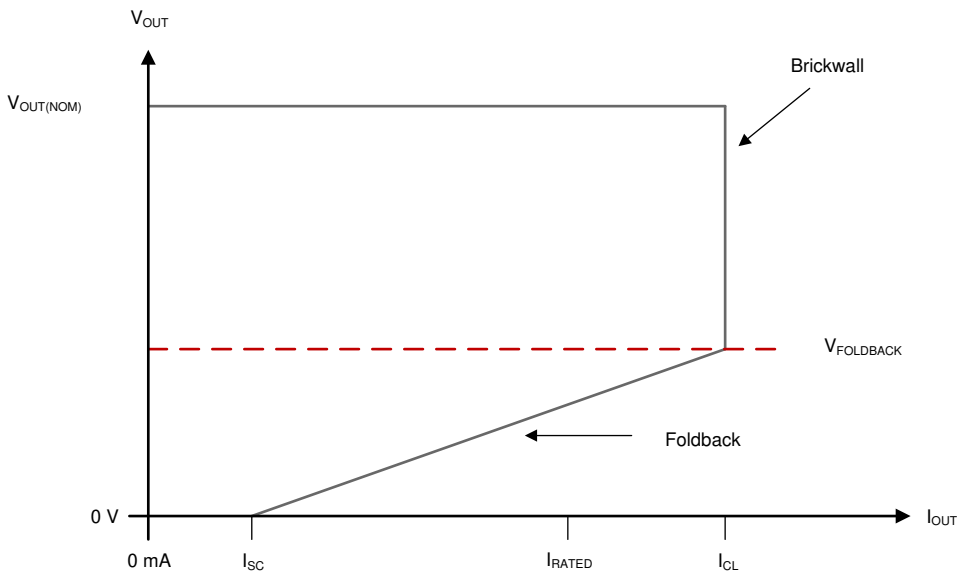


图 6-1. 折返电流限制

6.3.2 输出使能

使能引脚 (EN) 为高电平有效。通过强制使能引脚的电压高于最小 EN 引脚高电平输入电压来使器件工作（请参阅 *电气特性* 表）。通过强制使能 EN 引脚电压降至最大 EN 引脚低电平输入电压以下来关闭器件（请参阅 *电气特性* 表）。如果不需要关断功能，请将 EN 连接到 IN。

此器件具有一个内部下拉电路，该电路会在器件被禁用时激活，以便主动对输出电压进行放电。

6.3.3 有源放电

该器件具有一个内部下拉 MOSFET，当器件被禁用以主动释放输出电压时，该内部下拉 MOSFET 会将电阻 $R_{PULLDOWN}$ 接地。有源放电电路由使能引脚激活。

请勿依赖有源放电电路在输入电源崩溃后对大量输出电容进行放电，因为反向电流可能会从输出端流向输入端。这种反向电流会导致器件损坏。在短时间内将反向电流限制为不超过器件额定电流的 5%。

6.3.4 欠压锁定 (UVLO) 操作

UVLO 电路可确保在输入电源达到最小工作电压范围之前器件保持禁用状态，并确保在输入电源崩溃时器件关断。图 6-2 展示了 UVLO 电路对各种输入电压事件的响应。该图可以分为以下几个部分：

- 区域 A：在输入达到 UVLO 上升阈值之前，器件不会启动。
- 区域 B：正常运行，调节器件。
- 区域 C：高于 UVLO 下降阈值（UVLO 上升阈值 – UVLO 迟滞）的欠压事件。输出可能会超出稳压范围，但器件保持启用状态。
- 区域 D：正常运行，调节器件。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当输入电压达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入下降至 UVLO 下降阈值。

Copyright © 2025 Texas Instruments Incorporated

- 区域 G：当输入电压降至 UVLO 下降阈值以下达到 0V 时，该器件被禁用。输出由于负载和有源放电电路而下降。

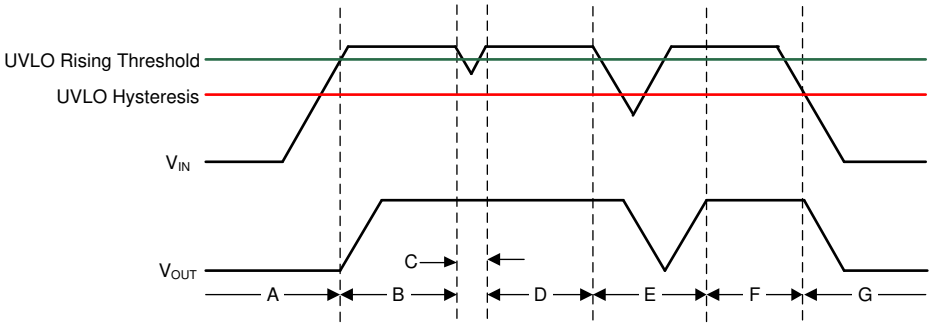


图 6-2. 典型 UVLO 运行

6.3.5 压降电压

压降电压 (V_{DO}) 被定义为在额定输出电流 (I_{RATED}) 下输入电压减去输出电压 (V_{IN} – V_{OUT})，在这种情形下，导通晶体管完全导通。I_{RATED} 是*建议运行条件*表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.6 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞确保器件在温度降至 $T_{SD(reset)}$（典型值）时复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出其运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 器件功能模式比较

器件功能模式比较 表展示了导致不同工作模式的条件。有关参数值，请参阅 *电气特性* 表。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，$V_{IN} < V_{OUT(NOM)} + V_{DO}$，紧随正常稳压状态，但 *不包括* 启动期间）时，传输晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

6.4.4 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅 *电气特性* 表）。当被禁用时，导通晶体管被关闭，内部电路被关断，并且输出电压由一个从输出到接地的内部放电电路主动放电至接地。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 建议的电容器类型

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但必须结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性，而由于电容变化较大，因此建议不要使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。根据经验，预计有效电容会降低多达 50%。*建议运行条件* 表中建议的输入和输出电容器会考虑约为标称值的 50% 的有效电容。

7.1.2 输入和输出电容器要求

为保证稳定性，器件需要一个 1.0μF 或更大容量的输入电容器，如 *建议工作条件* 表中所示。如果预计会发生较大、快速上升时间的负载或线路瞬变或者器件距离输入电源几英寸，有可能需要一个电容值更大的电容器。

为保证稳定性，器件还需要一个 1.0μF 或更大容量的输出电容器，如 *建议工作条件* 表中所示。通过使用大于最小输出电容值的大电容器来提升器件的动态性能。

7.1.3 压降电压

器件使用一个 PMOS 传输晶体管来实现低压降。当 (V_{IN} – V_{OUT}) 低于压降电压 (V_{DO}) 时，PMOS 传输器件处于其运行的线性区域，此时输入到输出电阻是 PMOS 传输元件的 $R_{DS(on)}$。V_{DO} 大致与输出电流成比例，因为 PMOS 器件在压降时的行为类似于电阻器。与任何线性稳压器一样，当 (V_{IN} – V_{OUT}) 接近压降时，PSRR 和瞬态响应性能下降。

Copyright © 2025 Texas Instruments Incorporated

7.1.4 退出压降

某些应用具有会使 LDO 进入压降状态的瞬态，例如启动期间 V_{IN} 上的斜坡较慢。与其他 LDO 一样，从这些条件中恢复时，输出可能会过冲。当压摆率和电压电平处于正确范围内时，斜升输入电源会导致 LDO 在启动时过冲，如图 7-1 所示。使用使能信号延迟 LDO 启动，从而避免因压降退出而导致 V_{OUT} 过冲。在 V_{IN} 大于 $V_{OUT(nom)}$ 后，使能信号可设置为高电平。

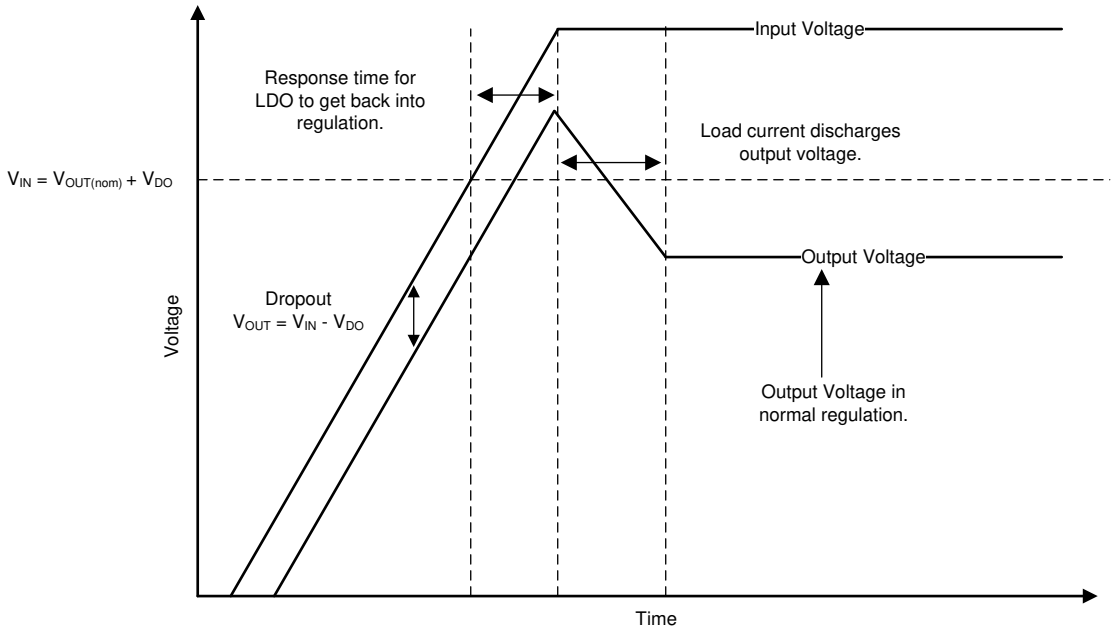


图 7-1. 启动至压降

超出压降的线路瞬变也会导致稳压器输出过冲。这些过冲是由于误差放大器驱动导通元件的栅极电容并将栅极恢复到正确电压以进行适当调节。图 7-2 说明了栅极电压在内部发生的情况，以及如何在运行期间引起过冲。当 LDO 处于压降状态时，栅极电压 (V_{GS}) 会一直下拉至接地，以便为通流器件提供尽可能低的导通电阻。但是，如果器件处于压降状态时发生线路瞬态，则环路未处于稳压状态，并可能导致输出过冲，直到环路响应、输出电流将输出电压拉回到稳压状态。如果这些瞬变不可接受，则继续在系统中添加输入电容，直到瞬态足够慢，可以减少过冲。

Copyright © 2025 Texas Instruments Incorporated

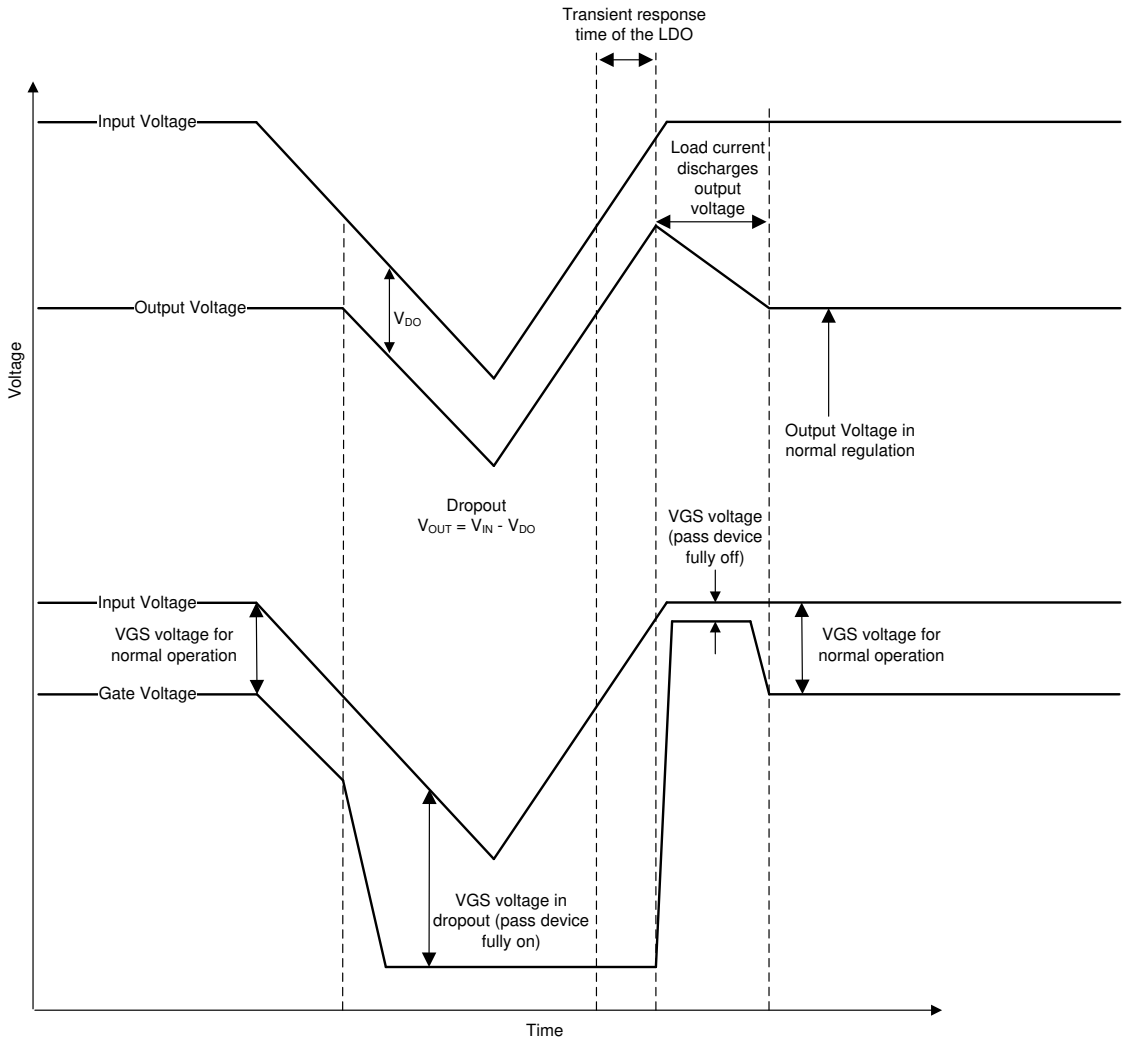


图 7-2. 压降产生的线路瞬变

7.1.5 瞬态响应

与任何其他稳压器一样，增大输出电容器尺寸可减小过冲和下冲幅度，但会增加瞬态响应的持续时间。

7.1.6 反向电流

与大多数 LDO 一样，反向电流过大会损坏该器件。

反向电流流经导通元件上的体二极管，而不是正常的传导通道。如量级较大，该电流在以下一种情况发生时，会降低器件的长期可靠性：

- 由电迁移引起的退化
- 过度散热
- 可能导致闩锁

Copyright © 2025 Texas Instruments Incorporated

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} > V_{IN} + 0.3V$ 的绝对最大额定值：

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则必须使用外部保护来保护器件。图 7-3 展示了保护器件的一种方法。

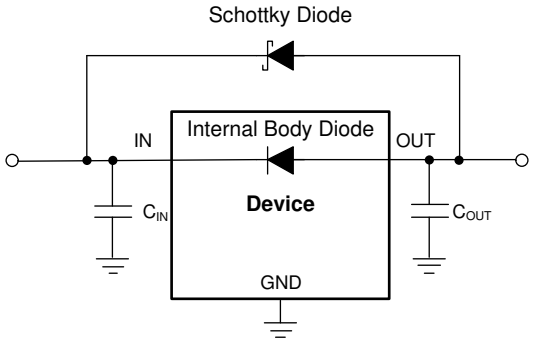


图 7-3. 使用肖特基二极管的反向电流保护示例电路

7.1.7 功率耗散 (P_D)

电路可靠性需要适当考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。方程式 2 用于近似计算 P_D：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

通过适当选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。TLV740P 的低压降可在宽输出电压范围内实现出色效率。

器件的主要热传导路径是通过 DQN 封装上的散热焊盘。因此，必须将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

最大功耗决定了该器件允许的最高结温 (T_J)。根据方程式 3，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。方程式 4 会重新排列 方程式 3 用于输出电流。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (4)$$

遗憾的是，此热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*建议运行条件* 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局，$R_{\theta JA}$ 实际上是 X2SON 封装结至外壳（底部）热阻 ($R_{\theta JC(bot)}$) 与 PCB 铜产生的热阻的总和。

7.1.7.1 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标（Ψ_{JT} 和 Ψ_{JB}）的使用符合 方程式 5 并在 *建议工作条件* 表中给出。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D \text{ and } \Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (5)$$

其中：

Copyright © 2025 Texas Instruments Incorporated

- P_D 是耗散功率，如方程式 2 中所述
- T_T 是器件封装顶部中间位置的温度，并且
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.1.7.2 建议的连续运行区域

LDO 的工作区域受压降电压、输出电流、结温和输入电压的限制。线性稳压器连续运行的建议区域如图 7-4 所示，可分为以下几个部分：

- 压降电压会限制给定输出电流电平下输入和输出之间的最小差分电压 (V_{IN} – V_{OUT})。更多详细信息，请参阅*压降电压* 部分。
- 额定输出电流会限制最大建议输出电流电平。超过此额定值会导致器件超出规格。
- 额定结温会限制器件的最高结温。超过此额定值会导致器件超出规格并降低长期可靠性。
  - 斜率的形状由方程式 4 给出。斜率是非线性的，因为 LDO 的最大额定结温由 LDO 上的功率耗散控制；因此，当 V_{IN} – V_{OUT} 增加时，输出电流必然降低。
- 额定输入电压范围决定了 V_{IN} – V_{OUT} 的最小值和最大值。

图 7-4 展示了该器件在具有 $R_{\theta JA}$ 的 JEDEC 标准高 K 电路板上的建议工作区域，如 *建议工作条件* 表中所示。

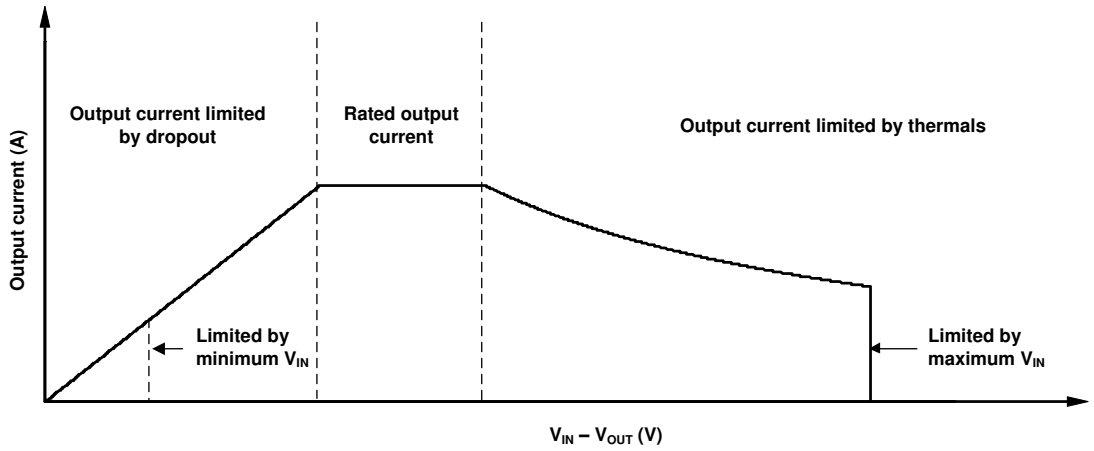


图 7-4. 持续运行机制的区域描述

7.2 典型应用

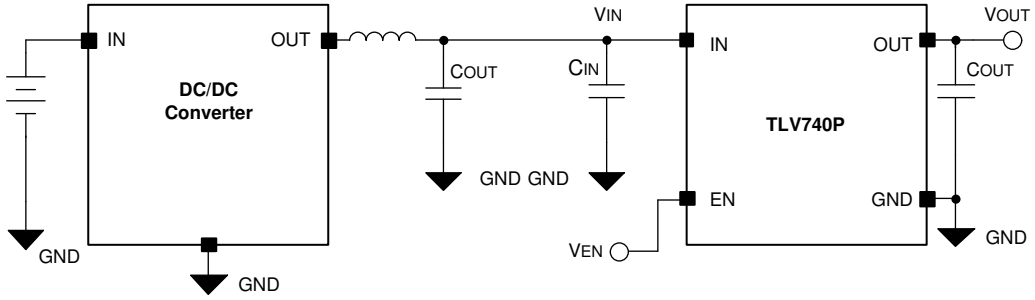


图 7-5. DC/DC 转换器的工作方式

7.2.1 设计要求

表 7-1 总结了该应用的设计要求。

表 7-1. 设计参数

参数	设计要求
输入电压	3.9V
输出电压	1.8V
输出负载	30mA
输出电容器	1µF

7.2.2 详细设计过程

对于本设计示例，选择 1.8V 输出电压器件。该器件由连接到电池的 DC/DC 转换器供电。V_{IN} 和 V_{OUT} 之间的 2.1V 余量用于将器件保持在压降电压规格范围内，并确保器件在本设计的所有负载条件下保持稳定。

7.2.3 应用曲线

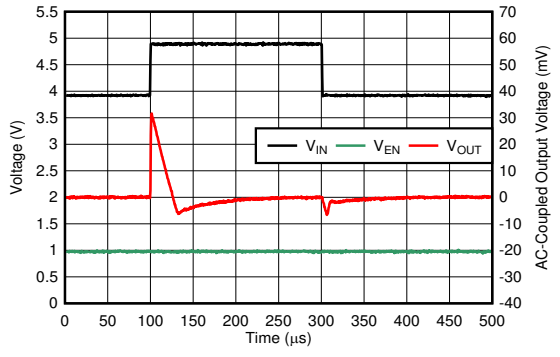


图 7-6. VIN 线路瞬态响应，I_{OUT} = 1mA

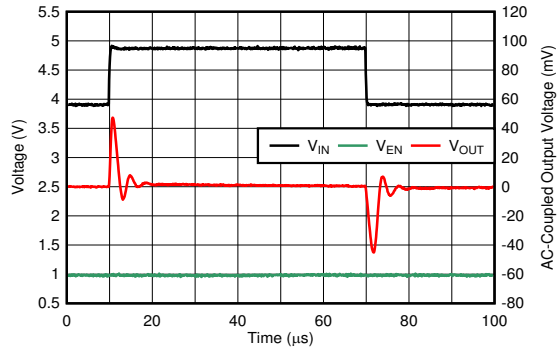


图 7-7. VIN 线路瞬态响应，I_{OUT} = 30mA

Copyright © 2025 Texas Instruments Incorporated

7.3 最佳设计实践

为获得出色瞬态性能，将至少一个 1 µ F 陶瓷电容器放置得尽可能靠近稳压器的 OUT 引脚。

为获得出色瞬态性能，将至少一个 1 µ F 电容器放置得尽可能靠近 IN 引脚。

请勿将输出电容器放置在距离稳压器超过 10mm 的位置。

请勿超出绝对最大额定值。

请勿让器件持续工作在电流限制或接近热关断的状态。

7.4 电源相关建议

该器件设计为可在 1.4V 至 5.5V 的输入电源电压范围内运行。输入电源必须经过良好调节且没有寄生噪声。为确保输出电压得到良好调节且动态性能处于理想状态，输入电源必须设为至少 $V_{OUT(nom)}$ + 2.1V。TI 要求使用 1µF 或更大的输入电容器来降低输入电源的阻抗，尤其是在瞬态期间。

7.5 布局

7.5.1 布局指南

- 输入电容和输出电容尽可能靠近器件放置。
- 使用铜平面进行器件连接，以优化热性能。
- 在器件周围布置散热过孔以散发热量。
- 仅在 DQN 封装的散热焊盘正下方放置覆盖阻焊膜的散热过孔。在焊接过程中，未覆盖阻焊膜的过孔会将焊料或焊膏从散热焊盘接头引走，导致散热焊盘上的焊点质量下降。

7.5.2 布局示例

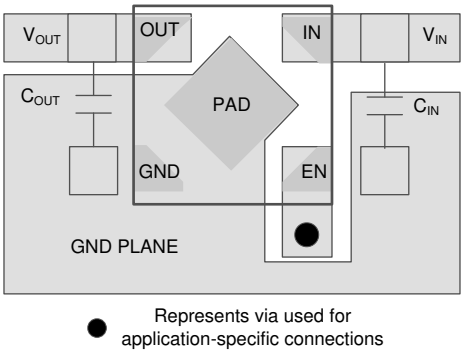


图 7-8. 采用 DQN 封装的布局示例

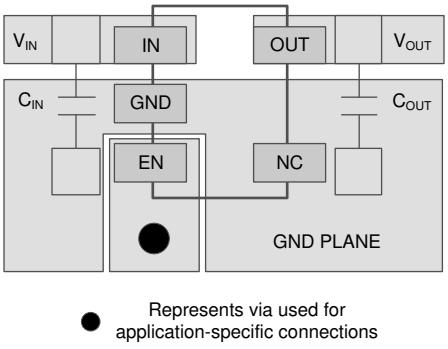


图 7-9. 采用 DBV 封装的布局示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 器件命名规则

表 8-1. 订购信息 (1) (2)

产品	V_O
TLV740**xx(x)Pyyyz**	**XX(X)** 为标称输出电压。对于分辨率为 100mV 的输出电压，订购编号中使用两位数字；否则使用三位数字（例如，28 = 2.8V；175 = 1.75V）。 **P** 是可选的；带有 P 的器件具有主动输出放电功能的 LDO 稳压器。 **YYY** 为封装标识符。 **Z** 是包装数量。R 表示卷（3000 片），T 表示带（250 片）。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问 www.ti.com 中的器件产品文件夹。
(2) 可提供 1.0V 至 3.3V 范围内的输出电压（以 50mV 为单位增量）。有关器件的详细信息和供货情况，请联系制造商。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

-
- 德州仪器 (TI)，*通用低压降 (LDO) 线性稳压器 MultiPkgLDOEVM-823 评估模块* 用户指南
- 德州仪器 (TI)，*使用新的热指标* 应用报告

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2020) to Revision B (August 2025)	Page
• 向文档添加了 TLV740 器件	1
• 添加了 Rpulldown 脚注	5
• 在 *功能方框图* 中添加了仅限 P 版本的信息	11

Changes from Revision * (June 2020) to Revision A (December 2020)	Page
• 将 DQN 封装状态从预发布更改为量产数据	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV74010PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74010
TLV74010PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74010
TLV74010PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	10
TLV74010PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	10
TLV74012PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	12
TLV74012PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	12
TLV74018DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	3XEF
TLV74018PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	74018
TLV74018PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74018
TLV74018PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	18
TLV74018PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	18
TLV74028PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	28
TLV74028PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	28
TLV74033PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	74033
TLV74033PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74033
TLV74033PDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74033
TLV74033PDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74033
TLV74033PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	33
TLV74033PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	33

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

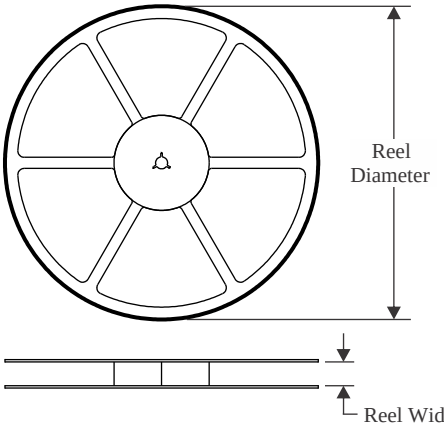
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

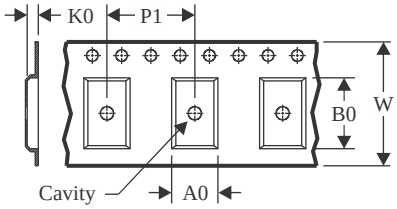
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

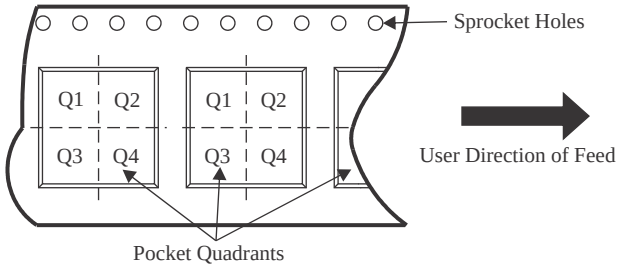


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

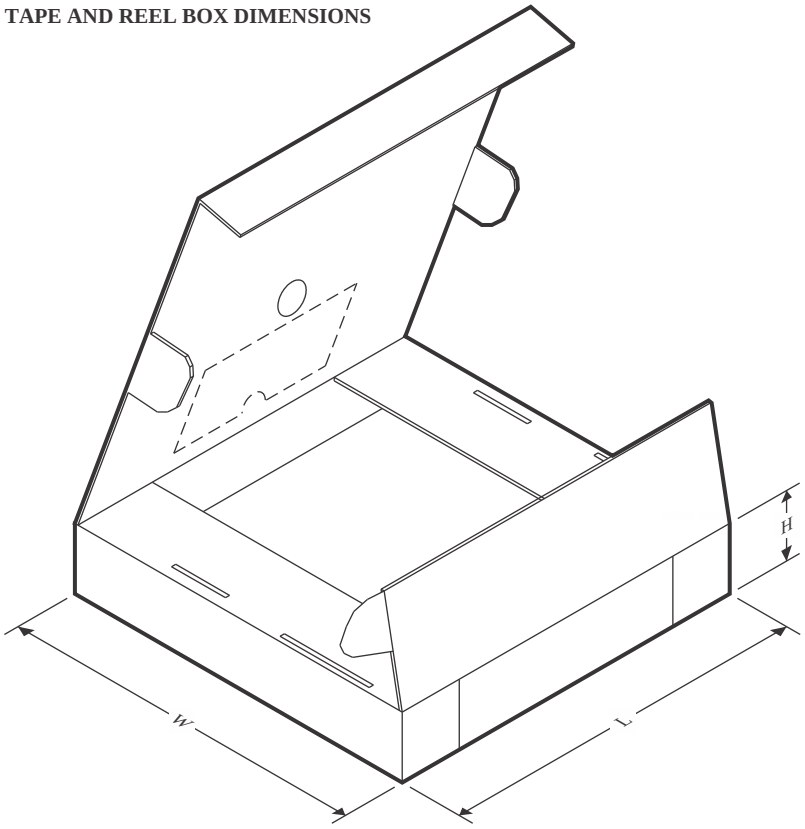
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV74010PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV74010PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV74012PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV74018DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV74018PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV74018PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV74028PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV74033PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV74033PDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV74033PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

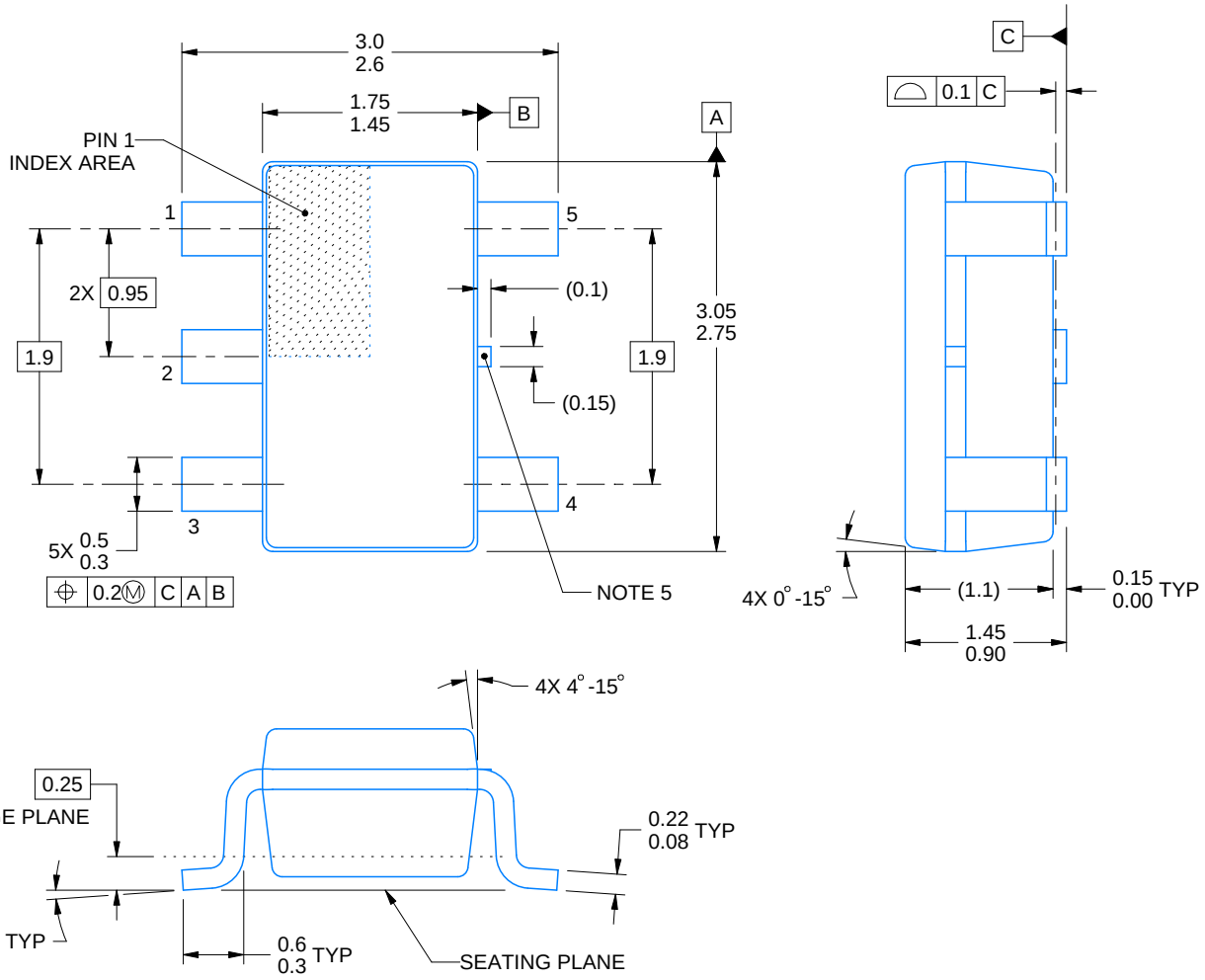
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV74010PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV74010PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV74012PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV74018DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV74018PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV74018PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV74028PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV74033PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV74033PDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV74033PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

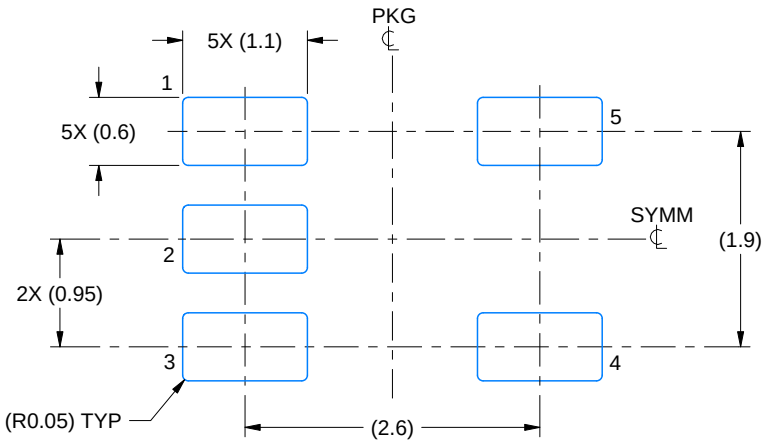
SMALL OUTLINE TRANSISTOR



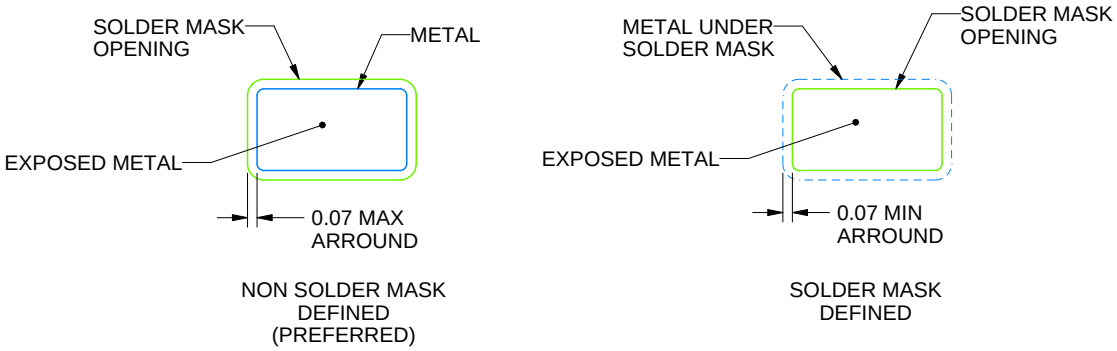
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

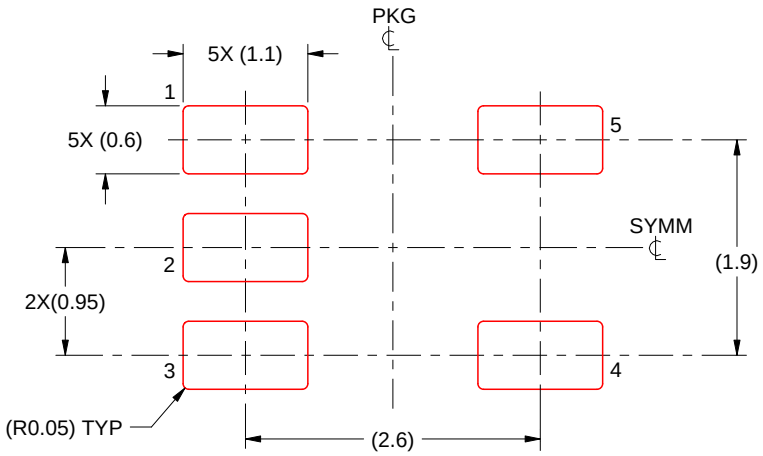


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DQN 4 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

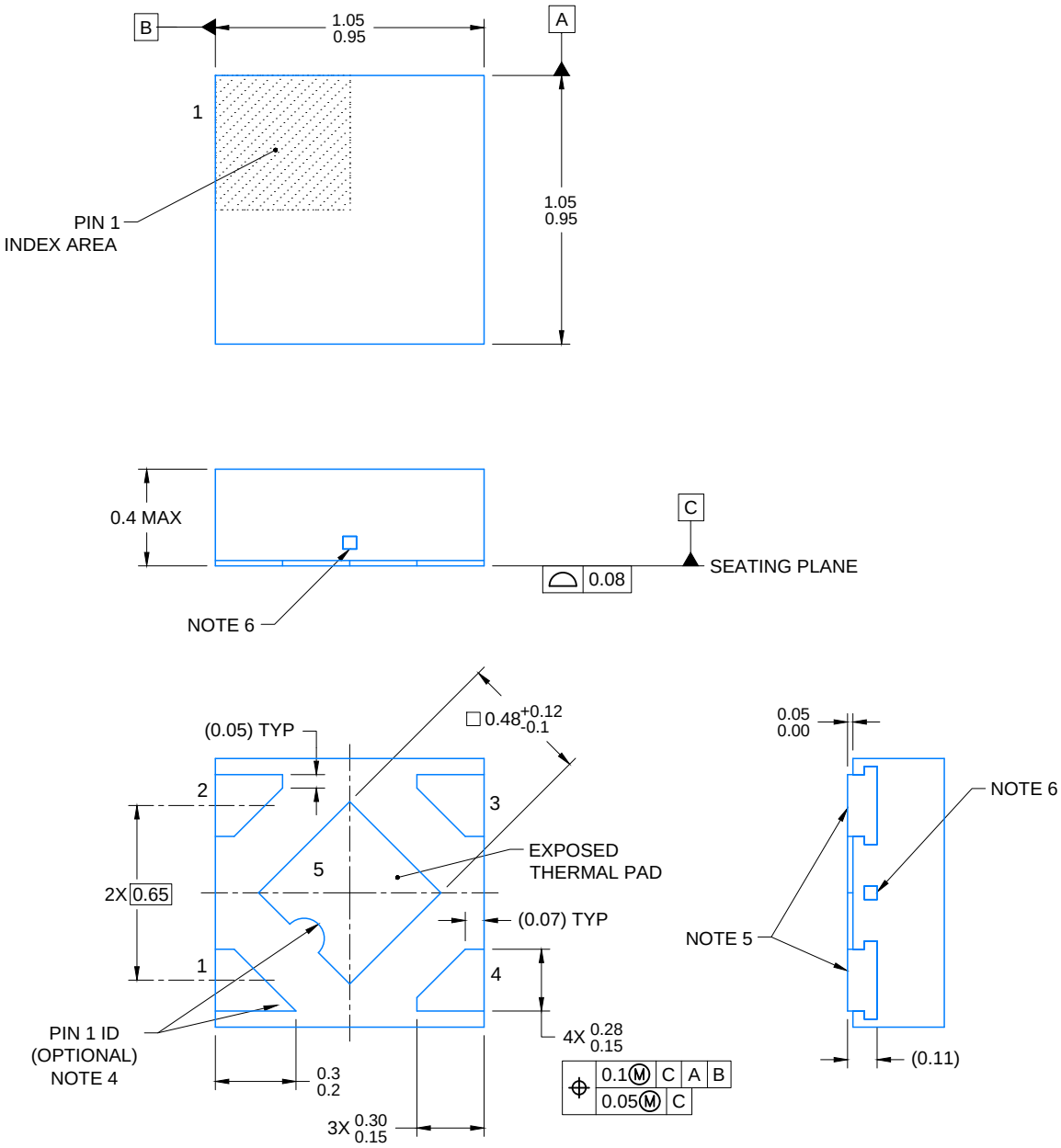
4210367/F

PACKAGE OUTLINE

DQN0004A

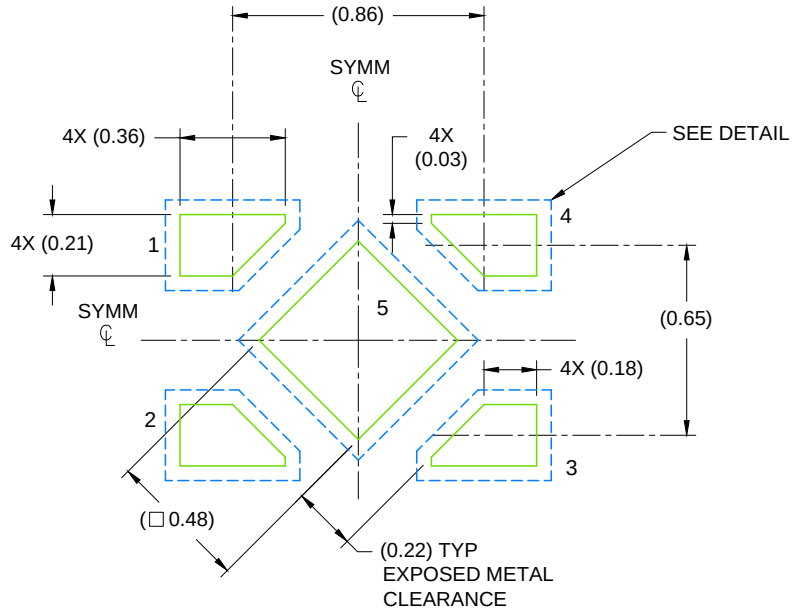
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



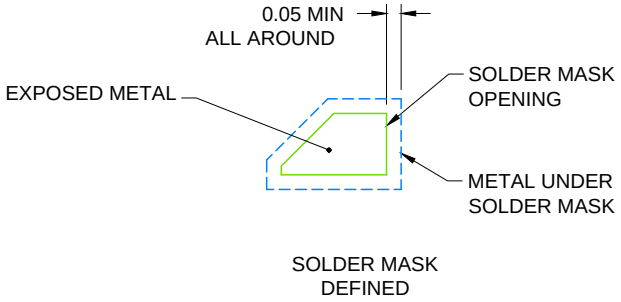
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.
5. Shape of exposed side leads may differ.
6. Number and location of exposed tie bars may vary.



LAND PATTERN EXAMPLE

SCALE: 40X

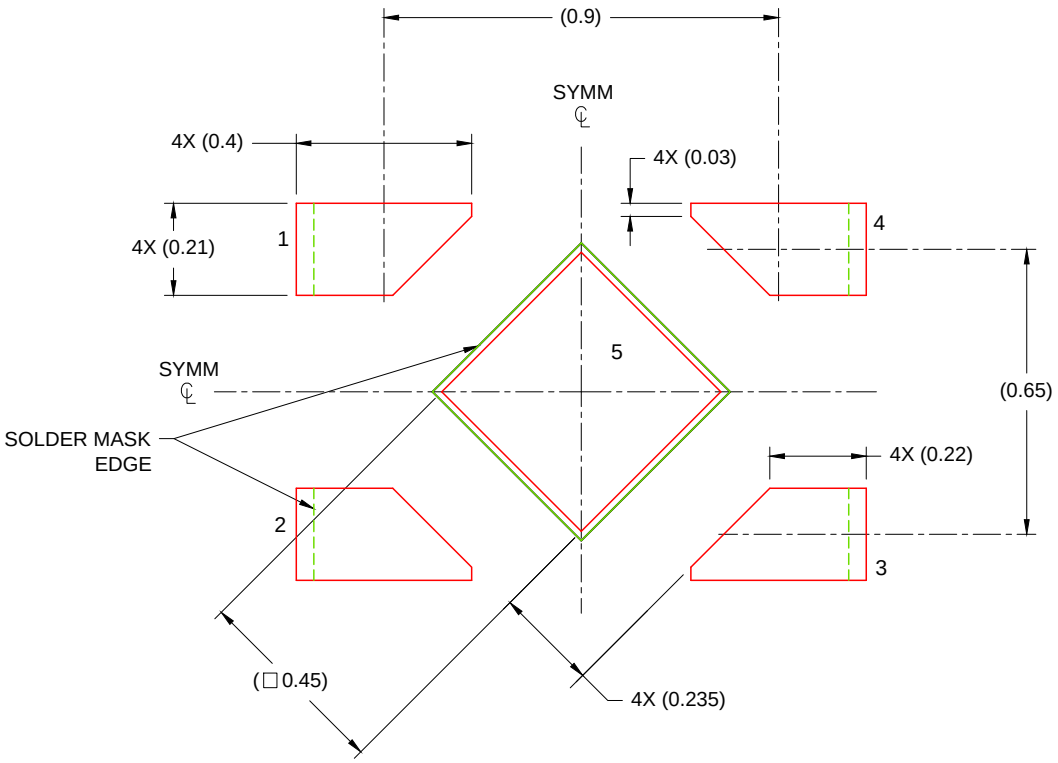


SOLDER MASK DETAIL

4215302/E 12/2016

NOTES: (continued)

7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. If any vias are implemented, it is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1mm THICK STENCIL

EXPOSED PAD
88% PRINTED SOLDER COVERAGE BY AREA
SCALE: 60X

4215302/E 12/2016

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月