TPS56C215 3.8V 至 17V 输入、12A 同步降压 SWIFT™ 转换器

1 特性

- 集成 7.8mΩ 和 3.2mΩ MOSFET
- 支持 12A 持续 I_{OUT}
- 4.5V 启动（没有 5.0V 外部偏置）
- 整个温度范围内的基准电压为 0.6V ±-1%
- 0.6V 至 5.5V 输出电压范围
- 支持陶瓷输出电容器
- D-CAP3™ 控制模式，用于快速瞬态响应
- 可选强制持续导通模式 (FCCM)，用于实现窄输出电压纹波，或自动跳跃 Eco-Mode，用于实现高轻负载效率
- 400kHz、800kHz 和 1.2MHz 的可选 F_{SW}
- 单调启动至预偏置输出
- 具有断续重启功能的两个可调节电流限制设置
- 可选 5V 外部偏置，可提升效率
- 可调节软启动，默认软启动时间为 1ms
- –40°C 至 150°C 的工作结温范围
- 小型 3.5mm × 3.5mm HotRod™ QFN 封装
- 与 8A TPS568215 之间引脚对引脚兼容
- 使用 TPS56C215 并借助 WEBENCH® Power Designer 创建定制设计方案

2 应用

- 服务器、云计算、存储
- 电信和网络、负载点 (POL)
- IPC、工厂自动化、PLC、测试测量
- 高端 DTV

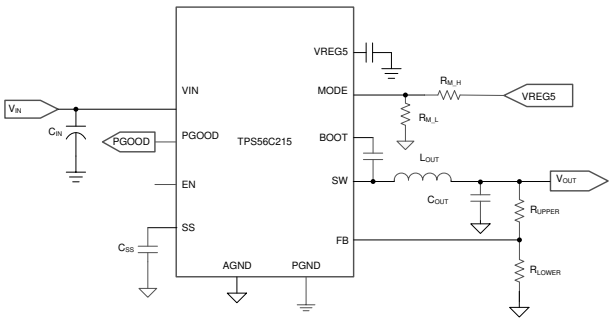
3 说明

TPS56C215 是一款具有自适应导通时间 D-CAP3 控制模式的小尺寸单片 12A 同步降压转换器。该器件集成了低 R_{DS}(on) 功率 MOSFET，简单易用且高效，只需极少的外部组件，适合空间受限的电源系统。具有竞争力的特性包括非常精确的基准电压、快速负载瞬态响应、自动跳跃模式运行以实现轻负载效率、可调节的电流限制和无需外部补偿。强制持续导通模式有助于满足高性能 DSP 和 FPGA 的严格电压调节精度要求。TPS56C215 采用热增强型 18 引脚 HotRod QFN 封装，并且设计为在 -40°C 至 150°C 的结温范围内运行。

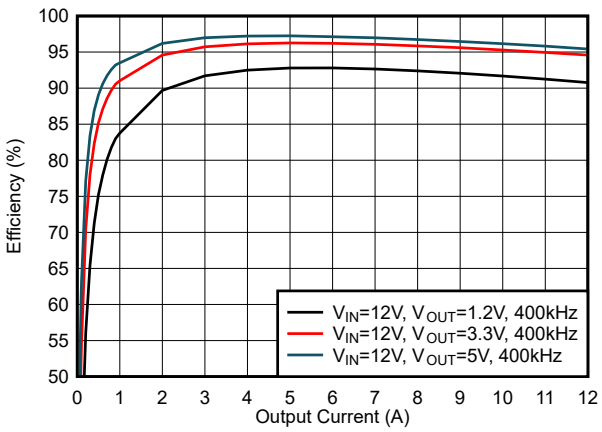
封装信息

器件型号	封装(1)	封装尺寸(2)
TPS56C215	RNN（VQFN-HR，18）	3.5mm × 3.5mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用



效率与输出电流之间的关系

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 时序要求.....6
5.7 典型特性.....7
6 详细说明.....13
6.1 概述.....13
6.2 功能方框图.....14
6.3 特性说明.....14
6.4 器件功能模式.....19
7 应用和实施.....21
7.1 应用信息.....21
7.2 典型应用.....21
7.3 电源相关建议.....25
7.4 布局.....25
8 器件和文档支持.....29
8.1 器件支持.....29
8.2 接收文档更新通知.....30
8.3 支持资源.....30
8.4 商标.....30
8.5 静电放电警告.....30
8.6 术语表.....30
9 修订历史记录.....31
10 机械、封装和可订购信息.....32
10.1 封装标识.....32

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

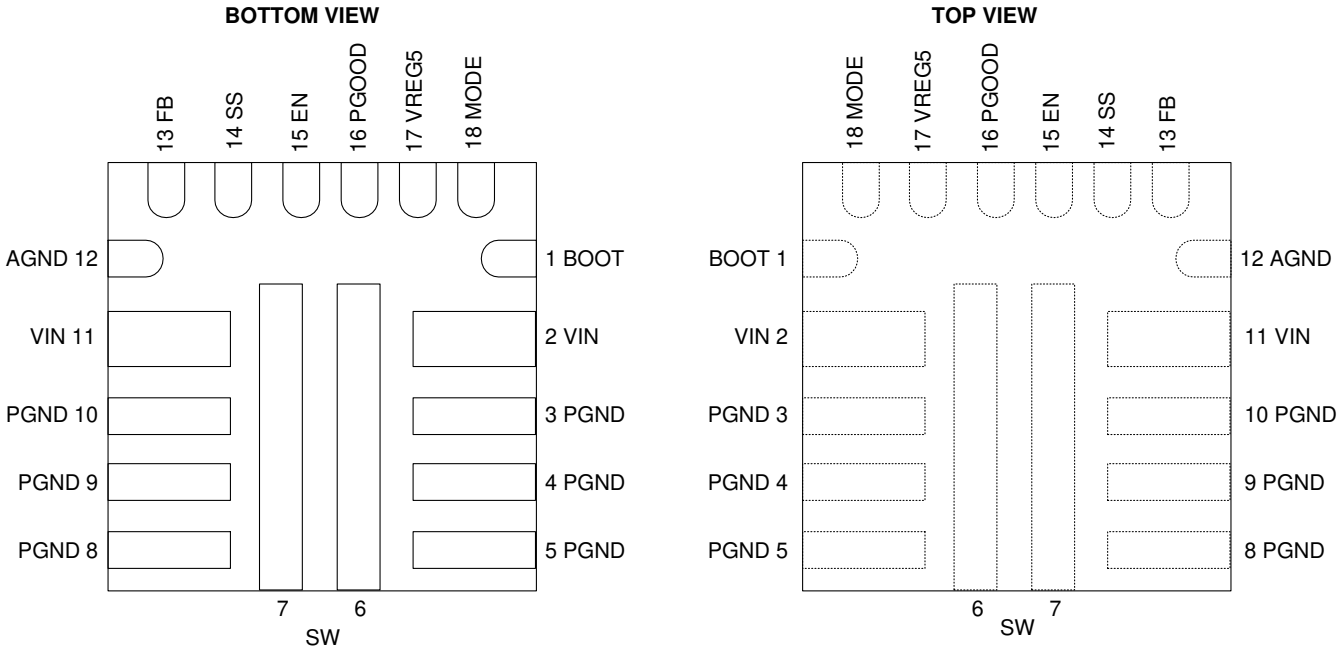


图 4-1. RNN 封装 18 引脚 VQFN

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
BOOT	1	I	高侧 MOSFET 栅极驱动电压的电源输入。在 BOOT 和 SW 之间连接自举电容器。
VIN	2.11	P	控制电路的输入电压电源引脚。在 VIN 和 PGND 之间连接输入去耦电容器。
PGND	3、4、5、8、9、10	G	控制器电路和内部电路的电源 GND 端子。用较短的布线连接到 AGND。
SW	6、7	O	开关节点端子。将输出电感器连接到该引脚。
AGND	12	G	内部模拟电路的地。用较短的布线将 AGND 连接到 PGND 平面。
FB	13	I	转换器反馈输入。连接到输出电压和 AGND 之间电阻分压器的中心抽头。
SS	14	O	软启动时间选择引脚。连接外部电容器可设置软启动时间，如果未连接外部电容器，则转换器将在 1ms 内启动。
EN	15	I	启用输入控制，让该引脚悬空将启用转换器。该引脚还可连接到 VIN 和 EN 之间电阻分压器的中心抽头来调节输入 UVLO。
PGOOD	16	O	该引脚为开漏电源正常指示器，如果输出电压超出 PGOOD 阈值、过压或器件处于热关断、EN 关断或软启动期间，则该引脚将置为低电平。
VREG5	17	I/O	4.7V 内部 LDO 输出，也可通过 5V 输入从外部驱动。该引脚为内部电路和栅极驱动器提供电压。使用 4.7μF 电容器对该引脚旁路。
模式	18	I	开关频率、电流限制选择和轻负载运行模式选择引脚。针对表 6-3 中所示的不同 MODE 选项，将该引脚连接到 VREG5 和 AGND 之间的电阻分压器。

(1) I = 输入，P = 电源，G = 接地，O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入电压	V_{IN}	-0.3	20	V
	SW	-2	19	
	SW（10ns 瞬态值）	-5	25	
	V_{IN}-SW		22	
	V_{IN}-SW（10ns 瞬态值）		25	
	EN	-0.3	6.5	
	BOOT – SW	-0.3	6.5	
	BOOT – SW（瞬态值为 10ns）	-0.3	7.5	
	BOOT	-0.3	25.5	
	SS、MODE、FB	-0.3	6.5	
	VREG5	-0.3	6	
输出电压	PGOOD	-0.3	6.5	V
输出电流(2)	I_{OUT}		14	A
工作结温	T_J	-40	150	°C
贮存温度	T_{stg}	-55	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 为符合 TI 105°C 结温下 10 万小时通电时间的可靠性要求，在 100% 占空比下连续工作时输出电流不得超过 14A，以防止焊点出现电迁移故障。若持续输出电流低于 14A，可实现更高的结温或更长的通电时间。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 支持在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
输入电压	V_{IN}	3.8		17	V
	SW	-1.8		17	V
	BOOT	-0.1		23.5	V
	VREG5	-0.1		5.2	V
输出电流	I_{LOAD}	0		12	A
工作结温	T_J	-40		150	°C

5.4 热性能信息

热指标(1)	RNN (VQFN-HR) 18 引脚	单位
$R_{\theta JA}$ 结至环境热阻	29.5	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		RNN (VQFN-HR) 18 引脚	单位
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	17.0	°C/W
$R_{\theta JB}$	结至电路板热阻	8.6	°C/W
ψ_{JT}	结至顶部特征参数	0.4	°C/W
ψ_{JB}	结至电路板特征参数	8.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

T_J = –40°C 至 150°C，V_{IN} = 12V（除非另有说明）

参数		条件	最小值	典型值	最大值	单位
电源电流						
I_{IN}	VIN 电源电流	T_J = 25°C，V_{EN} = 5V，非开关		146		μA
I_{VINSDN}	VIN 关断电流	T_J = 25°C，V_{EN} = 0V		9.3		μA
逻辑阈值						
V_{ENH}	EN 高电平阈值电压		1.175	1.225	1.3	V
V_{ENL}	EN 低电平阈值电压		1.025	1.104	1.15	V
V_{ENHYS}				0.121		V
I_{ENp1}	EN 上拉电流	V_{EN} = 1.0V	0.35	1.91	2.95	μA
I_{ENp2}		V_{EN} = 1.3V	3	4.197	5.5	μA
反馈电压						
V_{FB}	FB 电压	T_J = 25℃	598	600	602	mV
		T_J = 0°C 至 85°C	597.5	600	602.5	mV
		T_J = -40°C 至 85°C	594	600	602.5	mV
		T_J = –40°C 至 150°C	594	600	606	mV
LDO 电压						
VREG5	LDO 输出电压	T_J = –40°C 至 150°C	4.58	4.7	4.83	V
ILIM5	LDO 输出电流限制	T_J = –40°C 至 150°C	100	150	200	mA
MOSFET						
$R_{DS(on)H}$	高侧开关电阻	T_J = 25°C，V_{VREG5} = 4.7V		7.8		mΩ
$R_{DS(on)L}$	低侧开关电阻	T_J = 25°C，V_{VREG5} = 4.7V		3.2		mΩ
软启动						
I_{ss}	软启动充电电流	T_J = –40°C 至 150°C	4.9	6	7.1	μA
电流限值						
I_{OCL}	电流限制（低侧拉电流）	ILIM-1 选项，谷值电流	9.775	11.5	13.225	A
		ILIM 选项，谷值电流	11.73	13.8	15.87	A
	电流限制（低侧负电流）	谷值电流		4		A
电源正常						
$V_{PGOODTH}$	PGOOD 阈值	V_{FB} 下降（故障）		84%		
		V_{FB} 上升（正常）		93%		
		V_{FB} 上升（故障）		116%		
		V_{FB} 下降（正常）		108%		
输出欠压和过压保护						

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

T_J = –40°C 至 150°C，V_{IN} = 12V（除非另有说明）

参数		条件	最小值	典型值	最大值	单位
V_{OVP}	输出 OVP 阈值	OVP 检测		121% × V_{FB}		
V_{UVP}	输出 UVP 阈值	断续检测		70% × V_{FB}		
热关断						
T_{SDN}	热关断阈值	关断温度		160		°C
		迟滞		15		°C
UVLO						
UVLO	UVLO 阈值	VREG5 上升电压		4.25		V
		VREG5 下降电压		3.52		V
		VREG5 迟滞		730		mV
UVLO，VREG5 = 4.7V	UVLO 阈值，VREG5 = 4.7V	VIN 上升电压，VREG5 = 4.7V		3.32		V
		VIN 下降电压，VREG5 = 4.7V		3.24		V
		VIN 迟滞，VREG5 = 4.7V		80		mV

5.6 时序要求

参数		条件	最小值	典型值	最大值	单位
导通计时器控制						
t_{ON}	SW 导通时间(1)	V_{IN} = 12V，V_{OUT} = 3.3V，F_{SW} = 800kHz	310	340	380	ns
$t_{ON\ min}$	SW 最短导通时间	V_{IN} = 17V，V_{OUT} = 0.6V，F_{SW} = 1200kHz		60		ns
t_{OFF}	SW 最短关断时间	25°C，V_{FB} = 0.5V			310	ns
软启动						
t_{SS}	软启动时间	内部软启动时间		1.2		ms
输出欠压和过压保护						
t_{UVPDEL}	相对于 SS 时间的输出断续延迟	UVP 检测		1		周期
t_{UVPEN}	相对于 SS 时间的输出断续使能延迟	UVP 检测		14		周期

(1) 根据设计确定

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

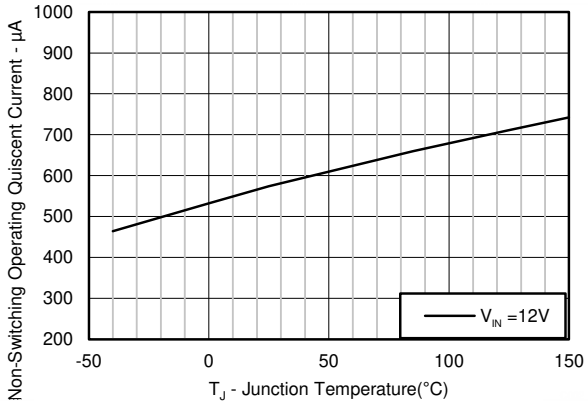


图 5-1. 静态电流与温度间的关系

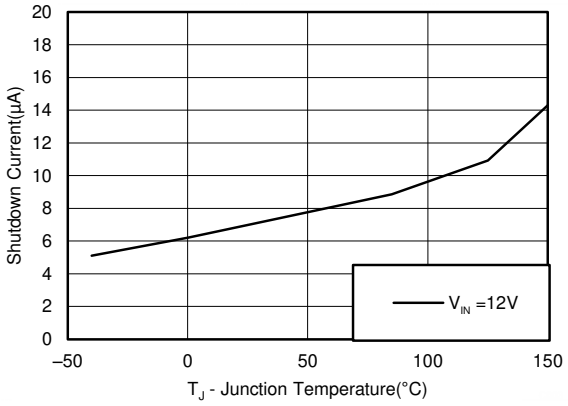


图 5-2. 关断电流与温度间的关系

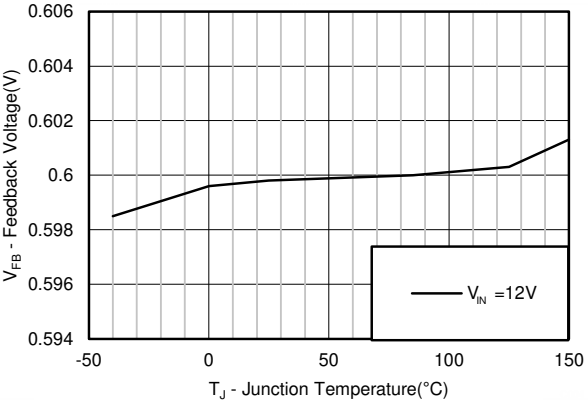


图 5-3. 反馈电压与温度之间的关系

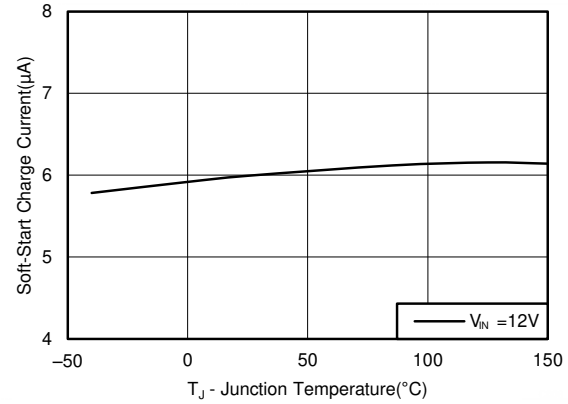


图 5-4. 软启动充电电流与温度间的关系

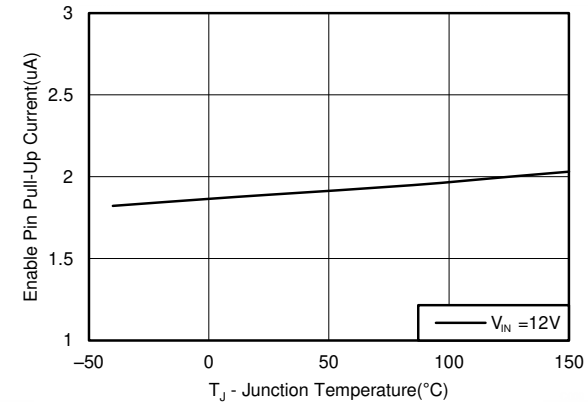


图 5-5. 使能上拉电流，V_{EN} = 1.0V

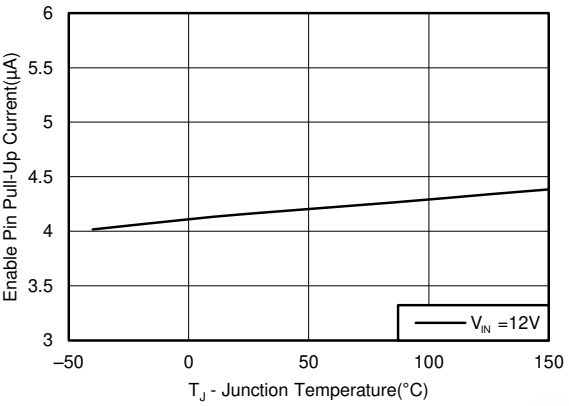


图 5-6. 使能上拉电流，V_{EN} = 1.3V

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

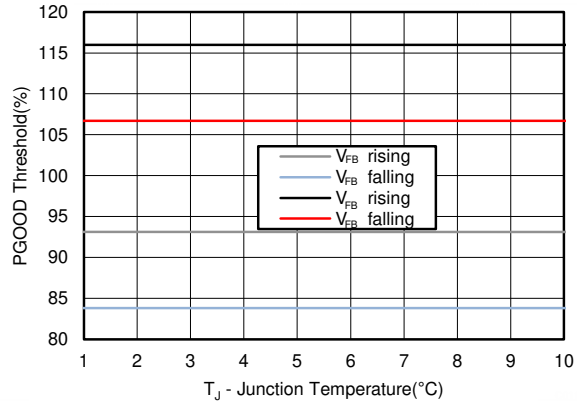


图 5-7. PGOOD 阈值与温度间的关系

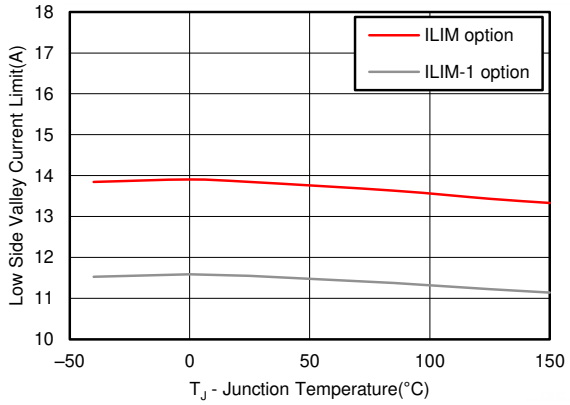


图 5-8. 电流限制与温度间的关系

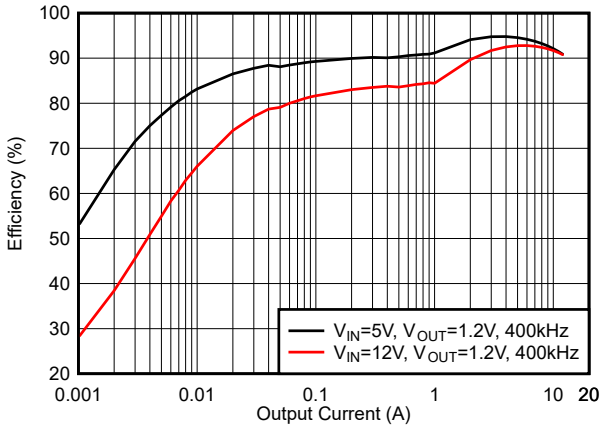


图 5-9. 效率，DCM 模式，f_{SW} = 400kHz

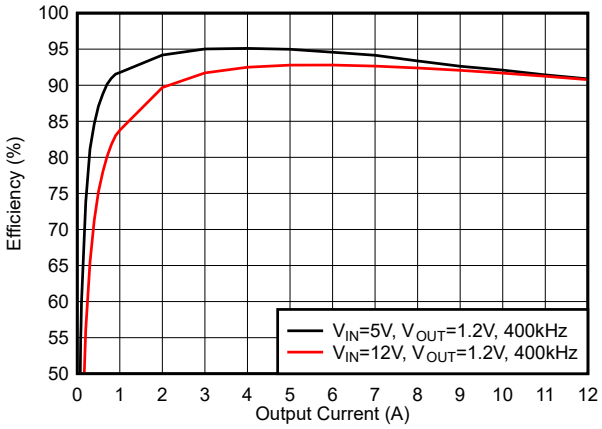


图 5-10. 效率，FCCM 模式，f_{SW} = 400kHz

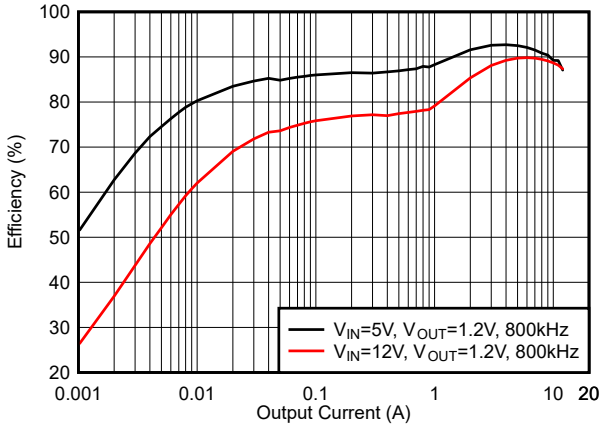


图 5-11. 效率，DCM 模式，f_{SW} = 800kHz

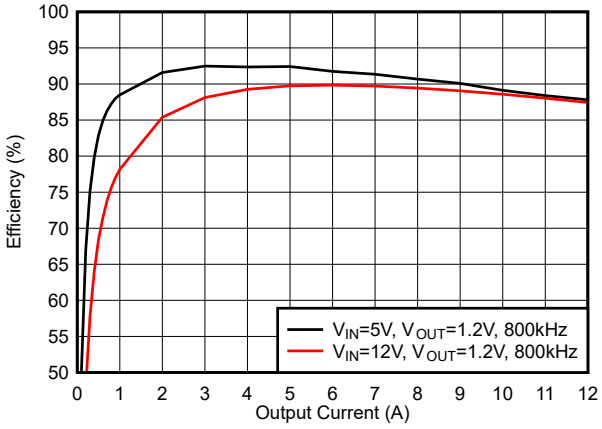


图 5-12. 效率，FCCM 模式，f_{SW} = 800kHz

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

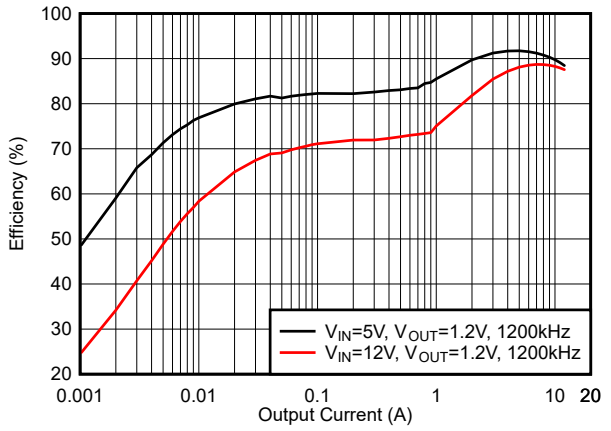


图 5-13. 效率，DCM 模式，f_{SW} = 1200kHz

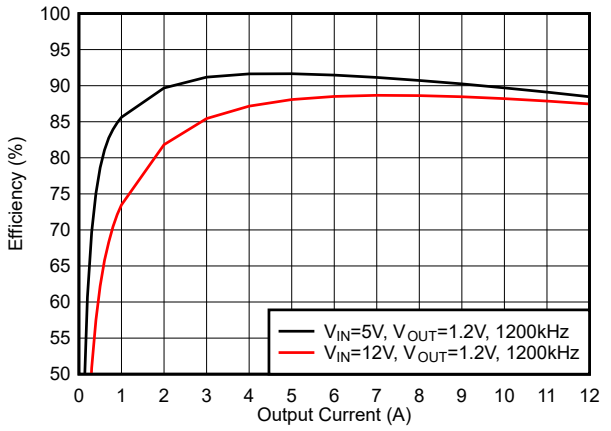


图 5-14. 效率，FCCM 模式，f_{SW} = 1200kHz

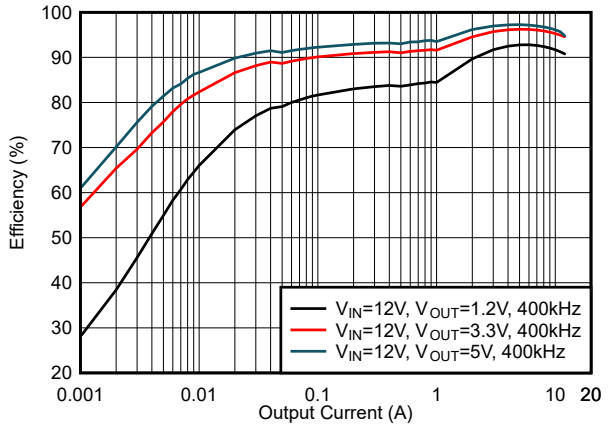


图 5-15. 效率，DCM 模式，f_{SW} = 400kHz

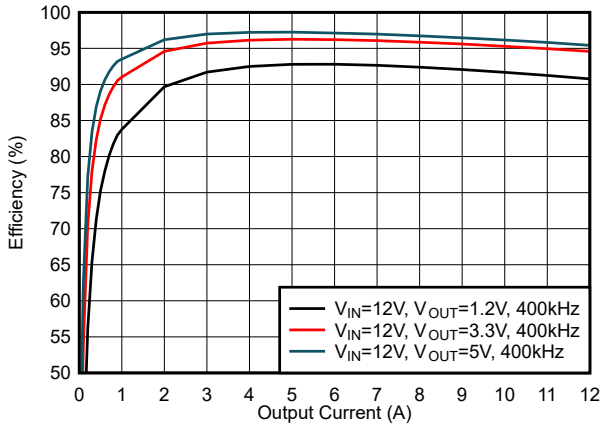


图 5-16. 效率，FCCM 模式，f_{SW} = 400kHz

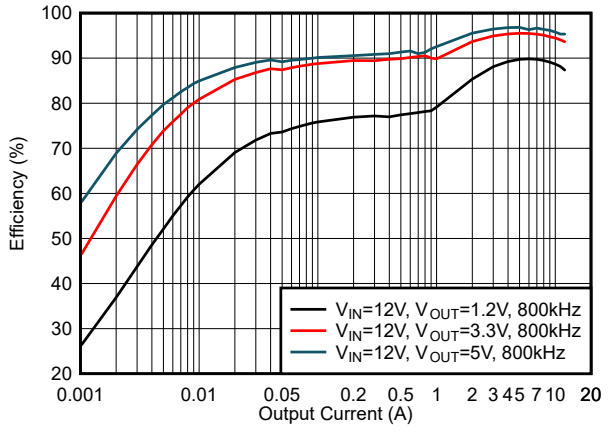


图 5-17. 效率，DCM 模式，f_{SW} = 800kHz

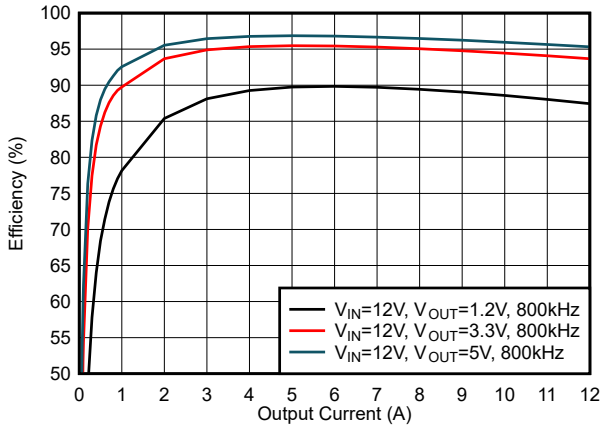


图 5-18. 效率，FCCM 模式，f_{SW} = 800kHz

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

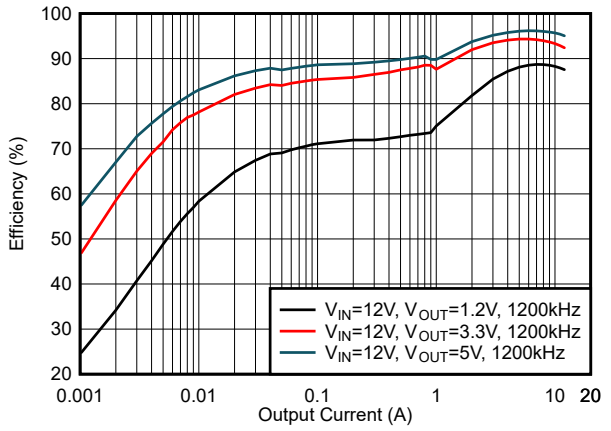


图 5-19. 效率，DCM 模式，f_{SW} = 1200kHz

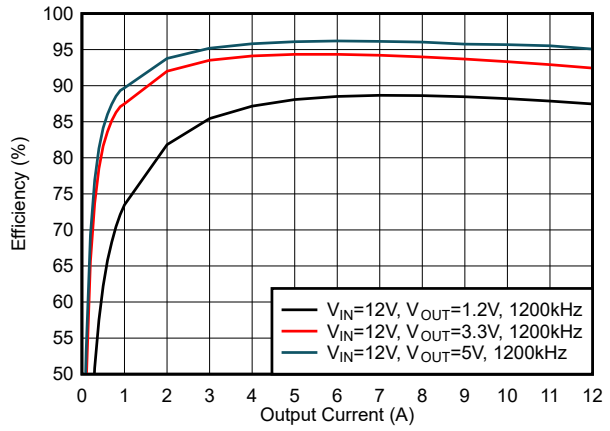


图 5-20. 效率，FCCM 模式，f_{SW} = 1200kHz

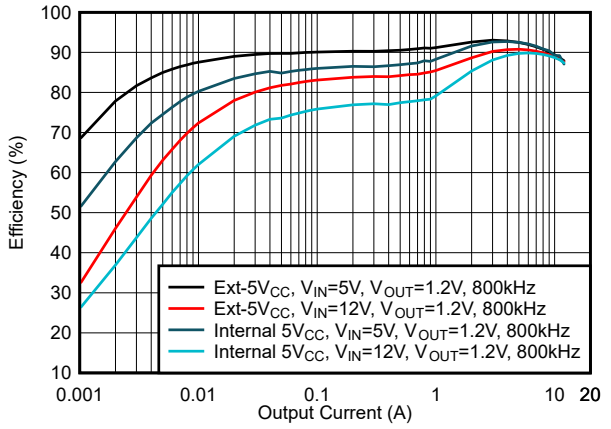


图 5-21. 效率，外部 VCC 与内部 VCC，DCM 模式，f_{SW} = 800kHz

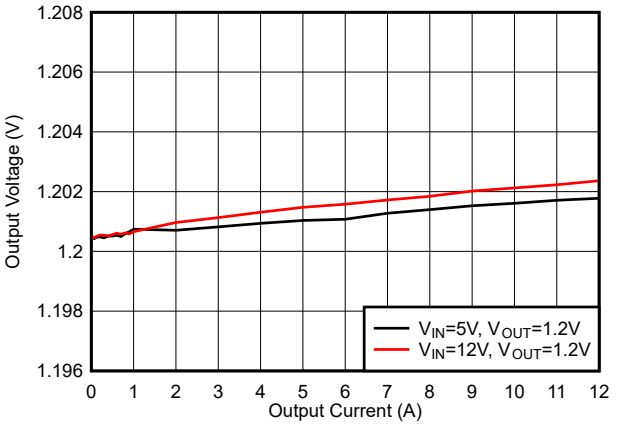


图 5-22. 负载调节，F_{SW} = 800kHz

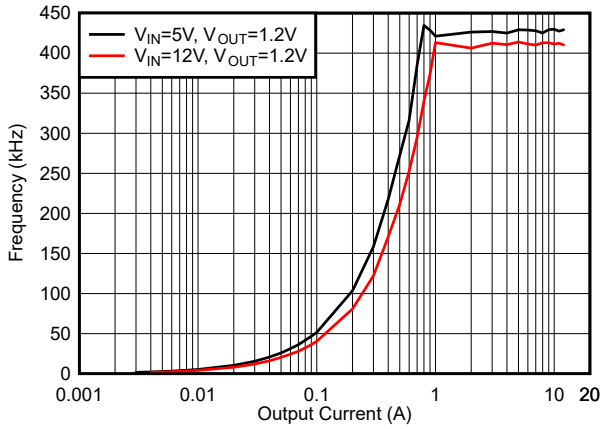


图 5-23. F_{SW} 负载调节，模式 = DCM，F_{SW} = 400kHz

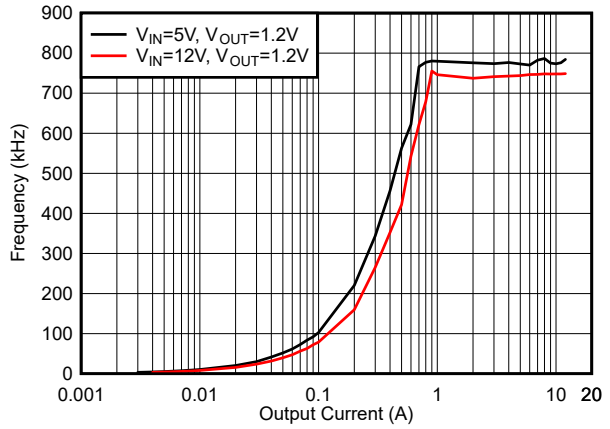


图 5-24. F_{SW} 负载调节，模式 = DCM，F_{SW} = 800kHz

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

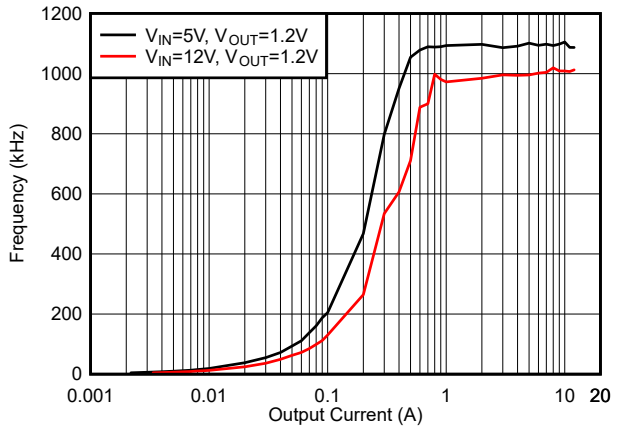


图 5-25. F_{SW} 负载调节，模式 = DCM，F_{SW} = 1200kHz

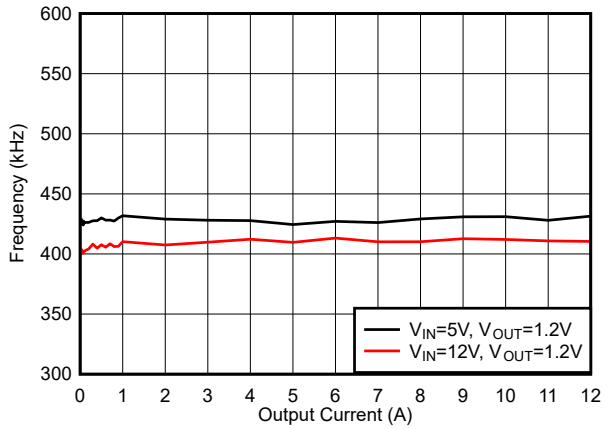


图 5-26. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 400kHz

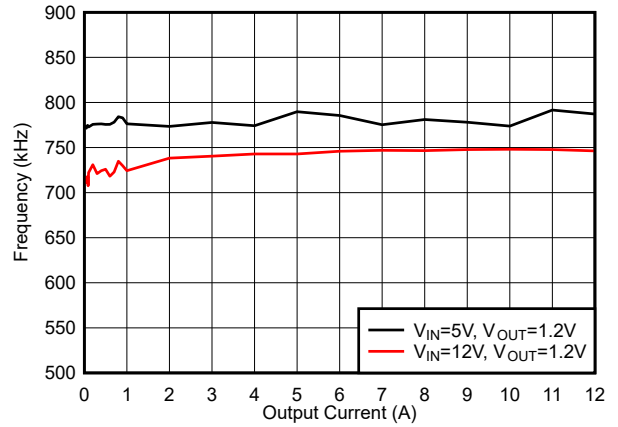


图 5-27. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 800kHz

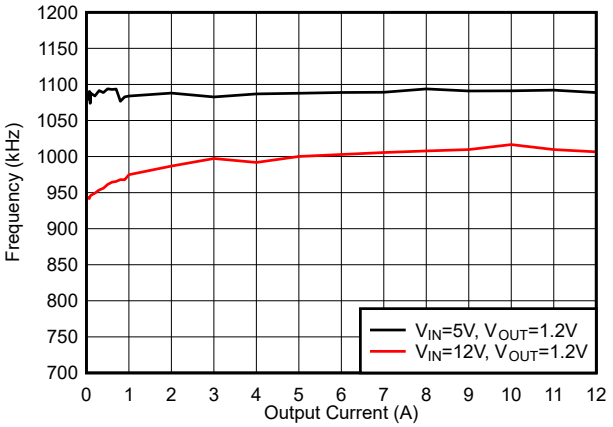


图 5-28. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 1200kHz

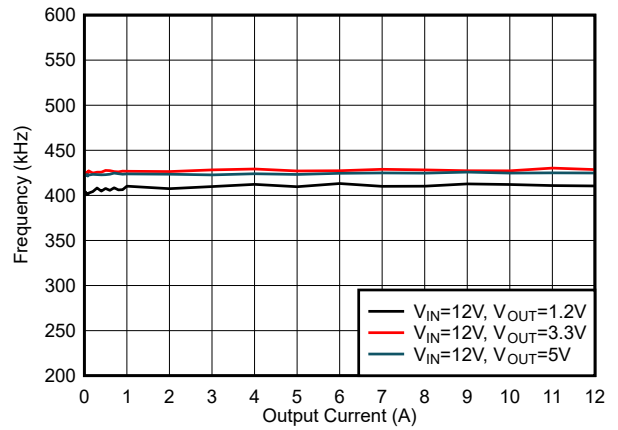


图 5-29. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 400kHz

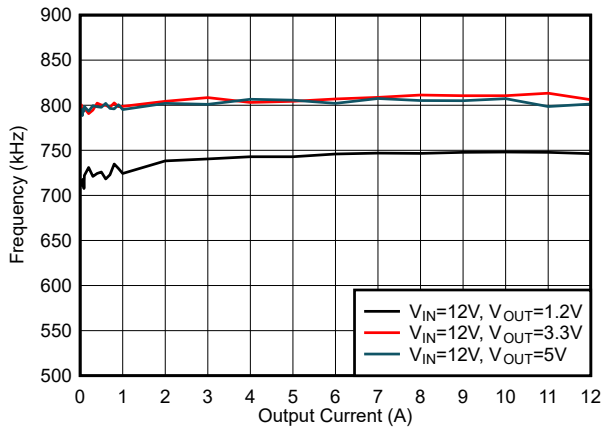


图 5-30. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 800kHz

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

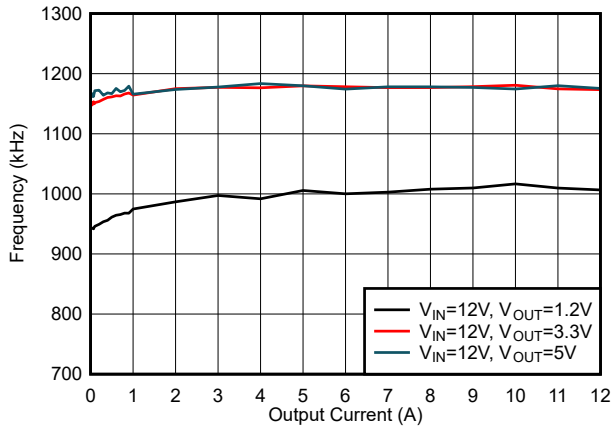


图 5-31. F_{SW} 负载调节，模式 = FCCM，F_{SW} = 1200kHz

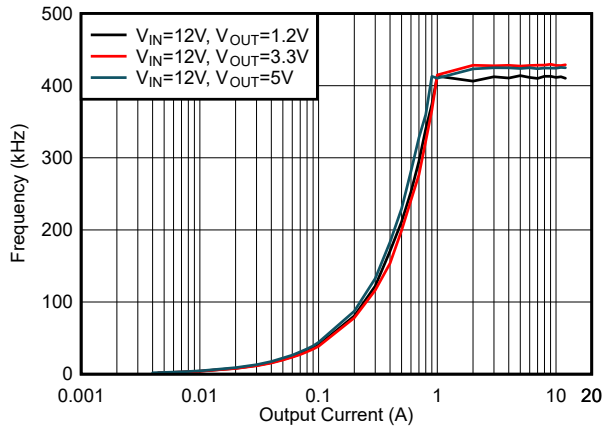


图 5-32. F_{SW} 负载调节，模式 = DCM，F_{SW} = 400kHz

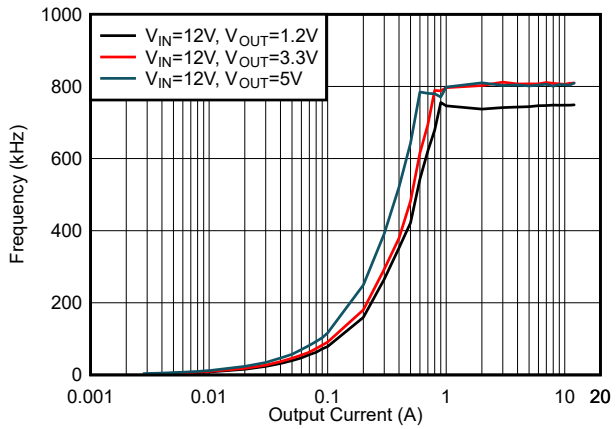


图 5-33. F_{SW} 负载调节，模式 = DCM，F_{SW} = 800kHz

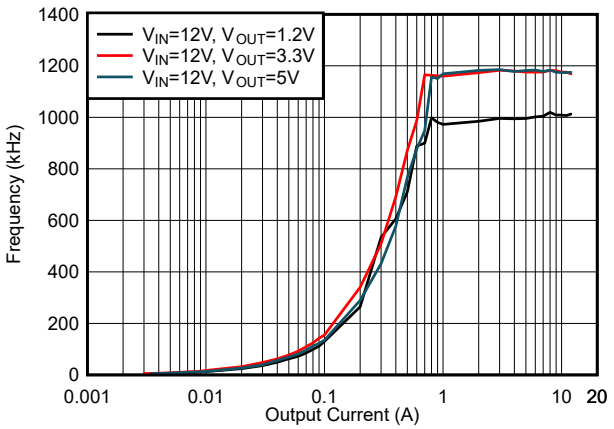


图 5-34. F_{SW} 负载调节，模式 = DCM，F_{SW} = 1200kHz

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS56C215 是可在 3.8V 至 17V 输入电压 (V_{IN}) 范围内运行的高密度同步降压转换器。该器件具有 7.8mΩ 和 3.2mΩ 的集成 MOSFET，可在高达 12A 的电流下实现高效率。该器件采用 D-CAP3 控制模式，无需外部补偿元件即可提供快速瞬态响应，并具有精确的反馈电压。该控制拓扑可在 FCCM 工作模式（在较高负载条件下）与 DCM/Eco-mode 工作模式（在较轻负载条件下）之间实现无缝切换。DCM/Eco-mode 使 TPS56C215 能够在轻负载条件下保持高效率。TPS56C215 既能够适应诸如 POSCAP 或 SP-CAP 的低等效串联电阻 (ESR) 输出电容，也能够适应超低 ESR 陶瓷电容。

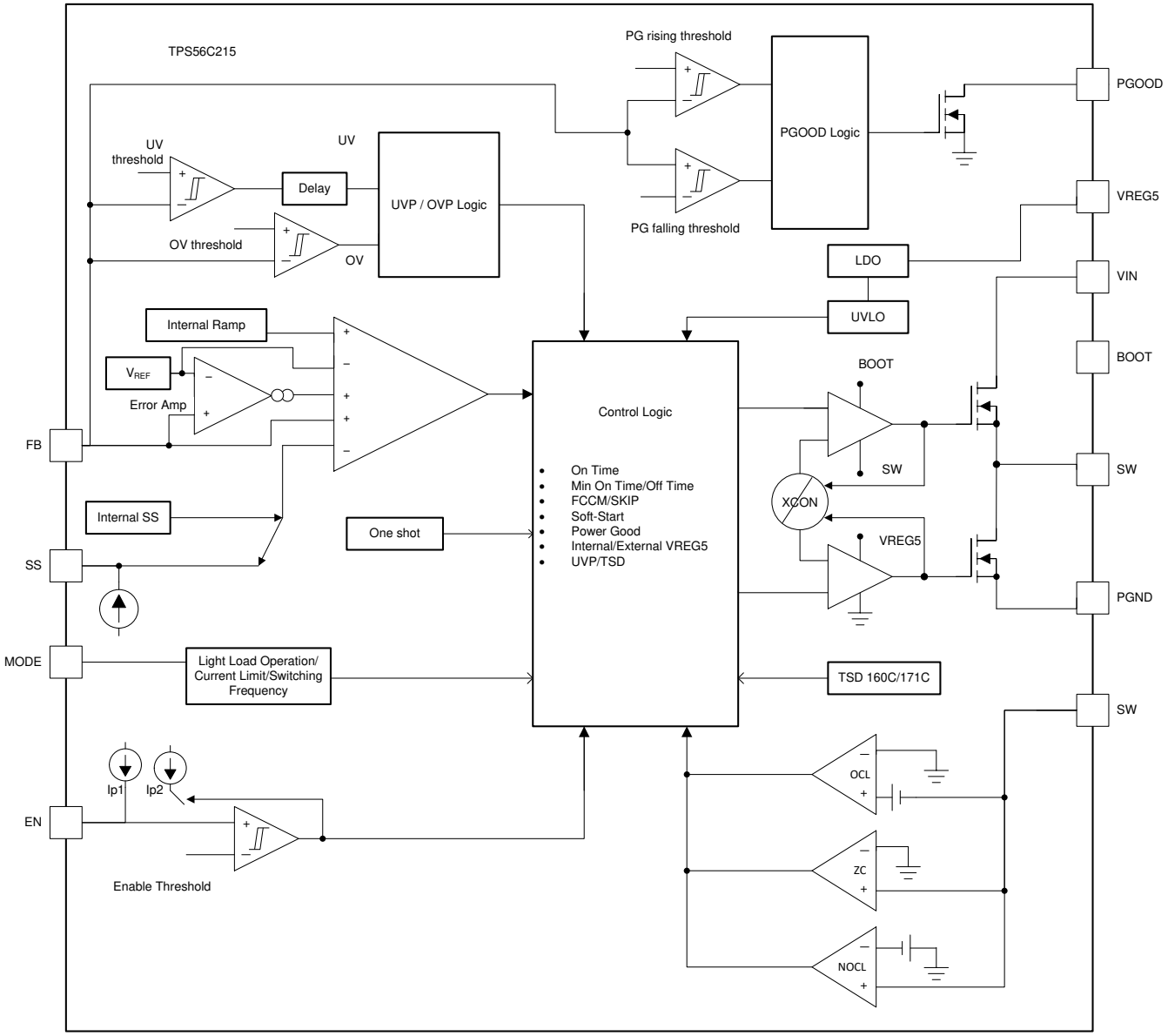
TPS56C215 提供三种可切换开关频率 (F_{SW}) (400kHz、800kHz 和 1200kHz)，便于灵活地优化设计以实现更高的效率或更小的尺寸。该器件有两个可选的电流限制。所有这些选项都是通过在 MODE 引脚上选择合适的电压来进行配置。

TPS56C215 有一个 4.7V 的内部 LDO，可为所有内部电路提供辅助电源。该器件允许利用 VREG5 引脚上的外部电压对这个内部 LDO 进行过驱，从而提高转换器的效率。欠压锁定 (UVLO) 电路会监测 VREG5 引脚电压，以便保护内部电路免受低输入电压的影响。该器件在 EN 引脚上有一个内部上拉电流源，即使在 EN 引脚悬空的情况下也可以启用该器件。

可以通过将电容器连接到 SS 引脚来选择软启动时间。该器件不受输出短路、欠压和过热情况的影响。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图



6.3 特性说明

6.3.1 PWM 运行和 D-CAP3™ 控制模式

TPS56C215 使用自适应导通时间 PWM 控制及专有 D-CAP3 控制模式运行，该模式可实现较少的外部元件数量以及快速负载瞬态响应，同时保持良好的输出电压精度。在每个开关周期开始时，高侧 MOSFET 都会在内部一次性计时器设置的导通时间内导通。该导通时间是根据转换器的输入电压、转换器的输出电压和伪固定频率设置的，因此，这种类型的控制拓扑称为自适应导通时间控制。在反馈电压 (V_{FB}) 降至低于内部基准电压 (V_{REF}) 后，一次性计时器复位并再次开启。将生成一个内部斜坡，该斜坡被馈送到 FB 引脚以模拟输出电压纹波。此操作支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。DCAP3 控制拓扑不需要外部电流检测网络或环路补偿。

Copyright © 2025 Texas Instruments Incorporated

TPS56C215 包含一个误差放大器，可使输出电压变得非常准确。该误差放大器在其他类型的 D-CAP3 中不存在。对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。与 TPS56C215 搭配使用的输出滤波器是一个低通 L-C 电路。此 L-C 滤波器具有方程式 1 中所示的双极点。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

在低频率下，整体环路增益是由输出设定点电阻分压器网络和 TPS56C215 的内部增益设定的。低频 L-C 双极点具有 180 度同相压降。在输出滤波器频率下，增益以每十倍频程 –40dB 的速率滚降，且相位快速下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频 –40dB 降低到 –20dB，并在零点频率以上每十倍频程将相位增加到 90 度。内部纹波注入高频零点根据所选的开关频率进行更改，如表 6-1 所示。为输出滤波器选择的电感器和电容器必须确保双极位置足够靠近高频零点，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。整个系统的交叉频率通常必须低于开关频率 (F_{SW}) 的五分之一。

表 6-1. 纹波注入零点

开关频率 (kHz)	零点频率 (kHz)
400	17.8
800	27.1
1200	29.8

表 6-2 列出了用于绘制 *节 5.7* 中效率曲线的电感器值和器件型号。

表 6-2. 电感器值

V_{OUT}(V)	F_{SW}(kHz)	L_{OUT}(μH)	WÜRTH 器件型号(1)
1.2	400	1.2	744325120
	800	0.68	744311068
	1200	0.47	744314047
3.3	400	2.4	744325240
	800	1.5	7443552150
	1200	1.2	744325120
5.5	400	3.3	744325330
	800	2.4	744325240
	1200	1.5	7443552150

(1) 请参阅第三方产品免责声明。

6.3.2 Eco-mode 控制

TPS56C215 采用 Eco-mode 控制设计，可提高轻负载条件下的效率。可以使用 MODE 引脚选择此选项，如表 6-3 所示。当输出电流在重负载条件下降低时，电感器电流也会降低。如果输出电流减到足够小，电感器电流的谷值将达到零电平，这是连续导通模式和不连续导通模式之间的边界。当检测到电感器电流为零时，低侧 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间与连续导通模式下的导通时间大致相同。关断时间会随着负载电流减小时输出放电时间增加而增加。使用方程式 2 可计算在转换到 Eco-mode 工作模式时的轻负载电流 ($I_{OUT(LL)}$)。

$$I_{OUT(LL)} = \frac{1}{2 \times L_{OUT} \times F_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

确定应用要求后，在设计中采用的输出电感 (L_{OUT})，应使电感器峰峰值纹波电流大约介于 $I_{OUT(max)}$（应用中的峰值电流）的 20% 与 30% 之间。适当调整电感器的电感，使谷值电流不会达到低侧负电流限值，这一点很重要。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 4.7V LDO

VREG5 引脚是内部 4.7V 线性稳压器的输出，为所有内部电路和 MOSFET 栅极驱动器提供辅助电源。需要使用 4.7μF 电容器将 VREG5 引脚旁路。高于 LDO 内部输出电压的外部电压可以覆盖内部 LDO，在检测到更高电压后将内部 LDO 切换至外部电源轨。此操作可以提高转换器的效率，因为静态电流现在从这个外部电源轨而不是从输入电源流出。UVLO 电路监测 VREG5 引脚电压，并在 VREG5 降至低于 UVLO 阈值时禁用输出。在 VREG5 电源轨上使用外部辅助电源时，可以采用任何上电和断电时序，但必须了解的是，如果 VREG5 电源轨上有放电路径可以从 VREG5 拉取高于 LDO 内部电流限制 (ILIM5) 的电流，则 VREG5 LDO 关闭，从而关闭 TPS56C215 的输出。如果不存在这种情况，并且外部 VREG5 电源轨关闭，则 VREG5 电压将在几纳秒内切换到内部 LDO 电压（通常为 4.7V）。图 6-1 展示了当禁用对 VREG5 的外部偏置而 TPS56C215 的输出保持不变时，VREG5 电压从 5.5V 外部偏置到 4.7V 内部 LDO 输出的转换。

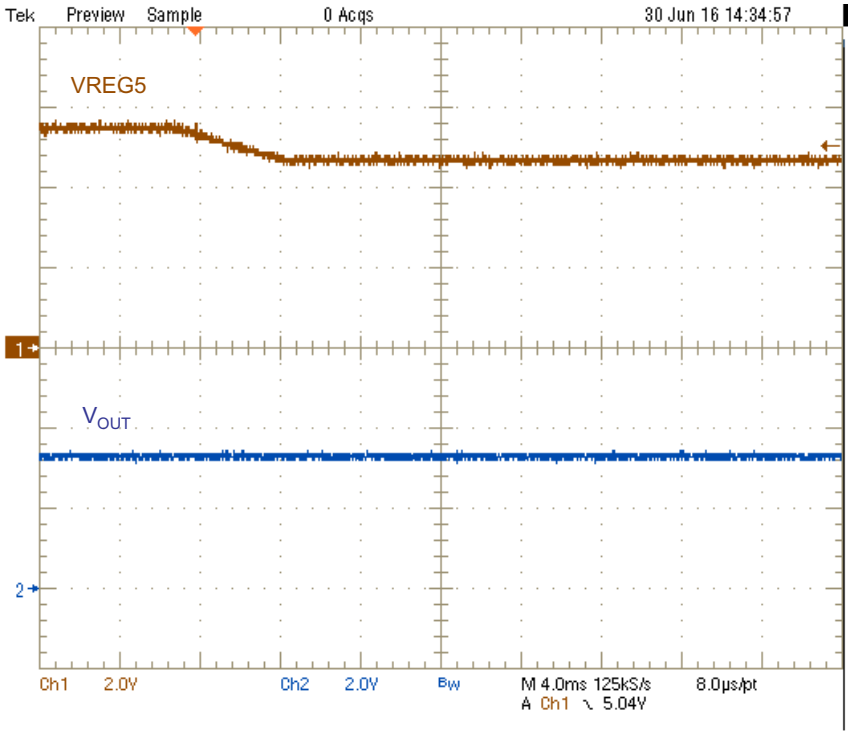


图 6-1. VREG5 转换

6.3.4 模式选择

TPS56C215 有一个 MODE 引脚可基于电流限制、开关频率和轻负载运行情况的组合，提供 12 种不同的运行状态。该器件可分别在两个不同的电流限制（ILIM-1 和 ILIM）下运行，支持 10A 和 12A 的连续电流输出。TPS56C215 旨在将电感器的谷值电流与电流限制阈值进行比较，因此请注意输出电流比谷值电流高出纹波电流的一半。例如，选择 ILIM 电流限制后，OCL 阈值的最小值为 11.73A，这意味着需要最小值为 0.54A 的峰峰值电感器纹波电流，才能从转换器中汲取 12A 的电流而不进入过流状态。TPS56C215 可以在 400kHz、800kHz 和 1200kHz 三种不同频率下运行，还可以在 Eco-mode 和 FCCM 模式之间进行选择。该器件在启动期间读取 MODE 引脚上的电压，并锁存至表 6-3 中列出的 MODE 选项之一。可通过将 MODE 引脚连接到 VREG5 和 AGND 之间连接的电阻分压器的中心抽头来设置该引脚上的电压。1% 电阻中的顶部电阻 (R_{M_H}) 和底部电阻 (R_{M_L}) 的指南如表 6-3 所示。确保 MODE 引脚的电压仅源自 VREG5 电源轨，因为在内部会以该电压为基准来检测 MODE 选项。MODE 引脚设置只能通过 VIN 下电上电进行复位。

表 6-3. MODE 引脚电阻设置

R_{M_L} (kΩ)	R_{M_H} (kΩ)	轻负载运行	电流限值	频率 (kHz)
5.1	300	FCCM	ILIM-1	400

Copyright © 2025 Texas Instruments Incorporated

表 6-3. MODE 引脚电阻设置（续）

R_{M_L} (kΩ)	R_{M_H} (kΩ)	轻负载运行	电流限值	频率 (kHz)
10	200	FCCM	ILIM	400
20	160	FCCM	ILIM-1	800
20	120	FCCM	ILIM	800
51	200	FCCM	ILIM-1	1200
51	180	FCCM	ILIM	1200
51	150	DCM	ILIM-1	400
51	120	DCM	ILIM	400
51	91	DCM	ILIM-1	800
51	82	DCM	ILIM	800
51	62	DCM	ILIM-1	1200
51	51	DCM	ILIM	1200

图 6-2 显示了 EN 引脚电压超过 EN 导通阈值后器件的典型启动序列。VREG5 引脚上的电压超过 UVLO 上升阈值后，读取第一个 MODE 设置需 100 µs，完成最终的 MODE 设置还需约 100 µs。完成对 MODE 设置的读取后，输出电压开始出现斜坡。

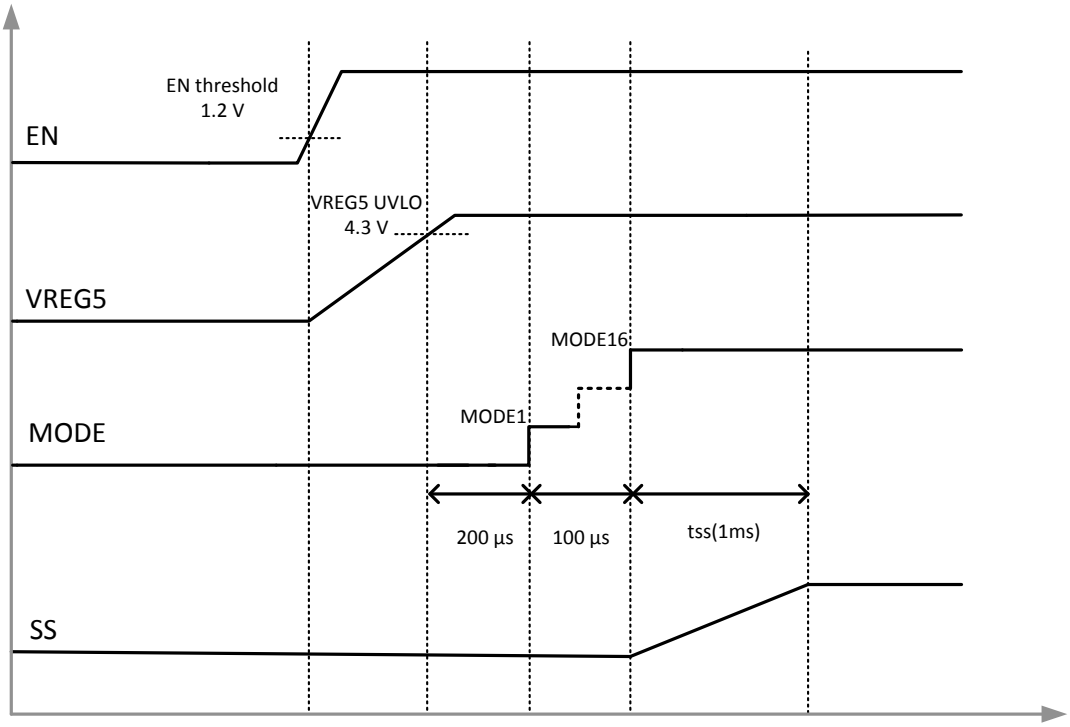


图 6-2. 上电序列

6.3.5 软启动和预偏置软启动

TPS56C215 具有可调软启动时间，可通过在 SS 引脚上连接电容器来设置软启动时间。当 EN 引脚变为高电平时，软启动充电电流 (I_{SS}) 开始为 SS 和 AGND 之间连接的外部电容器 (C_{SS}) 充电。这些器件会跟踪内部软启动电压或外部软启动电压的较低者作为基准。软启动时间 (T_{SS}) 的公式如方程式 3 所示：

$$T_{SS(S)} = \frac{C_{SS} \times V_{REF}}{I_{SS}} \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

其中

- V_{REF} 为 0.6V，I_{SS} 为 6 µA

如果输出电容器在启动时预偏置，器件将开始切换，只有在内部基准电压大于反馈电压 V_{FB} 时才会开始逐步升高。此方案可确保转换器顺畅上升至调节点。

6.3.6 使能端和可调节 UVLO

EN 引脚控制器件的导通和关断。当 EN 引脚电压高于大约 1.2V 的导通阈值时，器件开始开关；当 EN 引脚电压降至低于大约 1.1V 的关断阈值时，器件停止开关。如果在用户应用中分别需要不同的导通 (V_{START}) 和关断阈值 (V_{STOP})，则可以如图 6-3 所示通过在 VIN 和 EN 之间连接电阻分压器来配置 EN 引脚。EN 引脚有一个上拉电流 I_{p1}，用于设置引脚悬空时的默认状态。当 EN 引脚电压超过导通阈值时，该电流会增加到 I_{p2}。可以使用方程式 4 和方程式 5 设置 UVLO 阈值。

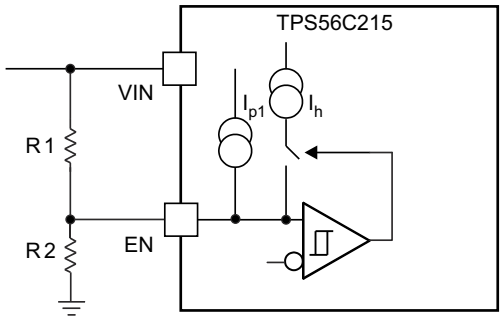


图 6-3. 可调节 VIN 欠压锁定

$$R1 = \frac{V_{START}\left(\frac{V_{ENFALLING}}{V_{ENRISING}}\right) - V_{STOP}}{I_{p1}\left(1 - \frac{V_{ENFALLING}}{V_{ENRISING}}\right) + I_h} \quad (4)$$

$$R2 = \frac{R1 \times V_{ENFALLING}}{V_{STOP} - V_{ENFALLING} + R1\ I_{p2}} \quad (5)$$

其中

- I_{p2} = 4.197 µA
- I_{p1} = 1.91 µA
- I_h = 2.287 µA
- $V_{ENRISING}$ = 1.225V
- $V_{ENFALLING}$ = 1.104V

6.3.7 电源正常

电源正常 (PGOOD) 引脚为开漏输出。当 FB 引脚电压介于内部基准电压 (V_{REF}) 的 93% 和 107% 之间后，PGOOD 变为无效，并在 200 µs 的抗尖峰脉冲时间后悬空。TI 建议使用 10kΩ 的上拉电阻器将其上拉至 VREG5。当 FB 引脚电压低于 V_{UVP} 或高于 V_{OVP} 阈值时、发生热关断时或在软启动期间，PGOOD 引脚下拉至低电平。

6.3.8 过流保护和欠压保护

使用逐周期谷值检测控制电路来实现输出过流限制 (OCL)。在关断状态期间会监测开关电流，方法是测量低侧 FET 漏源极电压。此电压与开关电流成正比。在高侧 FET 开关的导通时间内，开关电流以线性速率增加，此速率

Copyright © 2025 Texas Instruments Incorporated

由输入电压、输出电压、导通时间和输出电感值决定。在低侧 FET 开关的导通阶段，此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT}。如果测得的低侧 FET 的漏源电压高于与电流限制成正比的电压，则低侧 FET 将保持导通状态，直到电流电平变为低于 OCL 电平，这会降低可用的输出电流。当电流受到限制时，输出电压往往会下降，因为负载需求高于转换器可以支持的水平。当输出电压降至低于目标电压的 68% 时，UVP 比较器会检测到该电压下降，并在等待 $1 \times t_{SS}$ 后关断器件。器件会在断续 $14 \times t_{SS}$ 后重新启动。在这种类型的谷值检测控制中，负载电流比 OCL 阈值高出一半的峰峰值电感器纹波电流。过流状况消除后，输出电压将恢复为调节值。如果在启动期间发生 OCL 情况，则器件会立即进入断续模式，而不会有 1 个软启动周期的等待时间。

6.3.9 瞬态响应增强

当器件从连续导通模式 (CCM) 下的重负载状态转换为不连续导通模式 (DCM) 下的轻负载状态时，PSM 抗尖峰脉冲功能会激活。在此转换过程中，系统会先进入强制连续导通模式 (FCCM) 并持续 16 个周期，之后才切换至 DCM。此功能旨在确保 DCM 工作期间负载瞬变时能实现快速恢复。

图 6-4 展示了负载释放过程中的 16 周期和 32 周期 FCCM 运行状态及动态 COMP 引脚定位。图 6-5 展示了使用动态 COMP 引脚钳位时的稳态自动跳跃模式运行状态。

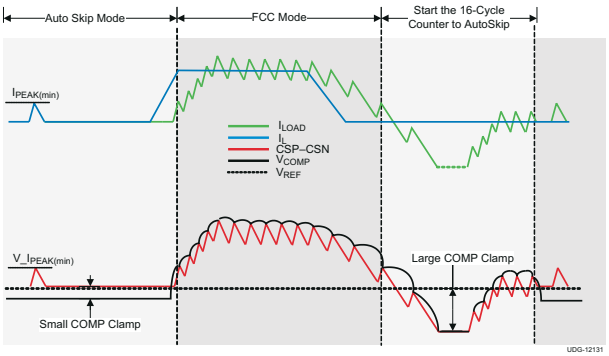


图 6-4. FCCM 瞬态响应

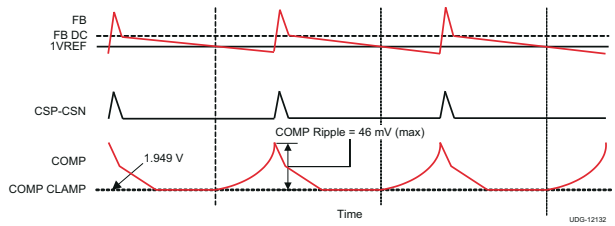


图 6-5. 自动跳跃模式瞬态响应

6.3.10 UVLO 保护

欠压锁定 (UVLO) 保护功能会监测内部 VREG5 稳压器电压。如果 VREG5 电压低于 UVLO 阈值电压，器件会关断。这是非闩锁保护。

6.3.11 热关断

此器件监测内部内核温度。如果此温度超过热关断阈值（T_{SDN}，通常为 160°C），器件将关断。此保护是非锁存保护。在启动期间，如果器件温度高于 160°C，则器件不会开始开关，也不会加载 MODE 设置。如果器件在启动后温度高于 T_{SDN} 阈值，则会停止开关并使 SS 复位接地，还会开启内部放电开关以快速对输出电压放电。当温度低于热关断阈值时，器件会重新开始开关，但不会再次重新加载 MODE 设置。

6.3.12 输出电压放电

该器件具有一个 500Ω 的放电开关，可在发生如输出过压、输出欠压、TSD 以及 VREG5 电压低于 UVLO 且 EN 引脚电压 (V_{EN}) 低于导通阈值等此类故障时，通过 SW 节点对输出 V_{OUT} 进行放电。

6.4 器件功能模式

6.4.1 轻负载运行

当选择 MODE 引脚在 FCCM 模式下运行时，转换器将在轻负载条件下以连续导通模式 (FCCM) 运行。在 FCCM 模式期间，开关频率 (F_{SW}) 在整个负载范围内维持在一个几乎恒定的水平，因此适用于需要严格控制开关频率和输出电压纹波的应用，但其代价是轻负载条件下效率较低。如果选择 MODE 引脚在 DCM/Eco-mode 下运行，则器件会在电感器纹波电流的谷值过零后进入脉冲跳跃模式。Eco-mode 可在轻负载条件下以较低的开关频率保持较高的效率。

Copyright © 2025 Texas Instruments Incorporated

6.4.2 待机运行

TPS56C215 可通过将 EN 引脚拉至低电平来进入待机模式。该器件在待机状态下的关断电流为 7 μA。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

图 7-1 的原理图展示了 TPS56C215 的典型应用。此设计可将 4.5V 至 17 V 的输入电压范围降压转换为 1.2 V，最大输出电流为 12A。

7.2 典型应用

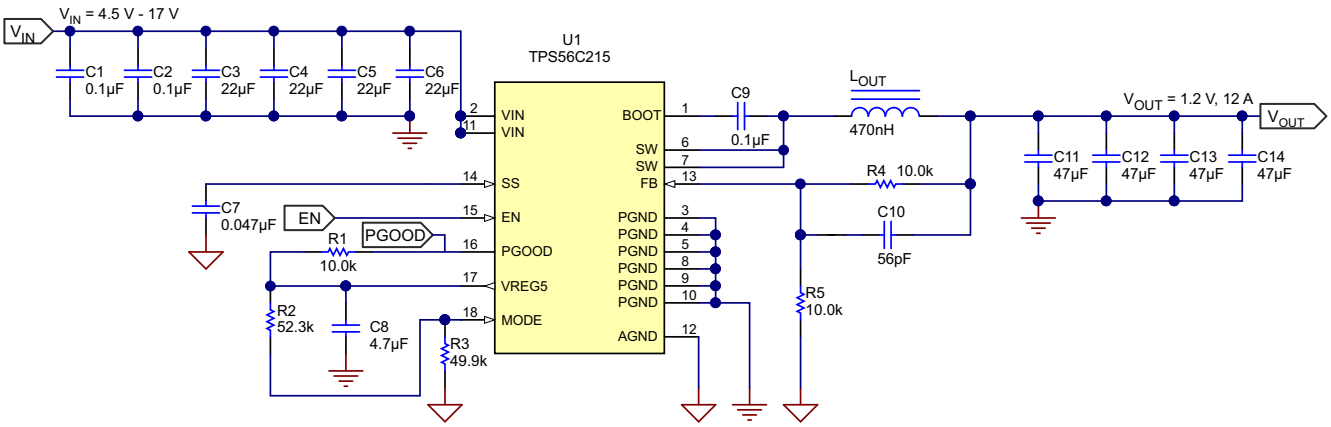


图 7-1. 应用原理图

7.2.1 设计要求

表 7-1. 设计参数

参数		条件	最小值	典型值	最大值	单位
V_{OUT}	输出电压			1.2		V
I_{OUT}	输出电流			12		A
ΔV_{OUT}	瞬态响应	9A 负载阶跃		40		mV
V_{IN}	输入电压		4.5	12	17	V
$V_{OUT(ripple)}$	输出电压纹波			20		$mV_{(P-P)}$
	启动输入电压	输入电压上升		内部 UVLO		V
	停止输入电压	输入电压下降		内部 UVLO		V
F_{SW}	开关频率			1.2		MHz
工作模式				DCM		
T_A	环境温度			25		°C

7.2.2 详细设计过程

7.2.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS56C215 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (VIN)、输出电压 (VOUT) 和输出电流 (IOUT) 要求。
2. 使用优化器表盘，优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

Copyright © 2025 Texas Instruments Incorporated

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

7.2.2.2 外部元件选型

7.2.2.2.1 输出电压设定点

要更改应用的输出电压，需更改上部反馈电阻的阻值。通过更改此电阻，用户可以将输出电压更改为高于 0.6V。请参阅方程式 6。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{UPPER}}{R_{LOWER}}\right) \tag{6}$$

7.2.2.2.2 开关频率和 MODE 选择

开关频率、电流限制和开关模式（DCM 或 FCCM）由连接到 MODE 引脚并位于 VREG5 至 GND 之间的分压器进行设置。请参阅表 6-3，了解可能的 MODE 引脚配置。开关频率的选择是在更高效率和更小系统设计尺寸之间进行权衡的结果。较低的开关频率可实现较高的总体效率，但外部元件相对较大。较高的开关频率会导致额外的开关损耗，从而影响效率和热性能。本设计选用 1.2 MHz 作为开关频率，开关模式为 DCM，输出电流为 12A。

7.2.2.2.3 电感器选型

电感纹波电流通过输出电容器进行滤波。较高的电感器纹波电流意味着输出电容器的纹波电流额定值必须高于电感器纹波电流。请参阅表 7-2，了解建议的电感器值。

通过电感器的 RMS 电流和峰值电流可使用方程式 7 和方程式 8 进行计算。确保电感器的额定值能够处理这些电流。

$$I_{L(rms)} = \sqrt{\left(I^2_{OUT} + \frac{1}{12} \times \left(\frac{V_{OUT} \times \left(V_{IN(max)} - V_{OUT}\right)}{V_{IN(max)} \times L_{OUT} \times F_{SW}}\right)^2\right)} \tag{7}$$

$$I_{L(peak)} = I_{OUT} + \frac{I_{OUT(ripple)}}{2} \tag{8}$$

在瞬态、短路条件下，电感器电流可能会增至器件的电流限值，因此，请选择饱和电流高于电流限制条件下的峰值电流的电感器。

7.2.2.2.4 输出电容器选型

选择电感器后，需要优化输出电容器。在 DCAP3 中，稳压器会在一个周期内对占空比的变化作出反应，因此无需大量输出电容即可实现良好的瞬态性能。表 7-2 给出了建议的输出电容范围

陶瓷电容器具有非常低的 ESR，否则电容器的最大 ESR 必须小于 $V_{OUT(ripple)}/I_{OUT(ripple)}$。

表 7-2. 建议的元件值

V_{OUT} (V)	R_{LOWER} (kΩ)	R_{UPPER} (kΩ)	F_{SW} (kHz)	L_{OUT} (µH)	$C_{OUT(min)}$ (µF)	$C_{OUT(max)}$ (µF)	C_{FF} (pF)
0.6	10	0	400	0.68	300	500	-
			800	0.47	100	500	-
			1200	0.33	88	500	-

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 建议的元件值（续）

V_{OUT} (V)	R_{LOWER} (kΩ)	R_{UPPER} (kΩ)	F_{SW} (kHz)	L_{OUT} (µH)	$C_{OUT(min)}$ (µF)	$C_{OUT(max)}$ (µF)	C_{FF} (pF)
1.2		10	400	1.2	100	500	–
			800	0.68	88	500	–
			1200	0.47	88	500	–
3.3		45.3	400	2.4	88	500	100 – 220
			800	1.5	88	500	100 – 220
			1200	1.2	88	500	100 – 220
5.5		82.5	400	3.3	88	500	100 – 220
			800	2.4	88	500	100 – 220
			1200	1.5	88	700	100 – 220

7.2.2.2.5 输入电容器选型

方程式 9 中给出了所需的最小输入电容。

$$C_{IN(min)} = \frac{I_{OUT} \times V_{OUT}}{V_{INripple} \times V_{IN} \times F_{SW}} \quad (9)$$

TI 建议在输入电压引脚上使用 40µF 的高质量 X5R 或 X7R 输入去耦电容器。输入电容器上的额定电压必须高于最高输入电压。电容器的纹波电流额定值也必须大于应用的最大输入电流纹波。输入纹波电流通过方程式 10 计算得出：

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN(min)}} \times \frac{(V_{IN(min)} - V_{OUT})}{V_{IN(min)}}} \quad (10)$$

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

图 7-2 至图 7-8 适用于图 7-1 的电路。V_{IN} = 12V，f_{SW} = 800kHz，T_a = 25°C（除非另有说明）。

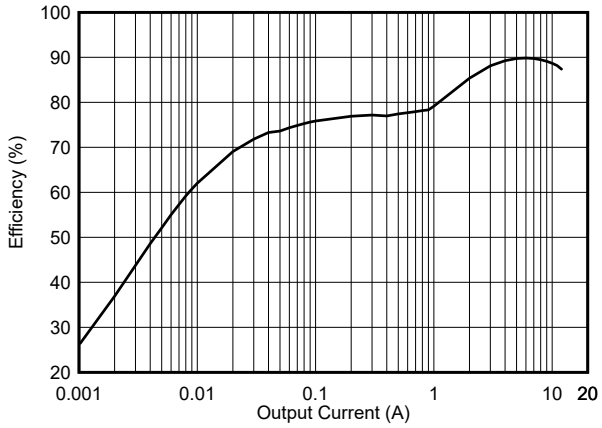


图 7-2. 效率

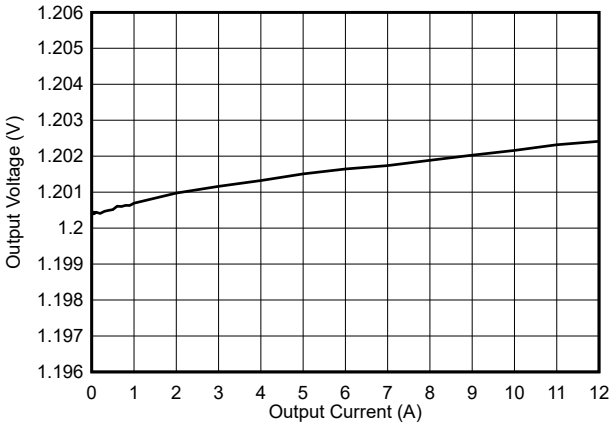


图 7-3. 负载调整率

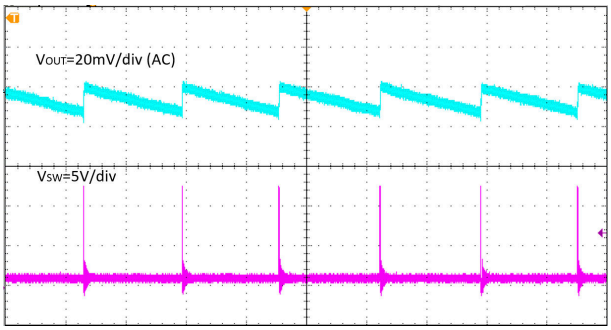


图 7-4. 输出电压纹波，I_{OUT} = 10mA，时间 = 80 µ S/div

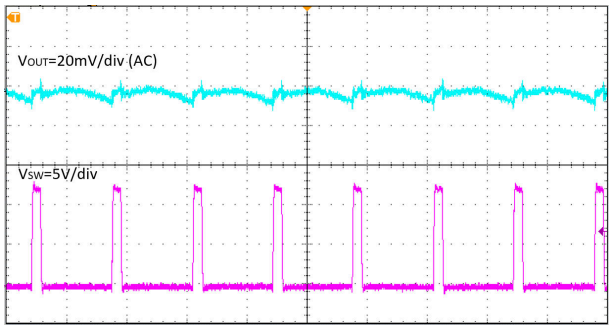


图 7-5. 输出电压纹波，I_{OUT} = 12A，时间 = 1 µ S/div

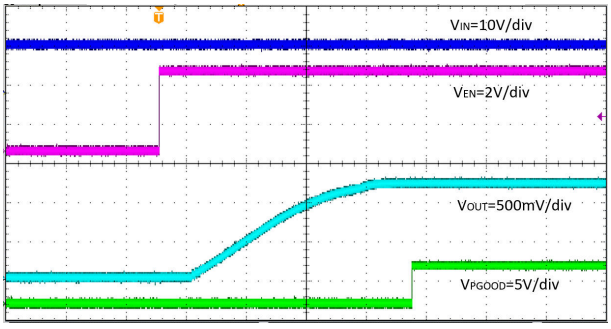


图 7-6. 相对于 EN 上升的启动，时间 = 2ms/div

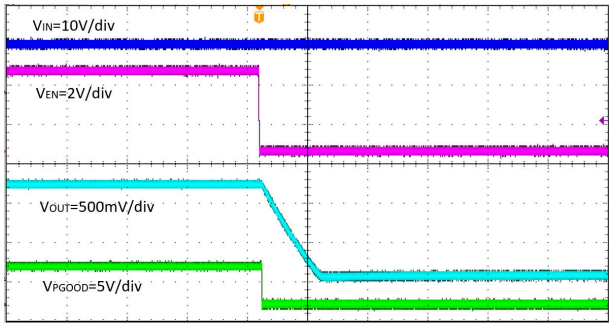


图 7-7. 相对于 EN 下降的关断，时间 = 200 µ S/div

Copyright © 2025 Texas Instruments Incorporated

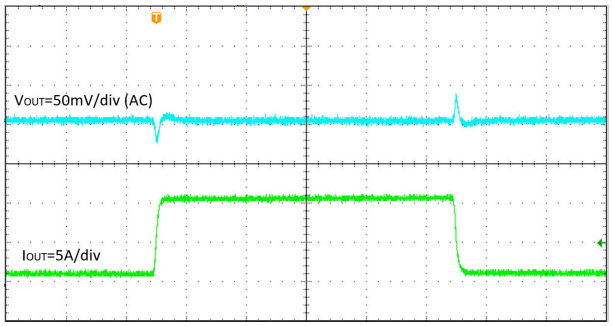


图 7-8. 瞬态响应，负载阶跃 = 3A – 9A – 3A，压摆率设置 = 2.5A/μS，时间 = 100 μS/div

7.3 电源相关建议

TPS56C215 旨在由经过良好调节的直流电压供电。输入电压范围为 3.8V 至 17V。TPS56C215 是降压转换器。输入电源电压必须大于所需的输出电压，才能确保正常运行。输入电源电流必须适合所需的输出电流。如果输入电压电源远离 TPS56C215 电路，建议使用一些额外的输入大容量电容。典型值为 100μF 至 470μF。

7.4 布局

7.4.1 布局指南

- 建议采用四层或六层 PCB 获得良好的热性能和更大的接地平面。例如，使用具有 2oz 覆铜的 3 英寸 × 3 英寸四层 PCB。
- 建议在 IC 的每一侧放置等值电容。应将这些电容尽可能靠近 VIN 引脚对称布置。
- 内层 1 通过 PGND 到 AGND 的网带接地
- 内层 2 有 VIN 覆铜经由其过孔通向顶层 VIN。*在器件下方放置多个过孔，过孔应靠近 VIN 和 PGND 以及输入电容*，以降低寄生电感并提高热性能
- 底层通过 BOOT 布线接地。
- 将基准反馈连接到静默的 AGND 并远离开关节点。
- 使 VIN 布线较宽，以降低布线阻抗。

7.4.2 布局示例

图 7-9 展示了建议的顶面布局。元件参考标号与图 7-1 中所示电路一致。EN 的电阻分压器未用于图 7-1 的电路中，但显示于布局中以供参考。

Copyright © 2025 Texas Instruments Incorporated

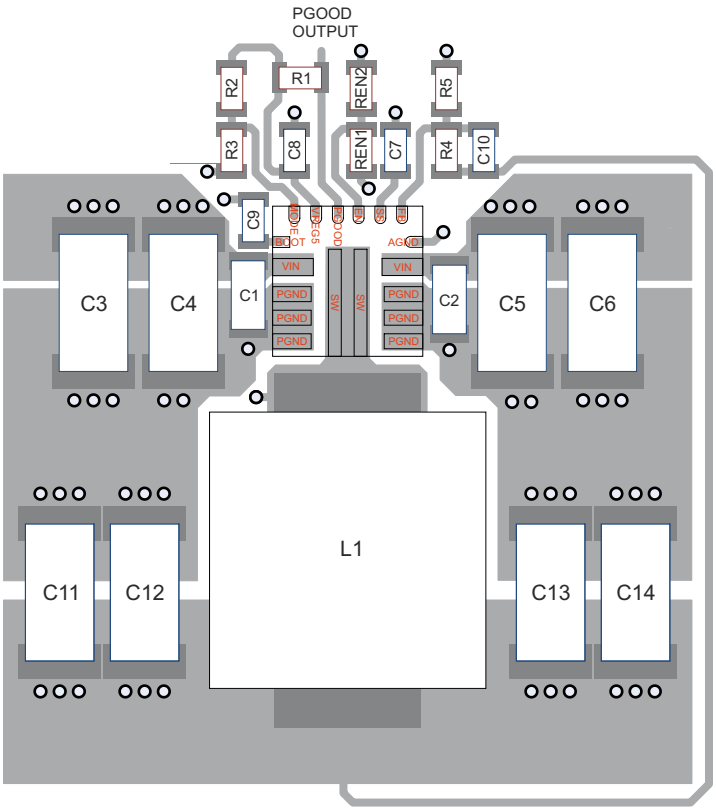


图 7-9. 顶层布局

Copyright © 2025 Texas Instruments Incorporated

图 7-10 展示了第一个内层的建议布局。该图包含一个大面积 PGND 平面和一个小型 ANGD 隔离区域。AGND 和 PGND 通过单点连接以减小循环电流。

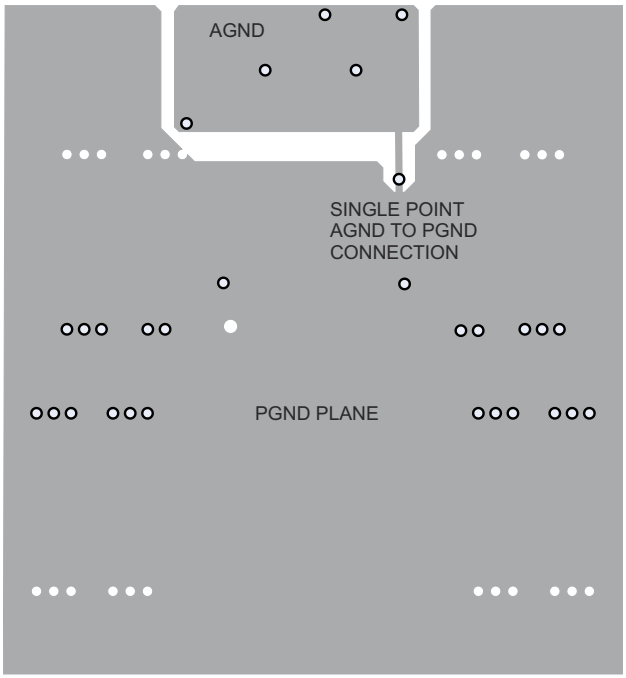


图 7-10. 中间层 1 布局

图 7-11 展示了第二个内层的建议布局。该图包含一个大面积 PGND 平面、一个用于连接顶面两个 V_{IN} 铜箔区的小型覆铜区，以及另一个 V_{OUT} 覆铜区。

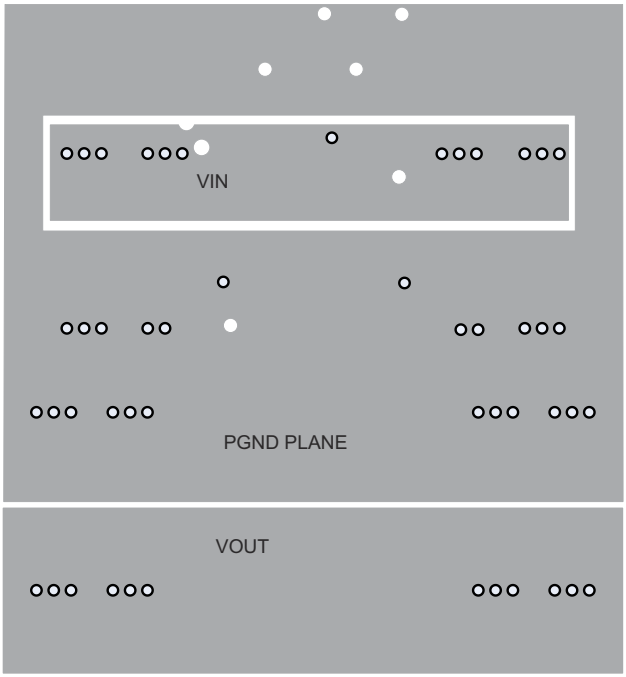


图 7-11. 中间层 2 布局

图 7-12 展示了底层的建议布局。该图包含一个大面积 PGND 平面和一条用于将启动电容器连接到 SW 节点的布线。

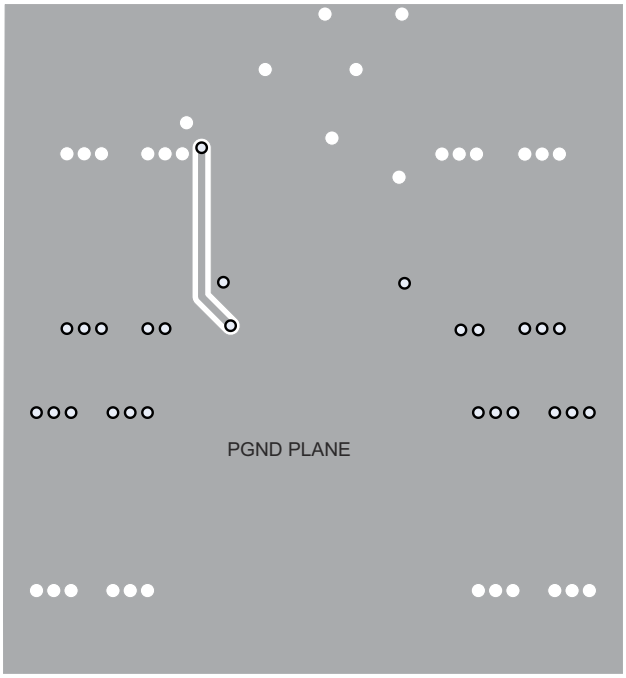


图 7-12. 底层布局

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.1.2 开发支持

用于系统验证的评估模块如图 8-1 所示。

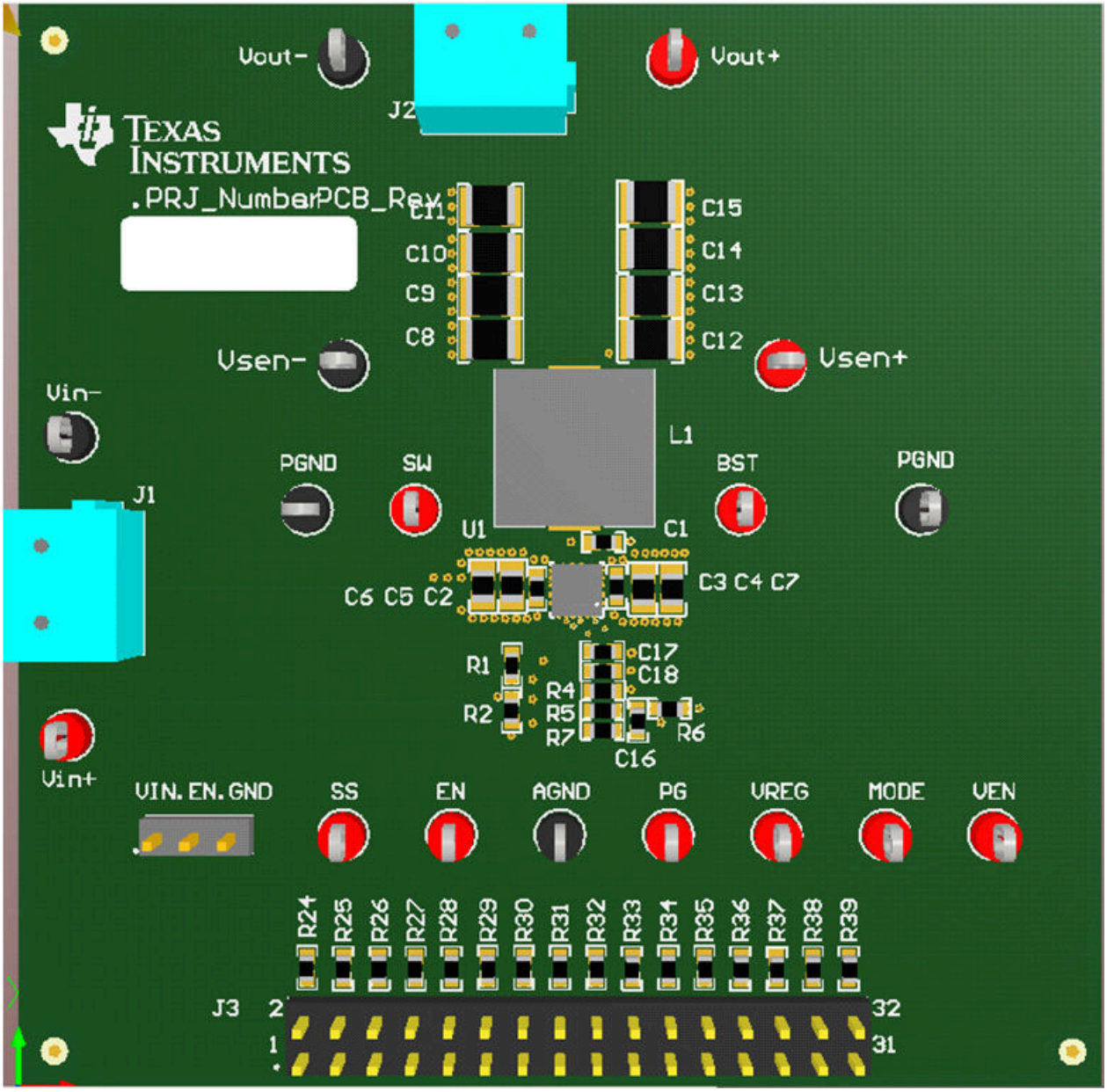


图 8-1. 系统验证 EVM 板

8.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS56C215 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (VIN)、输出电压 (VOUT) 和输出电流 (IOUT) 要求。
2. 使用优化器表盘，优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

SWIFT™, D-CAP3™, HotRod™, and TI E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (August 2024) to Revision H (June 2025) **Page**

- 将 MOSFET 值分别从 13.5mΩ 和 4.5mΩ 更改为 7.8mΩ 和 3.2mΩ 1
- 在*特性* 部分中添加了 WEBENCH 链接..... 1
- 更新了效率与输出电流之间的关系图以包含最新的器件数据..... 1
- 将 $R_{DS(on)H}$ 从 13.5mΩ 更新为 7.8mΩ、将 $R_{DS(on)L}$ 从 4.5mΩ 更新为 3.2mΩ，并将 t_{UVPEN} 断续时间从 7 个周期更新为 14 个周期..... 5
- 将 I_{IN} 典型值从 600µA 更改为 146µA，并删除了 I_{IN} 最大值..... 5
- 将 I_{VINSDN} 典型值从 7µA 更改为 9.3µA..... 5
- 将 $V_{PGOODTH}$ VFB 下降（正常）值从 107% 更改为 108%..... 5
- 将 V_{UVP} 值从 68% 更改为 70%..... 5
- 将 UVLO VREG5 上升电压值从 4.3V 更改为 4.25V..... 5
- 将 UVLO VREG5 下降电压值从 3.57V 更改为 3.52V..... 5
- 将 UVLO、VREG5 = 4.7V VIN 下降电压、VREG5 = 4.7V 值从 3.26V 更改为 3.24V..... 5
- 将 UVLO、VREG5 = 4.7V VIN 迟滞、VREG5 = 4.7V 值从 60mV 更改为 80mV..... 5
- 将 t_{ON} 的最小值从 54ns 更改为 60ns..... 6
- 将 t_{SS} 的值从 1.045ms 更改为 1.2ms..... 6
- 将图 5-9 更新为图 5-34 以包含最新的器件数据..... 7
- 删除了“高侧 RDS(on) 与温度间的关系”图和“低侧 RDS(on) 与温度间的关系”图..... 7
- 将 MOSFET 值分别从 13.5mΩ 和 4.5mΩ 更改为 7.8mΩ 和 3.2mΩ 13
- 将表 6-1 中“零点频率”的值分别从 7.1、14.3 和 21.4 更改为 17.8、27.1 和 29.8..... 14
- 将等待时间从 1ms 更改为 1 × t_{SS} 并将断续时间从 7ms 更改为 14 × t_{SS} 18
- 添加了*瞬态响应增强* 部分..... 19
- 添加了*使用 WEBENCH® 工具创建定制设计方案* 部分..... 21
- 更新了*应用曲线* 以包含最新的器件数据..... 24
- 添加了*使用 WEBENCH® 工具创建定制设计方案* 部分..... 30

Changes from Revision F (August 2023) to Revision G (August 2024) **Page**

- 将更新后的产品系列的说明从“TI 超小型”更改为“小尺寸”..... 1
- 删除了 $T_{SDN\ VREG5}$ 规格..... 5
- 为 SW 导通时间参数添加了“根据设计确定”注释..... 6
- 删除了“超限运行”部分..... 14
- 更新了热关断部分..... 19

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 封装标识

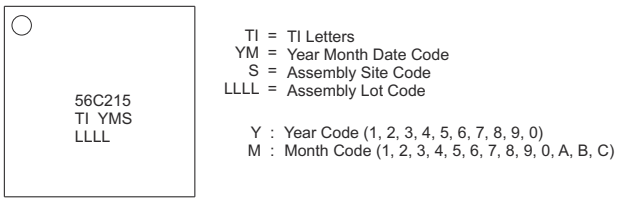


图 10-1. 符号

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS56C215RNNR	Active	Production	VQFN-HR (RNN) | 18	3000 | LARGE T&R	Yes	Call TI | Sn	Level-2-260C-1 YEAR	-40 to 125	56C215
TPS56C215RNNR.A	Active	Production	VQFN-HR (RNN) | 18	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	56C215
TPS56C215RNNT	Active	Production	VQFN-HR (RNN) | 18	250 | SMALL T&R	Yes	Call TI | Sn	Level-2-260C-1 YEAR	-40 to 125	56C215
TPS56C215RNNT.A	Active	Production	VQFN-HR (RNN) | 18	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	56C215

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

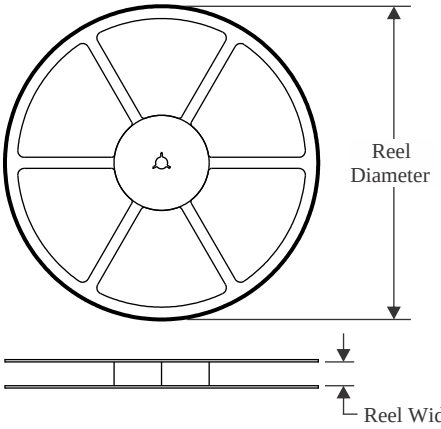
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

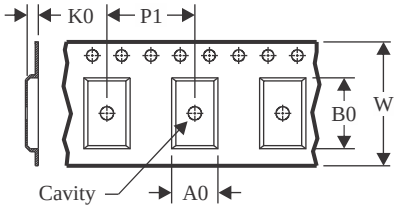
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

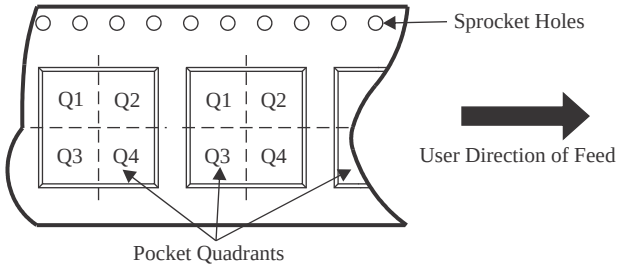


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

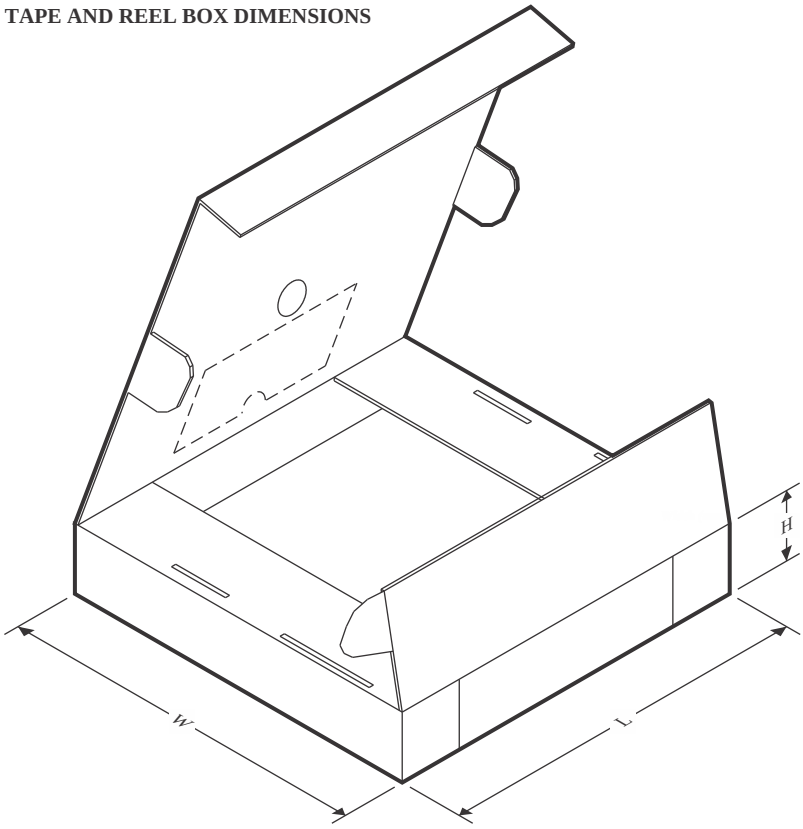
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS56C215RNNR	VQFN-HR	RNN	18	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TPS56C215RNNR	VQFN-HR	RNN	18	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TPS56C215RNNT	VQFN-HR	RNN	18	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TPS56C215RNNT	VQFN-HR	RNN	18	250	180.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

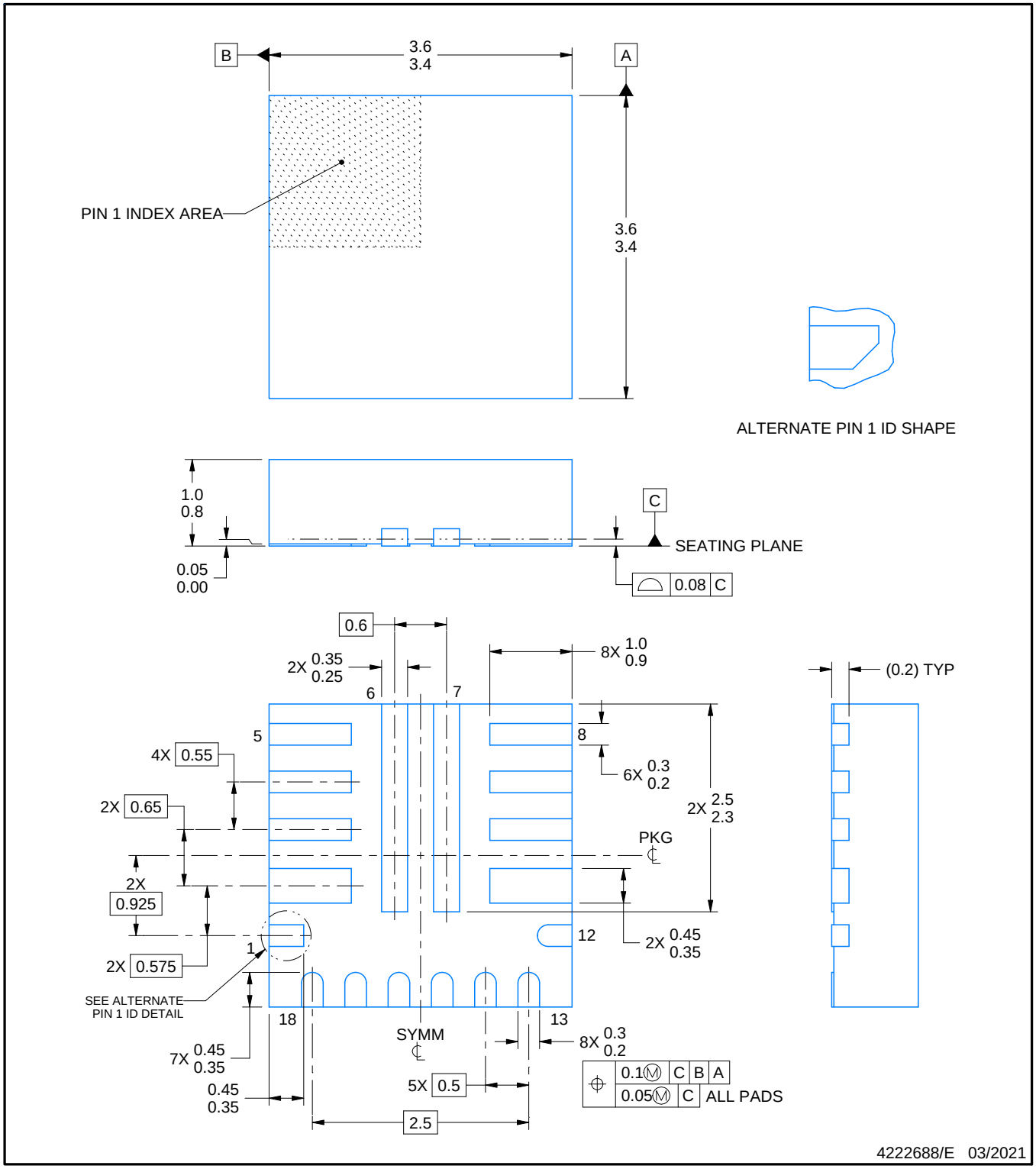
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS56C215RNNR	VQFN-HR	RNN	18	3000	360.0	360.0	36.0
TPS56C215RNNR	VQFN-HR	RNN	18	3000	346.0	346.0	80.0
TPS56C215RNNT	VQFN-HR	RNN	18	250	213.0	191.0	35.0
TPS56C215RNNT	VQFN-HR	RNN	18	250	210.0	185.0	35.0

PACKAGE OUTLINE

RNN0018A

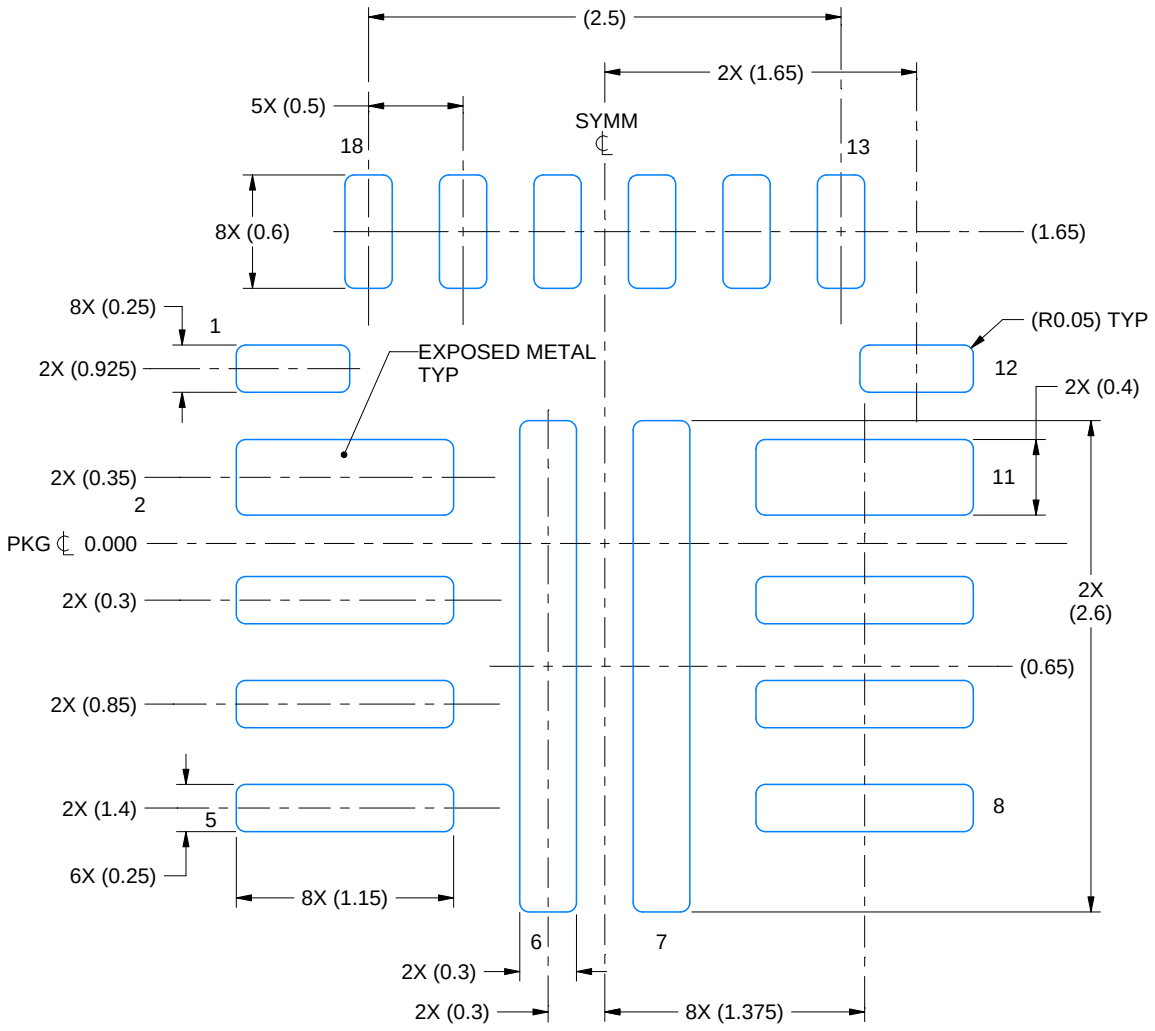
VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

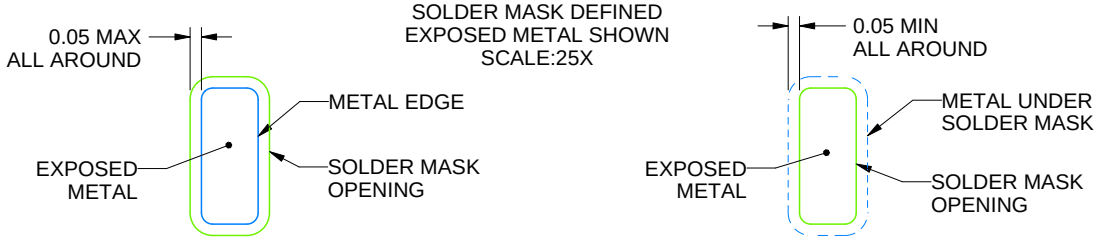


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
EXPOSED METAL SHOWN
SCALE:25X



NON SOLDER MASK DEFINED (PREFERRED)

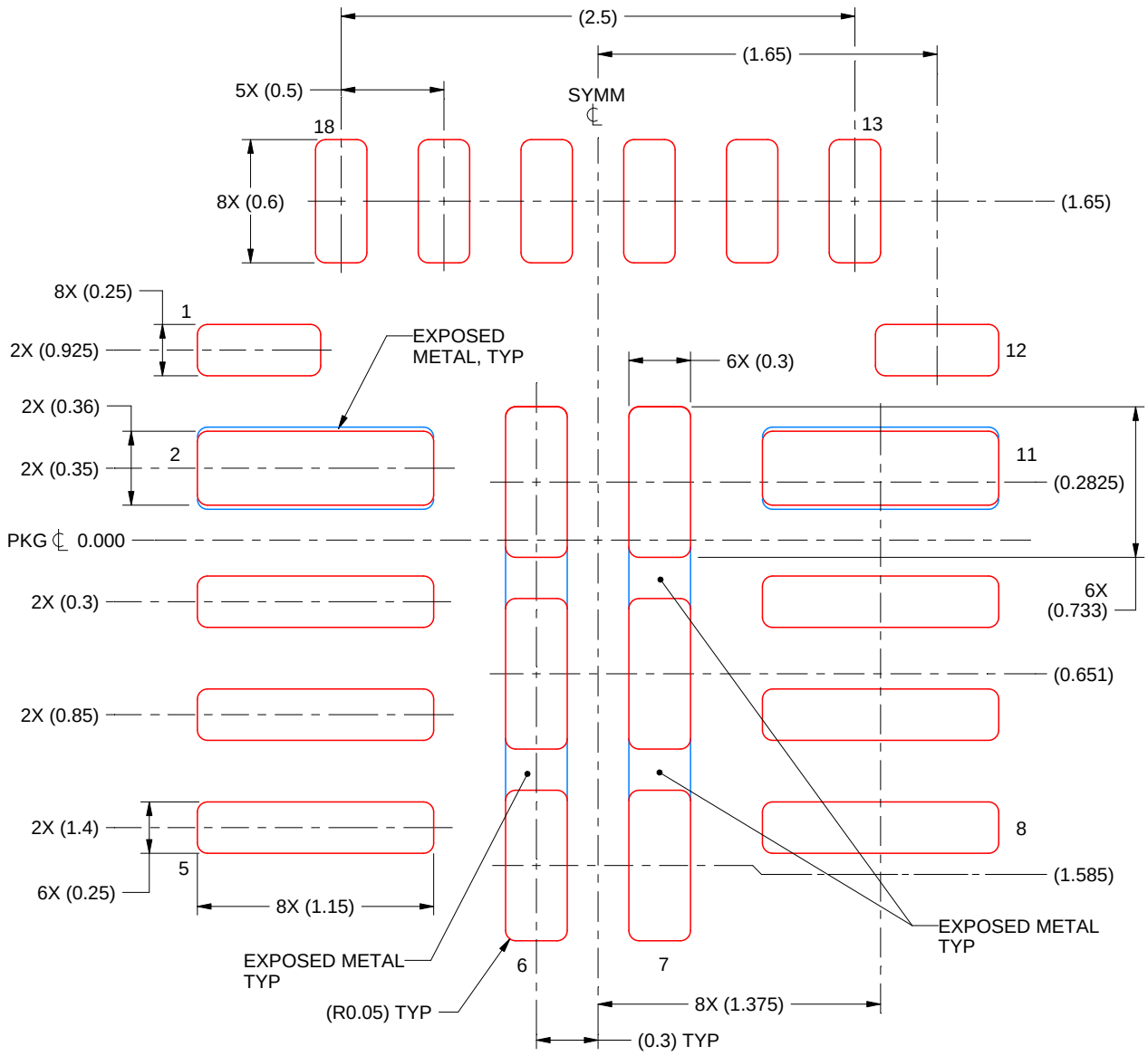
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4222688/E 03/2021

NOTES: (continued)

3. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 6 & 7: 83% - PADS 2 & 11: 90%
SCALE:30X

4222688/E 03/2021

NOTES: (continued)

5. For alternate stencil design recommendations, see IPC-7525 or board assembly site preference.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月