# TPS723 200mA 低噪声、高 PSRR、负输出、低压降线性稳压器

## 1 特性

- 输入电压范围：–2.7V 至 –10V（绝对最大值为 –11V）
- 提供 –2.5V（固定）和 –1.186V 至 –10V（可调）版本
- $V_{OUT}$ 精度（在整个线路、负载和温度范围内）：
  - ±1.6%（新芯片）
  - ±3.0%（旧芯片）
- 输出电流：高达 200mA
- 超低噪声：采用 10nF NR 电容器时为 60μ$V_{RMS}$（典型值）
- 低 $I_Q$（新芯片）：$I_{LOAD}$ = 0mA 时为 30μA
- 高 PSRR：1kHz 时为 65dB（典型值），100kHz 时为 40dB（典型值）
- 低压降：
  - 200mA、–2.5V 时为 140mV（典型值）（新芯片）
  - 200mA、–2.5V 时为 280mV（典型值）（旧芯片）
- 与 2.2μF 的陶瓷输出电容器搭配使用时可保持稳定
- 关断模式下静态电流小于 2μA（最大值）
- 热和过流保护
- 工作结温：-40°C 至 +125°C
- 封装：
  - 新芯片：
    - 5 引脚 SOT-23 (DBV) [$R_{\theta JA}$：153.7°C/W]
  - 旧芯片：
    - 5 引脚 SOT-23 (DBV) [$R_{\theta JA}$：206.9°C/W]
    - 5 引脚 SOT-23-THIN (DDC) [$R_{\theta JA}$：194.8°C/W]
    - 6 引脚 WSON (DRV) [$R_{\theta JA}$：85.6°C/W]

## 2 应用

- 光学模块
- 半导体制造
- 医疗配件
- 示波器
- 有源天线系统 mMIMO (AAS)

## 3 说明

TPS723 低压降 (LDO) 负电压稳压器提供了理想的功能组合，支持低噪声模拟和混合信号应用。TPS723 支持 –10V 至 –2.7V 的输入电压，以及 –10V 至 –1.186V 的输出（在可调配置中）。该稳压器使用小型低成本陶瓷电容器（最高 2.2μF）即可稳定运行，并具有使能 (EN) 和降噪 (NR) 功能。

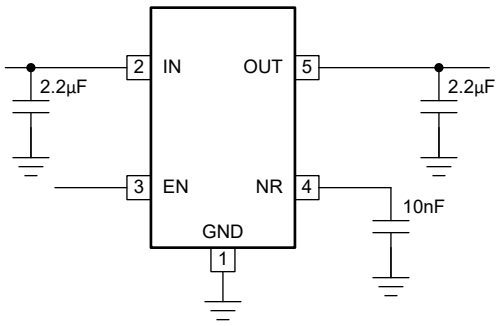
TPS723 在整个线路、负载和温度范围内支持 ±1.6% 的非常严格的直流精度（新芯片）。该器件可快速响应线路和负载瞬态。TPS723 在 200mA 负载电流下支持 140mV 的低压降（典型值，新芯片）。该器件内置过流和过热保护机制，可确保 LDO 可靠运行。

TPS723 支持输出端低噪声（使用 10nF NR 电容器时为 60μ$V_{RMS}$），采用小型 5 引脚 SOT-23 封装，其性能完全满足 –40°C 至 +125°C 温度范围的要求。

**封装信息**

| 器件型号 | 封装(1) (2) | 封装尺寸(3) |
|---|---|---|
| TPS723 | DBV（SOT-23，5） | 2.9mm × 2.8mm |
| | DDC（SOT-23-THIN，5） | 2.9mm × 2.8mm |
| | DRV（WSON，6） | 2mm × 2mm |

(1) 有关更多信息，请参阅 节 10。
(2) 两种 SOT-23 封装尺寸相同，但 SOT-23-THIN 封装更薄。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。




典型应用电路

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性** ..... 1
**2 应用** ..... 1
**3 说明** ..... 1
**4 引脚配置和功能** ..... 3
**5 规格** ..... 4
5.1 绝对最大额定值 ..... 4
5.2 ESD 等级 ..... 4
5.3 建议运行条件 ..... 4
5.4 热性能信息 ..... 5
5.5 电气特性 ..... 5
5.6 典型特性 ..... 7
**6 详细说明** ..... 21
6.1 概述 ..... 21
6.2 功能方框图 ..... 21
6.3 特性说明 ..... 23
6.4 器件功能模式 ..... 24
**7 应用和实施** ..... 26
7.1 应用信息 ..... 26
7.2 典型应用 ..... 28
7.3 最佳设计实践 ..... 31
7.4 电源相关建议 ..... 31
7.5 布局 ..... 31
**8 器件和文档支持** ..... 32
8.1 器件支持 ..... 32
8.2 接收文档更新通知 ..... 32
8.3 支持资源 ..... 32
8.4 商标 ..... 32
8.5 静电放电警告 ..... 32
8.6 术语表 ..... 32
**9 修订历史记录** ..... 33
**10 机械、封装和可订购信息** ..... 33


Copyright © 2026 Texas Instruments Incorporated

# 4 引脚配置和功能

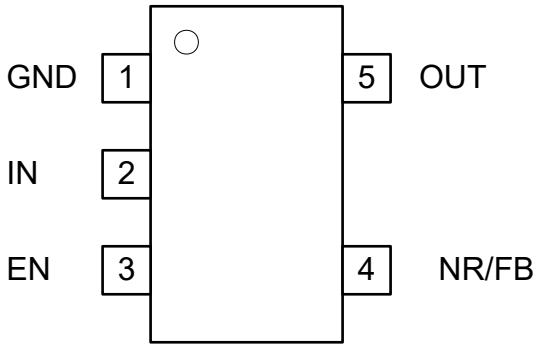



图 4-1. DBV 封装， 5 引脚 SOT-23 （顶视图）

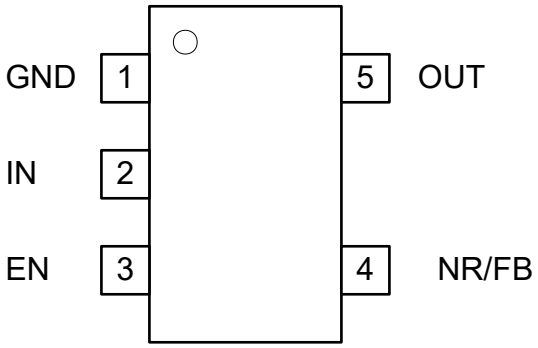



图 4-2. DDC 封装、 5 引脚 SOT-23-THIN （顶视图）

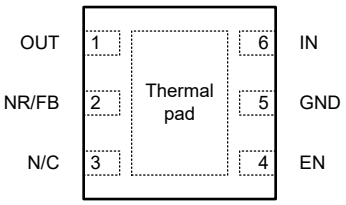



图 4-3. DRV 封装， 6 引脚 WSON （顶视图）

表 4-1. 引脚功能

| 引脚 | | | I/O | 说明 |
|---|---|---|---|---|
| 名称 | 编号 | | | |
| | DBV、DDC | DRV | | |
| GND | 1 | 5 | — | 接地引脚。 |
| IN | 2 | 6 | I | 输入电源引脚。有关更多信息，请参阅节 5.3 表和节 7.1.3 部分。 |
| EN | 3 | 4 | I | 双极使能引脚。将此引脚驱动至高于正使能阈值或低于负使能阈值，就会打开稳压器。将此引脚驱动至低于正禁用阈值和高于负禁用阈值，就会使稳压器进入关断模式。节 5.5 表中列出了高阈值和低阈值。此引脚具有弱内部下拉电阻，保持悬空即可启用。有关更多详细信息，请参阅节 6.3.2 (EN) 部分。 |
| NR | 4 | 2 | — | 仅限固定电压版本。将一个外部电容器连接在该引脚与接地之间，可以旁路由内部带隙生成的噪声。此配置可以将输出噪声降低至极低水平。通过在启动期间引入 RC 延迟，NR 引脚上的电容器还有助于控制浪涌电流。有关更多详细信息，请参阅节 6.3.7。 |
| FB | 4 | 2 | I | 使用可调节器件时，该引脚会借助反馈分压器来设置输出电压。此功能仅在可调配置中可用，必须通过电阻分压器将此引脚连接到输出端，该器件才能正常工作。 |
| OUT | 5 | 1 | O | 稳压器的输出。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为了获得出色的瞬态响应，请在 OUT 与接地端之间使用标称推荐值或更大的陶瓷电容器，如节 5.3 表和节 7.1.3 部分所示。将此输出电容器尽可能靠近器件输出端放置。 |
| N/C | — | 3 | — | 无内部连接。保持该引脚断开或连接到任何电位。将该引脚接地以提高热性能。 |

Copyright © 2026 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| 电压 | IN | 输入电源电压范围 | -11 | 0.3 | V |
| | EN | 使能电压范围 | – $V_{IN}$ | 5.5 | |
| | OUT | 输出电压范围 | -11 | 0.3 | |
| | NR | NR 电压范围（旧芯片） | -11 | 5.5 | |
| | | NR 电压范围（新芯片） | -6 | 0.3 | |
| 电流 | | OUT | 受内部限制 | | A |
| 输出短路持续时间 | | | 未确定 | | |
| 持续总功率耗散 | | | 请参阅热性能信息表 | | |
| $T_J$ | | 工作结温 | -65 | 150 | °C |
| $T_{stg}$ | | 贮存温度 | -65 | 150 | °C |

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

## 5.2 ESD 等级

| | | | VALUE（新芯片） | VALUE（旧芯片） | 单位 |
|---|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1) | ±2000 | ±1000 | V |
| | | 充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2) | ±750 | ±500 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

## 5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{IN}$ | 输入电源电压范围 | -10 | | -2.7 | V |
| $V_{OUT}$ | 输出电压范围 | -10 | | -1.186 | |
| $V_{EN}$ | 使能电压范围 | -10 | | 5.0 | |
| $I_{OUT}$ | 输出电流 | 0 | | 200 | mA |
| $C_{IN}$ (1) | 输入电容器（旧芯片） | 0.1 | | 2.2 | μF |
| | 输入电容器（新芯片） | | 0.47 | | |
| $C_{OUT}$ (2) | 输出电容器 | 2.2 | | 100 | |
| $C_{NR}$ | NR 电容器 | | 0.01 | | |
| $C_{FF}$ (3) | 前馈电容器（适用于可调节，仅限新芯片） | | 0.01 | | |
| $C_{OUT}$ ESR | 输出电容器 ESR（新芯片） | | | 0.5 | Ω |
| $T_J$ | 工作结温 | -40 | | 125 | °C |

(1) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.1 μF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬态的情况下。
(2) 列出的所有电容值均为标称值，假设有效电容降额至标称电容值的 50%。


Copyright © 2026 Texas Instruments Incorporated

(3) $C_{FF}$ 电容器可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。可以使用更高的电容 CFF，但启动时间会增加。

## 5.4 热性能信息

| 热指标(1) | | TPS723 | | | | 单位 |
|---|---|---|---|---|---|---|
| | | DBV (SOT23)【旧芯片】 | DBV (SOT23)【新芯片】 | DDC (SOT23 – THIN)【旧芯片】 | DRV (WSON)【旧芯片】 | |
| | | 5 引脚 | 5 引脚 | 5 引脚 | 6 引脚 | |
| $R_{\theta JA}$ | 结至环境热阻 | 206.9 | 153.7 | 194.8 | 85.6 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 120.5 | 73.4 | 41.4 | 83.7 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 35.9 | 34.8 | 35.9 | 47.3 | °C/W |
| $\Psi_{JT}$ | 结至顶部特征参数 | 13.3 | 7.6 | 1.0 | 3.7 | °C/W |
| $\Psi_{JB}$ | 结至电路板特征参数 | 35.0 | 34.5 | 35.7 | 47.3 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 不适用 | 不适用 | 不适用 | 31.6 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

## 5.5 电气特性

在工作结温范围（$T_J$ = –40°C 至 +125°C）中，$V_{IN}$ = –2.7V 或 $V_{IN} = V_{OUT(nom)}$ – 0.5V（以较低者为准），$I_{OUT}$ = 1mA，$V_{EN}$ = +1.5V，$C_{OUT}$ = 1 μF，以及 $C_{NR}$ = 0.01 μF，除非另有说明。典型值为 $T_J$ = 25°C 条件下的值。

| 参数 | | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| $V_I$ | 输入电压范围 | | | -10 | | -2.7 | V |
| $V_{FB}$ | 反馈基准电压 (TPS72301) | 旧芯片 | $T_J$ = 25°C | -1.210 | -1.186 | -1.162 | V |
| | 反馈基准电压 (TPS72301) | 新芯片 | | -1.1883 | -1.186 | -1.1836 | |
| $V_O$ | 输出电压范围 (TPS72301) | | | –10 + $V_{DO}$ | | $V_{FB}$ | V |
| $V_O$ | 标称值 | 旧芯片 (TPS723) | $T_J$ = 25°C | -1 | | 1 | % |
| | 精度（固定输出） | | –10V ≤ $V_I$ ≤ $V_O$ – 0.5V，10 μA ≤ $I_O$ ≤ 200mA | -2 | ±1 | 2 | |
| | 精度（可调节输出） | | | -3 | ±1 | 3 | |
| | 精度（固定和可调节） | 新芯片 (TPS723) | –10V ≤ $V_I$ ≤ $V_O$ – 0.5V，10 μA ≤ $I_O$ ≤ 200mA | -1.6 | ±0.04 | 1.6 | |
| $\Delta V_O(\Delta V_I)$ | 线路调整 | 旧芯片 | –10V ≤ $V_I$ ≤ $V_{O(nom)}$ – 0.5V | | 0.04 | | %/V |
| | | 新芯片 | | | -0.003 | | |
| $\Delta V_O(\Delta I_O)$ | 负载调整 | 旧芯片 | 0mA ≤ $I_O$ ≤ 200mA | | 0.002 | | %/mA |
| | | 新芯片 | | | 0.0001 | | |
| $V_{DO}$ | 压降电压 | 旧芯片 | $I_O$ = 200mA，$V_O$ = 0.96 × $V_{O(NOM)}$ | | 280 | 500 | mV |
| | | 新芯片 | | | 140 | 245 | |
| $V_{UVLO+}$ | 上升输入电源 UVLO | 新芯片 | | -2.4 | -2.1 | | V |
| $V_{UVLO-}$ | 下降输入电源 UVLO | 新芯片 | | | -1.9 | -1.4 | V |
| $I_{LIM}$ | 输出电流限制 | 旧芯片 | $V_O$ = 0.85 × $V_{O(NOM)}$ | 300 | 550 | 800 | mA |
| | | 新芯片 | $V_O$ = 0.85 × $V_{O(NOM)}$ | 300 | 385 | 485 | |

Copyright © 2026 Texas Instruments Incorporated

## 5.5 电气特性（续）

在工作结温范围（$T_J$ = –40°C 至 +125°C）中，$V_{IN}$ = –2.7V 或 $V_{IN}$ = $V_{OUT(nom)}$ – 0.5V（以较低者为准），$I_{OUT}$ = 1mA，$V_{EN}$ = +1.5V，$C_{OUT}$ = 1 μF，以及 $C_{NR}$ = 0.01 μF，除非另有说明。典型值为 $T_J$ = 25°C 条件下的值。

| 参数 | | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| $I_{GND}$ | 接地引脚电流 | 旧芯片 | $I_O$ = 0mA ($I_Q$)，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 130 | 200 | μA |
| | | | $I_O$ = 200mA，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 350 | 500 | |
| | | 新芯片 | $I_O$ = 0mA ($I_Q$)，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 30.0 | 55 | |
| | | | $I_O$ = 200mA，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 290 | 450 | |
| $I_{SHDN}$ | 关断接地引脚电流 | 旧芯片 | –0.4V ≤ $V_{EN}$ ≤ 0.4V，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 0.1 | 2.0 | μA |
| | | 新芯片 | –0.4V ≤ $V_{EN}$ ≤ 0.4V，–10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 0.7 | 2.0 | |
| $I_{FB}$ | 反馈引脚电流 | 旧芯片 | –10V ≤ $V_I$ ≤ $V_O$ – 0.5V | | 0.05 | 1.0 | μA |
| | | 新芯片 | | | 0.001 | 0.1 | |
| $I_{EN}$ | EN 引脚电流 | 旧芯片 | –10V ≤ $V_I$ ≤ $V_O$ – 0.5V，–10V ≤ $V_{EN}$ ≤ ±3.5V | | 0.1 | 2.0 | |
| | | 新芯片 | | | 0.6 | 2.0 | |
| $V_{EN(HI)}$ | 使能阈值（正） | 旧芯片 | | 1.5 | | | V |
| $V_{EN(LO)}$ | 使能阈值（负） | | | | | – 1.5 | V |
| $V_{DIS(HI)}$ | 禁用阈值（正） | | | | | 0.4 | V |
| $V_{DIS(LO)}$ | 禁用阈值（负） | | | – 0.4 | | | V |
| $V_{EN(HI)}$ | 使能阈值（正） | 新芯片 | | 1.5 | | | V |
| $V_{EN(LO)}$ | 使能阈值（负） | | | | | – 1.5 | V |
| $V_{DIS(HI)}$ | 禁用阈值（正） | | | | | 0.4 | V |
| $V_{DIS(LO)}$ | 禁用阈值（负） | | | – 0.4 | | | V |
| $T_{sd+}$ | 热关断温度 | 旧芯片 | 关断，温度升高 | | 165 | | °C |
| $T_{sd-}$ | | | 复位，温度降低 | | 145 | | °C |
| $T_{sd+}$ | | 新芯片 | 关断，温度升高 | | 175 | | °C |
| $T_{sd-}$ | | | 复位，温度降低 | | 155 | | °C |
| PSRR | 电源纹波抑制 | | $I_O$ = 200mA，1kHz，$C_I$ = $C_O$ = 10 μF | | 65 | | dB |
| | | | $I_O$ = 200mA，10kHz，$C_I$ = $C_O$ = 10 μF | | 48 | | |
| $V_n$ | 输出噪声电压 | | 带宽 = 10Hz 至 100kHz，$V_O$ = 2.5V，$I_O$ = 200mA，$C_{NR/SS}$ = 0.01μF，$C_O$ = 1μF | | 60 | | $\mu_{VRMS}$ |
| $t_{STR}$ | 启动时间 | 旧芯片 | $V_O$ = –2.5V，$C_O$ = 1 μF，$R_L$ = 25Ω | | 1 | | ms |
| $t_{STR}$ | 启动时间 | 新芯片 | $V_O$ = –2.5V，$C_O$ = 1 μF，$R_L$ = 25Ω | | 8 | | ms |


Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µ F 且 $C_{NR}$ = 0.01 µ F（除非另有说明）

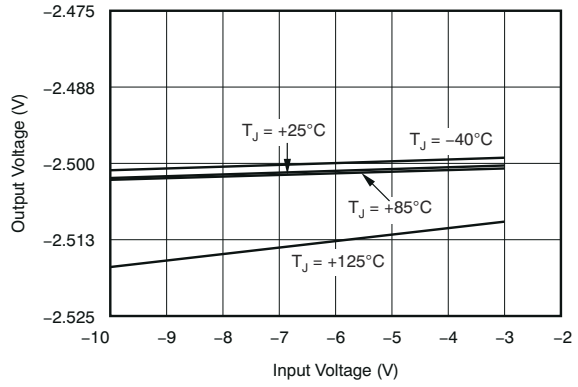



图 5-1. 输出电压与输入电压间的关系（旧芯片）

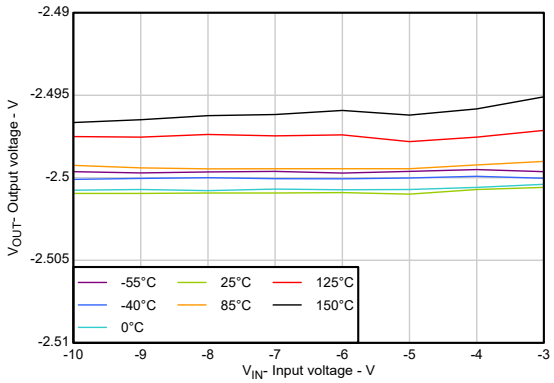



图 5-2. 输出电压与输入电压间的关系（新芯片）

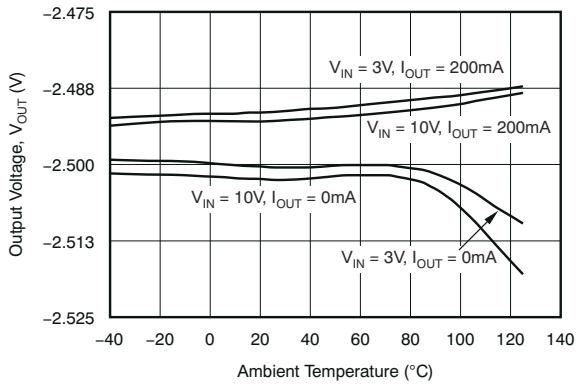



图 5-3. 输出电压与环境温度间的关系（旧芯片）

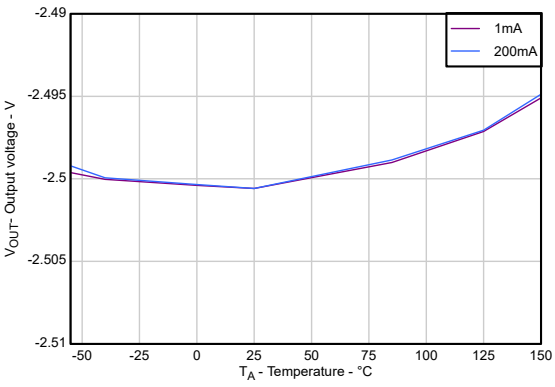



图 5-4. 输出电压与环境温度间的关系（新芯片）

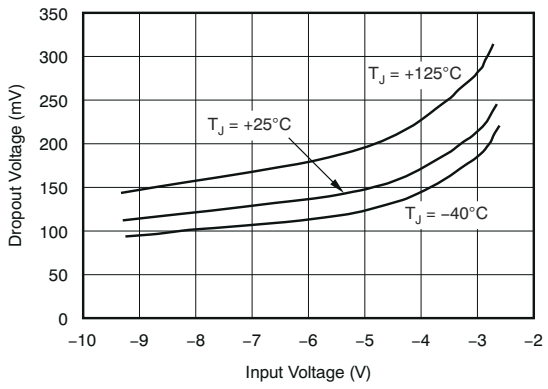



图 5-5. TPS72301 压降电压与输入电压间的关系（旧芯片）

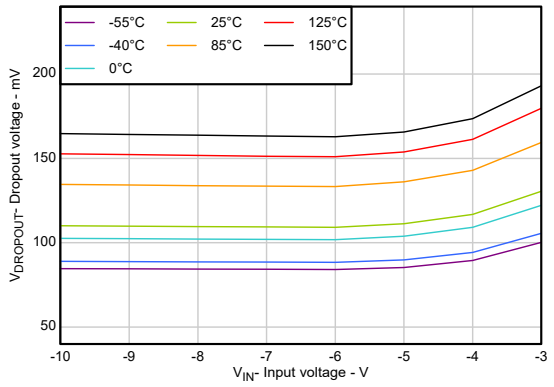



图 5-6. TPS72301 压降电压与输入电压间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN} = V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μF 且 $C_{NR}$ = 0.01 μF（除非另有说明）

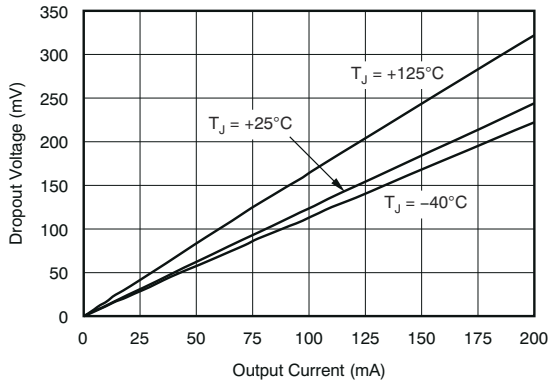



图 5-7. 压降电压与输出电流间的关系（旧芯片）

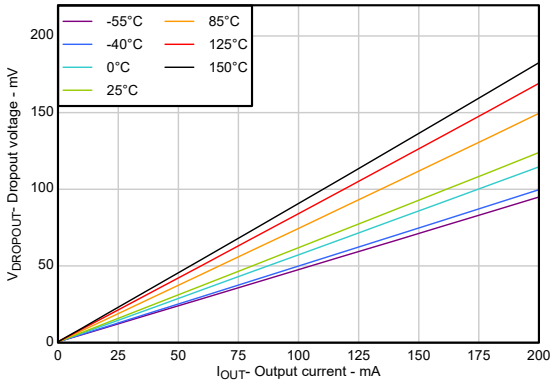



图 5-8. 压降电压与输出电流间的关系（新芯片）

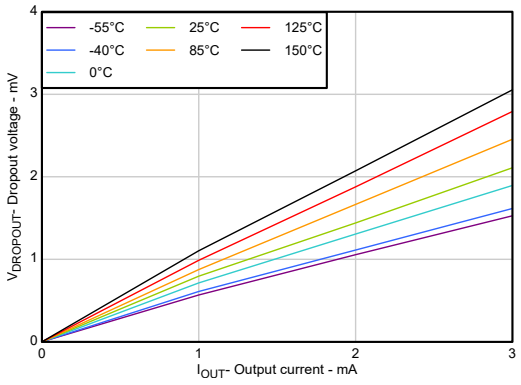



图 5-9. 压降电压与压降电流间的关系（轻负载，新芯片）

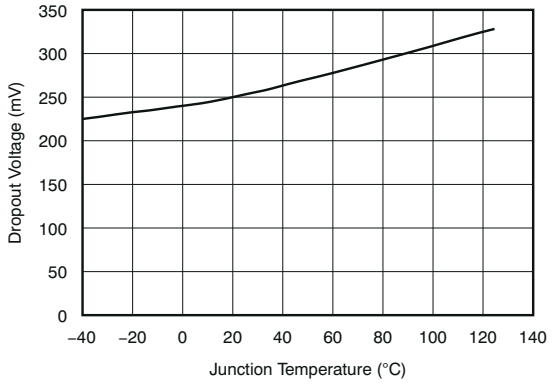



图 5-10. TPS72325 压降电压与结温间的关系（旧芯片）

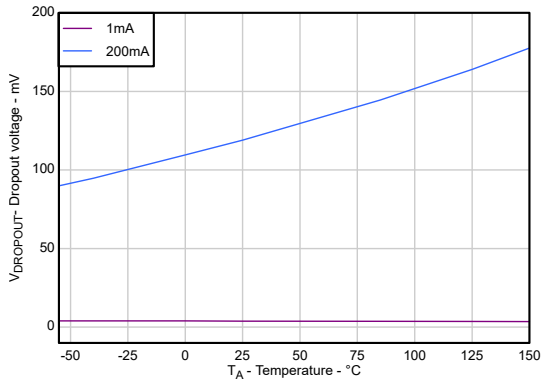



图 5-11. TPS72325 压降电压与结温间的关系（新芯片）

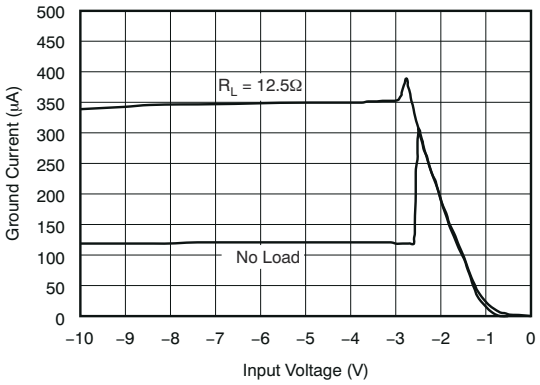



图 5-12. 接地电流与输入电压间的关系（旧芯片）


Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μF 且 $C_{NR}$ = 0.01 μF（除非另有说明）

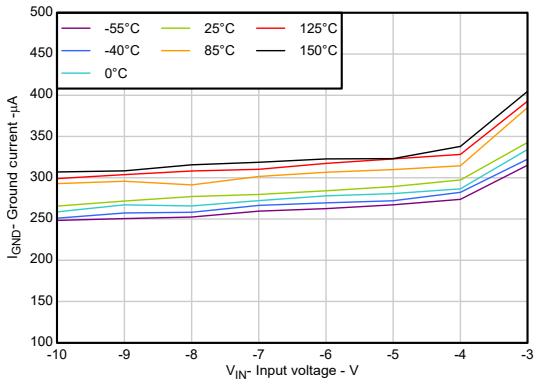



图 5-13. 接地电流与输入电压间的关系（新芯片）

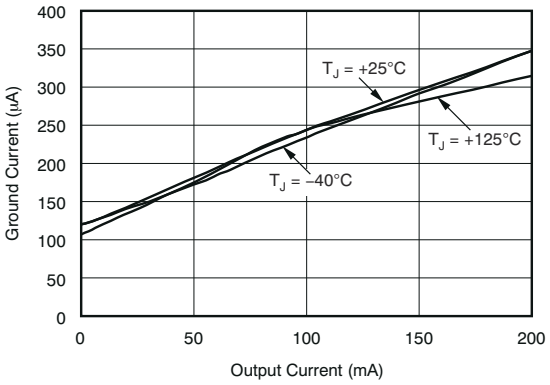



图 5-14. 接地电流与输出电流间的关系（旧芯片）

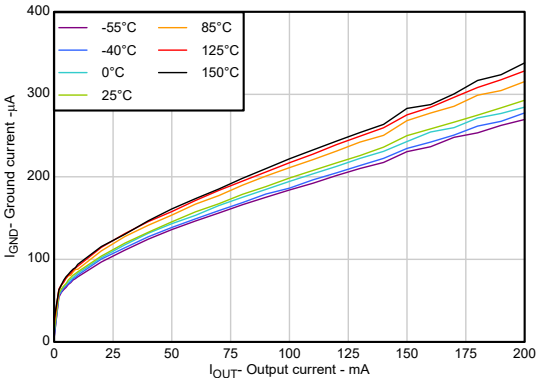



图 5-15. 接地电流与输出电流间的关系（新芯片）

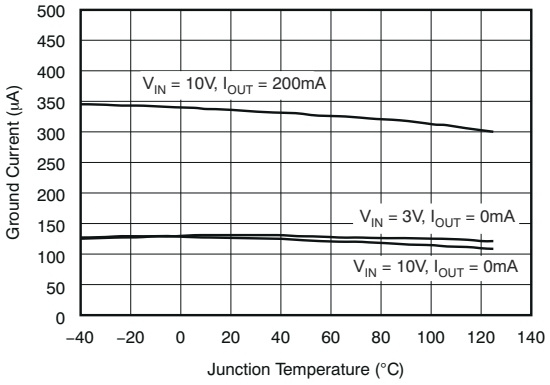



图 5-16. 接地电流与结温间的关系（旧芯片）

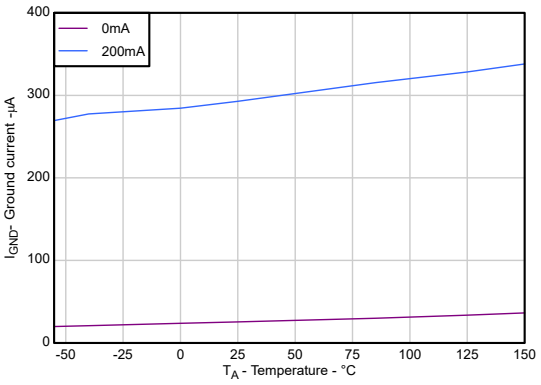



图 5-17. 接地电流与结温间的关系（新芯片）

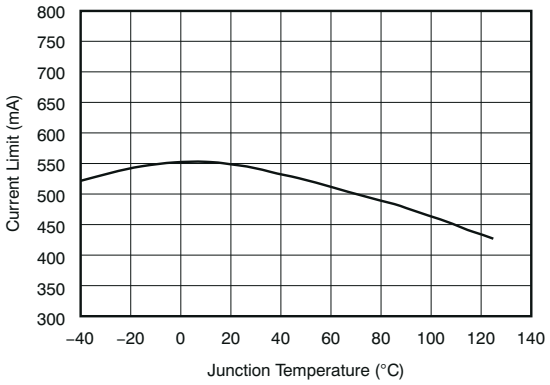



图 5-18. TPS72325 电流限制与结温间的关系（旧芯片）

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µF 且 $C_{NR}$ = 0.01 µF（除非另有说明）

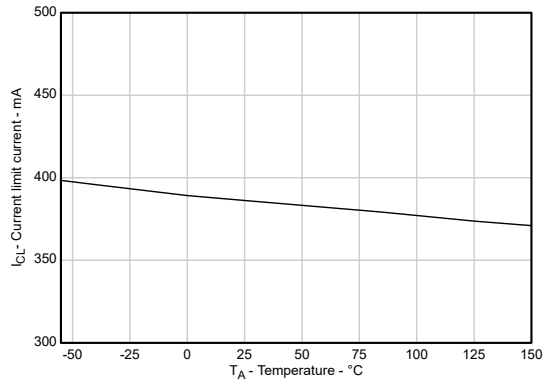



图 5-19. TPS72325 电流限制与结温间的关系（新芯片）

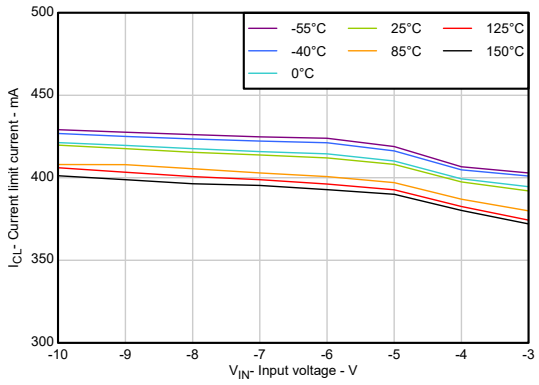



图 5-20. TPS72325 电流限制与 $V_{IN}$ 间的关系（新芯片）

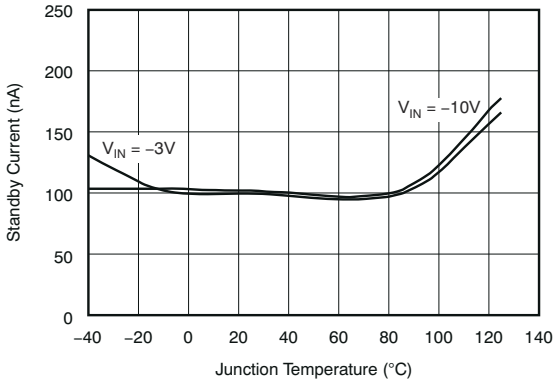



图 5-21. 待机电流与结温间的关系（旧芯片）

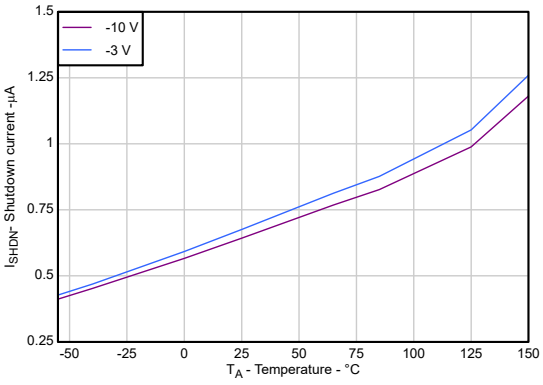



图 5-22. 待机电流与结温间的关系（新芯片）

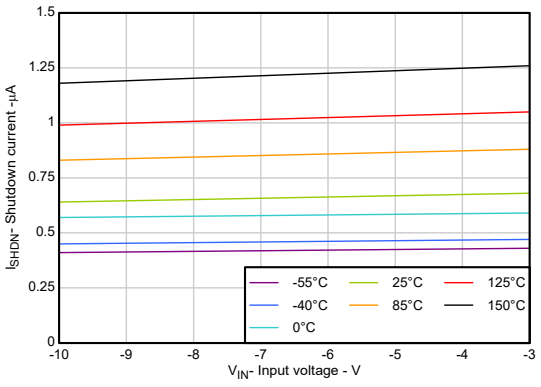



图 5-23. 待机电流与 $V_{IN}$ 间的关系（新芯片）

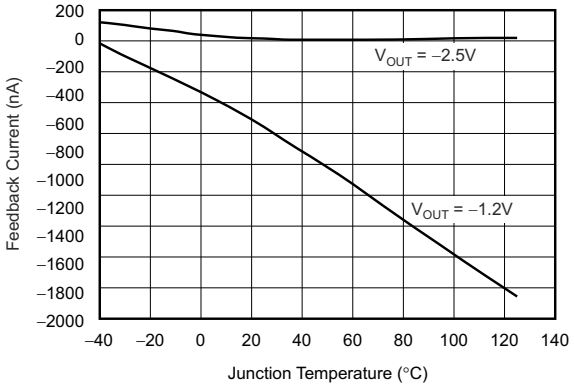



图 5-24. TPS72301 反馈引脚电流与结温间的关系（旧芯片）


Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µF 且 $C_{NR}$ = 0.01 µF（除非另有说明）

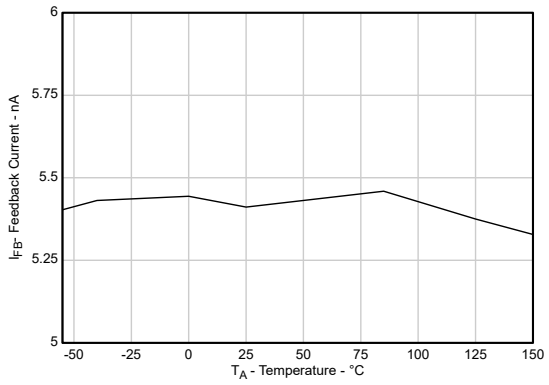



图 5-25. TPS72301 反馈引脚电流与结温间的关系（新芯片）

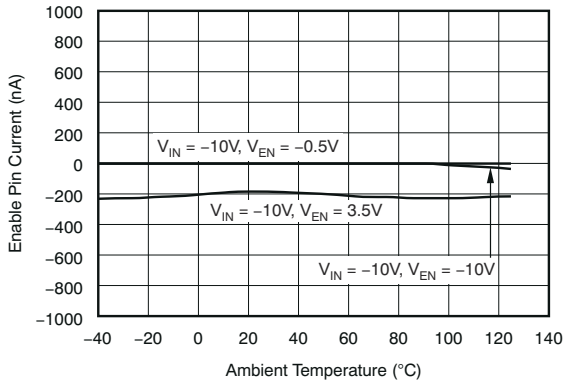



图 5-26. 使能引脚电流与结温间的关系（旧芯片）

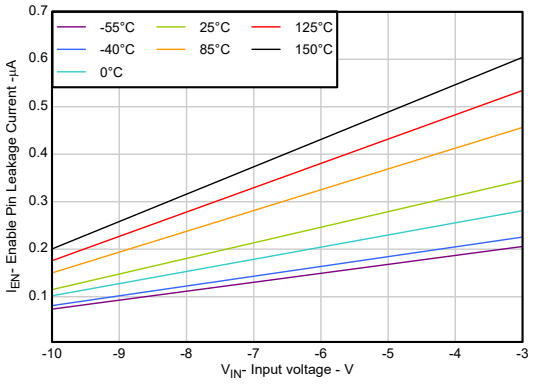



图 5-27. 使能引脚电流与结温间的关系（新芯片）

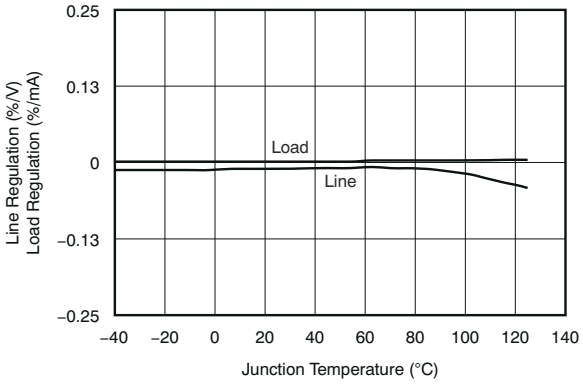



图 5-28. 线路和负载调整率与结温间的关系（旧芯片）

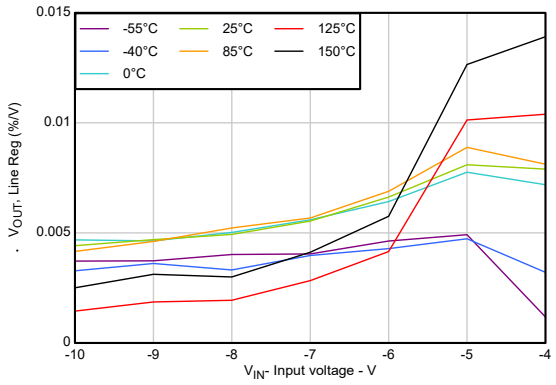



图 5-29. 线路调整率与结温间的关系（新芯片）

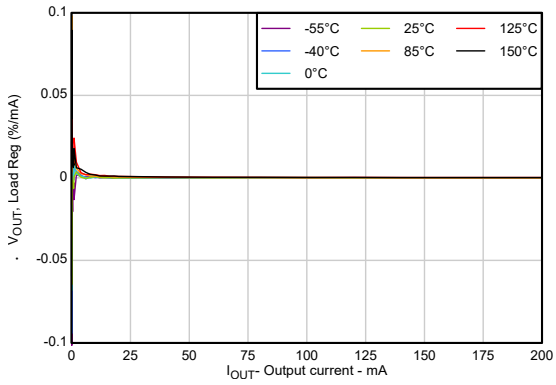



图 5-30. 负载调整率与结温间的关系（新芯片）

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μF 且 $C_{NR}$ = 0.01 μF（除非另有说明）

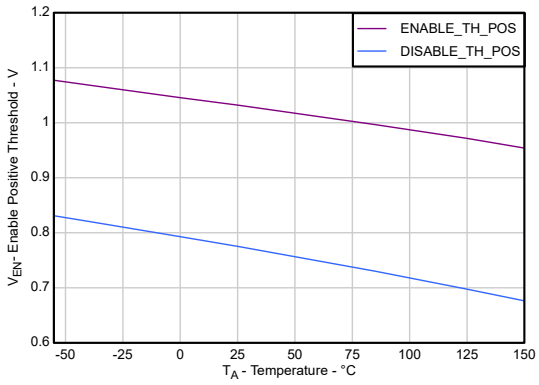



图 5-31. EN 阈值（正）与结温间的关系（新芯片）

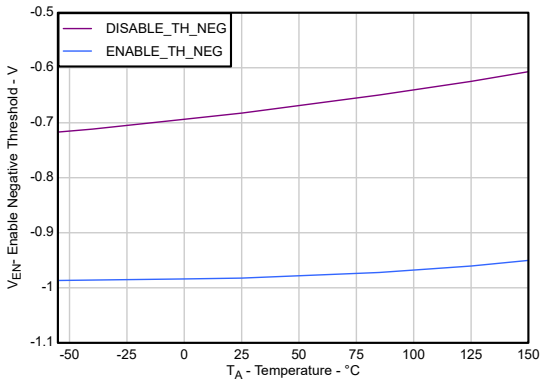



图 5-32. EN 阈值（负）与结温间的关系（新芯片）

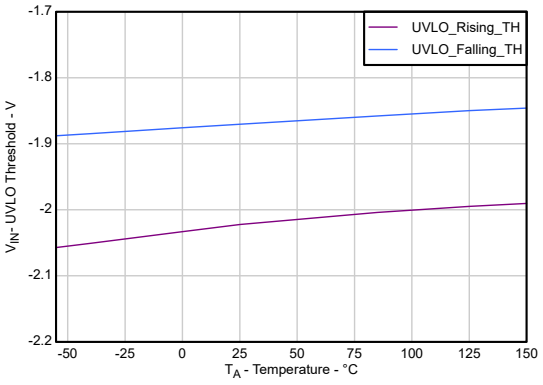



图 5-33. UVLO 与结温间的关系（新芯片）

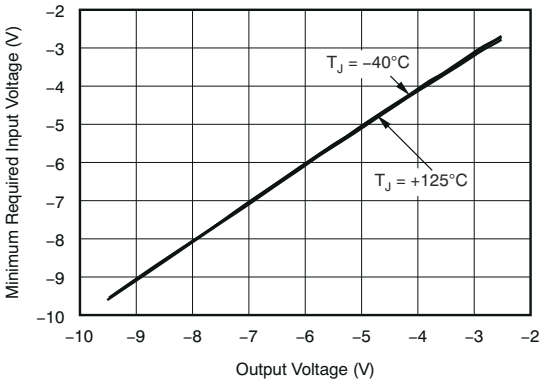



图 5-34. TPS72301 最小所需输入电压与输出电压间的关系（旧芯片）

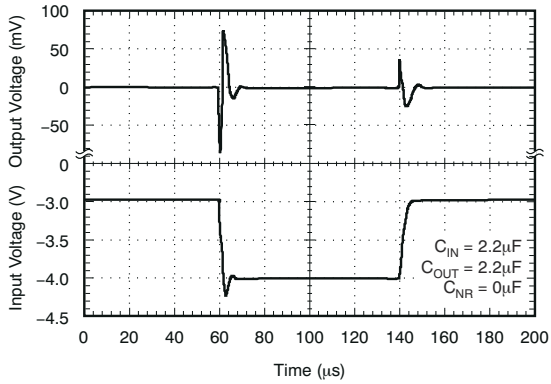
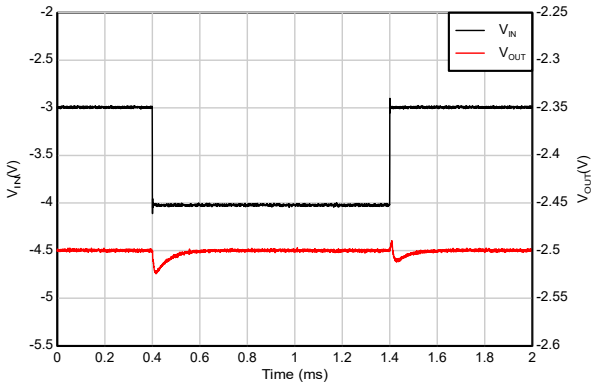



图 5-35. TPS72325 线路瞬态响应（旧芯片）



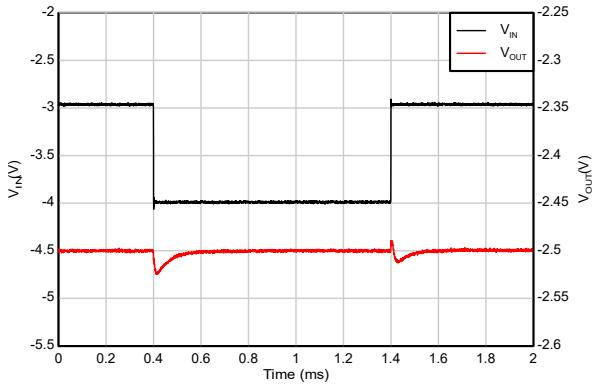

$V_{IN}$ = -3V 至 -4V，$dV_{IN}/dt$ = 1V/μs，$I_{OUT}$ = 1mA

图 5-36. TPS72325 线路瞬态响应（新芯片）


Copyright © 2026 Texas Instruments Incorporated

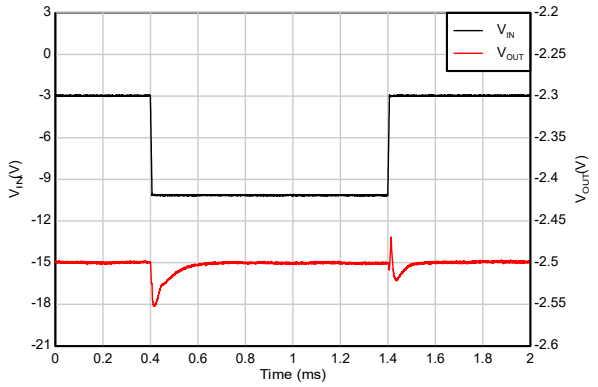
## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μF 且 $C_{NR}$ = 0.01 μF（除非另有说明）



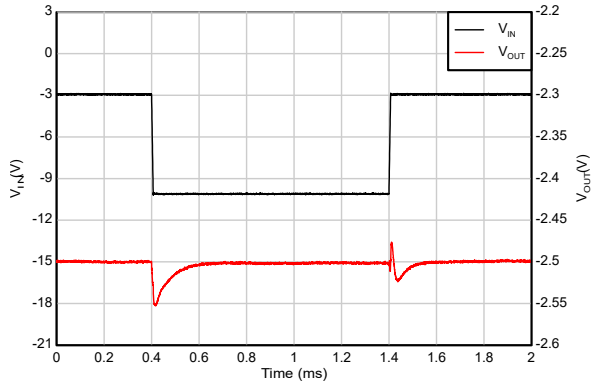

$V_{IN}$ = -3V 至 -4V，$dV_{IN}/dt$ = 1V/μs，$I_{OUT}$ = 200mA

**图 5-37. TPS72325 线路瞬态响应（新芯片）**



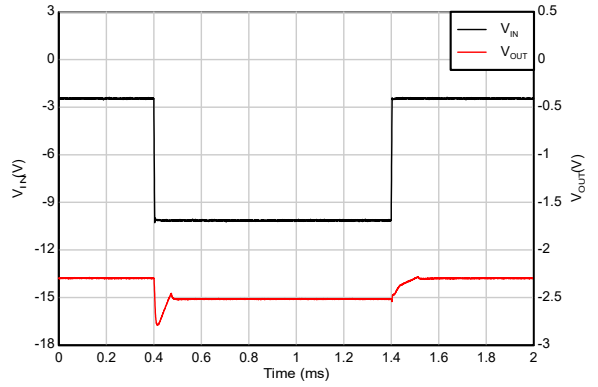

$V_{IN}$ = -3V 至 -10V，$dV_{IN}/dt$ = 1V/μs，$I_{OUT}$ = 1mA

**图 5-38. TPS72325 线路瞬态响应（新芯片）**



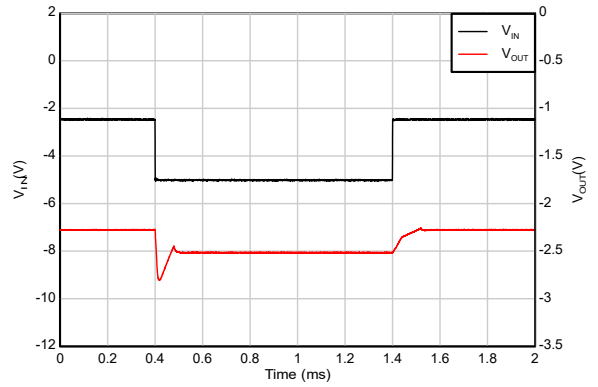

$V_{IN}$ = -3V 至 -10V，$dV_{IN}/dt$ = 1V/μs，$I_{OUT}$ = 200mA

**图 5-39. TPS72325 线路瞬态响应（新芯片）**




$V_{IN}$ = -2.5V 至 -10V，$dV_{IN}/dt$ = 2V/μs，$I_{OUT}$ = 1mA

**图 5-40. TPS72325 压降退出响应（新芯片）**




$V_{IN}$ = -2.5V 至 -5.0V，$dV_{IN}/dt$ = 2V/μs，$I_{OUT}$ = 1mA

**图 5-41. TPS72325 压降退出响应（新芯片）**

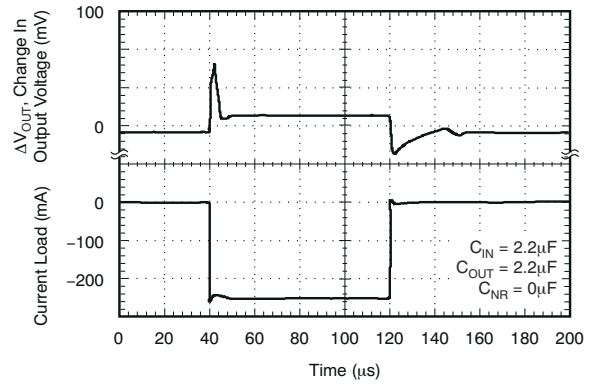



**图 5-42. TPS72325 负载瞬态响应（旧芯片）**

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN} = V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μ F 且 $C_{NR}$ = 0.01 μ F（除非另有说明）

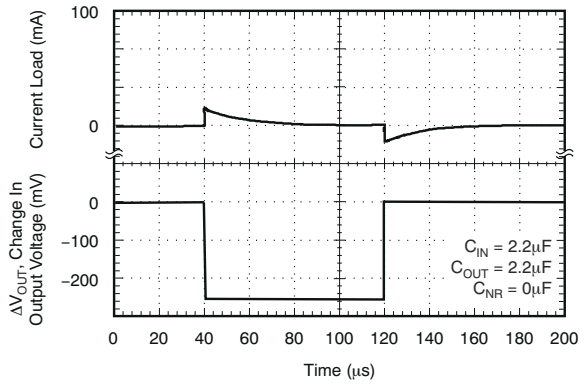
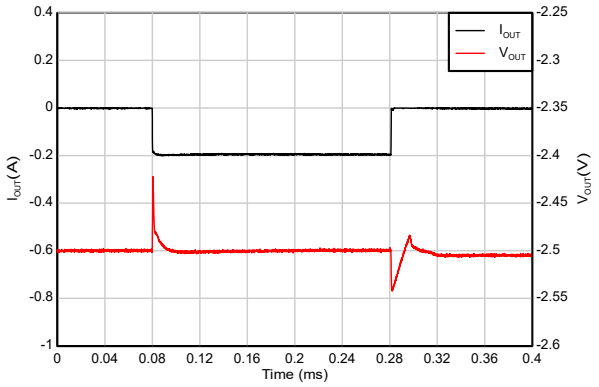
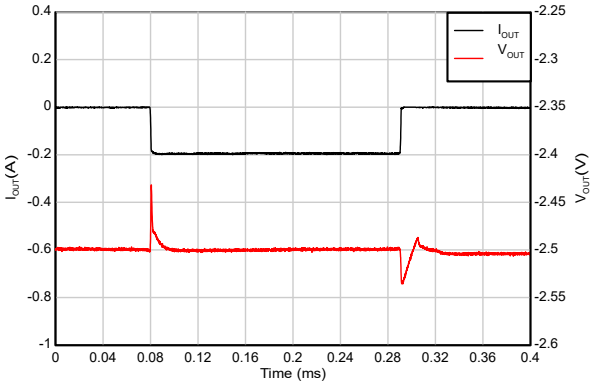



图 5-43. TPS72325 负载瞬态响应（旧芯片）



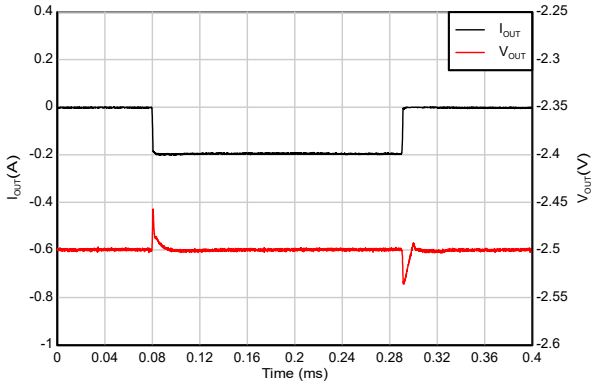

$I_{OUT}$ = 1μA 至 200mA，$dI_{OUT}/dt$ = 1A/μs

图 5-44. TPS72325 负载瞬态响应（新芯片）




$I_{OUT}$ = 1μA 至 200mA，$dI_{OUT}/dt$ = 0.2A/μs

图 5-45. TPS72325 负载瞬态响应（新芯片）




$I_{OUT}$ = 1mA 至 200mA，$dI_{OUT}/dt$ = 0.2A/μs

图 5-46. TPS72325 负载瞬态响应（新芯片）

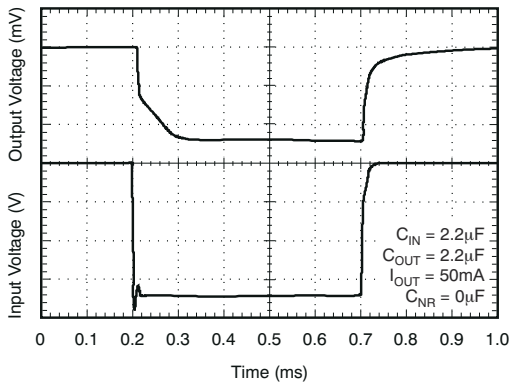



图 5-47. TPS72325 启动响应（旧芯片）

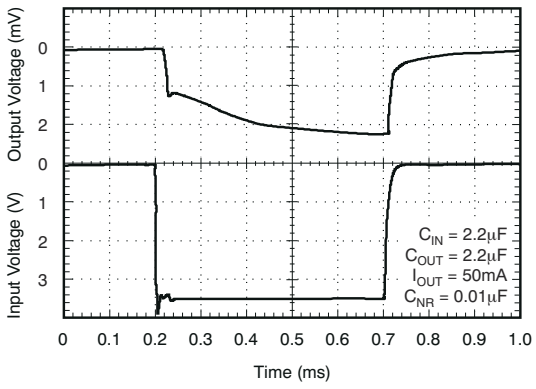



图 5-48. TPS72325 启动响应（旧芯片）


Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2μF 且 $C_{NR}$ = 0.01μF（除非另有说明）

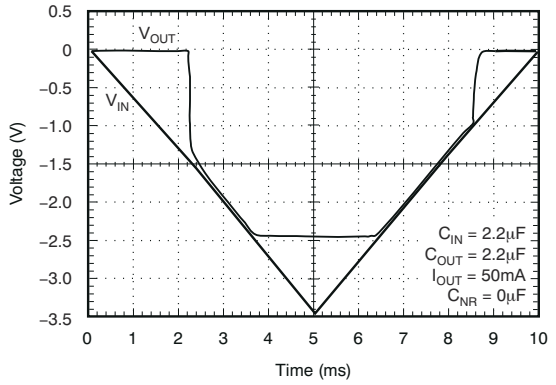
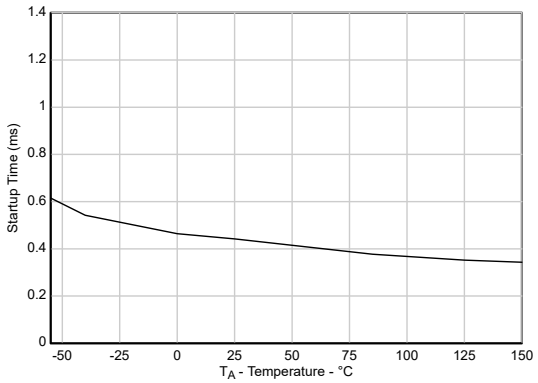
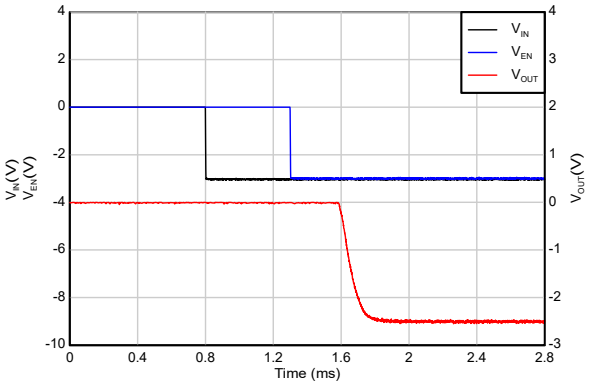



图 5-49. TPS72325 加电/断电（旧芯片）



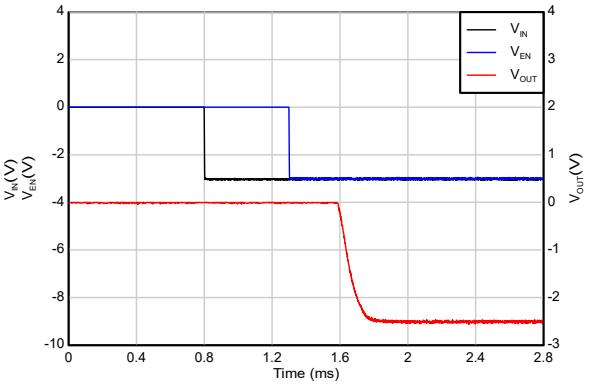

$I_{OUT}$ = 0mA，$C_{NR}$ 未连接。

图 5-50. TPS72325 启动时间与温度间的关系（新芯片）



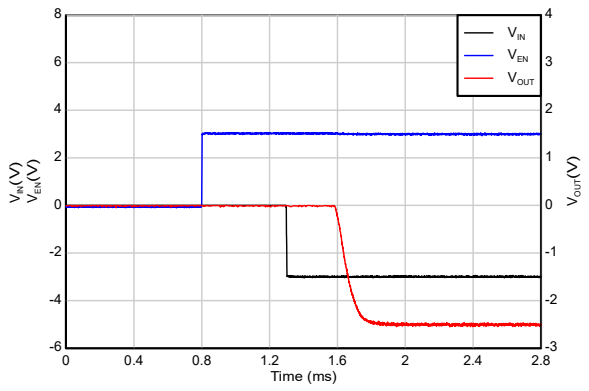

$I_{OUT}$ = 1mA

图 5-51. TPS72325 启动响应（$V_{IN}$ 在 EN 之前斜升）（新芯片）



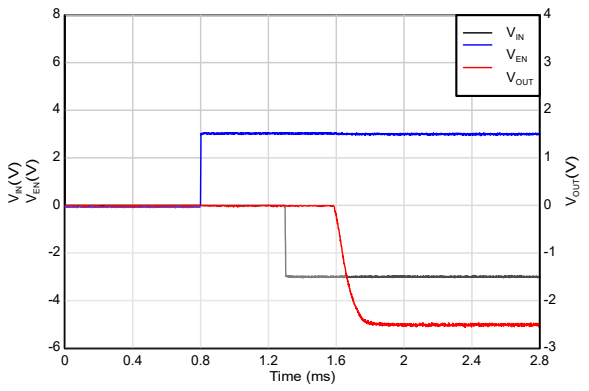

$I_{OUT}$ = 200mA

图 5-52. TPS72325 启动响应（$V_{IN}$ 在 EN 之前斜升）（新芯片）




$I_{OUT}$ = 1mA

图 5-53. TPS72325 启动响应（$V_{IN}$ 在 EN 之后斜升）（新芯片）



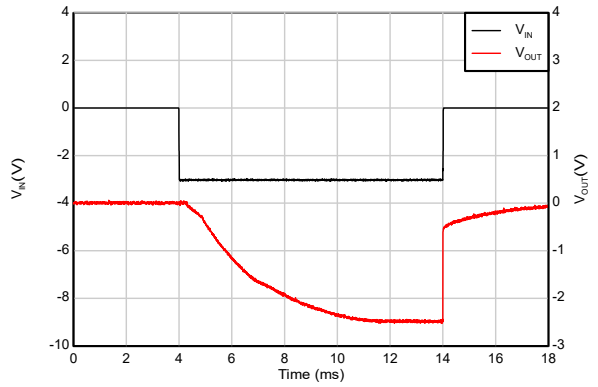

$I_{OUT}$ = 200mA

图 5-54. TPS72325 启动响应（$V_{IN}$ 在 EN 之后斜升）（新芯片）

Copyright © 2026 Texas Instruments Incorporated

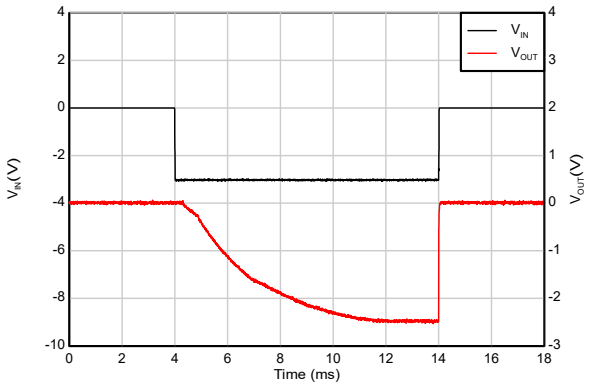
## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μF 且 $C_{NR}$ = 0.01 μF（除非另有说明）



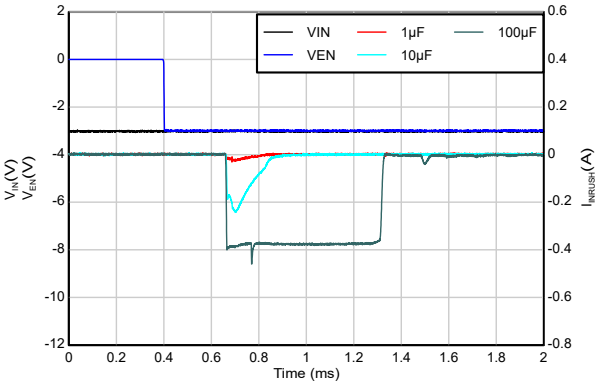

$I_{OUT}$ = 1mA，$C_{NR}$ = 10nF

**图 5-55. TPS72325 启动响应（$V_{IN}$ 和 EN 连接在一起）（新芯片）**




$I_{OUT}$ = 200mA，$C_{NR}$ = 10nF

**图 5-56. TPS72325 启动响应（$V_{IN}$ 和 EN 连接在一起）（新芯片）**




$I_{OUT}$ = 0mA

**图 5-57. 启动浪涌电流与 $C_{OUT}$ 间的关系（新芯片）**

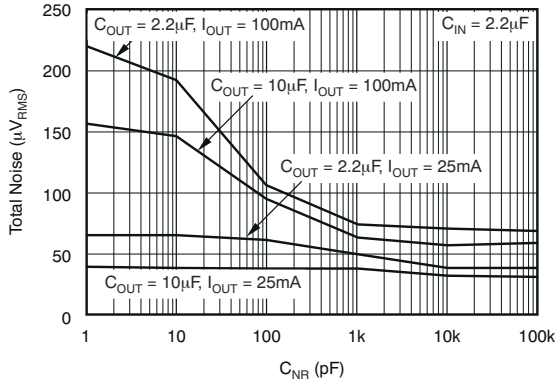
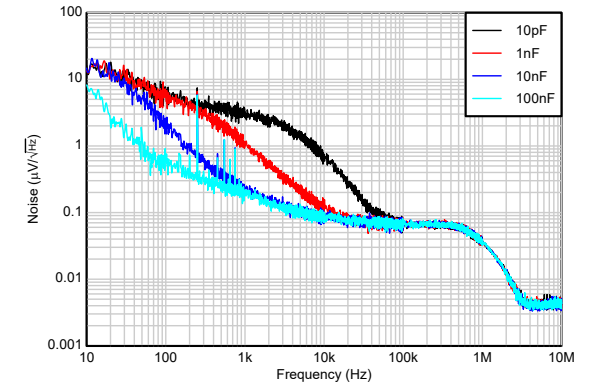
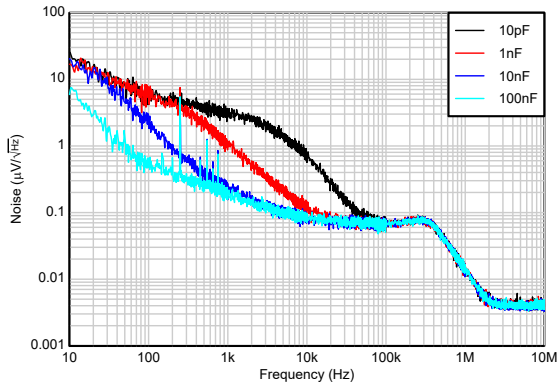



**图 5-58. TPS72325 总噪声与 $C_{NR}$ 间的关系（10Hz 至 100kHz）（旧芯片）**




$I_{OUT}$ = 200mA

**图 5-59. TPS72325 总噪声与 $C_{NR}$ 间的关系（10Hz 至 10MHz）（新芯片）**



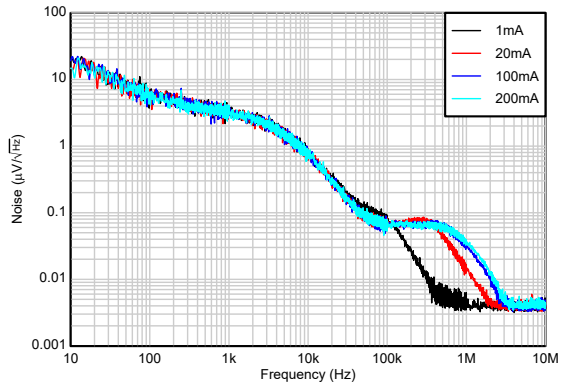

$I_{OUT}$ = 20mA

**图 5-60. TPS72325 总噪声与 $C_{NR}$ 间的关系（10Hz 至 10MHz）（新芯片）**


Copyright © 2026 Texas Instruments Incorporated

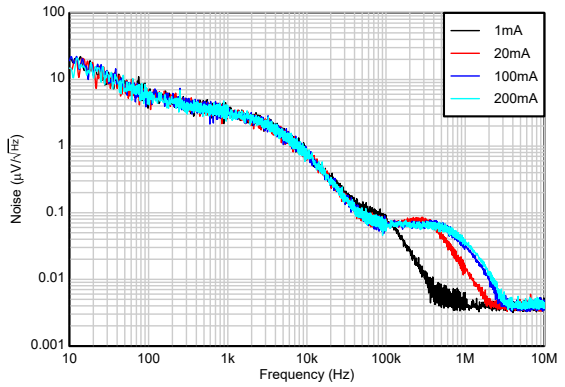
## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µ F 且 $C_{NR}$ = 0.01 µ F（除非另有说明）



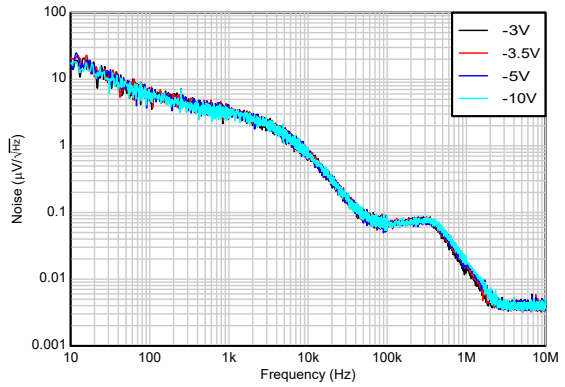

$V_{IN}$ = -3.0V

**图 5-61. TPS72325 总噪声与 $I_{OUT}$ 间的关系（10Hz 至 10MHz）（新芯片）**



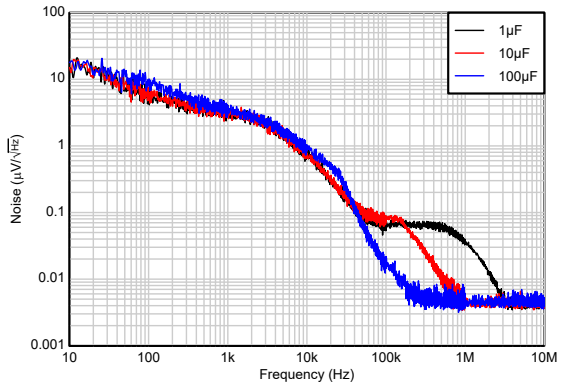

$I_{OUT}$ = 200mA

**图 5-62. TPS72325 总噪声与 $V_{IN}$ 间的关系（10Hz 至 10MHz）（新芯片）**



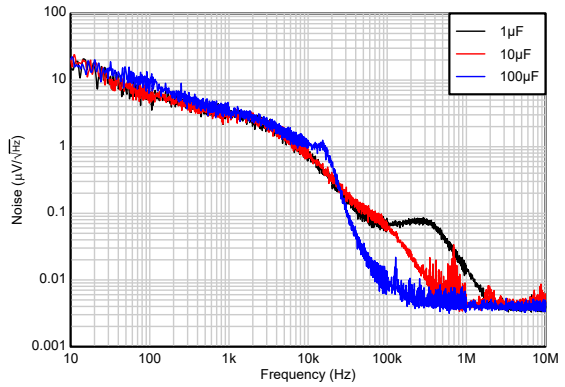

$I_{OUT}$ = 20mA

**图 5-63. TPS72325 总噪声与 $V_{IN}$ 间的关系（10Hz 至 10MHz）（新芯片）**



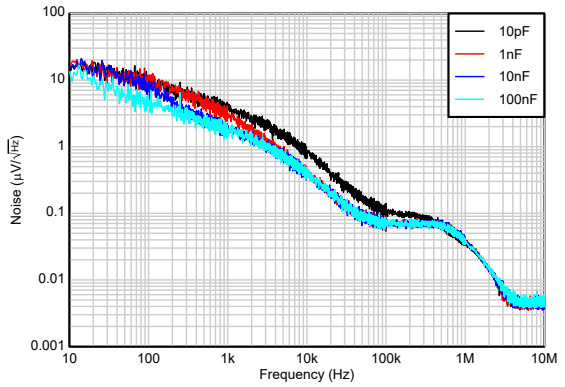

$I_{OUT}$ = 200mA

**图 5-64. TPS72325 总噪声与 $C_{OUT}$ 间的关系（10Hz 至 10MHz）（新芯片）**




$I_{OUT}$ = 20mA

**图 5-65. TPS72325 总噪声与 $C_{OUT}$ 间的关系（10Hz 至 10MHz）（新芯片）**




$I_{OUT}$ = 200mA

**图 5-66. TPS72301 总噪声与 $C_{FF}$ 间的关系（10Hz 至 10MHz）（新芯片）**

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 μ F 且 $C_{NR}$ = 0.01 μ F（除非另有说明）

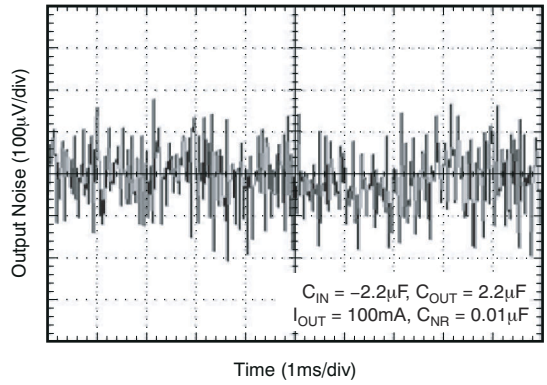



图 5-67. TPS72325 输出噪声与时间间的关系（旧芯片）

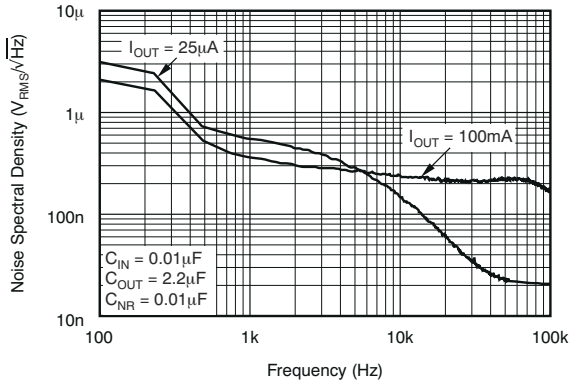



图 5-68. TPS72325 噪声频谱密度与频率间的关系（旧芯片）

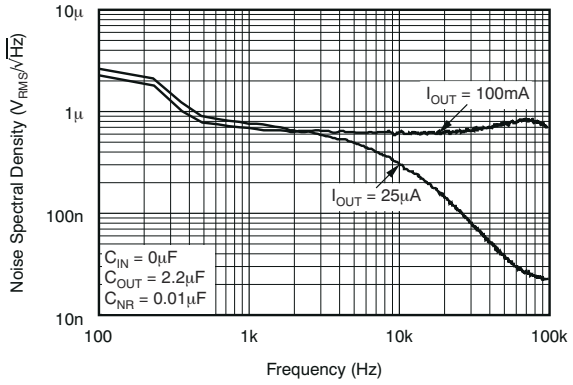



图 5-69. TPS72325 噪声频谱密度与频率间的关系（旧芯片）

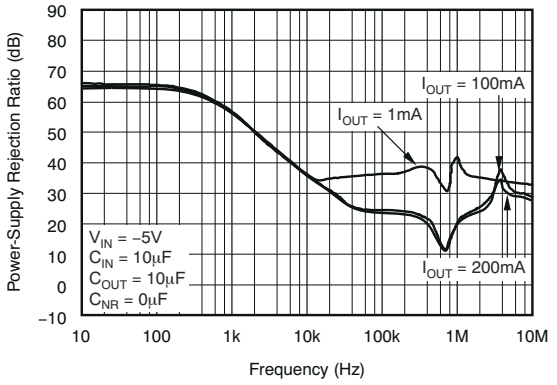



图 5-70. PSRR 与频率间的关系（旧芯片）

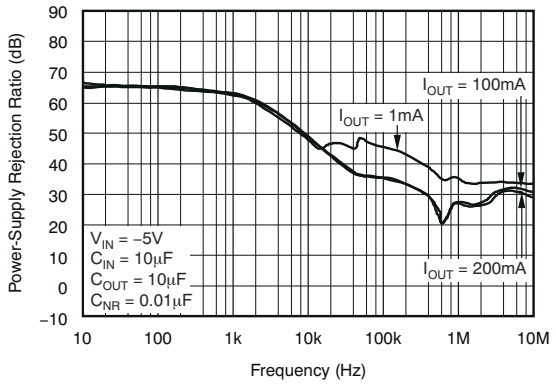



图 5-71. PSRR 与频率间的关系（旧芯片）

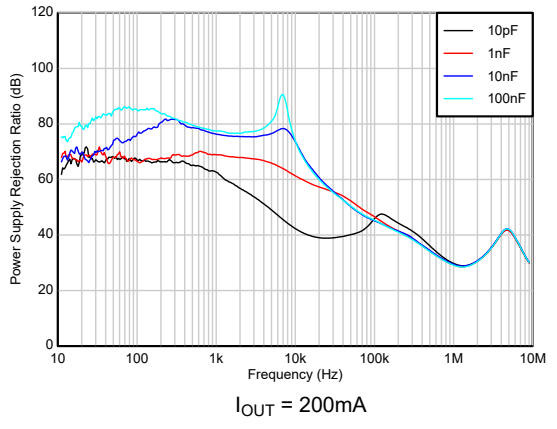
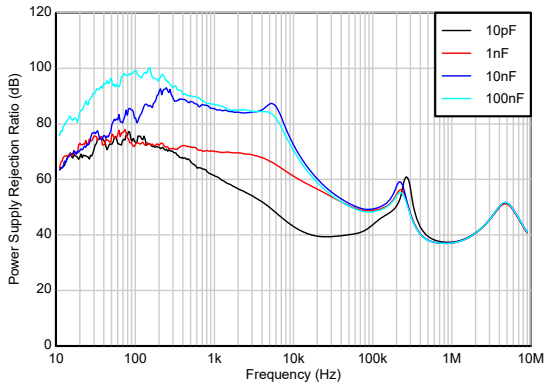



图 5-72. PSRR 与 $C_{NR}$ 间的关系（新芯片）


Copyright © 2026 Texas Instruments Incorporated

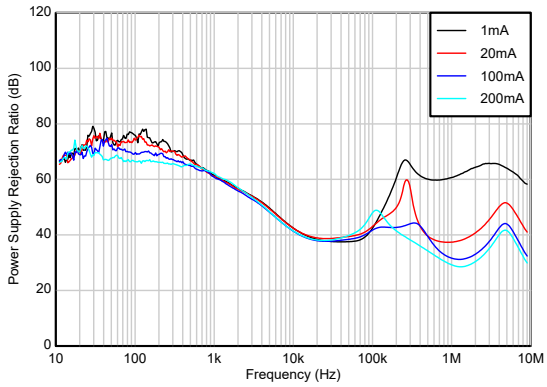
## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µF 且 $C_{NR}$ = 0.01 µF（除非另有说明）



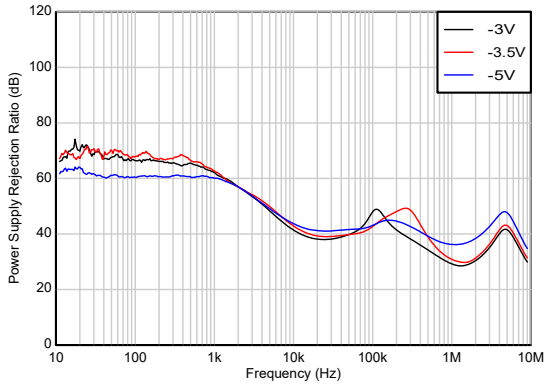

$I_{OUT}$ = 20mA

**图 5-73. PSRR 与 $C_{NR}$ 间的关系（新芯片）**



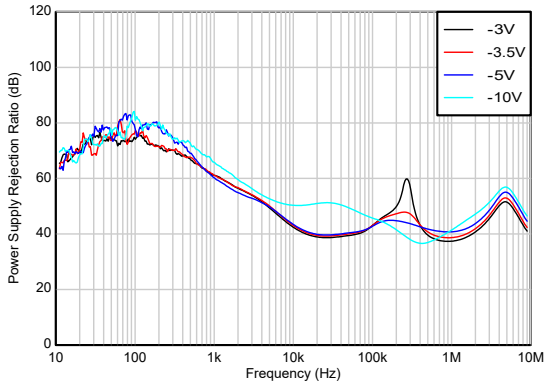

$V_{IN}$ = -3.0V

**图 5-74. PSRR 与 $I_{OUT}$ 间的关系（新芯片）**



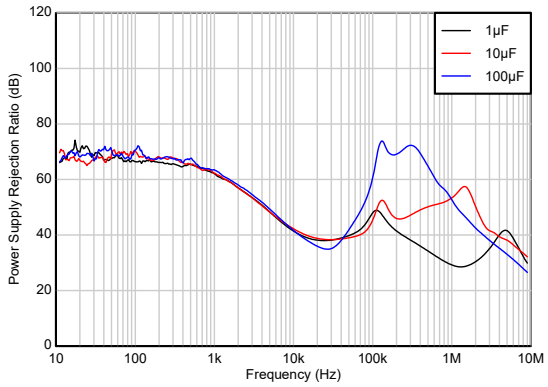

$I_{OUT}$ = 200mA

**图 5-75. PSRR 与 $V_{IN}$ 间的关系（新芯片）**



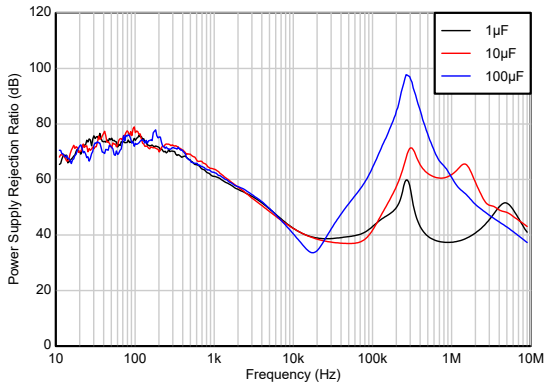

$I_{OUT}$ = 20mA

**图 5-76. PSRR 与 $V_{IN}$ 间的关系（新芯片）**




$I_{OUT}$ = 200mA

**图 5-77. PSRR 与 $C_{OUT}$ 间的关系（新芯片）**




$I_{OUT}$ = 20mA

**图 5-78. PSRR 与 $C_{OUT}$ 间的关系（新芯片）**

Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型特性（续）

$V_{IN}$ = $V_{OUT(NOM)}$ – 0.5V，$V_{OUT}$ = -2.5V，$I_{OUT}$ = 1mA，$V_{EN}$ = 1.5V，$C_{OUT}$ = 2.2 µF 且 $C_{NR}$ = 0.01 µF（除非另有说明）

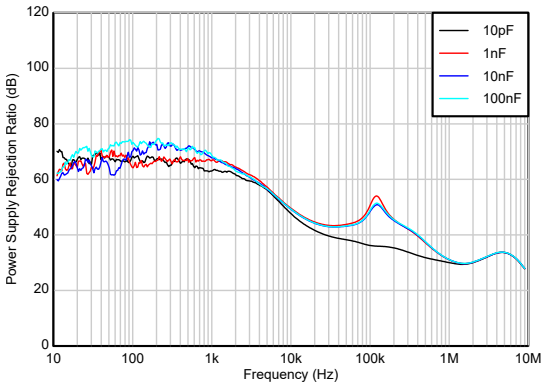



**图 5-79. PSRR 与 $C_{FF}$ 间的关系（仅可调版本）（新芯片）**

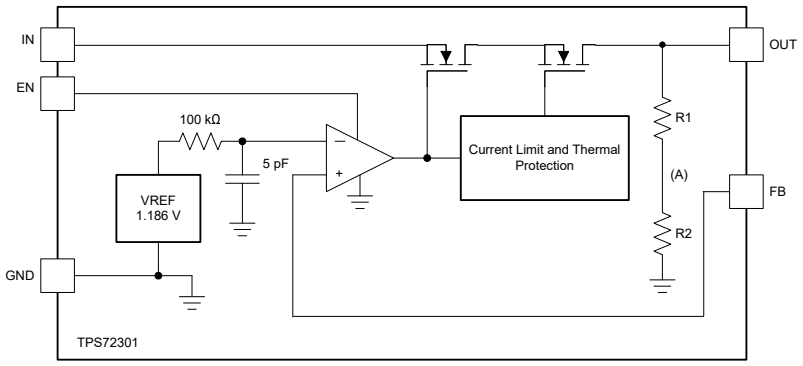

Copyright © 2026 Texas Instruments Incorporated

# 6 详细说明

## 6.1 概述

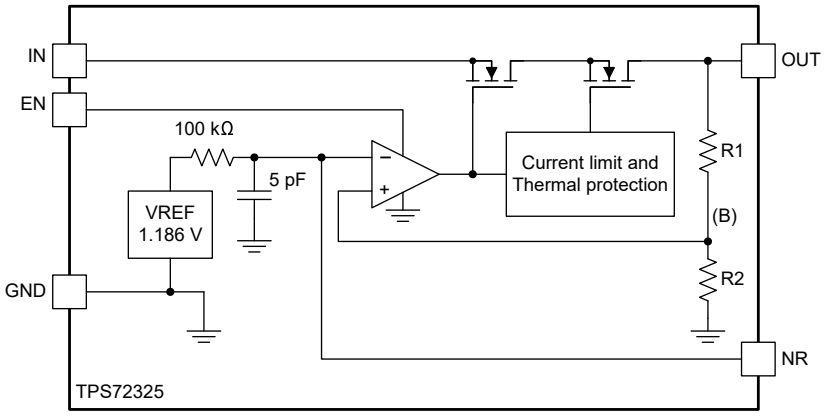
TPS723 是一款低压降、负电压线性稳压器，在整个负载和温度变化范围内（针对新芯片）输出容差为 ±1.6%，额定负载电流为 200mA。该器件具有 –1.5V 至 –5.2V 的修整输出电压版本，也可用作 –1.186V 至 –10V 的可调稳压器。该器件具有极低的噪声（使用 10nF NR 电容器时为 60 μ$V_{RMS}$）和高电源抑制比（100kHz 时典型值为 40dB），因此 TPS723 专为高灵敏度模拟和射频应用而设计。该器件还提供了关断模式，在整个温度和工艺范围内可将接地电流最大降至 2 μA。

## 6.2 功能方框图




R1 + R2 = 100kΩ

**图 6-1. 功能方框图（可调，旧芯片）**




R1 + R2 = 97kΩ

**图 6-2. 功能方框图（固定，旧芯片）**

Copyright © 2026 Texas Instruments Incorporated

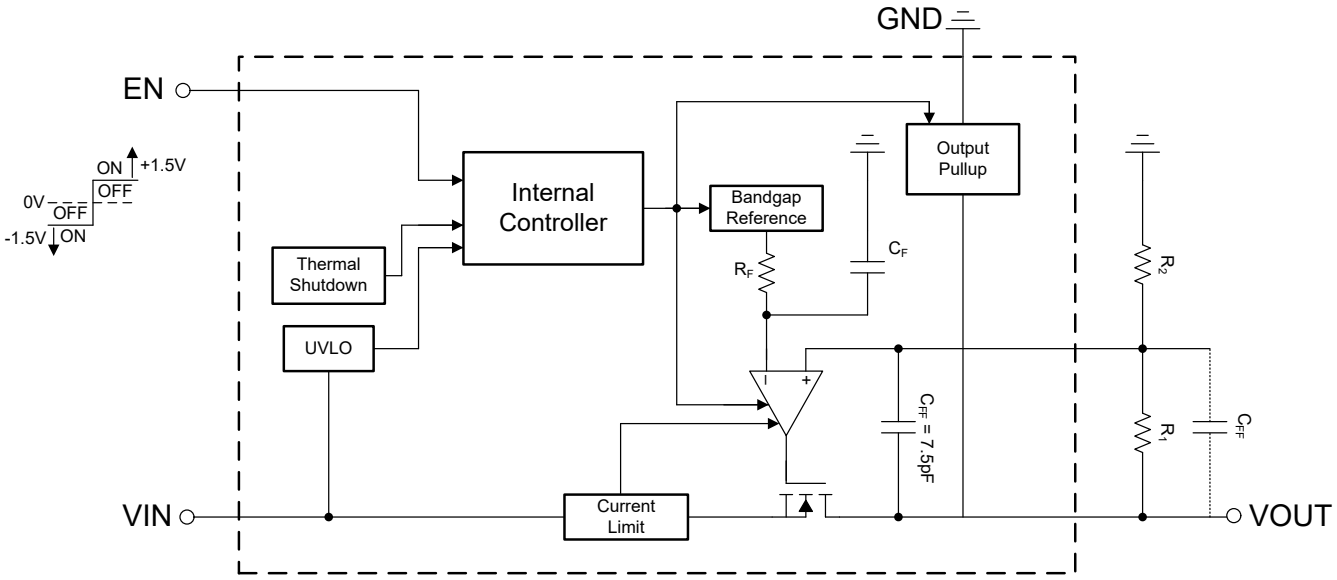



图 6-3. 功能方框图（可调节，新芯片）

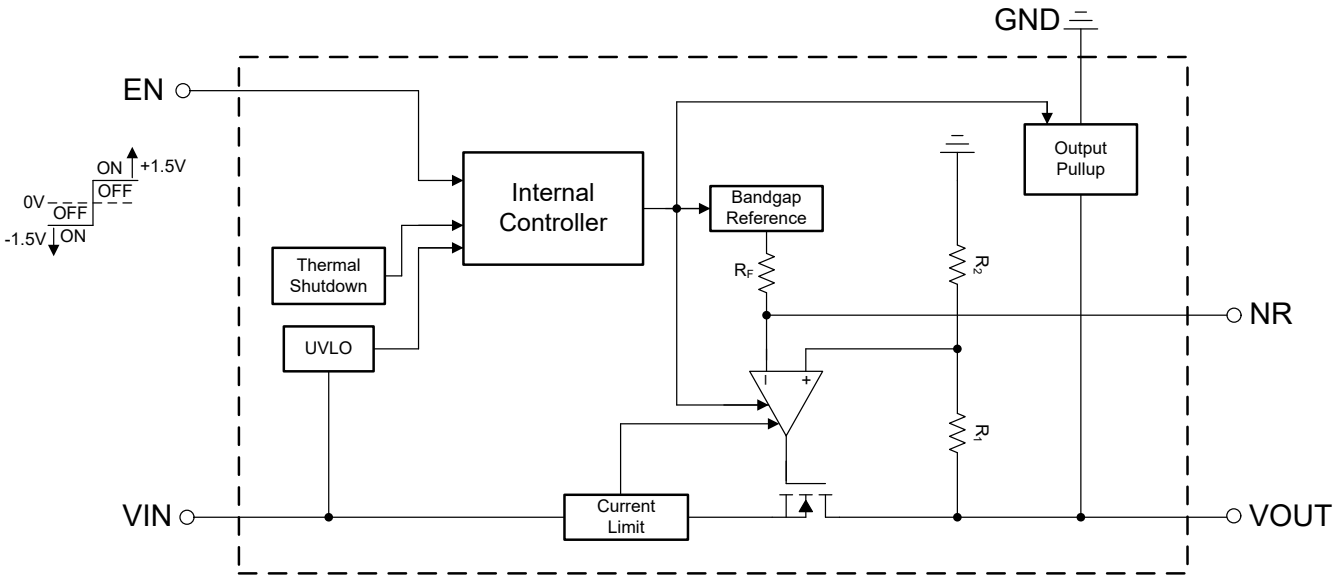



图 6-4. 功能方框图（固定，新芯片）


Copyright © 2026 Texas Instruments Incorporated

## 6.3 特性说明

### 6.3.1 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 ($I_{CL}$)。$I_{CL}$ 如*电气特性*表所列。另请参阅*典型特性*部分中的图 5-18。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [($V_{IN}$ – $V_{OUT}$) × $I_{CL}$]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 6-5 展示了电流限制图。

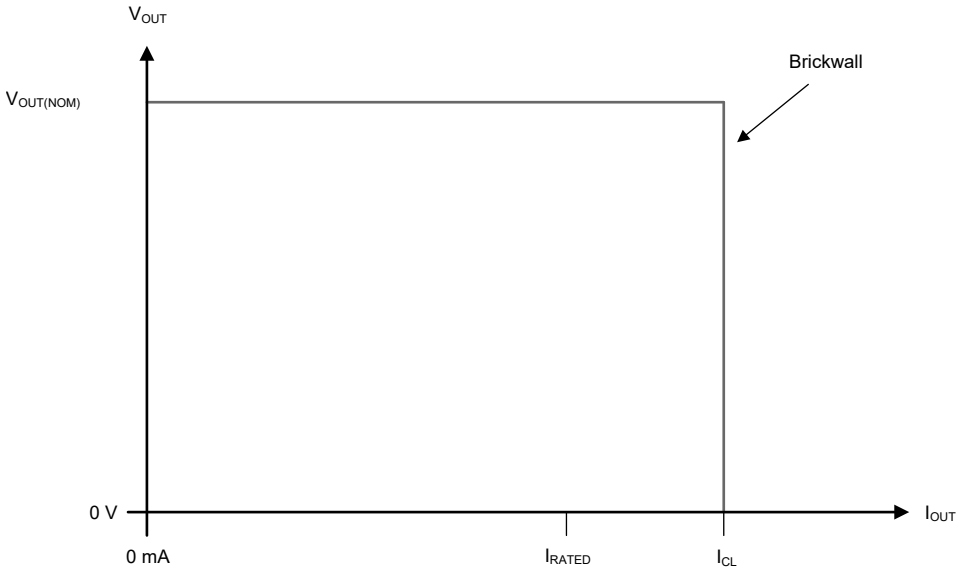



**图 6-5. 电流限值**

请勿将输出驱动至比输入低 0.3V 以下。比输入电压低 0.3V 的输出电压会使传输晶体管中的体二极管发生偏置，并允许电流从输入端流向输出端。该电流不受器件限制。如果预期会出现这种情况，请确保从外部限制反向电流。有关更多详细信息，请参阅“反向电流”部分。

### 6.3.2 启用

对于 TPS723，使能引脚 (EN) 是高电平有效引脚，支持双极逻辑。当向 EN 施加的电压高于 $V_{EN(HI)}$ (≥ +1.5V) 或低于 $V_{EN(LO)}$ (≤ -1.5V) 时，就会启用该输出。当 EN 低于 $V_{DIS(HI)}$ (≤ 0.4V) 且高于 $V_{DIS(LO)}$ (≥ -0.4V) 时，就会禁用该器件。如果不需要外部控制输出电压，则将 EN 连接至 IN。禁用器件时，大部分内部电路都会关闭，使 TPS723 进入关断模式，消耗的最大接地电流仅为 2 µA。有关 $V_{EN(HI)}$、$V_{EN(LO)}$、$V_{DIS(HI)}$ 和 $V_{DIS(LO)}$ 值的详细信息，请参阅节 5.5 表。

仅在新芯片中，EN 引脚还具有至输入电源的弱内部下拉功能，EN 引脚可保持悬空以启用器件。EN 引脚上的内部下拉电流在节 5.5 表中记为使能电流。但是，必须注意确认当 EN 连接到正逻辑时，外部逻辑驱动器必须能够提供所需的下拉电流。新芯片中还具有内部上拉电路，该电路在器件禁用时激活，并主动将输出电压放电至接地。

### 6.3.3 压降电压

压降电压 ($V_{DO}$) 定义为在额定输出电流 ($I_{RATED}$) 下（传输晶体管完全导通），输出电压与输入电压之差 ($V_{OUT}$ – $V_{IN}$)。$I_{RATED}$ 是*节 5.3* 表中列出的最大 $I_{OUT}$。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接

Copyright © 2026 Texas Instruments Incorporated

指定了一个最大输入电压，该电压小于输出电压预计保持稳定的标称编程输出电压。如果输入电压升至高于标称输出稳压电压，输出电压也会上升。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

### 6.3.4 输出上拉

新芯片有一个输出上拉电路。在以下情况下会激活输出上拉：

- 当器件被禁用（$V_{EN} > V_{DIS(LO)}$ 或 $V_{EN} < V_{EN(LO)}$）时
- 如果 $V_{UVLO} < V_{IN} < -1.0V$

当输入电源崩溃后，请勿依赖输出上拉电路将大量输出电容放电至接地，因为此时可能会产生从输入端流向输出端的反向电流。这种反向电流会导致器件损坏。另请参阅 *节 7.1.4*。

### 6.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 ($T_J$) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 $V_{OUT}$ – $V_{IN}$ 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 *节 5.3* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

### 6.3.6 欠压锁定 (UVLO)

新芯片具有一个独立的欠压锁定 (UVLO) 电路，可监测输入电压，从而以受控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 会出现磁滞，如节 5.5 表中所示。

### 6.3.7 NR 和可编程软启动

对于 TPS723，NR（降噪）电容器与降噪电阻器一起形成一个低通滤波器 (LPF)，在经误差放大器放大之前滤除来自基准的噪声，从而降低器件本底噪声。LPF 是单极滤波器，截止频率可以通过方程式 2 计算。$R_F$ 的典型值为 400kΩ（典型值）。增大 $C_{NR}$ 电容器会产生更大的影响，因为在较高输出电压下，来自基准的噪声经放大后，其影响会进一步加剧。对于低噪声应用，建议使用 10nF（典型值）$C_{NR}$。

$$f_{cutoff} = 1/(2 \times \pi \times R_F \times C_{NR}) \quad (2)$$

在新芯片版本中，此 NR 电容器 ($C_{NR}$) 还会在启动期间在内部基准 ($V_{NR}$) 上引入 RC 延迟，进而帮助控制浪涌电流。对于任何外部 $C_{NR}$，当内部基准 ($V_{NR}$) 充电至典型值的 90% 时，近似启动时间可通过方程式 3 计算得出。

$$T_{start-up} \approx 2.2 \times \tau = 2.2 \times R_F \times C_{NR} \quad (3)$$

有关电流限制的更多信息，请参阅*降噪引脚如何改善系统性能应用手册*。

## 6.4 器件功能模式

### 6.4.1 器件功能模式比较

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 *节 5.5* 表格。


Copyright © 2026 Texas Instruments Incorporated

表 6-1. 器件功能模式比较

| 工作模式 | 参数 | | | |
|---|---|---|---|---|
| | $V_{IN}$ | $V_{EN}$ | $I_{OUT}$ | $T_J$ |
| 正常运行 | $V_{IN} < V_{OUT(nom)} - V_{DO}$ 且 $V_{IN} < V_{IN(max)}$ | $V_{EN} > V_{EN(HI)}$ 或 $V_{EN} < V_{EN(LO)}$ | $I_{OUT} < I_{OUT(max)}$ | $T_J < T_{SD(shutdown)}$ |
| 压降运行 | $V_{OUT(nom)} - V_{DO} < V_{IN} < V_{IN(max)}$ | $V_{EN} > V_{EN(HI)}$ 或 $V_{EN} < V_{EN(LO)}$ | $I_{OUT} < I_{OUT(max)}$ | $T_J < T_{SD(shutdown)}$ |
| 禁用（任何真条件都会禁用该器件） | $V_{IN} > V_{UVLO-}$ | $V_{EN} < V_{DIS(HI)}$ 或 $V_{EN} > V_{DIS(LO)}$ | 不适用 | $T_J > T_{SD(shutdown)}$ |

### 6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压低于标称输出电压与压降电压之差 ($V_{OUT(nom)}$ – $V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- EN 电压先前已超过 $V_{EN(HI)}$ 或 $V_{EN(LO)}$ 阈值电压，但尚未超过禁用阈值（$V_{DIS(HI)}$ 或 $V_{DIS(LO)}$）

### 6.4.3 压降运行

如果输入电压高于标称输出电压与规定压降电压之差，但仍满足正常运行模式的所有其他条件，则器件将在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件在紧随正常稳压状态之后处于压降状态，$V_{IN} > V_{OUT(NOM)}$ – $V_{DO}$，但*不*在启动期间）时，传输晶体管被驱动至欧姆区或三极管区。当输入电压恢复到小于或等于标称输出电压与压降电压之差 ($V_{OUT(NOM)} - V_{DO}$) 时，输出电压可能会在短时间内过冲，而器件会将传输晶体管拉回到线性区域。

### 6.4.4 禁用

通过强制 EN 引脚的电压高于最大 $V_{DIS(LO)}$ 或低于最小 $V_{DIS(HI)}$ 引脚输入电压，可以关断器件的输出（请参阅*节 5.5* 表）。当被禁用时，传输晶体管将关闭，内部电路关断，并且通过一个从输出到接地的内部放电电路主动将输出电压放电至接地。

Copyright © 2026 Texas Instruments Incorporated

# 7 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 7.1 应用信息

### 7.1.1 可调器件反馈电阻器选择

可调版本的器件需要外部反馈分压电阻器来设置输出电压。$V_{OUT}$ 根据以下公式使用反馈分压电阻 $R_1$ 和 $R_2$ 进行设置：

$$V_{OUT} = V_{FB} \times (1 + R_1 / R_2) \quad (4)$$

为了忽略 $V_{OUT}$ 公式中的 FB 引脚电流误差项，请将反馈分压器电流设置为 *节 5.5* 表中所列 FB 引脚电流 ($I_{FB}$) 的 100 倍。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leqslant V_{OUT} / (I_{FB} \times 100) \quad (5)$$

### 7.1.2 建议的电容器类型

该新芯片设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但必须结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性，而由于电容变化较大，因此建议不要使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。对于新芯片，*节 5.3* 表中推荐的输入和输出电容器的有效电容大约为标称值的 50%。

### 7.1.3 输入和输出电容器选择

**对于新芯片：**TPS723（新芯片）需要一个 2.2μF 或更大（1.0μF 或更大电容）的输出电容器来实现稳定性，并需要一个介于 0.0Ω 到 0.5Ω 之间的等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。

**对于新芯片：**尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在大范围的频率上具有高阻抗，则可以并联使用几个输入电容器来降低频率上的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

**对于旧芯片：**应针对预期应用使用适当的输入和输出电容器。TPS723（旧芯片）仅需使用 2.2μF 陶瓷输出电容器即可稳定运行。电容值和等效串联电阻 (ESR) 都会影响稳定性、输出噪声、PSRR 和瞬态响应。对于典型应用，靠近稳压器放置一个 2.2μF 陶瓷输出电容器就足够了。

### 7.1.4 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \geqslant V_{IN}$ - 0.3V 的绝对最大额定值。

- 如果器件具有较大的 $C_{OUT}$ 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为低于输入电源


Copyright © 2026 Texas Instruments Incorporated

如果应用中需要反向电流，则建议使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

图 7-1 展示了保护器件的一种方法。

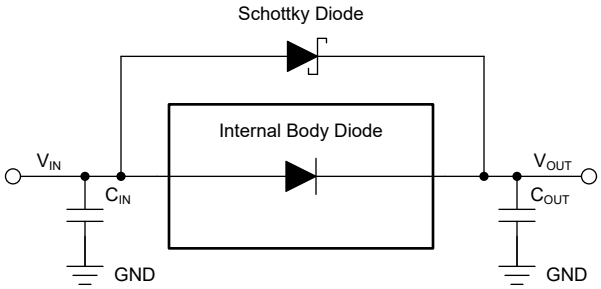



**图 7-1. 使用肖特基二极管的反向电流保护示例电路**

### *7.1.5 前馈电容器 ($C_{FF}$)*

对于可调节电压版本器件，可将前馈电容器 ($C_{FF}$) 从 OUT 引脚连接到 FB 引脚。$C_{FF}$ 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。*节 5.3* 表列出了推荐的 $C_{FF}$ 值（对于新芯片）。可以使用更高的电容 $C_{FF}$；但是，启动时间会增加。有关 $C_{FF}$ 权衡的详细说明，请参阅 *使用前馈电容器和低压降稳压器的优缺点* 应用报告。

$C_{FF}$ 和 $R_1$ 在频率为 $f_Z$ 时的环路增益中产生零点，而 $C_{FF}$、$R_1$ 和 $R_2$ 在频率为 $f_P$ 时的环路增益中形成极点。$C_{FF}$ 零点和极点频率可通过以下公式计算：

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (6)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (7)$$

如果反馈分压器电流小于 10 μA，则需要 $C_{FF} \geq 10pF$ 才能稳定运行。方程式 8 用于计算反馈分压器电流。

$$I_{FB_Divider} = V_{OUT} / (R_1 + R_2) \quad (8)$$

为避免 $C_{FF}$ 导致启动时间增加，请将产品 $C_{FF} \times R_1$ 限制在 50μs 以下。

### *7.1.6 功率耗散 ($P_D$)*

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 ($P_D$)。

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (9)$$

**备注**

对于负电压轨，LDO 两端的余量计算为 $V_{OUT}$ - $V_{IN}$。通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域必须包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 ($T_A$)。根据以下公式，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 ($T_A$) 有关。

Copyright © 2026 Texas Instruments Incorporated

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (10)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。节 5.4 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定，并用作封装热性能的相对衡量指标。

### 7.1.7 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。节 5.4 表列出了主要的热指标，即结至顶部特征参数 ($\psi_{JT}$) 和结至电路板特征参数 ($\psi_{JB}$)。这些参数提供了两种计算结温 ($T_J$) 的方法，如以下公式所述。结合使用结至顶部特征参数 ($\psi_{JT}$) 和器件封装顶部中间位置的温度 ($T_T$) 来计算结温。结合使用结至电路板特征参数 ($\psi_{JB}$) 和距器件封装 1mm PCB 表面温度 ($T_B$) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \quad (11)$$

其中：

- $P_D$ 是耗散功率
- $T_T$ 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (12)$$

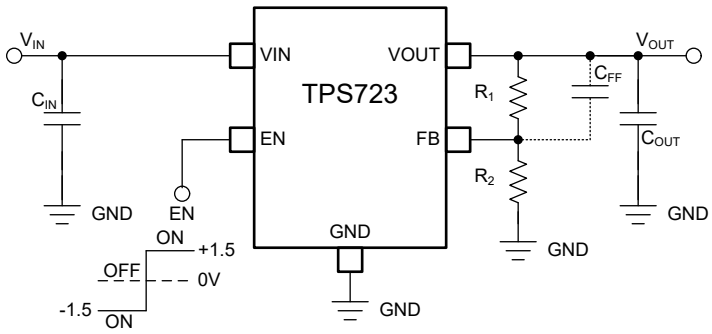
其中

- $T_B$ 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标的详细信息及其使用方法，请参阅*半导体和 IC 封装热指标*应用手册。

## 7.2 典型应用

TPS72301 支持设计人员指定 –10V 至 –1.2V 的任何输出电压。如图 7-2 中的应用电路所示，使用了一个外部电阻分压器将输出电压 ($V_O$) 调节到基准电压。为了获得最佳精度，请对 $R_1$ 和 $R_2$ 使用精密电阻器。可使用图 7-2 中的公式确定电阻分压器的值。




$V_{OUT}$ = –1.186 × (1 + $R_1$ / $R_2$)，其中 $R_1$ + $R_2$ ≅ 100kΩ（对于旧芯片）且 $R_2$ ≤ 118.6kΩ（对于新芯片）

**图 7-2. TPS72301 可调节 LDO 稳压器编程**

### 7.2.1 设计要求

本设计示例使用表 7-1 中所列的参数作为输入参数。

**表 7-1. 设计参数**

| 设计参数 | 示例值 |
|---|---|
| 输入电压范围 | -10V 至 -2.7V |


Copyright © 2026 Texas Instruments Incorporated

表 7-1. 设计参数（续）

| 设计参数 | 示例值 |
|---|---|
| 输出电压 | -2.5V |
| 输出电流 | 200mA |
| 输出电容器 | 2.2μF |

#### 7.2.1.1 确保稳定性的电容器选择

必须针对预期应用使用适当的输入和输出电容器。TPS723 仅需使用 2.2 μ F 陶瓷输出电容器即可稳定运行。电容值和等效串联电阻 (ESR) 都会影响稳定性、输出噪声、PSRR 和瞬态响应。对于典型应用，靠近稳压器放置一个 2.2μF 陶瓷输出电容器就足够了。

#### 7.2.1.2 输出噪声

在没有外部旁路的情况下，TPS723 在 10Hz 至 100kHz 范围内的输出噪声典型值为 200 μ $V_{RMS}$。导致输出噪声的主要因素是内部带隙基准。将一个外部 0.01 μ F 电容器接地，可将噪声降低至 60 μ $V_{RMS}$。通过在 NR 引脚和 OUT 引脚上使用合适的低 ESR 电容器来旁路噪声，可获得出色的噪声性能。请参阅*典型特性*部分中的图 5-58。

#### 7.2.1.3 电源抑制

TPS723 可为具有噪声输入源或高敏感输出电源线路的应用提供非常高的 PSRR。为了获得出色的 PSRR，请使用高质量输入和输出电容器。

### *7.2.2 详细设计过程*

根据输出电压选择所需的器件。

针对压降和输出电流提供具有充足余量的输入电源，考虑到 GND 引脚电流并为负载供电。

### *7.2.3 应用曲线*

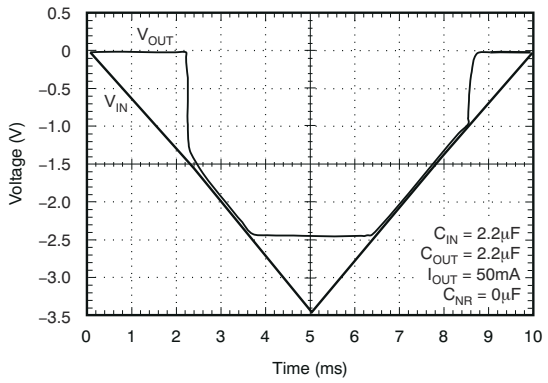



图 7-3. TPS72325 加电、断电（旧芯片）

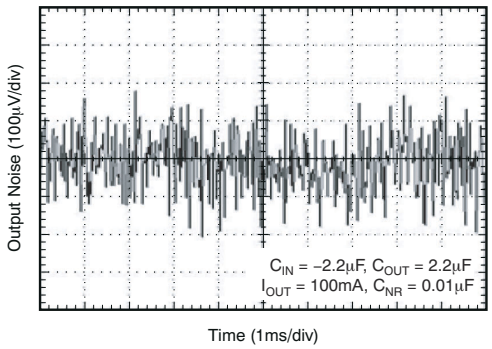



图 7-4. TPS72325 输出噪声与时间间的关系（旧芯片）

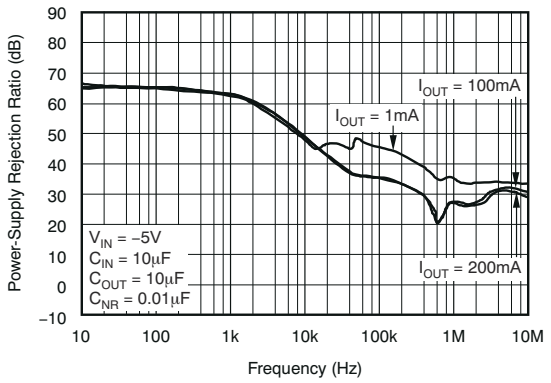
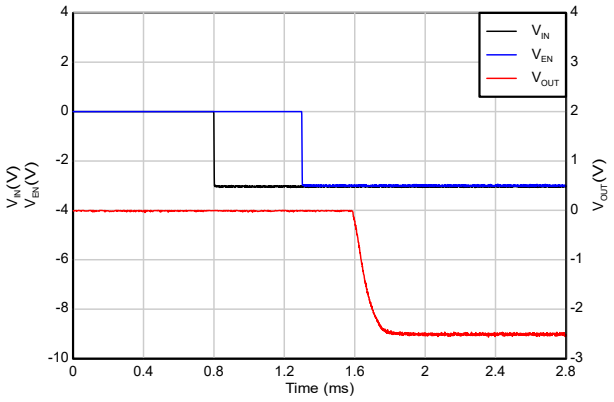
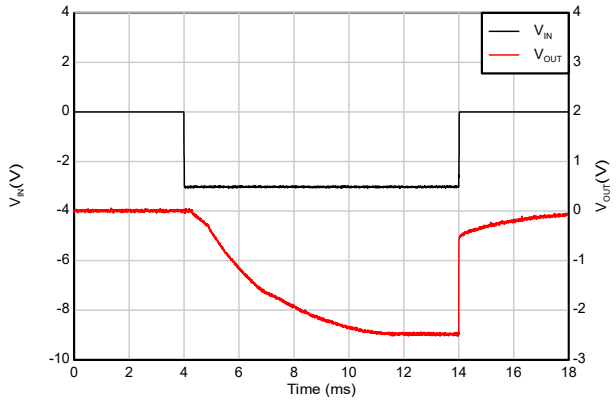



**图 7-5. PSRR 与频率间的关系（旧芯片）**



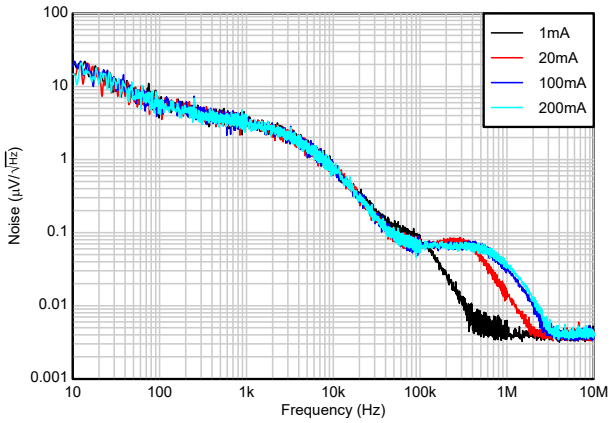

$I_{OUT}$ = 200mA

**图 7-6. TPS72325 启动响应（$V_{IN}$ 在 EN 之前斜升）（新芯片）**



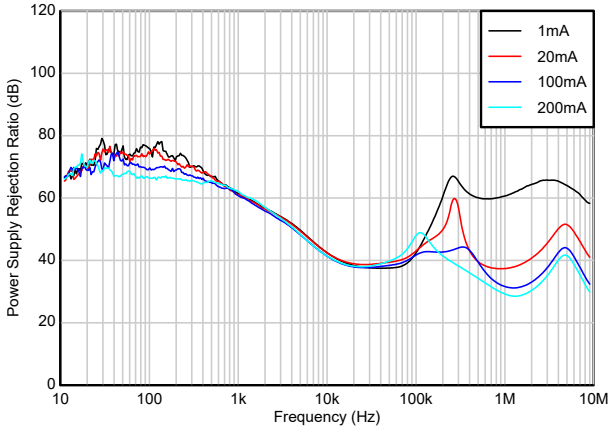

$I_{OUT}$ = 200mA，$C_{NR}$ = 10nF

**图 7-7. TPS72325 启动响应（$V_{IN}$ 和 EN 连接在一起）（新芯片）**




$V_{IN}$ = -3.0V

**图 7-8. TPS72325 总噪声与 $I_{OUT}$ 间的关系（10Hz 至 100kHz）（新芯片）**




$V_{IN}$ = -3.0V

**图 7-9. PSRR 与 $I_{OUT}$ 间的关系（新芯片）**


Copyright © 2026 Texas Instruments Incorporated

## 7.3 最佳设计实践

将至少一个 2.2 µ F 陶瓷电容器尽可能靠近稳压器的 OUT 引脚放置。

请勿将输出电容器放置在距离稳压器超过 10mm 的位置。

在稳压器的 IN 引脚与 GND 输入之间连接一个 0.1 µ F 至 2.2 µ F 低 ESR 电容器。

请勿超出绝对最大额定值。

## 7.4 电源相关建议

此类器件设计为在 -10V 至 -2.7V 的输入电源电压范围内运行。输入电压范围必须为器件提供足够的余量，以实现稳定的输出。该输入电源必须经过良好调节并保持稳定。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

## 7.5 布局

### *7.5.1 布局指南*

为改善 PSRR、输出噪声和瞬态响应等交流性能，在设计电路时应分别为 $V_I$ 和 $V_O$ 提供独立的接地平面，并且仅在器件的 GND 引脚上连接每个接地平面。此外，将旁路电容器直接连接至器件的 GND 引脚。

### *7.5.2 布局示例*

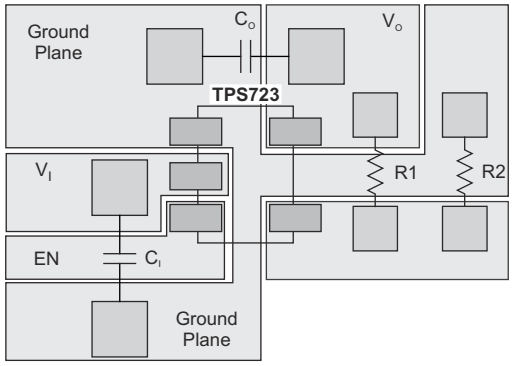



**图 7-10. 示例布局**

# 8 器件和文档支持

## 8.1 器件支持

### *8.1.1 开发支持*

#### 8.1.1.1 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的*仿真模型*下获取 TPS723 的 SPICE 模型。

### *8.1.2 器件命名规则*

**表 8-1. 器件命名规则 (1)**

| 产品 | $V_{OUT}$ |
|---|---|
| TPS723**xxyyyz M3** | **xx** 为标称输出电压（例如，25 = 2.5V，01 = 可调）。<br>**yyy** 为封装指示符。<br>**z** 为封装数量。该器件的发货版本可能采用旧芯片（CSO：DLN），也可能采用新芯片（CSO：DM6），新芯片使用了最新的制造流程。卷带封装标签提供 CSO 信息以区分正在使用的芯片。全篇对新芯片和旧芯片的器件性能进行了说明。M3 是后缀指示符，仅对使用最新制造流程的 CSO:DM6 新芯片有效。 |

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。

## 8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。


Copyright © 2026 Texas Instruments Incorporated

# 9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision D (December 2019) to Revision E (March 2026) | Page |
|---|---|
| • 更新了整个文档中的表格、图和交叉参考的编号格式 | 1 |
| • 更新了*特性*部分，以添加新芯片的相关信息 | 1 |
| • 更新了*说明*部分，以重点介绍新芯片和旧芯片的关键器件性能参数 | 1 |
| • 更新了*引脚配置和功能*部分，添加了每个引脚的详细功能 | 3 |
| • 更新了*绝对最大额定值*、*ESD 等级*、*建议运行条件和电气特性*，添加了新芯片的相关性能详细信息以及与旧芯片的比较情况 | 4 |
| • 更新了*典型特性*部分，以展示旧芯片和新芯片之间的性能比较 | 7 |
| • 更新了*概述*部分，以提供新芯片的相关信息 | 21 |
| • 添加了新芯片的功能方框图，更新了固定和可调器件的功能方框图 | 21 |
| • 更新了*电流限制*部分，以提供器件功能的相关详细信息 | 23 |
| • 更新了*启用*部分，以提供器件功能的相关详细信息 | 23 |
| • 添加了*压降电压*部分，以提供器件功能的相关详细信息 | 23 |
| • 添加了*输出上拉*部分，以提供器件功能的相关详细信息 | 24 |
| • 添加了*热关断*部分，以提供器件功能的相关详细信息 | 24 |
| • 添加了*欠压锁定 (UVLO)* 部分以显示器件功能的相关详细信息 | 24 |
| • 添加了 *NR 和可编程软启动*部分，以提供器件功能的相关详细信息 | 24 |
| • 更新了*器件功能模式*部分，以介绍该器件的功能 | 24 |
| • 添加了*可调器件反馈电阻器选择*部分，以提供该器件的详细应用信息 | 26 |
| • 添加了*建议电容器类型*部分，以提供该器件的详细应用信息 | 26 |
| • 添加了*输入和输出电容器选择*部分，以提供该器件的详细应用信息 | 26 |
| • 添加了*反向电流*部分，以提供该器件的详细应用信息 | 26 |
| • 添加了*前馈电容器 ($C_{FF}$)* 部分，以提供该器件的详细应用信息 | 27 |
| • 添加了*功率耗散 ($P_D$)* 部分，以提供该器件的详细应用信息 | 27 |
| • 添加了*估算结温*部分，以提供该器件的详细应用信息 | 28 |
| • 更新了图 7-2 并添加了关于旧芯片和新芯片的比较的注释 | 28 |
| • 添加了表 7-1 | 28 |
| • 向*应用曲线*添加了新曲线 | 29 |
| • 删除了*功率耗散*和*热保护*部分 | 31 |
| • 更新了*器件命名规则*，以提供器件的更多详细信息 | 32 |

| Changes from Revision C (September 2014) to Revision D (December 2019) | Page |
|---|---|
| • 在文档中增加了 DRV 封装 | 1 |
| • 更改了*应用*部分，以链接至终端设备 | 1 |

# 10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| TPS72301DBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU \| SN | Level-1-260C-UNLIM | -40 to 125 | T08I |
| TPS72301DBVR.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 125 | T08I |
| TPS72301DBVRG4 | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | T08I |
| TPS72301DBVRG4.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | T08I |
| TPS72301DBVRM3 | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 125 | T08I |
| TPS72301DBVT | Obsolete | Production | SOT-23 (DBV) \| 5 | - | - | Call TI | Call TI | -40 to 125 | T08I |
| TPS72301DDCR | NRND | Production | SOT-23-THIN (DDC) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | T08I |
| TPS72301DDCR.A | NRND | Production | SOT-23-THIN (DDC) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | T08I |
| TPS72301DDCT | Active | Production | SOT-23-THIN (DDC) \| 5 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | T08I |
| TPS72301DDCT.A | Active | Production | SOT-23-THIN (DDC) \| 5 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | T08I |
| TPS72301DRVR | NRND | Production | WSON (DRV) \| 6 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 1TLM |
| TPS72301DRVR.A | NRND | Production | WSON (DRV) \| 6 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 1TLM |
| TPS72301DRVT | Active | Production | WSON (DRV) \| 6 | 250 \| SMALL T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 1TLM |
| TPS72301DRVT.A | Active | Production | WSON (DRV) \| 6 | 250 \| SMALL T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 1TLM |
| TPS72325DBVR | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU \| SN | Level-1-260C-UNLIM | -40 to 125 | T02I |
| TPS72325DBVR.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 125 | T02I |
| TPS72325DBVRG4 | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | T02I |
| TPS72325DBVRG4.A | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | T02I |
| TPS72325DBVRM3 | Active | Production | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 125 | T02I |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

**(4) Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**(5) MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

**(6) Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS723 :**

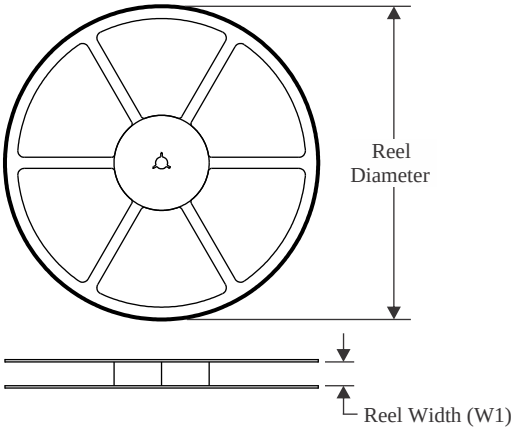
- Automotive : TPS723-Q1

NOTE: Qualified Version Definitions:

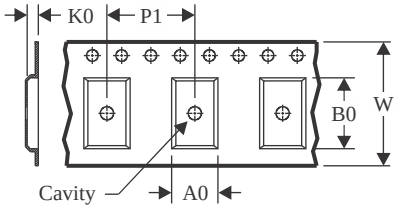
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

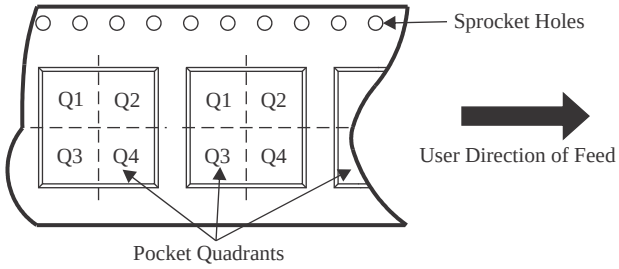



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

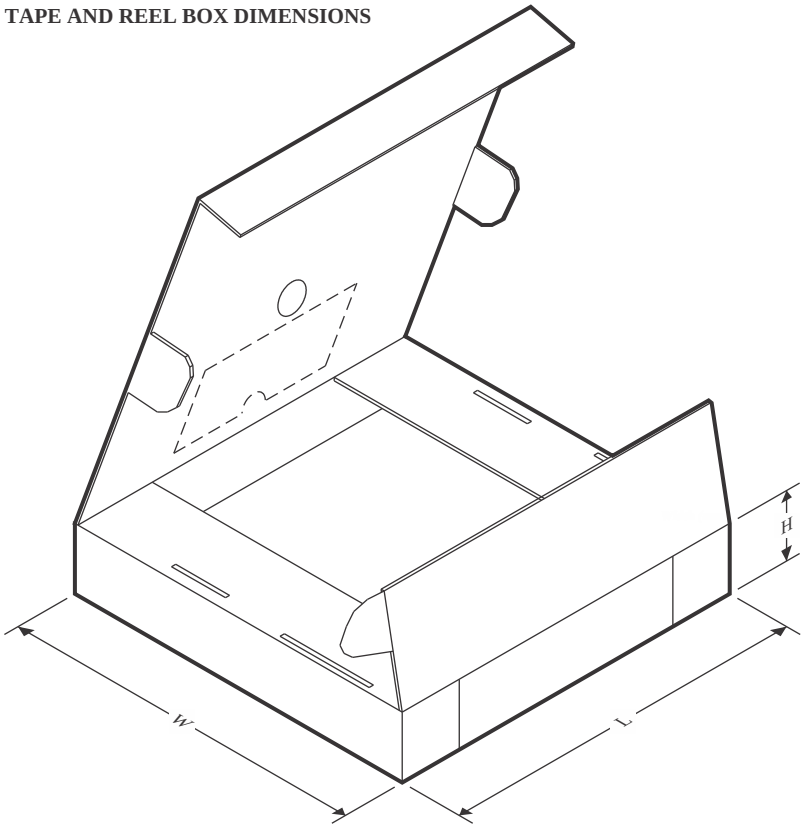
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TPS72301DBVR | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DBVR | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DBVRG4 | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DBVRM3 | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DDCR | SOT-23-THIN | DDC | 5 | 3000 | 179.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DDCT | SOT-23-THIN | DDC | 5 | 250 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72301DRVR | WSON | DRV | 6 | 3000 | 178.0 | 8.4 | 2.25 | 2.25 | 1.0 | 4.0 | 8.0 | Q2 |
| TPS72301DRVT | WSON | DRV | 6 | 250 | 178.0 | 8.4 | 2.25 | 2.25 | 1.0 | 4.0 | 8.0 | Q2 |
| TPS72325DBVR | SOT-23 | DBV | 5 | 3000 | 179.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72325DBVR | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72325DBVRG4 | SOT-23 | DBV | 5 | 3000 | 179.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| TPS72325DBVRM3 | SOT-23 | DBV | 5 | 3000 | 180.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

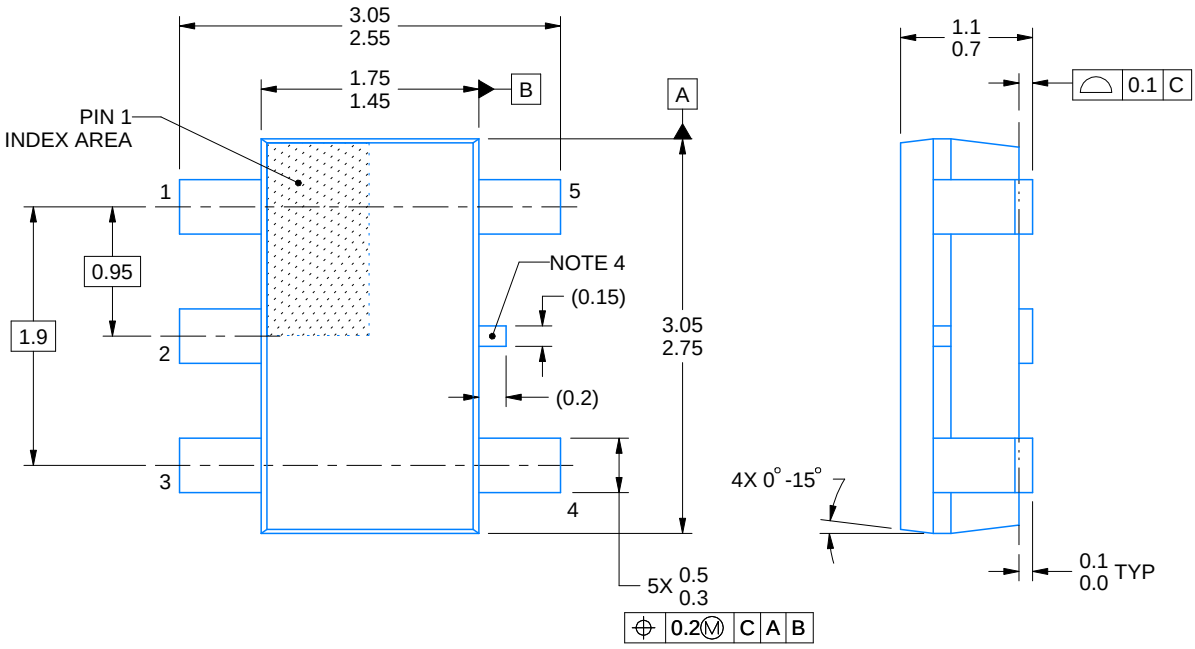
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| TPS72301DBVR | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |
| TPS72301DBVR | SOT-23 | DBV | 5 | 3000 | 200.0 | 183.0 | 25.0 |
| TPS72301DBVRG4 | SOT-23 | DBV | 5 | 3000 | 200.0 | 183.0 | 25.0 |
| TPS72301DBVRM3 | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |
| TPS72301DDCR | SOT-23-THIN | DDC | 5 | 3000 | 213.0 | 191.0 | 35.0 |
| TPS72301DDCT | SOT-23-THIN | DDC | 5 | 250 | 213.0 | 191.0 | 35.0 |
| TPS72301DRVR | WSON | DRV | 6 | 3000 | 205.0 | 200.0 | 33.0 |
| TPS72301DRVT | WSON | DRV | 6 | 250 | 205.0 | 200.0 | 33.0 |
| TPS72325DBVR | SOT-23 | DBV | 5 | 3000 | 200.0 | 183.0 | 25.0 |
| TPS72325DBVR | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |
| TPS72325DBVRG4 | SOT-23 | DBV | 5 | 3000 | 200.0 | 183.0 | 25.0 |
| TPS72325DBVRM3 | SOT-23 | DBV | 5 | 3000 | 210.0 | 185.0 | 35.0 |

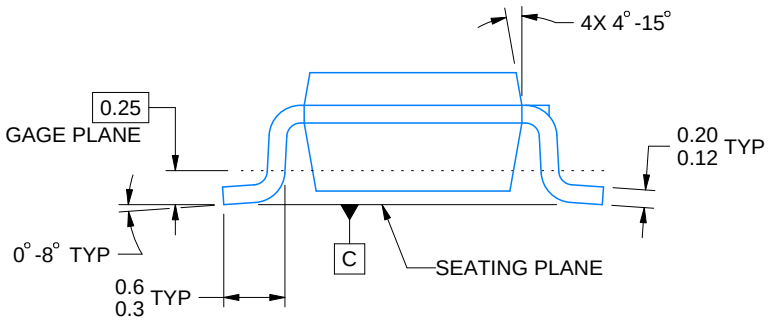
# PACKAGE OUTLINE

## DDC0005A

## SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR

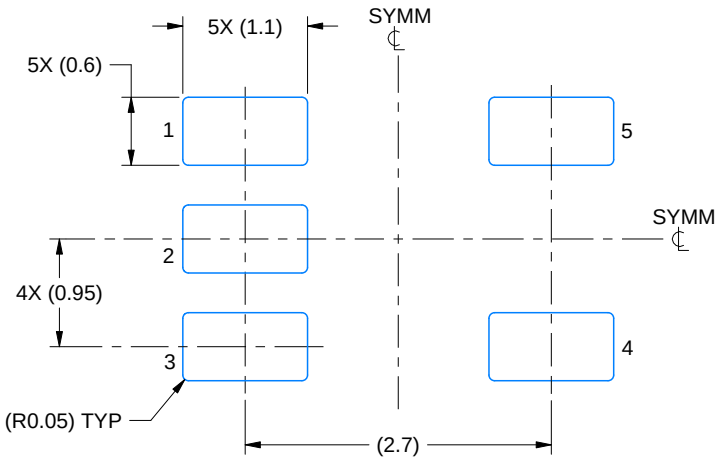


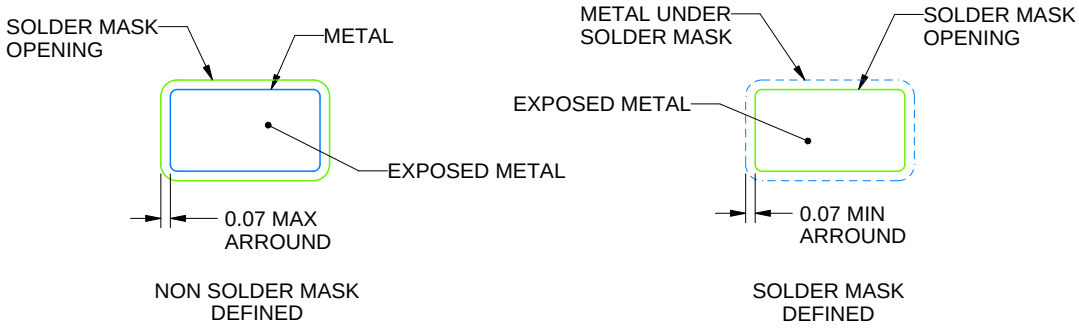

4220752/C 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-193.
4. Support pin may differ or may not be present.




LAND PATTERN EXAMPLE
EXPLOSED METAL SHOWN
SCALE:15X

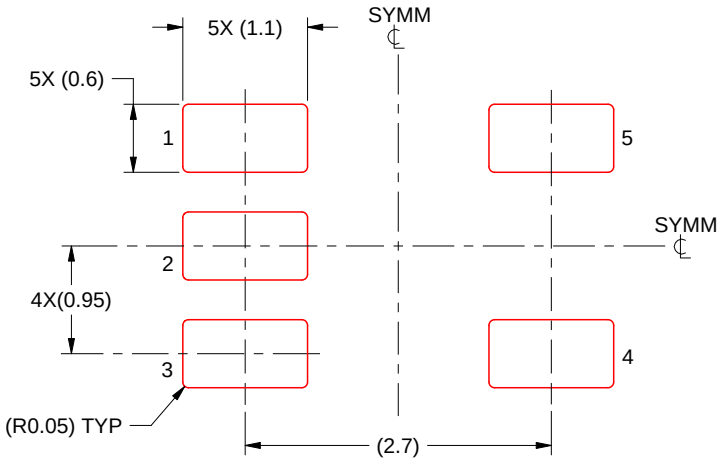



SOLDERMASK DETAILS

4220752/C 08/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4220752/C 08/2024

NOTES: (continued)

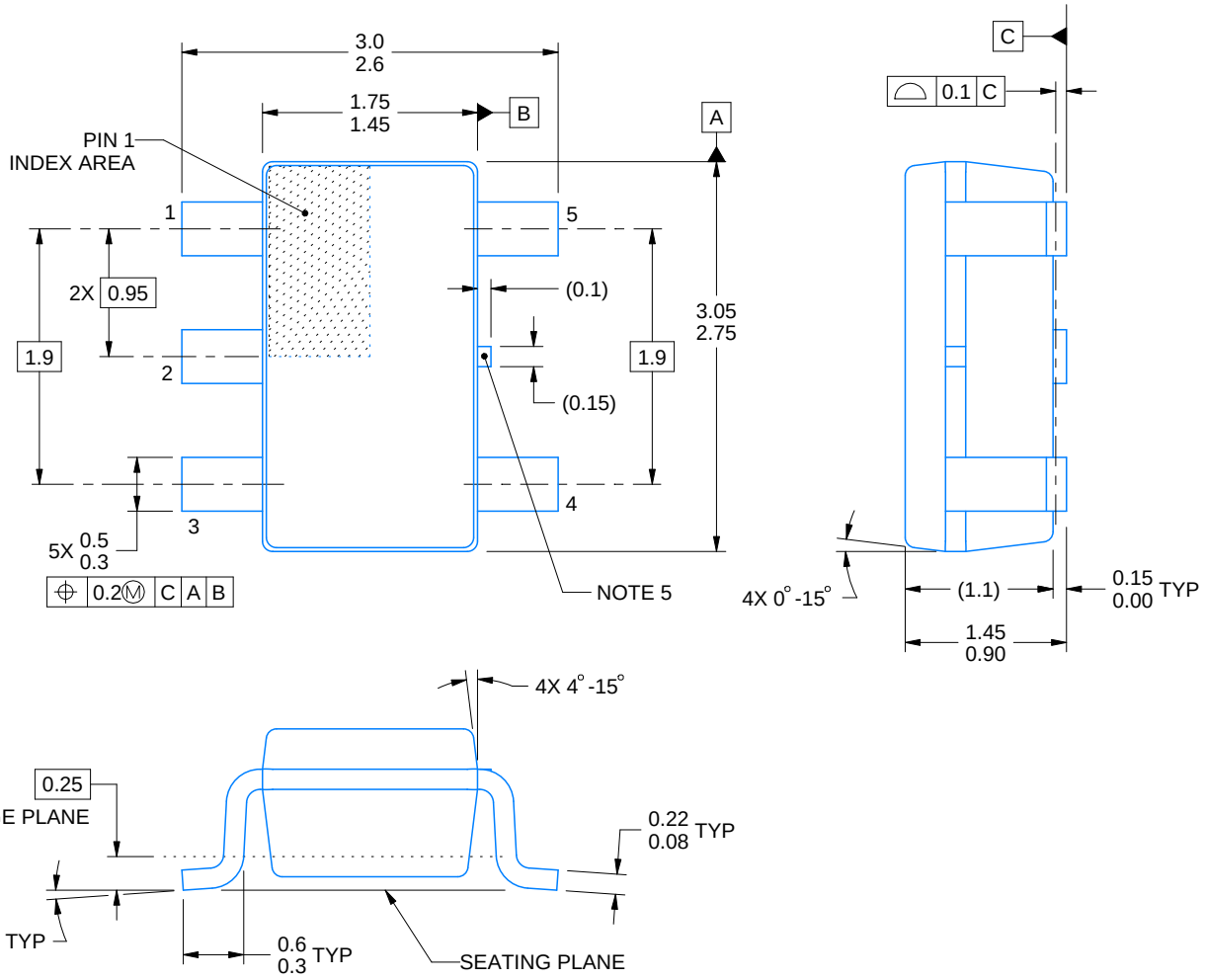
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

# PACKAGE OUTLINE

## DBV0005A

## SOT-23 - 1.45 mm max height

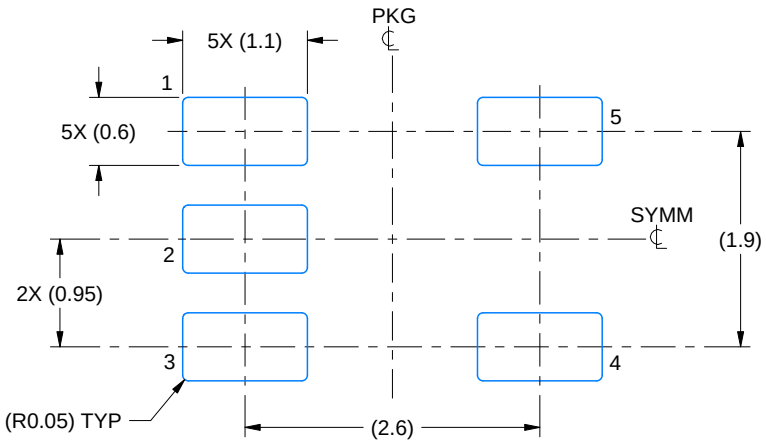
SMALL OUTLINE TRANSISTOR



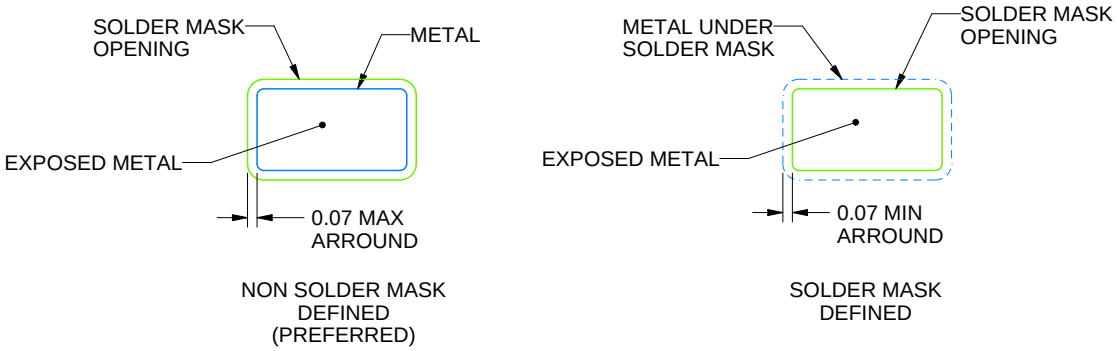

4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

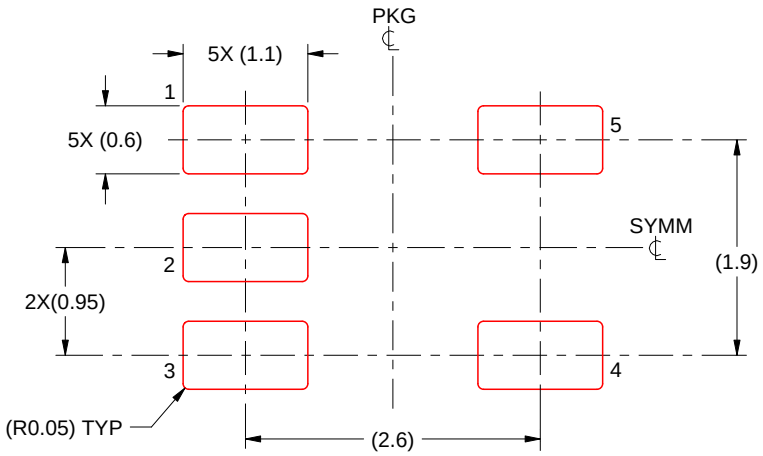



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

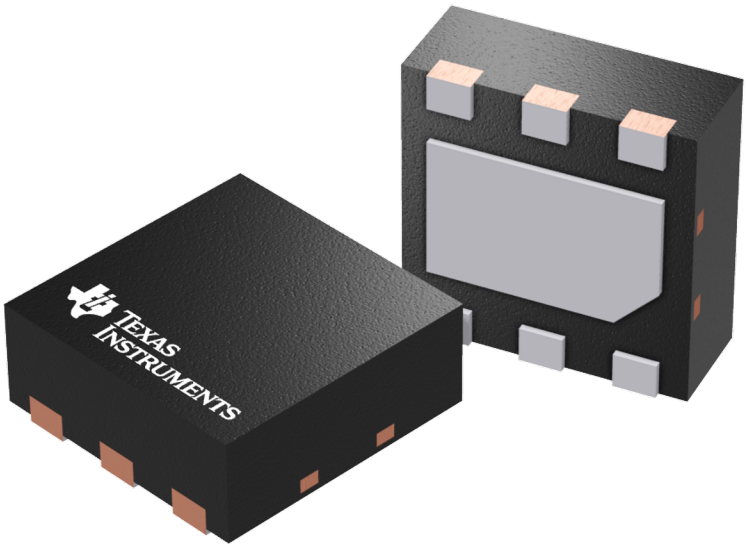
4214839/K 08/2024

NOTES: (continued)

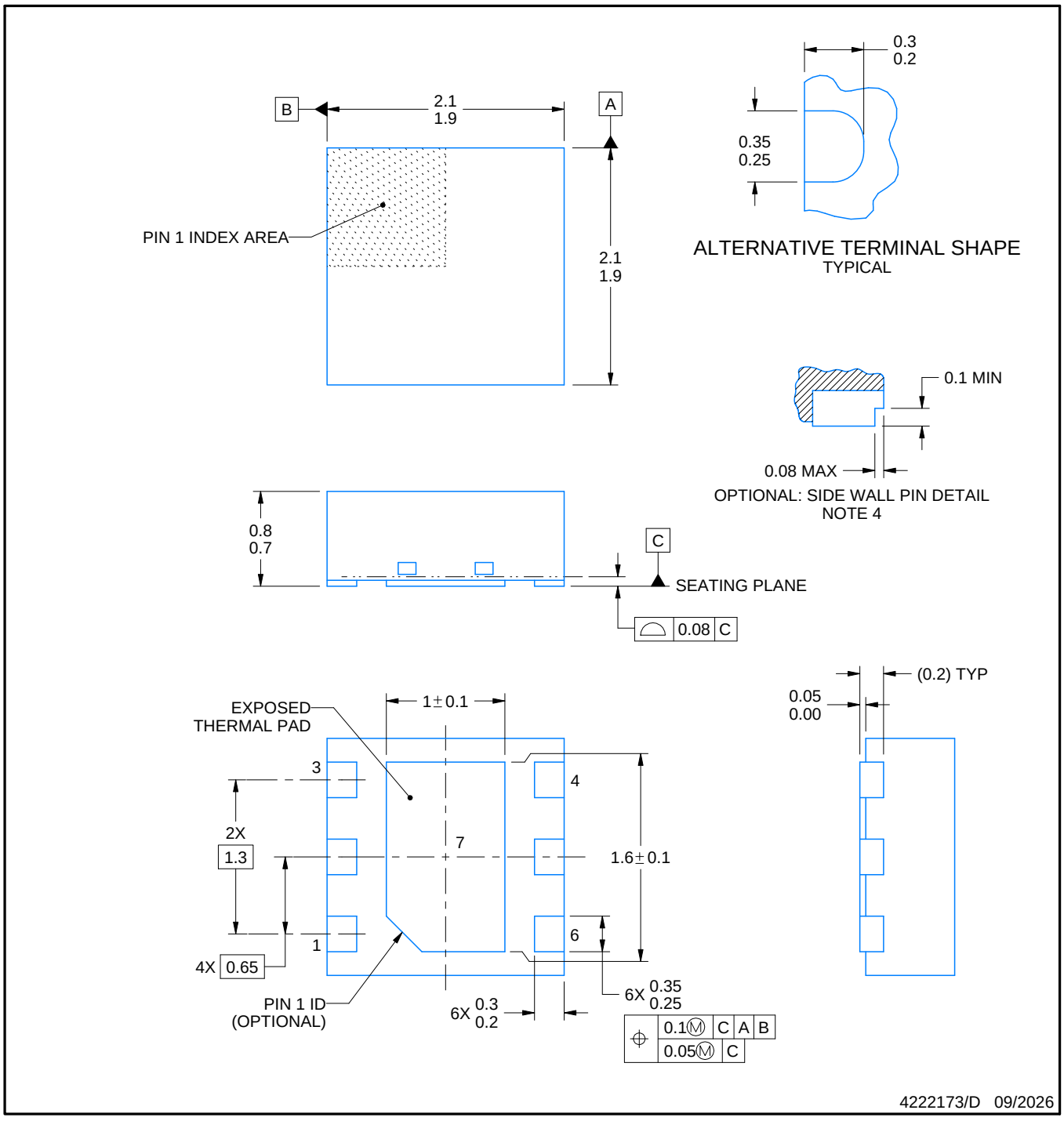
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

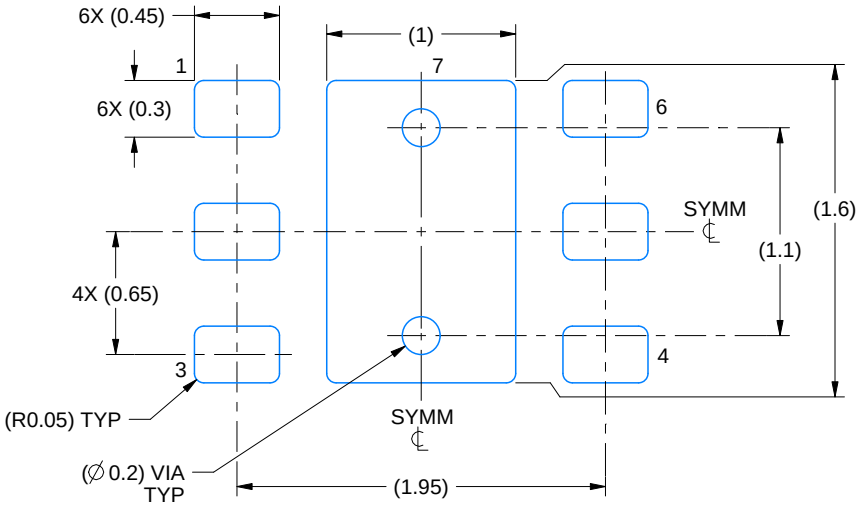



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

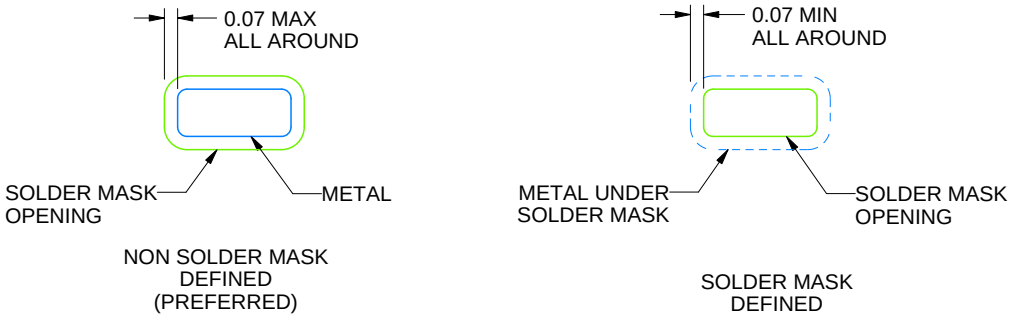



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.




LAND PATTERN EXAMPLE
SCALE:25X

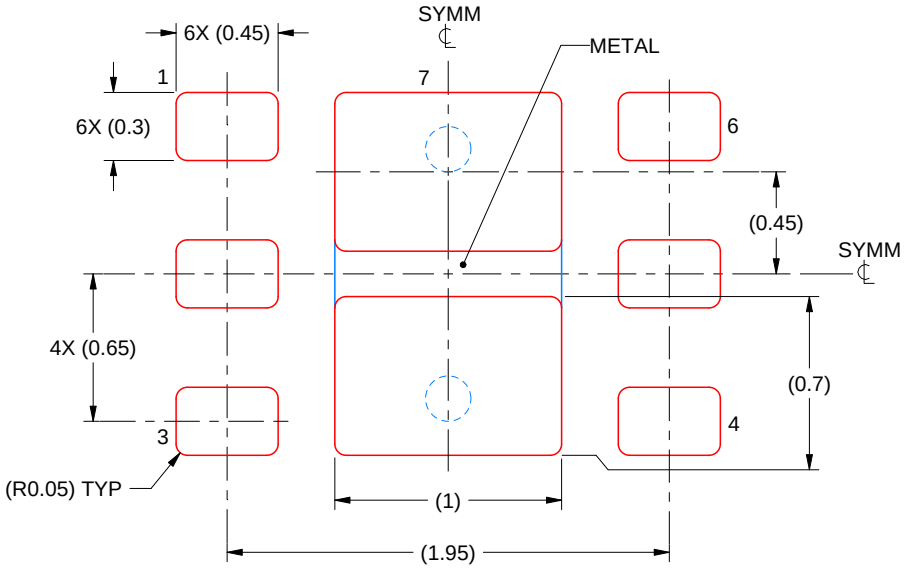



SOLDER MASK DETAILS

4222173/D 09/2026

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/D 09/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月