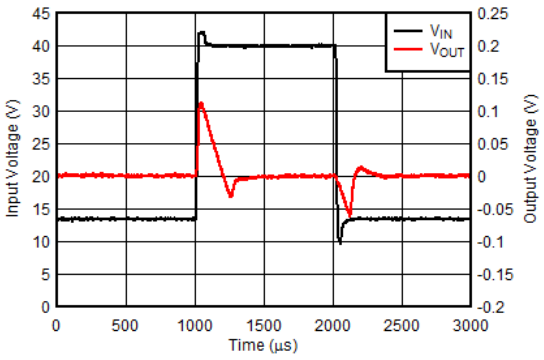
具有电源正常状态指示和集成电压监控功能 的 TPS7B85-Q1 汽车级 150mA、40V 低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：-40°C 至 +125°C，T_A
  - 结温；–40℃ 至 +150℃，T_J
- 输入电压范围：3V 至 40V（最大值 42V）
- 输出电压范围：3.3V 和 5V（固定电压）
- 输出电流高达 150mA
- 输出电压精度：±0.75%（最大值）
- 低压降：
  - 150mA 时为 225mV（最大值）(V_{OUT} ≥ 3.3V)
- 低静态电流：
  - 18µA（典型值）
  - 禁用时最大值为 4µA
- 出色的线路瞬态响应：
  - 冷启动时出现 ±2% V_{OUT} 偏差
  - ±2% V_{OUT} 偏差（V_{IN} 压摆率 1V/µs）
- 集成电压检测
- 具有可调阈值和可编程延迟周期的电源正常状态指示
- 与 2.2µF 或更大的电容器搭配使用时可保持稳定
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 封装：10 引脚 VSON（带散热焊盘）
  - 低热阻 ($R_{\theta JA}$)：50.3°C/W

2 应用

- 可重新配置仪表组
- 车身控制模块 (BCM)
- 常开型电池连接应用：
  - 汽车网关
  - 远程免钥匙进入 (RKE)



线路瞬态响应（V_{IN} 压摆率 3V/µs）

3 说明

TPS7B85-Q1 是一款低压降线性稳压器，专用于连接汽车应用中的电池。该器件的输入电压范围高达 40V，因此可承受汽车系统可能发生的瞬变（如负载突降）。此器件的静态电流仅为 18µA，是为备用系统中微控制器 (MCU) 和控制器局域网 (CAN) 收发器等常开型器件供电的出色解决方案。

该器件具有先进的瞬态响应，因此输出端可对负载或线路变化（例如，在冷启动条件下）作出迅速响应。此外，该器件架构新颖，可在从电压跌落恢复过程中更大限度降低输出过冲幅度。正常运行时，该器件可在整个线路、负载和温度范围内维持 ±0.75% 的直流精度。

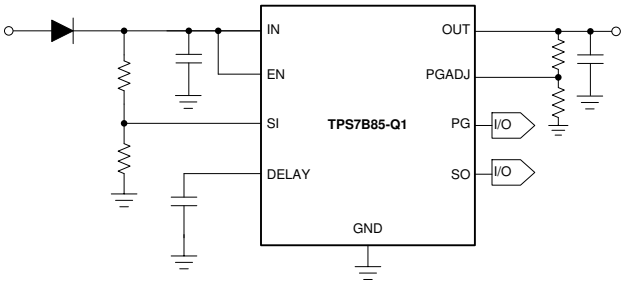
TPS7B85-Q1 具有电源正常状态指示和集成的电压监控功能。电源正常状态指示延迟和电压阈值可通过外部组件进行调整。集成式电压检测器可用于监控输入电压，并在电池电压开始降低时提醒下游组件（如 MCU）。

该器件采用小型 VSON 封装，可实现紧凑的印刷电路板 (PCB) 设计。即使整个器件散热较多，低热阻也有助于持久运行。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
TPS7B85-Q1	VSON (10)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



典型应用原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....3
5.1 绝对最大额定值.....3
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 开关特性.....6
5.7 典型特性.....7
6 详细说明.....14
6.1 概述.....14
6.2 功能方框图.....14
6.3 特性说明.....15
6.4 器件功能模式.....18
7 应用和实施.....19
7.1 应用信息.....19
7.2 典型应用.....27
7.3 电源相关建议.....28
7.4 布局.....28
8 器件和文档支持.....30
8.1 器件支持.....30
8.2 接收文档更新通知.....30
8.3 支持资源.....30
8.4 商标.....30
8.5 静电放电警告.....30
8.6 术语表.....30
9 修订历史记录.....31
10 机械、封装和可订购信息.....31

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

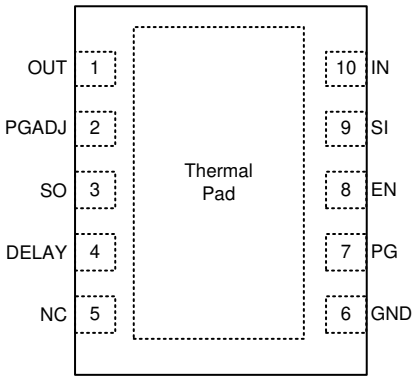


图 4-1. DRC 封装，10 引脚 VSON，顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	DRC		
延迟	4	O	电源正常延迟调整引脚。在该引脚和 GND 之间连接一个电容器来设置 PG 复位延迟。将该引脚悬空以实现默认 ($t_{(DLY_FIX)}$) 延迟。有关更多信息，请参阅*电源正常*小节。如果不需要此功能，请将该引脚悬空，因为将该引脚连接到 GND 会导致 GND 电流永久增加。
EN	8	I	使能引脚。当使能引脚低于使能逻辑输入低电平 (V_{IL}) 时，该器件被禁用。为确保器件启用，EN 引脚必须驱动到逻辑高电平 (V_{IH}) 以上。该引脚不应保持悬空，因为该引脚为高阻抗，如果悬空，则可能会启用或禁用器件。
GND	6	G	接地引脚。需通过低阻抗连接将此引脚连接到散热焊盘。
NC	5	—	无内部连接。将此引脚连接到 GND 以获得最佳热阻。
PGADJ	2	I	电源正常阈值调整引脚。在 PGADJ 和 OUT 引脚之间连接一个电阻分压器以便设置电源正常阈值。将此引脚接地，将阈值设置为 $V_{PG(TH,FALLING)}$。有关更多信息，请参阅*电源正常*。
PG	7	O	电源正常引脚。此引脚具有内部上拉电阻器。请勿将此引脚连接到 V_{OUT} 或任何其他偏置电压轨。当 V_{OUT} 高于电源正常阈值时，V_{PG} 为逻辑高电平。有关更多信息，请参阅*电源正常*。
SI	9	I	检测输入引脚。通过外部分压器连接至要监控的电源电压。
SO	3	O	检测输出引脚。此引脚具有内部上拉电阻器。请勿将此引脚连接到 V_{OUT} 或任何其他偏置电压轨。当 V_{SI} 降至低于检测低电平阈值时，V_{SO} 为逻辑低电平。
IN	10	P	输入电源电压引脚。为了获得理想瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用建议值或更大的陶瓷电容器，如*建议运行条件*表和*输入电容器*部分所示。将输入电容器放置在尽可能靠近器件的输入的位置上。
OUT	1	O	稳压输出电压引脚。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到接地端的更大陶瓷电容器，如*建议的工作条件*表和*输出电容器*小节所示。将此输出电容器尽可能靠近器件输出端放置。如果使用高 ESR 电容器，请使用 100nF 陶瓷电容器对输出进行去耦。
散热焊盘		—	散热焊盘。将焊盘连接到 GND 以获得尽可能出色的热性能。有关更多信息，请参阅*布局*小节。

(1) I = 输入；O = 输出；P = 电源；G = 接地。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
IN	非稳压输入	-0.3	42	V
EN	使能输入	-0.3	V_{IN} + 2V(3)	V

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
OUT	经调节的输出	-0.3	V_{IN} + 0.3V(2)	V
FB	反馈	-0.3	20	V
SI	检测输入	-0.3	42	V
延迟	复位延迟输入	-0.3	6	V
SO、PG、PGADJ	检测输出、电源正常、电源正常状态可调阈值	-0.3	20	V
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*最大绝对额定值*下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，对于在应力额定值下或者在任一其他超过*建议运行条件*中所标出的额定值的器件的功能运行情况，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 绝对最大额定值为 V_{IN} + 0.3V 或 20V（以较小者为准）。
(3) 绝对最大额定值为 V_{IN} + 2V 或 42V（以较小者为准）。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	输入电压	3		40	V
V_{OUT}	输出电压	1.2		18	V
I_{OUT}	输出电流	0		150	mA
V_{EN}	高压 (I/O)	0		V_{IN} + 1V(4)	V
V_{SI}	高压 (I/O)	0		40	V
V_{Delay}	延时引脚电压	0		5.5	V
V_{PG}、V_{SO}、V_{PGADJ}	低电压 (I/O)，电源正常状态可调阈值	0		18	V
C_{OUT}	输出电容器(2)	2.2		220	µF
ESR	输出电容器 ESR 要求(3)	0.001		2	Ω
C_{IN}	输入电容器(1)	0.1	1		µF
C_{Delay}	电源正常延迟电容器	0		1	µF
T_J	工作结温	-40		150	°C

(1) 为确保强大的 EMI 性能，最小输入电容要达到 500nF。
(2) 为了实现稳定性，需要最小值为 1µF 的有效输出电容。
(3) 如果使用较大的 ESR 电容器，建议使用 100nF 陶瓷电容器对其进行去耦，以提高瞬态性能。
(4) 最大建议工作电压为 V_{IN} + 1V 或 40V（以较小者为准）

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)(2)		TPS7B85-Q1 DRC (VSON) 10 引脚	单位
$R_{\theta JA}$	结至环境热阻(3)	50.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	54.5	°C/W
$R_{\theta JB}$	结至电路板热阻	23.9	°C/W
ψ_{JT}	结至顶部特征参数	1.2	°C/W
ψ_{JB}	结至电路板特征参数	23.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	7.5	°C/W

(1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。具有 2oz 覆铜的双信号、双平面、四层电路板。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。
(2) 有关新旧热性能指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。
(3) 1s0p $R_{\theta JA}$ 对于 DRC 封装为 202.5℃/W。

5.5 电气特性

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，C_{IN} = 1µF，以及 V_{EN} = 2V；典型值条件为 T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
V_{OUT}	稳压输出精度	V_{IN} = V_{OUT} + 500mV 至 40V，I_{OUT} = 100µA 至 150mA(1)	T_J = 25ºC	-0.5		0.5	%
			T_J = -40°C 至 +150ºC	-0.75		0.75	
$\Delta V_{OUT(\Delta VIN)}$	线路调整率	输出电压百分比变化	V_{IN} = V_{OUT} + 500mV 至 40V，I_{OUT} = 100µA			0.2	%
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	输出电压百分比变化	V_{IN} = V_{OUT} + 500mV，I_{OUT} = 100µA 至 150mA			0.2	
ΔV_{OUT}	负载瞬态响应设置时间(2) (3)	C_{OUT} = 10µF	C_{OUT} = 10µF			100	µs
	负载瞬态响应过冲、下冲(3)		I_{OUT} = 45mA 至 105mA	-2%		10%	%V_{OUT}
			I_{OUT} = 0mA 至 150mA	-10%			
I_Q	静态电流	V_{IN} = V_{OUT} + 500mV 至 40V，I_{OUT} = 0mA	T_J = 25ºC		18	21	µA
			T_J = -40°C 至 +150ºC			26	
		I_{OUT} = 500µA	T_J = -40°C 至 +150ºC			35	
$I_{SHUTDOWN}$	关断电源电流 (I_{GND})	V_{EN} = 0V	T_J = 25ºC			2.5	µA
			T_J = -40°C 至 +150ºC			4	
V_{DO}	压降电压	I_{OUT} ≤1mA，V_{OUT} ≥3.3V，V_{IN} = $V_{OUT(NOM)}$ x 0.95				43	mV
		I_{OUT} = 105mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			125	175	
		I_{OUT} = 150mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			155	225	
$V_{UVLO(RISING)}$	上升输入电源 UVLO	V_{IN} 上升		2.6	2.7	2.82	V
$V_{UVLO(FALLING)}$	下降输入电源 UVLO	V_{IN} 下降		2.38	2.5	2.6	V
$V_{UVLO(HYST)}$	V_{UVLO} 迟滞				230		mV
V_{IL}	使能逻辑输入低电平					0.7	V
V_{IH}	使能逻辑输入高电平			2			V
I_{EN}	EN 引脚电流	V_{EN} = V_{IN} = 13.5V				50	nA
I_{CL}	输出电流限制	V_{IN} = V_{OUT} + 1V，V_{OUT} 短接至 90% × $V_{OUT(NOM)}$		180	220	260	mA
PSRR	电源纹波抑制	V_{IN} - V_{OUT} = 500mV，频率 = 1kHz，I_{OUT} = 150mA			55		dB
V_n	输出噪声电压	V_{OUT} = 3.3V，BW = 10Hz 至 100kHz			280		μV_{RMS}
$V_{SI(HIGH)}$	检测输入阈值高电平	V_{SI} 上升		1.17	1.21	1.25	V

Copyright © 2026 Texas Instruments Incorporated

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，C_{IN} = 1µF，以及 V_{EN} = 2V；典型值条件为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
$V_{SI(LOW)}$	检测输入阈值低电平	V_{SI} 下降	1.07	1.12	1.15	V
$V_{SI(HYST)}$	检测输入开关迟滞			90		mV
I_{SI}	检测输入电流	V_{SI} = 40V		0.015	1.5	µA
R_{SO}	检测输出内部上拉电阻器		10	30	50	kΩ
$V_{SO(OL)}$	检测输出低电压	V_{SI} ≤ 1.07V，V_{IN} ≥ 3V			0.4	V
R_{PG}	电源正常内部上拉电阻器		10	30	50	kΩ
$V_{PG(OL)}$	PG 引脚低电平输出电压	V_{OUT} ≤ 0.83x V_{OUT}			0.4	V
$V_{PG(TH,RISING)}$	默认电源正常阈值	V_{OUT} 上升，PGADJ 引脚短接至地	85		95	%V_{OUT}
$V_{PG(TH,FALLING)}$		V_{OUT} 下降，PGADJ 引脚短接至地	83		93	
$V_{PG(HYST)}$	电源正常状态迟滞			2.5		%V_{OUT}
$V_{PGADJ (TH,FALLING)}$	电源正常状态调节引脚的开关电压	V_{OUT} 下降，PGADJ 下降	0.97	1	1.030	V
$V_{PGADJ(HYST)}$	PGADJ 迟滞		5	35	50	mV
$V_{DLY(TH)}$	释放电源正常高电平的阈值	延迟引脚上升时的电压	1.17	1.21	1.25	V
$I_{DLY(CHARGE)}$	延迟电容器充电电流	V_{DLY} = 1V	1	1.5	2	µA
$T_{SD(SHUTDOWN)}$	结关断温度			175		°C
$T_{SD(HYST)}$	热关断迟滞			20		°C

(1) 出于 IC 生产测试的目的，功率耗散限制为 2W。正常工作期间的功率耗散会更高。如需了解将结温保持在 150℃ 以下时器件可以耗散多少功率，请参阅热耗散小节。
(2) 稳定时间是指 I_{OUT} 从 45mA 跃升至 105mA 到输出电压恢复至 V_{OUT} = $V_{OUT(nom)}$ - 5mV 的时间
(3) 此规格已通过设计指定。

5.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
检测输入和输出的时序（SI、SO）						
$t_{(PD_SO_HL)}$	检测高反应时间			25		µs
$t_{(PD_SO_LH)}$	检测低反应时间			30		µs
时序电源正常						
$t_{(DLY_FIX)}$	电源正常传播延迟	DELAY 引脚无电容器连接		100		µs
$t_{(Deglitch)}$	电源正常状态抗尖峰脉冲时间	DELAY 引脚无电容器连接		90		µs
$t_{(DLY)}$	电源正常传播延迟	延迟电容器值：$C_{(DELAY)}$ = 100nF		80		ms

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）

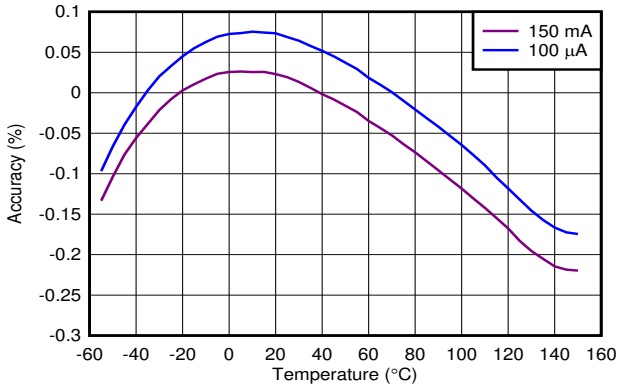
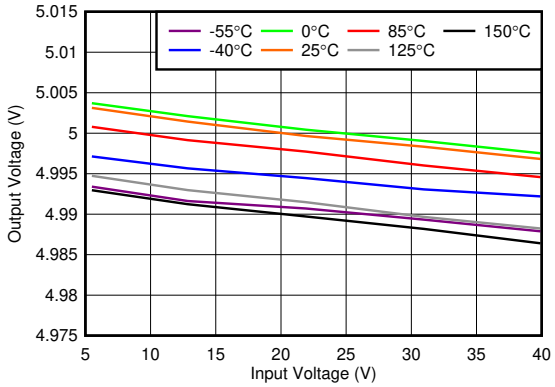
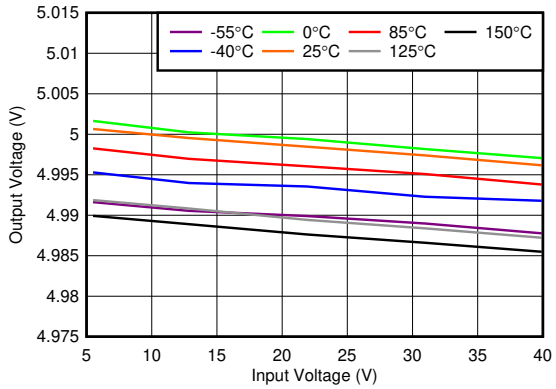


图 5-1. 精度与温度间的关系



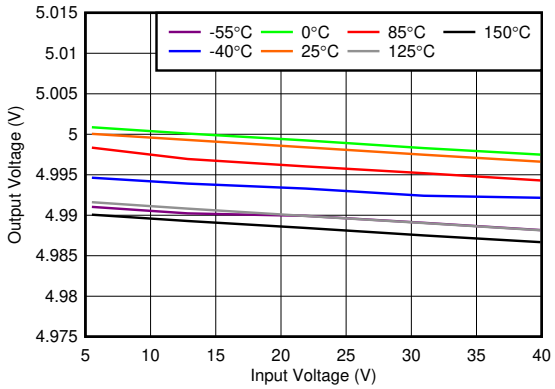
V_{OUT} = 5V，I_{OUT} = 150mA

图 5-2. 线性调整率与 V_{IN} 间的关系



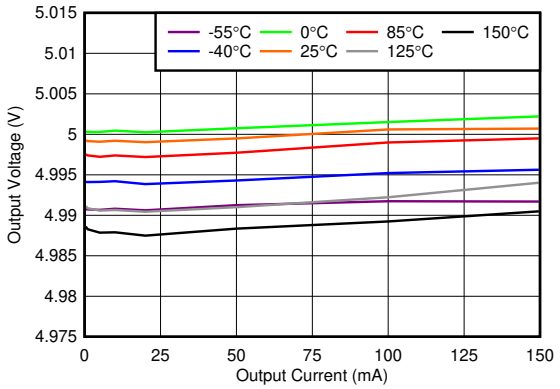
V_{OUT} = 5V，I_{OUT} = 5mA

图 5-3. 线性调整率与 V_{IN} 间的关系



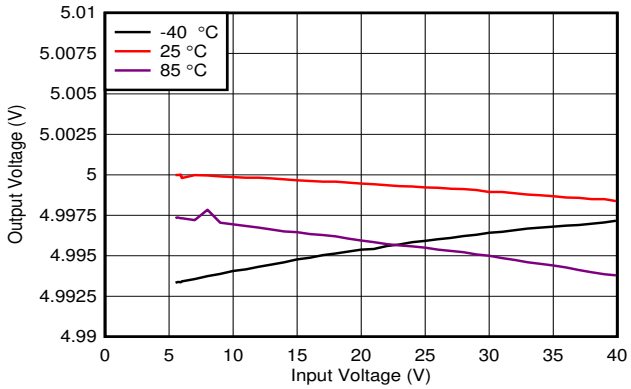
V_{OUT} = 5V，I_{OUT} = 1mA

图 5-4. 线性调整率与 V_{IN} 间的关系



V_{OUT} = 5V

图 5-5. 负载调整率与 I_{OUT} 间的关系

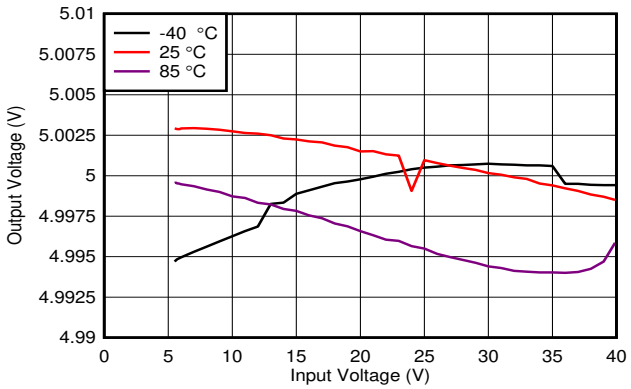


C_{OUT} = 10µF

图 5-6. 50mA 下的线路调整率

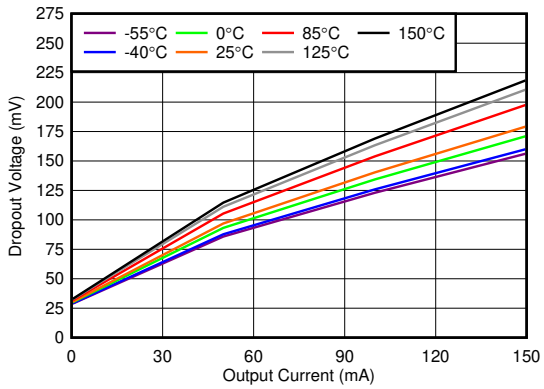
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）



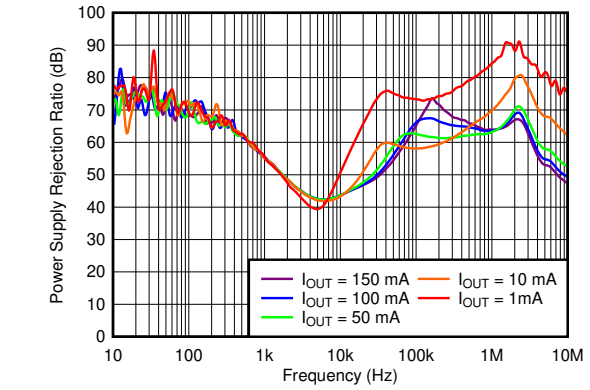
C_{OUT} = 10µF

图 5-7. 100mA 下的线路调整率



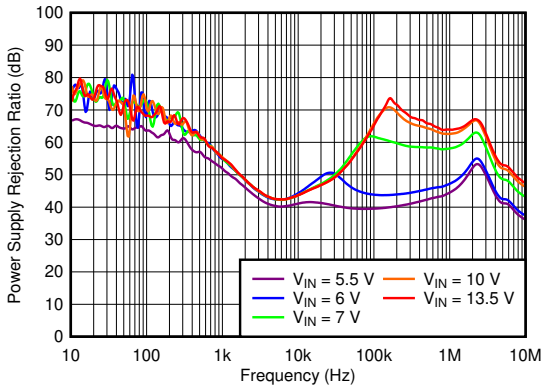
V_{IN} = 3V

图 5-8. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系



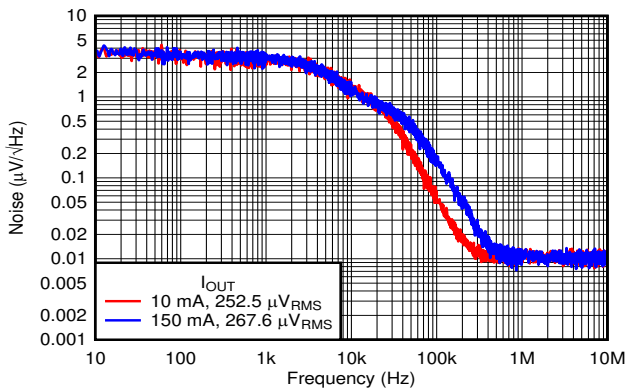
C_{OUT} = 10µF (X7R 50V)，V_{OUT} = 5V

图 5-9. PSRR 与频率和 I_{OUT} 间的关系



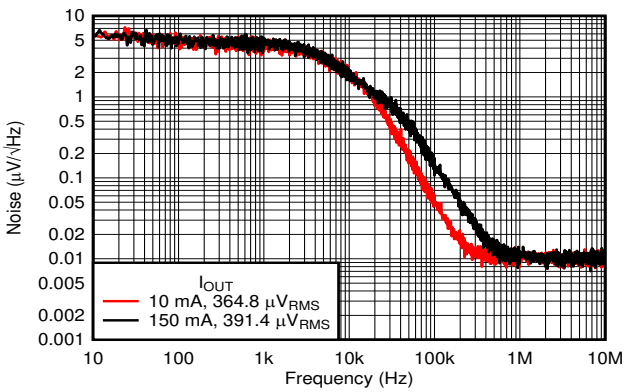
C_{OUT} = 10µF (X7R 50V)，I_{OUT} = 150mA，V_{OUT} = 5V

图 5-10. PSRR 与频率和 V_{IN} 间的关系



V_{OUT} = 3.3V，C_{OUT} = 10µF

图 5-11. 3.3V 时噪声与频率间的关系



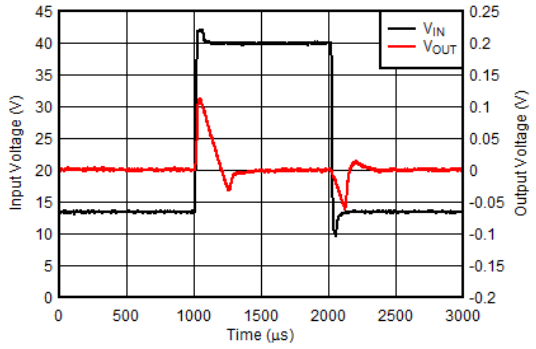
V_{OUT} = 5V，C_{OUT} = 10µF

图 5-12. 5.0V 时噪声与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

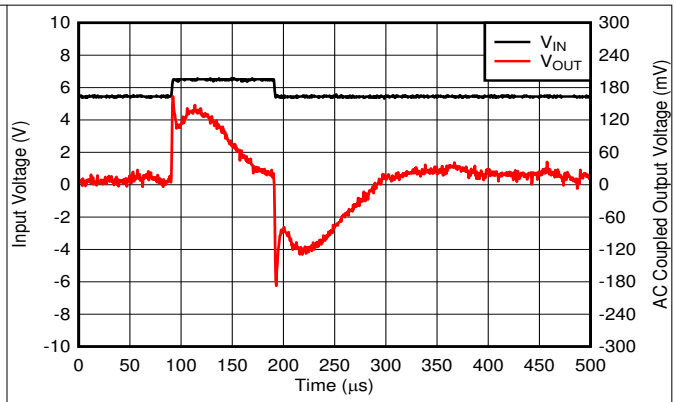
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）



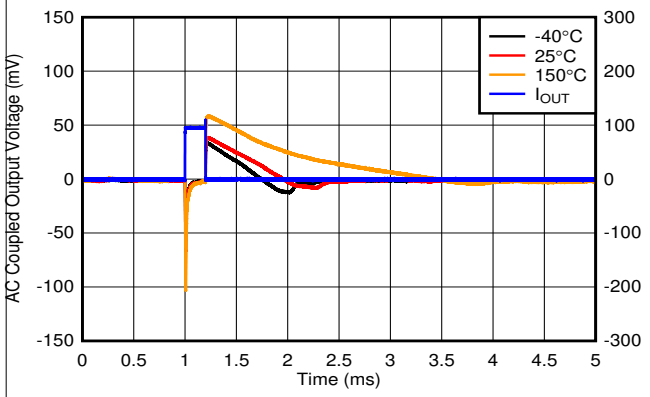
V_{OUT} = 5V，I_{OUT} = 1mA，V_{IN} = 13.5V 至 40V，
压摆率 = 2.7V/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-13. 线路瞬态（13.5V 至 40V）



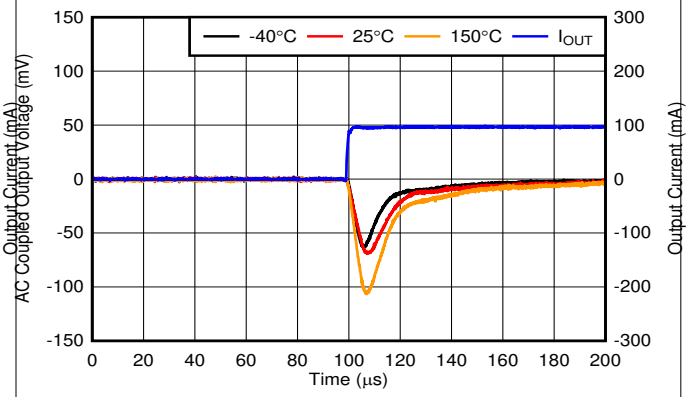
V_{OUT} = 5V，V_{IN} = 5.5V 至 6.5V，t_{rise} = 1µs，C_{OUT} = 10µF

图 5-14. 线路瞬态（5.5V 至 6.5V）



V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs，
V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-15. 负载瞬态，至 100mA 无负载



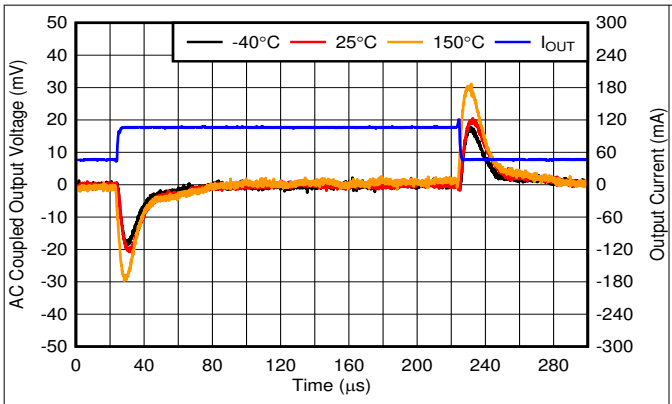
V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs，
V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-16. 负载瞬态，100mA 上升沿无负载

Copyright © 2026 Texas Instruments Incorporated

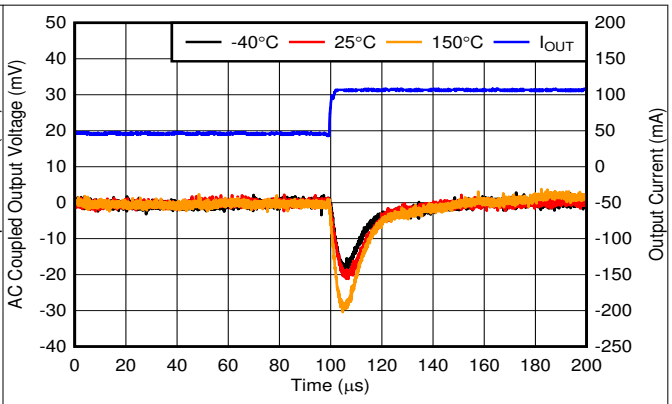
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）



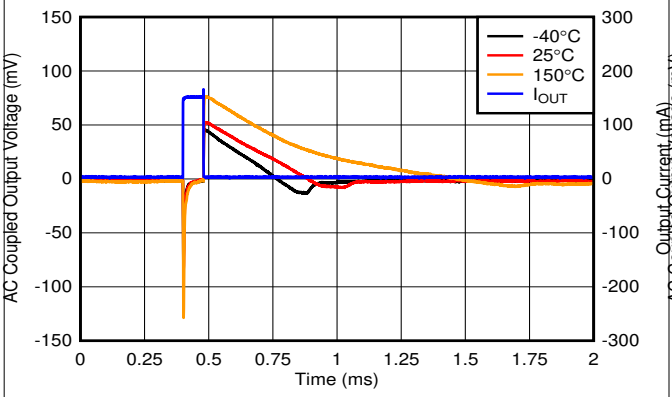
V_{OUT} = 5V，I_{OUT} = 45mA 至 105mA，压摆率 = 0.1A/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-17. 负载瞬态，45mA 至 105mA



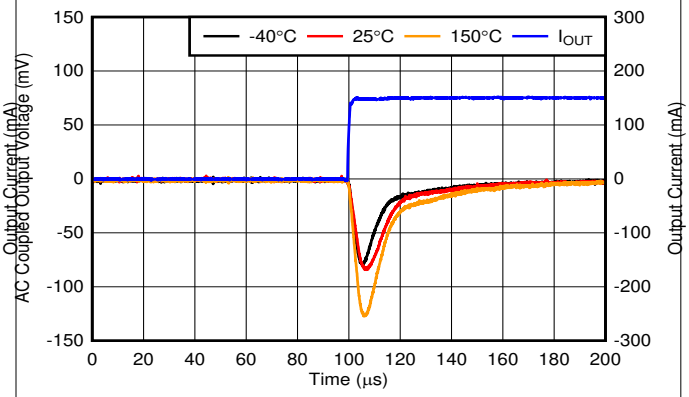
V_{OUT} = 5V，I_{OUT} = 45mA 至 105mA，压摆率 = 0.1A/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-18. 负载瞬态，45mA 至 105mA 上升沿



V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-19. 负载瞬态，至 150mA 无负载



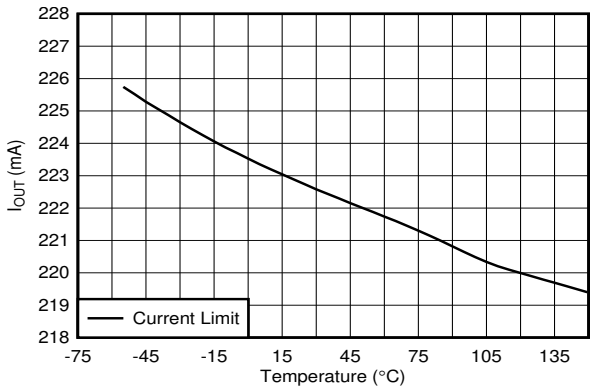
V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-20. 负载瞬态，150mA 上升沿无负载

Copyright © 2026 Texas Instruments Incorporated

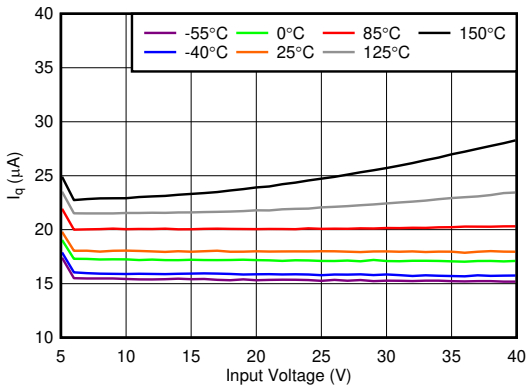
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）



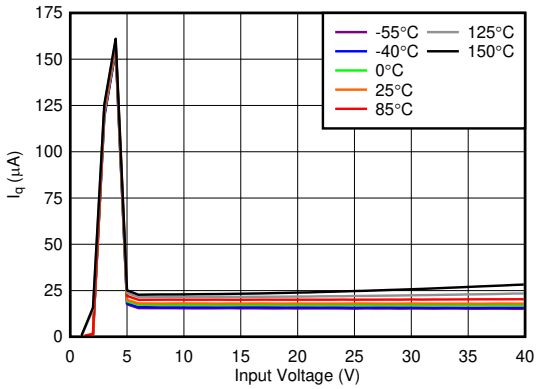
V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

图 5-21. 输出电流限制与温度间的关系



V_{OUT} = 5V

图 5-22. 静态电流 (I_Q) 与 V_{IN} 之间的关系



V_{OUT} = 5V

图 5-23. 静态电流 (I_Q) 与 V_{IN} 之间的关系

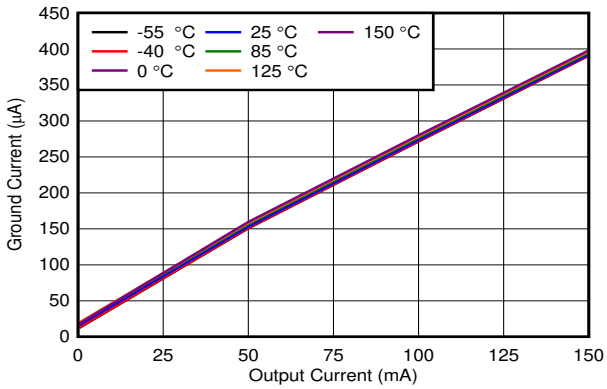
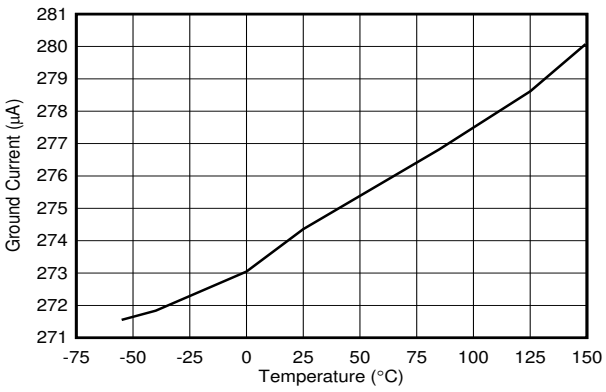
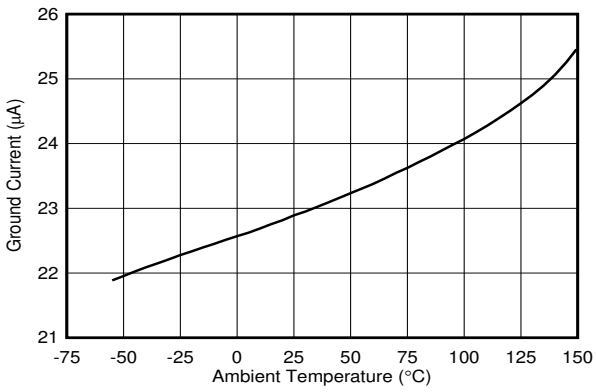


图 5-24. 接地电流 (I_{GND}) 与 I_{OUT} 之间的关系



I_{OUT} = 100mA

图 5-25. 接地电流



I_{OUT} = 500µA

图 5-26. 接地电流

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）

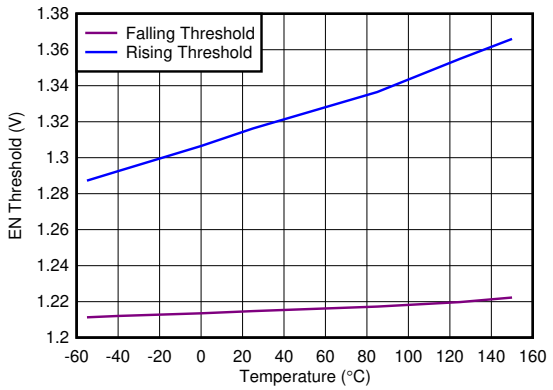


图 5-27. EN 阈值与温度间的关系

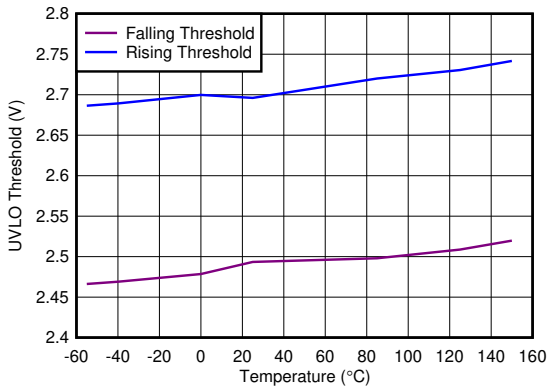


图 5-28. 欠压锁定 (UVLO) 阈值与温度间的关系

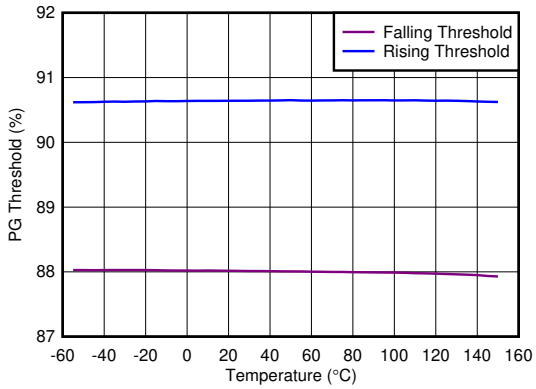


图 5-29. PG 阈值与温度间的关系

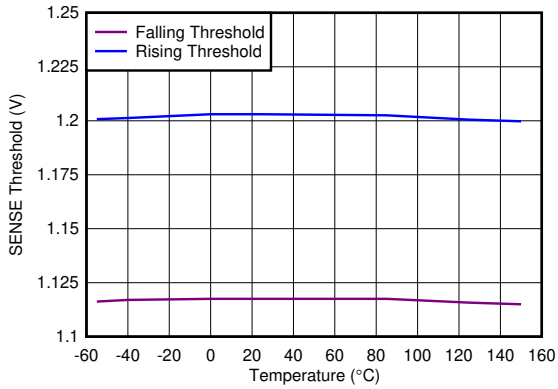


图 5-30. 检测输入阈值与温度间的关系

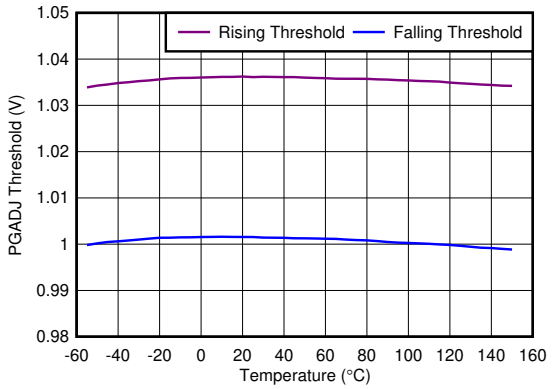
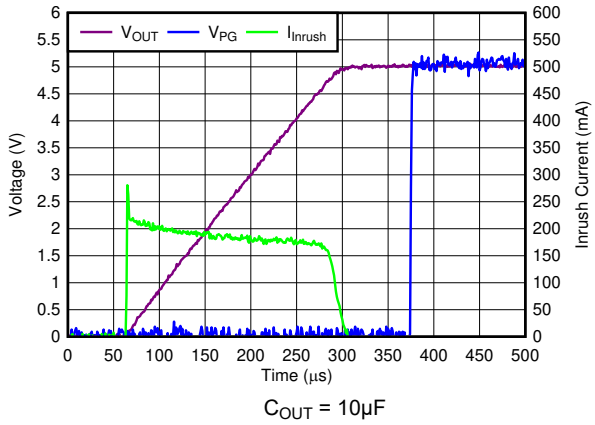


图 5-31. PGADJ 阈值与温度间的关系



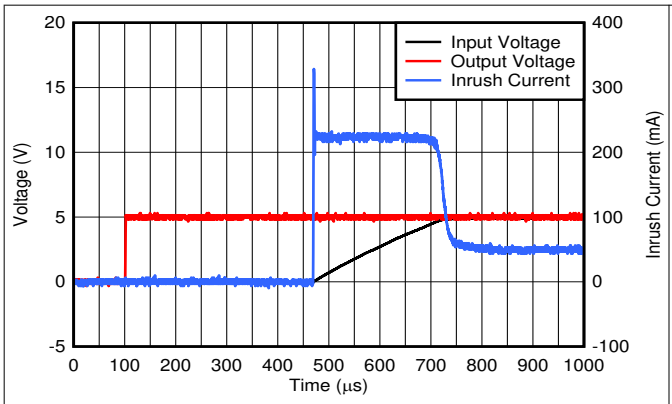
C_{OUT} = 10µF

图 5-32. 启动图浪涌电流

Copyright © 2026 Texas Instruments Incorporated

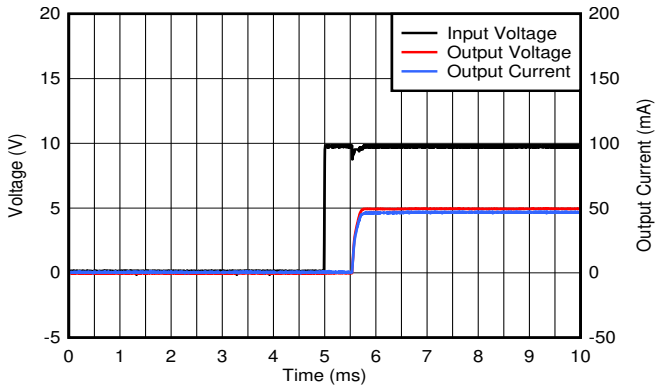
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及
V_{EN} = 2V（除非另有说明）



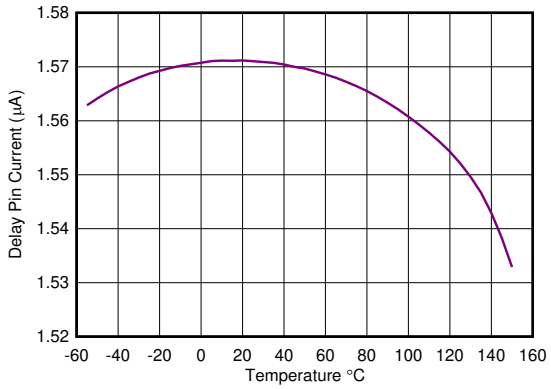
V_{IN} = 13.5V，C_{OUT} = 10µF

图 5-33. 通过 EN 启动的图例



C_{OUT} = 10µF

图 5-34. 启动图



V_{DELAY} = 1V

图 5-35. 延迟引脚电流与温度之间的关系

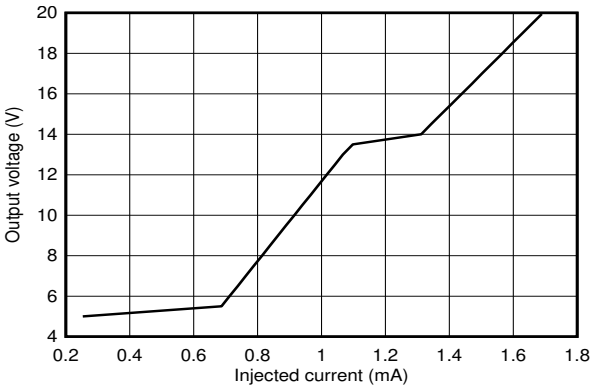


图 5-36. 输出电压与注入电流之间的关系

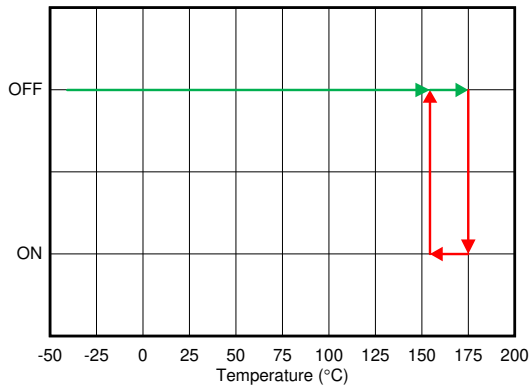


图 5-37. 热关断

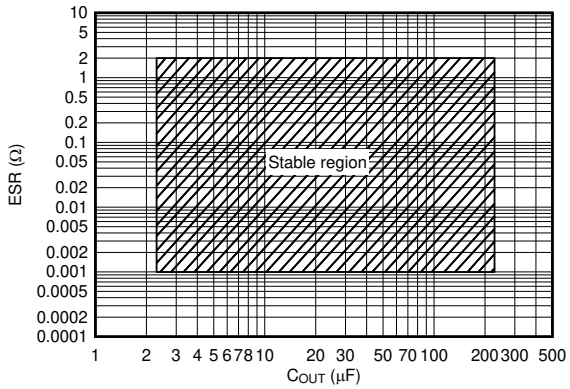


图 5-38. 稳定性、ESR 与 C_{OUT} 之间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

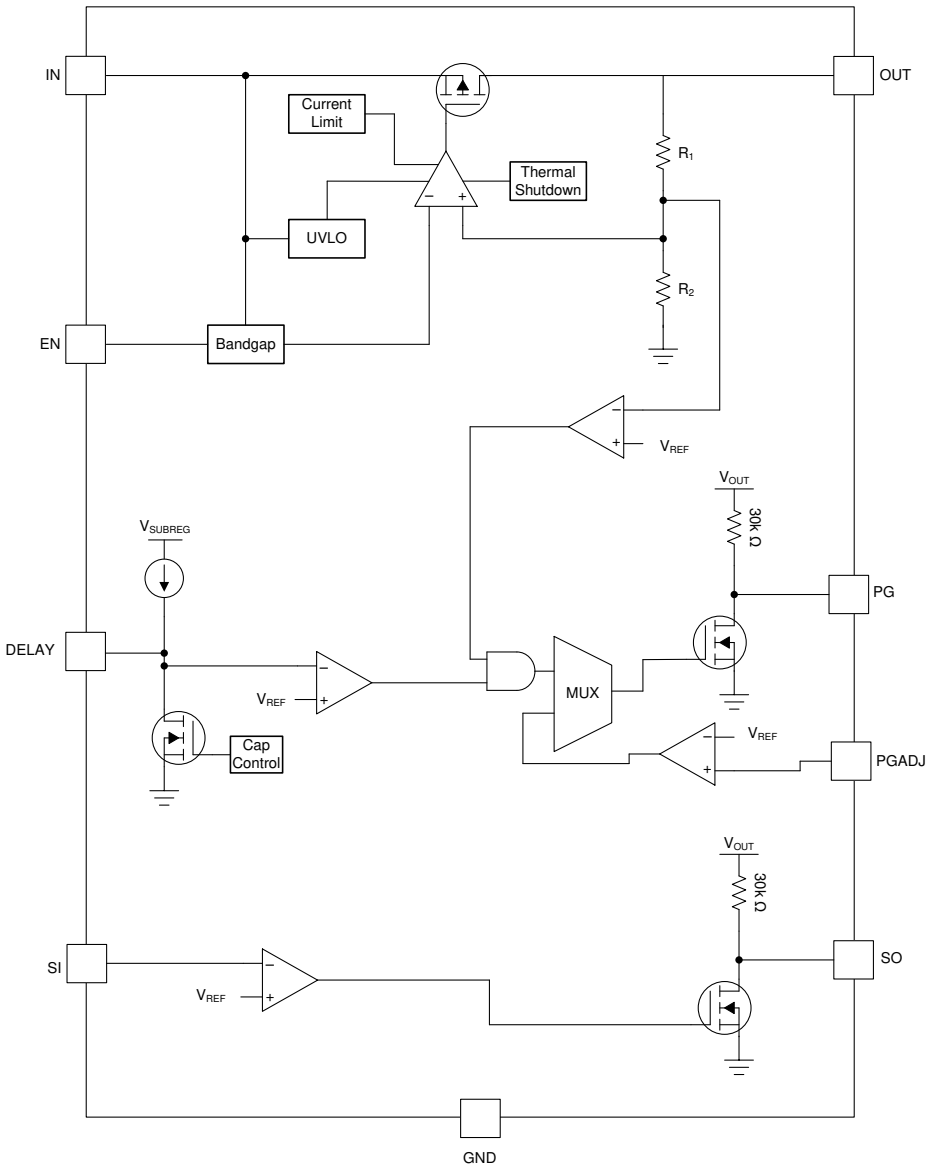
6.1 概述

TPS7B85-Q1 是一款低压降线性稳压器 (LDO)，专用于连接汽车应用中的电池。该器件的输入电压范围高达 40V，因此可承受汽车系统可能发生的瞬变（如负载突降）。该器件在轻负载下只有 18μA 的静态电流，是为始终在线的组件供电的最佳解决方案。

该器件具有先进的瞬态响应，因此输出端可对负载或线路变化（例如，在冷启动条件下）作出迅速响应。此外，该器件架构新颖，可在从电压跌落恢复过程中更大限度降低输出过冲幅度。正常运行时，该器件可在整个线路、负载和温度范围内维持 ±0.75% 的直流精度。

TPS7B85-Q1 具有电源正常状态指示和集成的电压监控功能。电源正常状态指示延迟和电压阈值可通过外部组件进行调整。集成式电压检测器可用于监控输入电压，并在电池电压开始降低时提醒下游组件（如 MCU）。

6.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 使能 (EN)

器件的使能引脚是高电平有效引脚。当使能引脚的电压大于 EN 引脚的高电平输入电压时，输出电压被启用；当使能引脚电压小于 EN 引脚的低电平输入电压时，输出电压被禁用。如果不需要独立控制输出电压，则将使能引脚连接至器件的输入端。

6.3.2 电源正常 (PG)

PG 信号提供了一种简单的解决方案来满足严苛的时序控制要求，因为当输出接近其标称值时，PG 会发出警示。当输出电压接近、等于或高于设定输出电压 ($V_{OUT\ (nom)}$) 时，PG 可用于向系统中的其他器件发出信号。图 6-1 展示了简化原理图。PG 信号有一个连接到标称输出电压的内部上拉电阻器，并且高电平有效。PG 电路将 PG 引脚设置为高阻抗状态，以指示电源正常。

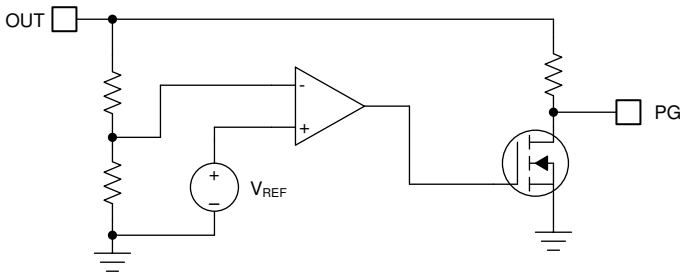


图 6-1. 简化版电源正常原理图

6.3.2.1 可调电源正常状态 (PGADJ)

如图 6-2 所示，此 LDO 的一个独特特性是能够通过使用电阻分压器来调整电源正常阈值。可调电源正常阈值支持将 PG 阈值设置为所需的电平，从而进一步帮助满足瞬态检测或时序控制要求。如果不需要此功能，则将 PGADJ 引脚连接到 GND 并使用默认 PG 阈值。有关如何计算电源正常阈值的更多信息，请参阅*设置可调电源正常延迟*小节。

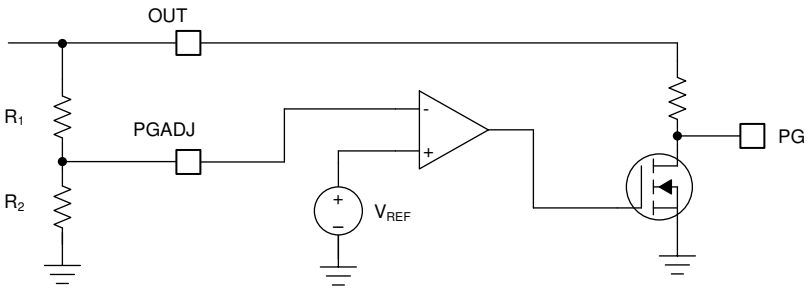
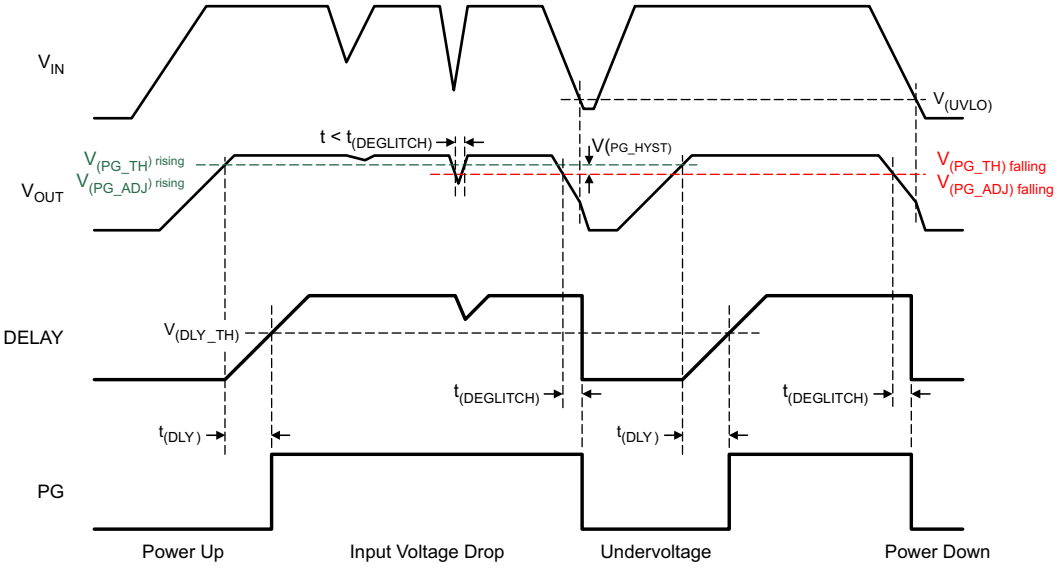


图 6-2. 电源正常状态调节引脚的典型用法

6.3.3 可调节电源正常延迟计时器 (DELAY)

电源正常延迟周期是外部电容器在 DELAY 引脚上的功能。可调延迟可配置 PG 引脚变为高电平所需的时间。通过在该引脚和 GND 之间连接一个外部电容器来配置此延迟。图 6-3 展示了电源正常延迟引脚的典型时序图。如果 DELAY 引脚悬空，则电源正常延迟为 $t_{(DLY_FIX)}$。更多有关如何对 PG 延迟进行编程的信息，请参阅*设置可调电源正常延迟*部分。

Copyright © 2026 Texas Instruments Incorporated



$V_{(PG_TH)\ falling} = V_{(PG_TH)\ rising} - V_{(PG_HYST)}$。

图 6-3. 典型的电源正常时序图

6.3.4 检测比较器

检测比较器将输入信号与上升阈值 1.223V 和下降阈值 1.123V 的内部电压基准进行比较。使用外部分压器可让该比较器在应用中非常灵活。

该器件可以监控保护二极管之前或之后的输入电压，并向微处理器提供额外信息（例如低压警告）。

6.3.5 欠压锁定

该器件具有一个独立的欠压锁定 (UVLO) 电路，可监控输入电压，从而以可控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 具有*电气特性*表中指定的迟滞。

6.3.6 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞确保器件在温度降至 $T_{SD(reset)}$（典型值）时复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出其运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.3.7 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用砖墙式方案。在高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。I_{CL} 如*电气特性*表所列。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用报告。

Copyright © 2026 Texas Instruments Incorporated

图 6-4 展示了电流限制图。

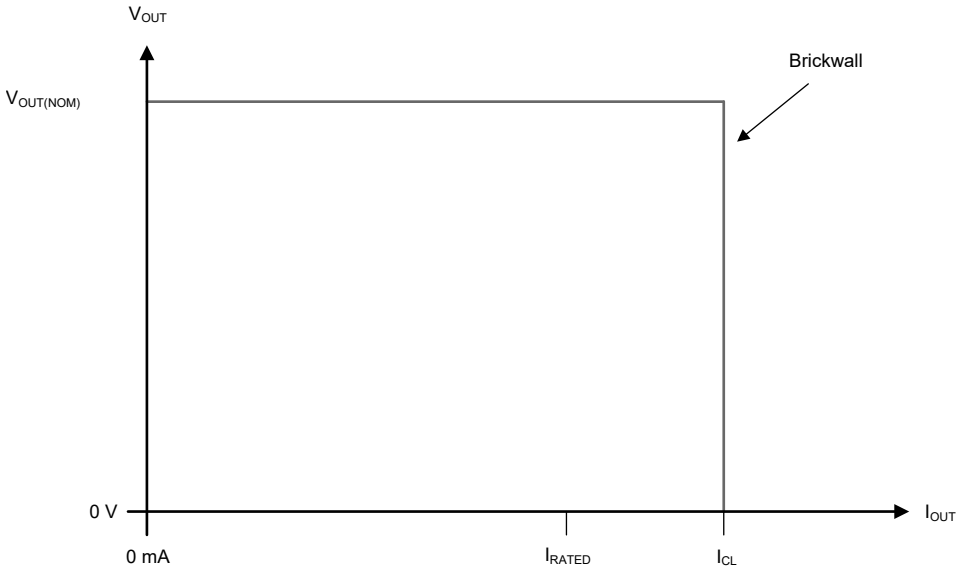


图 6-4. 电流限制

6.4 器件功能模式

6.4.1 器件功能模式比较

器件功能模式比较 表展示了导致不同工作模式的条件。有关参数值，请参阅 *电气特性* 表。

表 6-1. 器件功能模式比较

运行模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，$V_{IN} < V_{OUT(NOM)} + V_{DO}$，紧随正常稳压状态，但 *不包括* 启动期间）时，传输晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

6.4.4 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅 *电气特性* 表）。当被禁用时，导通晶体管被关闭，内部电路被关断，并且输出电压由一个从输出到接地的内部放电电路主动放电至接地。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 输入和输出电容器选择

TPS7B85-Q1 需要一个 2.2µF 或更大（1µF 或更大电容）的输出电容器来实现稳定性，并需要一个介于 0.001Ω 和 2Ω 之间的等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容为 220µF。

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在大范围的频率上具有高阻抗，则可以并联使用几个输入电容器来降低频率上的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.1.2 压降电压

压降电压 (V_{DO}) 被定义为在额定输出电流 (I_{RATED}) 下输入电压减去输出电压 (V_{IN} – V_{OUT})，在这种情形下，导通晶体管完全导通。I_{RATED} 是*建议运行条件* 表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

7.1.3 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN} + 0.3V$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则建议使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

7.1.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域必须包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。根据以下公式，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*热性能信息* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定，并用作封装热性能的相对测量。

7.1.4.1 热性能与铜面积

最常用的热阻参数 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*规格*小节中*热性能信息* 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定（请参阅图 7-1），仅用作封装热性能的相对测量。对于精心设计的热布局，$R_{\theta JA}$ 实际上是封装结至外壳（底部）热阻 ($R_{\theta JCbot}$) 与 PCB 铜产生的热阻的总和。

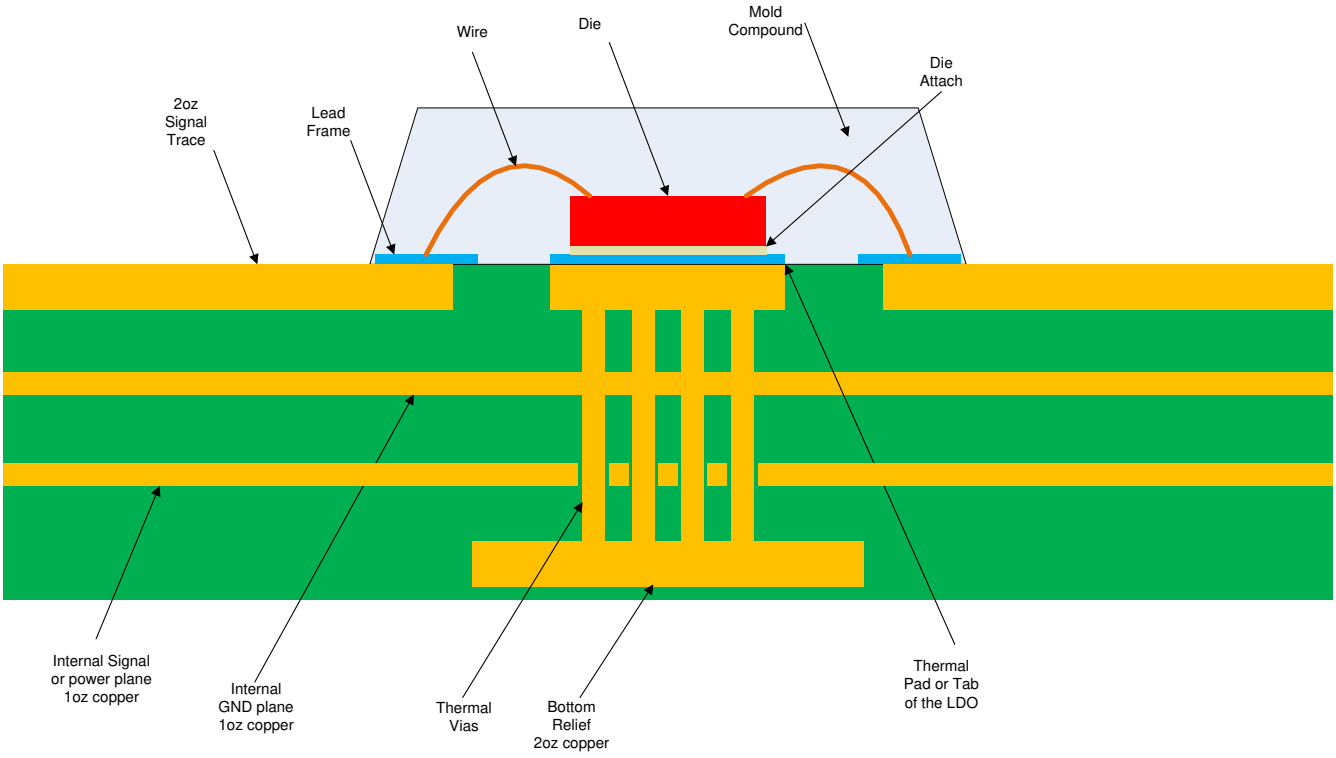


图 7-1. JEDEC 标准 2s2p PCB

图 7-2 及图 7-3 展示了 $R_{\theta JA}$ 和 ψ_{JB} 的功能与铜面积和厚度的关系。这些图是使用 101.6mm × 101.6mm × 1.6mm 两层和四层 PCB 生成。对于四层板，内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。该器件的散热焊盘下方设有一个 4 x 4 阵列的散热过孔，这些过孔的钻孔直径为 300µm，铜镀层厚度为

Copyright © 2026 Texas Instruments Incorporated

25µm。散热通孔连接顶层和底层，如果是 4 层板，则连接第一个内部 GND 平面。每一层都有一个面积相等的铜平面。

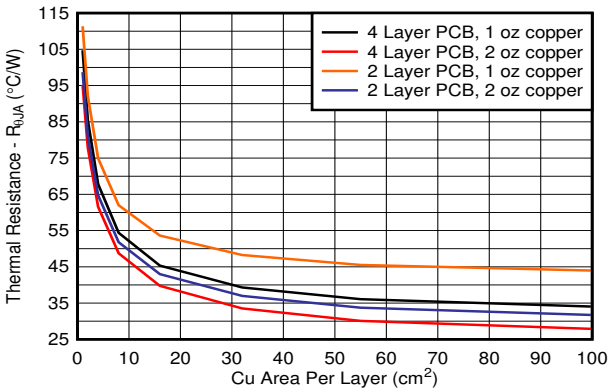


图 7-2. $R_{\theta JA}$ 与铜面积间的关系（2s2p DRC 封装）

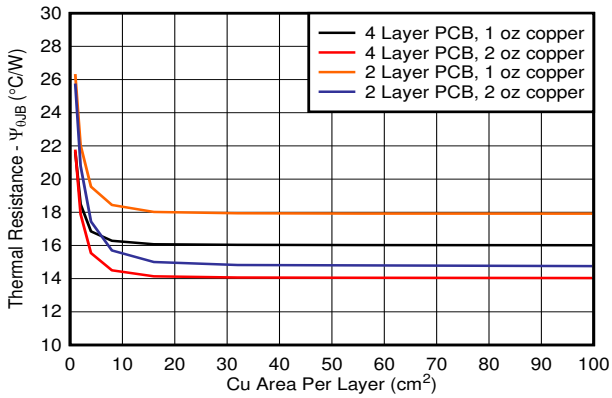


图 7-3. $R_{\psi JB}$ 与铜面积（2s2p DRC 封装）

7.1.5 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算现象稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息* 表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm 印刷电路板 (PCB) 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \tag{4}$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \tag{5}$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

7.1.6 SI 引脚

7.1.6.1 计算检测输入 (SI) 引脚阈值

要使用 SI 引脚，请将此引脚连接到通过电阻分压器监控的电源轨。该输入可配置为欠压监控器，可监控大于 1.2V 的电压轨，或用作具有反相输出的过压监控器。表 7-1 列出了用于欠压监测的典型 1% 电阻值，其中跳变点为 5% 阈值。通过调节电阻值可以减小流经电阻分压器的电流量，但增大电阻值也会降低电阻分压器的精度。一般做法是使流过电阻分压器的电流比流入 SI 引脚的电流大 100 倍。这种做法可确保尽可能高的精度。可以使用方程式 6 来计算电阻分压器中所需的任何下降阈值所需的电阻器。图 7-4 展示了该比较器的典型时序，图 7-5 展示了可调运行模式的方框图。

$$V_{mon(falling)} = V_{SI(LOW)} x \left(1 + \frac{R1}{R2}\right) \tag{6}$$

Copyright © 2026 Texas Instruments Incorporated

表 7-1. SI 电阻分压器值

输入电压 (V)	5% 阈值		
	R1 (kΩ)	R2 (kΩ)	阈值电压 (V)
3.3	18.2	10	3.13
5	32.4	10	4.71
6	41.2	10	5.68
7	49.9	10	6.65
8	59	10	7.66
9	66.5	10	8.49
10	75.5	10	9.49
11	80.6	10	10.06
12	93.1	10	11.44
13.5	105	10	12.77

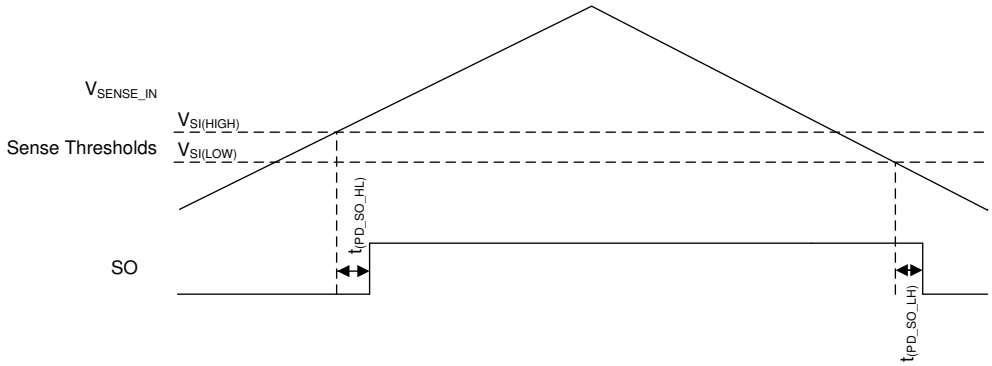


图 7-4. SI 时序图

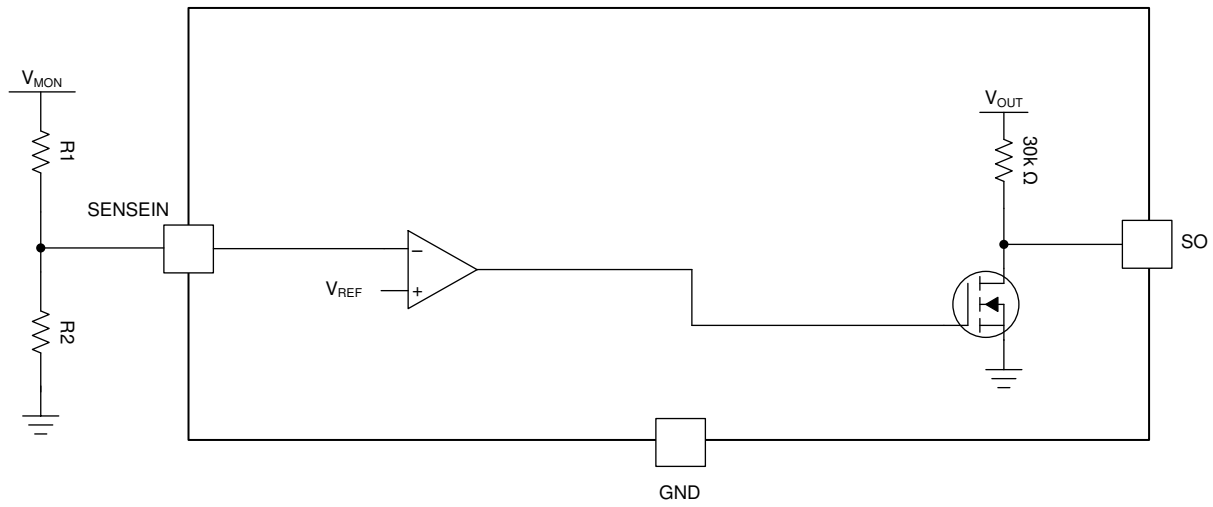


图 7-5. SI 基本方框图

7.1.6.2 检测输入引脚的不同用途

检测输入引脚在 LDO 中包含一个带有迟滞功能的比较器。SI 引脚通过将 SI 引脚连接到需要监控的电源轨，有助于更换系统中的监控器。此监控器的三种最常见用途在*监控输入电压*、*创建 OV 和 UV 电源正常状态*和*监控单独的电源电压*小节中进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

7.1.6.2.1 监控输入电压

监控 LDO 的输入电压，如图 7-6 所示，是使用 SI 引脚的最常见方式。该器件具有内置精密比较器，此比较器可将输入的分频版本与 LDO 的内部基准进行比较。当检测引脚上的电压低于 $V_{SI\ (LOW)}$ 时，SO 引脚的输出为低电平。然而，当 V_{SI} 超过 $V_{SI(HIGH)}$ 时，SO 引脚上的电压会通过上拉电阻器 R_{SO} 上拉至 V_{OUT}。该引脚还具有内置迟滞，防止 SENSE 电压发生微小变化，从而在两种状态之间切换。图 7-7 显示了 SENSE 引脚的典型时序图。

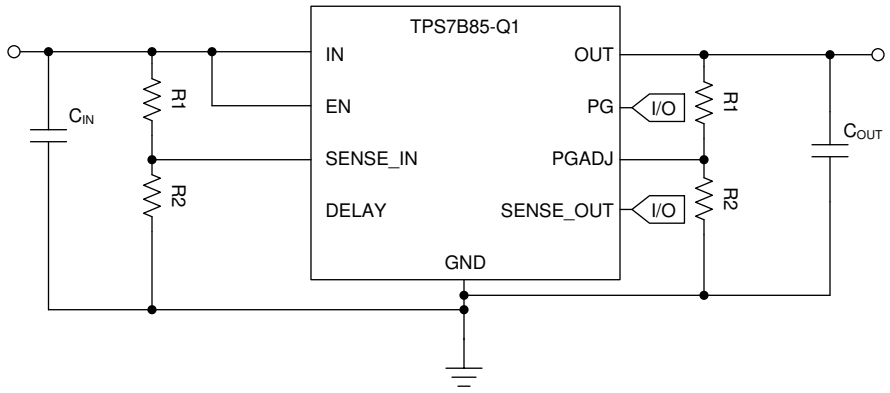


图 7-6. 监控器件输入电压

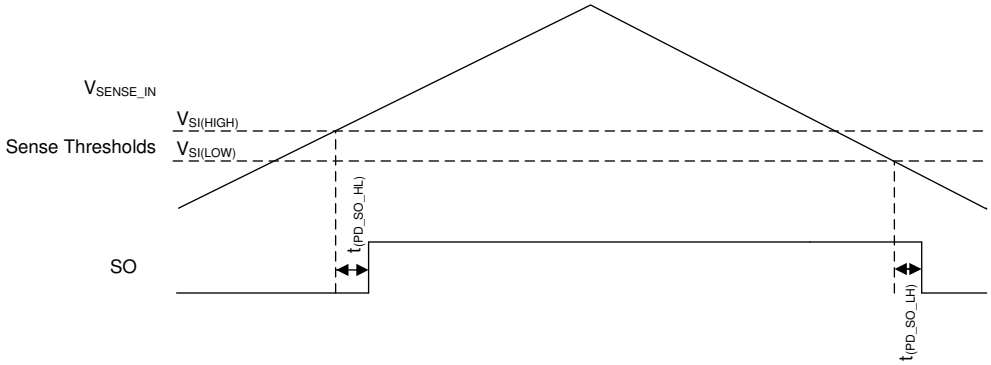


图 7-7. SENSE 引脚时序图

7.1.6.2.2 创建 OV 和 UV 电源正常状态

通常需要的另一项特性是能够监控输出电压是否存在过压 (OV) 或者欠压 (UV) 事件。由于集成的电源正常引脚仅检测欠压事件，因此必须采用单独的解决方案来监控过压问题。此监控可通过使用集成的 SI 引脚并且通过电阻分压器将此引脚连接到输出来实现。然后，将 SI 引脚的上升阈值标记为过压。方程式 7 展示了如何根据所需的过压阈值计算此应用的电阻分压器。如果使用此方法创建过压检测，则过压信号的输出具有反相逻辑。图 7-8 显示了将器件用作过压监控器的典型配置。

$$V_{mon(rising)} = V_{SI(HIGH)} \times \left(1 + \frac{R1}{R2}\right) \tag{7}$$

Copyright © 2026 Texas Instruments Incorporated

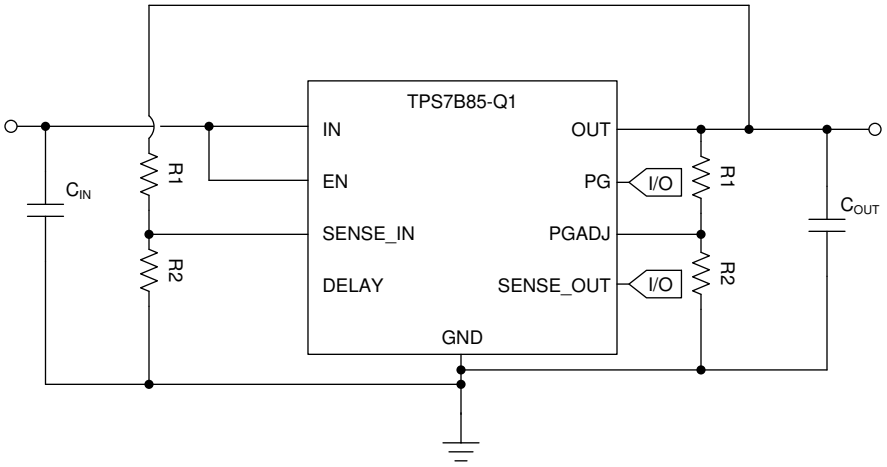


图 7-8. 在输出端产生过压检测器

7.1.6.2.3 监控单独的电源电压

SI 引脚的最终应用之一是监控单独的电源。这种方法可实现为外部监控电源的过压检测或欠压检测。方程式 6 和方程式 7 可用于计算实现对独立电源的监控所需的电阻分压器。图 7-9 显示了此监控应用的方框图。

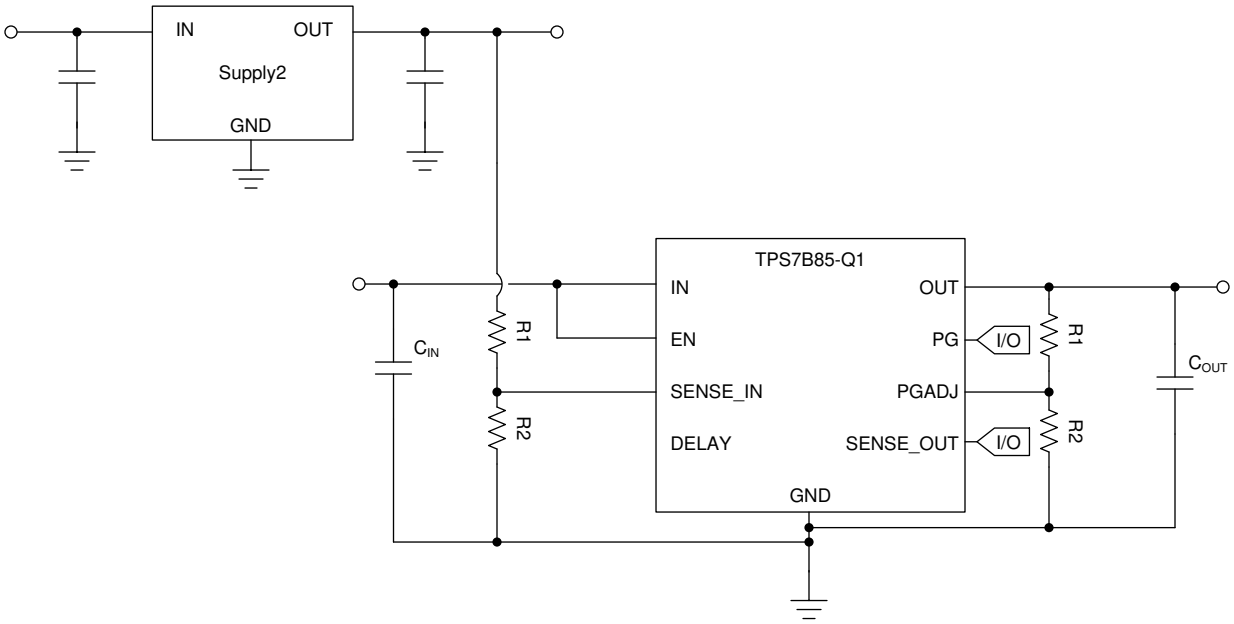


图 7-9. 监控单独的电源

7.1.7 将 SO 和 PG 引脚上拉至不同电压

因为感测输出 (SO) 和电源正常 (PG) 引脚在内部被拉到输出轨，所以它们不能像典型的漏极开路 PG 输出那样，被拉到任何电压或与线进行 AND 运算。如果必须将此类信号上拉至另一个逻辑电平，则可以使用 PMOS 晶体管和上拉电阻器实施外部电路。实施 图 7-10 所示的电路可将输出上拉至任何逻辑轨。此实现方案还允许与传统的电源正常引脚一样，将输出一起进行 AND 运算。

Copyright © 2026 Texas Instruments Incorporated

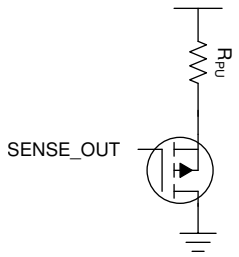


图 7-10. 用于将上拉至另一电源轨的 SO 和 PG 引脚的其他元件

7.1.8 电源正常

7.1.8.1 设置可调电源正常阈值

电源正常阈值也可以通过 PGADJ 和 OUT 之间的外部电阻分压器在 1V 至 18V 范围内调节。使用方程式 8 来计算此阈值：

$$V_{(PG_ADJ)falling} = V_{(PGADJ_TH)falling} x \left(\frac{R_1 + R_2}{R_2} \right)$$

$$V_{(PG_ADJ)rising} = \left[V_{(PGADJ_TH)falling} + V_{PGADJ(HYST)} \right] x \left(\frac{R_1 + R_2}{R_2} \right) \quad (8)$$

其中

- $V_{(PG_ADJ)\ rising}$、$V_{(PG_ADJ)\ falling}$ 是可调电源正常阈值
- $V_{(PGADJ_TH)\ falling}$ 是 PGADJ 引脚的内部比较器基准电压

通过设置电源正常阈值 $V_{(PG_ADJ)\ rising}$，当 V_{OUT} 超过此阈值时，PG 输出会在电源正常延迟周期结束后变为高电平。当 V_{OUT} 降至 $V_{(PG_ADJ)\ falling}$ 以下时，PG 输出会在短暂的抗尖峰脉冲时间后变为低电平。图 7-11 显示了 PG 阈值图。

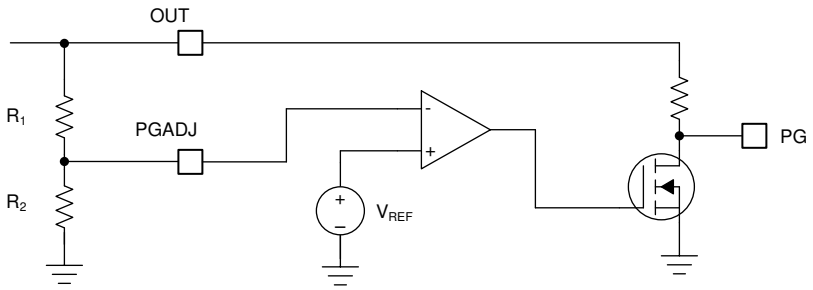


图 7-11. 可调电源正常阈值

7.1.8.2 设置可调电源正常延迟

电源正常延迟时间通过两种方式设置：将延迟引脚悬空或在该引脚和 GND 之间连接一个电容器。当 DELAY 引脚悬空时，时间默认为 $t_{(DLY_FIX)}$。如果 DELAY 引脚和 GND 之间连接了一个电容器，则通过方程式 9 设置延迟时间。

$$t = t_{(DLY_FIX)} + C_{DELAY} \left(\frac{V_{DLY(TH)}}{I_{DLY(CHARGE)}} \right) \quad (9)$$

Copyright © 2026 Texas Instruments Incorporated

7.2 典型应用

图 7-12 显示了 TPS7B85-Q1 的典型应用电路。根据最终应用的不同，使用不同的外部元件值。在快速负载步骤期间，应用可能需要更大的输出电容器，以防止发生重置。TI 建议使用电介质类型为 X5R 或 X7R 的低 ESR 陶瓷电容器。

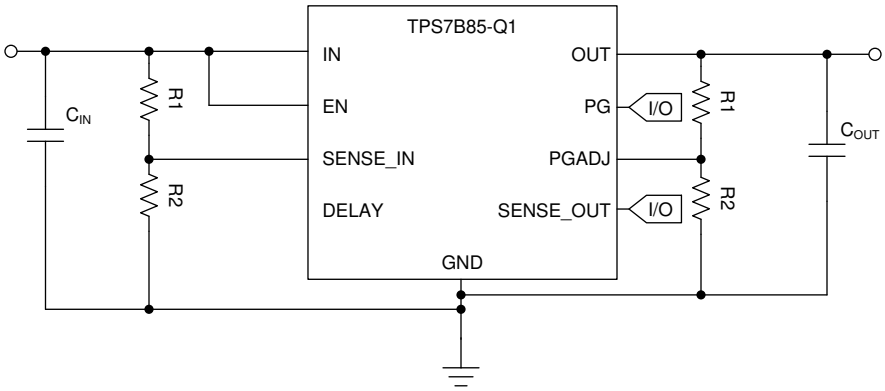


图 7-12. TPS7B85-Q1 的典型应用原理图

7.2.1 设计要求

本设计示例使用表 7-2 中所列的参数作为输入参数。

表 7-2. 设计参数

设计参数	示例值
输入电压范围	6V 至 40V
输出电压	5V
输出电流	100mA
输出电容器	10μF
电源正常延迟电容器	100nF
检测输入跳变阈值	5.5V

7.2.2 详细设计过程

7.2.2.1 输入电容器

该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值为 1 μ F。额定电压必须大于最大输入电压。

7.2.2.2 输出电容器

此器件需要一个输出电容器来稳定输出电压。电容器值范围必须介于 2.2μF 和 200μF 之间，ESR 范围必须介于 1mΩ 和 2Ω 之间。本设计使用低 ESR、10μF 陶瓷电容器来提高瞬态性能。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

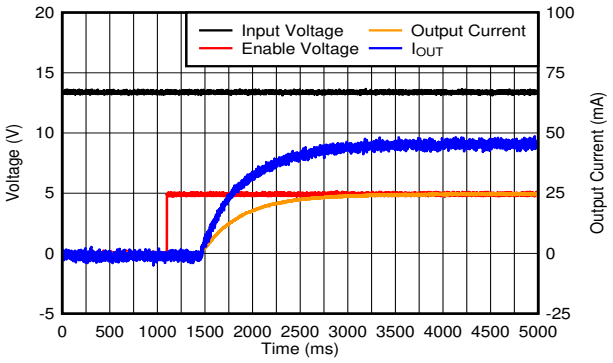


图 7-13. 加电波形

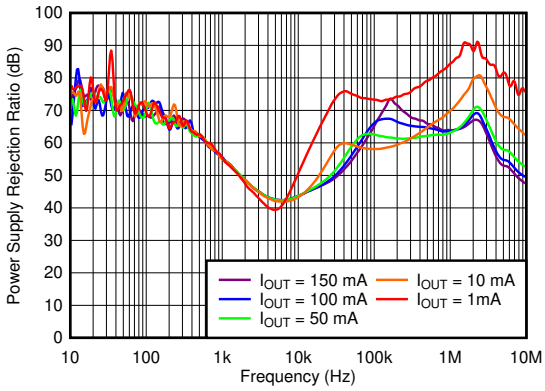


图 7-14. PSRR

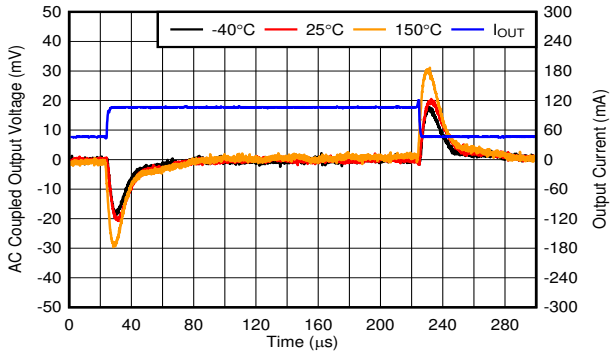


图 7-15. 瞬态响应

7.3 电源相关建议

此器件设计为在 3V 至 40V 的输入电源电压范围内运行。该输入电源必须经过良好调节。如果输入电源与 TPS7B85-Q1 器件的距离超过数英寸，请在输入端添加一个电解电容器和一个陶瓷旁路电容器。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请将所有电路元件放置在电路板的同一侧，并尽可能靠近各自的 LDO 引脚连接。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近，并通过较宽的元件侧铜表面进行连接。强烈建议不要在输入和输出电容器上使用过孔和长迹线、否则会对系统性能产生负面影响。TI 还建议使用嵌入在 PCB 本身中，或者位于 PCB 底部与元件相对位置的接地基准平面。该参考平面用于保证输出电压的精度、屏蔽噪声，当连接到散热焊盘时，其作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.1.1 封装

有关 TPS7B85-Q1 的焊盘占用空间建议，请参阅本文档末尾和 www.ti.com。

7.4.1.2 对于改进 PSRR 和噪声性能的电路板布局布线建议

如图 7-16 所示，在 TPS7B85-Q1 的布局中，输入和输出电容应紧靠器件放置。为提升散热性能，应在器件周围尽可能布置更多过孔。这些过孔可改善 PCB 中不同 GND 平面之间的热传递效果。

为了改进诸如 PSRR、输出噪声和瞬态响应等交流性能，TI 建议电路板设计应采用 IN 和 OUT 独立接地层，在这种设计中，每个接地平面只连接至器件的 GND 引脚。此外，输出电容的接地线应直接连接到器件的 GND 引脚。

Copyright © 2026 Texas Instruments Incorporated

尽量减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，以最大化性能并确保稳定性。将每个电容器放置在尽可能靠近器件且和稳压器本身位于 PCB 同一侧的位置。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。TI 强烈反对使用通孔和长迹线连接电容器，因为这些会对系统性能产生负面影响，甚至可能导致不稳定。

如果可能，并且为了确保本文档中所指定的最高性能，请使用与 TPS7B85-Q1 评估板相同的布局模式，该评估板可在 www.ti.com 获取。

7.4.2 布局示例

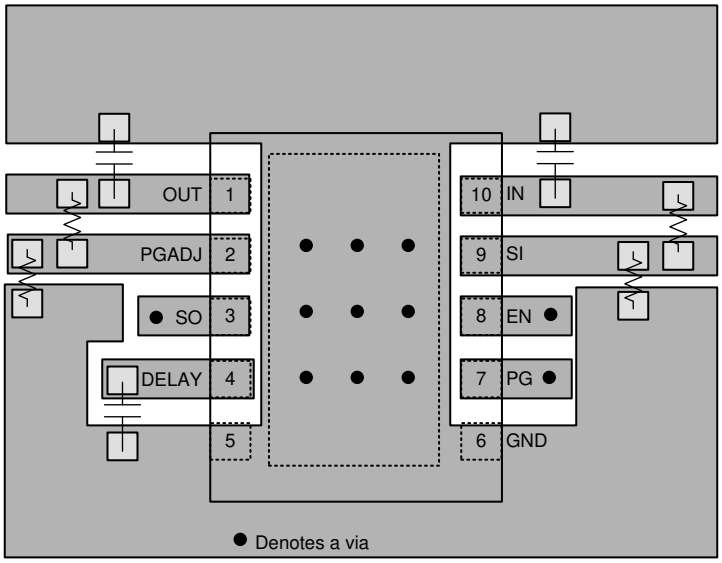


图 7-16. VSON (DRC) 布局

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则(1)

产品	V_{OUT}
TPS7B85**xxQWyyyRQ1**	**xx** 表示标称输出电压（比如，33 = 3.3V，50 = 5.0V）。 **Q** 表示该器件是符合 AEC-Q100 标准的 1 级器件。 **W** 表示封装具有可湿性侧翼。 **yyy** 代表封装标识符。 **R** 代表封装数量。R 表示卷带（3000 片）。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问 www.ti.com 中的器件产品文件夹。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (November 2020) to Revision B (November 2026)	Page
• 更新了 EN 引脚额定值以确保器件可靠运行	3
• 更新了 EN 引脚额定值以确保器件可靠运行	4

Changes from Revision * (February 2020) to Revision A (November 2020)	Page
• 将文档状态从预告信息更改为量产数据	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8533QWDRCRQ1	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8533
TPS7B8533QWDRCRQ1.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8533
TPS7B8550QWDRCRQ1	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8550
TPS7B8550QWDRCRQ1.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8550

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

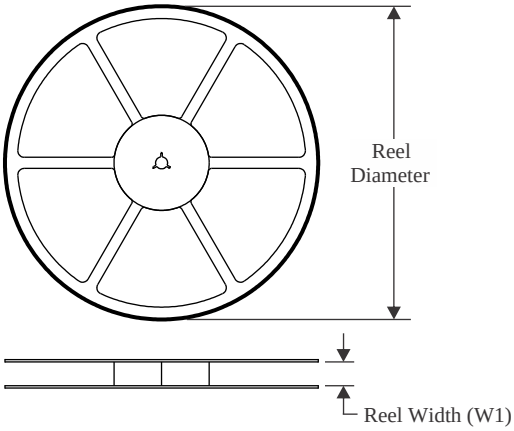
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

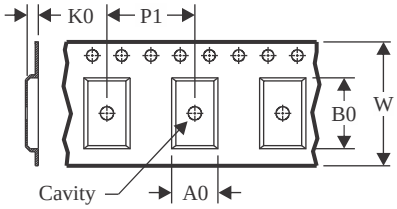
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

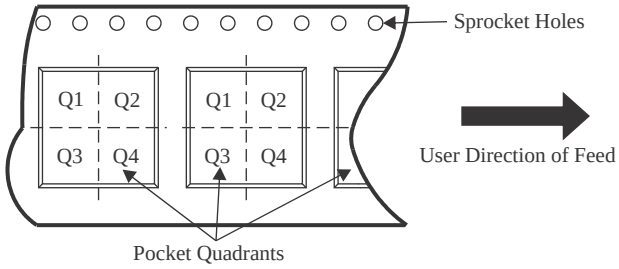


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

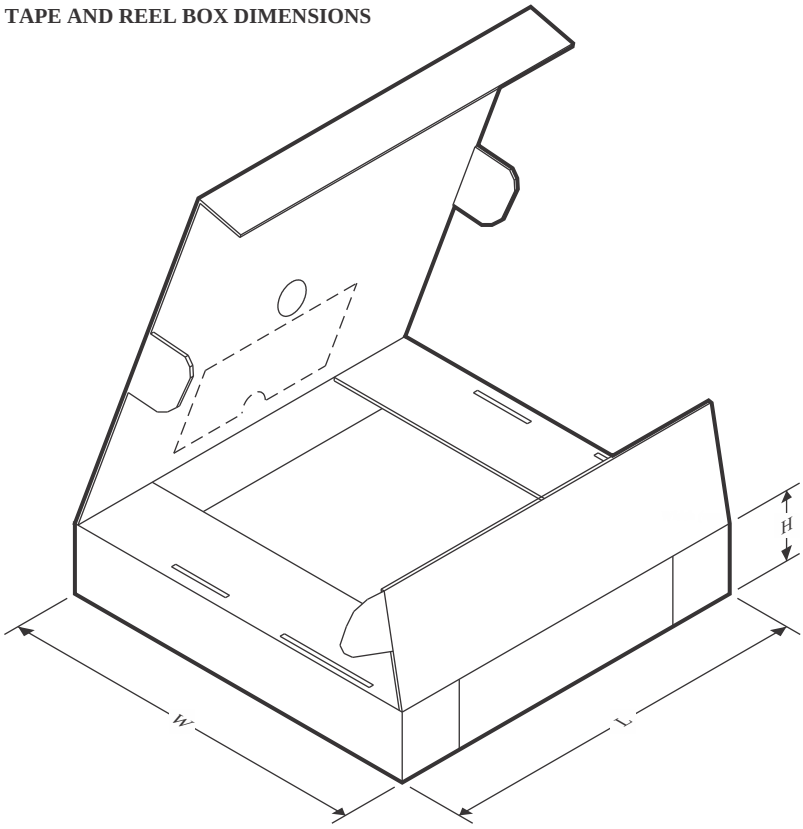
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8533QWDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7B8550QWDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8533QWDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35.0
TPS7B8550QWDRCRQ1	VSON	DRC	10	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

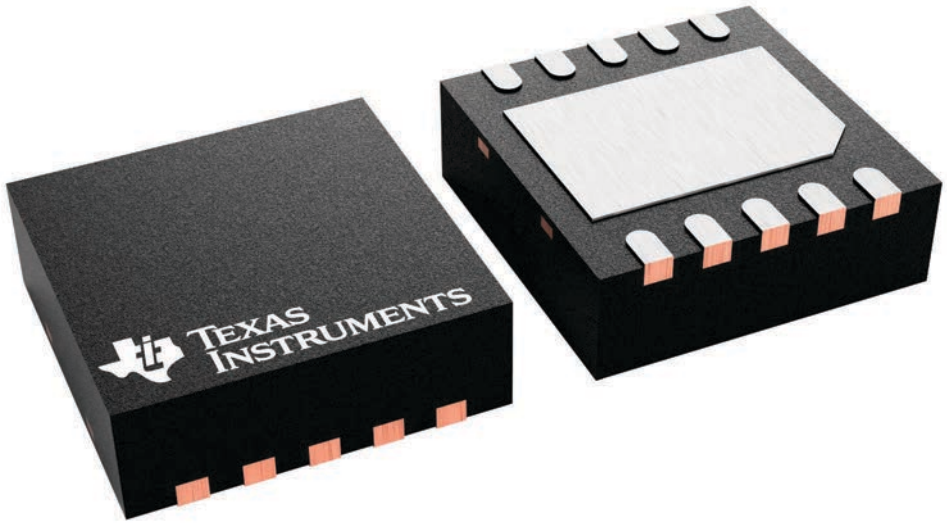
DRC 10

VSON - 1 mm max height

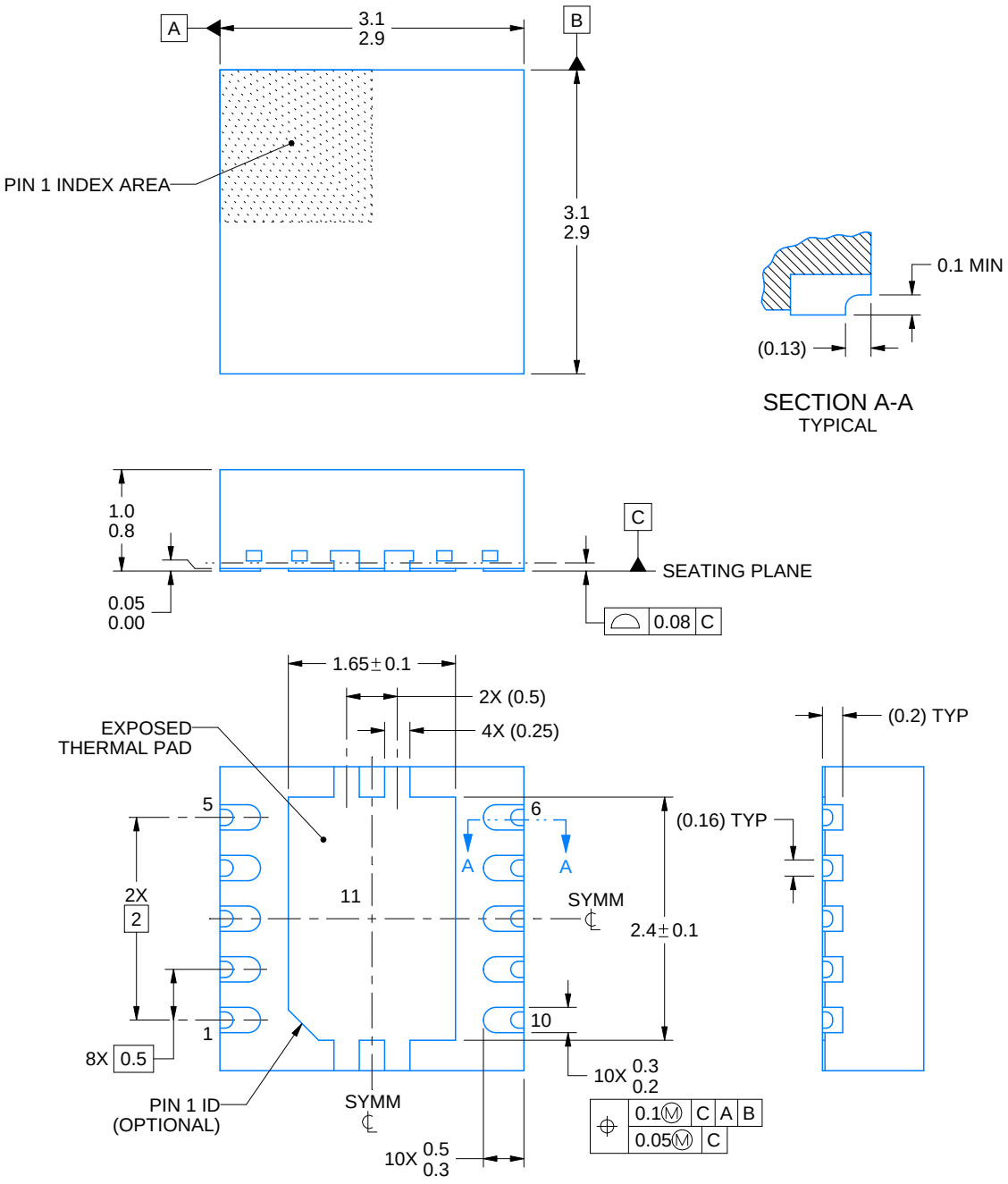
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

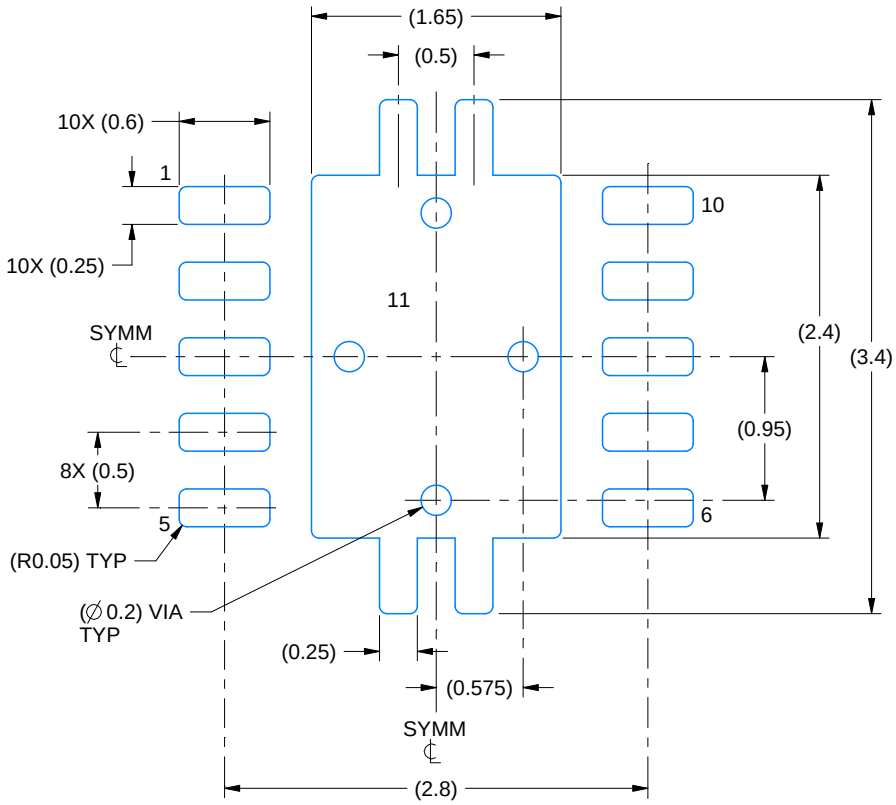


4226193/A

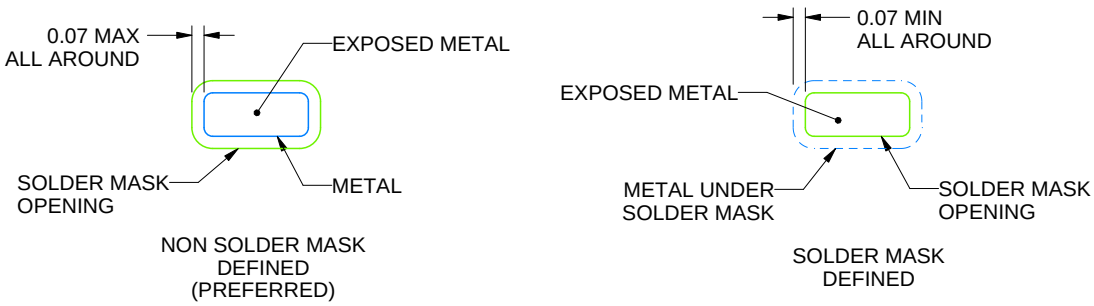


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

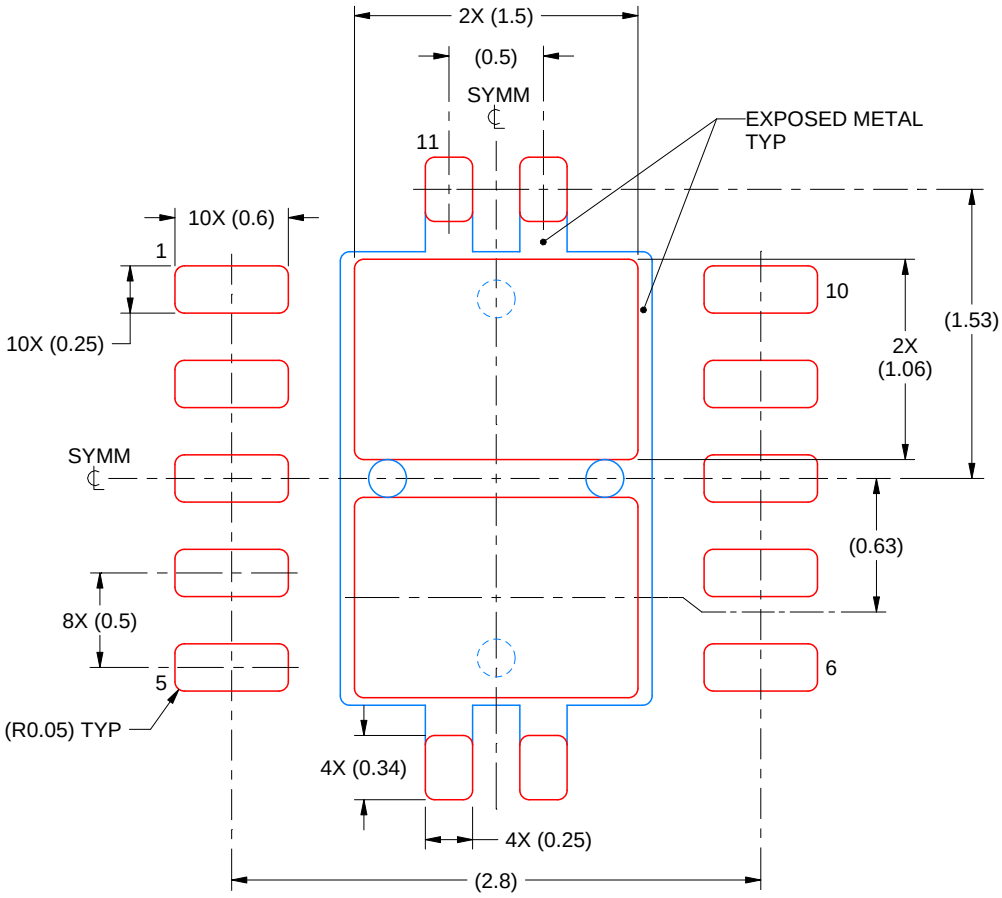


SOLDER MASK DETAILS

4225163/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4225163/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月