TXS0108E 面向开漏和推挽应用的 8 位双向电压电平转换器

1 特性

- 无需方向控制信号
- 最大数据速率：
  - 110Mbps（推挽）
  - 1.2Mbps（开漏）
- A 端口上为 1.4V 至 3.6V；B 端口上为 1.65V 至 5.5V ($V_{CCA} \leq V_{CCB}$)
- 无需电源时序控制 - V_{CCA} 或 V_{CCB} 均可优先斜升
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- 静电放电 (ESD) 保护性能超过 JESD 22 规范的要求（A 端口）：
  - 2000V 人体放电模型 (A114-B)
  - 150 V 机器放电模型 (A115-A)
  - 1000 V 充电器件模型 (C101)
- IEC 61000-4-2 ESD（B 端口）：
  - ±8kV 接触放电
  - ±6kV 空气放电

2 应用

- 手持终端
- 智能手机
- 平板电脑
- 台式计算机

3 说明

该器件是一款 8 位同相电平转换器，此转换器使用两个独立的可配置电源轨。A 端口跟踪 V_{CCA} 引脚的电源电压。V_{CCA} 引脚可接受 1.4V 至 3.6V 之间的任何电源电压。B 端口跟踪 V_{CCB} 引脚的电源电压。V_{CCB} 引脚接受 1.65V 至 5.5V 之间的任何电源电压。两个输入电源引脚可实现 1.5V、1.8V、2.5V、3.3V 和 5V 电压节点之间的低电压双向转换。

输出使能 (OE) 输入为低电平时，所有输出均将置于高阻抗 (Hi-Z) 状态。

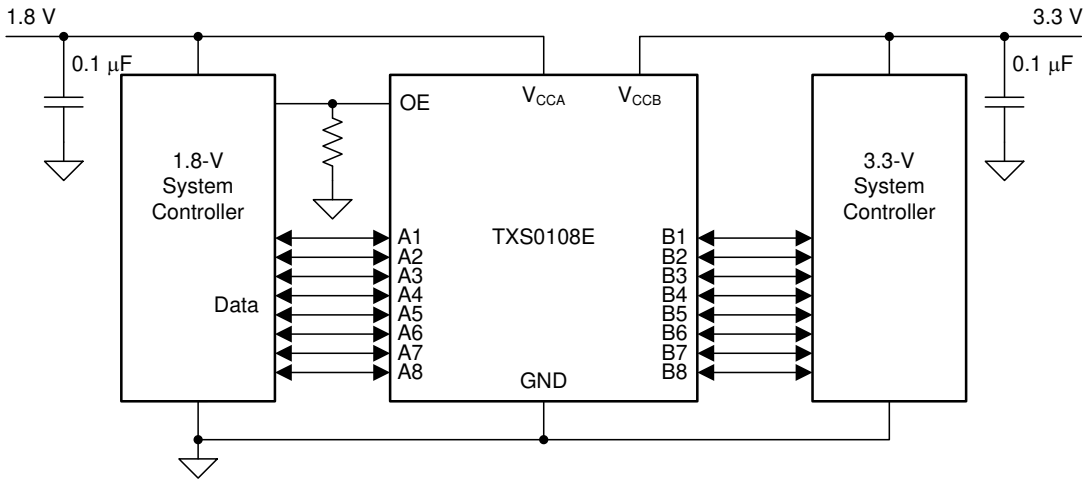
为了在上电或断电期间将器件置于高阻态状态，需要通过一个下拉电阻将 OE 接至 GND。驱动器的拉电流能力确定了电阻器的最小值。

封装信息

器件型号	封装 (1)	封装尺寸 (2)
TXS0108E	PW（TSSOP，20）	6.50mm × 6.40mm
	RGY（VQFN，20）	4.50mm × 3.5mm
	DGS（VSSOP，20）	3.00mm x 5.10mm
	RKS（VQFN，20）	4.5mm x 2.5mm
	ZXY (UFBGA, 20)	2.50mm × 3.00mm
	NME (NFBGA, 20)	2.50mm × 3.00mm

(1) 有关更多信息，请参阅节 11

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 6
5.4 热性能信息 6
5.5 电气特性：T_A = –40°C 至 85°C 7
5.6 时序要求：V_{CCA} = 1.5V ± 0.1V 8
5.7 时序要求：V_{CCA} = 1.8V ± 0.15V 8
5.8 时序要求：V_{CCA} = 2.5V ± 0.2V 8
5.9 时序要求：V_{CCA} = 3.3V ± 0.3V 8
5.10 开关特性：V_{CCA} = 1.5V ± 0.1V 9
5.11 开关特性：V_{CCA} = 1.8V ± 0.15V 10
5.12 开关特性：V_{CCA} = 2.5V ± 0.2V 11
5.13 开关特性：V_{CCA} = 3.3V ± 0.3V 12
5.14 工作特性：V_{CCA} = 1.5V 至 1.5V，V_{CCB} = 3.3V 至 3.3V 12
5.15 典型特性 13
6 参数测量信息 14
6.1 负载电路 14
6.2 电压波形 15
7 详细说明 16
7.1 概述 16
7.2 功能方框图 16
7.3 特性说明 17
7.4 器件功能模式 18
8 应用和实施 19
8.1 应用信息 19
8.2 典型应用 19
8.3 电源相关建议 20
8.4 布局 20
9 器件和文档支持 22
9.1 文档支持 22
9.2 接收文档更新通知 22
9.3 支持资源 22
9.4 商标 22
9.5 静电放电警告 22
9.6 术语表 22
10 修订历史记录 22
11 机械、封装和可订购信息 23

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

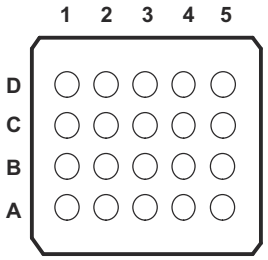


图 4-1. ZXY 封装 20 BUMP （底视图）

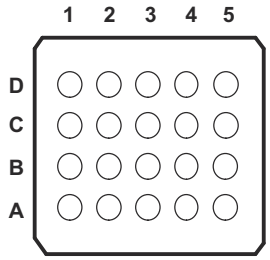


图 4-2. NME 封装 20 BGA （底视图）

ZXY 和 NME 封装的引脚分配

	1	2	3	4	5
D	VCCB	B2	B4	B6	B8
C	B1	B3	B5	B7	GND
B	A1	A3	A5	A7	OE
A	VCCA	A2	A4	A6	A8

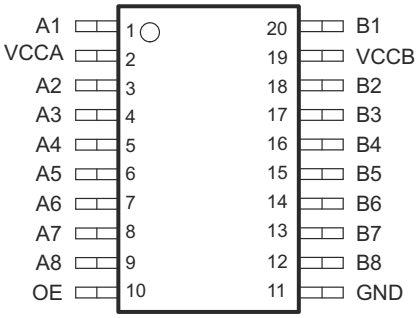


图 4-3. PW 或 DGS 封装、20 引脚 TSSOP 或 20 引脚 VSSOP（顶视图）、

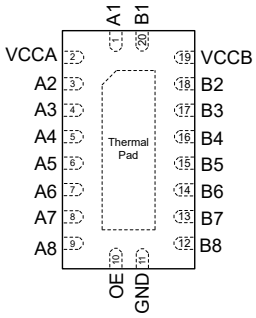
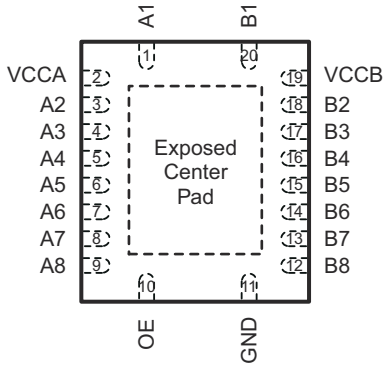


图 4-4. RKS 封装， 20 引脚 VQFN （顶视图）



如果使用，那么裸露的中央散热焊盘必须作为一个辅助地进行连接或置于电气开路状态。

图 4-5. RGY 封装 20 引脚 （顶视图）

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	PW、RGY、DGS	ZXY、NME		
A1	1	B1	I/O	输入/输出 1。以 V_{CCA} 为基准
A2	3	A2	I/O	输入/输出 2。以 V_{CCA} 为基准
A3	4	B2	I/O	输入/输出 3。以 V_{CCA} 为基准
A4	5	A3	I/O	输入/输出 4。以 V_{CCA} 为基准
A5	6	B3	I/O	输入/输出 5。以 V_{CCA} 为基准
A6	7	A4	I/O	输入/输出 6。以 V_{CCA} 为基准
A7	8	B4	I/O	输入/输出 7。以 V_{CCA} 为基准
A8	9	A5	I/O	输入/输出 8。以 V_{CCA} 为基准
B1	20	C 1	I/O	输入/输出 1。以 V_{CCB} 为基准
B2	18	D2	I/O	输入/输出 2。以 V_{CCB} 为基准
B3	17	C2	I/O	输入/输出 3。以 V_{CCB} 为基准
B4	16	D3	I/O	输入/输出 4。以 V_{CCB} 为基准
B5	15	C3	I/O	输入/输出 5。以 V_{CCB} 为基准
B6	14	D4	I/O	输入/输出 6。以 V_{CCB} 为基准
B7	13	C4	I/O	输入/输出 7。以 V_{CCB} 为基准
B8	12	D5	I/O	输入/输出 8。以 V_{CCB} 为基准
GND	11	C5	—	接地
OE	10	B5	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
VCCA	2	A1	P	A 端口电源电压。1.4V ≤ V_{CCA} ≤ 3.6V，V_{CCA} ≤ V_{CCB}。
VCCB	19	D1	P	B 端口电源。1.65V ≤ V_{CCB} ≤ 5.5V。
散热焊盘			—	对于 RGY 封装，外露的中心散热焊盘必须接地或保持电气开路状态。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_{CCA}		-0.5	4.6	V
电源电压，V_{CCB}		-0.5	6.5	V
输入电压，V_I (2)	A 端口	-0.5	4.6	V
	B 端口	-0.5	6.5	
施加到任何处于高阻抗或断电状态的输出的电压，V_O (2)	A 端口	-0.5	4.6	V
	B 端口	-0.5	6.5	
施加到任何处于高电平或低电平状态的输出的电压，V_O (2) (3)	A 端口	-0.5	V_{CCA} + 0.5	V
	B 端口	-0.5	V_{CCB} + 0.5	V
输入钳位电流，I_{IK}	V_I < 0		-50	mA
输出钳位电流，I_{OK}	V_O < 0		-50	mA
持续输出电流，I_O		-50	50	mA
通过 V_{CCA}、V_{CCB} 或 GND 的连续电流		-100	100	mA
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) 建议运行条件表中提供了 V_{CCA} 和 V_{CCB} 的值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	
		机器模型 (MM)	±150	
		IEC 61000-4-2 ESD（B 端口）接触放电	±8000	
		IEC 61000-4-2 ESD（B 端口）气隙放电	±6000	

(1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2024 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

					最小值	最大值	单位
V_{CCA}	电源电压(3)				1.4	3.6	V
V_{CCB}	电源电压(3)				1.65	5.5	V
V_{IH}	高电平输入电压	A 端口 I/O	V_{CCA} (V) = 1.4 至 1.95	V_{CCB} (V) = 1.65 至 5.5	V_{CCI} – 0.2	V_{CCI}	V
			V_{CCA} (V) = 1.95 至 3.6	V_{CCB} (V) = 1.65 至 5.5	V_{CCI} – 0.4	V_{CCI}	
		B 端口 I/O	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5	V_{CCI} – 0.4	V_{CCI}	V
		OE	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5	V_{CCA} × 0.65	5.5	V
V_{IL}	低电平输入电压	A 端口 I/O	V_{CCA} (V) = 1.4 至 1.95	V_{CCB} (V) = 1.65 至 5.5	0	0.15	V
			V_{CCA} (V) = 1.95 至 3.6	V_{CCB} (V) = 1.65 至 5.5	0	0.15	
		B 端口 I/O	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5	0	0.15	V
		OE	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5	0	V_{CCA} × 0.35	V
$\Delta t/\Delta v$	输入转换上升或下降速率	A 端口 I/O 推挽	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5		10	ns/V
		B 端口 I/O 推挽	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5		10	ns/V
		控制输入	V_{CCA} (V) = 1.4 至 3.6	V_{CCB} (V) = 1.65 至 5.5		10	ns/V
T_A	自然通风条件下的工作温度范围				–40	85	°C

(1) V_{CCI} 是与数据输入端口相关联的 V_{CC}。
(2) V_{CCO} 是与输出端口相关的 V_{CC}。
(3) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V

5.4 热性能信息

热指标 (1)		TXS0108E					单位
		PW (TSSOP)	RGY (VQFN)	DGS (UFBGA)	RKS (VSSOP)	NME (NFBGA)	
		20 引脚	20 引脚	20 引脚	20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻	88.9	46.9	96.0	54.4	131.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	32.9	46.4	38.7	54.2	56.5	°C/W
$R_{\theta JB}$	结至电路板热阻	50.9	24.9	53.0	27.8	83.2	°C/W
ψ_{JT}	结至顶部特征参数	1.4	2.3	2.1	2.9	1.5	°C/W
ψ_{JB}	结至电路板特征参数	50.5	24.8	52.6	27.7	82.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	11.7	—	11.5	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性：T_A = –40°C 至 85°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）(1) (2) (3)

参数		测试条件	V_{CCA} (V)	V_{CCB} (V)	T_A = 25°C			T_A = –40°C 至 85°C		单位
					最小值	典型值	最大值	最小值	最大值	
V_{OHA}	端口 A 输出高电压	I_{OH} = –20 μA $V_{IB} \geq V_{CCB}$ – 0.4V	1.4	1.65 至 5.5	V_{CCA} × 0.67					V
V_{OLA}	端口 A 输出低电压	I_{OL} = 180 μA，$V_{IB} \leq$ 0.15V	1.4	1.65 至 5.5					0.4	V
		I_{OL} = 220 μA，$V_{IB} \leq$ 0.15V	1.65	1.65 至 5.5					0.4	
		I_{OL} = 300 μA，$V_{IB} \leq$ 0.15V	2.3	1.65 至 5.5					0.4	
		I_{OL} = 400 μA，$V_{IB} \leq$ 0.15V	3	1.65 至 5.5					0.55	
V_{OHB}	端口 B 输出高电压	I_{OH} = –20 μA， $V_{IA} \geq V_{CCA}$ – 0.2V	1.4	1.65 至 5.5	V_{CCB} × 0.67					V
V_{OLB}	端口 B 输出低电压	I_{OL} = 220 μA，$V_{IA} \leq$ 0.15V	1.4 至 3.6	1.65					0.4	V
		I_{OL} = 300 μA，$V_{IA} \leq$ 0.15V	1.4 至 3.6	2.3					0.4	
		I_{OL} = 400 μA，$V_{IA} \leq$ 0.15V	1.4 至 3.6	3					0.55	
		I_{OL} = 620 μA，$V_{IA} \leq$ 0.15V	1.4 至 3.6	4.5					0.55	
I_I	输入漏电流	OE： V_I = V_{CCI} 或 GND	1.4	1.65 至 5.5	-1		1		2	μA
I_{OZ}	高阻抗状态输出电流	A 或 B 端口	1.4	1.65 至 5.5	-1		1	-2	2	μA
I_{CCA}	V_{CCA} 电源电流	V_I = V_O = 开路，I_O = 0	1.4	1.65 至 5.5		1.5		-2	2	μA
			1.5 至 3.6	2.3 至 5.5					2	
			3.6	0					2	
			0	5.5					-1	
I_{CCB}	V_{CCB} 电源电流	V_I = V_O = 开路，I_O = 0	1.4	1.65 至 5.5		1.5				μA
			1.5 至 3.6	2.3 至 5.5					6	
			3.6	0					-1	
			0	5.5					1.4	
I_{CCA} + I_{CCB}	联合电源电流	V_I = V_{CCI} 或 GND， I_O = 0	1.4	2.3 至 5.5		3				μA
			1.5 至 3.6	2.3 至 5.5					8	
I_{CCZA}	高阻抗状态 V_{CCA} 电源电流	V_I = V_O = 开路， I_O = 0，OE = GND	1.4	1.65 至 5.5		0.05				μA
I_{CCZB}	高阻抗状态 V_{CCB} 电源电流	V_I = V_O = 开路， I_O = 0，OE = GND	1.4	1.65 至 5.5		4				μA
C_i	输入电容	OE	3.3	3.3		4.5			5.5	pF
C_{io}	输入到输出内部电容	A 端口	3.3	3.3		6			7	pF
		B 端口	3.3	3.3		5.5			6	

(1) V_{CCO} 是与输出端口相关的 V_{CC}。
(2) V_{CCI} 是与输入端口相关的 V_{CC}。
(3) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V

Copyright © 2024 Texas Instruments Incorporated

5.6 时序要求：V_{CCA} = 1.5V ± 0.1V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1V（除非另有说明）

				$V_{CC\ B}$ = 1.8V ± 0.15V		$V_{CC\ B}$ = 2.5V ± 0.2V		$V_{CC\ B}$= 3.3V ± 0.3V		$V_{CC\ B}$= 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
	数据速率	推挽			40		60		60		60	Mbps
		漏极开路			0.8		0.8		1		1	
t_w	脉冲持续时间	数据输入	推挽	25		16.7		16.7		16.7		ns
			漏极开路	1250		1250		1000		1000		

5.7 时序要求：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

				$V_{CC\ B}$ = 1.8V ± 0.15V		$V_{CC\ B}$ = 2.5V ± 0.2V		$V_{CC\ B}$= 3.3V ± 0.3V		$V_{CC\ B}$= 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
	数据速率	推挽			45		65		70		70	Mbps
		漏极开路			0.8		0.8		0.8		1	
t_w	脉冲持续时间	数据输入	推挽	22.2		15.3		15.3		15.3		ns
			漏极开路	1250		1250		1250		1000		

5.8 时序要求：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

				V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
	数据速率	推挽			80		95		100	Mbps
		漏极开路			0.8		0.8		1	
t_w	脉冲持续时间	数据输入	推挽	12.5		10.5		10		ns
			漏极开路	1250		1250		1000		

5.9 时序要求：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

				V_{CCB} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	
	数据速率	推挽			100		110	Mbps
		漏极开路			0.8		1.2	
t_w	脉冲持续时间	数据输入	推挽	10		9.1		ns
			漏极开路	1250		833		

Copyright © 2024 Texas Instruments Incorporated

5.10 开关特性：V_{CCA} = 1.5V ± 0.1V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1V（除非另有说明）

参数		测试条件		V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动		11		9.2		8.6		8.6	ns
			开漏驱动	4	14.4	3.6	12.8	3.5	12.2	3.5	12	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动		12		10		9.8		9.7	
			开漏驱动	182	720	143	554	114	473	81	384	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动		12.7		11.1		11		12	ns
			开漏驱动	3.4	13.2	3.1	9.6	2.8	8.5	2.5	7.5	
t_{PLH}	传播延迟时间（低至高电平输出）	B 至 A	推挽驱动		9.5		6.2		5.1		1.6	
			开漏驱动	186	745	147	603	118	519	84	407	
t_{en}	启用时间	OE 到 A 或 B	推挽驱动		200		200		200		200	ns
t_{dis}	禁用时间	OE 到 A 或 B	推挽驱动		400		400		400		400	ns
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	3.5	13.1	3	9.8	3.1	9	3.2	8.3	ns
			开漏驱动	147	982	115	716	92	592	66	481	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	2.9	11.4	1.9	7.4	0.9	4.7	0.7	2.6	ns
			开漏驱动	135	1020	91	756	58	653	20	370	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	2.3	9.9	1.7	7.7	1.6	6.8	1.7	6	ns
			开漏驱动	2.4	10	2.1	7.9	1.7	7	1.5	6.2	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	2	8.7	1.3	5.5	0.9	3.8	0.8	3.1	
			开漏驱动	1.2	11.5	1.3	8.6	1	9.6	0.5	7.7	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜	推挽驱动		1	1	1		1.1		1	ns
	最大数据速率	A 或 B	推挽驱动	40		60		60		60		Mbps
			开漏驱动	0.8		0.8		1		1		

Copyright © 2024 Texas Instruments Incorporated

5.11 开关特性：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

参数		测试条件		V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动		8.2		6.4		5.7		5.6	ns
			开漏驱动	3.6	11.4	3.2	9.9	3.1	9.3	3.1	8.9	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动		9		8.2		6.5		6.3	
			开漏驱动	194	729	155	584	126	466	90	346	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动		9.8		8		7.4		7	ns
			开漏驱动	3.4	12.1	2.8	8.5	2.5	7.3	2.1	6.2	
t_{PLH}	传播延迟时间（低至高电平输出）	B 至 A	推挽驱动		10.2		7		5.8		5	
			开漏驱动	197	733	159	578	129	459	93	323	
t_{en}	启用时间	OE 到 A 或 B	推挽驱动		200		200		200		200	ns
t_{dis}	禁用时间	OE 到 A 或 B	推挽驱动		410		410		410		410	ns
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	3.1	11.9	2.6	8.6	2.7	7.8	2.8	7.2	ns
			开漏驱动	155	996	124	691	100	508	72	350	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	2.8	10.5	1.8	7.2	1.2	5.2	0.7	2.7	ns
			开漏驱动	132	1001	106	677	73	546	32	323	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	2.1	8.8	1.6	6.6	1.4	5.7	1.4	4.9	ns
			开漏驱动	2.2	9	1.7	6.7	1.4	5.8	1.2	5.2	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	2	8.3	1.3	5.4	0.9	3.9	0.7	3	
			开漏驱动	0.8	10.5	0.7	10.7	1	9.6	0.6	7.8	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜	推挽驱动		1		1		1		1	ns
	最大数据速率	A 或 B	推挽驱动	40		60		60		60		Mbps
			开漏驱动	0.8		0.8		0.8		1		

Copyright © 2024 Texas Instruments Incorporated

5.12 开关特性：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

参数		测试条件		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动		5		4		3.7	ns
			开漏驱动	2.4	6.9	2.3	6.3	2.2	5.8	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动		5.2		4.3		3.9	
			开漏驱动	149	592	125	488	93	368	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动		5.4		4.7		4.2	ns
			开漏驱动	2.5	7.3	2.2	6	1.8	4.9	
t_{PLH}	传播延迟时间（低至高电平输出）	B 至 A	推挽驱动		5.9		4.4		3.5	
			开漏驱动	150	595	126	481	94	345	
t_{en}	启用时间	OE 到 A 或 B	推挽驱动		200		200		200	ns
t_{dis}	禁用时间	OE 到 A 或 B	推挽驱动		400		400		400	ns
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	2	7.3	2.1	6.4	2.2	5.8	ns
			开漏驱动	110	692	93	529	68	369	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	1.8	6.5	1.3	5.1	0.7	3.4	ns
			开漏驱动	107	693	79	483	41	304	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	1.5	5.7	1.2	4.7	1.3	3.8	ns
			开漏驱动	1.5	5.6	1.2	4.7	1.1	4	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	1.4	5.4	0.9	4.1	0.7	3	
			开漏驱动	0.4	14.2	0.5	19.4	0.4	3	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜	推挽驱动		1		1.2		1	ns
	最大数据速率	A 或 B	推挽驱动	60		60		60		Mbps
			开漏驱动	0.8		0.8		1		

Copyright © 2024 Texas Instruments Incorporated

5.13 开关特性：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

参数		测试条件		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5V ± 0.5V		单位
				最小值	最大值	最小值	最大值	
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动		3.8		3.1	ns
			开漏驱动	2	5.3	1.9	4.8	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动		3.9		3.5	
			开漏驱动	111	439	87	352	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动		4.2		3.8	ns
			开漏驱动	2.1	5.5	1.7	4.5	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动		3.8		4.3	
			开漏驱动	112	449	86	339	
t_{en}	启用时间	OE 到 A 或 B	推挽驱动		200		200	ns
t_{dis}	禁用时间	OE 到 A 或 B	推挽驱动		400		400	ns
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	1.8	5.7	1.9	5	ns
			开漏驱动	75	446	57	337	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	1.5	5	1	3.6	ns
			开漏驱动	72	427	40	290	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	1.2	4.5	1.1	3.5	ns
			开漏驱动	1.1	4.4	1	3.7	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	1.1	4.2	0.8	3.1	
			开漏驱动	1	4.2	0.8	3.1	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜	推挽驱动		1		1	ns
	最大数据速率	A 或 B	推挽驱动	60		60		Mbps
			开漏驱动	0.8		1.2		

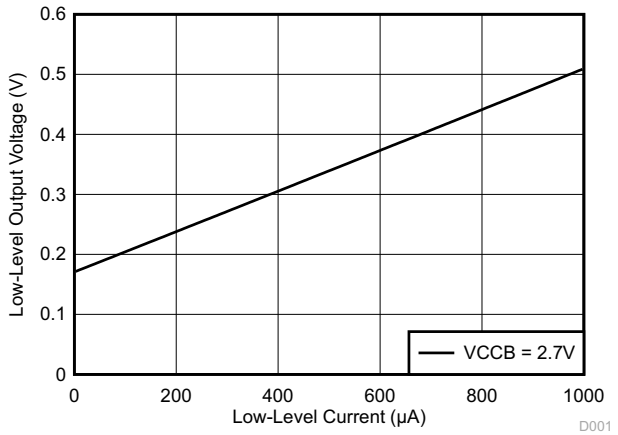
5.14 工作特性：V_{CCA} = 1.5V 至 1.5V，V_{CCB} = 3.3V 至 3.3V

T_A = 25°C

参数		测试条件		V_{CCA} = 1.5V，V_{CCB} = 1.5V			V_{CCA} = 1.8V，V_{CCB} = 1.8V			V_{CCA} = 2.5V，V_{CCB} = 2.5V			V_{CCA} = 2.5V，V_{CCB} = 2.5V			V_{CCA} = 3.3V，V_{CCB} = 3.3V			单位
				最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
C_{pdA}	功率耗散电容	CL = 0 f = 10MHz tr= tf= 1ns OE = V_{CCA}（输出已启用）	A 端口输入，B 端口输出		5.9			5.9			6.7			6.9			8		pF
			B 端口输入，A 端口输出		9.9			9.7			9.7			9.4			9.8		
C_{pdB}	功率耗散电容		A 端口输入，B 端口输出		21.5			20.8			21			23.4			23		
			B 端口输入，A 端口输出		16.7			16.8			17.8			20.8			20.9		
C_{pdA}	功率耗散电容	CL = 0 f = 10MHz tr= tf= 1ns OE = V_{CCA}（输出已启用）	A 端口输入，B 端口输出		0.01			0.01			0.01			0.01			0.01		pF
			B 端口输入，A 端口输出		0.01			0.01			0.01			0.01			0.01		
C_{pdB}	功率耗散电容		A 端口输入，B 端口输出		0.01			0.01			0.01			0.03			0.02		
			B 端口输入，A 端口输出		0.01			0.01			0.01			0.03			0.02		

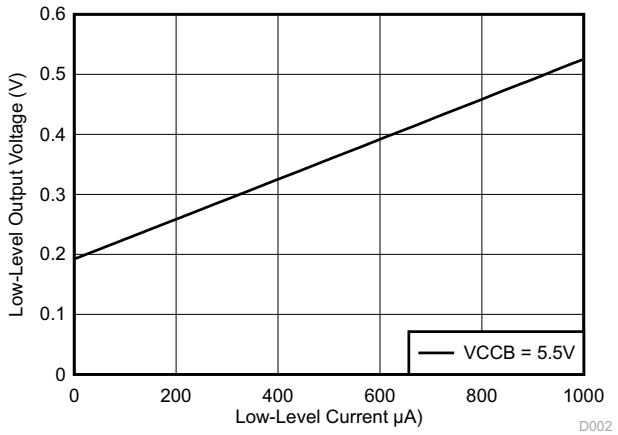
Copyright © 2024 Texas Instruments Incorporated

5.15 典型特性



V_{CCA} = 2.3V $V_{IL(A)}$ = 0.15V

图 5-1. 低电平输出电压 ($V_{OL(Bx)}$) 与低电平电流 ($I_{OL(Bx)}$) 间的关系



V_{CCA} = 3.0V $V_{IL(A)}$ = 0.15V

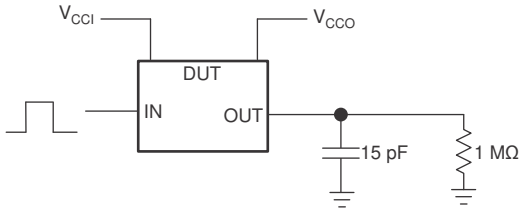
图 5-2. 低电平输出电压 ($V_{OL(Bx)}$) 与低电平电流 ($I_{OL(Bx)}$) 间的关系

Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

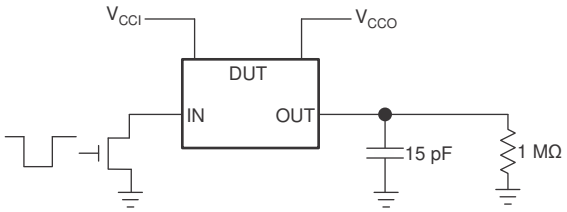
6.1 负载电路

图 6-1 展示了用于测量数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间的推挽驱动器电路。图 6-2 展示了用于测量数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间的开漏驱动器电路。



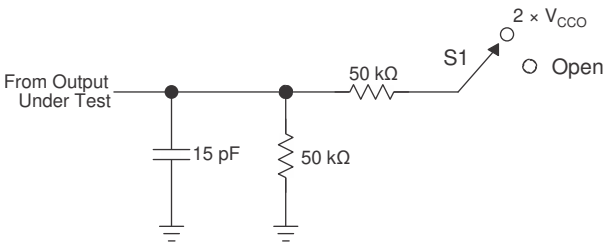
A. V_{CCI} 是与输入端口相关的 V_{CC}。
B. V_{CCO} 是与输出端口相关的 V_{CC}。

图 6-1. 使用推挽驱动器时的数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间测量



A. V_{CCI} 是与输入端口相关的 V_{CC}。
B. V_{CCO} 是与输出端口相关的 V_{CC}。

图 6-2. 使用开漏驱动器时的数据速率 (10pF)、脉冲持续时间 (10pF)、传播延迟、输出上升时间和下降时间测量



测试	S1
t_{PZL}，t_{PLZ} (t_{dis})	2 x V_{CCO}
t_{PHZ}，t_{PZH} (t_{en})	开路

A. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
B. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。

图 6-3. 针对使能时间和禁用时间测量的负载电路

Copyright © 2024 Texas Instruments Incorporated

6.2 电压波形

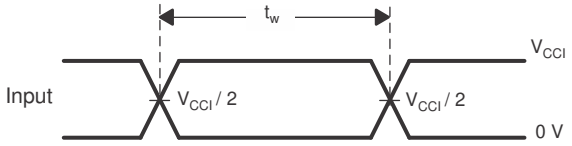


图 6-4. 脉冲持续时间（推挽）

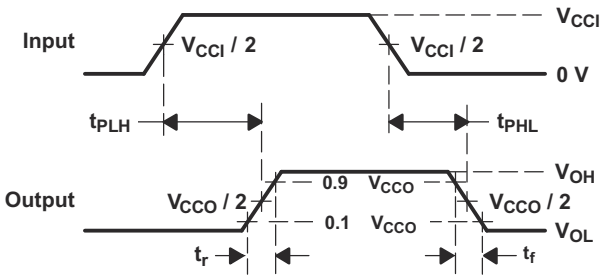


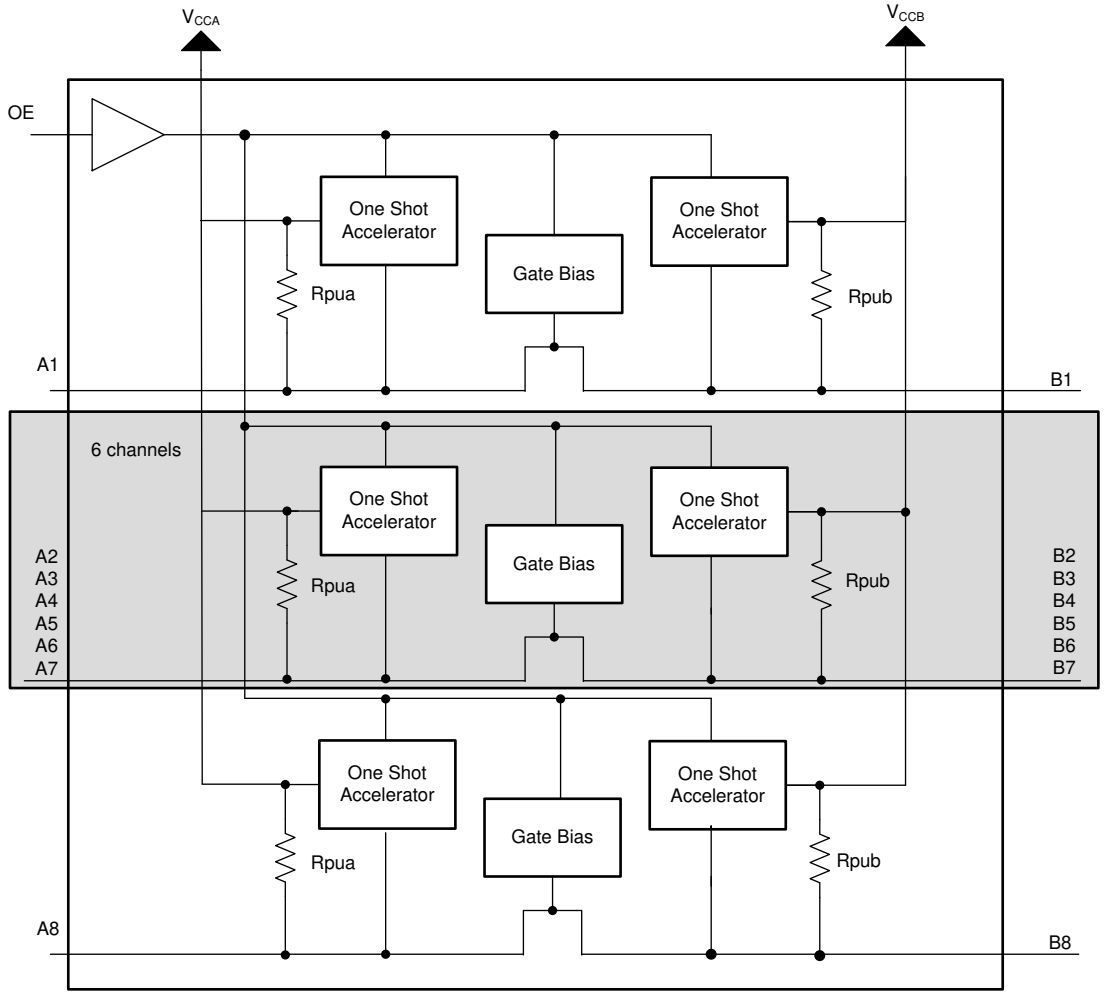
图 6-5. 传播延迟时间

7 详细说明

7.1 概述

TXS0108E 器件是专为转换逻辑电压电平而设计的无方向电压电平转换器。A 端口接受 1.4V 至 3.6V 的 I/O 电压。B 端口接受 1.65V 至 5.5V 的 I/O 电压。该器件使用带边沿速率加速器（单稳态）的导通栅极架构来提高整体数据速率。为了方便使用，此器件内已集成上拉电阻器（通常被用在开漏应用中），这样就不再需要外部电阻器了。虽然这款器件设计用于开漏应用，此器件也可转换推挽 CMOS 逻辑输出。

7.2 功能方框图



每个 A 端口 I/O 具有一个针对 V_{CCA} 的上拉电阻 (R_{PUA})，每个 B 端口 I/O 具有一个针对 V_{CCB} 的上拉电阻 (R_{PUB})。输出驱动低电平时，R_{PUA} 和 R_{PUB} 的值为 40kΩ。输出驱动高电平时，R_{PUA} 和 R_{PUB} 的值为 4kΩ。OE = 低电平时，R_{PUA} 和 R_{PUB} 被禁用。

Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

7.3.1 架构

图 7-1 显示了此应用在推挽和开漏模式下所需的半缓冲架构设计。该应用使用边沿速率加速器电路（适用于高到低和低到高边沿）、高导通电阻 N 沟道导通栅极晶体管（约为 300Ω 至 500Ω）以及上拉电阻器（用来提供直流偏置和驱动能力）来满足这些要求。该设计不需要方向控制信号来控制从 A 到 B 或从 B 到 A 的数据流方向。最终的实现支持低速开漏操作和高速推挽操作。

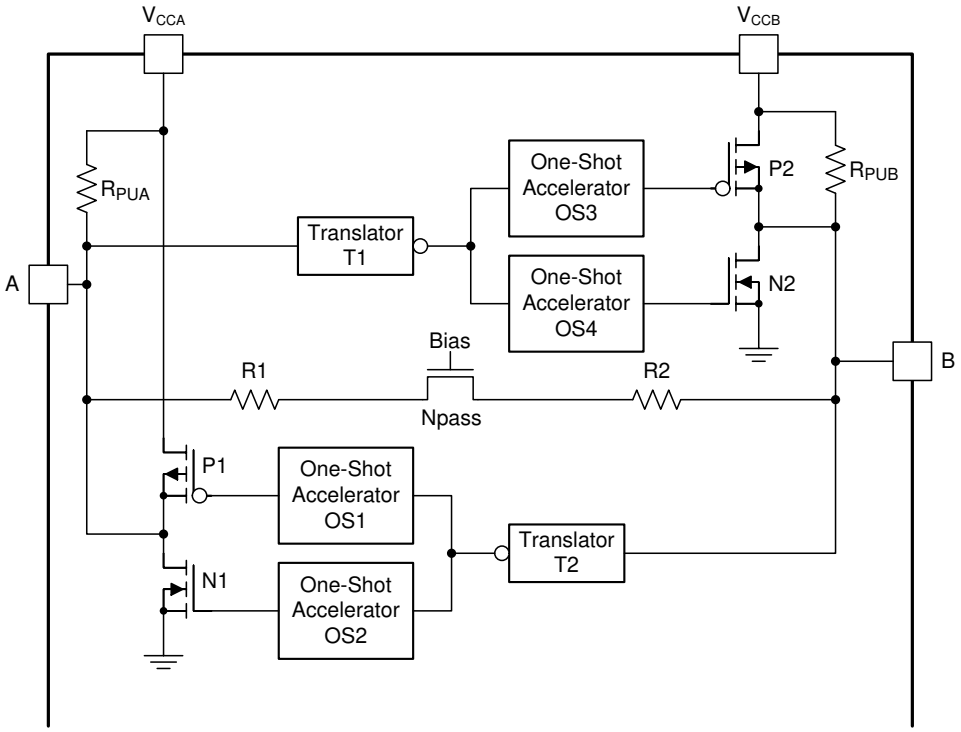


图 7-1. TXS0108E 单元的架构

从 A 端口向 B 端口传输数据时，在上升沿期间，单稳态电路 (OS3) 会在短时间内开启 PMOS 晶体管 (P2)，从而缩短从低电平到高电平的转换时间。类似地，从 A 向 B 传输数据时，在下降沿期间，单稳态电路 (OS4) 会在短时间内开启 N 沟道 MOSFET 晶体管 (N2)，从而加快高电平至低电平转换。B 端口边沿速率加速器由单稳态电路 OS3 和 OS4、晶体管 P2 和 N2 组成，用于根据在 A 端口上检测到的高电平或低电平快速强制 B 端口进行相应的转换。

从 B 端口向 A 端口传输数据时，在上升沿期间，单稳态电路 (OS1) 会在短时间内开启 PMOS 晶体管 (P1)，从而缩短低电平至高电平的转换时间。类似地，从 B 向 A 传输数据时，在下降沿期间，单稳态电路 (OS2) 会在短时间内开启 NMOS 晶体管 (N1)，从而加快高电平至低电平转换。A 端口边沿速率加速器由单稳态电路 OS1 和 OS2、晶体管 P1 和 N1 元件以及边沿速率加速器组成，用于根据在 B 端口上检测到的高电平或低电平快速强制 A 端口进行相应的转换。

Copyright © 2024 Texas Instruments Incorporated

7.3.2 输入驱动器要求

持续直流电流*灌入* 能力由连接到 TXS0108E I/O 引脚的外部系统级开漏（或推挽）驱动器决定。由于这些双向 I/O 电路的高带宽用于促进从输入到输出以及从输出到输入的快速变化，因此它们的直流*拉电流* 能力一般，为数百微安，具体取决于内部上拉电阻。

信号的下降时间 (t_{fA}, t_{fB}) 取决于外部器件（驱动 TXS0108E 器件的数据 I/O）的边沿速率和输出阻抗，以及数据线上的容性负载。

相似地，t_{PHL} 和最大数据速率也取决于外部驱动器的输出阻抗。t_{fA}、t_{fB}、t_{PHL} 的值和数据表中的最大数据速率假定外部驱动器的输出阻抗少于 50Ω。

7.3.3 输出负载注意事项

TI 建议采用较短的 PCB 布线长度进行仔细的 PCB 布局，以避免过多容性负载并进行正确的单次触发。PCB 信号布线长度应保持足够短，以使任何反射的往返延迟小于单稳态持续时间。这可让任何反射在驱动器处都遇到低阻抗，从而提高信号完整性。单稳态电路设计为保持约 30ns 时间。可驱动的集总负载的最大电容也直接取决于单稳态持续时间。对于非常重的容性负载，在信号完全驱动到正电源轨之前，单稳态可能会超时。已设置单稳态持续时间，以在动态 I_{CC}、负载驱动能力和最大比特率这些注意事项之间实现更好的权衡。PCB 布线长度和连接器增加了 TXS0108E 器件输出的电容。因此，TI 建议考虑此集总负载电容，以避免单稳态重新触发、总线争用、输出信号振荡或其他不利的系统级影响。

7.3.4 启用和禁用

TXS0108E 具有 OE 引脚输入，用于通过将 OE 引脚设为低电平来禁用器件，从而将所有 I/O 置于高阻态。禁用时间 (t_{dis}) 表示 OE 引脚变为低电平与输出实际被禁用 (Hi-Z) 之间的时间延迟。启用时间 (t_{en}) 表示 OE 引脚为高电平之后，该设计必须使单稳态电路变为可用的时间量。

7.3.5 I/O 线路上的上拉或下拉电阻

TXS0108E 器件具有智能上拉电阻，其值会根据通过 I/O 线路的是低电平还是高电平来动态更改。每个 A 端口 I/O 具有一个针对 V_{CCA} 的上拉电阻 (R_{PUA})，每个 B 端口 I/O 具有一个针对 V_{CCB} 的上拉电阻 (R_{PUB})。输出驱动低电平时，R_{PUA} 和 R_{PUB} 的值为 40kΩ。输出驱动高电平时，R_{PUA} 和 R_{PUB} 的值为 4kΩ。OE = 低电平时，R_{PUA} 和 R_{PUB} 被禁用。此特性可提供较低的静态功耗（当 I/O 传递低电平时），针对相同尺寸导通栅极晶体管支持更低的 V_{OL} 值，并有助于提高同时切换性能。

7.4 器件功能模式

TXS0108E 器件有两种功能模式：启用和禁用。为了禁用此器件，将 OE 引脚输入设定为低电平，这样将所有 I/O 置于高阻抗状态。将 OE 引脚输入设定为高电平将启用该器件。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TXS0108E 器件可在电平转换应用中用于将在不同接口电压下运行的器件或系统相互连接起来。该器件非常适合在开漏驱动器连接至数据 I/O 的应用中使用。该器件适用于推挽驱动器连接至数据 I/O 的应用，但对于此类推挽应用，TXB0104 器件 *4 位双向电压电平转换器* 也许是一个更好的选择。该器件是半缓冲自动方向检测电压转换器设计，针对需要系统以低速开漏模式启动并切换到更高速推挽模式的转换应用（例如，MMC 卡接口）进行了优化。

8.2 典型应用

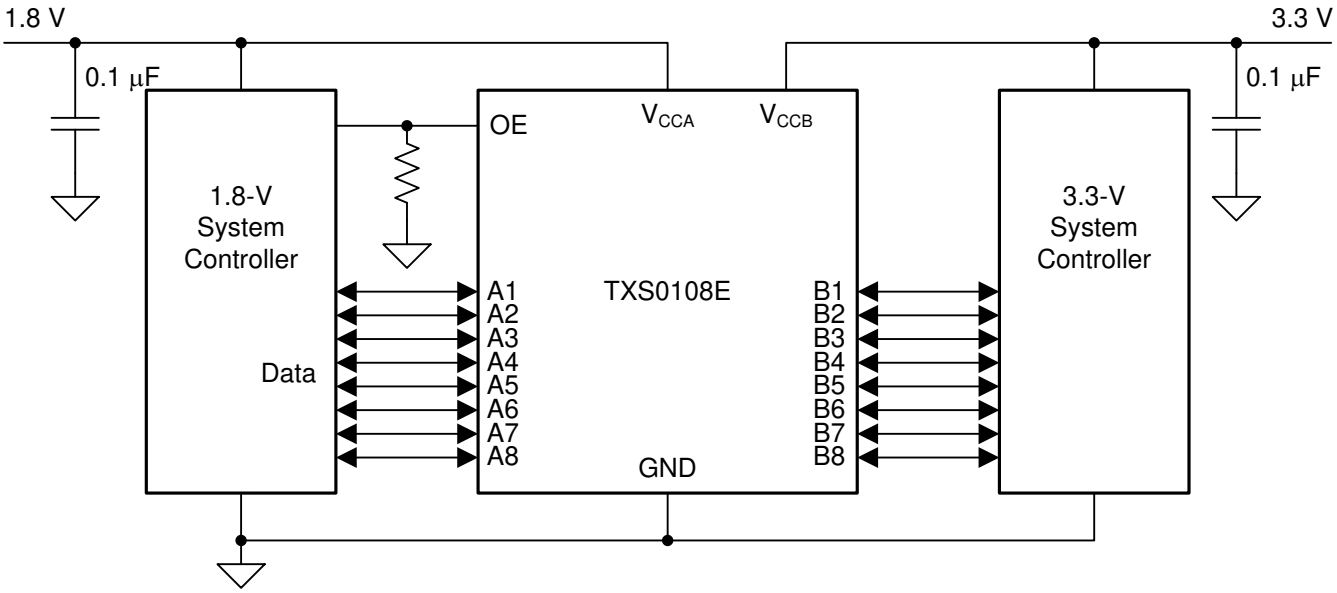


图 8-1. 典型应用电路

8.2.1 设计要求

对于这个设计示例，请使用 表 8-1 中列出的参数。确保 $V_{CCA} \leq V_{CCB}$。

表 8-1. 设计参数

设计参数	示例值
输入电压范围	1.4V 至 3.6V
输出电压范围	1.65V 至 5.5V

8.2.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
  - 使用正在驱动 TXS0108E 器件的器件电源电压来确定输入电压范围。要获得一个有效的逻辑高电平，这个值必须超过输入端口的 V_{IH}。要获得有效的逻辑低电平，这个值必须小于输入端口的 V_{IL}。
- 输出电压范围

Copyright © 2024 Texas Instruments Incorporated

- 使用 TXS0108E 器件正在驱动的器件电源电压来确定输出电压范围。
- TXS0108E 器件具有智能内部上拉电阻。如果需要的话，可增加外部上拉电阻器来减少信号布线上的总 RC。

- 一个外部下拉电阻器减少输出 VOH 和 VOL。使用 方程式 1 来计算由外部下拉电阻器产生的 VOH。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 4k\Omega) \quad (1)$$

8.2.3 应用曲线

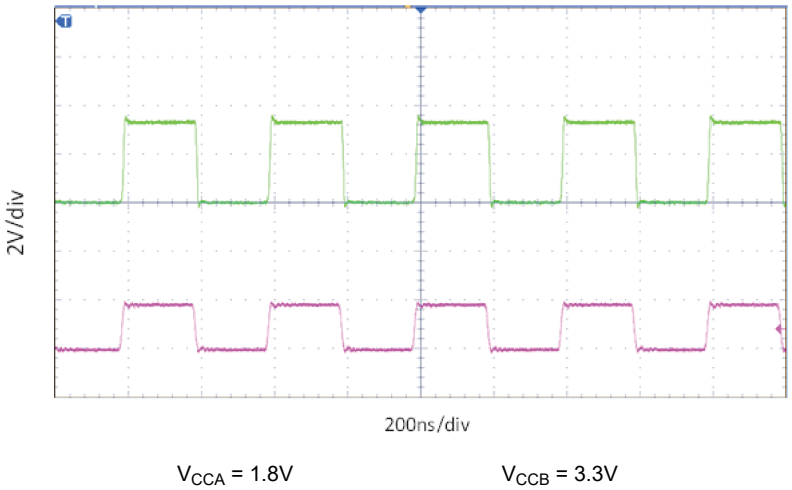


图 8-2. 2.5MHz 信号的电平转换

8.3 电源相关建议

运行期间，确保 V_{CCA} 始终小于等于 V_{CCB}。在上电运行期间，每个电源的时序不会损坏器件，因此任一电源都可以首先斜升。输出使能 (OE) 输入电路被设计成由 V_{CCA} 供电，并且当 (OE) 输入为低电平时，所有输出被置于高阻抗状态。为了在上电或下电期间将输出置于高阻抗状态，请通过一个下拉电阻器将 OE 输入引脚连接至 GND，并且直至 V_{CCA} 和 V_{CCB} 完全斜升且稳定前不要启用 OE 输入。驱动器的拉电流能力确定了下拉接地电阻器的最小值。

8.4 布局

8.4.1 布局指南

为确保器件可靠性，建议按照以下常见印刷电路板布局布线指南进行操作。

- 应该在电源上使用旁路电容器。尽可能靠近 VCCA、VCCB 和 GND 引脚放置电容器。
- 为了避免过多负载，应该使用短布线。
- PCB 信号布线长度必须足够短，以便任一反射的往返延迟少于单次持续时间，大约为 30ns，从而导致任一反射在源驱动器上遇到低阻抗。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

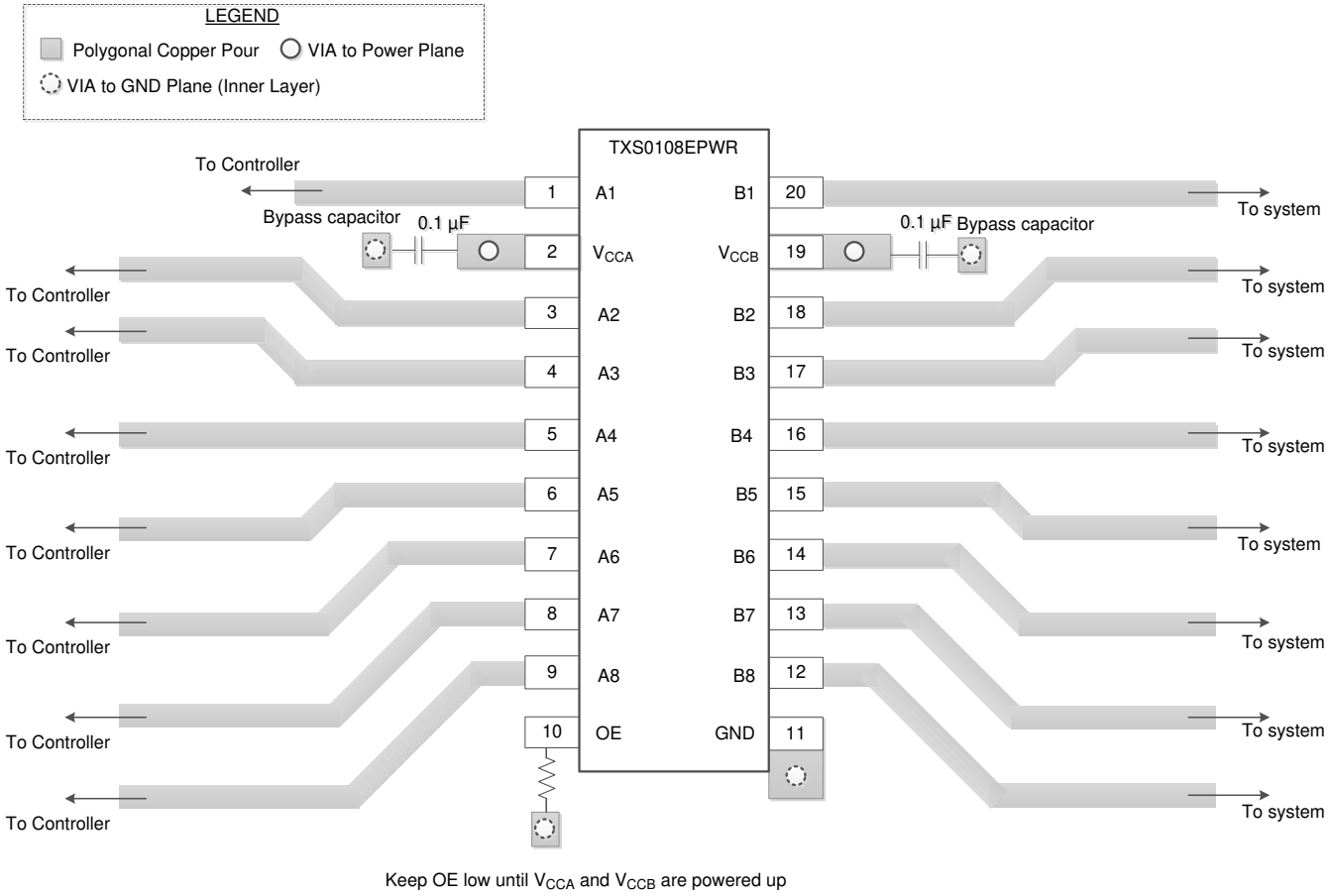


图 8-3. 布局示例

9 器件和文档支持

9.1 文档支持

相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，使用 TXS 器件进行电压电平转换的指南
- 德州仪器 (TI)，影响 TXS 自动双向器件电压的因素
- 德州仪器 (TI)，上拉和下拉电阻器对 TXS 器件的影响

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (April 2024) to Revision L (November 2024)	Page
• 添加了 DGS 封装	1
• 更新了热性能信息	6
• 更新了时序要求中的脉冲持续时间和开漏	8

Changes from Revision J (December 2023) to Revision K (April 2024)	Page
• 更新了*开关特性* 中的 EN/DIS 时间	9

Changes from Revision I (July 2023) to Revision J (December 2023)	Page
• 更新了*时序参数* 和*开关特性*	9

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision H (May 2020) to Revision I (July 2023) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1

Changes from Revision G (April 2020) to Revision H (May 2020) **Page**

- 将*绝对最大额定值* 表中的 V_{CCB} MAX 从 5.5V 更改为 6.5V.....5

Changes from Revision F (January 2019) to Revision G (April 2020) **Page**

- 增加了 NME 封装 (NFBGA).....1
- 更改了*建议运行条件* 表中的 V_{CCA} 最小值 1.2V.....6

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS0108EDGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	XS0108
TXS0108EDGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	XS0108
TXS0108ENMER	Active	Production	NFBGA (NME) | 20	2500 | LARGE T&R	Yes	SNAGCU	Level-2-260C-1 YEAR	-40 to 85	2APW
TXS0108ENMER.B	Active	Production	NFBGA (NME) | 20	2500 | LARGE T&R	Yes	SNAGCU	Level-2-260C-1 YEAR	-40 to 85	2APW
TXS0108EPWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF08E
TXS0108EPWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF08E
TXS0108EPWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF08E
TXS0108EPWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF08E
TXS0108ERGYR	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERGYR.A	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERGYR.B	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERGYRG4	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERGYRG4.A	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERGYRG4.B	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF08E
TXS0108ERKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TXS0108
TXS0108ERKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TXS0108

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXS0108E :

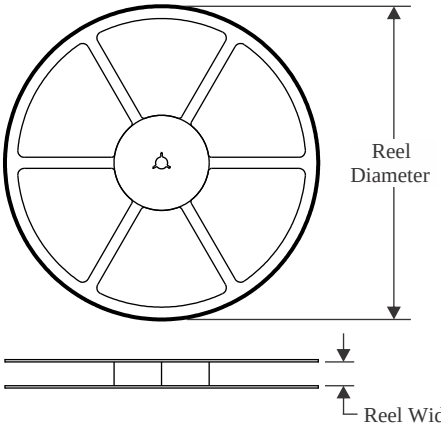
- Automotive : TXS0108E-Q1

NOTE: Qualified Version Definitions:

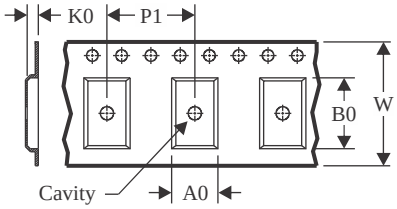
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

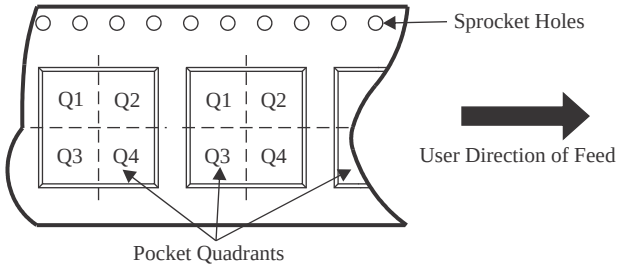


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

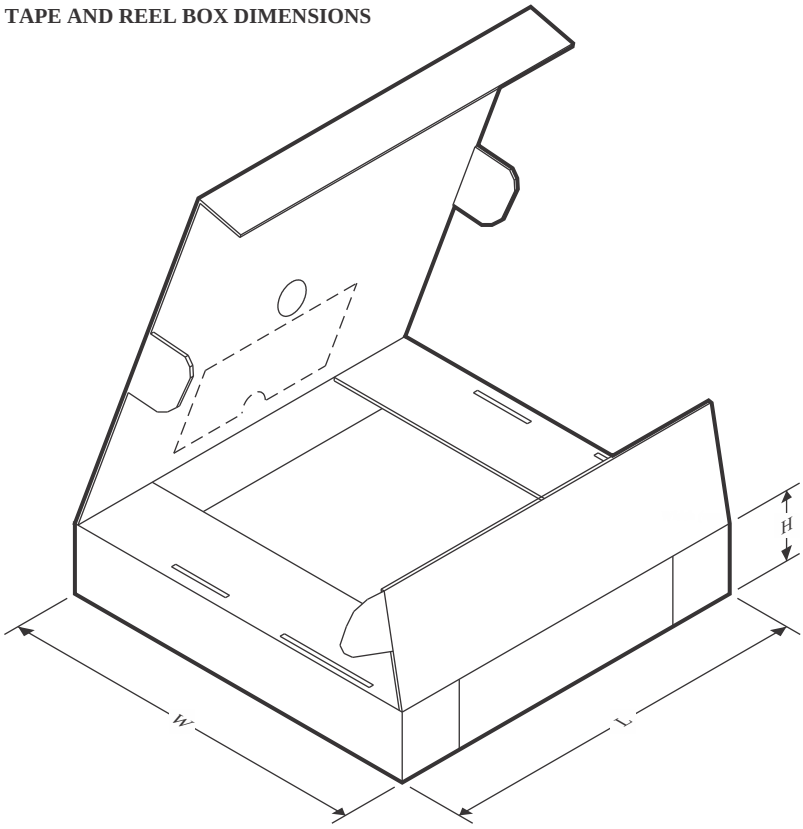
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXS0108EDGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
TXS0108ENMER	NFBGA	NME	20	2500	330.0	12.4	2.85	3.4	1.34	4.0	12.0	Q2
TXS0108EPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TXS0108ERGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TXS0108ERGYRG4	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TXS0108ERKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXS0108EDGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
TXS0108ENMER	NFBGA	NME	20	2500	336.6	336.6	31.8
TXS0108EPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
TXS0108ERGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
TXS0108ERGYRG4	VQFN	RGY	20	3000	353.0	353.0	32.0
TXS0108ERKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

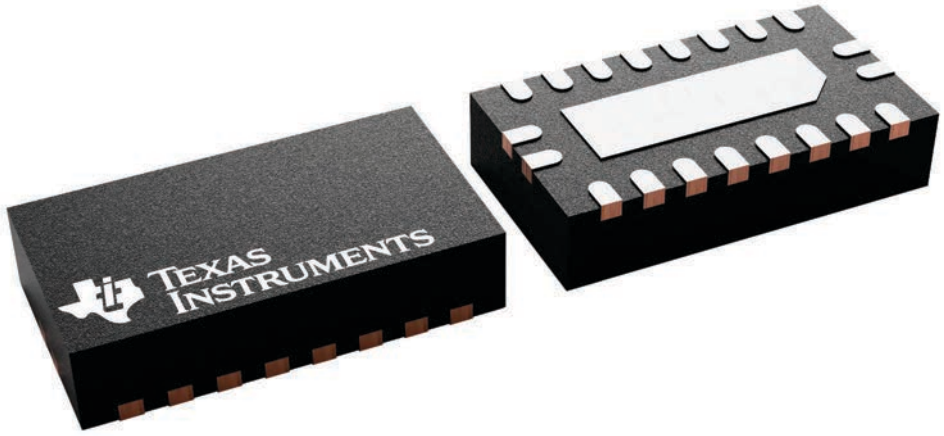
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

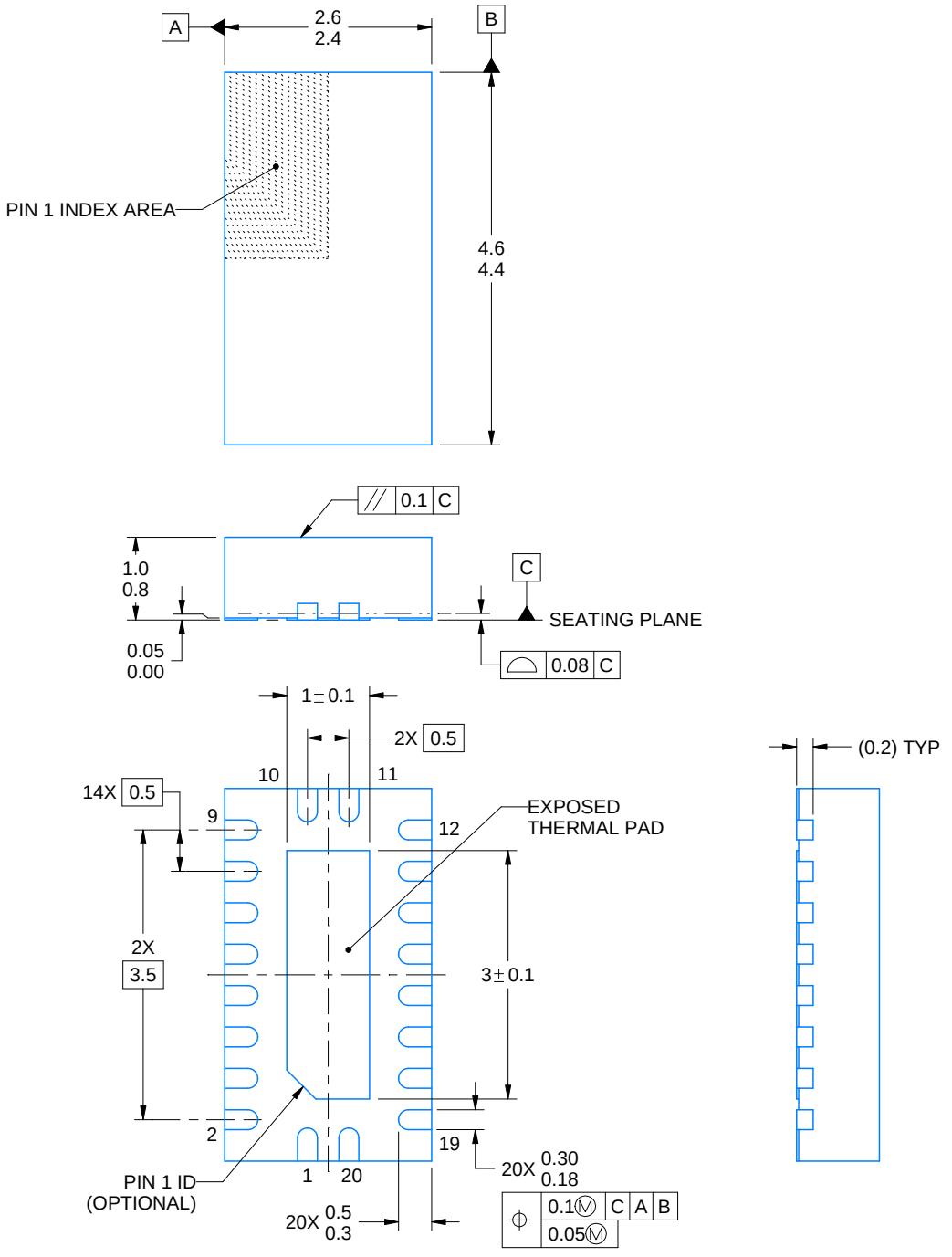


PACKAGE OUTLINE

RKS0020A

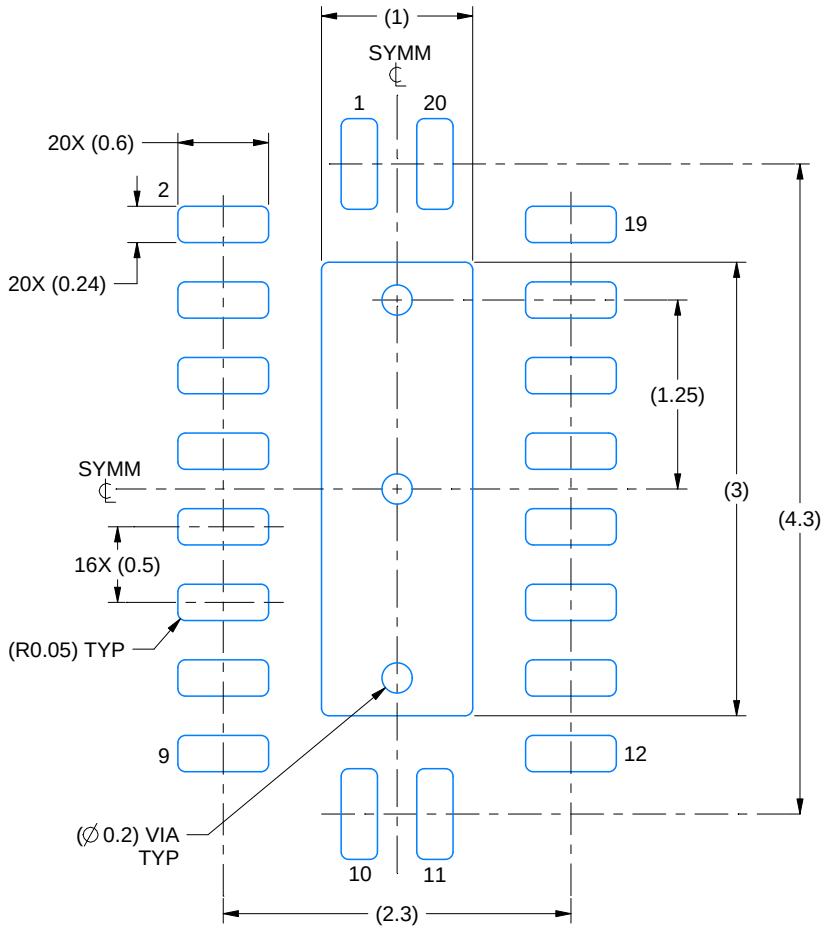
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

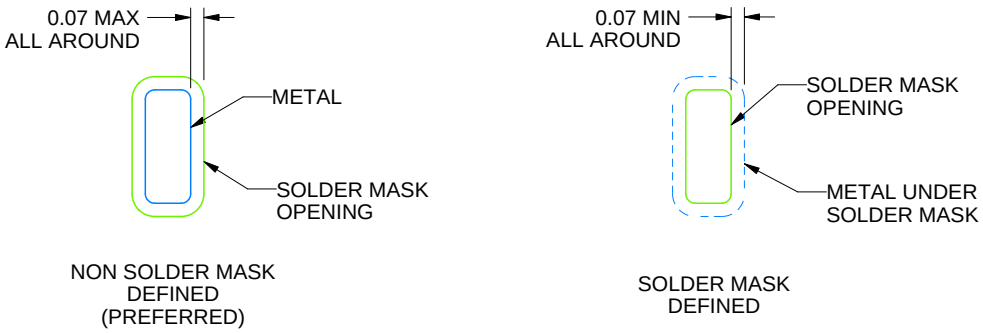


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

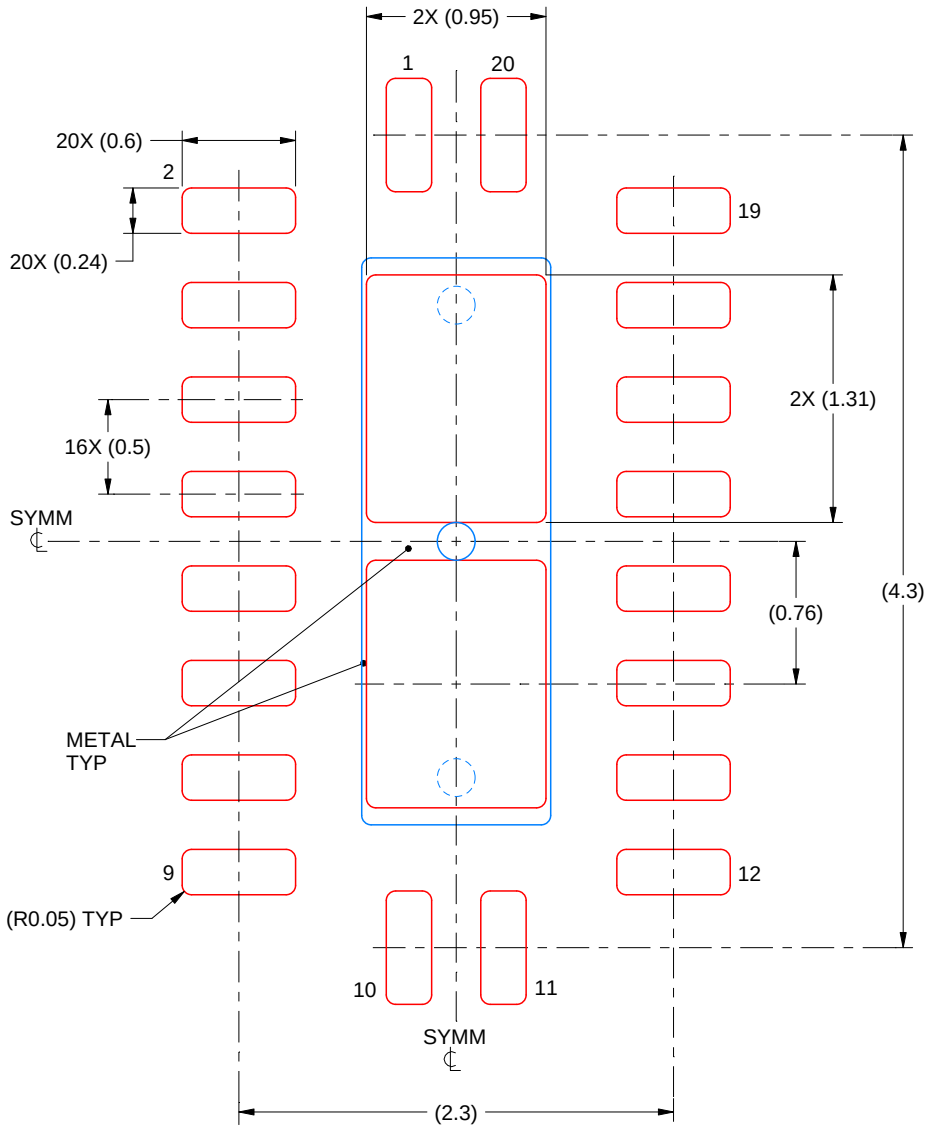


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

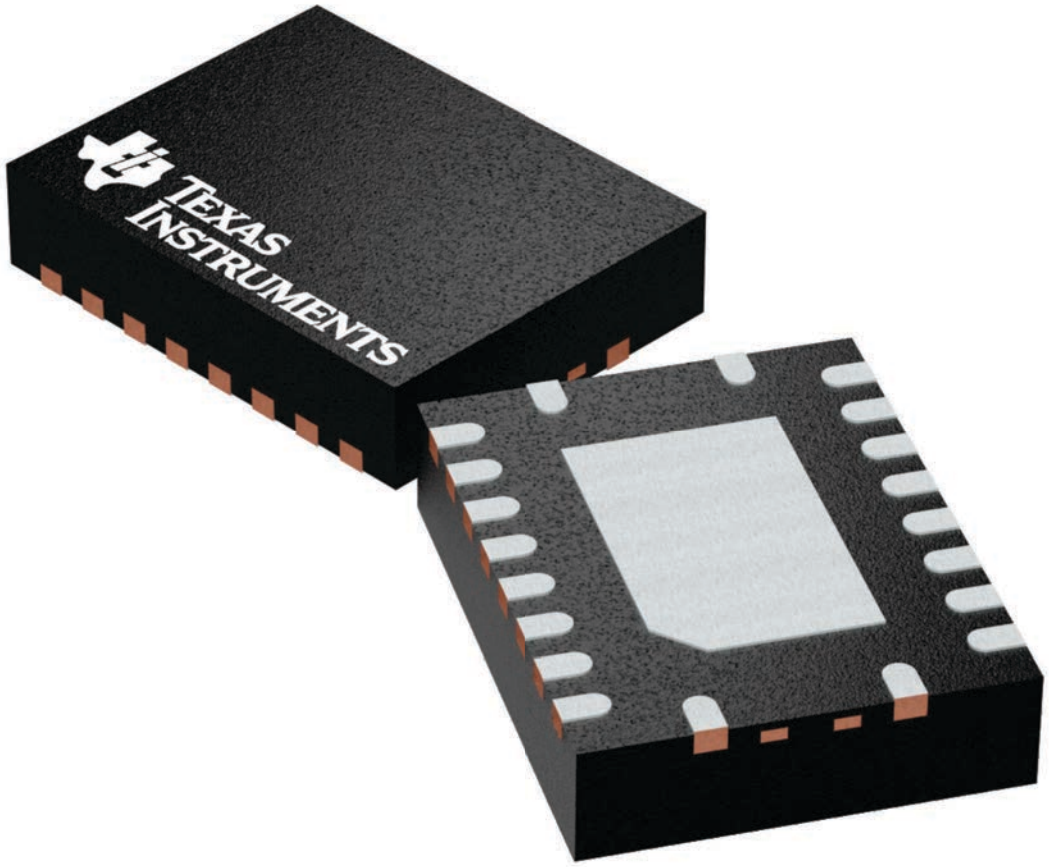
RGY 20

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



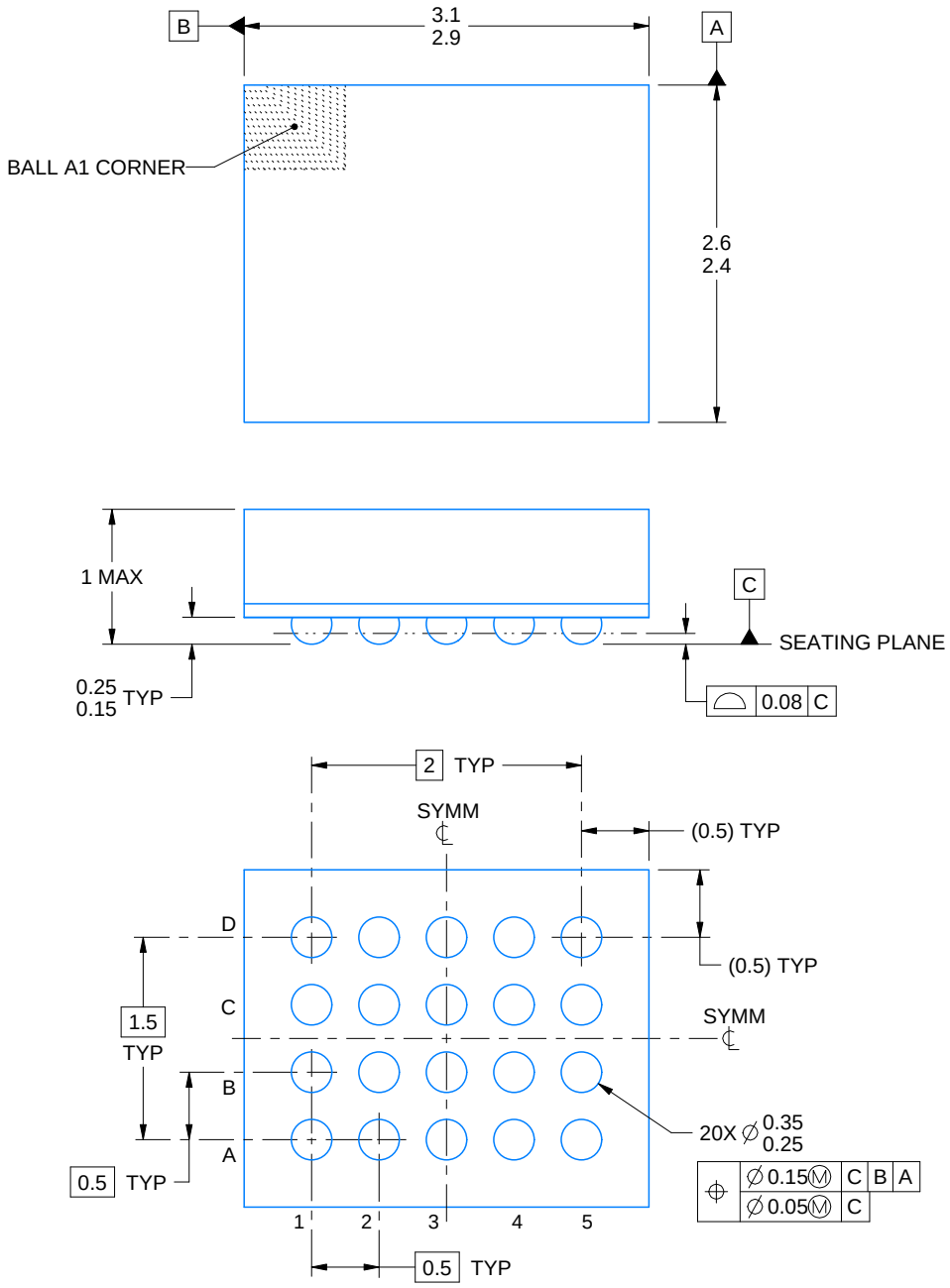
4225264/A

PACKAGE OUTLINE

NME0020A

NFBGA - 1 mm max height

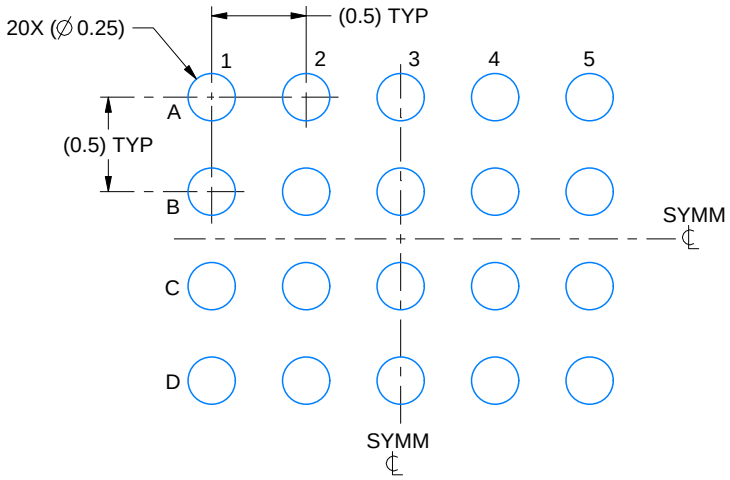
PLASTIC BALL GRID ARRAY



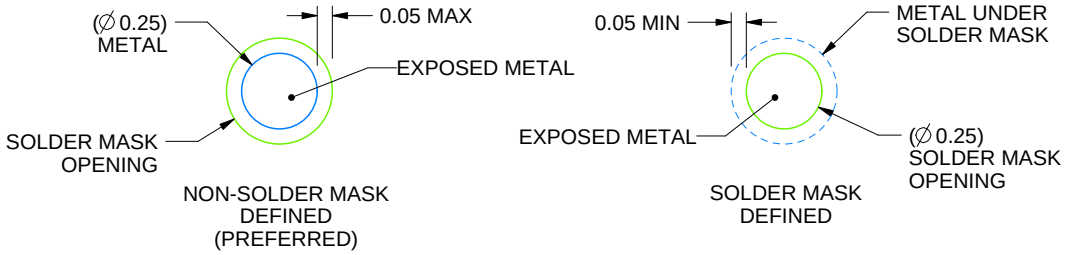
4224888/C 05/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS
NOT TO SCALE

4224888/C 05/2023

NOTES: (continued)

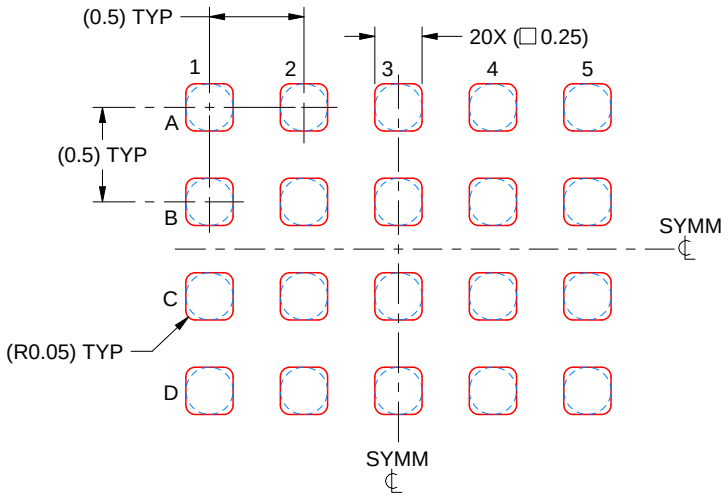
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

NME0020A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 25X

4224888/C 05/2023

NOTES: (continued)

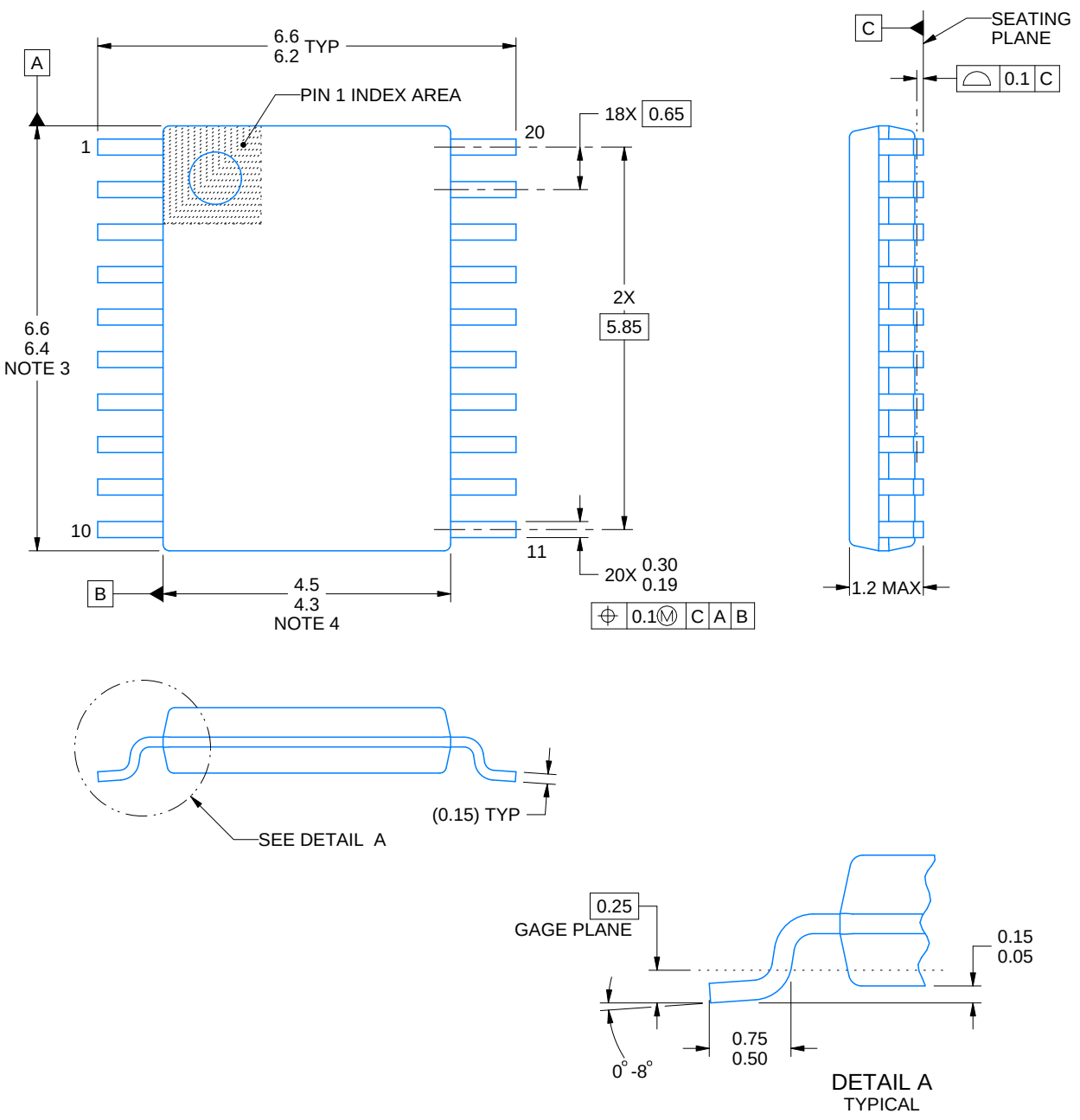
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

PW0020A

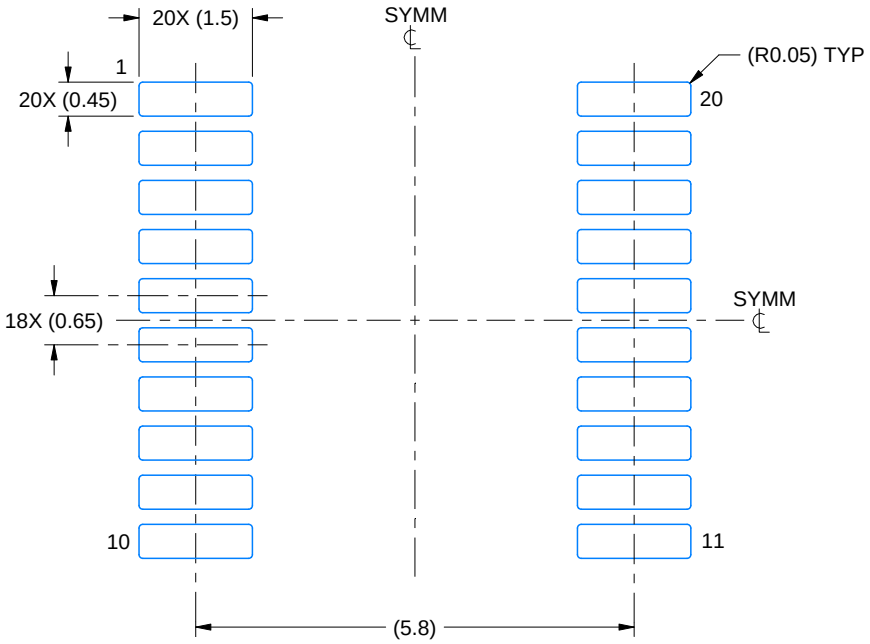
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

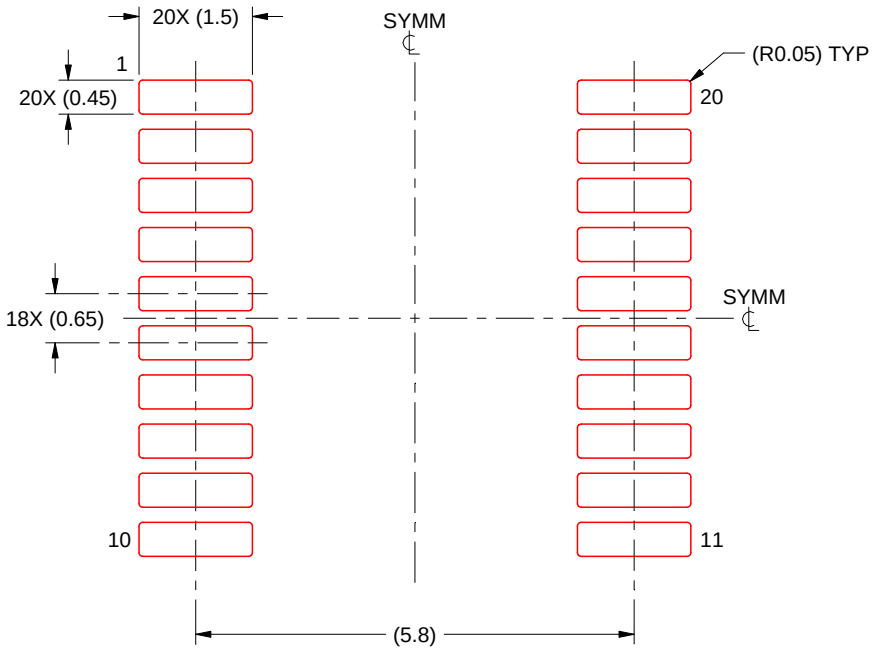


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

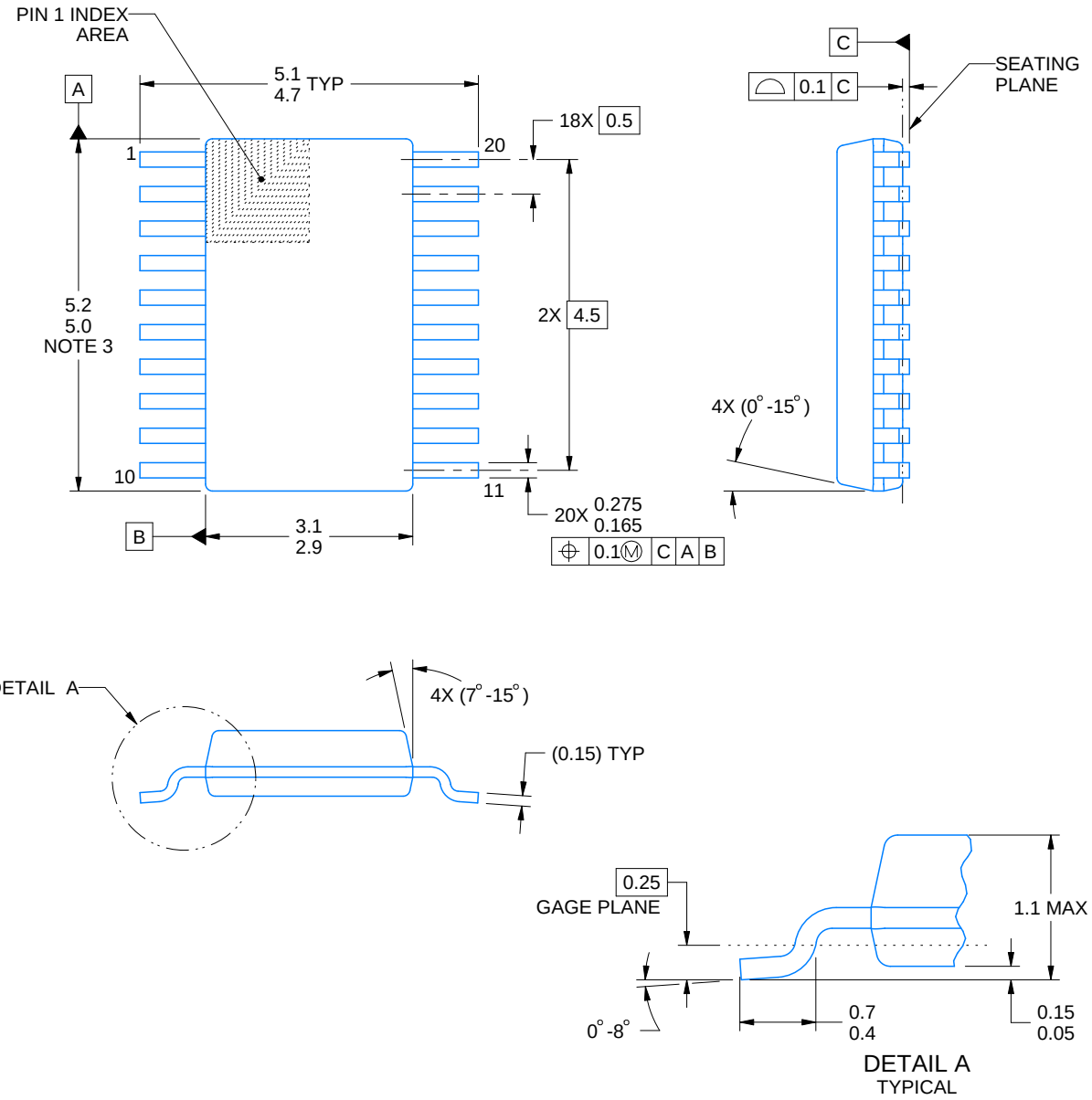
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

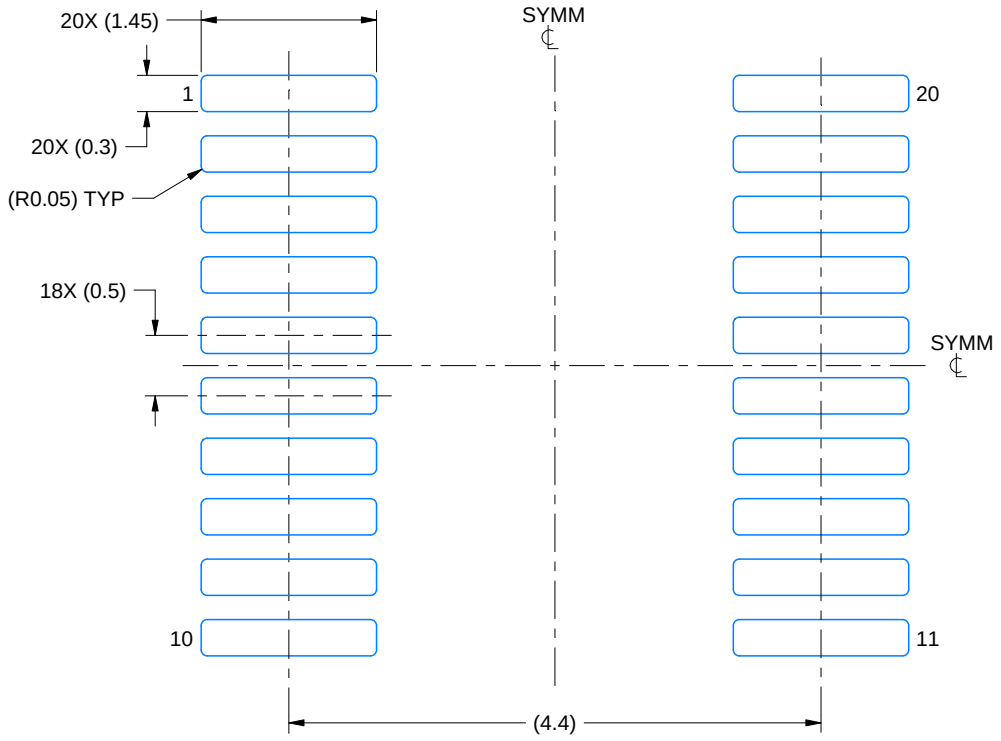
SMALL OUTLINE PACKAGE



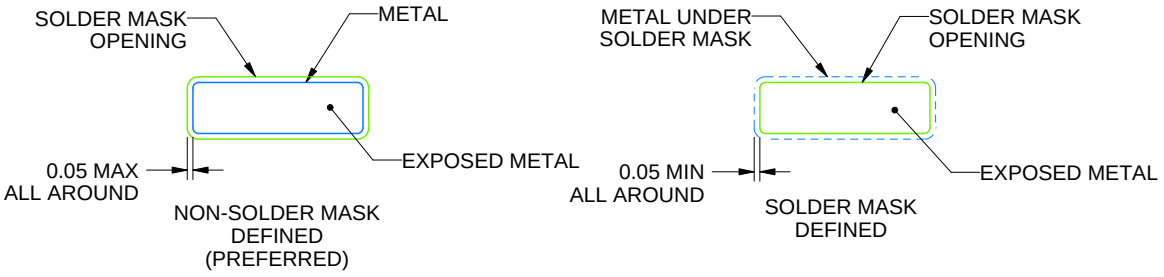
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

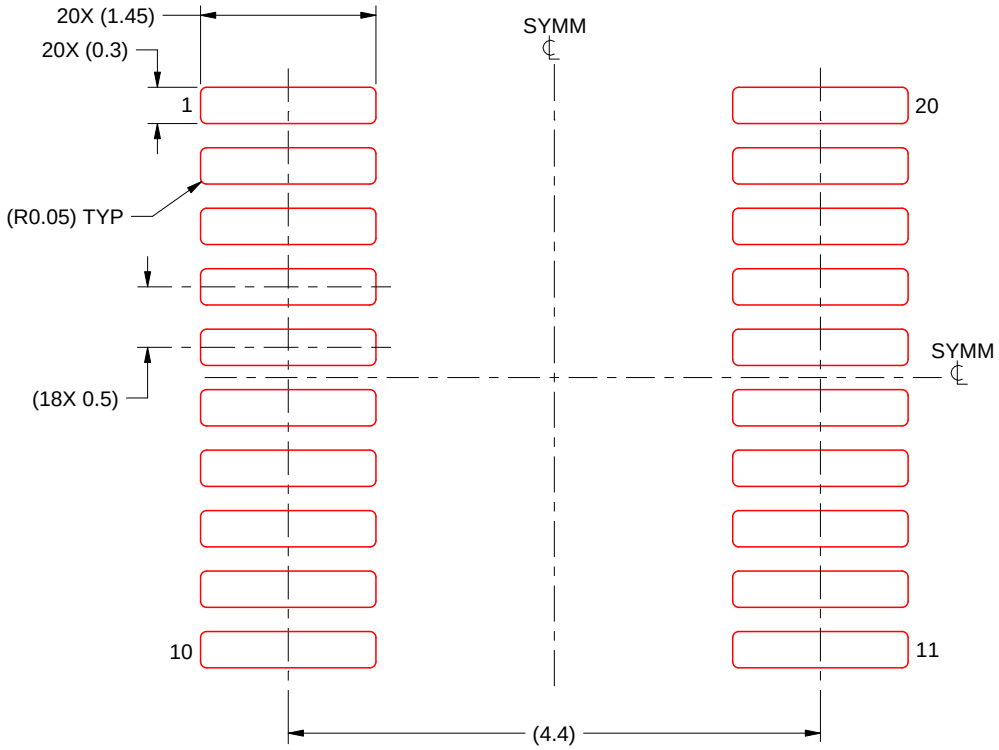


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月