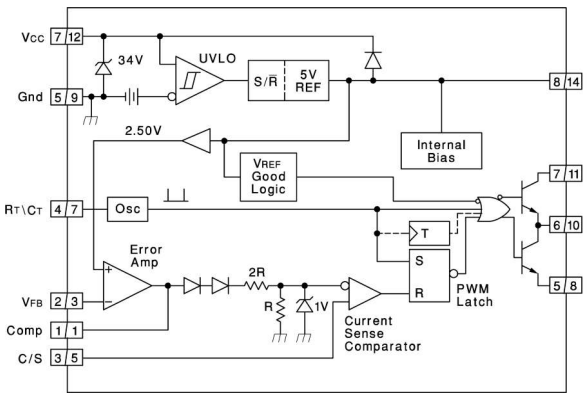
# UC2842AQ、UC2843AQ、UC2844AQ、UC2845AQ 电流模式 PWM 控制器

## 1 特性

- 工作温度范围为 –40°C 至 125°C
- 针对离线和直流/直流转换器进行了优化
- 低启动电流 (<0.5mA)
- 修整的振荡器放电电流
- 自动前馈补偿
- 逐脉冲电流限制
- 增强型负载响应特性
- 带有迟滞功能的欠压锁定
- 双脉冲抑制
- 大电流图腾柱输出
- 内部调整的带隙参考
- 500kHz 工作频率
- 低 $r_o$ 误差放大器

## 2 应用

- 开关模式电源 (SMPS)
- 直流/直流转换器
- 电源模块
- 工业 PSU
- 电池供电型 PSU




功能图

## 3 说明

UC2842A/3A/4A/5A 系列控制 IC 是与 UC2842/3/4/5 系列引脚对引脚兼容的改进版。该系列提供了控制开关模式电源电流模式所必需的功能，并且具备下述改进的特性。启动电流被设计为小于 0.5mA。振荡器放电电流调整为 8.3mA。欠压锁定期间，输出级可在 $V_{CC}$ 高于 5V 时以低于 1.2V 的电压灌入至少 10mA 的电流。

该系列各成员之间的差异如下表所示。

**封装信息**

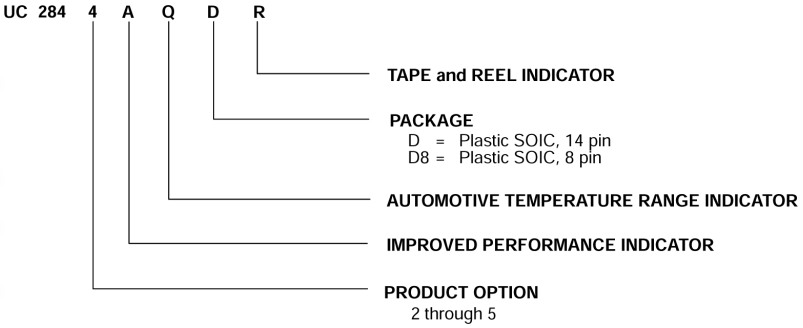
| 器件型号 | 封装(1) | 封装尺寸(2) |
|---|---|---|
| UC2842A、UC2843A、UC2844A、UC2845A | D（SOIC，8） | 4.90mm × 6.00mm |
| | D（SOIC，14） | 8.65mm × 6.00mm |

(1) 有关所有可用封装，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

**器件信息**

| 器件型号(1) | UVLO ON | UVLO OFF | 最大占空比 |
|---|---|---|---|
| UC2842A | 16V | 10V | <100% |
| UC2843A | 8.5V | 7.9V | <100% |
| UC2844A | 16V | 10V | <50% |
| UC2845A | 8.5V | 7.9V | <50% |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。




订购信息

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性** ..... 1
**2 应用** ..... 1
**3 说明** ..... 1
**4 引脚配置和功能** ..... 3
**5 规格** ..... 5
5.1 绝对最大额定值 ..... 5
5.2 ESD 等级 ..... 5
5.3 电气特性 ..... 6
5.4 典型特性 ..... 7
**6 参数测量信息** ..... 8
**7 详细说明** ..... 10
7.1 功能方框图 ..... 10
**8 应用和实施** ..... 11
8.1 应用信息 ..... 11
**9 器件和文档支持** ..... 13
9.1 接收文档更新通知 ..... 13
9.2 支持资源 ..... 13
9.3 商标 ..... 13
9.4 静电放电警告 ..... 13
9.5 术语表 ..... 13
**10 修订历史记录** ..... 13
**11 机械、封装和可订购信息** ..... 13


Copyright © 2024 Texas Instruments Incorporated

# 4 引脚配置和功能

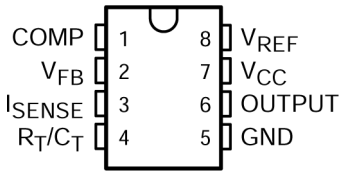



**图 4-1. D 8 引脚封装（顶视图）**

**表 4-1. 引脚功能**

| 引脚 | | 类型(1) | 说明 |
|---|---|---|---|
| 名称 | 编号 | | |
| COMP | 1 | O | 低阻抗 1MHz 内部误差放大器的输出，也是峰值电流限制或 PWM 比较器的输入，开环增益 (AVOL) 为 90dB。该引脚的最大灌电流为 6mA，并且内部不受电流限制。 |
| $V_{FB}$ | 2 | I | 误差放大器的输入，可用于控制电源转换器电压反馈环路以实现稳定性。 |
| $I_{SENSE}$ | 3 | I | 控制器峰值电流限制或 PWM 比较器的输入。当与电流检测电阻器一同使用时，误差放大器输出电压会控制电源系统的逐周期峰值电流限制。最大峰值电流检测信号在内部被钳位至 1V。请参阅“功能方框图”。 |
| $R_T/C_T$ | 4 | I | 内部振荡器的输入，使用外部定时电阻器 (RT) 和定时电容器 (CT) 进行编程。有关正确选择这些时序分量的信息，请参阅“振荡器”。TI 建议使用 470pF 至 4.7nF 的电容值。TI 还建议选择 5kΩ 至 100kΩ 的定时电阻器值。 |
| GND | 5 | GND | 控制器信号接地。 |
| 输出 | 6 | O | 1A 图腾柱栅极驱动器的输出。该引脚可以拉入/灌出高达 1A 的栅极驱动器电流。必须使用栅极驱动器电阻器来限制栅极驱动器电流。 |
| $V_{CC}$ | 7 | I | 为器件供电的模拟控制器偏置输入。总 VCC 电流是静态 VCC 电流和平均 OUTPUT（输出）电流的总和。已知开关频率和 MOSFET 栅极电荷 Qg，可以根据以下公式计算平均 OUTPUT 电流：<br>IOUTPUT = Qg × fSW<br>该引脚上需要一个旁路电容器，通常为 0.1μF，直接连接到 GROUND（接地），并具有最小的布线长度。VCC 上也需要有一个附加旁路电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。 |
| $V_{REF}$ | 8 | O | 栅极驱动器的偏置输入。该引脚必须有一个偏置电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。 |

Copyright © 2024 Texas Instruments Incorporated

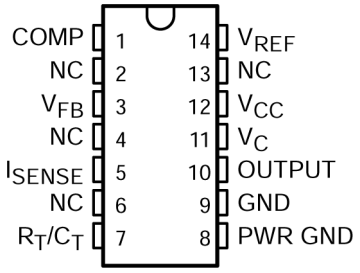



**图 4-2. D 14 引脚封装（顶视图）**

**表 4-2. 引脚功能**

| 引脚 | | 类型(1) | 说明 |
|---|---|---|---|
| 名称 | 编号 | | |
| COMP | 1 | I/O | 误差放大器补偿引脚 |
| NC | 2 | - | 不连接 |
| VFB | 3 | I | 误差放大器输入 |
| NC | 4 | - | 不连接 |
| ISENSE | 5 | I | 电流检测比较器输入 |
| NC | 6 | - | 不连接 |
| RT/CT | 7 | I/O | 振荡器 RC 输入 |
| PWR GND | 8 | GND | 输出 PWM 接地端子 |
| GND | 9 | GND | 器件电源接地端子 |
| 输出 | 10 | O | PWM 输出 |
| $V_S$ | 11 | - | 输出 PWM 正电压电源 |
| $V_{CC}$ | 12 | - | 器件正电压电源 |
| NC | 13 | - | 不连接 |
| $V_{REF}$ | 14 | O | 振荡器电压基准 |

(1) I = 输入，O = 输出，I/O = 输入或输出，GND = 接地。


Copyright © 2024 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

| | 最小值 | 最大值 | 单位 |
|---|---|---|---|
| $V_{CC}$ 电压（低阻抗源） | | 30 | V |
| $V_{CC}$ 电压 ($I_{CC}$ mA) | 自限制 | | |
| 输出电流 $I_O$ | | ±1 | A |
| 输出能量（容性负载） | | 5 | μJ |
| 模拟输入（引脚 3、5） | -0.3 | 6.3 | V |
| 误差放大器输出灌电流 | | 10 | mA |
| $T_A$ < +25°C 时的功率耗散（D 封装） | | 1 | W |
| 封装热阻：D（8 引脚）封装 $\theta_{JA}$（请参阅(3)）： | 典型值 117.4 | | °C/W |
| 贮存温度范围 $T_{stg}$ | -65 | 150 | °C |
| 10 秒内距离外壳 1.6mm（1/16 英寸）的焊接引线温度 | | 300 | °C |

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则电压以接地为基准，流入指定端子的电流为正电流，从指定端子流出的电流为负电流。
(3) 长期高温贮存和/或在最大建议运行条件下超期使用可能会导致器件总体使用寿命缩短。有关增强型塑料封装的更多信息，请参阅 http://www.ti.com/ep_quality。

## 5.2 ESD 等级

| | | 值 | 单位 |
|---|---|---|---|
| $V_{(ESD)}$ 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1) | ±2000 | V |
| | 充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2) | ±1500 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2024 Texas Instruments Incorporated

## 5.3 电气特性

$T_A$ = –40°C 至 125°C，$V_{CC}$ = 15V ([1])，$R_T$ = 10kΩ，$C_T$ = 3.3nF，$T_A$ = $T_J$（除非另有说明）

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| **基准部分** | | | | | |
| 输出电压 | $T_J$ = 25°C、$I_O$ = 1 mA | 4.95 | 5.0 | 5.05 | V |
| 线路调节电压 | $V_{IN}$ = 12V 至 25V | | 6 | 20 | mV |
| 负载调节电压 | $I_O$ = 1mA 至 20mA | | 6 | 25 | mV |
| 温度稳定性 | 请参阅注释 2 和 3 | | 0.2 | 0.4 | mV/°C |
| 总输出变化电压 | 线路、负载、温度 | 4.9 | | 5.1 | V |
| 输出噪声电压 | f = 10Hz 至 10kHz，[2] $T_J$ = 25°C | | 50 | | μV |
| 长期稳定性 | 1000 小时，[2] $T_A$ = 125°C | | 5 | 25 | mV |
| 输出短路电流 | | -30 | -100 | -180 | mA |
| **振荡器选择** | | | | | |
| 初始精度 | 请参阅 [4] $T_J$ = 25°C | 47 | 52 | 57 | kHz |
| 电压稳定性 | $V_{CC}$ = 12V 至 25V | | 0.2 | 1 | % |
| 温度稳定性 | $T_A$ = 最小值至最大值，[2] | | 5 | | % |
| 振幅峰峰值 | V 引脚 7，[2] | | 1.7 | | V |
| 放电电流 | $T_J$ = 25°C | 7.8 | 8.3 | 8.8 | |
| | V 引脚 7 = 2V，[3] $T_J$ = 整个范围 | 7.5 | | 8.8 | mA |
| **误差放大器部分** | | | | | |
| 输入电压 | COMP = 2.5V | 2.45 | 2.5 | 2.55 | V |
| 输入偏置电流 | | | -0.3 | -1 | μA |
| 开环电压增益 ($A_{VOL}$) | $V_O$ = 2V 至 4V | 65 | 90 | | dB |
| 单位增益带宽 | $T_J$ = 25°C[2] | 0.7 | 1 | | MHz |
| PSRR | $V_{CC}$ = 12V 至 25V | 60 | 70 | | dB |
| 输出灌电流 | FB = 2.7V，COMP = 1.1V | 2 | 6 | | mA |
| 输出拉电流 | FB = 2.3 V，COMP = 5 V | -0.5 | -0.8 | | mA |
| VOUT 高电平 | FB = 2.3V，$R_L$ = 15kΩ（连接至 GND） | 5 | 6 | | V |
| VOUT 低电平 | FB = 2.7V，$R_L$ = 15kΩ（连接至 $V_{REF}$） | | 0.7 | 1.1 | V |
| **电流检测部分** | | | | | |
| 增益 | [3] 和[4] | 2.85 | 3 | 3.15 | V/V |
| 最大输入信号 | COMP = 5V，[3] | 0.9 | 1 | 1.1 | V |
| PSRR | $V_{CC}$ = 12V 至 25V，[3] | | 70 | | dB |
| 输入偏置电流 | | | —2 | —10 | μA |
| 到输出延迟 | $I_{SENSE}$ = 0V 至 2V，[2] | | 150 | 300 | ns |
| **输出部分 (OUT)** | | | | | |
| 低电平输出电压 | $I_{OUT}$ = 20mA | | 0.1 | 0.4 | V |
| | $I_{OUT}$ = 200mA | | 1.5 | 2.2 | |
| 高电平输出电压 | $I_{OUT}$ = -20mA | 13 | 13.5 | | V |
| | $I_{OUT}$ = -200mA | 12 | 13.5 | | |
| 上升时间 | $C_L$ = 1nF，[2] $T_J$ = 25°C | | 25 | 150 | ns |
| 下降时间 | $C_L$ = 1nF，[2] $T_J$ = 25°C | | 25 | 150 | ns |
| UVLO 饱和区 | $V_{CC}$ = 5V，$I_{OUT}$ = 10mA | | 0.7 | 1.2 | V |
| **欠压锁定部分** | | | | | |


Copyright © 2024 Texas Instruments Incorporated

$T_A$ = –40°C 至 125°C，$V_{CC}$ = 15V ([1])，$R_T$ = 10kΩ，$C_T$ = 3.3nF，$T_A$ = $T_J$（除非另有说明）

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| 启动阈值 | UC2842A、UC2844A | 15 | 16 | 17 | V |
| | UC2843A、UC2845A | 7.8 | 8.4 | 9 | |
| 导通后的最小工作电压 | UC2842A、UC2844A | 9 | 10 | 11 | V |
| | UC2843A、UC2845A | 7 | 7.6 | 8.2 | |
| **PWM 部分** | | | | | |
| 最大占空比 | UC2842A、UC2843A | 92 | 96 | 100 | % |
| | UC2844A、UC2845A | 46 | 48 | 50 | |
| 最小占空比 | | | | 0 | % |
| **总待机电流** | | | | | |
| 启动电流 | | | 0.3 | 0.5 | mA |
| 工作电源电流 | FB = 0V，SENSE = 0V | | 11 | 17 | mA |
| $V_{CC}$ 内部齐纳电压 | ICC = 25mA | 30 | 39 | | V |

(1) 将 $V_{CC}$ 调整为高于启动阈值，然后再设置为 15V。
(2) 未经生产测试。
(3) 当 $V_{FB}$ 为 0V 时在闩锁跳变点测得的参数。
(4) 增益定义为：$A = \frac{\Delta V_{COMP}}{\Delta V_{SENSE}}$；0 v VSENSE v 0.8V。

## 5.4 典型特性

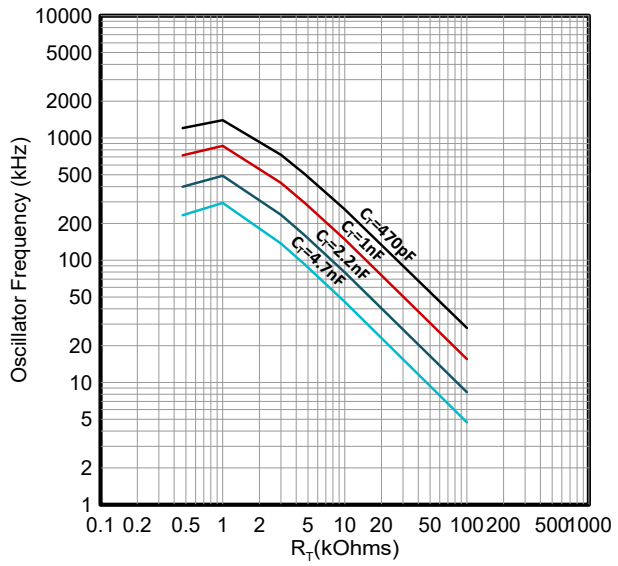



图 5-1. 振荡器频率与时序电阻之间的关系

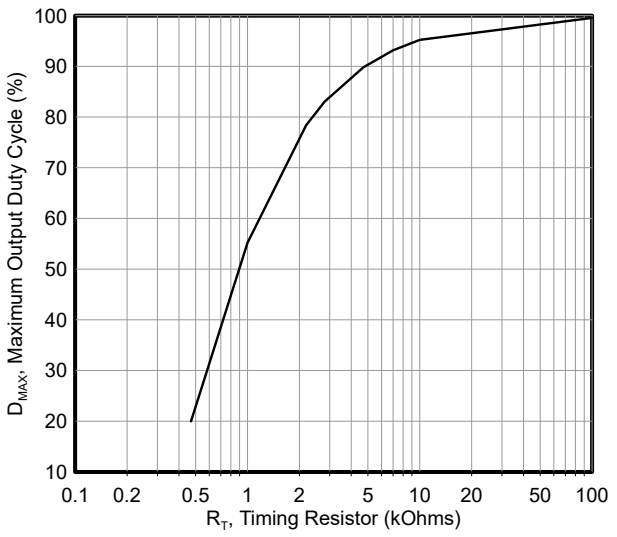



图 5-2. 最大占空比与时序电阻间的关系

Copyright © 2024 Texas Instruments Incorporated

## 6 参数测量信息

误差放大器可以拉取高达 0.5mA 的电流，可以灌入高达 2mA 的电流。

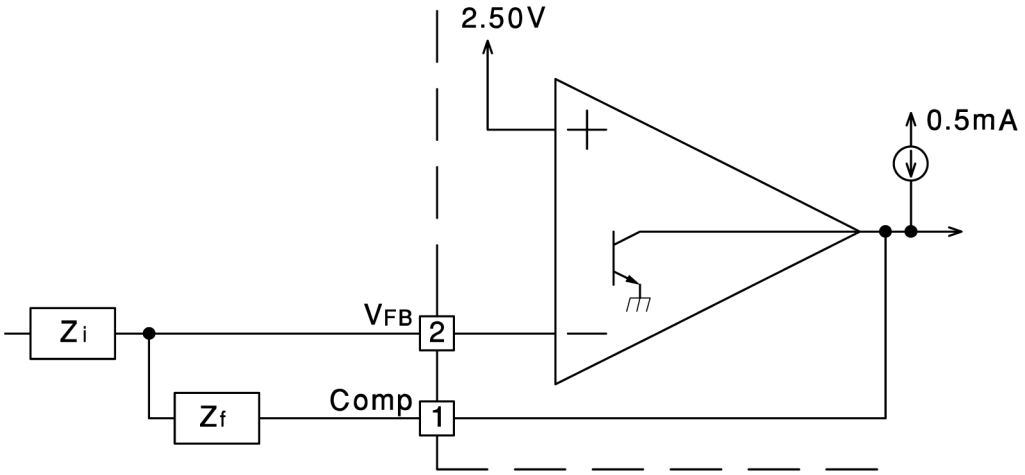



图 6-1. 误差放大器配置

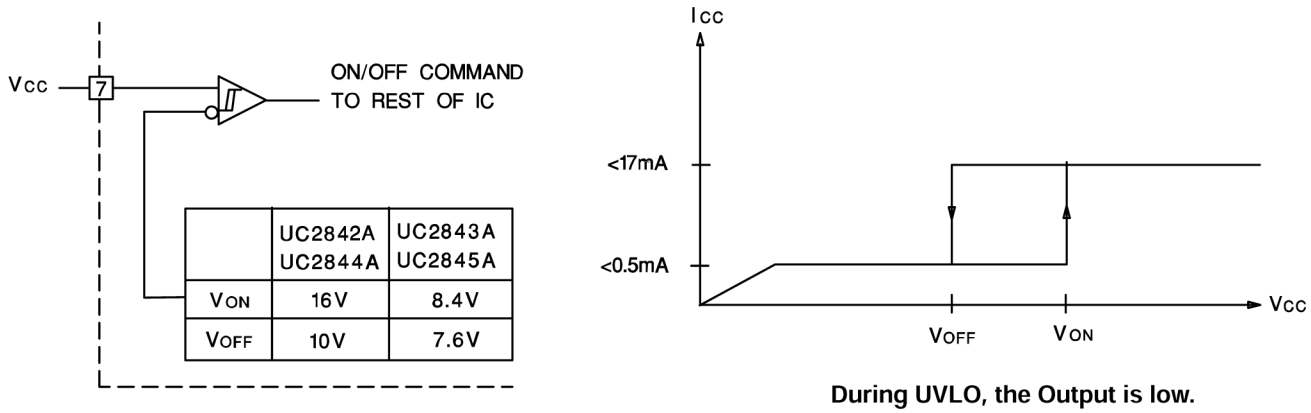
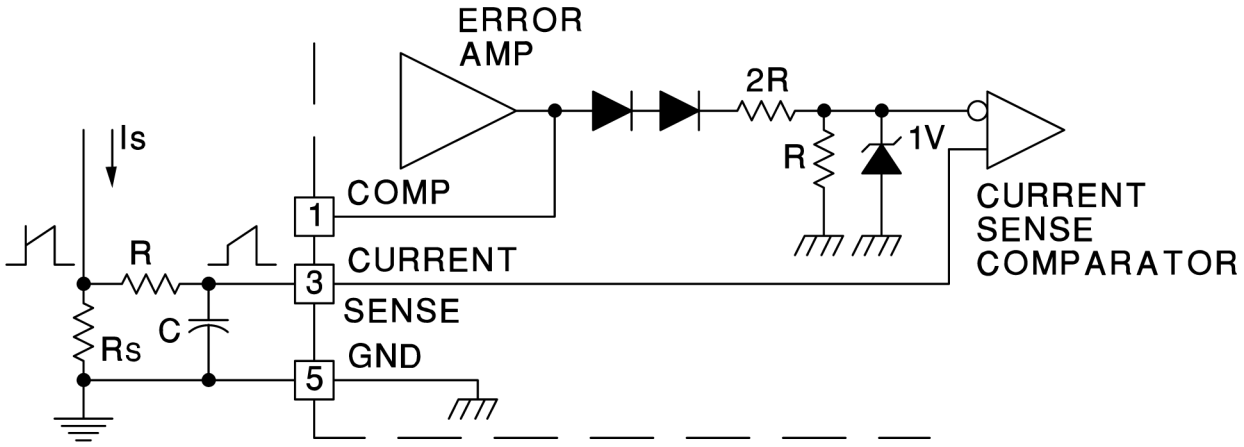



图 6-2. 欠压锁定


Copyright © 2024 Texas Instruments Incorporated




**Peak Current (Is) is Determined By The Formula:**

$$Ismax' \frac{1.0V}{RS}$$

**A small RC filter may be required to supress switch transients.**

**图 6-3. 电流检测电路**

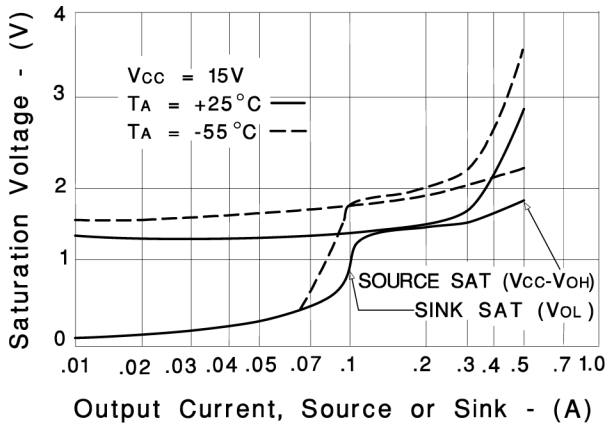



**图 6-4. 输出饱和特性**

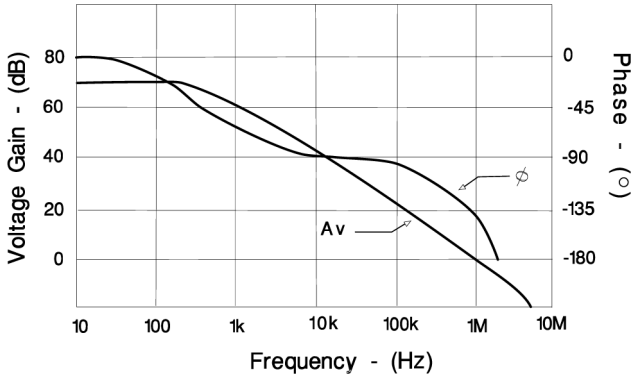
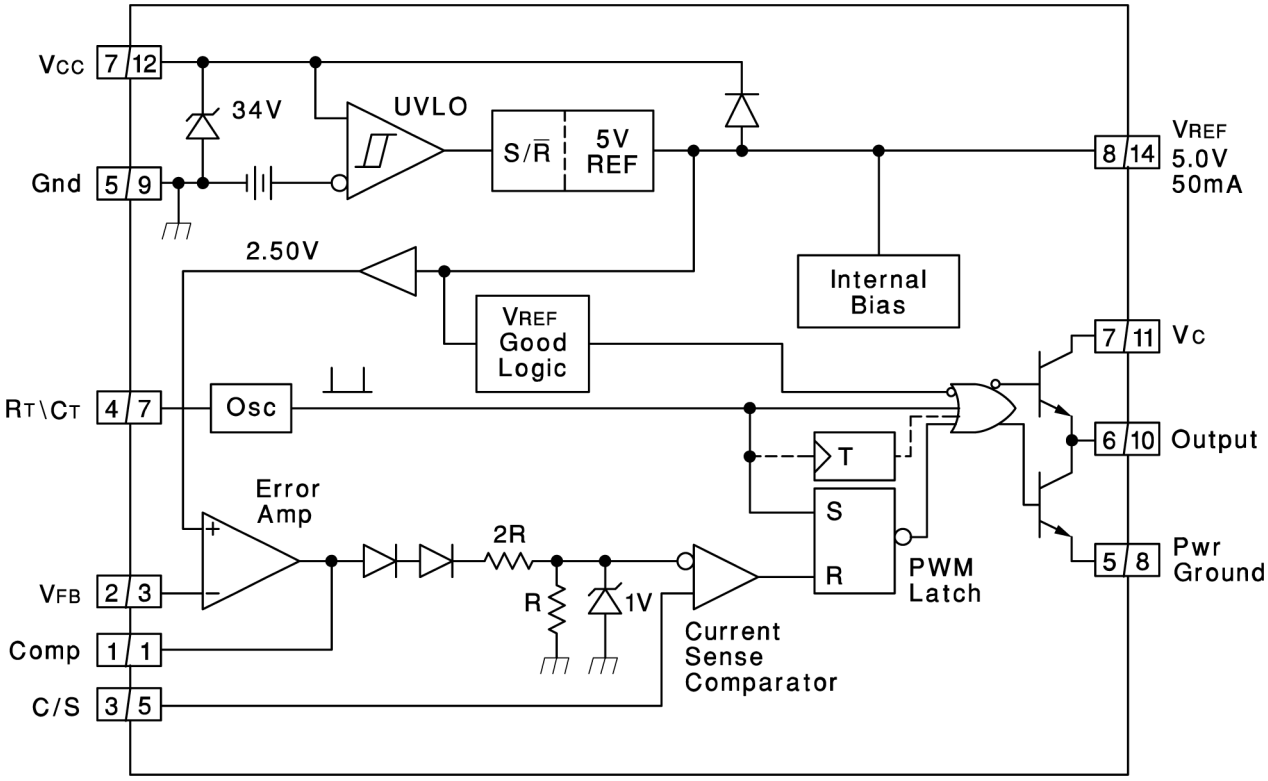



**图 6-5. 误差放大器开环频率响应**

Copyright © 2024 Texas Instruments Incorporated

# 7 详细说明

## 7.1 功能方框图




**备注**

A = DIL-8 引脚编号。B = SO-14 引脚编号。

仅在 2844A 和 2845A 中使用切换触发器。

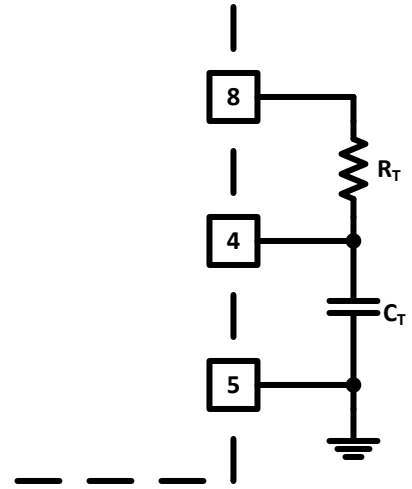

Copyright © 2024 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 8.1 应用信息




$$\text{For } R_T > 5\text{ k} \quad f \approx \frac{1.72}{R_T \times C_T}$$

图 8-1. 振荡器

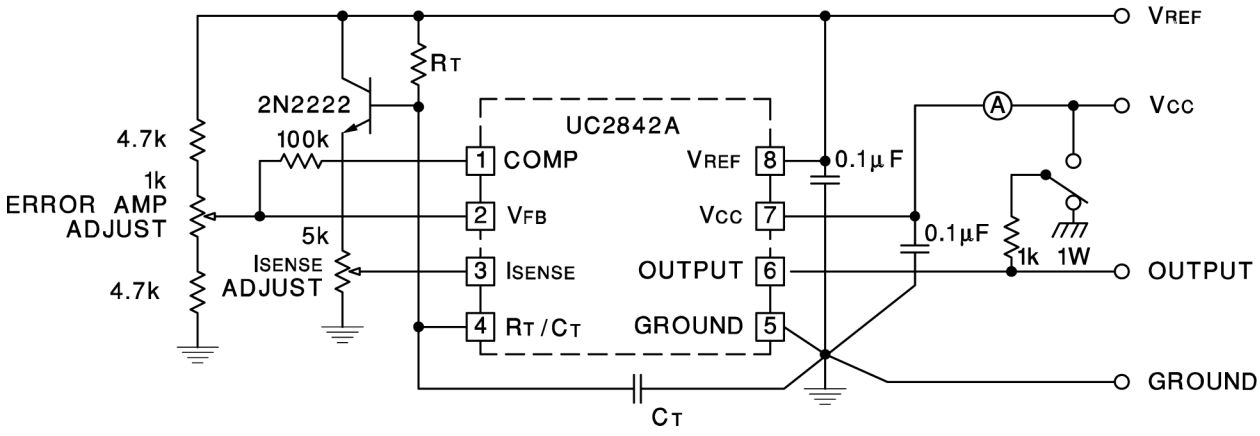



图 8-2. 开环实验室测试装置

与容性负载相关的高峰值电流要求使用谨慎的接地技术。计时电容器和旁路电容器必须在单点接地中靠近引脚 5 进行连接。晶体管和 5k 电位器用于对振荡器波形进行采样，并向引脚 3 施加可调斜坡。

Copyright © 2024 Texas Instruments Incorporated

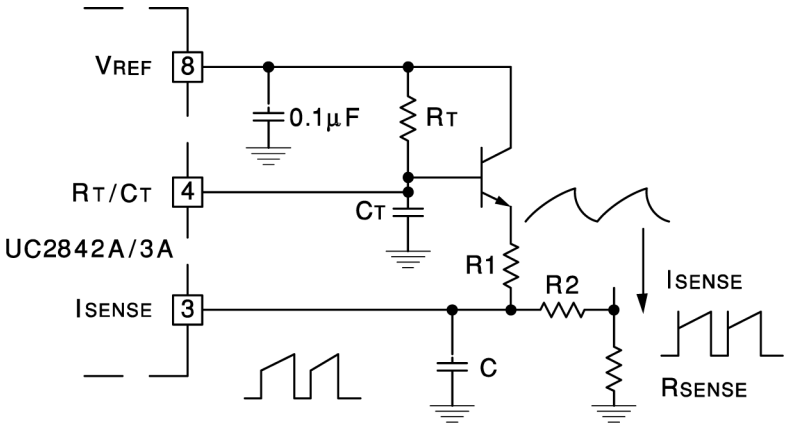



图 8-3. 斜率压缩

振荡器斜坡的一部分可以与电流检测信号进行电阻求和，为需要超过 50% 占空比的转换器提供斜率补偿。请注意，电容器 C 与 R2 形成一个滤波器，以抑制前沿开关尖峰。

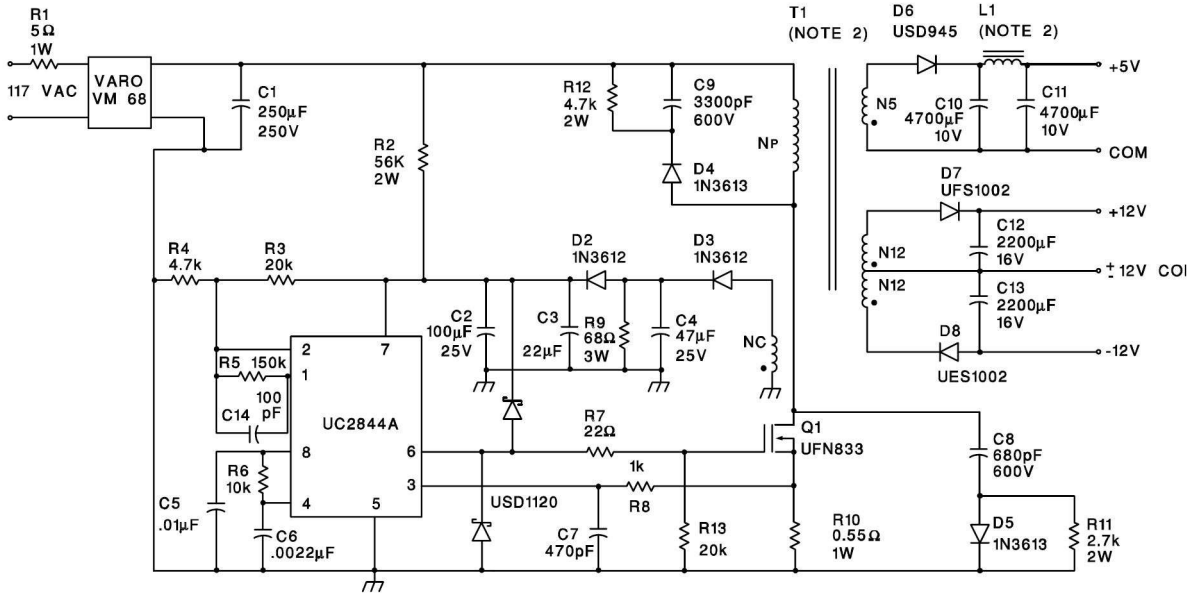



图 8-4. 离线反激式稳压器

1. 输入电压：95VAC 至 130VAC (50Hz/60Hz)
2. 线路隔离：3750V
3. 开关频率为 40kHz
4. 效率，满负载：70%
5. 输出电压：
   a. +5V，±5%；1A 至 4A 负载
   b. +12V，±3%；0.1A 至 0.3A 负载纹波电压：100mV P-P 最大值
   c. -12V，±3%；0.1A 至 0.3A 负载纹波电压：100mV P-P 最大值


Copyright © 2024 Texas Instruments Incorporated

# 9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

## 9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision * (April 2003) to Revision A (October 2024) | Page |
|---|---|
| • 更新了整个文档中的表格、图和交叉参考的编号格式 | 1 |
| • 更改了“绝对最大额定值”：将焊接时引线温度 (10s) 从 260°C 更改为 300°C | 5 |
| • 添加了“ESD 等级”表、HBM = ±2000V；CDM = ±1500V | 5 |
| • 更改了“电气特性”表的“输出部分”：将上升和下降时间典型值从 50ns 更改为 25ns | 6 |
| • 更改了“电气特性”表的“PWM 部分”：将 UC2842/3A 的最大占空比最小值从 94% 更改为 92% | 6 |
| • 更改了“电气特性”表的“PWM 部分”：将 UC2844/5A 的最大占空比最小值从 47% 更改为 46% | 6 |
| • 更改了“电气特性”表的“总待机电流”，将 VCC 齐纳电压典型值从 34V 更改为 39V | 6 |
| • 添加了“典型特性”部分 | 7 |
| • 更新了“典型特性”部分中的“频率与 Rt 间的关系”和“最大占空比与 Rt 间的关系”图 | 7 |

# 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| UC2842AQD8 | Obsolete | Production | SOIC (D) \| 8 | - | - | Call TI | Call TI | -40 to 125 | (2842AQ, UC2842AQ) |
| UC2842AQD8R | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2842AQ, UC2842AQ) |
| UC2842AQD8R.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2842AQ, UC2842AQ) |
| UC2842AQDR | Active | Production | SOIC (D) \| 14 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2842AQ, UC2842AQ) |
| UC2842AQDR.A | Active | Production | SOIC (D) \| 14 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2842AQ, UC2842AQ) |
| UC2843AQD8 | Active | Production | SOIC (D) \| 8 | 75 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2843AQ, UC2843AQ) |
| UC2843AQD8.A | Active | Production | SOIC (D) \| 8 | 75 \| TUBE | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2843AQ, UC2843AQ) |
| UC2843AQD8R | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2843AQ, UC2843AQ) |
| UC2843AQD8R.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2843AQ, UC2843AQ) |
| UC2843AQDR | Obsolete | Production | SOIC (D) \| 14 | - | - | Call TI | Call TI | -40 to 125 | (2843AQ, UC2843AQ) |
| UC2844AQD8R | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2844AQ, UC2844AQ) |
| UC2844AQD8R.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | See UC2844AQD8R | (2844AQ, UC2844AQ) |
| UC2845AQD8 | Obsolete | Production | SOIC (D) \| 8 | - | - | Call TI | Call TI | -40 to 125 | (2845AQ, UC2845AQ) |
| UC2845AQD8R | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2845AQ, UC2845AQ) |
| UC2845AQD8R.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2845AQ, UC2845AQ) |
| UC2845AQDR | Active | Production | SOIC (D) \| 14 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2845AQ, UC2845AQ) |

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| UC2845AQDR.A | Active | Production | SOIC (D) \| 14 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | (2845AQ, UC2845AQ) |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

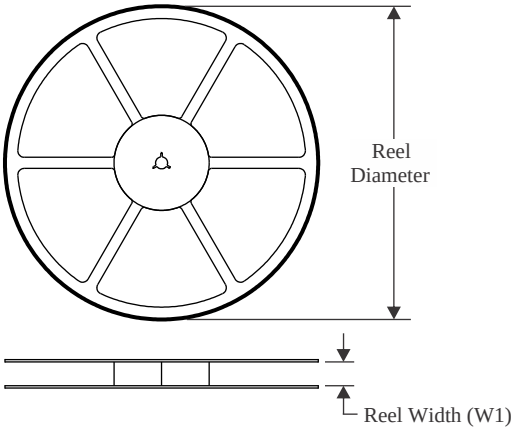
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

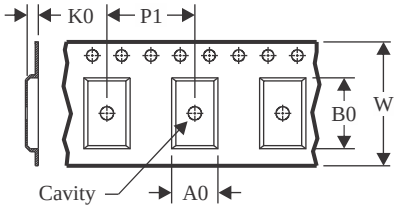
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

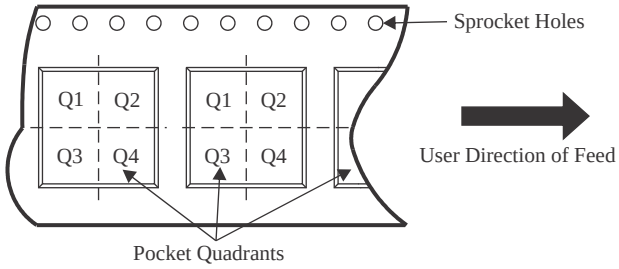



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

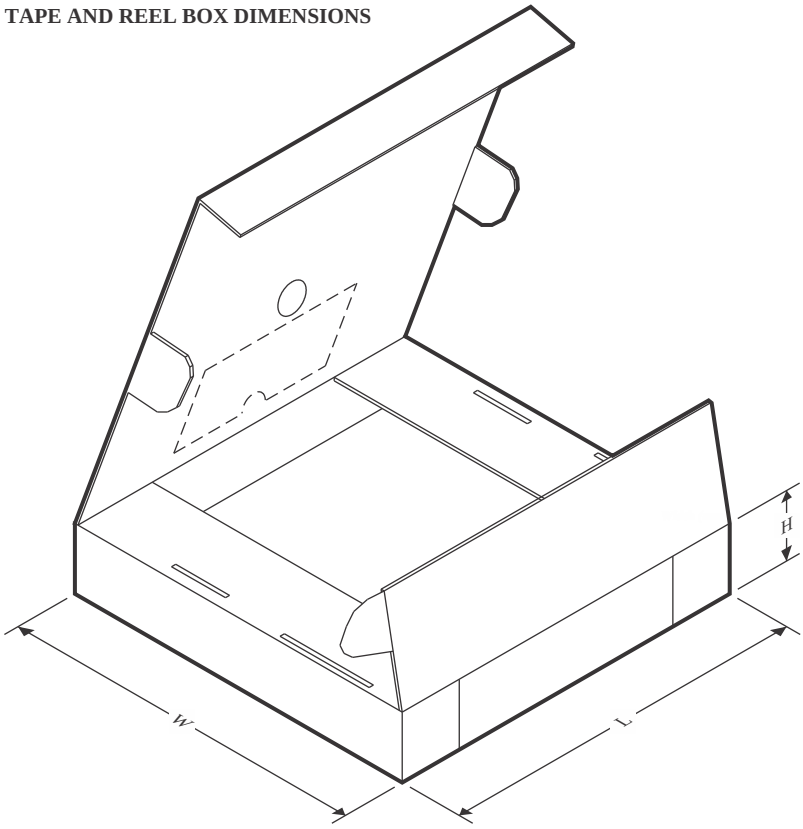
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| UC2842AQD8R | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| UC2842AQD8R | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| UC2842AQDR | SOIC | D | 14 | 2500 | 330.0 | 16.4 | 6.5 | 9.0 | 2.1 | 8.0 | 16.0 | Q1 |
| UC2843AQD8R | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| UC2844AQD8R | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| UC2845AQD8R | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| UC2845AQDR | SOIC | D | 14 | 2500 | 330.0 | 16.4 | 6.5 | 9.0 | 2.1 | 8.0 | 16.0 | Q1 |

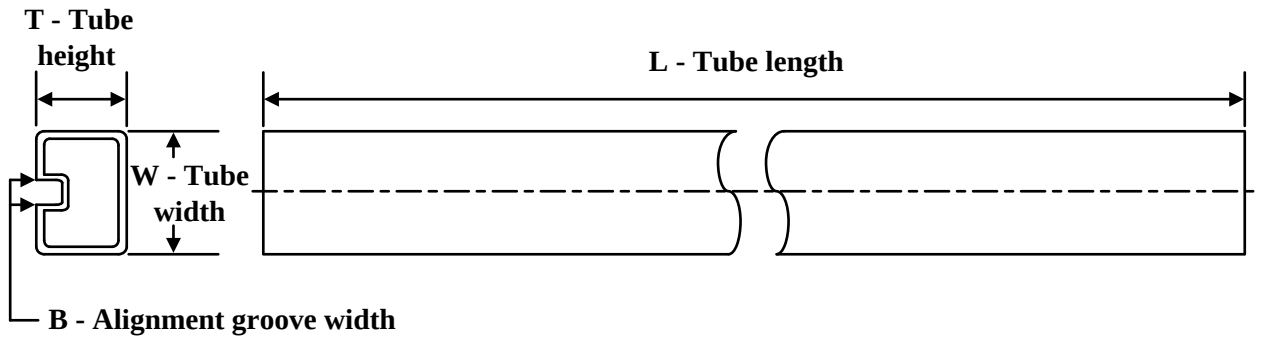
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

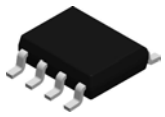
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| UC2842AQD8R | SOIC | D | 8 | 2500 | 367.0 | 367.0 | 35.0 |
| UC2842AQD8R | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| UC2842AQDR | SOIC | D | 14 | 2500 | 353.0 | 353.0 | 32.0 |
| UC2843AQD8R | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| UC2844AQD8R | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| UC2845AQD8R | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| UC2845AQDR | SOIC | D | 14 | 2500 | 353.0 | 353.0 | 32.0 |

## TUBE




*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| UC2843AQD8 | D | SOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |
| UC2843AQD8.A | D | SOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |

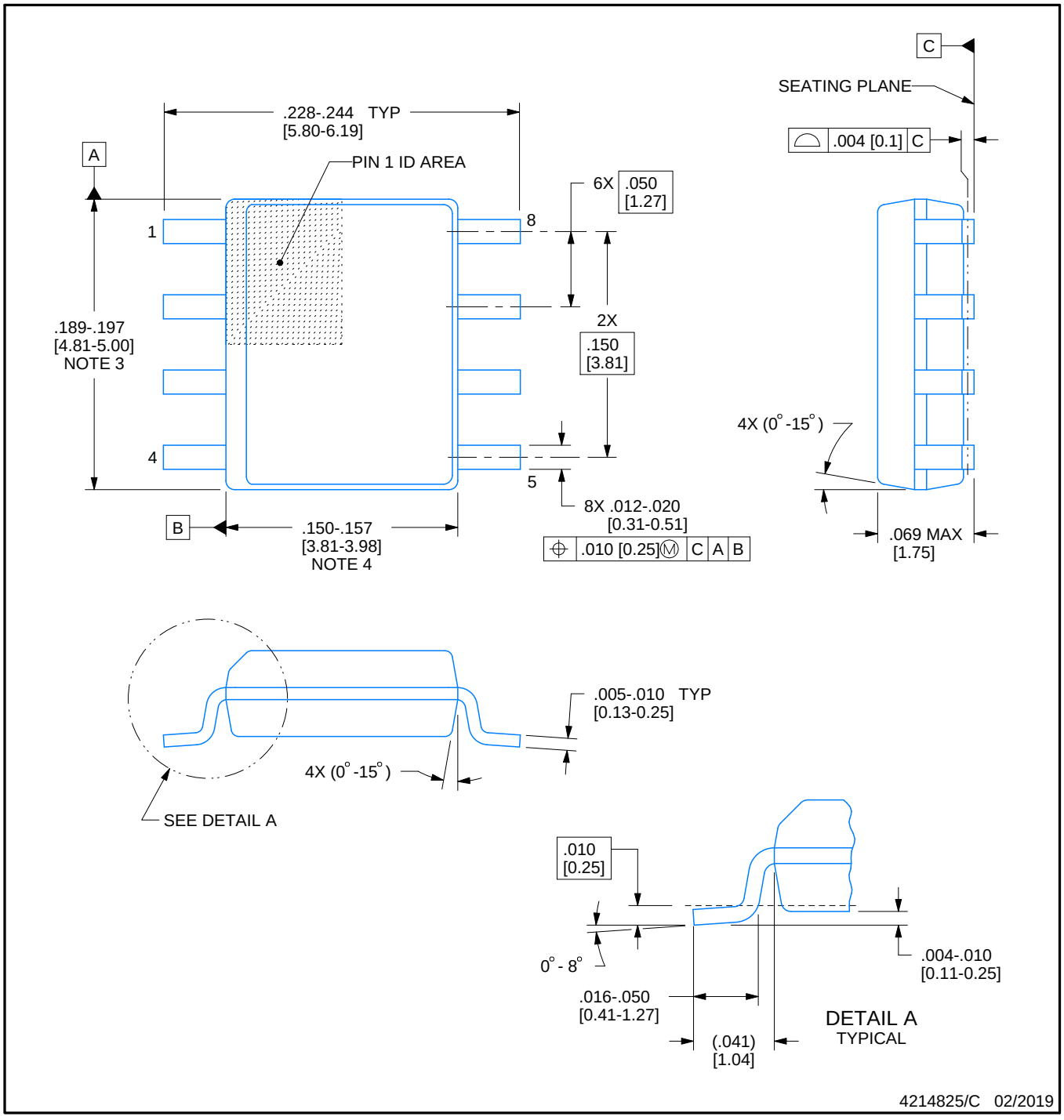


# PACKAGE OUTLINE

## D0008A

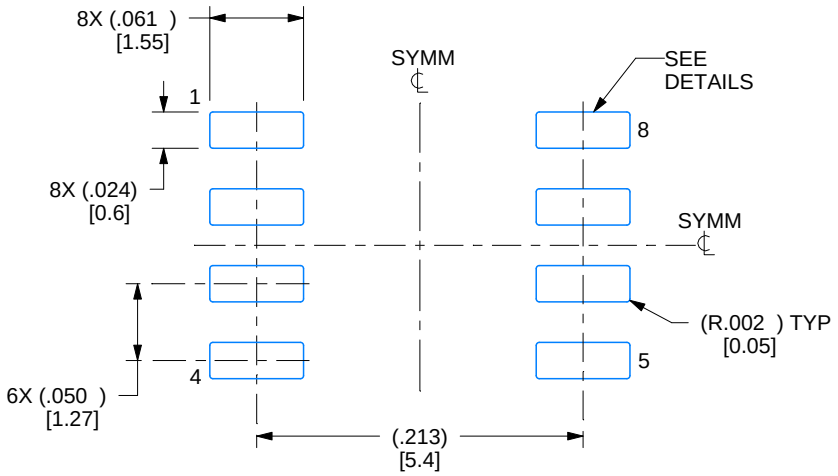
## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

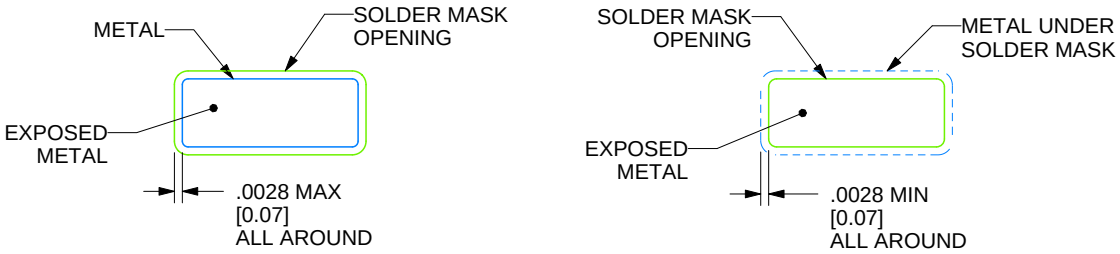



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X




SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

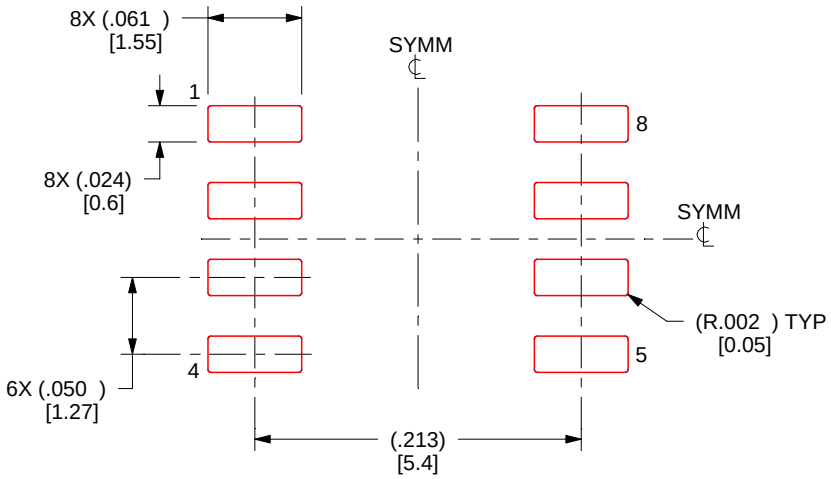
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

## D0008A

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

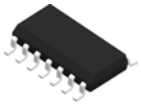



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

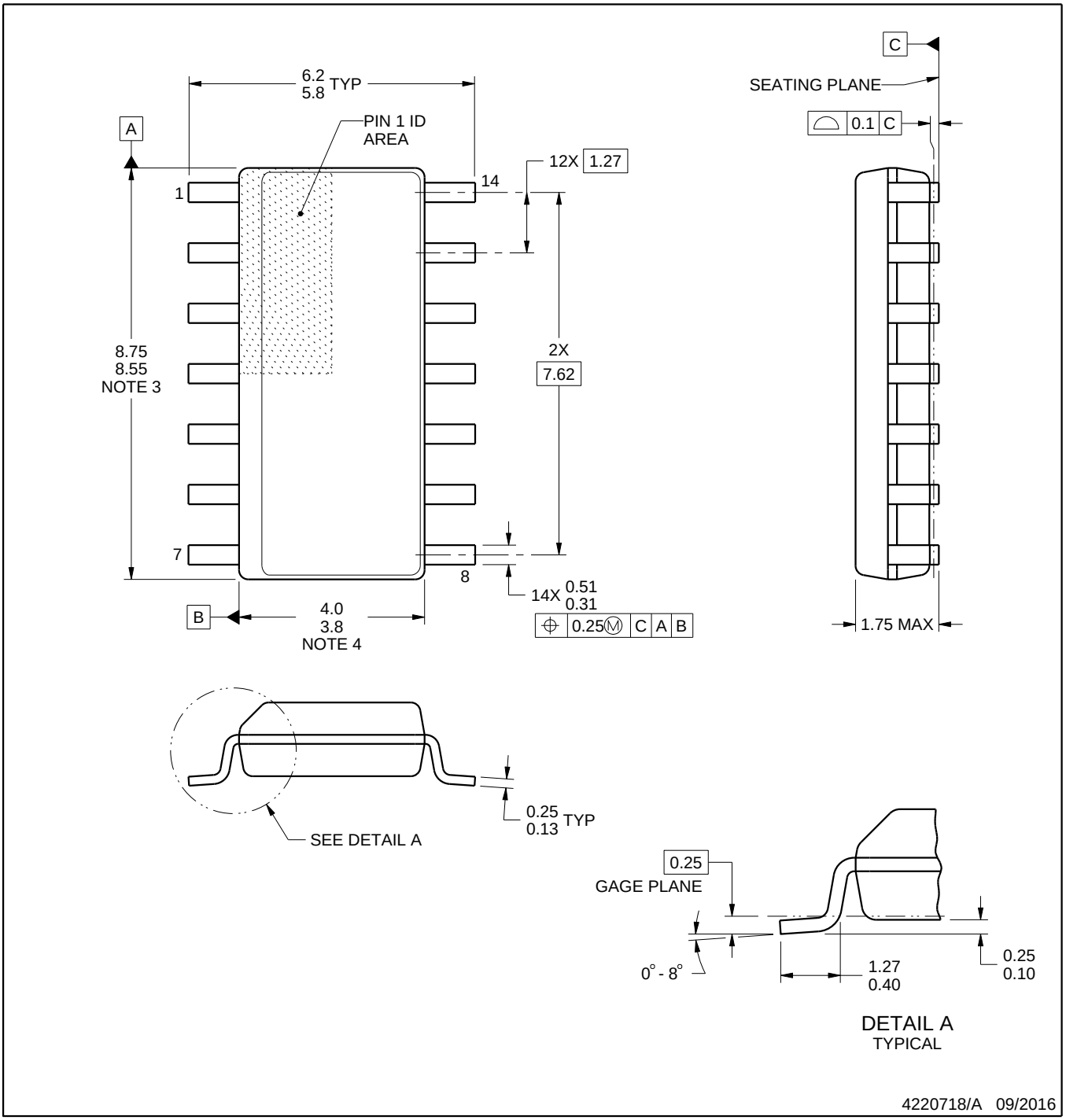


# PACKAGE OUTLINE

## D0014A

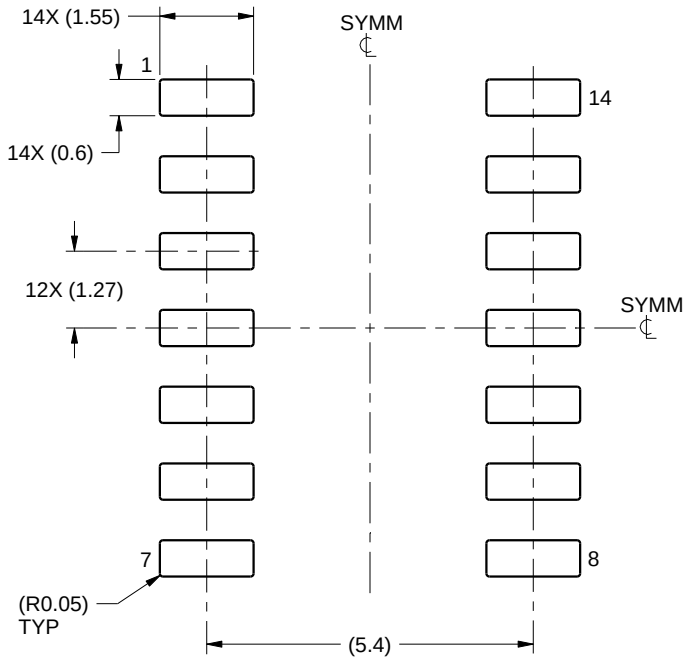
## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

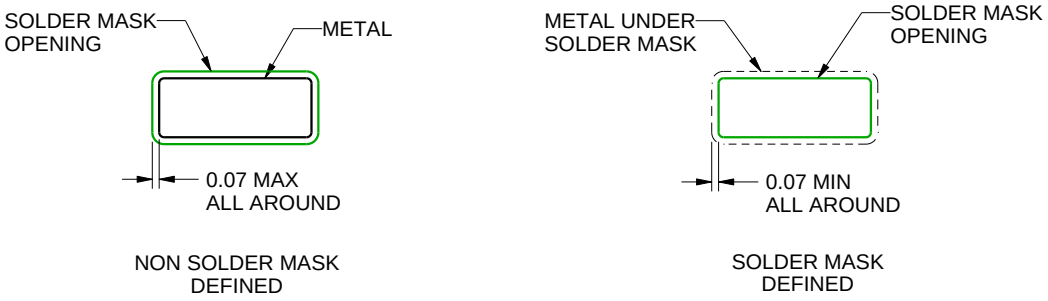



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.




LAND PATTERN EXAMPLE
SCALE:8X




SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

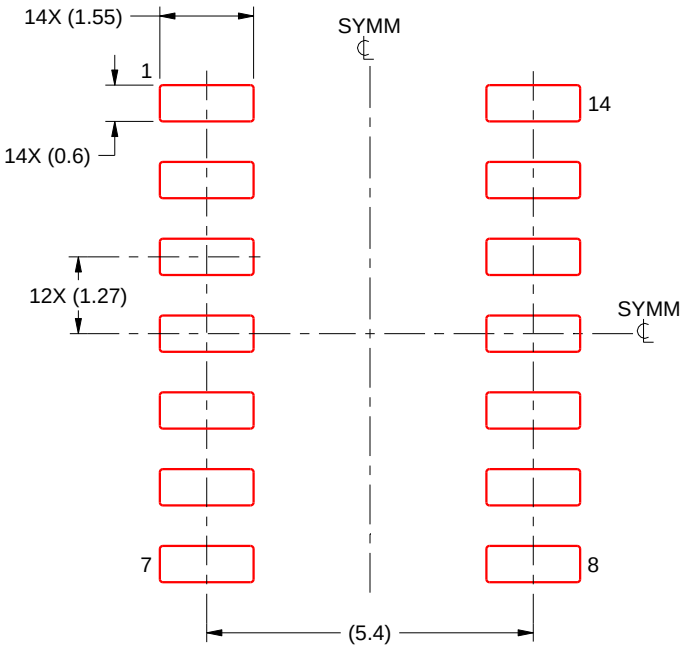
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

## D0014A

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月