UC1842, UC2842, UC3842, UC1843, UC2843, UC3843
UC1844, UC2844, UC3844, UC1845, UC2845, UC3845
ZHCSLA9H – APRIL 1997 – REVISED OCTOBER 2024

UCx84x 电流模式 PWM 控制器

1 特性

- 针对离线和 DC-DC 转换器进行了优化
- 低启动电流 (< 1mA)
- 自动前馈补偿
- 逐脉冲电流限制
- 增强型负载响应特性
- 带有迟滞的欠压锁定
- 双脉冲抑制
- 高电流图腾柱输出
- 内部调整的带隙参考
- 高达 500kHz 的运行频率
- 具有低输出电阻的误差放大器

2 应用

- 任意极性的开关稳压器
- 变压器耦合的 DC-DC 转换器

3 说明

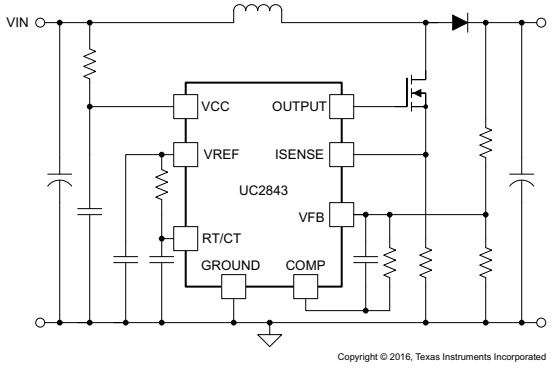
UCx84x 系列控制集成电路提供了实现离线式或直流/直流固定频率电流模式控制方案所需的特性，并使用了最少的外部元件。内部实现的电路包括欠压锁定 (UVLO)、其特点是启动电流小于 1mA ，且精密基准用于调整误差放大器处的准度性。其它内部电路包括用于提供锁存操作的逻辑、提供电流限制控制的脉宽调制 (PWM) 比较器以及设计用于拉取或灌入高峰值电流的图腾柱输出级。当输出级处于关闭状态时，设计用于驱动 N 沟道 MOSFET 的输出级为低电平。

UCx84x 系列提供了多种封装选项、温度范围选项、最大占空比选择、导通和关断阈值以及迟滞范围选择。具有较高导通或关断迟滞的器件是离线电源的不错选择，而具有较窄迟滞范围的器件则是为直流/直流应用而设计。UC184x 器件指定的工作温度为 -55°C 至 125°C，UC284x 系列指定的工作温度为 –40°C 至 85°C，而 UC384x 系列指定的工作温度为 0°C 至 70°C。

封装信息

器件型号	封装 (1)	封装尺寸(2)
UC184x	JG (CDIP，8)	7.62mm × 6.67mm
	FK (LCCC，20)	8.89mm × 8.89mm
	W (CFP，14)	9.21mm × 6.3mm
UC284x	D (SOIC，8)	4.90mm × 6.00mm
	D (SOIC，14)	8.65mm × 6.00mm
	P (PDIP，8)	9.81mm × 9.43mm
UC384x	D (SOIC，8)	4.90mm × 6.00mm
	D (SOIC，14)	8.65mm × 6.00mm
	P (PDIP，8)	9.81mm × 9.43mm

(1) 有关所有可用封装，请参阅节 11。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 3
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 5
6.4 热性能信息 5
6.5 电气特性 6
6.6 典型特性 8
7 详细说明 10
7.1 概述 10
7.2 功能方框图 10
7.3 特性说明 11
7.4 器件功能模式 19
8 应用和实现 20
8.1 应用信息 20
8.2 典型应用 21
8.3 电源相关建议 32
8.4 布局 32
9 器件和文档支持 35
9.1 接收文档更新通知 35
9.2 支持资源 35
9.3 商标 35
9.4 静电放电警告 35
9.5 术语表 35
10 修订历史记录 35
11 机械、封装和可订购信息 36

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

UVLO		温度范围	最大占空比
16V 时导通 10V 时关断 适合离线应用	8.4V 时导通 7.6V 时关断 适合直流/直流应用		
UC1842	UC1843	-55°C 至 125°C	高达 100%
UC2842	UC2843	-40°C 至 85°C	
UC3842	UC3843	0°C 至 70°C	
UC1844	UC1845	-55°C 至 125°C	高达 50%
UC2844	UC2845	-40°C 至 85°C	
UC3844	UC3845	0°C 至 70°C	

5 引脚配置和功能

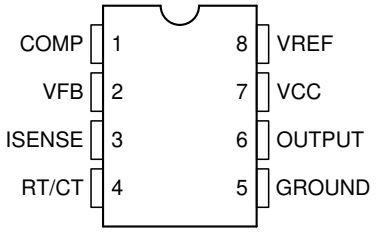


图 5-1. D、JG 和 P 封装 8 引脚 SOIC、CDIP 和 PDIP 顶视图

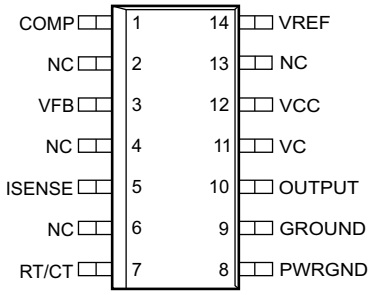


图 5-2. D 和 W 封装 14 引脚 SOIC 和 CFP 顶视图

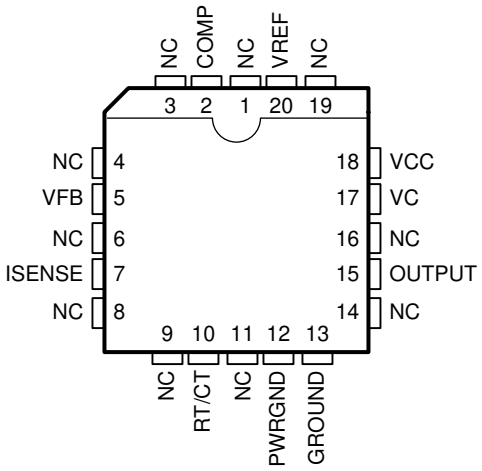


图 5-3. FK 封装 20 引脚 LCCC 顶视图

表 5-1. 引脚功能

引脚				类型[1]	说明
名称	SOIC、CDIP、PDIP (8)	SOIC、CFP (14)	LCCC (20)		
COMP	1	1	2	O	误差放大器补偿引脚。将外部补偿元件连接到此引脚，以修改误差放大器输出。误差放大器内部有电流限制，因此，用户可以通过外部将 COMP 强制为 GROUND 来控制零占空比。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚				类型[1]	说明
名称	SOIC、CDIP、PDIP (8)	SOIC、CFP (14)	LCCC (20)		
接地	5	9	13	G	模拟地。对于没有 PWRGND 的器件封装，GROUND 既可以作为电源地，也可以作为模拟地。
PWRGND	—	8	12	G	电源地。对于没有 PWRGND 的器件封装，GROUND 既可以作为电源地，也可以作为模拟地
ISENSE	3	5	7	I	初级侧电流检测引脚。连接到电流检测电阻器。PWM 使用该信号终止 OUTPUT 开关的导通。电压斜坡可应用于该引脚，以通过电压模式控制配置运行器件。
NC	—	2、4、6、13	1、3、4、6、8、9、11、14、16、19	—	不连接
OUTPUT	6	10	15	O	OUTPUT 是外部 MOSFET 的栅极驱动器。OUTPUT 是片上驱动器级的输出，旨在直接驱动 MOSFET 。峰值电流高达 1A，由该引脚提供和灌入。当 VCC 低于导通阈值时，OUTPUT 主动保持为低电平。
RT/CT	4	7	10	I/O	固定频率振荡器设定点。从该引脚将计时电阻器 R_{RT} 连接到 VREF 并将计时电容器 C_{CT} 连接到 GROUND，以设置开关频率。为了获得最佳性能，保持计时电容器引线尽可能短且直接连接到器件 GROUND。如果可能，为计时电容器和所有其他功能使用单独的接地走线。 可使用以下公式估算振荡器的频率： $f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}}$ (1) 其中，f_{OSC} 的单位为赫兹，R_{RT} 的单位为欧姆，C_{CT} 的单位为法拉。切勿使用小于 5kΩ 的计时电阻器。在高达 100% 的占空比下，UCx842 和 UCx843 的 OUTPUT 栅极驱动器的频率 f_{SW} 等于 f_{OSC}；在高达 50% 的占空比下，UCx844 和 UCx845 的频率等于 f_{OSC} 频率的一半。
VC	—	11	17	I	输出栅极驱动器的偏置电源输入。对于没有该引脚的 PWM 控制器，栅极驱动器从 VCC 引脚实现偏置。VC 必须有一个旁路电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。
VCC	7	12	18	I	为器件供电的模拟控制器偏置输入。总 VCC 电流是静态 VCC 电流和平均 OUTPUT 电流的总和。已知开关频率和 MOSFET 栅极电荷 Q_g，可以根据以下公式计算平均 OUTPUT 电流： $I_{OUTPUT} = Q_g \times f_{SW}$ (2) 该引脚上需要一个旁路电容器，通常为 0.1μF，直接连接到 GROUND，并具有最小的布线长度。VCC 上也需要有一个附加旁路电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。
VFB	2	3	5	I	内部误差放大器的反相输入。VFB 用于控制电源转换器电压反馈环路以实现稳定性。
VREF	8	14	20	O	5V 基准电压。VREF 用于通过计时电阻器向振荡器计时电容器提供充电电流。使用尽可能靠近引脚连接的陶瓷电容器将 VREF 旁路至地，这对于基准稳定性非常重要。要求陶瓷电容器的最小值为 0.1μF。VREF 上的外部负载需要额外的 VREF 旁路。

(1) I = 输入，O = 输出，G = GND

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{VCC}	低阻抗源		30	V
	I_{VCC} < 30mA	自限制		
V_{VFB} 和 V_{ISENSE}	模拟输入电压	-0.3	6.3	V
V_{VC}	输入电压，仅 Q 和 D 封装		30	V
I_{OUTPUT}	输出驱动电流		±1	A
I_{COMP}	误差放大器输出灌电流		10	mA
E_{OUTPUT}	输出能量（容性负载）		5	μJ
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±2000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	典型值	最大值	单位
V_{VCC} 和 V_{VC} (1)	电源电压		12		28	V
V_{VFB}	输入电压				2.5	V
V_{ISENSE}	输入电压				1	V
I_{VCC}	电源电流，外部限制				25	mA
I_{OUTPUT}	平均输出电流				200	mA
I_{VREF}	基准输出电流				-20	mA
f_{OSC}	振荡器频率			100	500	kHz
T_A	自然通风条件下的工作温度范围	UC184x	-55		125	°C
		UC284x	-40		85	
		UC384x	0		70	

(1) VC 和 POWER GROUND（电源接地）的这些建议电压仅适用于 D 封装。

6.4 热性能信息

热指标(1)		UCx84x				单位
		D (SOIC)	D (SOIC)	P (PDIP)	FK (LCCC)	
		8 引脚	14 引脚	8 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻	117.4	87.9	74.1	—	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	51.5	42.2	63.4	36.2	°C/W
$R_{\theta JB}$	结至电路板热阻	61	44.7	50.5	35.4	°C/W
ψ_{JT}	结至顶部特征参数	7.8	8.8	34.6	—	°C/W

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息（续）

热指标(1)		UCx84x				单位
		D (SOIC)	D (SOIC)	P (PDIP)	FK (LCCC)	
		8 引脚	14 引脚	8 引脚	20 引脚	
ψ_{JB}	结至底部特征参数	60.2	44.3	49.2	—	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	—	—	—	4.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）：对于 UC184x，为 –55°C ≤ T_A ≤ 125°C；对于 UC284x，为 –40°C ≤ T_A ≤ 85°C，对于 UC384x，为 0°C ≤ T_A ≤ 70°C，V_{VCC} = 15V(2)；从 VCC 到 GROUND，0.1µF 电容器；从 VREF 到 GROUND，0.1µF 电容器；R_{RT} = 10kΩ；C_{CT} = 3.3nF，T_J = T_A。

参数		测试条件		最小值	典型值	最大值	单位
基准部分							
V_{VREF}	基准电压	I_{VREF} = 1mA，T_J = 25°C	UC184x 和 UC284x	4.95	5	5.05	V
			UC384x	4.9	5	5.1	
	线路调整率	12V ≤ VCC ≤ 25V			6	20	mV
	负载调整率	1 ≤ I_{VREF} ≤ 20mA			6	25	mV
	温度稳定性	请参阅 (1) (3)			0.2	0.4	mV/°C
	总输出变化	线路、负载、温度 (1)	UC184x 和 UC284x	4.9		5.1	V
			UC384x	4.82		5.18	
	输出噪声电压	10Hz ≤ f_{OSC} ≤ 10kHz，(1) T_J = 25°C			50		µV
	长期稳定性	T_A = 125°C，1000 小时 (1)			5	25	mV
	输出短路			-30	-100	-180	mA
振荡器部分							
f_{OSC}	初始精度	T_J = 25°C(5)		47	52	57	kHz
	电压稳定性	12V ≤ VCC ≤ 25V			0.2%	1%	
	温度稳定性	T_{MIN} ≤ T_A ≤ T_{MAX} (1)			5%		
$V_{RT/CT}$	振幅	峰峰值 (1)			1.7		V
误差放大器部分							
V_{VFB}	输入电压	V_{COMP} = 2.5V	UC184x 和 UC284x	2.45	2.5	2.55	V
			UC384x	2.42	2.5	2.58	
I_{VFB}	输入偏置电流		UC184x 和 UC284x			-1	µA
			UC384x			-2	
A_{VOL}		2V ≤ V_{COMP} ≤ 4V		65	90		dB
	单位带宽增益积	T_J = 25°C (1)		0.7	1		MHz
PSRR	电源抑制比	12V ≤ VCC ≤ 25V		60	70		dB
$I_{(snk)}$	COMP 灌电流	V_{VFB} = 2.7V，V_{COMP} = 1.1V		2	6		mA
$I_{(src)}$	COMP 源电流	V_{VFB} = 2.3V，V_{COMP} = 5V		-0.5	-0.8		
V_{COMP} 高	高电平输出电压	V_{VFB} = 2.3V，R_L = 15kΩ COMP 至 GROUND		5	6		V
V_{COMP} 低	低电平输出电压	V_{VFB} = 2.7V，R_L = 15kΩ COMP 至 VREF			0.7	1.1	
电流检测部分							
A_{CS}	增益	请参阅 (4) (6)		2.85	3	3.15	V/V

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）：对于 UC184x，为 –55°C ≤ T_A ≤ 125°C；对于 UC284x，为 –40°C ≤ T_A ≤ 85°C，对于 UC384x，为 0°C ≤ T_A ≤ 70°C，V_{VCC} = 15V(2)；从 VCC 到 GROUND，0.1µF 电容器；从 VREF 到 GROUND，0.1µF 电容器；R_{RT} = 10kΩ；C_{CT} = 3.3nF，T_J = T_A。

参数		测试条件	最小值	典型值	最大值	单位
V_{ISENSE}	最大输入信号	V_{COMP} = 5V (4)	0.9	1	1.1	V
PSRR	电源抑制比	12V ≤ V_{VCC} ≤ 25V (1) (4)		70		dB
I_{ISENSE}	输入偏置电流			-2	-10	µA
t_{DLY}	到输出延迟	V_{ISENSE} 从 0V 跃升至 2V (1)		150	300	ns
输出部分						
V_{OUT} 低	低电平 OUTPUT 电压	I_{SINK} = 20mA		0.1	0.4	V
		I_{SINK} = 200mA		1.5	2.2	
V_{OUT} 高	高电平 OUTPUT 电压	I_{SOURCE} = 20mA	13	13.5		V
		I_{SOURCE} = 200mA	12	13.5		
t_{RISE}	上升时间 (1)	C_{OUTPUT} = 1nF，T_J = 25°C		25	150	ns
t_{FALL}	下降时间 (1)	C_{OUTPUT} = 1nF，T_J = 25°C，		25	150	ns
欠压锁定 (UVLO)						
VCC_{ON}	启用阈值	UC1842/4 和 UC2842/4	15	16	17	V
		UC3842/4	14.5	16	17.5	
		UCx843/5	7.8	8.4	9	
VCC_{OFF}	UVLO 关断阈值	UC1842/4 和 UC2842/4	9	10	11	V
		UC3842/4	8.5	10	11.5	
		UCx843/5	7	7.6	8.2	
PWM						
D_{MAX}	最大占空比	UCx842/3	92%	97%	100%	
		UC1844/5 和 UC2844/5	46%	48%	50%	
		UC3844/5	47%	48%	50%	
D_{MIN}	最小占空比				0%	
总待机电流						
I_{VCC}	启动电流			0.5	1	mA
I_{VCC}	工作电源电流	V_{VFB} = V_{ISENSE}= 0V		11	17	
	VCC 齐纳电压	I_{VCC} = 25mA	30	39		V

(1) 根据设计确定。未经生产测试。
(2) 将 VCC 调整为高于启动阈值，然后再设置为 15V
(3) 温度稳定性（有时称为平均温度系数）通过以下公式描述：

$$\text{Temp Stability} = \frac{\text{VREF}_{(\max)} - \text{VREF}_{(\min)}}{T_{J(\max)} - T_{J(\min)}}$$

VREF_{min} 和 VREF_{max} 是在适当温度范围内测得的最大和最小基准电压。请注意，极端电压情况不一定发生在极端温度下。
(4) 当 VFB = 0V 时，在闩锁跳变点测得的参数。
(5) 对于 UCx842 和 UCx843，OUTPUT 开关频率 f_{SW} 等于振荡器频率 f_{OSC}。对于 UCx844 和 UCx845，OUTPUT 开关频率 f_{SW} 是振荡器频率 f_{OSC} 的一半。
(6) 增益定义为：A = $\Delta V_{COMP}/\Delta V_{ISENSE}$，0V ≤ V_{ISENSE} ≤ 0.8V。

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性

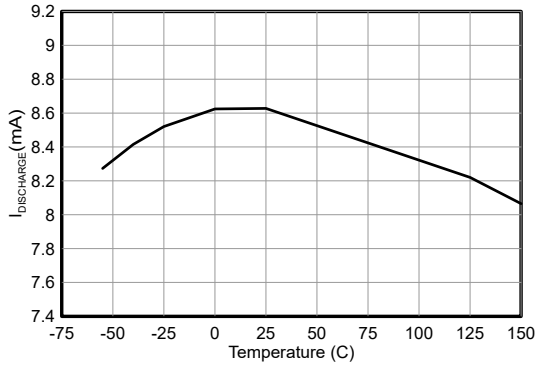


图 6-1. 当 VCC = 15V 且 V_{OSC}=2V 时，振荡器放电电流与温度间的关系

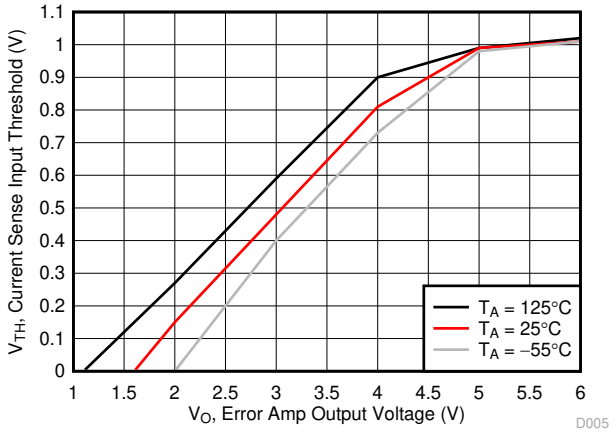


图 6-2. 当 VCC =15V 时，电流检测输入阈值与误差放大器输出电压间的关系

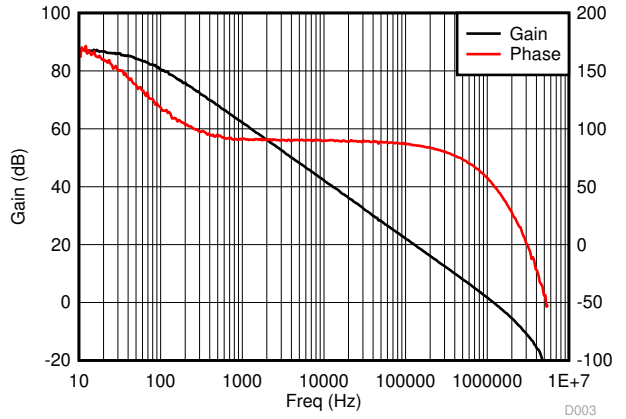


图 6-3. 当 VCC = 15V，R_L = 100kΩ 且 T_A = 25°C 时，误差放大器开环增益和相位与频率间的关系

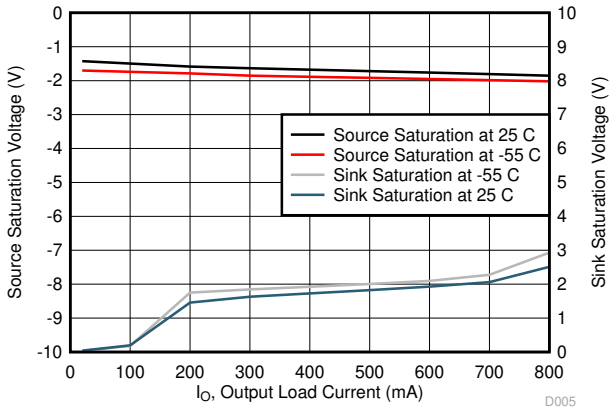


图 6-4. 当 VCC = 15V 且输入脉冲为 5ms 时，OUTPUT 饱和电压与负载电流间的关系

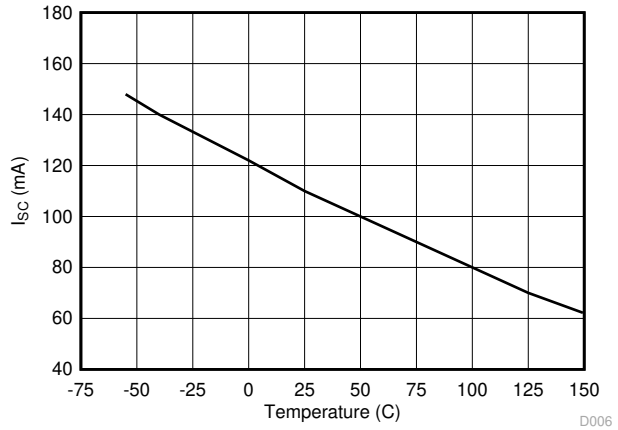


图 6-5. 当 VCC =15V 时，VREF 短路电流与温度间的关系

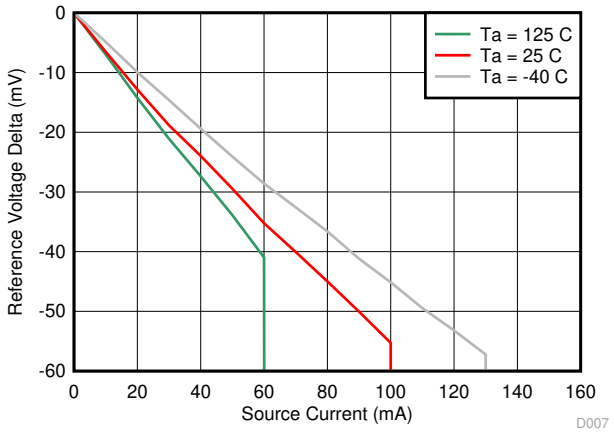


图 6-6. VREF 电压与源电流间的关系

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性（续）

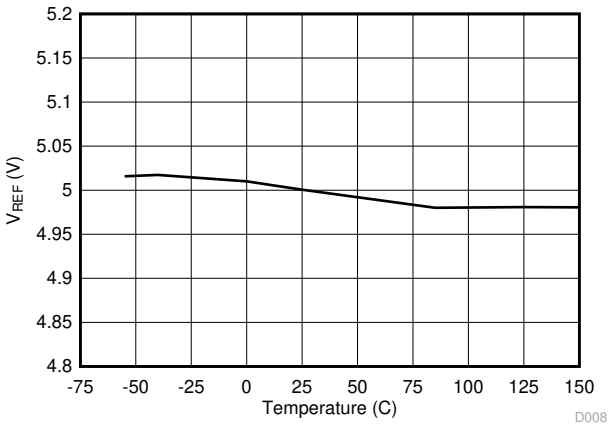


图 6-7. VREF 电压与温度间的关系

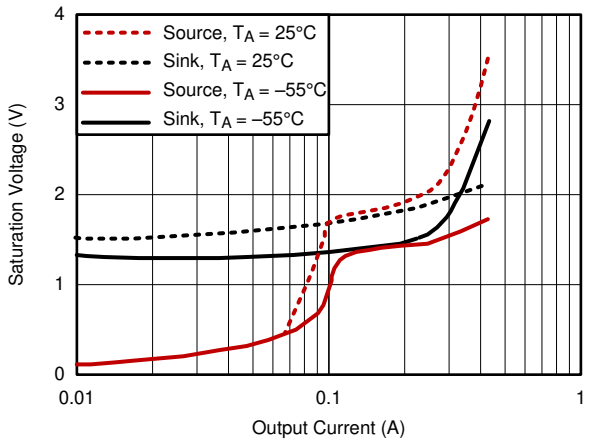


图 6-8. 输出饱和

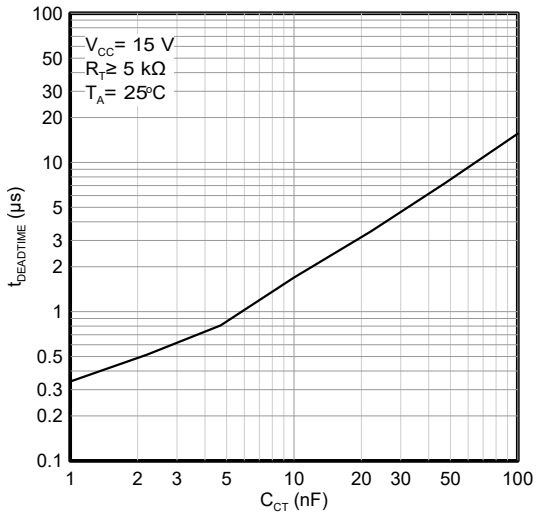


图 6-9. 死区时间与定时电容 C_{CT} 间的关系

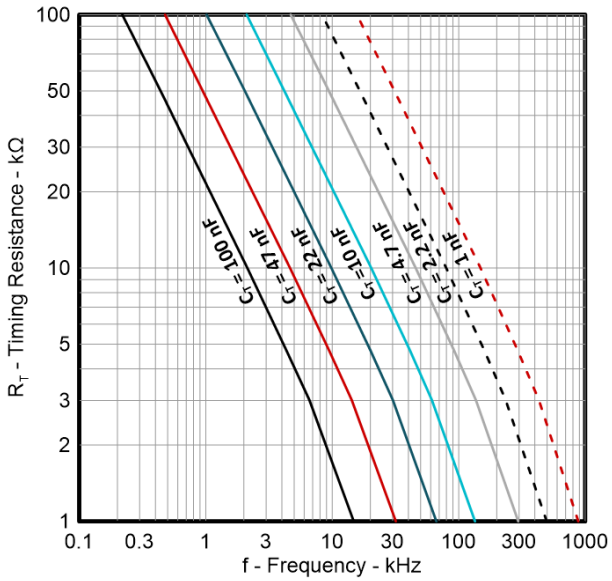


图 6-10. 时序电阻 R_{RT} 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

UCx84x 系列控制集成电路提供了实现交流/直流或直流/直流固定频率电流模式控制方案所需的特性，并使用最少的外部元件。保护电路包含欠压锁定 (UVLO) 和电流限制。内部实现的电路包括：启动电流小于 1mA、误差放大器输入端的精度经过微调的精密基准、验证锁存操作的逻辑、同时提供限流控制的脉宽调制 (PWM) 比较器以及设计用于拉取或灌入高峰值电流的图腾柱输出级。当输出级处于关断状态时，设计用于驱动 N 沟道 MOSFET 的输出级为低电平。

这些系列的成员之间的主要差异是 UVLO 阈值、可接受的环境温度范围和最大占空比。UCx842 和 UCx844 器件专为典型 UVLO 阈值为 16V（导通）和 10V（关断）的离线交流/直流应用而设计。UCx843 和 UCx845 器件专为直流/直流应用中使用的稳压输入电压而设计，其相应的典型阈值为 8.4V（导通）和 7.6V（关断）。UCx842 和 UCx843 器件的工作占空比接近 100% 。UCx844 和 UCx845 通过添加内部切换触发器获得 0% 到 50% 的占空比范围，每隔一个时钟周期就对输出消隐。

UC184x 系列器件指定的工作温度为 –55°C 至 125°C。UC284x 系列器件指定的工作温度为 −40°C 至 85°C。UC384x 器件指定的工作温度为 0°C 至 70°C。

7.2 功能方框图

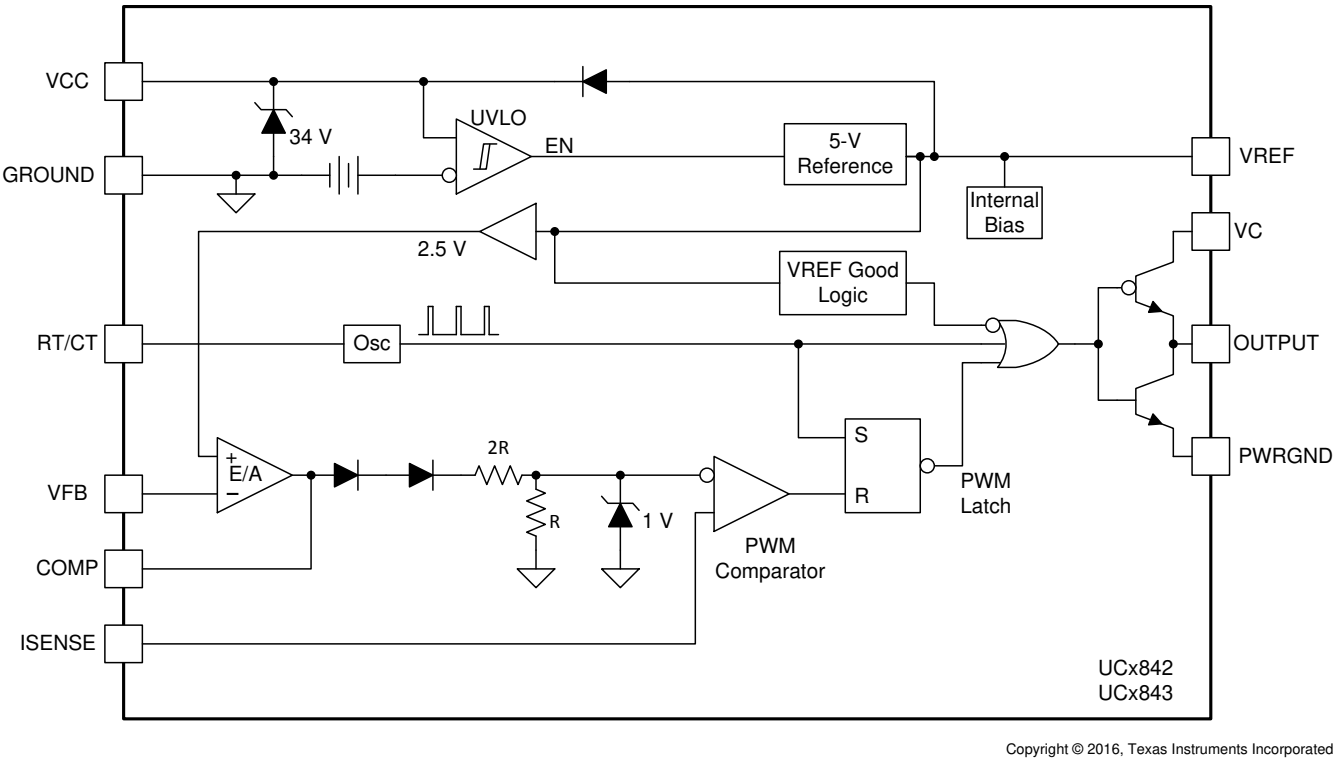


图 7-1. UCx842 和 UCx843 方框图（不具有翻转触发器）

Copyright © 2024 Texas Instruments Incorporated

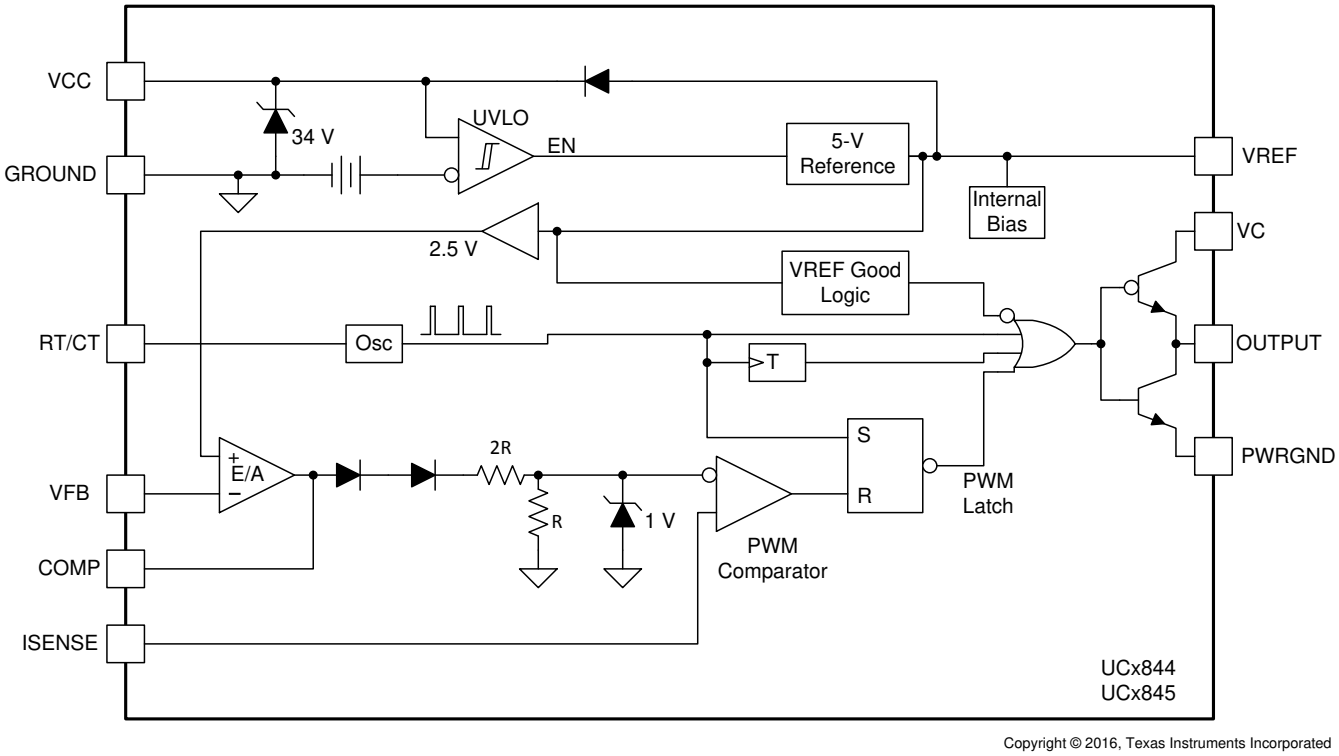


图 7-2. UCx844 和 UCx845 方框图（具有翻转触发器）

7.3 特性说明

7.3.1 详细引脚说明

7.3.1.1 COMP

UCx84x 产品系列中的误差放大器是与电流源并联的集电极开路，单位增益带宽为 1MHz。COMP 端子可同时拉出和灌入电流。误差放大器内部有电流限制，因此，可以通过在外部将 COMP 强制为 GROUND（接地）来指定占空比为零。

7.3.1.2 VFB

VFB 是误差放大器的反相输入。VFB 用于控制电源转换器电压反馈环路以实现稳定性。为了获得最佳的稳定性，使 VFB 引线长度保持尽可能短，并使 VFB 杂散电容保持尽可能小。

7.3.1.3 ISENSE

UCx84x 电流检测输入连接到 PWM 比较器。将 ISENSE 连接到 MOSFET 拉电流检测电阻器。PWM 使用该信号终止 OUTPUT 开关的导通。电压斜坡可应用于该引脚，以通过电压模式控制配置运行器件或添加斜率补偿。为了防止由于前沿噪声引起的误触发，可能需要 RC 电流检测滤波器。电流检测放大器的增益通常为 3V/V。

7.3.1.4 RT/CT

RT/CT 是振荡器时序引脚。对于固定频率操作，通过将电阻器从 VREF 连接到 RT/CT 来设置计时电容器充电电流。通过将计时电容器从 RT/CT 连接到 GROUND（接地）来设置频率。为了获得最佳性能，保持计时电容器引线尽可能短且直接连接到 GROUND（接地）。如果可能，为计时电容器和所有其他功能使用单独的接地走线。

UCx84x 的振荡器允许在 500kHz 的频率下工作。该器件使用外部电阻器设置外部电容器的充电电流，这决定了振荡器频率。计时电阻值的建议范围在 5kΩ 和 100kΩ 之间；计时电容器值的建议范围在 1nF 和 100nF 之间。

$$f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}} \quad (3)$$

在这个公式中，开关频率 f_{SW} 的单位为 Hz ，R_{RT} 的单位为 Ω ，C_{CT} 的单位为法拉。

7.3.1.5 GROUND（接地）

GROUND（接地）是信号和电源回路接地。TI 建议分离信号返回路径和大电流栅极驱动器路径，以便信号不受开关电流的影响。

7.3.1.6 输出

UCx84x 器件的高电流双极图腾柱输出灌入或拉取的电流峰值高达 1A 。OUTPUT 引脚可以直接驱动 MOSFET。UCx842 和 UCx843 器件的 OUTPUT 开关频率与振荡器相同，并且可以在接近 100% 占空比下工作。在 UCx844 和 UCx845 器件中，由于内部的 T 触发器，OUTPUT 的开关频率是振荡器开关频率的一半。这将 UCx844 和 UCx845 中的最大占空比限制为小于 50%。OUTPUT 引脚上可能需要肖特基二极管，以分别防止由于电源轨和接地的高阻抗而产生的过冲和下冲。放在 MOSFET 的栅极和源极之间的泄放电阻器可用于防止在欠压锁定期间用额外的漏电流激活电源开关。当 VCC 超过栅极电压额定值时，可能需要外部钳位电路来防止 MOSFET 栅极上的过压应力。

7.3.1.7 VCC

VCC 是该器件的电源输入连接。在正常工作中，通过限流电阻器为 VCC 供电。尽管静态 VCC 电流仅为 0.5mA，但总电源电流更高，具体取决于 OUTPUT 电流。总 VCC 电流是静态 VCC 电流和平均 OUTPUT 电流的总和。已知工作频率和 MOSFET 栅极电荷 (Q_g)，可以根据方程式 4 计算平均 OUTPUT 电流。

$$I_{OUTPUT} = Q_g \times f_{SW} \tag{4}$$

UCx84x 的 VCC 电源电压钳位典型值为 34V，但来自低阻抗源的 VCC 的绝对最大值为 30V。对于输入电压高于建议的 VCC 电压的应用，将电阻器与 VCC 串联以增加源阻抗。该电阻器的最大值可使用方程式 5 计算得出。

$$R_{VCC\,(max)} = \frac{V_{IN\,(min)} - V_{VCC\,(max)}}{I_{VCC} + \left(Q_g \times f_{SW}\right)} \tag{5}$$

在方程式 5 中，$V_{IN(min)}$ 是用于给 VCC 供电的最小电压，$V_{VCC(max)}$ 是最大 VCC 钳位电压，I_{VCC} 是不考虑栅极驱动器电流的 IC 电源电流，Q_g 是外部功率 MOSFET 栅极电荷，f_{SW} 是开关频率。

UCx84x 产品系列的导通和关断阈值有很大不同：对于 UCx842 和 UCx844，分别为 16V 和 10V；对于 UCx843 和 UCx855，分别为 8.4V 和 7.6V。为了避免与噪声相关的问题，使用电解电容器对 VCC 进行滤波，并使用陶瓷电容器旁路至地。保持电容器靠近 IC 引脚。

7.3.1.8 VREF

VREF 是误差放大器的电压基准，也是 IC 中许多其他内部电路的电压基准。高速开关逻辑使用 VREF 作为逻辑电源。UCx84x 产品系列的 5V 基准公差为 ±2%。输出短路电流为 30mA。为了实现基准稳定性和防止高速开关瞬态产生的噪声问题，请使用靠近 IC 封装的陶瓷电容器将 VREF 旁路至接地。至少需要 0.1μF 陶瓷电容器。基准上的外部负载需要额外的 VREF 旁路。除陶瓷电容器外，还可以使用电解电容器。

当 VCC 大于 1V 且小于 UVLO 阈值时，使用 5kΩ 电阻器将 VREF 拉至接地。VREF 可用作指示电源系统状态的逻辑输出，因为当 VCC 低于 UVLO 阈值时，VREF 保持低电平。

7.3.2 逐脉冲电流限制

电流模式控制方案本身具有逐脉冲限制。只需对误差电压进行钳位，即可确定峰值电流的上限。精确的电流限制允许对磁性和功率半导体元件进行优化，同时确保电源可靠运行。

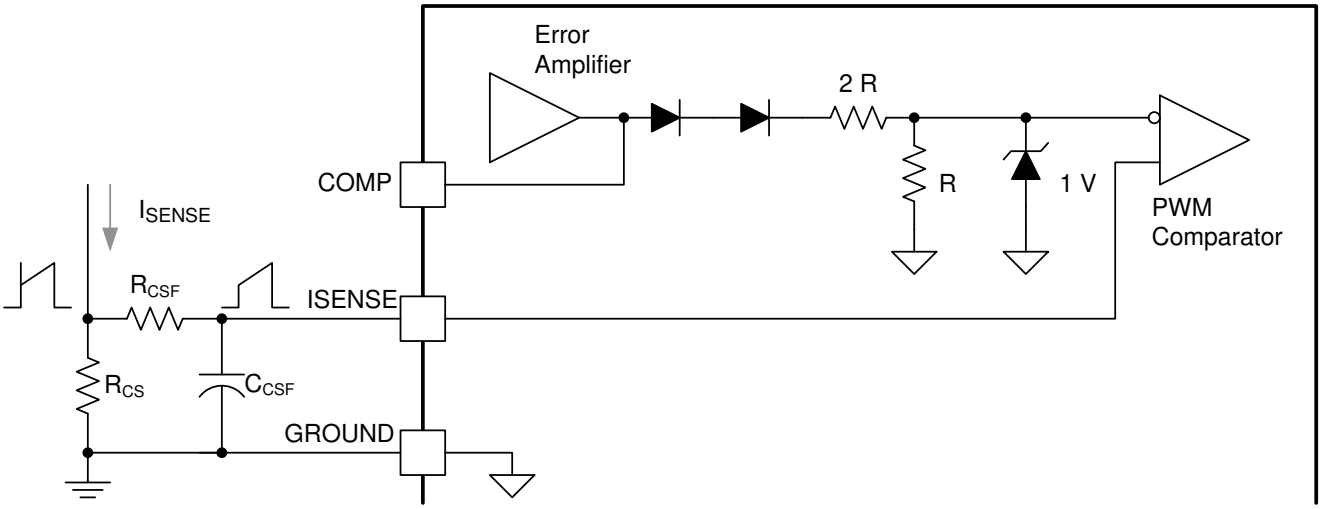
Copyright © 2024 Texas Instruments Incorporated

7.3.3 电流检测

外部串联电阻器 R_{CS} 检测电流，并将该电流转换为电压，该电压成为 ISENSE 引脚的输入。ISENSE 引脚是 PWM 比较器的同相输入。将 ISENSE 输入与误差放大器输出电压成比例的信号进行比较；电流检测放大器的增益通常为 3V/V。峰值 I_{SENSE} 电流由方程式 6 确定：

$$I_{SENSE} = \frac{V_{ISENSE}}{R_{CS}} \tag{6}$$

V_{ISENSE} 的典型值为 1V。可能需要一个小型 RC 滤波器（R_{CSF} 和 C_{CSF}），以抑制由次级侧二极管的反向恢复或等效容性负载以及寄生电路阻抗引起的开关瞬变。该滤波器的时间常数可以大大小于转换器的开关周期。



Copyright © 2016, Texas Instruments Incorporated

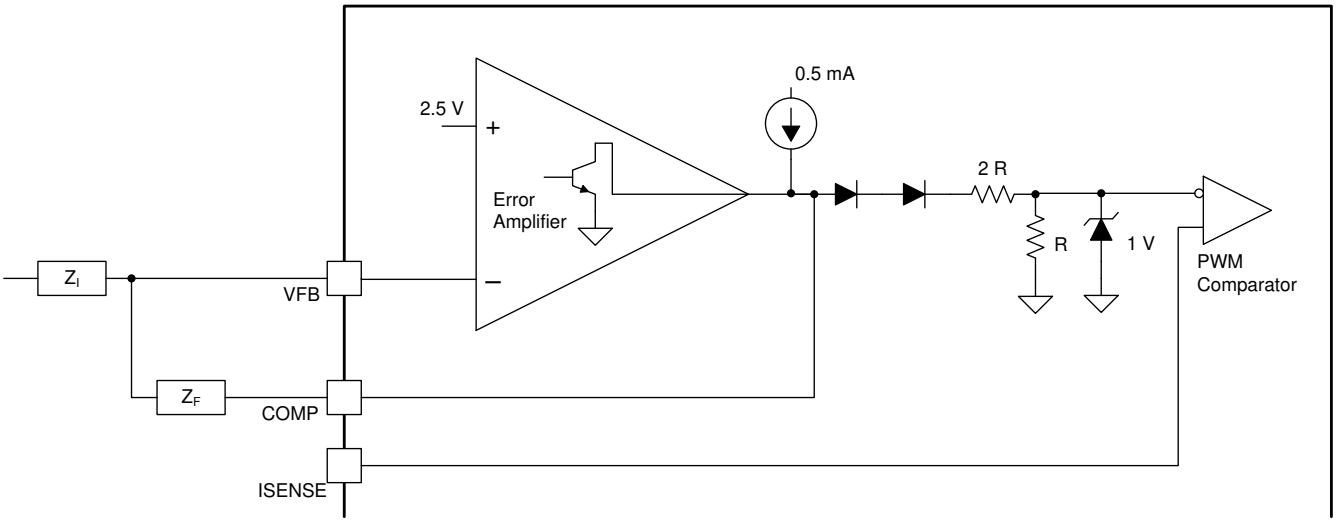
图 7-3. 电流检测电路原理图

7.3.4 具有低输出电阻的误差放大器

误差放大器输出是与电流源并联的开路集电极。由于输出电阻低，误差放大器反馈的补偿引脚输入可以使用各种阻抗网络。误差放大器输出 COMP 通过使用外部次级侧可调节稳压器（如 TL431），常用作次级侧调节的控制端口，以通过光隔离器跨次级到初级隔离边界发送误差信号，在此配置中，将 COMP 引脚直接连接到光隔离器反馈。在初级侧，UCx48x 误差放大器的反相输入 VFB 必须连接到 GROUND。当 VFB 连接到 GROUND 时，误差放大器输出 COMP 会被强制处于高电平状态并拉出电流，通常为 0.8mA。光隔离器必须克服源电流能力，以将 COMP 引脚控制在误差放大器输出高电平 VOH 以下。

对于初级侧调节，使用电阻分压器配置误差放大器 VFB 的反相输入，以提供与正在调节的转换器输出电压成比例的信号。在 VFB 和 COMP 之间添加电压环路补偿元件。误差放大器的内部非反相输入微调为 2.5V。为了获得最佳的稳定性，应保持 VFB 引线长度尽可能短，并将 VFB 上的杂散电容降至最低。

COMP 上的内部电阻分压器保持在 R:2R 比率，这些内部电阻器的特定值在任何应用中都不是关键。



误差放大器可以拉取或灌入高达 0.5mA 的电流。

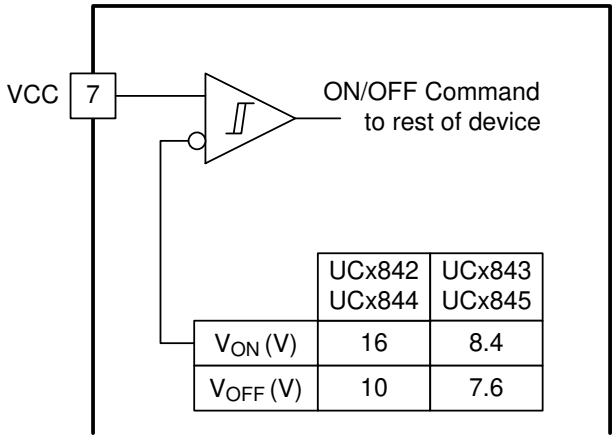
图 7-4. 误差放大器配置原理图

7.3.5 欠压锁定

UCx84x 器件具有欠压锁定保护电路，可在加电和断电序列期间执行受控操作。UVLO 电路确保在启用输出级之前， VCC 足以使 UCx84x 完全正常工作。UCx842、UCx843、UCx844 和 UCx845 器件的欠压锁定阈值针对两组应用（离线电源和 DC-DC 转换器）进行了优化。UCx842 和 UCx844 器件中的 6V 迟滞可防止在电源时序期间发生 VCC 振荡。这种更宽的 VCC_{ON} 到 VCC_{OFF} 范围，使这些器件非常适合离线交流输入应用。UCx843 和 UCx845 控制器的 VCC_{ON} 至 VCC_{OFF} 迟滞要窄很多，可用于将输入视为已调节的直流/直流应用。

启动电流小于 1mA 时，可从离线转换器的整流输入进行有效自举，如图 7-7 所示。在正常电路工作期间，VCC 由辅助绕组 N_A 以及 D_{BIAS} 和 C_{VCC} 发展而来。然而，在启动时，C_{VCC} 必须通过 R_{START} 充电至 16V。当启动电流为 1mA 时，R_{START} 可高达 100kΩ，并且在 V_{AC} = 90V RMS（低压线路）时仍对 C_{VCC} 充电。即使在高压线路 (V_{AC}= 130V RMS) 条件下，R_{START} 中的功率耗散也将低于 350mW。

在 UVLO 期间，IC 消耗的电源电流小于 1mA。一旦超过导通阈值，IC 电源电流会增加到最大 17mA，通常为 11mA。在欠压锁定期间，输出驱动器被偏置到高阻抗状态，并灌入少量电流。放在 MOSFET 的栅极和源极之间的泄放电阻器可用于防止在欠压锁定期间用额外的漏电流激活电源开关。



	UCx842 UCx844	UCx843 UCx845
V_{ON} (V)	16	8.4
V_{OFF} (V)	10	7.6

Copyright © 2016, Texas Instruments Incorporated

图 7-5. UVLO 阈值

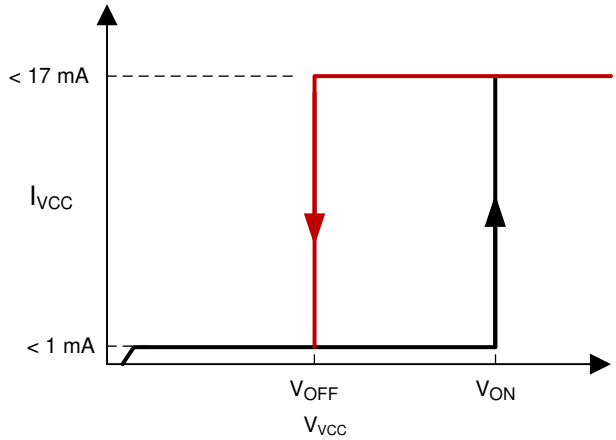


图 7-6. UVLO 导通和关断曲线

Copyright © 2024 Texas Instruments Incorporated

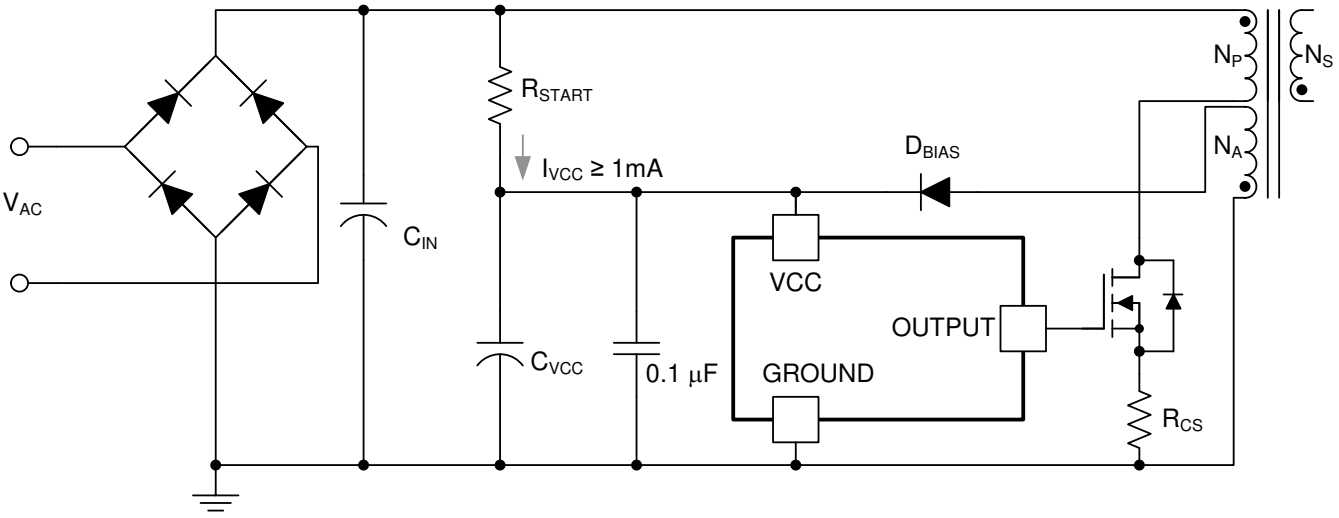


图 7-7. 向 UCx84x 供电

7.3.6 振荡器

振荡器允许高达 500kHz 的开关频率。OUTPUT 栅极驱动器与 UCx842 和 UCx843 器件中的振荡器频率相同，可以在接近 100% 占空比下工作。在 UCx844 和 UCx845 器件中，由于内部的 T 触发器每隔一个时钟周期就将输出消隐，因此 OUTPUT 频率是振荡器频率的一半，导致这些器件的最大占空比小于开关频率的 50%。从 VREF 连接到 RT/CT 的外部电阻器 R_{RT} 设置从 RT/CT 连接到 GROUND 的计时电容器的充电电流 C_{CT}。建议在 RT/CT 上使用大于 5kΩ 的 R_{RT}，以设置内部振荡器的正斜坡时间。针对 R_{RT} 使用 5kΩ 或更大的值可以在内部阻抗与外部振荡器设置电阻器之间保持良好的比率，并使频率随温度的变化达到最小。使用值小于建议的最小值可能会导致频率随温度、器件公差或处理差异而漂移。

在 UCx84x 器件中，振荡器波形的峰峰值振幅为 1.7V。UCx842 和 UCx843 的最大占空比大概为 100%，而 UCx844 和 UCx845 通过内部切换触发器将最大占空比钳制为 50%。这种占空比钳位在大多数反激式和正激式转换器中都是有利的。为了获得出色 IC 性能，死区时间不能超过振荡器时钟周期的 15%。放电电流（在室温下通常为 6mA）设置死区时间，请参阅图 6-9。在放电或*死区*时间内，内部时钟信号将输出消隐到低电平状态。这将最大占空比 D_{MAX} 限制为：

$$D_{MAX} = 1 - (t_{DEADTIME} \times f_{OSC}) \quad (7)$$

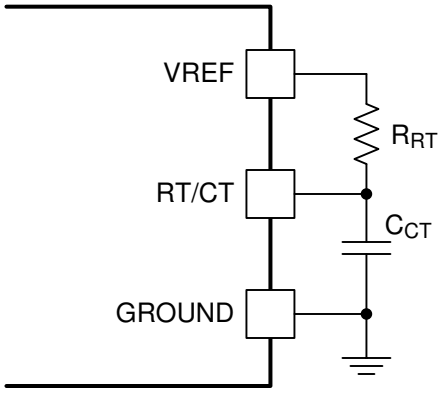
方程式 8 适用于 UCx842 和 UCx843 器件，因为 OUTPUT 开关频率与振荡器相同，最大占空比可高达 100%。

$$D_{MAX} = 1 - \left(t_{DEADTIME} \times \frac{f_{OSC}}{2}\right) \quad (8)$$

方程式 8 适用于 UCx844 和 UCx845 器件，因为 OUTPUT 开关频率为振荡器频率的一半，最大占空比可高达 50%。

当功率晶体管关闭时，噪声尖峰被耦合到振荡器 RT/CT 端子。在高占空比下，当出现该尖峰时，RT/CT 处的电压接近阈值水平（约 2.7V，由内部振荡器电路确定）。振幅足够的尖峰会使振荡器过早跳变。为了最大程度地降低噪声尖峰，请选择尽可能大的 C_{CT}，同时记住死区时间随着 C_{CT} 的增加而增加。建议 C_{CT} 不得小于约 1000pF。通常，导致此问题的噪声是由外部寄生效应在关断时将 OUTPUT 下拉至地电平以下引起的。在驱动 MOSFET 时尤其如此。从 GROUND 到 OUTPUT 的肖特基二极管钳位可防止此类输出噪声馈送到振荡器。

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

对于 R_{RT} > 5kΩ：$f_{OSC} = \frac{1.72}{R_{RT} \times C_{CT}}$

图 7-8. 振荡器部分原理图

7.3.7 同步

强制同步的最简单方法在接近标准配置中使用计时电容器 C_{CT}。与将 C_{CT} 直接接地不同，将一个小电阻器与 C_{CT} 串联接地。该电阻器用作同步脉冲的输入，将 C_{CT} 电压升高到振荡器的内部上限阈值以上。允许 PWM 以 R_{RT} 和 C_{CT} 设置的频率运行，直到同步脉冲出现。该方案具有多个优点，包括具有可用于斜坡补偿的局部斜坡。UC3842/3/4/5 振荡器必须设置为比同步脉冲流更低的频率，通常为 20%，并在电阻器上施加 0.5V 脉冲。

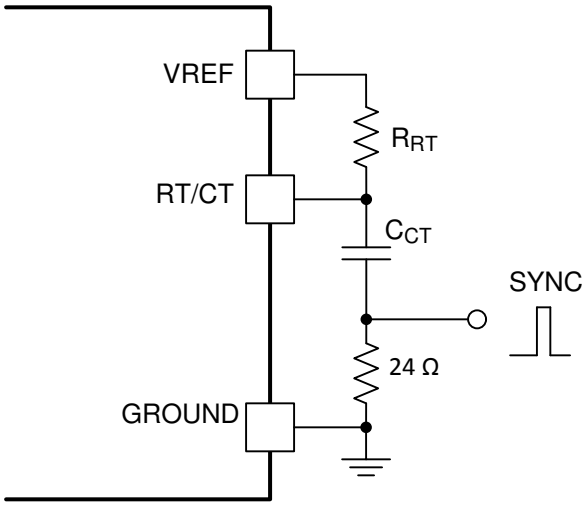


图 7-9. 同步振荡器

7.3.8 关断技术

PWM 控制器（请参阅图 7-10）可以通过两种方法关断：或将 ISENSE 处的电压升高到 1V 以上，或将 COMP 端子拉到低于接地的两个二极管压降的电压以下。两种方法都会使 PWM 比较器的输出为高电平（请参阅*图 7-10*）PWM 锁存主要被复位以便在消除 COMP 或 ISENSE 端子的关断条件后的下一个时钟周期之前，输出保持为低电平。在一个示例中，可以通过添加 SCR 来实现外部锁存关断，该 SCR 通过将 VCC 循环至低于较低的 UVLO 阈值来进行复位。此时，基准关断，允许 SCR 复位。

Copyright © 2024 Texas Instruments Incorporated

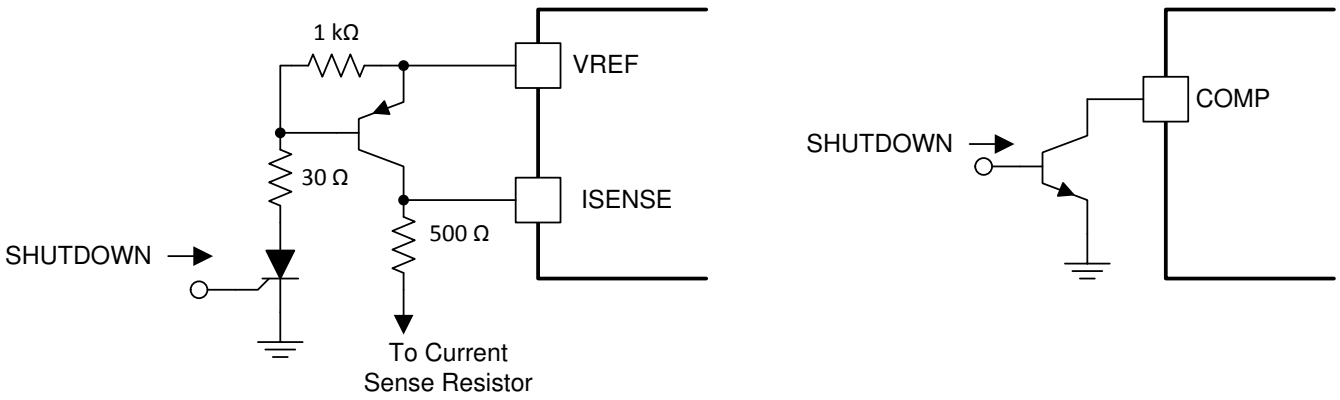


图 7-10. 关断技术

7.3.9 斜坡补偿

振荡器斜坡的一部分可以与电流检测信号进行电阻相加，以便为占空比超过 50% 的转换器提供斜坡补偿（请参阅图 7-11）。请注意，电容器 C_{CSF} 与 R_{CSF} 形成一个滤波器，以抑制前沿开关尖峰。

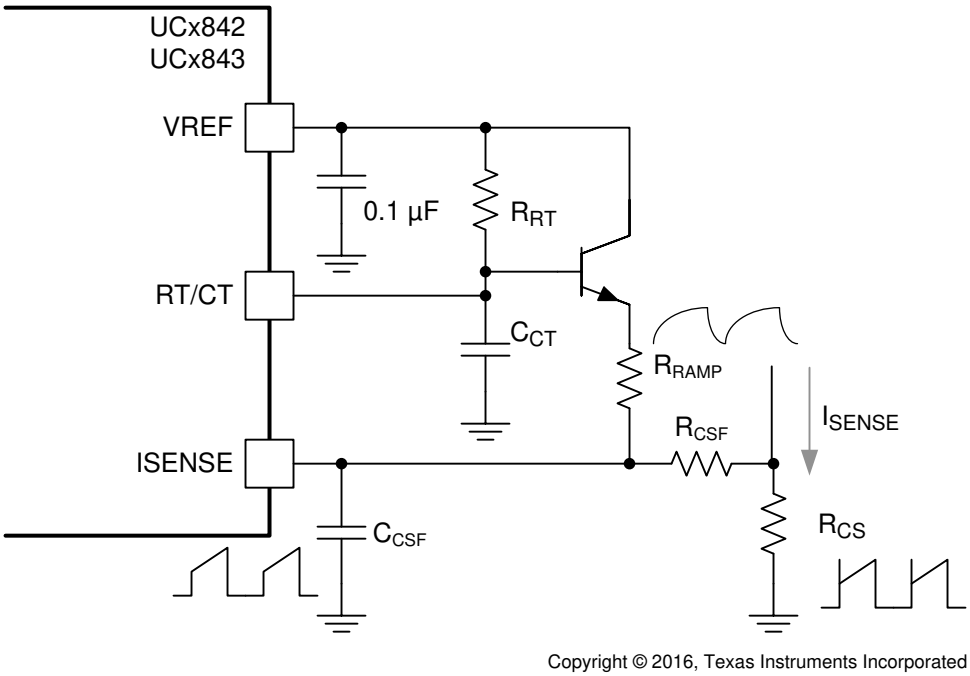


图 7-11. 斜坡补偿

7.3.10 软启动

上电后，最好从零占空比开始逐渐加宽 PWM 脉冲宽度。UCx84x 器件没有内部软启动控制，但可以通过三个元件在外部轻松实现。使用 R/C 网络提供时间常数，以控制误差放大器的输出。此外，还使用晶体管将元件与任一节点的正常操作隔离。晶体管还通过对晶体管增益进行放大，更大限度减小负载对 RT/CT 时间常数的影响。

Copyright © 2024 Texas Instruments Incorporated

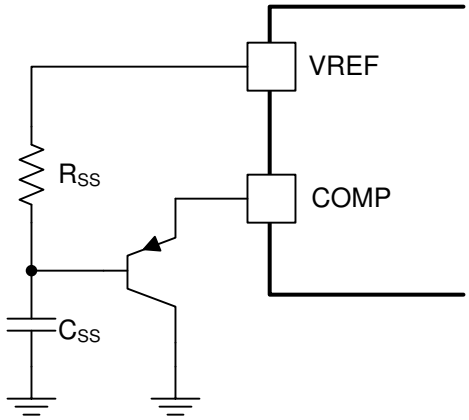


图 7-12. 软启动电路

7.3.11 电压模式

在占空比控制（电压模式）中，通过将误差放大器输出与人工斜坡进行比较来实现脉宽调制。振荡器计时电容器 C_{CT} 用于在电流或电压模式 IC 上生成锯齿波形。为了在电压模式配置中使用 UCx84x，该锯齿波形输入到电流检测输入 ISENSE，以便与 PWM 比较器处的误差电压进行比较。在该方法中，该锯齿用于确定脉冲宽度而不是该实际的初级电流。由于 UCx84x 中的低输出电阻电压放大器与传统电压模式控制器中使用的跨导（电流）型放大器不同，环路补偿与电压模式控制器类似，又存在细微差异。有关拓扑和补偿的进一步参考，请参阅*关闭反馈环路* (SLUP068)。

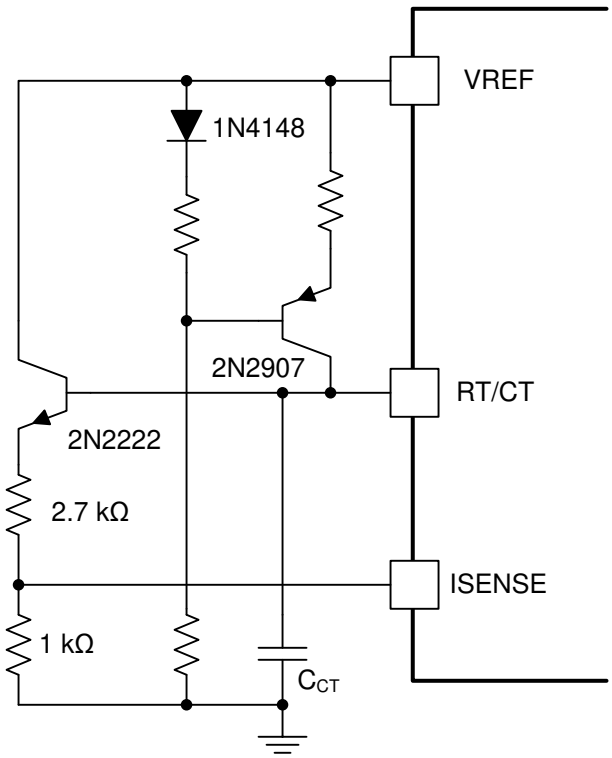


图 7-13. 电流模式 PWM 用作电压模式 PWM

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 正常运行

在正常工作模式期间，IC 可用于峰值电流模式或电压模式控制。当转换器在峰值电流模式下工作时，控制器调节转换器的峰值电流和占空比。当在电压模式控制中使用 IC 时，控制器将调节电源转换器的占空比。利用集成误差放大器和外部反馈电路，可以实现对系统峰值电流和占空比的调节。

7.4.2 UVLO 模式

在系统启动期间，VCC 电压从 0V 开始升高。在 VCC 电压达到相应的导通阈值之前，IC 在 UVLO 模式下工作。在此模式下，不会生成 VREF 引脚电压。当 VCC 高于 1V 且低于导通阈值时，VREF 引脚通过 5kΩ 电阻器主动拉至低电平。这样，VREF 可以用作逻辑信号以指示 UVLO 模式。如果到 VCC 的偏置电压降至 UVLO 关断阈值以下，PWM 开关停止，且 VREF 返回 0V。通过向 VCC 引脚施加大于 UVLO 导通阈值的电压，器件可以重新启动。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

UCx84x 控制器是峰值电流模式脉宽调制器。这些控制器具有板载放大器，可用于隔离式和非隔离式电源设计。此外，还具有板载图腾柱栅极驱动器，能够提供 1A 的峰值电流。这是一种高速 PWM，能够在高达 500kHz 的开关频率下工作。

8.1.1 开环测试装置

以下应用是一个开环实验室测试装置。该电路演示了 UCx84x 器件及内部电路的设置和使用。

在开环实验室测试装置中（请参阅图 8-1），与负载相关的高峰值电流要求使用谨慎的接地技术。计时电容器和旁路电容器可在单点接地中靠近 GROUND 端子进行连接。晶体管和 5kΩ 电位器对振荡器波形进行采样，并向 ISENSE 端子施加可调斜坡。

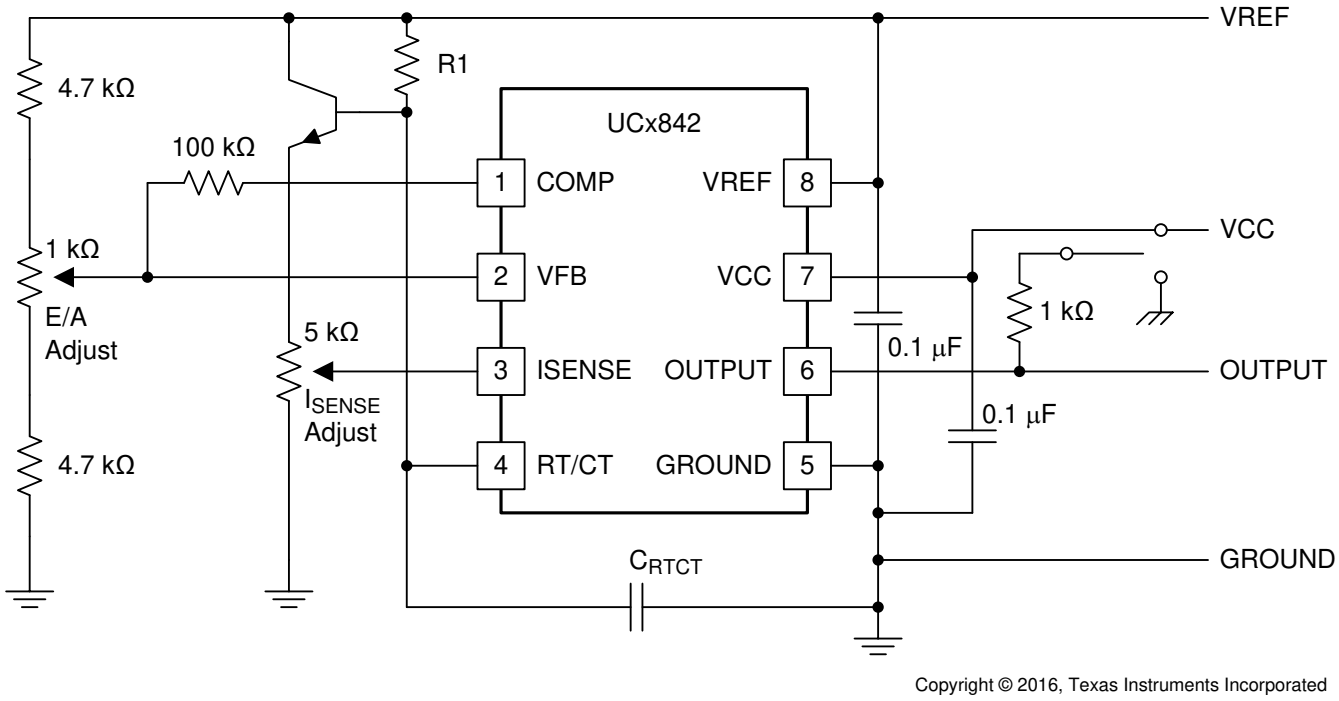


图 8-1. 开环实验室测试装置

Copyright © 2024 Texas Instruments Incorporated

8.2 典型应用

UC2842 在离线反激式转换器中的典型应用如图 8-2 所示。UC2842 使用一个内部电流控制环路，该环路包含一个小电流检测电阻器，用于感测初级电感电流斜坡。 该电流检测电阻器将电感器电流波形转换为电压信号，然后该信号直接输入到初级侧 PWM 比较器中。该内部环路决定了对输入电压变化的响应。外部电压控制环路涉及将一部分输出电压与误差放大器输入端的基准电压进行比较。 在离线隔离式应用中使用时，隔离式输出的电压反馈是使用次级侧误差放大器和可调电压基准（如 TL431）来完成的。误差信号使用光隔离器穿过初级到次级隔离边界，该光隔离器的集电极连接到 VREF 引脚，发射极连接到 VFB。 外部电压控制环路决定了对负载变化的响应。

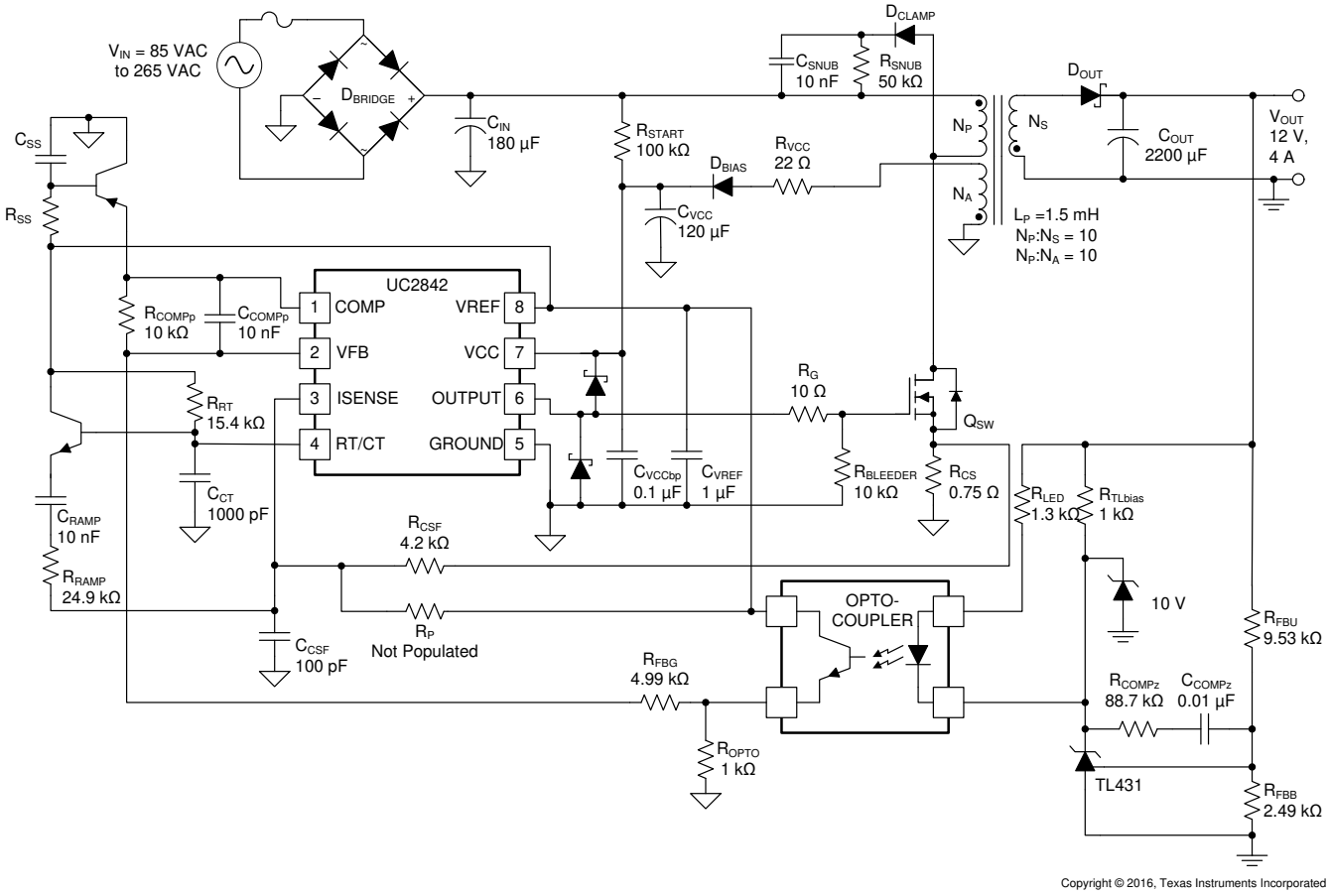


图 8-2. 典型应用设计示例原理图

8.2.1 设计要求

表 8-1 显示了离线反激式转换器的一组典型的性能要求，该转换器可以从通用交流输入提供 12V 和 48W 输出。该设计在连续电流模式 PWM 转换器中使用峰值初级电流控制。

表 8-1. 性能要求

参数		测试条件	最小值	标称值	最大值	单位
V_{IN}	输入电压		85	115/230	265	V_{RMS}
f_{LINE}	线路频率		47	50/60	63	Hz
V_{OUT}	输出电压	$I_{OUT(min)} \leq I_{OUT} \leq I_{OUT(max)}$	11.75	12	12.25	V
V_{RIPPLE}	输出纹波电压	$I_{OUT(min)} \leq I_{OUT} \leq I_{OUT(max)}$			100	mVpp
I_{OUT}	输出电流		0	4		A
f_{SW}	开关频率			100		kHz

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 性能要求（续）

参数		测试条件	最小值	标称值	最大值	单位
η	效率			85%		

8.2.2 详细设计过程

本过程概述了使用 UC2842 设计离线通用输入连续电流模式 (CCM) 反激式转换器的步骤。有关设计过程中提及的元件名称，请参阅图 8-2。

8.2.2.1 输入大容量电容器和最小体电压

大容量电容可以由一个电容器或多个并联的电容器组成，电容器之间通常有一些电感，以抑制差模传导噪声。输入电容器的值设置最小恒压电压；通过使用最小输入电容来设置更低的恒压电压会导致峰值初级电流更高，从而导致 MOSFET 开关、变压器和输出电容器上的应力更大。 通过使用更大的输入电容器来设置更高的体电压会导致来自输入源的峰值电流更高，并且电容器在物理尺寸上会更大。 尺寸和元件应力之间的折衷决定了可接受的最小输入电压。使用方程式 9，根据转换器的功率级别 P_{OUT}、效率目标 η、最小输入电压 $V_{IN(min)}$ 选择初级侧大容量电容的总要求值 C_{IN}，以保持可接受的最小恒压电压电平 $V_{BULK(min)}$。

$$C_{IN} = \frac{2 \times P_{IN} \times \left(0.25 + \frac{1}{\pi} \times \arcsin\left(\frac{V_{BULK\,(min)}}{\sqrt{2} \times V_{IN\,(min)}}\right)\right)}{\left(2 \times V_{IN\,(min)}^2 - V_{BULK\,(min)}^2\right) \times f_{LINE\,(min)}} \tag{9}$$

在该公式中，$V_{IN(min)}$ 是最小交流输入电压的 RMS 值（即 85VRMS），其最小线路频率表示为 $f_{LINE(min)}$，等于 47Hz。根据此 C_{IN} 公式，为了实现 75V 的最小恒压电压，假设转换器效率为 85%，大容量电容器必须大于 126µF；考虑到元件公差和效率估计，设计选择了 180µF。

8.2.2.2 变压器匝数比和最大占空比

变压器的设计首先为给定应用选择合适的开关频率。UC2842 能够切换到最高 500kHz 的频率，但转换器的总体尺寸、开关损耗、磁芯损耗、系统兼容性以及对通信频带的干扰等因素通常确定了可使用的理想频率。对于该离线转换器，将开关频率 f_{SW} 选择为 110kHz 作为折衷方案，从而使变压器尺寸和 EMI 滤波器尺寸最小化，并且仍然具有可接受的损耗。

可以根据所需的 MOSFET 额定电压和次级二极管额定电压来选择变压器的初级与次级匝数比 N_{PS}。由于最大输入电压为 265VRMS，因此可以按照方程式 10 所示计算峰值恒压输入电压。

$$V_{BULK\,(max)} = \sqrt{2} \times V_{IN\,(max)} \approx 375\ V \tag{10}$$

为了尽可能地减少系统的成本，选择了一种现成的 650V MOSFET。将漏极上的最大电压应力降额至额定值的 80%，并允许漏电感电压尖峰达到最大体输入电压的 30%，反射输出电压必须小于 130V，如方程式 11 所示。

$$V_{REFLECTED} = 0.8 \times \left(V_{DS(rated)} - 1.3 \times V_{BULK(max)}\right) = 130.2\ V \tag{11}$$

12V 输出的最大初级与次级变压器匝数比 N_{PS} 可以选择为

$$N_{PS} = \frac{V_{REFLECTED}}{V_{OUT}} = 10.85 \tag{12}$$

设计示例中使用了 N_{PS} = 10 的匝数比。

辅助绕组用于向 UC2842 提供偏置电压。导通后偏置电压应保持在 VCC 最小工作电压以上，以保证系统稳定工作。UC2842 型控制器的最小 VCC 工作电压为 10V。选择辅助绕组以支持 12V 的偏置电压，使该电压高于最低工作电平，但仍保持 IC 中的低损耗。初级与辅助匝数比 N_{PA} 可根据方程式 13 进行计算：

Copyright © 2024 Texas Instruments Incorporated

$$N_{PA} = N_{PS} \times \frac{V_{OUT}}{V_{BIAS}} = 10 \quad (13)$$

输出二极管承受的电压应力等于输出电压加上反射的输入电压：

$$V_{DIODE} = \frac{V_{BULK\,(max)}}{N_{PS}} + V_{OUT} = 49.5\ V \quad (14)$$

为了考虑到振铃引起的电压尖峰，建议为本设计使用额定阻断电压大于 60V 的肖特基二极管。估计该二极管的正向压降 V_F 等于 0.6V

为了避免高峰值电流，本设计中的反激式转换器在连续导通模式下工作。一旦确定了 N_{PS} ，就可以使用 CCM 反激式转换器的传递函数计算最大占空比 D_{MAX}：

$$\frac{V_{OUT} + V_F}{V_{BULK\,(min)}} = \left(\frac{1}{N_{PS}}\right) \times \left(\frac{D_{MAX}}{1 - D_{MAX}}\right) \quad (15)$$

$$D_{MAX} = \frac{N_{PS} \times (V_{OUT} + V_F)}{V_{BULK(min)} + N_{PS} \times (V_{OUT} + V_F)} = 0.627 \quad (16)$$

由于最大占空比超过 50%，且设计为离线（交流输入）应用，因此 UC2842 最适合此应用。

8.2.2.3 变压器电感和峰值电流

对于该设计示例，变压器磁化电感根据 CCM 条件来选择。在切换到不连续电流模式之前，这里使用的电感值允许转换器在更宽的工作范围内保持 CCM，从而尽可能减少高电流造成的损耗，同时还可以减少输出纹波。本例中变压器的设计调整了电感的大小，这样，转换器在大概 10% 负载和最小体电压下进入 CCM 操作，从而尽可能地减少输出纹波。

CCM 反激式的电感器 L_P 可以使用方程式 17 计算。

$$L_P = \frac{1}{2} \times \frac{\left(V_{BULK\,(min)}\right)^2 \times \left(\frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + N_{PS} \times V_{OUT}}\right)^2}{0.1 \times P_{IN} \times f_{SW}} \quad (17)$$

在方程式 17 中，通过将最大输出功率 P_{OUT} 除以目标效率 η 来估计输入功率 P_{IN}，f_{SW} 是开关频率；对于 UC2842，开关频率等于振荡器频率，设置为 110kHz。因此，变压器电感可以大概为 1.8mH；本设计选择 1.5mH 电感作为磁化电感值。

基于计算的电感值和开关频率，可以计算 MOSFET 和输出二极管的电流应力。

CCM 反激式的初级侧 MOSFET 中的峰值电流可以如方程式 18 所示进行计算。

$$I_{PK_{MOSFET}} = \frac{P_{IN}}{V_{BULK\,(min)} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}} + \left(\frac{V_{BULK\,(min)}}{2 \times L_m} \times \frac{\frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}}{f_{SW}}\right) \quad (18)$$

MOSFET 峰值电流为 1.36A。MOSFET 的均方根电流计算为 0.97A，如方程式 19 所示。因此，选择 IRFB9N65A 作为初级侧开关。

Copyright © 2024 Texas Instruments Incorporated

$$I_{RMS_{MOSFET}} = \sqrt{\frac{D_{MAX}^{3}}{3} \times \left(\frac{V_{BULK\,(min)}}{L_P \times f_{SW}}\right)^2 - \left(\frac{D_{MAX}^{2} \times I_{PK_{MOSFET}} \times V_{BULK\,(min)}}{L_P \times f_{SW}}\right) + \left(D_{MAX} \times I_{PK_{MOSFET}}^{2}\right)} \quad (19)$$

输出二极管峰值电流等于反射到次级侧的 MOSFET 峰值电流。

$$I_{PK_{DIODE}} = N_{PS} \times I_{PK_{MOSFET}} = 13.634\ A \quad (20)$$

二极管的平均电流等于总输出电流 4A；结合所需的 60V 额定值和 13.6A 峰值电流要求，选择 48CTQ060-1 作为输出二极管。

8.2.2.4 输出电容器

根据输出电压纹波要求选择总输出电容。在本设计中，假设电压纹波为 0.1%。基于 0.1% 的纹波要求，可以使用方程式 21 选择电容器值。

$$C_{OUT} \geq \frac{I_{OUT} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + N_{PS} \times V_{OUT}}}{0.001 \times V_{OUT} \times f_{SW}} = 1865\ \mu F \quad (21)$$

为了设计器件容差，选择了 2200μF 电容器。

8.2.2.5 电流检测网络

电流检测网络由初级侧电流检测电阻器 R_{CS}、滤波元件 R_{CSF} 和 C_{CSF} 以及可选 R_P 组成。通常，直流检测信号包含与主电源 MOSFET 的导通、输出整流器的反向恢复以及其他因素（包括寄生电容的充电和放电）相关的大振幅前沿尖峰。因此，C_{CSF} 和 R_{CSF} 形成一个低通滤波器，用于提供抗扰度以抑制前沿尖峰。对于该转换器，C_{CSF} 选择为 100pF。

在没有 R_P 的情况下，R_{CS} 根据 ISENSE 引脚的最大振幅（指定为 1V）设置变压器初级侧的最大峰值电流。为了实现 1.36A 初级侧峰值电流，为 R_{CS} 选择了 0.75Ω 的电阻器。

ISENSE 的高电流检测阈值有助于为系统提供更好的抗噪性能，但也会导致电流检测电阻的损耗更高。通过使用 R_P 向电流检测信号中注入失调电压，可以将这些电流检测损耗降至最低。R_P 和 R_{CSF} 形成一个电阻分压器网络（从电流检测信号到器件的基准电压 VREF），这为电流检测电压增加了失调电压。该技术仍然实现电流模式控制，并具有逐周期过流保护功能。要计算所需的失调电压值 (V_{OFFSET})，请使用方程式 22。

$$V_{OFFSET} = \frac{R_{CSF}}{R_{CSF} + R_P} \times V_{REF} \quad (22)$$

一旦添加 R_P，相应地调整电流检测电阻器 R_{CS}。

8.2.2.6 栅极驱动电阻器

R_G 是电源开关 Q_{SW} 的栅极驱动电阻器。该电阻值的选择必须与 EMI 符合性测试和效率测试结合起来进行。对 R_G 使用较大的电阻值会减慢 MOSFET 的导通和关断速度。开关速度越慢 EMI 会降低，但开关损耗也会增加。必须仔细权衡开关损耗和 EMI 性能。对于此设计，选择了 10Ω 电阻器用于栅极驱动电阻器。

8.2.2.7 VREF 电容器

高精度 5V 基准电压具有几项重要的功能。基准电压在内部分压至 2.5V，并连接到误差放大器的同相输入端，以实现精确的输出电压调节。基准电压的其他作用包括为振荡器上限和下限等功能设置内部偏置电流和阈值。因此，必须使用陶瓷电容器 (C_{VREF}) 对基准电压进行旁路，为此转换器选择了 1μF、16V 陶瓷电容器。该电容器在物理印刷电路板布局布线上的位置必须尽可能靠近各自的 VREF 和 GROUND 引脚。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.8 RT/CT

内部振荡器使用计时电容器 (C_{CT}) 和计时电阻器 (R_{RT}) 来对振荡器频率和最大占空比进行编程。可根据 *节 8.2.3* 中的曲线对工作频率进行编程，其中一旦选择了计时电容器，即可找到计时电阻器。计时电容器最好具有平坦的温度系数，这是大多数 COG 或 NPO 型电容器的典型特性。对于该转换器，为 R_{RT} 和 C_{CT} 选择了 15.4kΩ 和 1000pF，以在 110kHz 开关下工作。

8.2.2.9 启动电路

在启动时，IC 通过高压电阻器 R_{START} 直接从高压体获得功率。启动电阻器的选择是功率损耗和启动时间之间进行权衡。在最小输入电压下流过 R_{START} 的电流必须高于 UVLO 条件下的 VCC 电流（最大值为 1mA）。为 R_{START} 选择了 100kΩ 的电阻，在低压线路条件下提供 1mA 的启动电流。启动电阻器在物理上由两个 50kΩ 电阻器串联组成，以满足高压要求和高压线路的额定功率。

在 VCC 充电超过 UVLO 导通阈值后，UC2842 开始消耗全部工作电流。VCC 电容器需要提供足够的能量，以防止在启动期间电压下降到 UVLO 关断阈值以下，然后输出才能够达到调节电平。大容量电容可容纳更多能量，但会导致启动时间变慢。该设计中选择了 120µF 电容器，以提供足够的能量并保持启动时间大概 2 秒。

8.2.2.10 电压反馈补偿

反馈补偿，也称为闭环控制，可以减少或消除稳态误差，降低系统对参数变化的敏感度，在某些期望的频率范围内更改系统的增益或相位，减少小信号负载干扰和噪声对系统性能的影响，并从不稳定系统创建稳定的系统。如果系统对扰动的响应是扰动最终消失，则系统就是稳定的。峰值电流模式反激式使用外部电压反馈环路来稳定转换器。为了充分补偿电压回路，必须确定功率级的开环参数。

8.2.2.10.1 功率级极点和零点

补偿固定频率反激式的第一步是验证转换器是连续导通模式 (CCM)，还是不连续导通模式 (DCM)。 如果初级电感 L_P 大于 DCM/CCM 边界模式工作的电感，称为临界电感或 L_{Pcrit}，则转换器在 CCM 中工作：

$$L_P > L_{Pcrit}, \text{then CCM} \tag{23}$$

$$L_{Pcrit} = \frac{R_{OUT} \times (N_{PS})^2}{2 \times f_{SW}} \times \left(\frac{V_{IN}}{V_{IN} + V_{OUT} \times N_{PS}}\right)^2 \tag{24}$$

对于整个输入电压范围，所选电感器的值大于临界电感器的值。所以，转换器以 CCM 工作，补偿环路需要基于 CCM 反激式公式进行设计。

电流-电压转换是通过外部的接地基准的电流检测电阻 R_{CS} 和 2R/R 的内部电阻分压器完成的，该分压器设置内部电流检测增益，即 A_{CS} = 3。 请注意，这些内部电阻器的确切值并不关键，但 IC 对电阻分压比提供了严格的控制，因此，无论实际电阻值如何变化，它们之间的相对值都会保持不变。

方程式 25 中所示的峰值电流模式控制 CCM 反激式转换器的固定频率电压控制环路的直流开环增益 G_O 通过首先使用方程式 25 中计算的输出负载 R_{OUT}、初级与次级匝数比 N_{PS}、最大占空比 D 来近似计算得出。

$$G_O = \frac{R_{OUT} \times N_{PS}}{R_{CS} \times A_{CS}} \times \frac{1}{\frac{(1-D)^2}{\tau_L} + (2 \times M) + 1} \tag{25}$$

在方程式 25 中，D 用方程式 26 计算，τ_L 用方程式 27 计算，M 用方程式 28 计算。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULKmin} + (N_{PS} \times V_{OUT})} \tag{26}$$

Copyright © 2024 Texas Instruments Incorporated

$$\tau_L = \frac{2 \times L_P \times f_{SW}}{R_{OUT} \times (N_{PS})^2} \quad (27)$$

$$M = \frac{V_{OUT} \times N_{PS}}{V_{BULKmin}} \quad (28)$$

对于这种设计，输出电压 V_{OUT} 为 12V、48W 的转换器与输出负载 R_{OUT}（满载时等于 3Ω）有关。最大占空比计算为 0.627，电流检测电阻 R_{CS} 为 0.75Ω，初级与次级匝数比 N_{PS} 为 10，开环增益计算为 3.082 或 9.776dB。

CCM 反激式有两个相关的零点。ESR 和输出电容为功率级贡献了一个左半平面零点 ω_{ESRz}，该零点的频率 f_{ESRz} 由方程式 30 计算。

$$\omega_{ESRz} = \frac{1}{R_{ESR} \times C_{OUT}} \quad (29)$$

$$f_{ESRz} = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}} \quad (30)$$

当输出电容为 2200μF 且总 ESR 为 43mΩ 时，f_{ESRz} 零点位于 1.682kHz。

CCM 反激式转换器在传递函数的右半平面 RHP 中有一个零点。RHP 零点与左半平面零点相似，随着频率增加，具有相同的 20dB/十倍频程上升增益幅度，但 RHP 零点增加了 90° 相位滞后，而不是超前。这种相位滞后往往会限制整个环路带宽。RHP 零点 ω_{RHPz} 的频率位置 f_{RHPz} 是输出负载、占空比、初级电感 L_P 和初级到次级侧匝数比 N_{PS} 的函数。

$$\omega_{RHPz} = \frac{R_{OUT} \times (1-D)^2 \times (N_{PS})^2}{L_P \times D} \quad (31)$$

$$f_{RHPz} = \frac{R_{OUT} \times (1-D)^2 \times (N_{PS})^2}{2 \times \pi \times L_P \times D} \quad (32)$$

输入电压越高，负载越轻，右半平面零点频率就越高。通常，设计需要考虑最低右半平面零点频率的最坏情况，并且必须在最小输入和最大负载条件下对转换器进行补偿。初级电感为 1.5mH，在 75V 直流输入下，RHP 零点频率 f_{RHPz} 在最大占空比、满载时等于 7.07kHz。

功率级有一个主导极点 ω_{P1}，它位于感兴趣的区域中，处在较低的频率 f_{P1} 处，与占空比 D、输出负载和输出电容有关，用方程式 34 计算。还有一个双极点放在转换器开关频率的一半处，f_{P2} 用方程式 36 计算。在本例中，极点 f_{P1} 位于 40.37Hz，而 f_{P2} 位于 55kHz。

$$\omega_{P1} = \frac{\frac{(1-D)^3}{\tau_L} + 1 + D}{R_{OUT} \times C_{OUT}} \quad (33)$$

$$f_{P1} = \frac{\frac{(1-D)^3}{\tau_L} + 1 + D}{2 \times \pi \times R_{OUT} \times C_{OUT}} \quad (34)$$

$$\omega_{P2} = \pi \times f_{SW} \quad (35)$$

Copyright © 2024 Texas Instruments Incorporated

$$f_{P2} = \frac{f_{SW}}{2} \tag{36}$$

8.2.2.10.2 斜率补偿

斜坡补偿是指在占空比超过 50% 的情况下可能出现的大信号次谐波不稳定，其中上升的初级侧电感器电流斜率可能与下降的次级侧电流斜率不匹配。分谐波振荡将导致输出电压纹波增加，甚至会限制转换器的功率处理能力。

斜坡补偿的目标是在一半的开关频率下实现理想的质量系数 Q_P，即等于 1。Q_P 通过方程式 37 计算得出。

$$Q_P = \frac{1}{\pi \times [M_C \times (1 - D) - 0.5]} \tag{37}$$

在方程式 37 中，D 是初级侧开关占空比，M_C 是斜坡补偿系数，由方程式 38 定义。

$$M_C = \frac{S_e}{S_n} + 1 \tag{38}$$

在方程式 38 中，S_e 是补偿斜坡斜率，S_n 是电感上升斜率。斜坡补偿的最佳目标是使 Q_P 等于 1；重新排列方程式 38 后，确定斜坡补偿系数的理想值：

$$M_{ideal} = \frac{\frac{1}{\pi} + 0.5}{1 - D} \tag{39}$$

为了使该设计具有足够的斜率补偿，当 D 达到最大值 0.627 时，M_C 必须为 2.193。

利用方程式 40 计算 ISENSE 引脚处的电感器上升斜率 S_n。

$$S_n = \frac{V_{INmin} \times R_{CS}}{L_P} = 0.038 \frac{V}{\mu s} \tag{40}$$

利用方程式 41 计算补偿斜率 S_e 。

$$S_e = (M_C - 1) \times S_n = 44.74 \frac{mV}{\mu s} \tag{41}$$

补偿斜率通过 R_{RAMP} 和 R_{CSF} 添加到系统中。C_{RAMP} 是一个交流耦合电容器，其允许使用振荡器的电压斜坡，而不增加对电流检测的偏移量；选择一个接近高频短路的值（例如 10nF）作为起点，并根据需要进行调整。R_{RAMP} 和 R_{CSF} 电阻器从振荡器电荷斜率形成一个分压器，该比例斜坡被注入 ISENSE 引脚以增加斜坡补偿。选择远大于 R_{RT} 电阻的 R_{RAMP} 值，以便避免使内部振荡器的负载下降，导致频率偏移。 使用 RT/CT 锯齿波形的峰峰值电压 V_{OSCpp}（等于 1.7V）和最小导通时间计算振荡器电荷斜率，如方程式 43 所示。

$$t_{ONmin} = \frac{D}{f_{SW}} \tag{42}$$

$$S_{OSC} = \frac{V_{OSCpp}}{t_{ONmin}} = \frac{1.7\ V}{5.7\ \mu s} = 298 \frac{mV}{\mu s} \tag{43}$$

为了实现 44.74mV/μs 的补偿斜率，用方程式 44 计算 R_{CSF} 电阻。在本设计中，选择 R_{RAMP} 为 24.9kΩ，R_{CSF} 为 4.2kΩ 电阻器。

Copyright © 2024 Texas Instruments Incorporated

$$R_{CSF} = \frac{R_{RAMP}}{\frac{S_{OSC}}{S_e} - 1} \quad (44)$$

8.2.2.10.3 开环增益

一旦计算了功率级极点和零点并确定了斜坡补偿，CCM 反激式转换器的功率级开环增益和相位就可以作为频率的函数来绘制。功率级传递函数可以用方程式 45 表示。

$$H_{OPEN}(s) = G_0 \times \frac{\left(1 + \frac{s(f)}{\omega_{ESRz}}\right) \times \left(1 - \frac{s(f)}{\omega_{RHPz}}\right)}{1 + \frac{s(f)}{\omega_{P1}}} \times \frac{1}{1 + \frac{s(f)}{\omega_{P2} \times Q_P} + \frac{s(f)^2}{(\omega_{P2})^2}} \quad (45)$$

可以使用方程式 46 绘制开环增益和相位的波特图。

$$Gain_{OPEN}(s) = 20 \times \log(|H_{OPEN}(s)|) \quad (46)$$

（请参阅图 8-3 和图 8-4）。

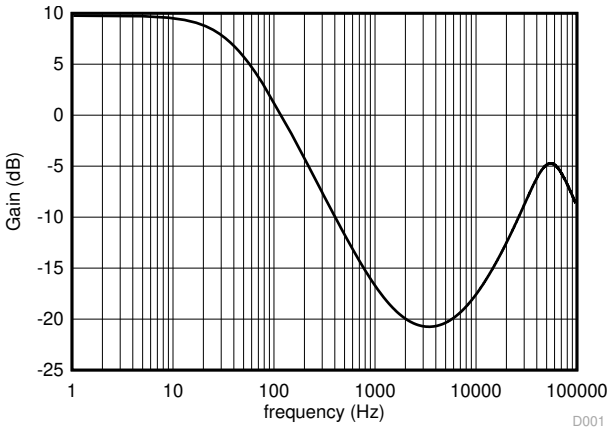


图 8-3. 转换器开环波特图 - 增益

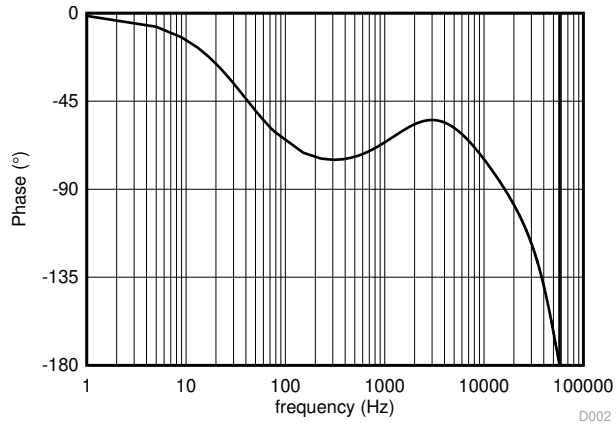


图 8-4. 转换器开环波特图 - 相位

8.2.2.10.4 补偿环路

补偿环路的设计涉及选择适当的元件，以便可以设计所需的增益、极点和零点，从而在整个工作范围内形成稳定的系统。环路有三个不同的部分：TL431、光耦合器和误差放大器。这些阶段中的每个阶段都与功率级相结合，以形成稳定且稳健的系统。

为了获得良好的瞬态响应，最终设计的带宽必须尽可能大。使用方程式 47，CCM 反激式的带宽 f_{BW} 被限制为 RHP 零点频率的 ¼，或大概为 1.77kHz。

$$f_{BW} = \frac{f_{RHPz}}{4} \quad (47)$$

可以使用方程式 46 计算 或在波特图（图 8-3）上观察到 f_{BW} 处的开环功率级的增益，该增益等于 -19.55dB，且 f_{BW} 处的相位等于 -58°。

补偿环路的次级侧部分首先建立调节后的稳态输出电压。为了设置稳压输出电压，TL431 可调节精密并联稳压器非常适合用于隔离转换器的次级侧，因其具有精确的电压基准和内部运算放大器。从转换器输出端子到 TL431

Copyright © 2024 Texas Instruments Incorporated

REF 引脚的分压器中使用的电阻器是根据所需的功耗选择的。由于 TL431 的 REF 输入电流仅为 2μA，因此为 1mA 的分压器电流 I_{FB_REF} 选择电阻器所产生的误差将极小。使用方程式 48 计算顶部分压器电阻 R_{FBU}：

$$R_{FBU} = \frac{V_{OUT} - REF_{TL431}}{I_{FB_REF}} \tag{48}$$

TL431 基准电压 REF_{TL431} 的典型值为 2.495V。为 R_{FBU} 选用 9.53kΩ 电阻器。为了将输出电压设置为 12V，为 R_{FBB} 使用 2.49kΩ。

$$R_{FBB} = \frac{REF_{TL431}}{V_{OUT} - REF_{TL431}} \times R_{FBU} \tag{49}$$

为了获得良好的相位裕度，需要一个补偿器零点 f_{COMPz}，并且必须将其放置在所需带宽的 1/10 处：

$$f_{COMPz} = \frac{f_{BW}}{10} \tag{50}$$

$$\omega_{COMPz} = 2 \times \pi \times f_{COMPz} \tag{51}$$

使用该转换器，f_{COMPz} 必须设置为大概 177Hz。设置在 TL431 阴极至 REF 之间的串联电阻器 R_{COMPz} 和电容器 C_{COMPz} 设置补偿器零点位置。将 C_{COMPz} 设置为 0.01μF，使用方程式 52 计算 R_{COMPz}：

$$R_{COMPz} = \frac{1}{\omega_{COMPz} \times C_{COMPz}} \tag{52}$$

对 R_Z 使用 88.7kΩ 的标准值并对 C_Z 使用 0.01μF，可得出零点位于 179Hz 处。

参考图 8-2，R_{TLbias} 通过齐纳二极管 D_{REG} 提供的调节电压为 TL431 提供阴极电流。为了实现稳健的性能，通过 10V 齐纳提供 10mA 来偏置 TL431，并对 R_{TLbias} 使用 1kΩ 电阻器。

补偿回路的 TL431 部分的增益可写成：

$$G_{TL431}(s) = \left(R_{COMPz} + \frac{1}{s(f) \times C_{ZCOMPz}}\right) \times \frac{1}{R_{FBU}} \tag{53}$$

在右半平面零点或 ESR 零点的频率（以最低者为准）处需要一个补偿极点。根据之前的分析，右半平面零点 f_{RHPz} 位于 7.07kHz 处，ESR 零点 f_{ESRz} 位于 1.68kHz 处；因此，对于这种设计，补偿极点必须设置在 1.68kHz 处。光耦合器包含一个难以在频率上表征的寄生极，因此该光耦合器设置了一个下拉电阻器，即 R_{OPTO} 等于 1kΩ，这使得寄生光耦合器极进一步移出，超出了本设计的关注范围。

可以使用 R_{COMPp} 和 C_{COMPp} 将所需的补偿极点添加到初级侧误差放大器中。选择 R_{COMPp} 为 10kΩ，使用方程式 54 确定 C_{COMPp} 的所需值。

$$C_{COMPp} = \frac{1}{2 \times \pi \times f_{ESRz} \times R_{COMPp}} = 9.46\ nF \tag{54}$$

C_{COMPp} 使用 10nF 电容器来将补偿极点设置为 1.59kHz。

可能需要在初级侧误差放大器上添加直流增益，以获得所需的带宽，并有助于根据需要调整环路增益。对于 R_{FBG} 使用 4.99kΩ 将误差放大器上的直流增益设置为 2。此时，补偿回路的误差放大器级的增益传递函数 $G_{EA}(s)$ 可以表征为：

Copyright © 2024 Texas Instruments Incorporated

$$G_{EA}(s) = \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + s(f) \times C_{COMPp} \times R_{COMPp}}\right) \quad (55)$$

使用其电流传输比 (CTR) 通常在相关频率范围内为 100% 的光耦合器，以便 CTR=1，光耦合器级的传递函数 $G_{OPTO}(s)$ 等于：

$$G_{OPTO}(s) = \frac{CTR \times R_{OPTO}}{R_{LED}} \quad (56)$$

至光耦合器内部二极管的偏置电阻器 R_{LED} 和光发射器上的下拉电阻器 R_{OPTO} 设置跨隔离边界的增益。R_{OPTO} 已设置为 1kΩ，但 R_{LED} 的值尚未确定。

总闭环增益 $G_{TOTAL}(s)$ 是开环功率级 $H_o(s)$、光增益 $G_{OPTO}(s)$、误差放大器增益 $G_{EA}(s)$ 和 TL431 级增益 $G_{TL431}(s)$ 的组合：

$$G_{TOTAL}(s) = |H_{OPEN}(s)| \times |G_{OPTO}(s)| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (57)$$

可以选择 R_{LED} 的所需值以实现所需的交叉频率 f_{BW}。通过在所需的交叉频率处将总环路增益设置为 1 并重新排列方程式 57，可以确定 R_{LED} 的最优值，如方程式 58 所示。

$$R_{LED} \leq |H_{OPEN}(s)| \times |CTR \times C_{OPTO}| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (58)$$

1.3kΩ 电阻器适合 R_{LED} 的要求。

基于补偿环路结构，将整个补偿环路传递函数写成方程式 59。

$$G_{CLOSED}(s) = H_{OPEN}(s) \times \left(\frac{CTR \times R_{OPTO}}{R_{LED}}\right) \times \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + \left(s \times C_{COMPp} \times R_{COMPp}\right)}\right) \times \left(\frac{R_{COMPz} + \left(\frac{1}{s \times C_{COMPz}}\right)}{R_{FBU}}\right) \quad (59)$$

最终的闭环波特图如图 8-5 和图 8-6 所示。该转换器实现的交叉频率大概为 1.8kHz，相位裕度大概为 67°。

TI 建议检查所有临界情况下的环路稳定性，包括元件公差，以确保系统稳定性。

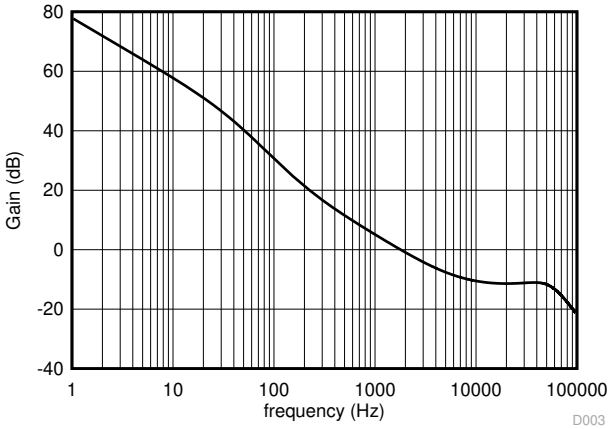


图 8-5. 转换器闭环波特图 - 增益

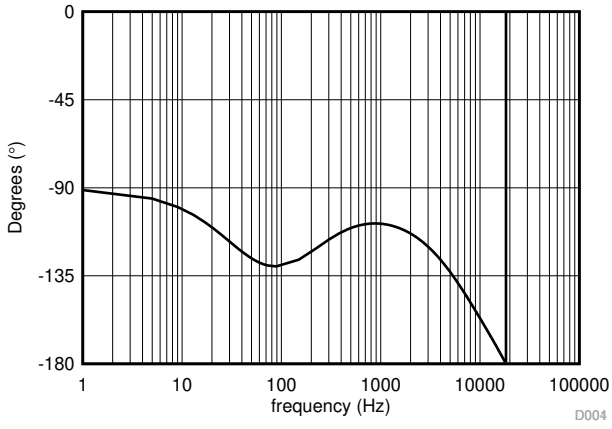


图 8-6. 转换器闭环波特图 - 相位

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线

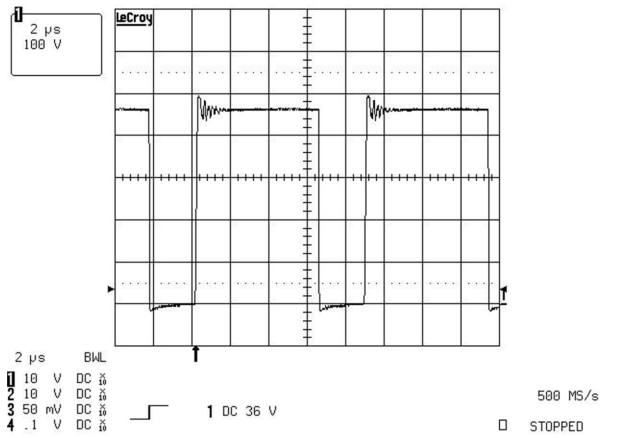


图 8-7. 240V 交流输入下的初级侧 MOSFET 漏源电压 (100V/div)

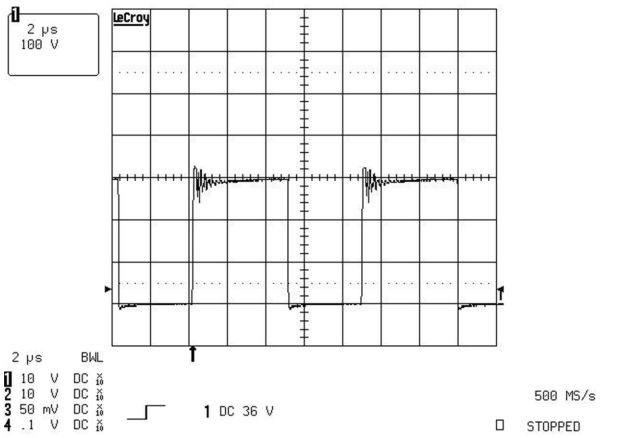


图 8-8. 120V 交流输入下的初级侧 MOSFET 漏源电压 (100V/div)

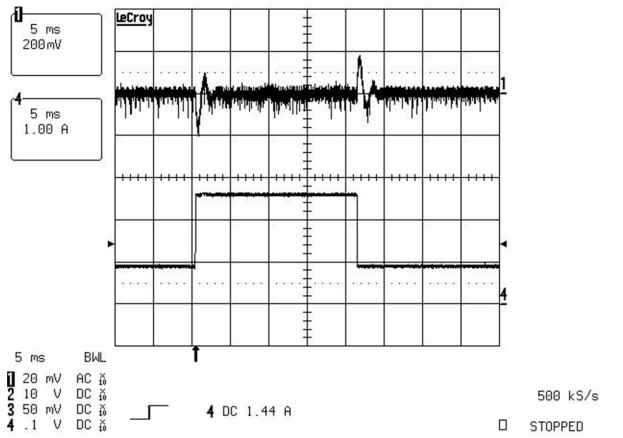


图 8-9. 0.9A 至 2.7A 负载瞬态期间的输出电压（CH1：输出电压交流耦合，200mV/div；CH4：输出电流，1A/div）

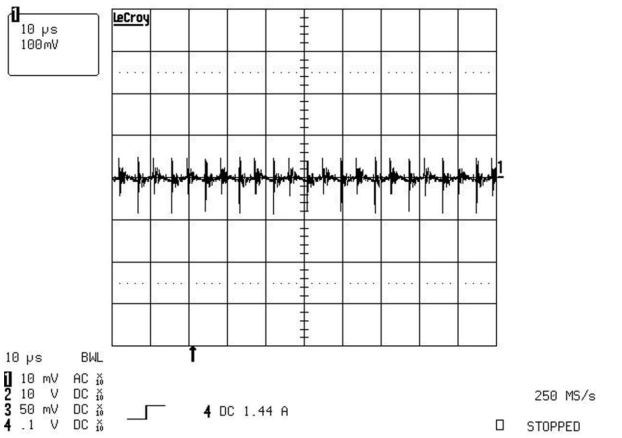


图 8-10. 满载条件下的输出电压纹波 (100mV/div)

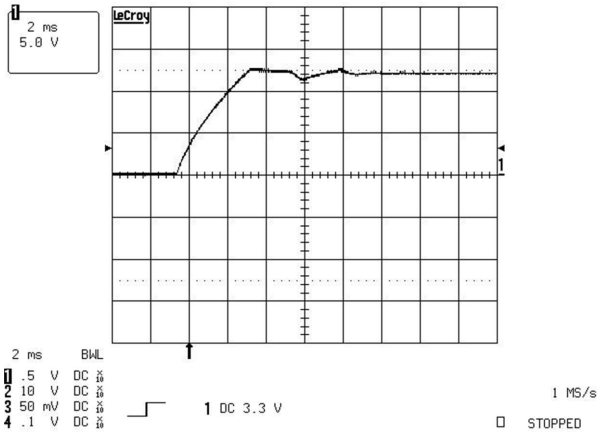


图 8-11. 满载启动条件下的输出电压行为 (5V/div)

8.3 电源相关建议

使用 0.1μF 至 1μF 陶瓷电容器，将 IC 电源 (VCC) 和基准电压 (VREF) 引脚旁路至地，这很重要。电容器必须尽可能靠近实际引脚连接，以实现最佳的噪声滤除效果。在离线应用中，可能还需要第二个更大的滤波电容器，以便在启动期间将电源电压 (VCC) 保持在 UVLO 关断阈值以上。

为了防止由于前沿噪声而引起的误触发，ISENSE 上可能需要 RC 电流检测滤波器。保持 RC 滤波器的时间常数远低于最小导通时间脉冲宽度。

OUTPUT 引脚上可能需要肖特基二极管，以分别防止由于电源轨和地的高阻抗而产生的过冲和下冲。必须使用放在 MOSFET 的栅极和源极之间的泄放电阻器来防止在欠压锁定期间用额外的漏电流激活电源开关。

为了防止高速开关瞬态的噪声问题，请使用靠近 IC 封装的陶瓷电容器将 VREF 旁路至接地。至少需要 0.1μF 陶瓷电容器。基准上的外部负载需要额外的 VREF 旁路。除陶瓷电容器外，还可以使用电解电容器。

8.4 布局

8.4.1 布局指南

8.4.1.1 反馈布线

尽量使反馈布线远离电感器和有噪声的电源布线。反馈布线应尽可能直且宽。这两者之间有时需要权衡，但两者中更关键的是要使布线远离 EMI 和其他噪声源。如果可能，则在与电感器相对的 PCB 一侧铺设反馈布线，并使用接地平面将两者分开。

8.4.1.2 旁路电容器

当使用低值陶瓷旁路电容器时，电容器必须位于尽可能靠近器件 VCC 引脚的位置。这可以消除尽可能多的走线电感效应，并为内部器件导轨提供更干净的电压电源。使用表面贴装电容器还可以减少引线长度，并降低噪声耦合到穿孔元件所形成的有效天线的可能性。

8.4.1.3 补偿器件

为了获得稳定性，外部补偿元件必须放置在靠近 IC 的位置。使 VFB 引线长度保持尽可能短，并使 VFB 杂散电容保持尽可能小。出于对滤波电容器的相同原因，此处也建议使用表面贴装元件。这些元件的位置不能非常靠近具有高开关噪声的布线。

8.4.1.4 布线和接地平面

确保所有电源（大电流）布线尽可能短、直且宽。标准 PCB 板的一种良好实践是，每安培电流使用绝对最小值为 15mil (0.381mm) 的布线。电感器、输出电容器和输出二极管必须尽可能彼此靠近。这有助于减少通过电源布线的

Copyright © 2024 Texas Instruments Incorporated

大开关电流而产生的 EMI。这也减少了引线电感和电阻，从而减少了产生电压误差的噪声尖峰、振铃和电阻损耗。

IC、输入电容器、输出电容器和输出二极管（如适用）的接地端可紧密相连，直接连接到接地平面。在 PCB 的两侧都使用接地平面也是一个不错的选择。这还通过减少接地环路误差以及吸收更多电感器辐射的 EMI 来减少噪声。对于超过两层的多层板，可以使用接地平面来将电源平面（电源布线和元件所在的位置）和信号平面（反馈和补偿以及元件所在的位置）分开，以提高性能。在多层板上，需要使用过孔来连接走线和不同的平面。如果布线需要将大量电流从一个平面传导到另一个平面，则每 200mA 电流使用一个标准过孔是一种良好做法。

排列组件，使得开关电流环路以同一方向旋转回流。由于开关稳压器的工作方式，有两种电源状态。一种是开关打开时的状态，另一种是开关关闭时的状态。在每个状态下，都有一个由当前导通的电源元件构成的电流环路。放置电源元件时确保在两种状态中的每一种状态下，电流环路都会以相同的方向导通。这可以防止两个半周期之间的布线引起的磁场反转，并减少辐射的 EMI。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

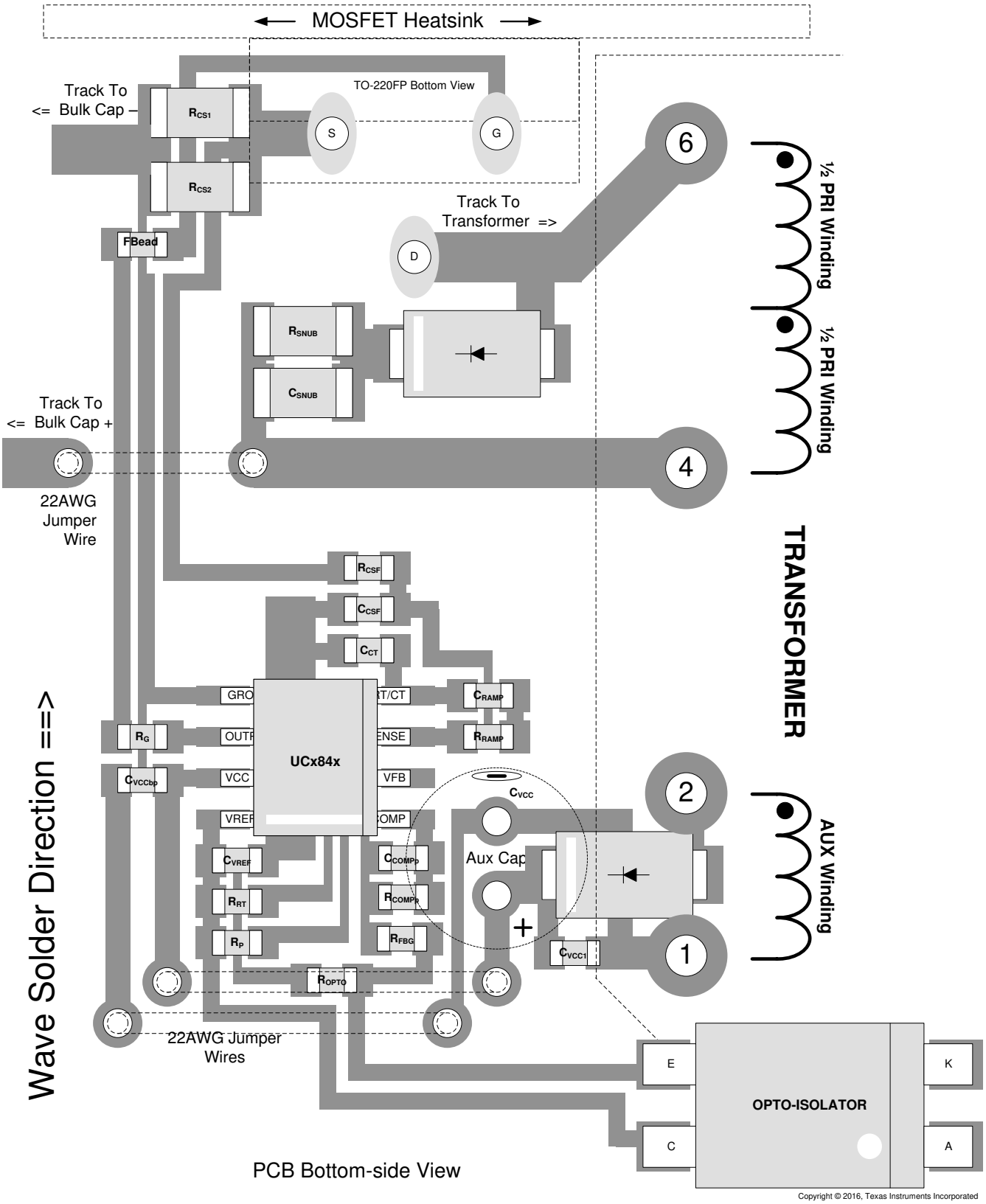


图 8-12. UCx84x 布局示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (July 2022) to Revision H (October 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将 ESD 等级、CDM 等级从 ±3000V 更改为 ±2000V	5
• 更改了 D-8、D-14 和 P-8 封装的热性能信息	5
• 更改了输出部分：将上升和下降时间的典型值从 50ns 更改为 25ns（位于“电气特性”部分）	6
• 更改了 PWM：将 UCx842/3 最大占空比的最小值从 95% 更改为 92%（位于“电气特性”部分）	6
• 更改了总待机电流：将 VCC 齐纳电压的典型值从 34V 更改为 39V（位于“电气特性”部分）	6
• 更新了 $I_{discharge}$、$t_{deadtime}$ 和频率的*典型特性* 图	8

Changes from Revision F (April 2020) to Revision G (July 2022)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1

Changes from Revision E (January 2017) to Revision F (April 2020)	Page
• 更新了已更改的 UVLO 表	6

Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，可对此文档进行修订，恕不另行通知。。有关该数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670401PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
5962-8670401VPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401VPA UC1842
5962-8670401VPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401VPA UC1842
5962-8670401XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
5962-8670402PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843
5962-8670402XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/ 883B
5962-8670403PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
5962-8670403VXA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403VXA UC1844L QMLV
5962-8670403VXA.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403VXA UC1844L QMLV
5962-8670403XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/ 883B
5962-8670404DA	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	See UC1845W883B	5962-8670404DA UC1845W/883B
5962-8670404PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670404VPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404VPA UC1845
5962-8670404VPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404VPA UC1845
5962-8670404VXA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404VXA UC1845L QMLV
5962-8670404VXA.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404VXA UC1845L QMLV
5962-8670404XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1842J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842J
UC1842J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842J
UC1842J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
UC1842J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670401PA UC1842
UC1842L883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
UC1842L883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670401XA UC1842L/ 883B
UC1842W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842W
UC1842W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842W
UC1843J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843J
UC1843J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843J
UC1843J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1843J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670402PA UC1843
UC1843L	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843L
UC1843L.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843L
UC1843L883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/883B
UC1843L883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670402XA UC1843L/883B
UC1844J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844J
UC1844J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844J
UC1844J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
UC1844J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670403PA UC1844
UC1844L883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/883B
UC1844L883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670403XA UC1844L/883B
UC1845J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845J
UC1845J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845J
UC1845J883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845
UC1845J883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670404PA UC1845
UC1845L	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845L
UC1845L.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845L

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1845L883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1845L883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404XA UC1845L/ 883B
UC1845W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845W
UC1845W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845W
UC1845W883B	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-	5962-8670404DA UC1845W/883B
UC1845W883B.A	NRND	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670404DA UC1845W/883B
UC2842D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8G4	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8TR	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842D8TR.A	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842
UC2842DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842D
UC2842N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2842N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2842NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842N
UC2843D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2843
UC2843D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843
UC2843DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2843DTR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843DTR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843D
UC2843N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2843N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2843NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843N
UC2844D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2844D
UC2844D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2844
UC2844D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844
UC2844D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844
UC2844DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844D
UC2844DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844D
UC2844N	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2844N.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2844NG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844N
UC2845D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2845
UC2845D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845
UC2845DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845D
UC2845N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC2845N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC2845NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845N
UC3842D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842D8TR	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3842D8TR.A	NRND	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842
UC3842DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842D
UC3842N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3842N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3842NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842N
UC3843D	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843D.A	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843D8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843
UC3843DG4	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843D
UC3843N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3843N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3843NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843N
UC3844D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844D8	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844
UC3844DTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844DTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844DTRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844D
UC3844N	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N
UC3844N.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3844NG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844N
UC3845AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	0 to 70	UC3845AJ
UC3845AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	0 to 70	UC3845AJ
UC3845D	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845D.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845D8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3845
UC3845D8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845D8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845D8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845
UC3845DG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845DTR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845DTR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845D
UC3845N	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N
UC3845N.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N
UC3845NG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UC1842, UC1842-SP, UC1843, UC1844, UC1844-SP, UC1845, UC1845-SP, UC3842, UC3843, UC3844, UC3845, UC3845AM :

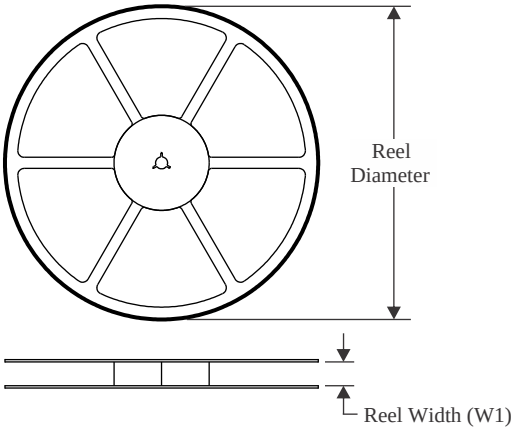
- Catalog : UC3842, UC1842, UC3843, UC3844, UC1844, UC3845, UC1845, UC3842M, UC3845A
- Enhanced Product : UC1845A-EP
- Military : UC1842, UC1843, UC1844, UC1845, UC1845A
- Space : UC1842-SP, UC1843-SP, UC1844-SP, UC1845-SP, UC1845A-SP

NOTE: Qualified Version Definitions:

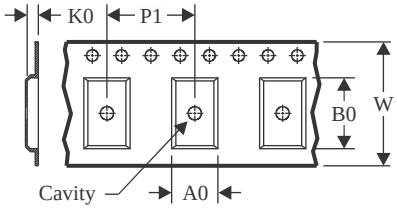
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

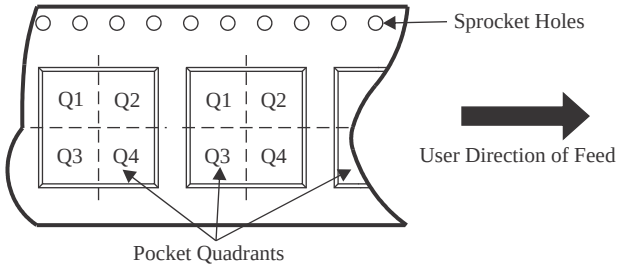


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

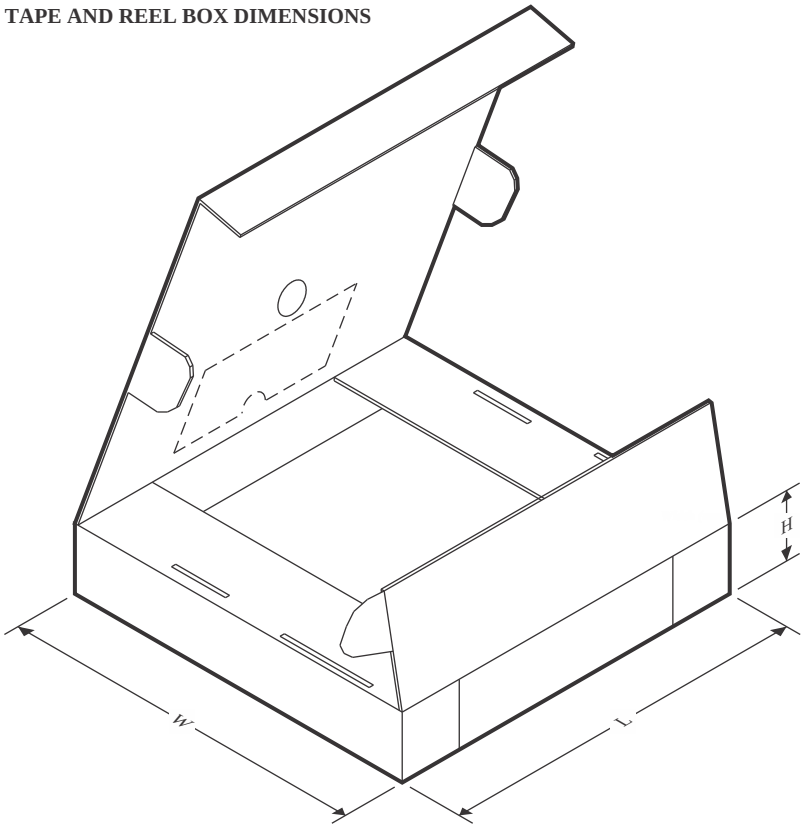
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC2842D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2843D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2843DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2844DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2845D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3842D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3842DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3843D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3843DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3844D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3844DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3845D8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3845DTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

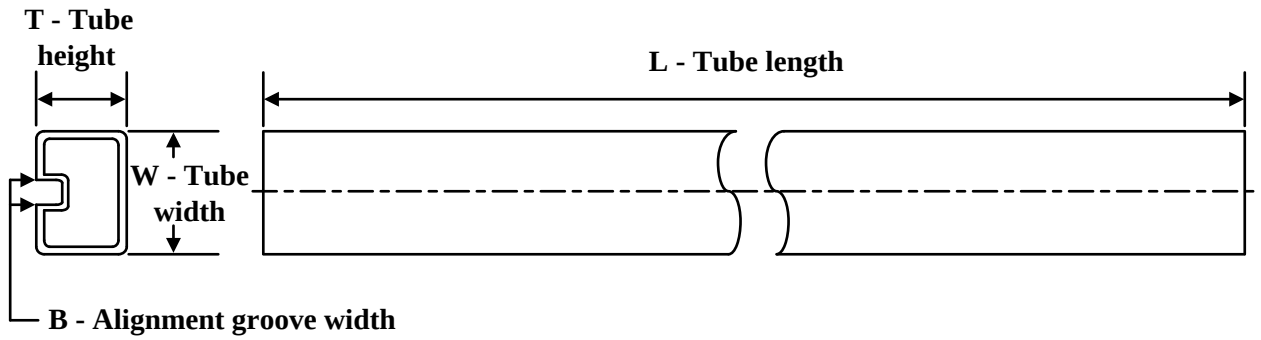
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UC2842D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2842DTR	SOIC	D	14	2500	340.5	336.1	32.0
UC2843D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2843DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2844DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2845D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2845DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3842D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3842DTR	SOIC	D	14	2500	340.5	336.1	32.0
UC3843D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3843DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3844D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3844DTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3845D8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3845DTR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE

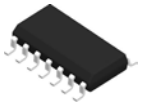


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8670401XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670402XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403VXA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403VXA.A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670403XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404DA	W	CFP	14	25	506.98	26.16	6220	NA
5962-8670404VXA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404VXA.A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670404XA	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842W	W	CFP	14	25	506.98	26.16	6220	NA
UC1842W.A	W	CFP	14	25	506.98	26.16	6220	NA
UC1843L	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845L883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845W	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W.A	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W883B	W	CFP	14	25	506.98	26.16	6220	NA
UC1845W883B.A	W	CFP	14	25	506.98	26.16	6220	NA
UC2842D	D	SOIC	14	50	507	8	3940	4.32
UC2842D.A	D	SOIC	14	50	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC2842D8	D	SOIC	8	75	507	8	3940	4.32
UC2842D8.A	D	SOIC	8	75	507	8	3940	4.32
UC2842D8G4	D	SOIC	8	75	507	8	3940	4.32
UC2842N	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843D	D	SOIC	14	50	507	8	3940	4.32
UC2843D.A	D	SOIC	14	50	507	8	3940	4.32
UC2843DG4	D	SOIC	14	50	507	8	3940	4.32
UC2843N	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844N	P	PDIP	8	50	506	13.97	11230	4.32
UC2844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845D	D	SOIC	14	50	507	8	3940	4.32
UC2845D.A	D	SOIC	14	50	507	8	3940	4.32
UC2845DG4	D	SOIC	14	50	507	8	3940	4.32
UC2845N	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842D	D	SOIC	14	50	507	8	3940	4.32
UC3842D.A	D	SOIC	14	50	507	8	3940	4.32
UC3842D8	D	SOIC	8	75	507	8	3940	4.32
UC3842D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3842N	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843D	D	SOIC	14	50	507	8	3940	4.32
UC3843D.A	D	SOIC	14	50	507	8	3940	4.32
UC3843D8	D	SOIC	8	75	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC3843D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3843D8G4	D	SOIC	8	75	507	8	3940	4.32
UC3843DG4	D	SOIC	14	50	507	8	3940	4.32
UC3843N	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844D	D	SOIC	14	50	507	8	3940	4.32
UC3844D.A	D	SOIC	14	50	507	8	3940	4.32
UC3844D8	D	SOIC	8	75	507	8	3940	4.32
UC3844D8.A	D	SOIC	8	75	507	8	3940	4.32
UC3844N	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845D	D	SOIC	14	50	507	8	3940	4.32
UC3845D.A	D	SOIC	14	50	507	8	3940	4.32
UC3845DG4	D	SOIC	14	50	507	8	3940	4.32
UC3845N	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845N.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845NG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845NG4	P	PDIP	8	50	506	13.97	11230	4.32

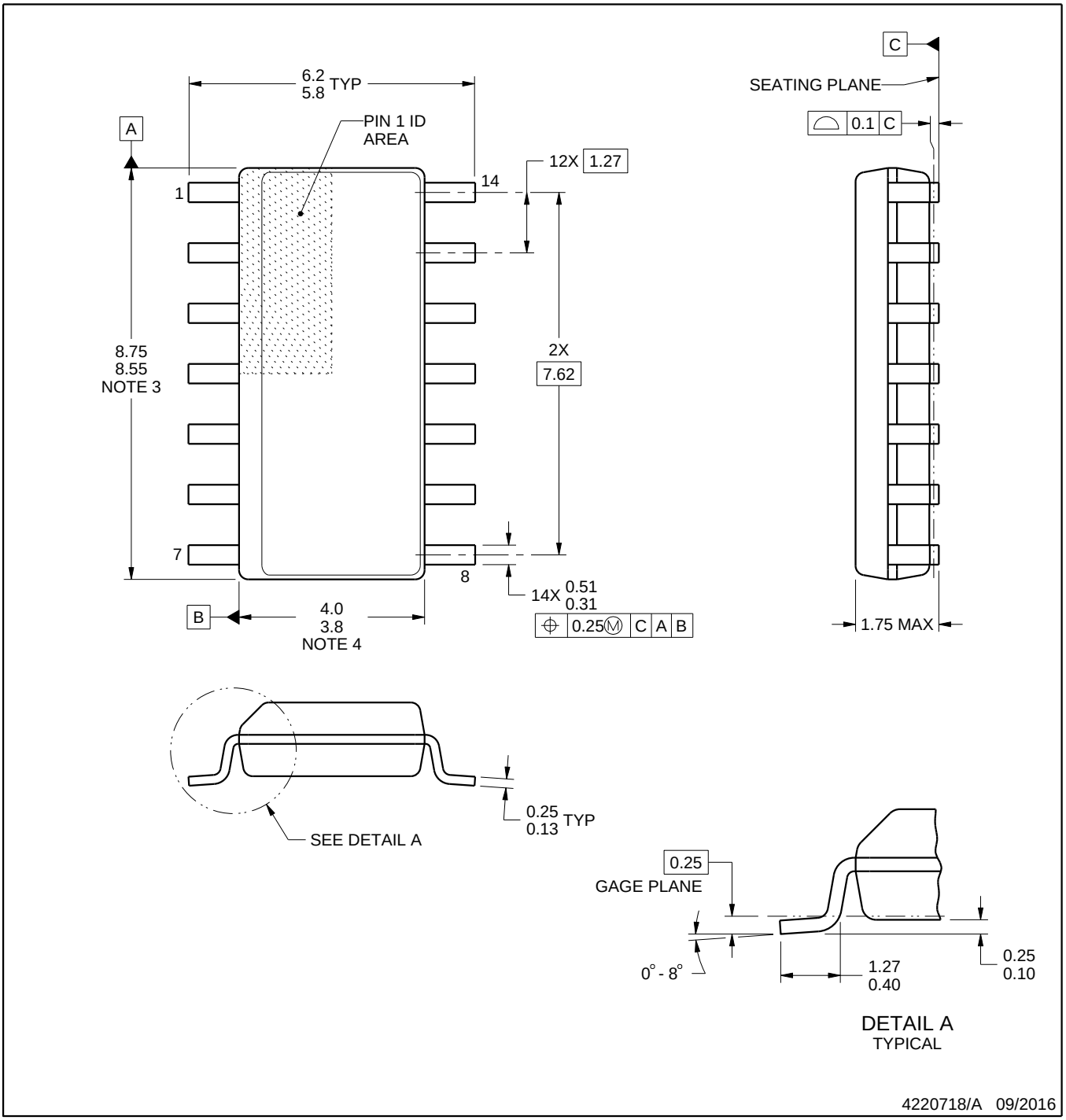


PACKAGE OUTLINE

D0014A

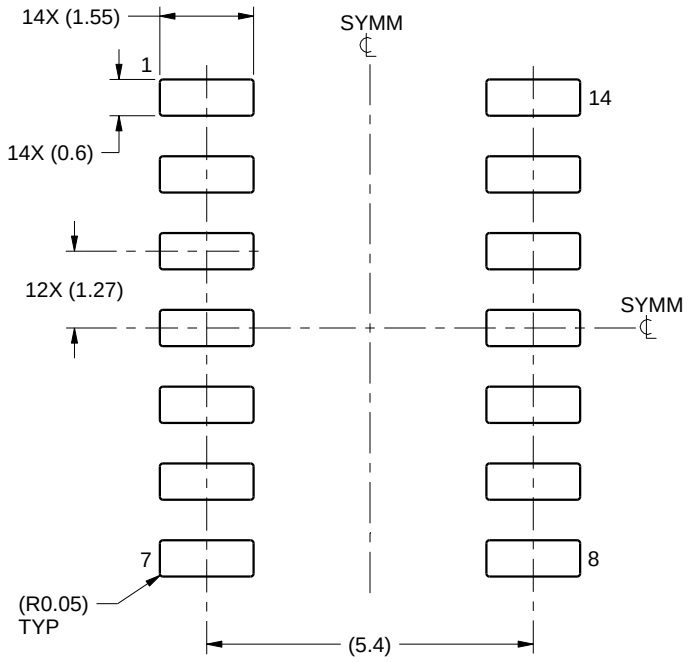
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

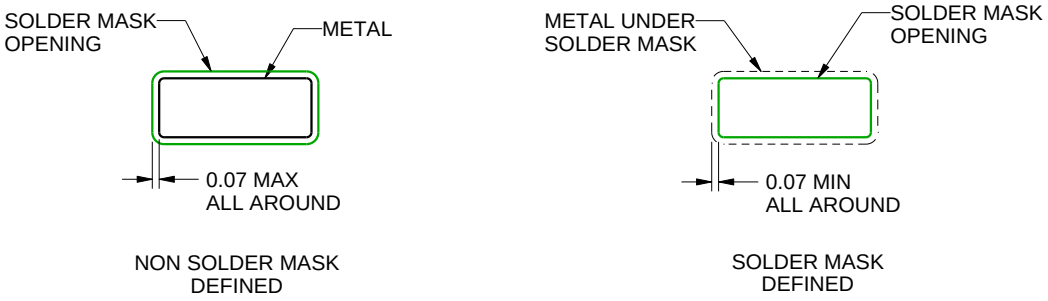


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

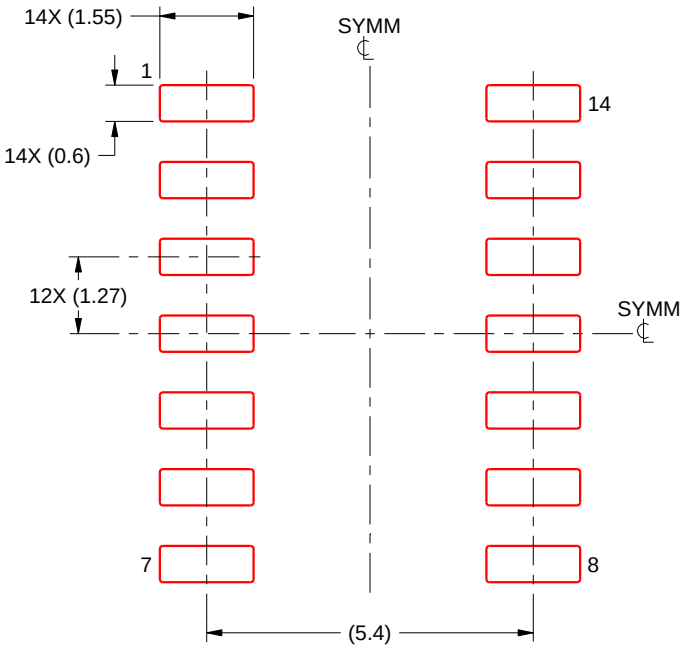
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



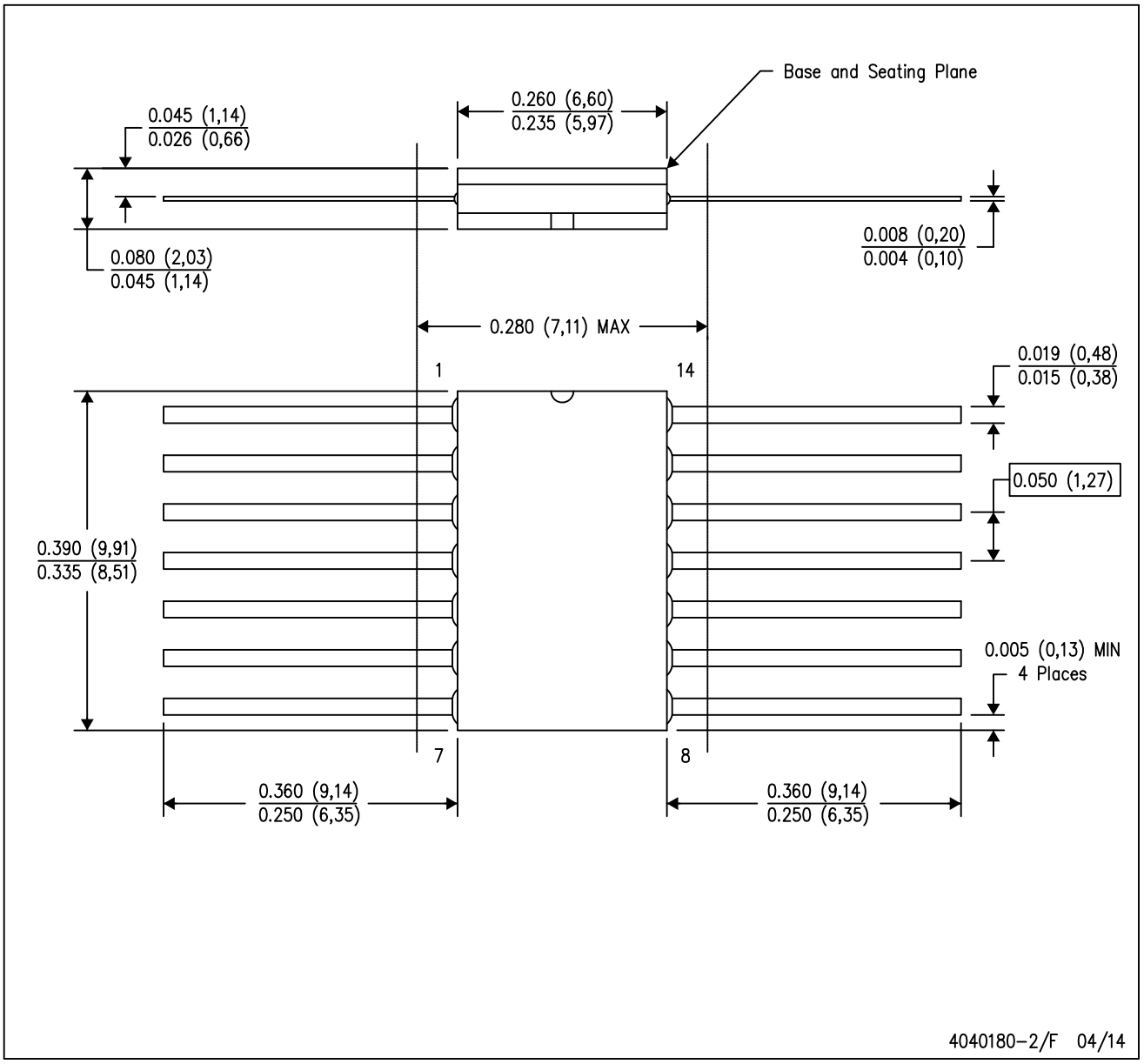
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

GENERIC PACKAGE VIEW

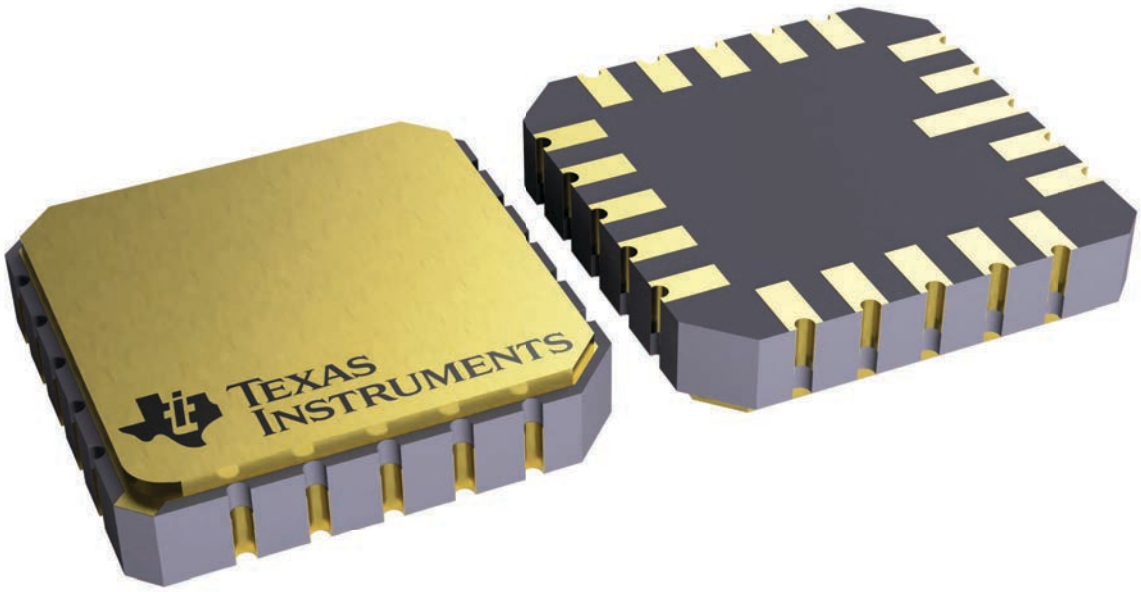
FK 20

LCCC - 2.03 mm max height

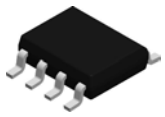
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

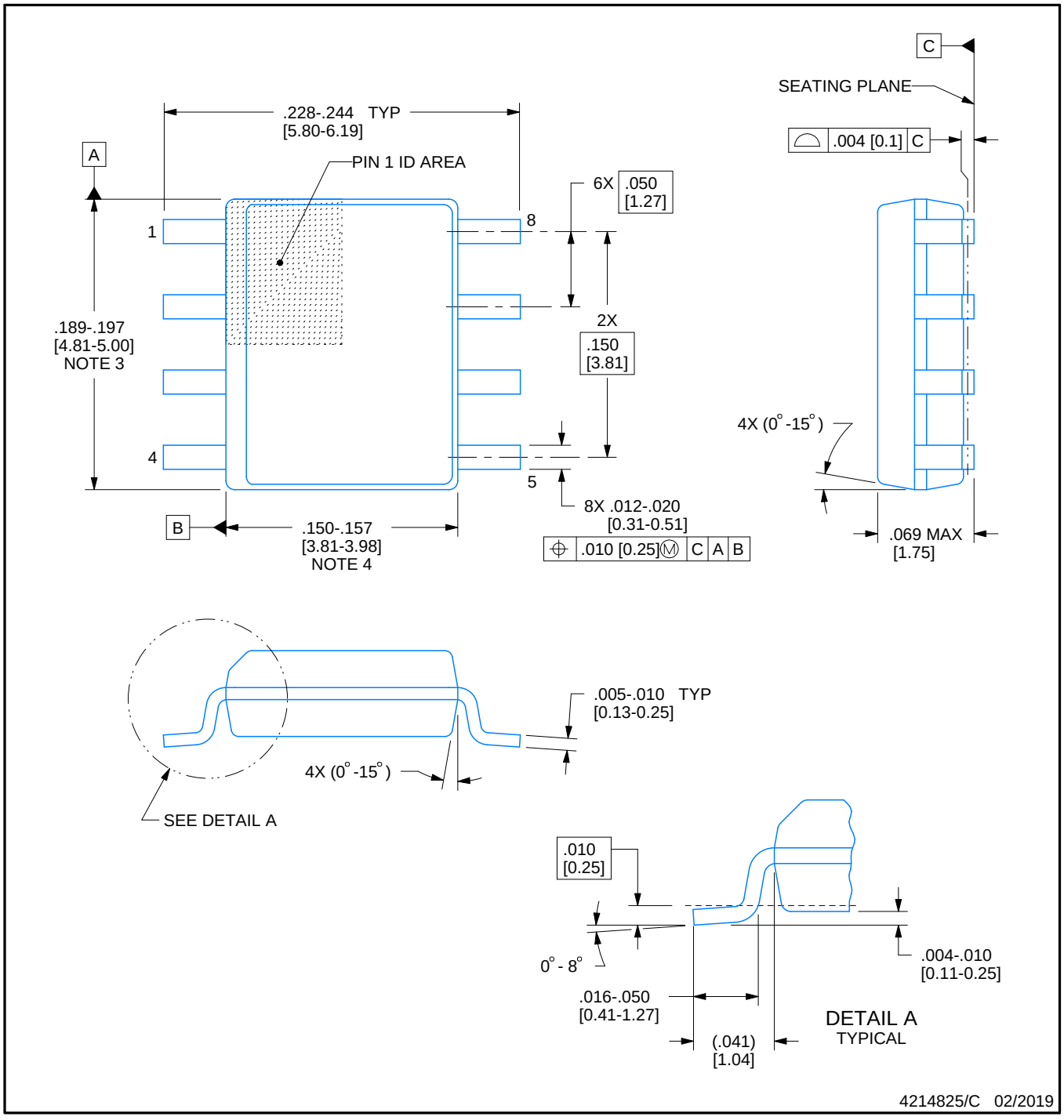


PACKAGE OUTLINE

D0008A

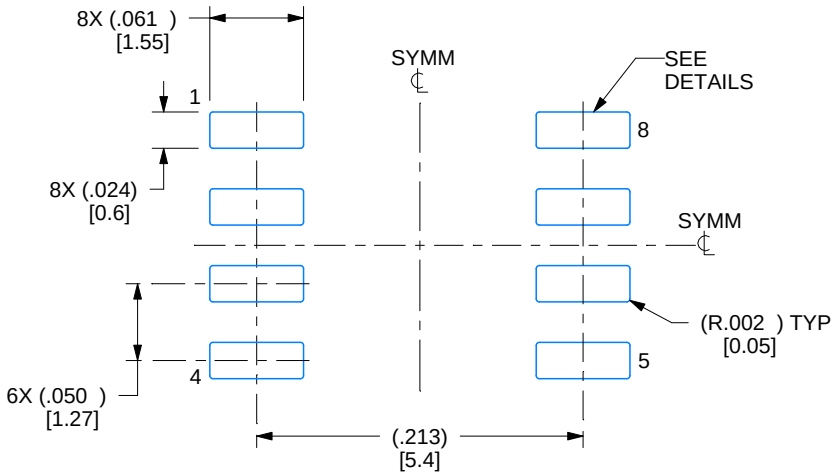
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

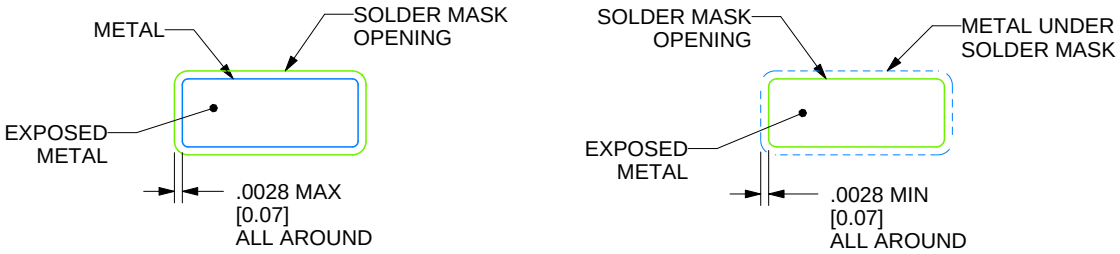


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

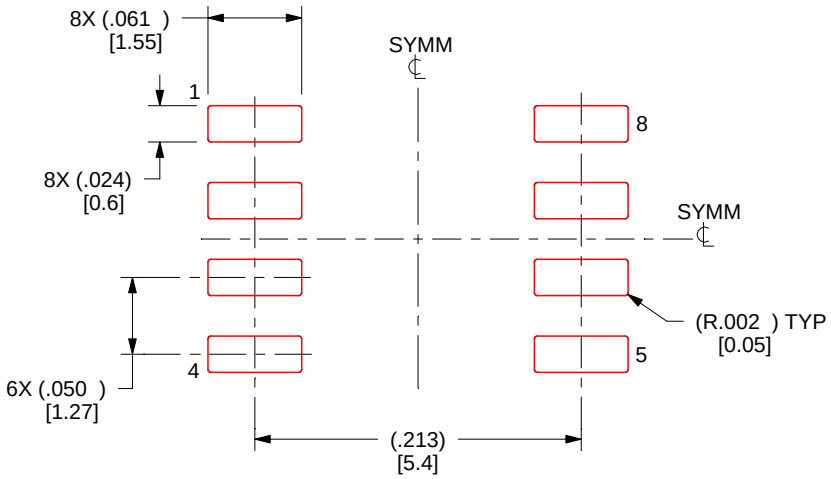
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



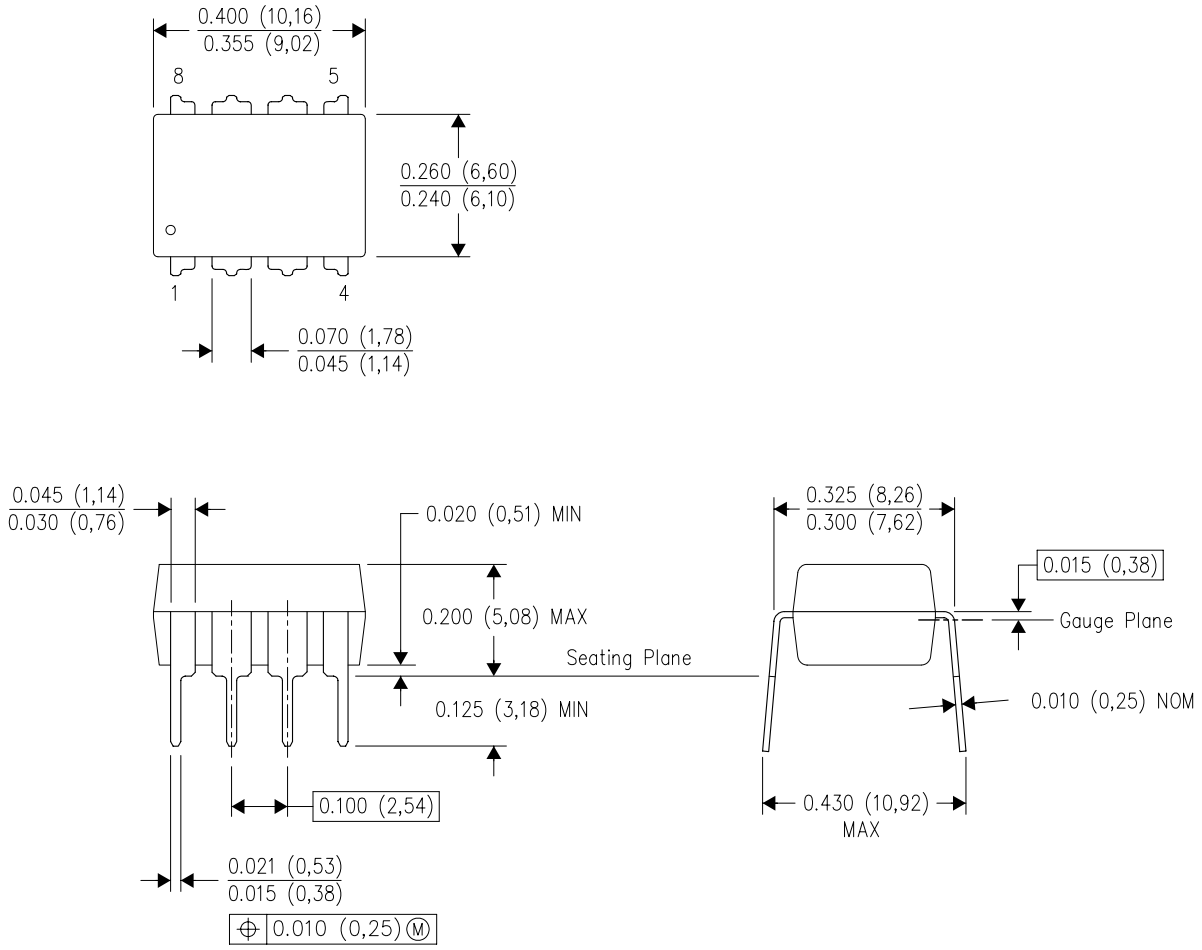
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



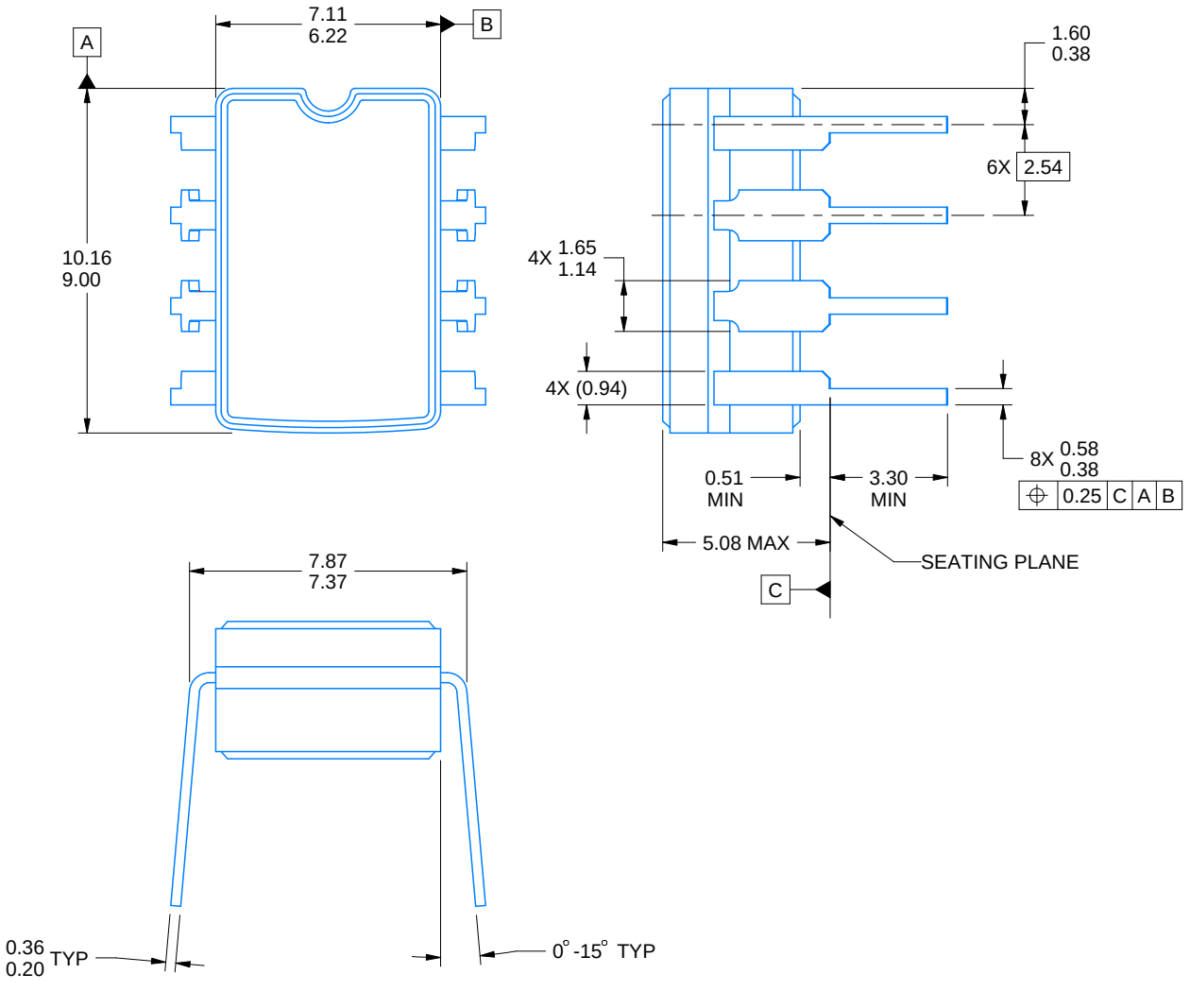
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

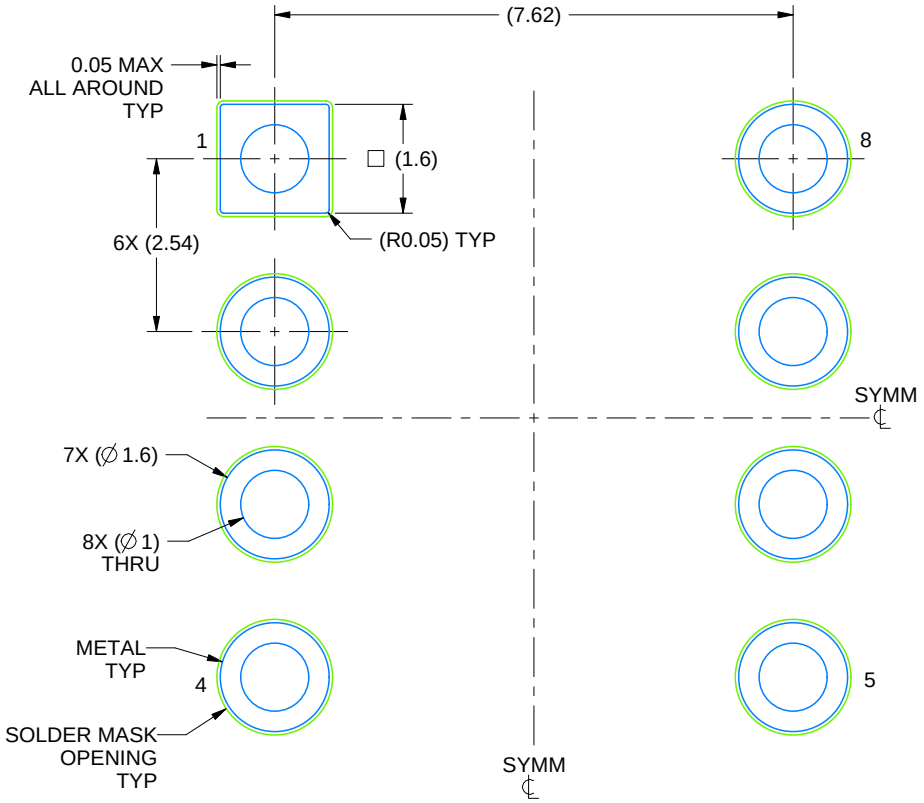
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月