UCC20225 的 2.5kV$_{RMS}$ 单路输入 LGA 封装隔离式双通道栅极驱动器

1 特性

- 具有可编程死区时间的单路输入、双路输出
- 节省空间的 5mm × 5mm LGA-13 封装
- 开关参数：
  - 19ns 典型传播延迟
  - 5ns 最大延迟匹配
  - 6ns 最大脉宽失真
- CMTI 大于 100V/ns
- 4A 峰值拉电流，6A 峰值灌电流输出
- TTL 和 CMOS 兼容输入
- 3V 至 18V 输入 VCCI 范围
- 可编程死区时间
- 抑制短于 5ns 的输入瞬变
- 可针对电源时序快速禁用
- 安全相关认证：
  - 符合 DIN V VDE V 0884-11:2017-01 标准的 3535V$_{PK}$ 隔离
  - 符合 UL 1577 标准且长达一分钟的 2500V$_{RMS}$ 隔离
  - 符合 GB4943.1-2022 的 CQC 认证

2 应用

- 服务器、电信、IT 和工业基础设施
- 交流/直流电源
- 电机驱动和直流/交流光伏逆变器
- HEV 和 BEV 电池充电器

3 说明

UCC20225 是单输入、双输出隔离式栅极驱动器，具有 4A 峰值拉电流和 6A 峰值灌电流，采用 5mm × 5mm LGA-13 封装。该驱动器被设计用于驱动高达 5MHz 的功率晶体管，具有出色的传播延迟和脉宽失真度。

输入侧通过一个 2.5kV$_{RMS}$ 隔离层与两个输出驱动器相隔离，其共模瞬态抗扰度 (CMTI) 的最小值为 100V/ns。两个输出侧驱动器之间采用内部功能隔离，支持高达 700V$_{DC}$ 的工作电压。

UCC20225 允许通过 DT 引脚上的电阻器实现可编程死区时间。DIS 引脚在设为高电平时可同时关断两个输出，并在接地时允许正常运行。

该器件接受的 VDD 电源电压高达 25V。凭借 3V 至 18V 宽 VCCI 电压范围，该驱动器非常适用于连接模拟和数字控制器。所有电源电压引脚都有欠压锁定 (UVLO) 保护机制。

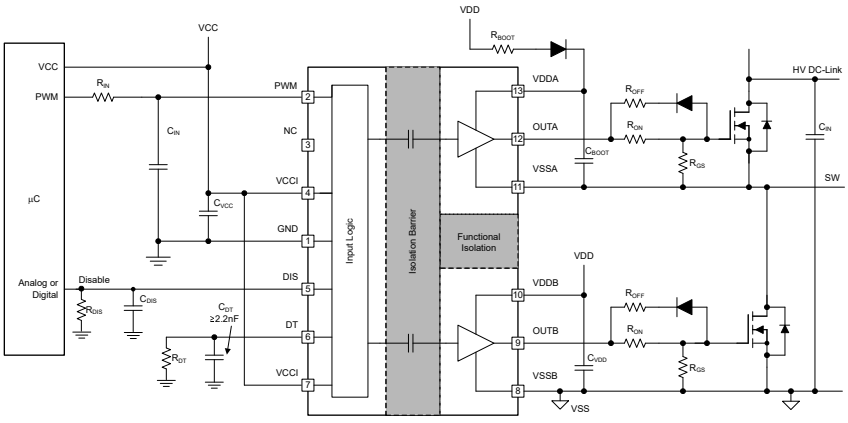
凭借所有这些高级特性，UCC20225 器件能够在各种各样的电源应用中实现高电源密度、高效率和稳健性。

封装信息

器件型号	封装(1)	封装尺寸(2)
UCC20225NPL	NPL LGA (13)	5mm × 5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 功率等级 5
5.6 绝缘规格 5
5.7 安全相关认证 6
5.8 安全限值 6
5.9 电气特性 7
5.10 开关特性 8
5.11 热降额曲线 8
5.12 典型特性 10
6 参数测量信息 14
6.1 传播延迟和脉冲持续时间失真度 14
6.2 上升至下降时间 14
6.3 PWM 输入和禁用响应时间 14
6.4 可编程死区时间 15
6.5 上电 UVLO 到输出延迟 15
6.6 CMTI 测试 16
7 详细说明 17
7.1 概述 17
7.2 功能方框图 17
7.3 特性说明 17
7.4 器件功能模式 20
8 应用和实施 22
8.1 应用信息 22
8.2 典型应用 22
8.3 电源相关建议 30
8.4 布局 30
9 器件和文档支持 33
9.1 器件支持 33
9.2 文档支持 33
9.3 认证 33
9.4 接收文档更新通知 33
9.5 支持资源 33
9.6 商标 33
9.7 静电放电警告 33
9.8 术语表 33
10 修订历史记录 33
11 机械、封装和可订购信息 35

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

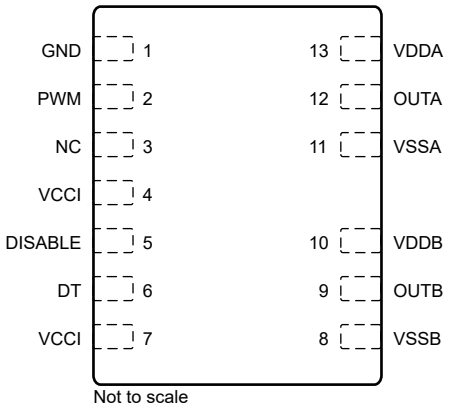


图 4-1. NPL 封装 13 引脚 LGA 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
DISABLE	5	I	设置为高电平时可同时禁用两个驱动器输出，而设置为低电平或保持开路时可启用输出。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。连接到远距离微控制器时，可靠近 DIS 引脚放置约 1nF 的低 ESR 或 ESL 电容器进行旁路。
DT	6	I	可编程的死区时间功能。 将 DT 连接到 VCCI 可禁用死区时间约 0ns 的 DT 功能。保持 DT 断开会将死区时间设置为 <15ns。在 DT 和 GND 之间放置一个电阻器 (R_{DT}) 可根据以下公式调整死区时间：DT（单位：ns）= 10 × R_{DT}（单位：kΩ）。建议靠近 DT 引脚并联放置一个 2.2nF 或以上的陶瓷电容器，从而实现更佳的防噪性能。
GND	1	G	初级侧地基准。初级侧的所有信号都以该地为基准。
NC	3	–	无内部连接。
OUTA	12	O	驱动器 A 的输出。连接到 A 通道 FET 或 IGBT 的栅极。输出 A 与具有传播延迟的 PWM 输入同相
OUTB	9	O	驱动器 B 的输出。连接到 B 通道 FET 或 IGBT 的栅极。输出 B 始终与输出 A 互补，并具有已编程设定的死区时间。
PWM	2	I	PWM 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。
VCCI	4	P	初级侧电源电压。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 GND）。
VCCI	7	P	初级侧电源电压。此引脚在内部短接至引脚 4。
VDDA	13	P	驱动器 A 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSA）。
VDDB	10	P	驱动器 B 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSB）。
VSSA	11	G	次级侧驱动器 A 接地。次级侧 A 通道的接地参考。
VSSB	8	G	次级侧驱动器 B 接地。次级侧 B 通道的接地参考。

(1) P = 电源，G = 地，I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入偏置引脚电源电压	VCCI 至 GND	-0.3	20	V
驱动器辅助电源	VDDA-VSSA、VDDB-VSSB	-0.3	30	V
输出信号电压	OUTA 至 VSSA、OUTB 至 VSSB	-0.3	V_{VDDA}+0.3、V_{VDDB}+0.3	V
	OUTA 至 VSSA、OUTB 至 VSSB、200ns 瞬态	-2	V_{VDDA}+0.3、V_{VDDB}+0.3	V
输入信号电压	PWM、DIS、DT 至 GND	-0.3	V_{VCCI}+0.3	V
	PWM 信号 瞬态，时长 50ns	-5	V_{VCCI}+0.3	V
通道间电压	VSSA-VSSB、VSSB-VSSA		700	V
结温，T_J (2)		-40	150	°C
存储温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 若要保持 T_J 的建议运行条件，请参阅节 5.4。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
VCCI	VCCI 输入电源电压	3	18	V
VDDA、VDDB	驱动器输出辅助电源	9.2	25	V
T_A	环境温度	-40	125	°C
T_J	结温	-40	130	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		UCC20225 LGA (13)(2)	单位
$R_{\theta JA}$	结至环境热阻	98.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	48.8	
$R_{\theta JB}$	结至电路板热阻	78.9	
ψ_{JT}	结至顶部特征参数	26.2	
ψ_{JB}	结至电路板特征参数	76.8	

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) 静止空气中的标准 JESD51-9 面阵列 SMT 测试板 (2s2p)，采用直径 12mil、1oz 铜厚过孔，将 VSSA 与 VSSB 连接至紧邻下层的平面（VSSA 配三个过孔，VSSB 配三个过孔）。

5.5 功率等级

			值	单位
P_D	UCC20225NPL 的功率耗散	VCCI = 18V，VDDA/B = 12V，PWM = 3.3V，3.5MHz，50% 占空比，方波，1nF 负载	1.25	W
P_{DI}	UCC20225NPL 初级侧的功率耗散		0.05	
P_{DA}、P_{DB}	UCC20225NPL 每个驱动器侧的功率耗散		0.6	

5.6 绝缘规格

参数		测试条件	值	单位
CLR	外部间隙(1)(2)	引脚间的最短空间距离	3.5	mm
CPG	外部爬电距离(1)	引脚间的最短封装表面距离	3.5	mm
DTI	绝缘穿透距离	最小内部间隙	>21	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组		I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ $150V_{RMS}$	I-III	
		额定市电电压 ≤ $300V_{RMS}$	I-II	
DIN V VDE V 0884-11 (VDE V 0884-11)：2017-01(3)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	792	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试；（请参阅图 5-1）	560	V_{RMS}
		直流电压	792	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	3535	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	测试方法符合 IEC 62368-1，1.2/50 µs 波形，$V_{TEST} = 1.3 \times V_{IOSM}$（鉴定测试）	3500	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入/输出安全测试子组 2/3 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	<5	pC
		方法 a，环境测试子组 1 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	<5	
		方法 b1；常规测试（100% 生产测试）和预处理（类型测试）， $V_{ini} = 1.2 \times V_{IOTM}$；$t_{ini}$ = 1s； $V_{pd(m)} = 1.5 \times V_{IORM}$，$t_m$ = 1s	<5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.4 sin (2πft)，f = 1MHz	1.2	pF

Copyright © 2026 Texas Instruments Incorporated

参数		测试条件	值	单位
R_{IO}	隔离电阻，输入至输出	V_{IO} = 500V (T_A = 25°C)	> 10^{12}	Ω
		V_{IO} = 500V (100°C ≤ T_A ≤ 125°C)	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^9	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 3000V_{RMS}，t = 60 秒（鉴定测试）， V_{TEST} = 1.2 × V_{ISO} = 3000V_{RMS}，t = 1 秒（100% 生产测试）	2500	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 封装尺寸容差 ±0.05mm。
(3) 此耦合器旨在用于最大工作额定值范围内的基本电气绝缘。应借助合适的保护电路来确保符合安全等级。
(4) 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.7 安全相关认证

VDE	UL	CQC
根据 DIN V VDE V 0884-11:2017-01 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 GB 4943.1-2022 进行了认证
基本隔离最大瞬态过压，3535V_{PK}； 最大重复峰值电压，792V_{PK}； 最大浪涌隔离电压，2719V_{PK}	单一保护，2500V_{RMS}	基础型绝缘， 海拔 ≤ 5,000m， 热带气候，320V_{RMS} 最大工作电压
证书编号：40016131	证书编号：E181974	证书编号：CQC18001186974

5.8 安全限值

安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	侧	最小值	典型值	最大值	单位
I_S	安全输出电源电流(1)	$R_{\theta JA}$ = 98.0°C/W，VDDA/B = 12V，T_A = 25°C，T_J = 150°C 请参阅 图 5-2	驱动器 A、驱动器 B			50	mA
		$R_{\theta JA}$ = 98.0°C/W，VDDA/B = 25V，T_A = 25°C，T_J = 150°C	驱动器 A、驱动器 B			24	mA
P_S	安全电源(1)	$R_{\theta JA}$ = 98.0°C/W，T_A = 25°C，T_J = 150°C 请参阅 图 5-3	输入			0.05	W
			驱动器 A			0.60	
			驱动器 B			0.60	
			总计			1.25	
T_S	安全温度(1)					150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
节 5.4 表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。使用这些公式计算每个参数的值：
$T_J = T_A + R_{\theta JA} \times P$，其中 P 是器件中耗散的功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中 $T_{J(max)}$ 是允许的最大结温。
$P_S = I_S \times V_I$，其中 V_I 是最大输入电压。

Copyright © 2026 Texas Instruments Incorporated

5.9 电气特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 12V，从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，T_A = –40°C 至 +125°C

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCCI}	VCCI 静态电流	DISABLE = VCCI		1.5	2.0	mA
I_{VDDA}、I_{VDDB}	VDDA 和 VDDB 静态电流	DISABLE = VCCI		1.0	1.8	mA
I_{VCCI}	VCCI 工作电流	(f = 500kHz) 每通道电流，C_{OUT} = 100pF		2.5		mA
I_{VDDA}、I_{VDDB}	VDDA 和 VDDB 工作电流	(f = 500kHz) 每通道电流，C_{OUT} = 100pF		2.5		mA
VCCI 电源欠压锁定阈值						
V_{VCCI_ON}	上升阈值 VCCI_ON		2.55	2.7	2.85	V
V_{VCCI_OFF}	下降阈值 VCCI_OFF		2.35	2.5	2.65	V
V_{VCCI_HYS}	阈值迟滞			0.2		V
VDD 电源欠压锁定阈值						
V_{VDDA_ON}、V_{VDDB_ON}	上升阈值 VDDA_ON、VDDB_ON		8.3	8.7	9.2	V
V_{VDDA_OFF}、V_{VDDB_OFF}	降阈值 VDDA_OFF、VDDB_OFF		7.8	8.2	8.7	
V_{VDDA_HYS}、V_{VDDB_HYS}	阈值迟滞			0.5		
PWM 和 DISABLE						
V_{PWMH}、V_{DISH}	输入高电压		1.6	1.8	2	V
V_{PWML}、V_{DISL}	输入低电压		0.8	1	1.2	V
V_{PWM_HYS}、V_{DIS_HYS}	输入迟滞			0.8		V
V_{PWM}	负瞬态，参考 GND，50ns 脉冲	未经量产测试，仅进行了基准测试	-5			V
输出						
I_{OA+}、I_{OB+}	峰值输出拉电流	C_{VDD} = 10μF，C_{LOAD} = 0.18μF，f = 1kHz，台架测量		4		A
I_{OA-}、I_{OB-}	峰值输出灌电流	C_{VDD} = 10μF，C_{LOAD} = 0.18μF，f = 1kHz，台架测量		6		A
R_{OHA}、R_{OHB}	高电平状态时的输出电阻	I_{OUT} = –10mA，T_A = 25°C，R_{OHA}、R_{OHB} 并不表示驱动上拉性能。详细信息，请参阅节 5.10 和节 7.3.4 中的 t_{RISE}。		5		Ω
R_{OLA}、R_{OLB}	低电平状态时的输出电阻	I_{OUT} = 10mA；T_A = 25°C		0.55		Ω
V_{OHA}、V_{OHB}	高电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 12V，I_{OUT} = –10mA，T_A = 25°C		11.95		V
V_{OLA}、V_{OLB}	低电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 12V，I_{OUT} = 10mA，T_A = 25°C		5.5		mV
死区时间和重叠编程						

Copyright © 2026 Texas Instruments Incorporated

5.9 电气特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 12V，从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，T_A = –40°C 至 +125°C

参数	测试条件	最小值	典型值	最大值	单位
死区时间	将 DT 引脚拉至 VCCI		0		ns
	DT 引脚保持开路，仅对最小值规格进行表征，并针对异常值进行测试		8	15	ns
	R_{DT} = 20kΩ	160	200	240	ns

5.10 开关特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 12V，从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，T_A = –40°C 至 +125°C。

参数		测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升时间，20% 至 80% 测量点	C_{OUT} = 1.8nF		6	16	ns
t_{FALL}	输出下降时间，90% 至 10% 测量点	C_{OUT} = 1.8nF		7	12	ns
t_{PWmin}	最短脉冲持续时间	低于最小值时输出关闭，C_{OUT} = 0pF			20	ns
t_{PDHL}	从 INx 至 OUTx 下降沿的传播延迟		14	19	30	ns
t_{PDLH}	从 INx 至 OUTx 上升沿的传播延迟		14	19	30	ns
t_{PWD}	脉宽失真 $\lvert t_{PDLH} - t_{PDHL} \rvert$				6	ns
t_{DM}	VOUTA、VOUTB 之间的传播延迟匹配				5	ns
$\lvert CM_H \rvert$	高电平共模瞬态抗扰度	PWM 连接到 GND 或 VCCI；V_{CM} = 1,200V；（请参阅节 6.6）	100			V/ns
$\lvert CM_L \rvert$	低电平共模瞬态抗扰度		100			

5.11 热降额曲线

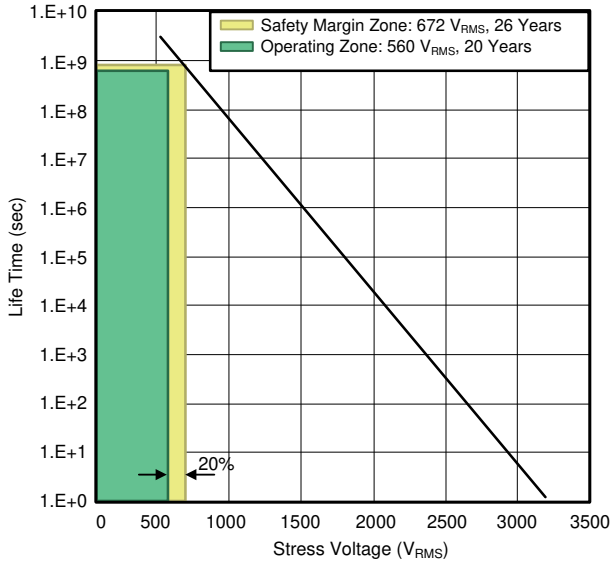


图 5-1. 隔离电容器寿命预测

Copyright © 2026 Texas Instruments Incorporated

5.11 热降额曲线 (续)

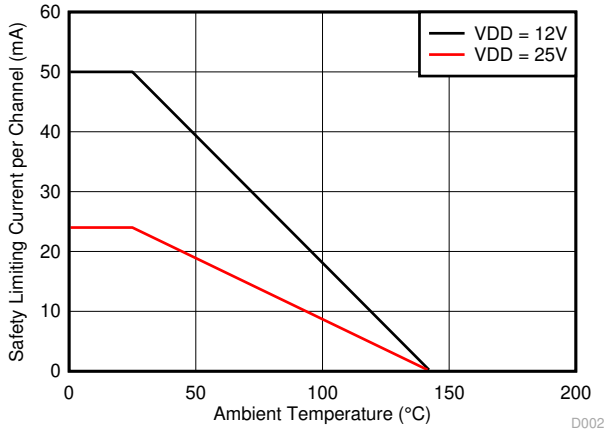


图 5-2. 安全相关限制电流的热降额曲线（两个通道同时运行时每个通道的电流）

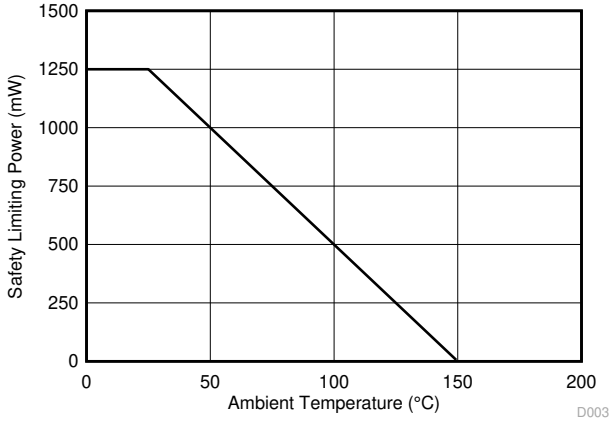


图 5-3. 安全相关限制功率的热降额曲线

5.12 典型特性

VDDA = VDDB= 12V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

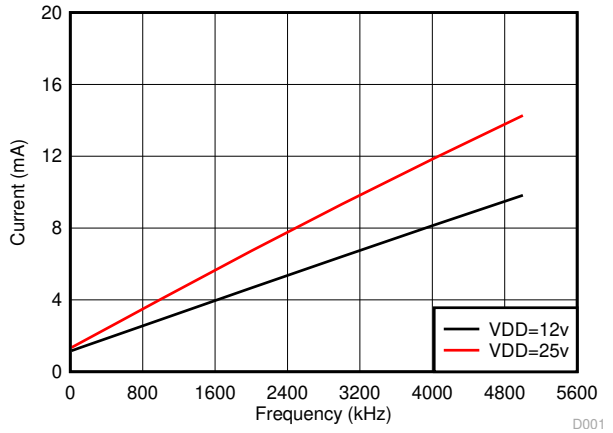


图 5-4. 每通道电流消耗与频率之间的关系（无负载，VDD = 12V 或 25V）

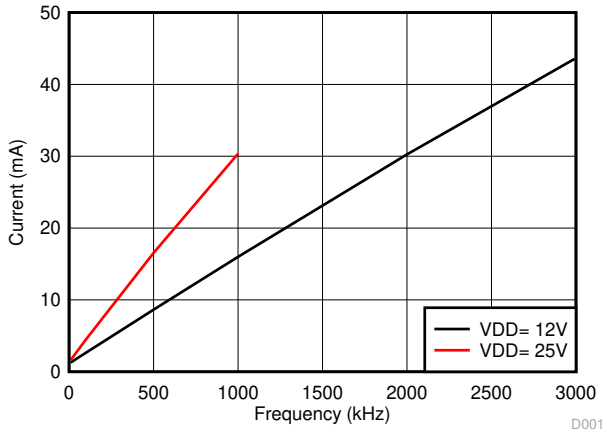


图 5-5. 每通道电流消耗 ($I_{VDDA/B}$) 与频率之间的关系（1nF 负载，VDD = 12V 或 25V）

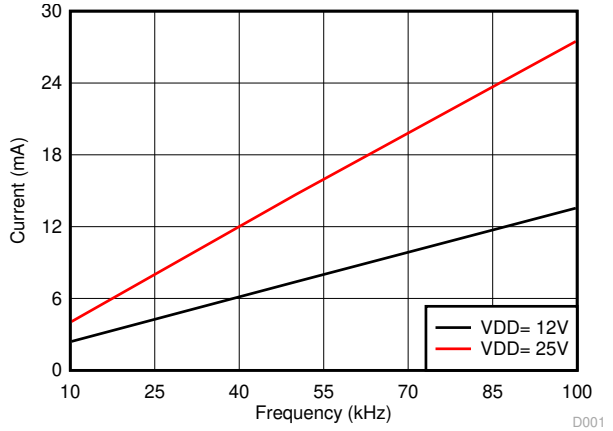


图 5-6. 每通道电流消耗 ($I_{VDDA/B}$) 与频率之间的关系（10nF 负载，VDD = 12V 或 25V）

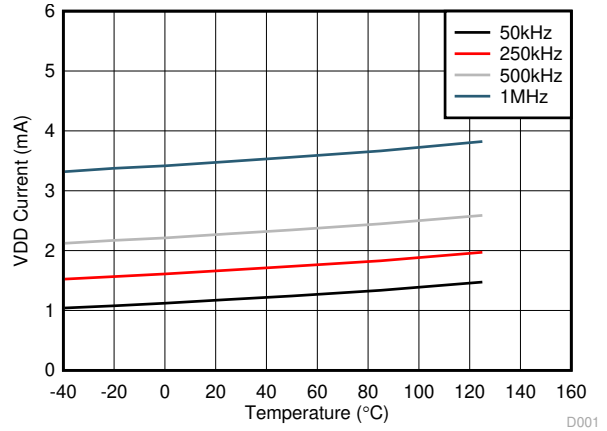


图 5-7. 每通道 ($I_{VDDA/B}$) 电源电流与温度之间的关系（无负载，不同的开关频率）

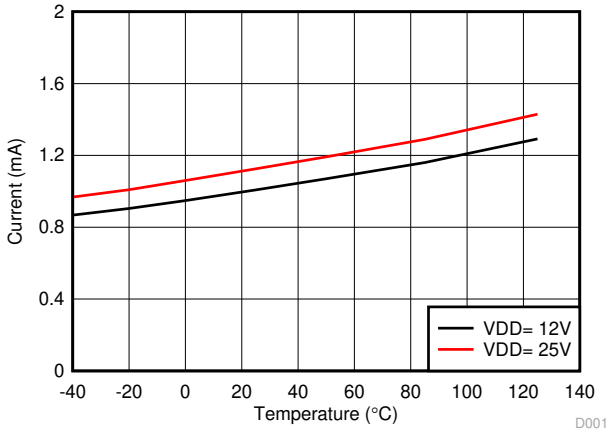


图 5-8. 每通道 ($I_{VDDA/B}$) 静态电源电流与温度之间的关系（无负载，低电平输入，无开关）

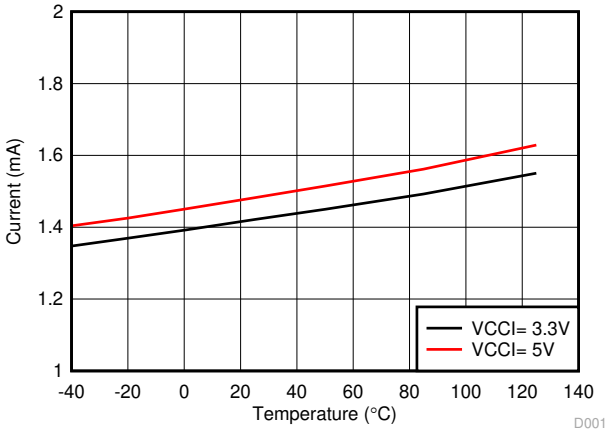


图 5-9. I_{VCCI} 静态电源电流与温度之间的关系（无负载，DIS 为高电平，无开关）

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性 (续)

VDDA = VDDB= 12V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

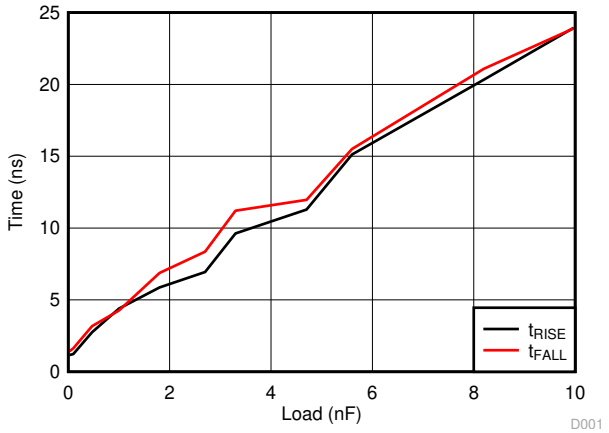


图 5-10. 上升和下降时间与负载之间的关系 (VDD = 12V)

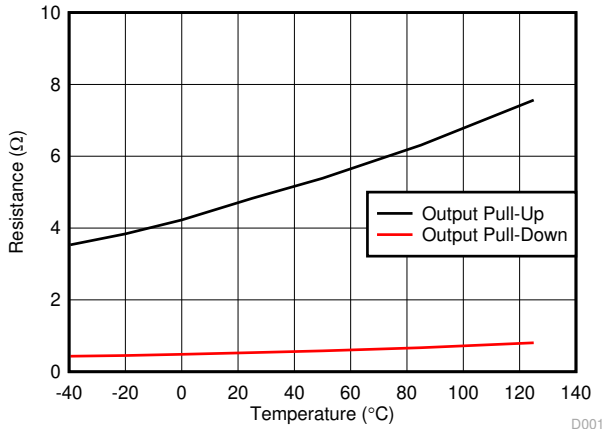


图 5-11. 输出电阻与温度之间的关系

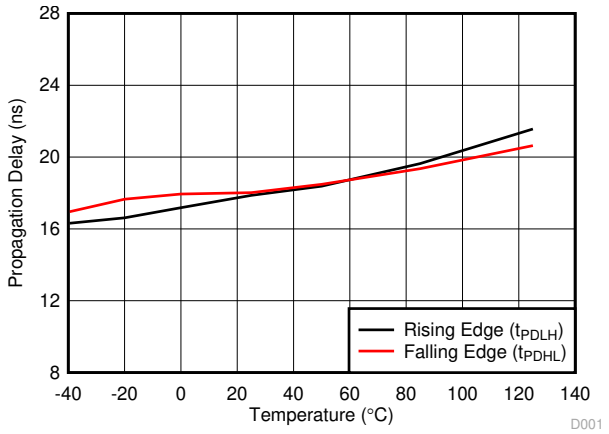


图 5-12. 传播延迟与温度之间的关系

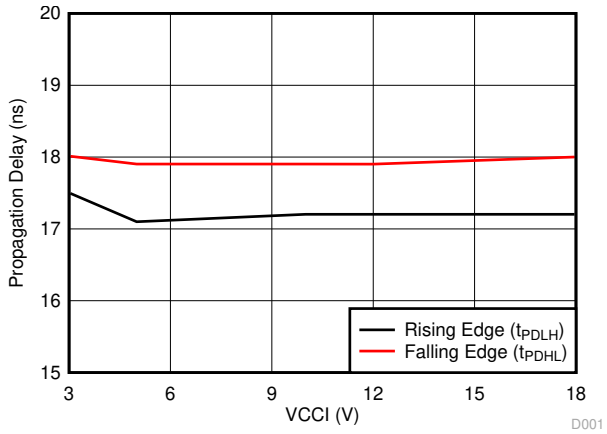


图 5-13. 传播延迟与 VCCI 之间的关系

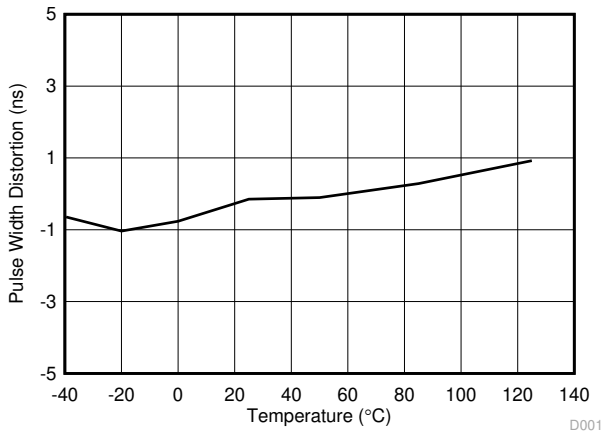


图 5-14. 脉宽失真度与温度之间的关系

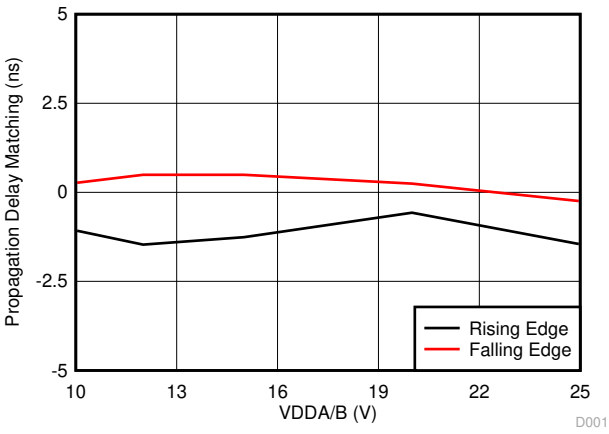


图 5-15. 传播延迟匹配 (t_{DM}) 与 VDD 之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性 (续)

VDDA = VDDB= 12V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

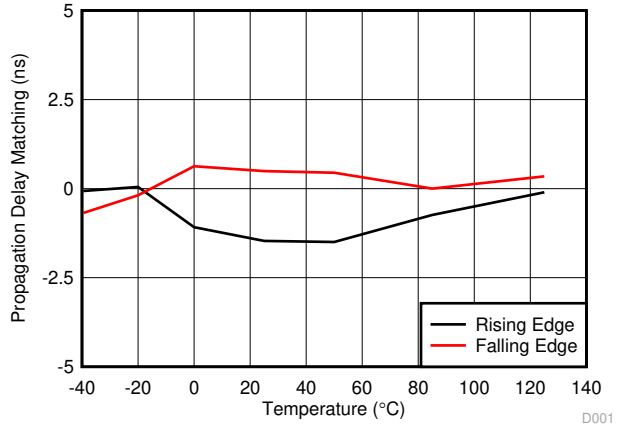


图 5-16. 传播延迟匹配 (t_{DM}) 与温度之间的关系

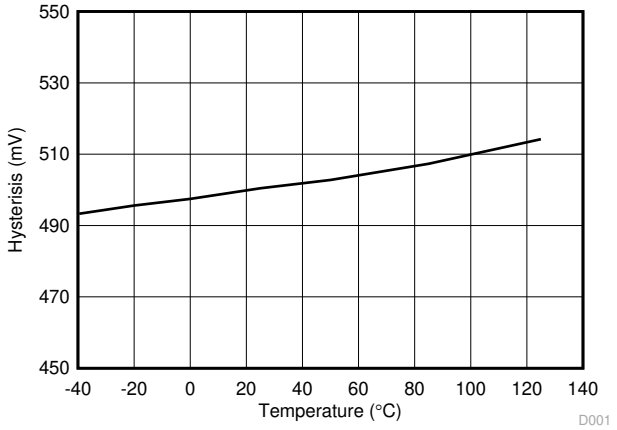


图 5-17. VDD UVLO 迟滞与温度之间的关系

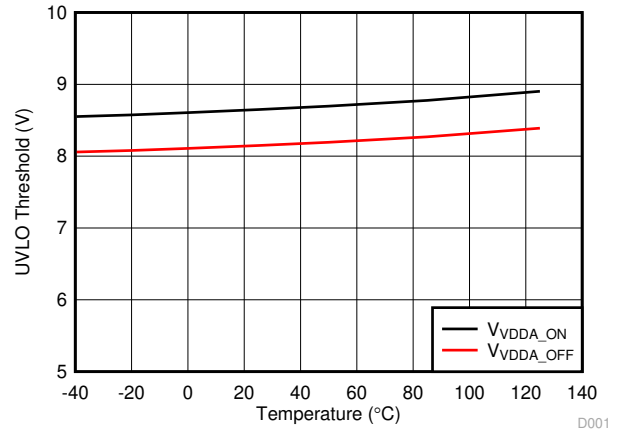


图 5-18. VDD UVLO 阈值与温度之间的关系

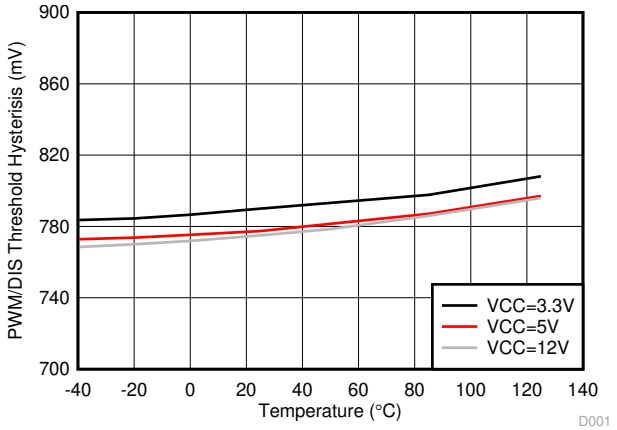


图 5-19. PWM/DIS 迟滞与温度之间的关系

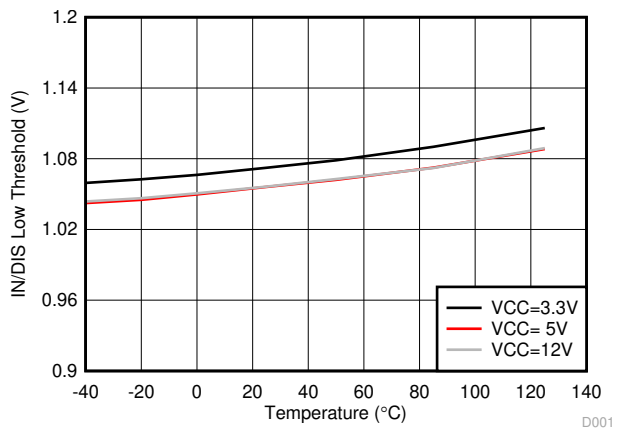


图 5-20. PWM/DIS 低阈值

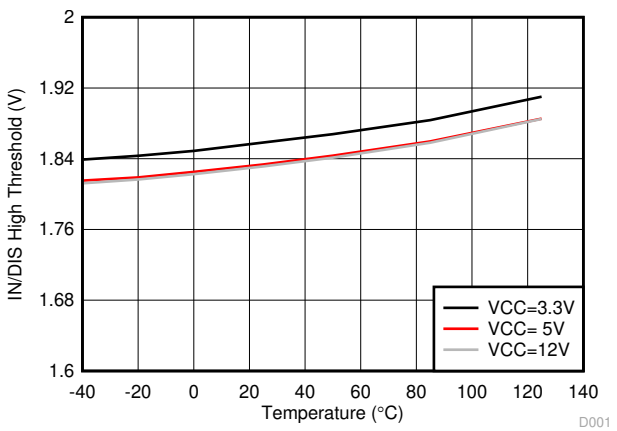


图 5-21. PWM/DIS 高阈值

Copyright © 2026 Texas Instruments Incorporated

5.12 典型特性 (续)

VDDA = VDDB= 12V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

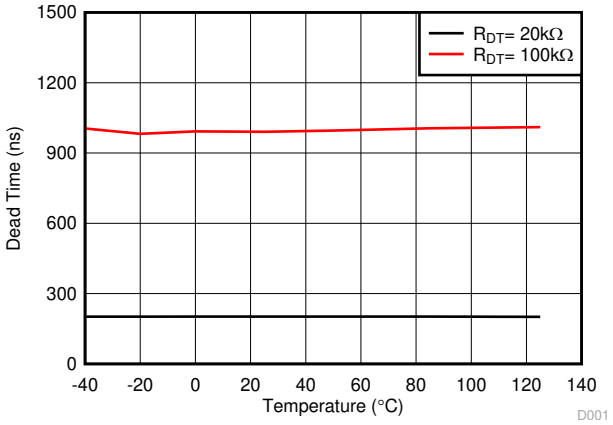


图 5-22. 死区时间与温度之间的关系（R_{DT} = 20kΩ 和 100kΩ）

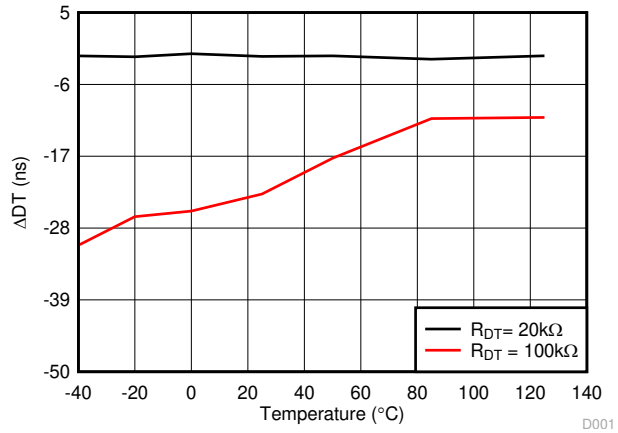


图 5-23. 死区时间匹配与温度之间的关系（R_{DT} = 20kΩ 和 100kΩ）

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟和脉冲持续时间失真度

图 6-1 显示了如何从通道 A 和 B 的传播延迟中计算脉冲持续时间失真度 (t_{PWD}) 和延迟匹配 (t_{DM})。要测量这些参数，可以将 DT 引脚短接至 VCC 来禁用死区时间。

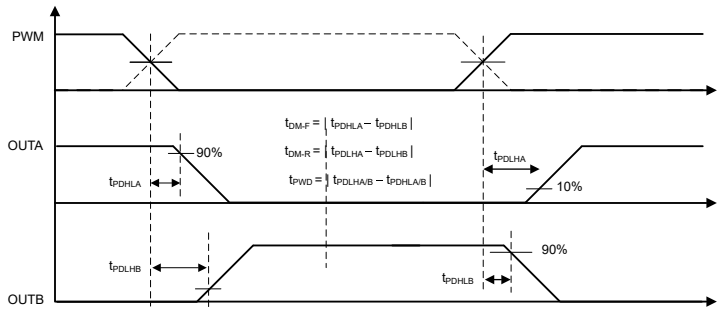


图 6-1. 传播延迟匹配和脉冲持续时间失真度

6.2 上升至下降时间

图 6-2 显示了测量上升时间 (t_{RISE}) 和下降时间 (t_{FALL}) 的标准。有关如何实现较短上升时间和下降时间的更多信息，请参阅节 7.3.4。

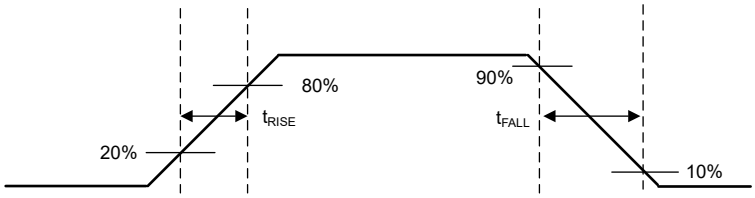


图 6-2. 上升时间和下降时间标准

6.3 PWM 输入和禁用响应时间

图 6-3 展示了禁用功能的响应时间。有关更多信息，请参阅 节 7.4.1。

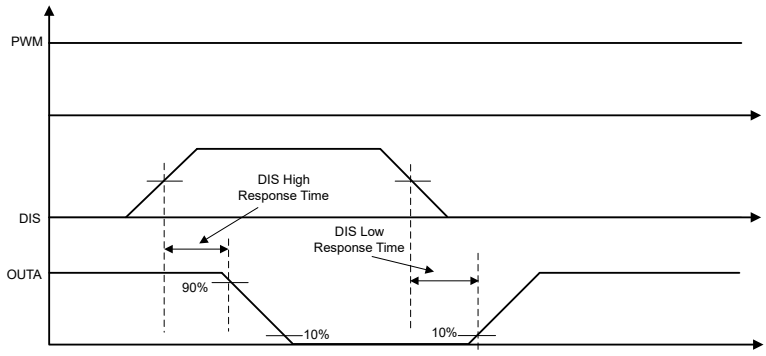


图 6-3. 禁用引脚时序

Copyright © 2026 Texas Instruments Incorporated

6.4 可编程死区时间

通过适当的电阻 (R_{DT}) 将其连接至 GND 可设置死区时间间隔。有关死区时间的更多详细信息，请参阅节 7.4.2。

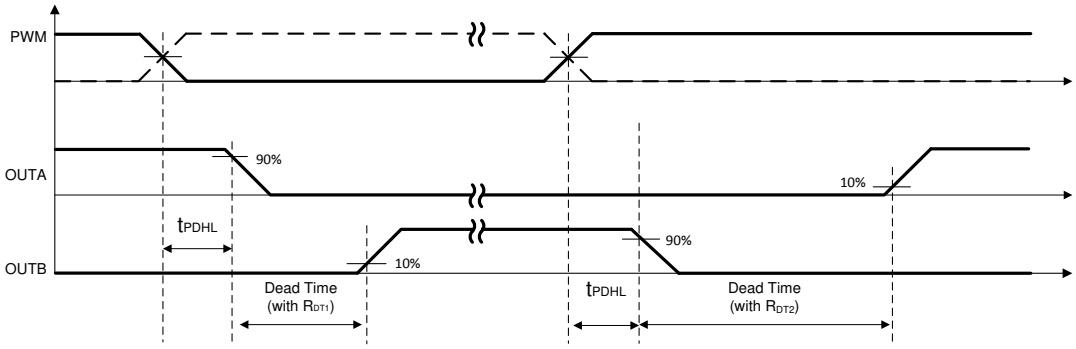


图 6-4. 死区时间开关参数

6.5 上电 UVLO 到输出延迟

在驱动器为提供适当的输出状态做好准备之前，UVLO 上升沿到输出之间存在上电延迟。对于 VCCI UVLO，此延迟定义为 $t_{VCCI+\ to\ OUT}$（典型值为 40µs），对于 VDD UVLO，此延迟定义为 $t_{VDD+\ to\ OUT}$（典型值为 50µs）。建议在驱动器的 VCCI 和 VDD 辅助电源准备就绪后，在启动 PWM 信号之前考虑适当的裕度。图 6-5 和图 6-6 展示了 VCCI 和 VDD 的加电 UVLO 延迟时序图。

如果 PWM 在 VCCI 或 VDD 超过其各自的导通阈值之前处于活动状态，则在 VCCI 或 VDD 超过其 UVLO 上升阈值后 $t_{VCCI+\ to\ OUT}$ 或 $t_{VDD+\ to\ OUT}$ 之前，输出不会更新。但是，当 VCCI 或 VDD 收到的电压低于其各自的关断阈值时，在输出保持低电平之前，延迟小于 1µs，具体取决于电源引脚上的电压压摆率。这种不对称延迟旨在确保器件能够在 VCCI 或 VDD 断电期间安全运行。

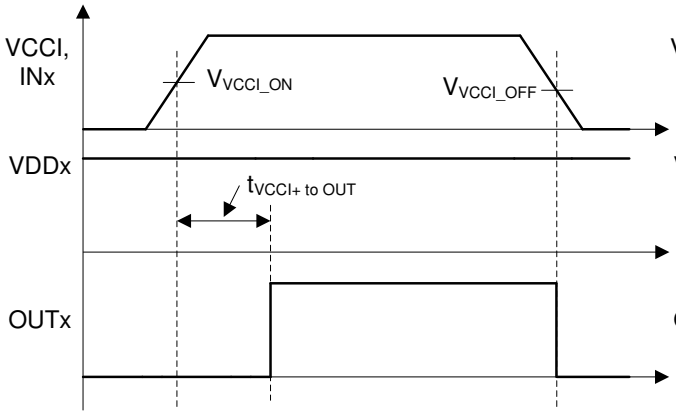


图 6-5. VCCI 上电 UVLO 延迟

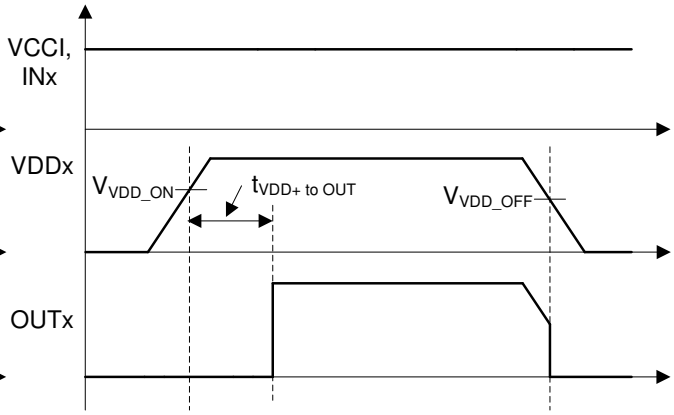


图 6-6. VDDA/B 上电 UVLO 延迟

6.6 CMTI 测试

图 6-7 是 CMTI 测试配置的简单示意图。

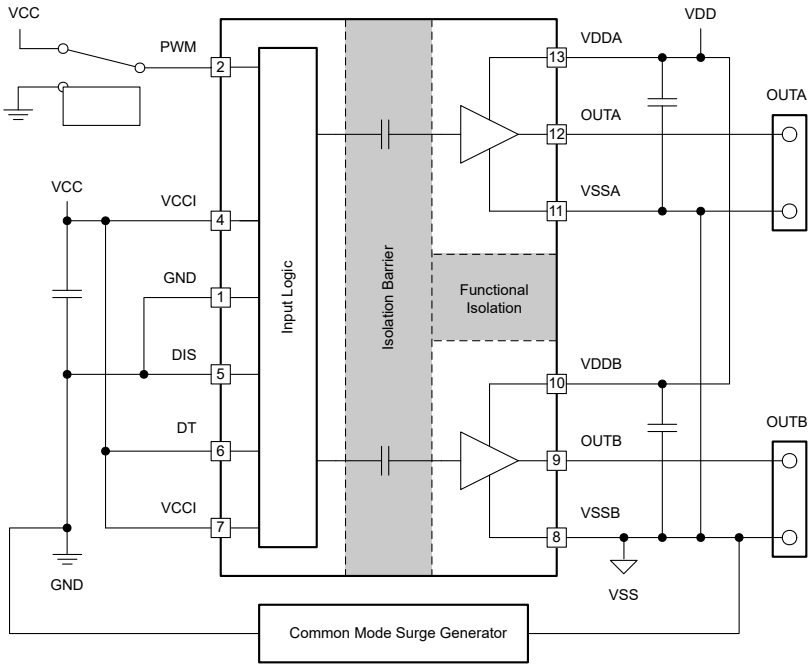


图 6-7. 简化的 CMTI 测试设置

Copyright © 2026 Texas Instruments Incorporated

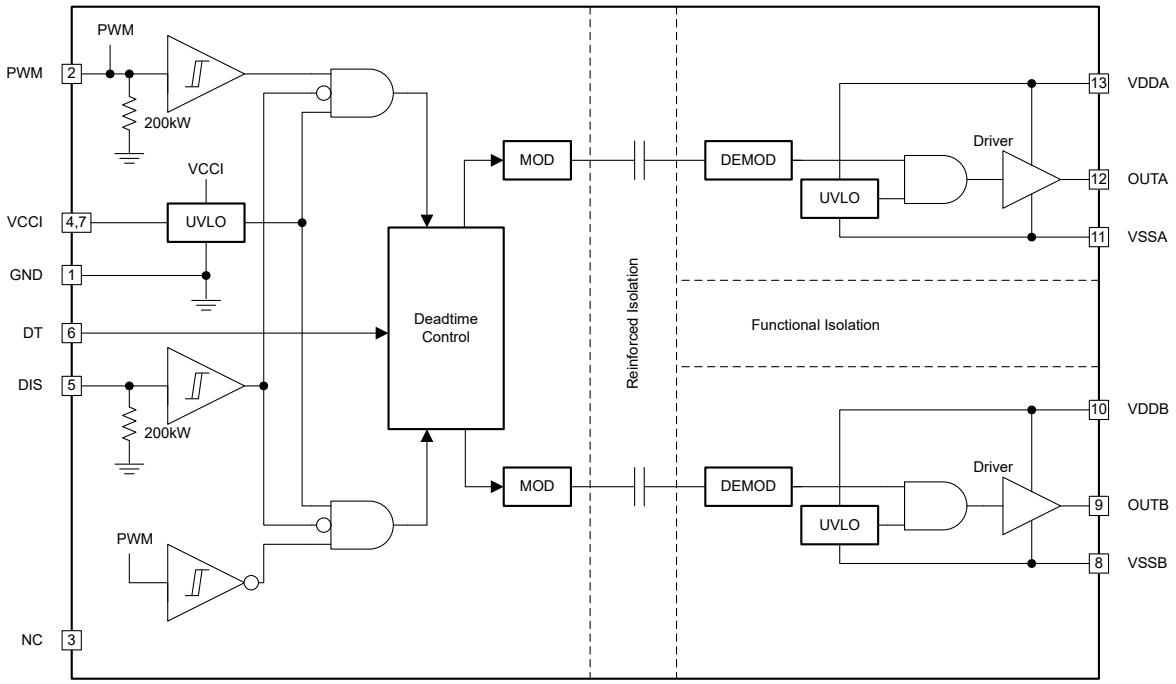
7 详细说明

7.1 概述

在一些情况下，控制器无法提供足够的电流来驱动功率晶体管的栅极。在使用数字控制器的情况下尤其如此，因为来自数字控制器的输入信号通常是 3.3V 逻辑信号，只能提供几毫安的电流。为了快速开关功率晶体管并减少开关功率损耗，通常会在控制器件的输出端和功率晶体管的栅极之间放置大电流栅极驱动器。

UCC20225 是一款灵活的双通道栅极驱动器，可经过配置以支持各种不同的电源和电机驱动拓扑，以及用于驱动包括 SiC MOSFET 在内的多种类型的晶体管。UCC20225 具有很多特性，使其与控制电路能很好地集成，并保护其驱动的栅极，此类特性包括：电阻器可编程死区时间 (DT) 控制、DISABLE 引脚，以及输入和输出电压的欠压锁定 (UVLO)。当 PWM 保持开路时，或者 PWM 脉宽不够时，UCC20225 也会将其 OUTA 保持为低电平。驱动器输入端 PWM 与 CMOS 和 TTL 兼容，可连接数字和模拟电源控制器等。重要的是，通道 A 与 PWM 输入同相，通道 B 与具有编程死区时间的通道 A 始终互补。

7.2 功能方框图



7.3 特性说明

7.3.1 VDD、VCCI 和欠压锁定 (UVLO)

UCC20225 在两路输出 VDD 和 VSS 引脚之间的电源电路块具有内部欠压锁定 (UVLO) 保护功能。当 VDD 偏置电压在器件启动后低于 V_{VDD_ON} 或在启动后低于 V_{VDD_OFF} 时，无论输入引脚 (PWM) 的状态如何，VDD UVLO 功能都会使受影响的输出保持为低电平。

当驱动器的输出级处于未偏置或 UVLO 状态时，驱动器输出通过限制驱动器输出上电压上升的有源钳位电路保持低电平（如图 7-1 所示）。在这种情况下，上部 PMOS 被 R_{Hi-Z} 阻断，而下部 NMOS 栅极通过 R_{CLAMP} 连接到驱动器输出端。在该配置下，输出被有效地钳位至下部 NMOS 器件的阈值电压，当没有辅助电源时，该阈值电压通常约为 1.5V。钳位灌电流仅受每通道安全电源功率、环境温度和 6A 峰值灌电流额定值的限制。

Copyright © 2026 Texas Instruments Incorporated

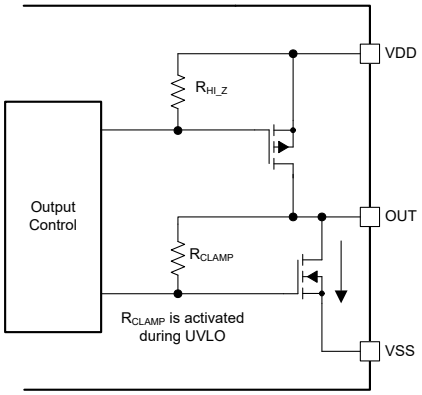


图 7-1. 有源下拉特性的简化表示

VDD UVLO 保护还具有迟滞功能 (V_{VDD_HYS})。当电源存在接地噪声时，该迟滞可防止抖动。得益于此，该器件还可以接受偏置电压小幅下降，这种情况会在器件开始开关和工作电流消耗突然增加时出现。

UCC20225 的输入侧还具有内部欠压锁定 (UVLO) 保护特性。除非 VCCI 上的电压超过 V_{VCCI_ON}，否则器件不会工作。当 VCCI 接收到低于 V_{VCCI_OFF} 的电压，信号停止传输。与用于 VDD 的 UVLO 相似，存在迟滞 (V_{VCCI_HYS}) 以确保稳定运行。

如果 PWM 在 VCCI 或 VDD 超过其各自的导通阈值之前处于活动状态，则在 VCCI 或 VDD 超过其 UVLO 上升阈值后 50µs (典型值) 之前，输出不会更新。但是，当 VCCI 或 VDD 收到的电压低于其各自的 UVLO 关断阈值时，在输出保持低电平之前，延迟小于 1µs，具体取决于电源引脚上的电压压摆率。这种不对称延迟旨在确保器件能够在 VCCI 或 VDD 断电期间安全运行。

UCC20225 可承受 VDD 的绝对最大值为 30V，VCCI 的绝对最大值为 20V。

表 7-1. UCC20225 VCCI UVLO 功能逻辑

条件	输入	输出	
	PWM	OUTA	OUTB
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	L	L

表 7-2. UCC20225 VDD UVLO 功能逻辑

条件	输入	输出	
	PWM	OUTA	OUTB
器件启动期间 VDD-VSS < V_{VDD_ON}	H	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	L	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	H	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	L	L	L

Copyright © 2026 Texas Instruments Incorporated

7.3.2 输入和输出逻辑表

表 7-3. 输入/输出逻辑表(1)

假设 VCCI、VDDA、VDDB 均已上电。有关各个 UVLO 工作模式的更多信息，请参阅节 7.3.1。

输入	DISABLE(2)	输出		注释
PWM		OUTA	OUTB	
L 或保持开路	L 或保持开路	L	H	死区时间结束后会发生输出转换。请参阅节 7.4.2
H	L 或保持开路	H	L	
X	H	L	L	-

(1) “X”表示 L、H 或保留开路。
(2) 设置为高电平时，DIS 引脚可同时禁用两个驱动器输出，而设置为低电平或保持开路时，则可启用输出。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。连接到远距离 μC 时，可靠近 DIS 引脚放置约为 1nF 的低 ESR/ESL 电容器进行旁路。

7.3.3 输入级

UCC20225 的输入引脚（PWM 和 DIS）基于兼容 TTL 和 CMOS 的输入阈值逻辑，该逻辑与 VDD 电源完全隔离。UCC20225 具有典型值为 1.8V 的高电平阈值 (V_{PWMH}) 和典型值为 1V 的低电平阈值，并且随温度变化很小（请参阅图 5-20 和图 5-21），因此可以使用逻辑电平控制信号（例如来自 3.3V 微控制器）轻松地驱动输入引脚。由于具有 0.8V 的宽迟滞 (V_{PWM_HYS})，器件具有出色的防噪性能，并且运行稳定。如果任何输入保持开路，内部下拉电阻器会强制将对应引脚置于低电平。此类电阻器通常为 200kΩ（请参阅节 7.2）。但是，如果不使用输入，仍建议将其接地，以提高防噪性能。

由于 UCC20225 的输入侧与输出驱动器隔离，因此输入信号振幅可以大于或小于 VDD，只要其不超过建议的限值。在与控制信号源集成时，这样可以确保灵活性更高，并允许用户为任何栅极选择最有效的 VDD。也就是说，施加于 PWM 的任何信号的振幅*绝不*能超过 VCCI 的电压。

7.3.4 输出级

UCC20225 的输出级具有上拉结构，在电源开关导通切换的米勒平台区域（当电源开关漏极或集电极电压经历 dV/dt）最需要时提供最高的峰值拉电流。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的*上拉* N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是短暂增加峰值拉电流，从而实现快速导通。这是通过在输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 1.47Ω。

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为*上拉* N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。因此，在该短暂导通阶段，UCC20225 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻，这会让导通更快。导通阶段输出电阻是并联组合 $R_{OH}||R_{NMOS}$。

UCC20225 中的下拉结构仅由 N 沟道 MOSFET 组成。R_{OL} 参数也是一项直流测量值，其表示器件中下拉状态下的阻抗。UCC20225 的两个输出都能提供 4A 峰值拉电流和 6A 峰值灌电流脉冲。输出电压在 VDD 和 VSS 之间摆动提供轨到轨运行，这归功于提供极低压降的 MOS 输出级。

Copyright © 2026 Texas Instruments Incorporated

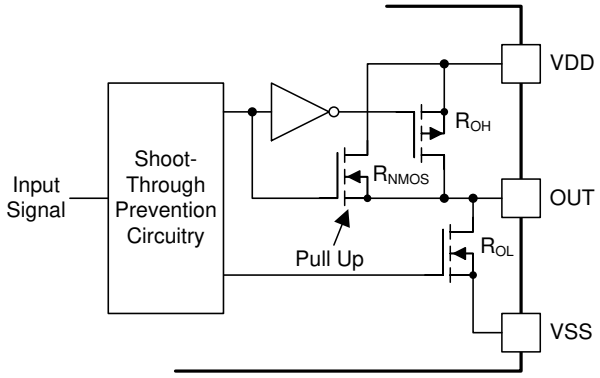


图 7-2. 输出级

7.3.5 UCC20225 中的二极管结构

图 7-3 显示了 UCC20225 的 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

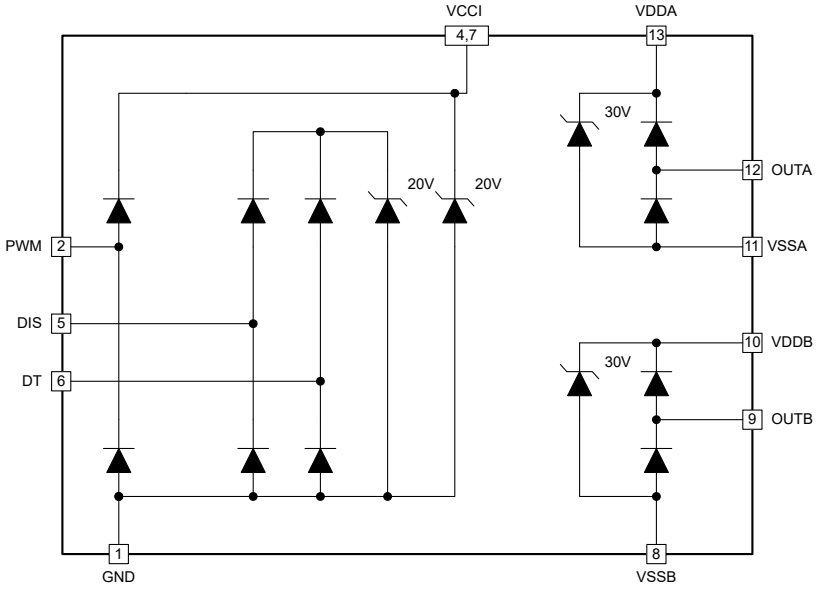


图 7-3. ESD 结构

7.4 器件功能模式

7.4.1 禁用引脚

将 DISABLE 引脚设为高电平会同时关闭两个输出。将 DISABLE 引脚接地（或保持开路）可使 UCC20225 正常运行。DISABLE 响应时间在 20ns 范围内，响应速度与传播延迟一样快。只有当 VCCI 保持在 UVLO 阈值以上时，DISABLE 引脚才起作用并且是必需的。如果不使用 DISABLE 引脚，建议将此引脚接地，以实现更佳的防噪性能。

7.4.2 可编程死区时间 (DT) 引脚

使用 UCC20225，用户可通过以下方式调整死区时间 (DT)：

7.4.2.1 将 DT 引脚连接到 VCC

如果 DT 引脚连接到 VCC，OUTA 和 OUTB 之间的死区时间功能会被禁用，两个输出通道之间的死区时间约为 0ns。

Copyright © 2026 Texas Instruments Incorporated

7.4.2.2 DT 引脚保持开路或连接至 DT 和 GND 引脚之间的编程电阻器

如果 DT 引脚保持开路，死区持续时间 (t_{DT}) 设置为<15ns。对于嘈杂的环境，不建议将 DT 引脚保持断开状态。可通过在 DT 引脚和 GND 之间放置一个电阻器 R_{DT} 来对 t_{DT} 编程。可以根据以下公式确定合适的 R_{DT} 值，其中 R_{DT} 以 kΩ 为单位，t_{DT} 以 ns 为单位：

$$t_{DT} \approx 10 \times R_{DT} \quad (1)$$

DT 引脚的稳态电压约为 0.8V，当 R_{DT} = 100kΩ 时，DT 引脚电流将小于 10uA。由于在内部使用 DT 引脚电流设置死区时间，并且该电流会随着 R_{DT} 增加而降低，建议靠近 DT 引脚并联放置一个 2.2nF 或以上的陶瓷电容器，从而在两个通道之间实现更佳的防噪性能和死区时间匹配，尤其是当死区时间大于 300ns 时。

输入信号的下降沿会启动已编程设定的输出的死区时间。输出信号的死区时间始终设置为驱动器已编程设定的死区时间。下图显示了驱动器死区时间逻辑：

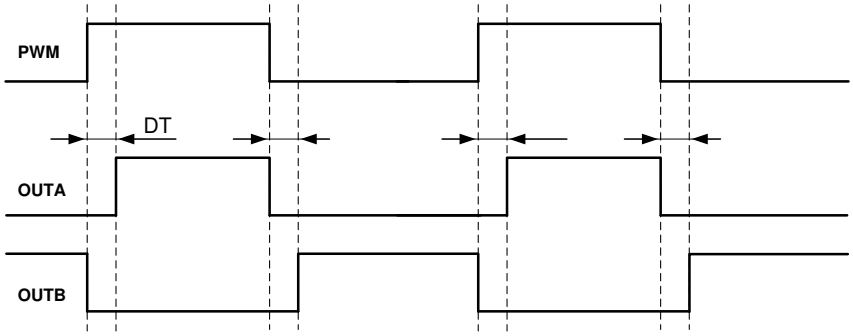


图 7-4. 带死区时间的输入与输出逻辑关系

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

UCC20225 有效地将隔离功能和缓冲器驱动功能结合在一起。UCC20225（具有高达 18V 的 VCCI 和 25V 的 VDDA/VDDB）功能灵活且通用，这使得该器件能够用作 MOSFET、IGBT 或 SiC MOSFET 的低侧、高侧、高侧/低侧或半桥驱动器。UCC20225 具有集成元件、高级保护功能（UVLO、死区时间和禁用）和经过优化的开关性能，支持设计人员为企业、电信、汽车和工业应用打造更小、更稳健耐用的设计，并加快产品上市速度。

8.2 典型应用

图 8-1 中的电路展示了采用 UCC20225-Q1 驱动典型半桥配置的参考设计，该参考设计可以用在多种常见的电源转换器拓扑中，例如同步降压、同步升压、半桥/全桥隔离式拓扑，以及三相电机驱动应用。

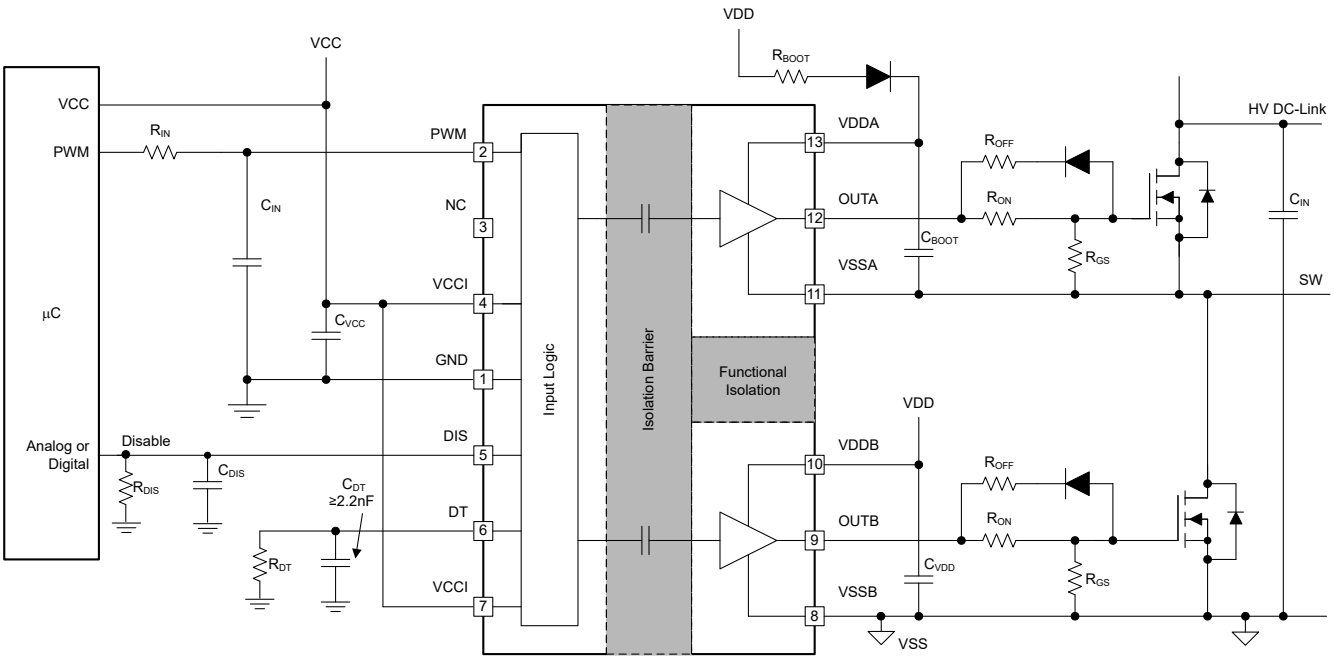


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1 列出了示例应用的参考设计参数：UCC20225 在高侧/低侧配置中驱动 700V MOSFET。

表 8-1. UCC20225 设计要求

参数	值	单位
功率晶体管	IPB65R150CFD	-
VCC	5.0	V
VDD	12	V
输入信号振幅	3.3	V
开关频率 (f_s)	200	kHz
直流链路电压	400	V

Copyright © 2026 Texas Instruments Incorporated

8.2.2 详细设计过程

8.2.2.1 设计 PWM 输入滤波器

建议用户避免对输入栅极驱动器的信号进行整形以尝试减慢（或延迟）输出端的信号。然而，可以使用小型的输入 R_{IN}-C_{IN} 滤波器来滤除非理想布局或长 PCB 迹线引入的振铃。

此类滤波器的 R_{IN} 取值范围必须为 0Ω 至 100Ω，且 C_{IN} 的取值范围必须为 10pF 至 100pF。在示例中，选择 R_{IN} = 51Ω 且 C_{IN} = 33pF，转角频率约为 100MHz。

在选择这些元件时，一定要注意在出色的抗噪性能与传播延迟之间进行权衡。

8.2.2.2 选择外部自举二极管及其串联电阻

每个周期，当低侧晶体管导通时，自举电容器会由 VDD 通过外部自举二极管进行充电。为电容器充电涉及到高峰值电流，因此自举二极管上的瞬态功率耗散可能会非常大。导通损耗还取决于二极管的正向压降。栅极驱动器电路中的总损耗包括二极管导通损耗和反向恢复损耗。

选择外部自举二极管时，建议选择高电压、快速恢复二极管或者具有低正向压降和低结电容的 SiC 肖特基二极管，以更大限度地减少反向恢复和相关接地噪声反弹引入的损耗。本例中，直流链路电压为 800 V_{DC}。自举二极管的电压等级必须大于直流链路电压并保留充分的裕度。因此，本例中选择了 600V 超快速二极管 MURA160T3G。

自举电阻器 R_{BOOT} 用于减少每个开关周期内 D_{BOOT} 中的浪涌电流并限制 VDDA-VSSA 电压的斜升压摆率，尤其是 VSSA(SW) 引脚具有过大的负瞬态电压时。R_{BOOT} 的建议值为 1Ω 至 20Ω，具体取决于所用的二极管。本例中选择了一个 2.7Ω 限流电阻器来限制自举二极管中的浪涌电流。在最坏的情况下，流经 D_{Boot} 的峰值电流估计为：

$$I_{DBoot\,(PK)} = \frac{V_{DD} - V_{BDF}}{R_{Boot}} = \frac{12\ V - 1.5\ V}{2.7\ \Omega} \approx 4\ A \tag{2}$$

其中

- V_{BDF} 是 4A 条件下自举二极管上的预计正向压降

8.2.2.3 栅极驱动器输出电阻器

外部栅极驱动器电阻器 R_{ON}/R_{OFF} 用于：

1. 限制寄生电感/电容引起的振铃。
2. 限制高电压或电流开关 dv/dt、di/dt 和体二极管反向恢复引起的振铃。
3. 微调栅极驱动强度，即峰值灌电流和拉电流，以优化开关损耗。
4. 降低电磁干扰 (EMI)。

如节 7.3.4 中所述，UCC20225 具有包含并联 P 沟道 MOSFET 和额外*上拉* N 沟道 MOSFET 的上拉结构。组合峰值电流为 4A。因此，可以使用以下公式来预测峰值拉电流：

$$I_{OA+} = \min\left(4A, \frac{V_{DD} - V_{BDF}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{3}$$

$$I_{OB+} = \min\left(4A, \frac{V_{DD}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{4}$$

其中

- R_{ON}：外部导通电阻。
- R_{GFET_INT}：功率晶体管内部栅极电阻（见于功率晶体管数据表）。

Copyright © 2026 Texas Instruments Incorporated

- I_{O+} = 峰值拉电流 – 4A、栅极驱动器峰值拉电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中：

$$I_{OA+} = \frac{V_{DD} - V_{BDF}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12\ V - 1.3\ V}{1.47\ \Omega \parallel 5\ \Omega + 2.2\ \Omega + 1.5\Omega} \approx 2.2\ A \quad (5)$$

$$I_{OB+} = \frac{V_{DD}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{12\ V}{1.47\ \Omega \parallel 5\ \Omega + 2.2\ \Omega + 1.5\ \Omega} \approx 2.5\ A \quad (6)$$

因此，高侧和低侧峰值拉电流分别为 2.2A 和 2.5A。同样，可以使用以下公式来计算峰值灌电流：

$$I_{OA-} = \min\left(6A, \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (7)$$

$$I_{OB-} = \min\left(6A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (8)$$

其中

- R_{OFF}：外部关断电阻。
- V_{GDF}：与 R_{OFF} 串联的反向并联二极管的正向压降。本例中的二极管为 MSS1P4。
- I_{O-}：峰值灌电流 – 6A、栅极驱动器峰值灌电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中：

$$I_{OA-} = \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} = \frac{12\ V - 0.8\ V - 0.75\ V}{0.55\ \Omega + 0\ \Omega + 1.5\ \Omega} \approx 5.1\ A \quad (9)$$

$$I_{OB-} = \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} = \frac{12\ V - 0.75\ V}{0.55\ \Omega + 0\ \Omega + 1.5\ \Omega} \approx 5.5\ A \quad (10)$$

因此，高侧和低侧峰值灌电流分别为 5.1A 和 5.5A。

重要的是，估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，强烈建议尽可能地缩小栅极驱动器环路。另一方面，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 1nF）时，峰值拉电流/灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

8.2.2.4 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC20225 (P_{GD}) 器件的功率损耗和外围电路中的功率损耗（如外部栅极驱动电阻器）。自举二极管损耗并未包含在 P_G 中，本节中也不对其进行描述。

P_{GD} 是关键功率损耗，决定了 UCC20225 的热安全相关限值，可以通过计算若干分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ}，其中包含驱动器在一定开关频率下工作时的静态功率损耗以及驱动器的自身功耗。P_{GDQ} 是在给定 VCCI、VDDA/VDDB、开关频率和环境温度下，在无负载连接到 OUTA 和 OUTB 时在台架上测量。图 5-4 显示了无负载条件下每输出通道电流消耗与工作频率之间的关系。在本示例中，V_{VCCI} = 5V 且 V_{VDD} = 12V。当 PWM 以 200kHz 频率从 0V 切换至 3.3V 时，测得每个电源上的电流 I_{VCCI} = 2mA 且 I_{VDDA} = I_{VDDB} = 1.5mA。因此，可以通过以下公式计算 P_{GDQ}：

Copyright © 2026 Texas Instruments Incorporated

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + V_{VDDA} \times I_{VDDA} + V_{VDDB} \times I_{VDDB} \approx 46\ mW \quad (11)$$

第二个分量是开关操作损耗 P_{GDO}，此时具有给定的负载电容，驱动器在每个开关周期中对其进行充电和放电。负载开关产生的总动态损耗 P_{GSW} 可以通过以下公式进行估算：

$$P_{GSW} = 2 \times V_{DD} \times Q_G \times f_{SW} \quad (12)$$

其中

- Q_G 是功率晶体管的栅极电荷。

如果使用分离电源轨进行开启和关闭，则 VDD 是正电源轨和负电源轨之间的总差值。

因此，在本应用示例中：

$$P_{GSW} = 2 \times 12\ V \times 100\ nC \times 200\ kHz = 480\ mW \quad (13)$$

Q_G 表示功率晶体管在以 14A 的电流和 400V 的电压进行开关时的总栅极电荷，该电荷随测试条件的变化而变化。输出级上的 UCC20225 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻和功率晶体管内部电阻为 0Ω，则 P_{GDO} 等于 P_{GSW}，所有栅极驱动器损耗会在 UCC20225 内耗散。如果存在外部导通和关断电阻，则总损耗将分布在栅极驱动器上拉/下拉电阻、外部栅极电阻和功率晶体管内部电阻之间。重要的是，如果拉电流或灌电流未达到 4A/6A 饱和值，则上拉和下拉电阻是线性的固定电阻，然而，如果拉电流/灌电流达到饱和，它会是非线性的。因此，P_{GDO} 在这两种情形下是不同的。

案例 1 - 线性上拉/下拉电阻器：

$$P_{GDO} = \frac{P_{GSW}}{2} \left(\frac{R_{OH} \parallel R_{NMOS}}{R_{OH} \parallel R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} \right) \quad (14)$$

在该设计示例中，所有预测的拉电流/灌电流均小于 4A/6A，因此可以使用以下公式来估算 UCC20225 栅极驱动器损耗：

$$P_{GDO} = \frac{480\ mW}{2} \left(\frac{5\ \Omega \parallel 1.47\ \Omega}{5\ \Omega \parallel 1.47\ \Omega + 2.2\ \Omega + 1.5\ \Omega} + \frac{0.55\ \Omega}{0.55\ \Omega + 0\ \Omega + 1.5\ \Omega} \right) \approx 120\ mW \quad (15)$$

案例 2 - 非线性上拉/下拉电阻器：

$$P_{GDO} = 2 \times f_{SW} \times \left[4\ A \times \int_0^{T_{R_Sys}} \left(V_{DD} - V_{OUT_{A/B}}(t) \right) dt + 6\ A \times \int_0^{T_{F_Sys}} V_{OUT_{A/B}}(t)\ dt \right] \quad (16)$$

其中

- $V_{OUTA/B}(t)$ 是导通和关断期间的栅极驱动器 OUTA 和 OUTB 引脚电压。在输出饱和一段时间的情况下，该值可以简化为恒流源（在导通时为 4A，关断时为 6A），对负载电容器进行充电或放电。因此，$V_{OUTA/B}(t)$ 波形是线性的，可以轻松地预测 T_{R_Sys} 和 T_{F_Sys}。

对于某些情形，如果只有一个上拉或下拉电路饱和，而另一个未饱和，则 P_{GDO} 是案例 1 和案例 2 的组合，基于上述讨论，可以轻松地确定上拉和下拉的方程。

栅极驱动器 UCC20225 中的总栅极驱动器损耗 P_{GD} 为：

$$P_{GD} = P_{GDQ} + P_{GDO} = 46\ mW + 120\ mW = 166\ mW \quad (17)$$

Copyright © 2026 Texas Instruments Incorporated

在本设计示例中该值等于 127mW。

8.2.2.5 估算结温

UCC20225 的结温 (T_J) 可通过以下公式进行估算：

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{18}$$

其中

- T_C 是用热电偶或其他仪器测量的 UCC20225 外壳顶部温度，
- Ψ_{JT} 是来自节 5.4 表的结至顶特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\Theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而只有一小部分的总能量通过外壳顶部（通常在此处进行热电偶测量）释放。只有在大部分热能通过外壳释放时才能有效地使用 $R_{\Theta JC}$ 电阻，例如金属封装或在 IC 封装上应用散热器时。在所有其他情况下，使用 $R_{\Theta JC}$ 会无法准确地估算真实的结温。Ψ_{JT} 是通过假设通过 IC 顶部的能量在测试环境和应用环境中相似而通过实验得出。只要遵循建议的布局指南就可以将结温估算精确到几摄氏度内。有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

8.2.2.6 选择 VCCI、VDDA/B 电容器

用于 VCCI、VDDA 和 VDDB 的旁路电容器对于实现可靠的性能至关重要。建议选择具有额定电压、温度系数和电容差足够的低 ESR 和低 ESL、表面贴装型多层陶瓷电容器 (MLCC)。重要的是，MLCC 上的直流偏置会影响实际电容值。例如，当施加 $15V_{DC}$ 的直流偏置时，测得 25V、1µF X7R 电容器的电容仅为 500nF。

8.2.2.6.1 选择 VCCI 电容器

连接到 VCCI 的旁路电容器支持初级逻辑所需的瞬态电流以及总电流消耗，后者仅为几 mA。因此，该应用建议使用 100nF 以上的 50V MLCC。如果偏置电源输出与 VCCI 引脚的距离相对较长，则必须使用值大于 1 µ F 的钽或电解电容器与 MLCC 并联放置。

8.2.2.6.2 选择 VDDA（自举）电容器

VDDA 电容器在自举电源配置中也称为*自举电容器*，用于支持高达 6A 的栅极驱动电流瞬变，并且必须为功率晶体管维持稳定的栅极驱动电压。

每个开关周期所需的总电荷可以通过以下公式进行估算：

$$Q_{Total} = Q_G + \frac{I_{VDD}\ @\ 200\ kHz\ (No\ Load)}{f_{SW}} = 100\ nC + \frac{1.5\ mA}{200\ kHz} = 107.5\ nC \tag{19}$$

其中

- Q_G = 功率晶体管的栅极电荷
- I_{VDD} = 200kHz、空载条件下通道自身的电流消耗

因此，所需的 C_{Boot} 绝对最小值如下：

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{DDA}} = \frac{107.5\ nC}{0.5\ V} \approx 0.22\ \mu F \tag{20}$$

其中

- ΔV_{VDDA} 是 VDDA 处的电压纹波，在本例中为 0.5V

Copyright © 2026 Texas Instruments Incorporated

在实践中，C_{Boot} 的值要大于计算所得的值。这样便允许存在直流偏置电压导致的电容变化，以及支持功率级原本会因负载瞬态而跳过一些脉冲的情况。因此，建议在 C_{Boot} 值中包含一定的安全相关裕量，并将该电容器尽可能靠近 VDD 和 VSS 引脚放置。本例中选择了一个 50V、1µF 电容器。

$$C_{Boot} = 1\,\mu F \tag{21}$$

为了进一步降低宽频率范围内的交流阻抗，建议将低电容值旁路电容器（在本例中为 100nF）与 C_{Boot} 并联，以优化瞬态性能。

备注

使用过大的 C_{BOOT} 可能不利。在前几个周期内，C_{BOOT} 可能并不会充电，而 V_{BOOT} 会保持在 UVLO 以下。因此，高侧 FET 在数个周期内并不会跟随输入信号命令。另外在初始 C_{BOOT} 充电周期期间，自举二极管具有最高的反向恢复电流和损耗。

8.2.2.6.3 选择 VDDB 电容器

通道 B 具有与通道 A 相同的电流要求，因此需要 VDDB 电容器（在图 8-1 中显示为 C_{VDD}）。在这个采用自举配置的示例中，VDDB 电容器还通过自举二极管为 VDDA 供电。为 C_{VDD} 选择一个 50V、10µF MLCC 和一个 50V、0.22µF MLCC。如果偏置电源输出与 VDDB 引脚的距离相对较长，则必须使用电容值大于 10 µ F 的钽或电解电容器与 C_{VDD} 并联。

8.2.2.7 死区时间设置指南

对于采用半桥的电源转换器拓扑，顶部和底部晶体管之间的死区时间设置有助于防止在动态开关期间发生击穿。

电气特性表中 UCC20225 的死区时间规格定义为从一侧通道下降沿的 90% 到另一侧通道上升沿的 10% 之间的时间间隔（见图图 6-4）。此定义可确保死区时间设置与负载条件无关，并通过制造测试确保线性度。但是，该死区时间设置可能不会反映功率转换器系统中的死区时间，因为死区时间设置取决于外部栅极驱动接通/关断电阻器、直流链路开关电压/电流，以及负载晶体管的输入电容。

以下是有关如何为 UCC20225 选择合适死区时间的建议：

$$DT_{Setting} = DT_{Req} + T_{F_Sys} + T_{R_Sys} - T_{D(on)} \tag{22}$$

其中

- $DT_{setting}$ = UCC20225 死区时间设置（单位为 ns），$DT_{Setting}$ = 10 × RDT（单位为 kΩ）
- DT_{Req} = 具有足够裕度或 ZVS 要求的顶部和底部开关的实际 V_{GS} 信号之间的系统所需死区时间
- T_{F_Sys} = 在负载、电压/电流条件最坏的情况下，系统内栅极关断下降时间
- T_{R_Sys} = 在负载、电压/电流条件最坏的情况下，系统内栅极导通上升时间
- $T_{D(on)}$ = 导通延迟时间，从晶体管栅极信号的 10% 到功率晶体管栅极阈值

在本示例中，$DT_{Setting}$ 设为 250ns。

必须注意，UCC20225 死区时间设置由 DT 引脚配置决定（请参阅节 7.4.2），它无法根据系统条件自动微调死区时间。建议靠近 DT 引脚并联放置一个 2.2nF 或以上的陶瓷电容器，从而实现更佳的防噪性能和死区时间匹配。

8.2.2.8 具有输出级负偏置的应用电路

当非理想 PCB 布局和较长的封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，功率晶体管的栅极源驱动电压在高 di/dt 和 dv/dt 开关期间可能会出现振铃。如果振铃超过阈值电压，就有意外导通甚至发生击穿的风险。在栅极驱动上施加负偏置是一种可以将振玲保持在阈值以下的常用方法。下面是实现负栅极驱动偏置的几个例子。

Copyright © 2026 Texas Instruments Incorporated

图 8-2 展示了通过在隔离式电源输出级使用齐纳二极管来在通道 A 驱动器上生成负偏置关断的第一个例子。负偏置由齐纳二极管电压设置。如果隔离式电源电压 V_A 等于 25V，则关断电压为 –5.1V，导通电压为 25V – 5.1V ≈ 20V。通道 B 驱动器电路与通道 A 相同，因此该配置需要两个电源用于半桥配置，并且 R_Z 具有稳态功耗。

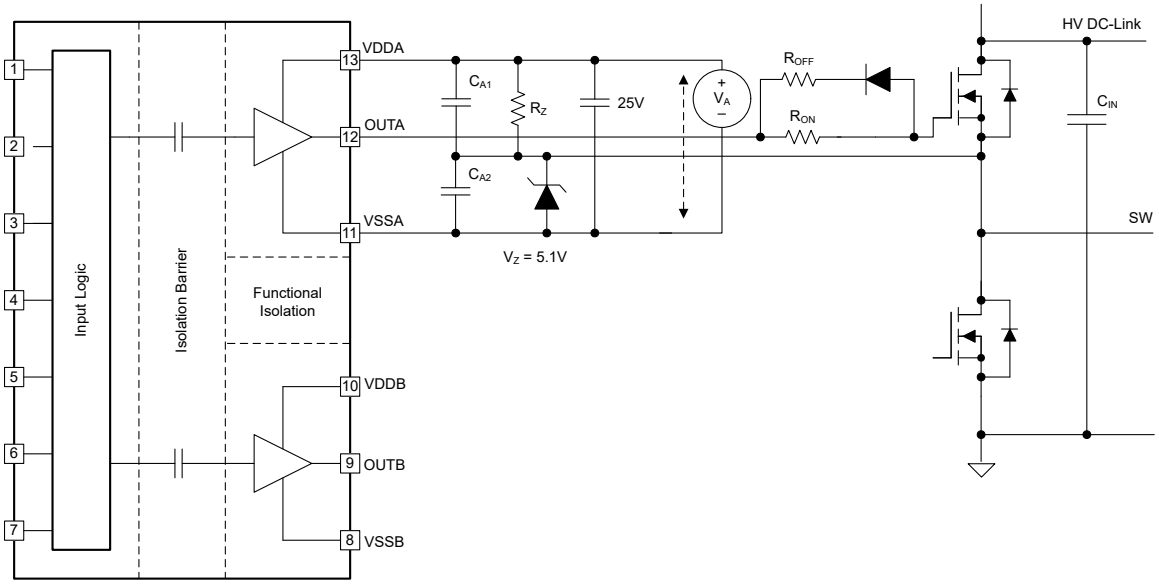


图 8-2. 利用 ISO 偏置电源输出上的齐纳二极管生成负偏置

图 8-3 展示了采用两个电源（或单输入双输出电源）的另一个例子。电源 V_{A+} 决定正驱动输出电压，而 V_{A-} 决定负关断电压。通道 B 的配置与通道 A 的相同。此方式所需的电源数量要比第一个例子中的多，不过它在设置正负电源轨电压时提供了更大的灵活性。

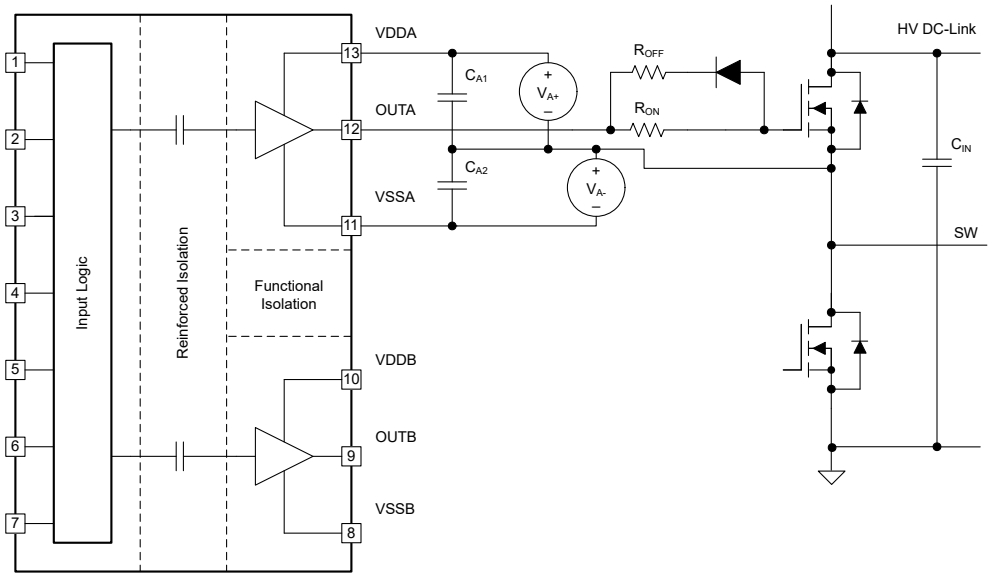


图 8-3. 利用两个 LSO 偏置电源生成负偏置

如图 8-4 所示，最后一个例子是单电源配置，并通过栅极驱动环路中的齐纳二极管来生成负偏置。此方式的优势是只使用一个电源，并且自举电源可用于高侧驱动。在这三种方案中，此设计的成本最低，所需设计工作量也最少。不过，此方式有局限性：

Copyright © 2026 Texas Instruments Incorporated

1. 负栅极驱动偏置不仅由齐纳二极管决定，而且还由占空比决定，这意味着负偏置电压会随着占空比的变化而变化。因此，具有固定占空比（约 50%）的转换器，如变频谐振转换器或移相转换器，有助于实现这一结果。
2. 高侧 VDDA-VSSA 必须维持足够的电压来保持在建议的电源电压范围内，这意味着低侧开关必须导通或在体（或反向并联）二极管上存在续流电流，以便在每个开关周期的特定时期内刷新自举电容器。因此，除非像其他两个示例电路那样，高侧也使用专用电源，否则高侧无法实现 100% 占空比。

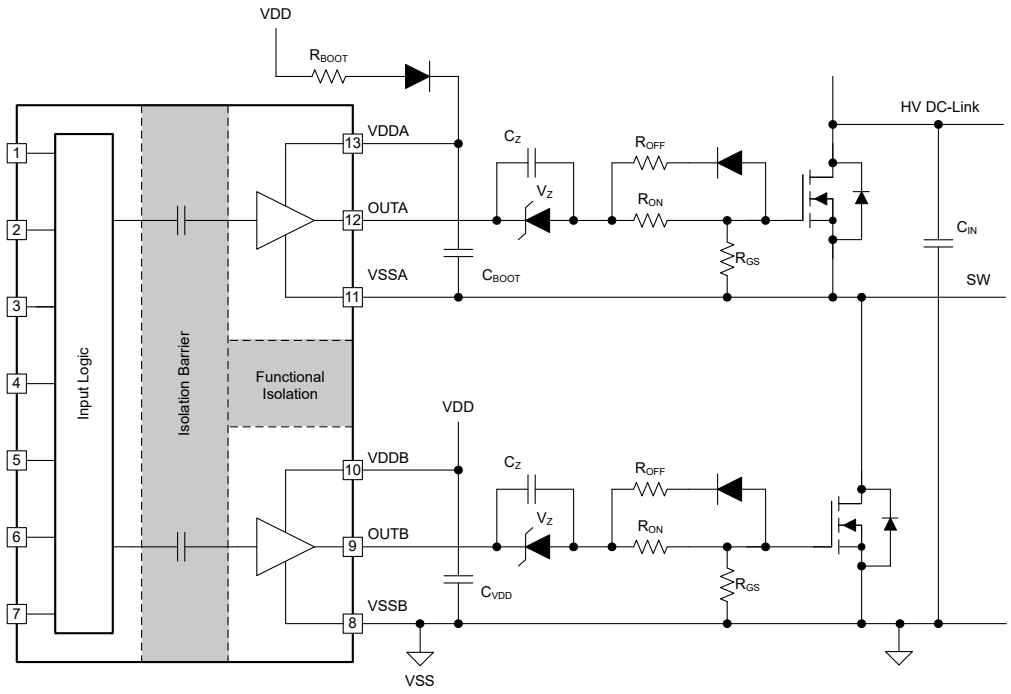


图 8-4. 使用单电源和栅极驱动路径上的齐纳二极管产生负偏置

8.2.3 应用曲线

图 8-5 和图 8-6 展示了在以下条件下，图 8-1 所示设计示例的基准测试波形：VCC = 5V、VDD = 12V、f_{SW} = 200kHz、$V_{DC-Link}$ = 400V。

通道 1（靛蓝色）：UCC20225 的 PWM 引脚信号。

通道 2（蓝绿色）：高侧功率晶体管上的栅极源信号。

通道 3（品红色）：低侧功率晶体管上的栅极源信号。

在图 8-5 中，向 PWM 发送一个 3.3V、20% 占空比信号。功率晶体管上的栅极驱动信号具有 250ns 死区时间，如图 8-5 的测量部分所示。死区时间设置为 250ns 时，死区时间匹配为 10ns。请注意，存在高电压时，需要使用带宽较小的差分探头，而这会限制测量可达到的精度。

图 8-6 展示了图 8-5 波形的放大图，其中提供了传播延迟和上升或下降时间的测量数据。重要的是，输出波形是在功率晶体管的栅极和源极引脚之间测得，而不是直接在驱动器 OUTA 和 OUTB 引脚上测得。由于分离的导通和关断电阻器（R_{ON}、R_{OFF}）、不同的灌电流和拉电流，以及米勒平台，在图 8-6 中观察到了不同的上升时间（60ns、120ns）和下降时间 (25ns)。

Copyright © 2026 Texas Instruments Incorporated

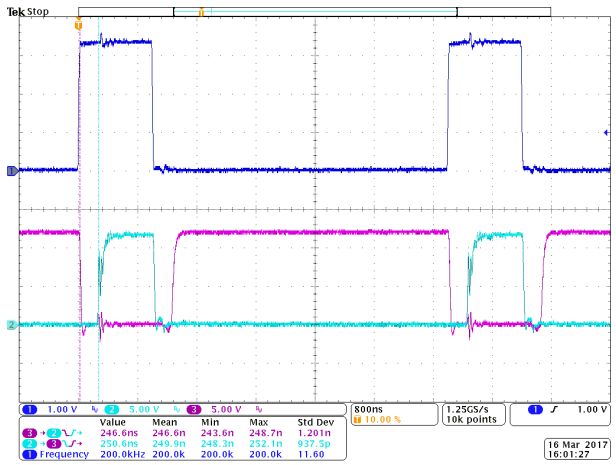


图 8-5. PWM 和 OUTA/B 的基准测试波形

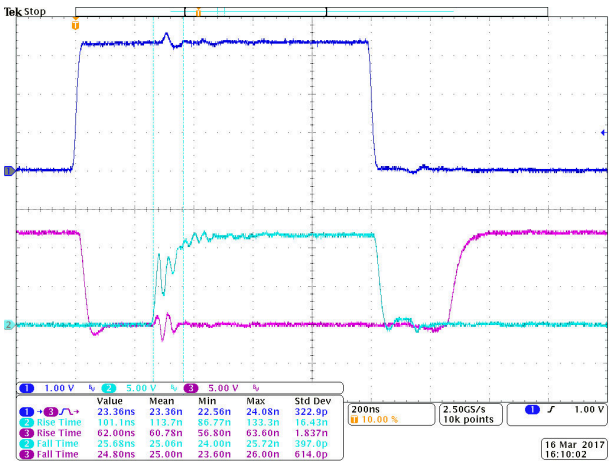


图 8-6. 基准测试波形放大图

8.3 电源相关建议

UCC20225 的建议输入电源电压 (VCCI) 为 3V 至 18V。该辅助电源电压范围的下限由各器件的内部欠压锁定 (UVLO) 保护功能决定。VDD 和 VCCI 不得低于其各自的 UVLO 阈值才能实现正常运行，否则 UVLO 保护功能会将栅极驱动器输出钳位至低电平超过 50μs (有关更多信息，请参阅节 7.3.1) 。VDDA/VDDB 范围的上限取决于由 UCC20225 驱动的功率器件的最大栅极电压，并且不得超过建议的最大 VDDA/VDDB 25V。

必须在 VDD 与 VSS 引脚之间放置一个本地旁路电容器，其值为 220nF 至 10μF，用于进行器件偏置。此外，还建议将一个额外的 100nF 电容器与器件偏置电容器并联，以进行高频滤波。两个电容器必须尽量靠近器件放置。建议使用低 ESR 的陶瓷表面贴装电容器。

同样地，还必须在 VCCI 和 GND 引脚之间放置一个旁路电容器。假设 UCC20225 输入侧逻辑电路汲取的电流很小，那么该旁路电容器的最小建议值为 100nF。

8.4 布局

8.4.1 布局指南

设计人员密切关注 PCB 布局，以实现 UCC20225 的峰值性能。下面是一些要点。

8.4.1.1 元件放置

- 必须在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以在外部功率晶体管导通时支持高峰值电流。
- 为了避免开关节点 VSSA (HS) 引脚上产生较大的负瞬态，必须尽可能减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 建议将死区时间设置电阻 R_{DT} 及其旁路电容器靠近 UCC20225 的 DT 引脚放置。
- 建议在连接到远距离 μC 时，在靠近 DIS 引脚处放置约 1nF 的低 ESR 或 ESL 电容器 C_{DIS} 进行旁路。

8.4.1.2 接地注意事项

- 务必要将对晶体管栅极充电和放电的高峰值电流限制在最小的物理环路区域内。这样将会降低环路电感，并更大限度地减少晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 注意高电流路径，其中包含自举电容器、自举二极管、局部接地参考旁路电容器和低侧晶体管体二极管/反并联二极管。自举电容器由 VDD 旁路电容器通过自举二极管逐周期进行重新充电。这种重新充电行为发生在较短的时间间隔内，需要高峰值电流。尽可能地减小印刷电路板上的环路长度和面积对于确保可靠运行至关重要。

8.4.1.3 高电压注意事项

- 为确保初级侧和次级侧之间的隔离性能，必须避免在驱动器器件下方放置任何 PCB 布线或铜。不建议在 IC 下方切割 PCB 或进行划线，因为这会严重加剧电路板翘曲和扭曲问题。

Copyright © 2026 Texas Instruments Incorporated

- 对于半桥或高侧/低侧配置（其中通道 A 和通道 B 驱动器可在高达 700V_{DC} 的直流链路电压下运行），必须尝试增加高侧和低侧 PCB 布线之间 PCB 布局的爬电距离。

8.4.1.4 散热注意事项

- 如果驱动电压较高、负载较重或开关频率较高，那么 UCC20225 可能会损耗较大的功率（更多详细信息，请参阅节 8.2.2.4）。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并更大限度地降低结到电路板的热阻抗（θ_{JB}）。
- 建议增加连接到 VDDA、VDDB、VSSA 和 VSSB 引脚的 PCB 覆铜，并优先考虑最大限度地增加到 VSSA 和 VSSB 的连接（请参阅图 8-8 和图 8-9）。不过，必须考虑前面提及的高电压 PCB 注意事项。
- 如果系统有多个层，则还建议通过大小适当的通孔将 VDDA、VDDB、VSSA 和 VSSB 引脚连接到内部接地平面或电源平面。这些通孔必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不可重叠来自不同高电压平面的布线/铜。

8.4.2 布局示例

图 8-7 显示了一个 2 层 PCB 布局示例，其中标记了信号和主要元件。

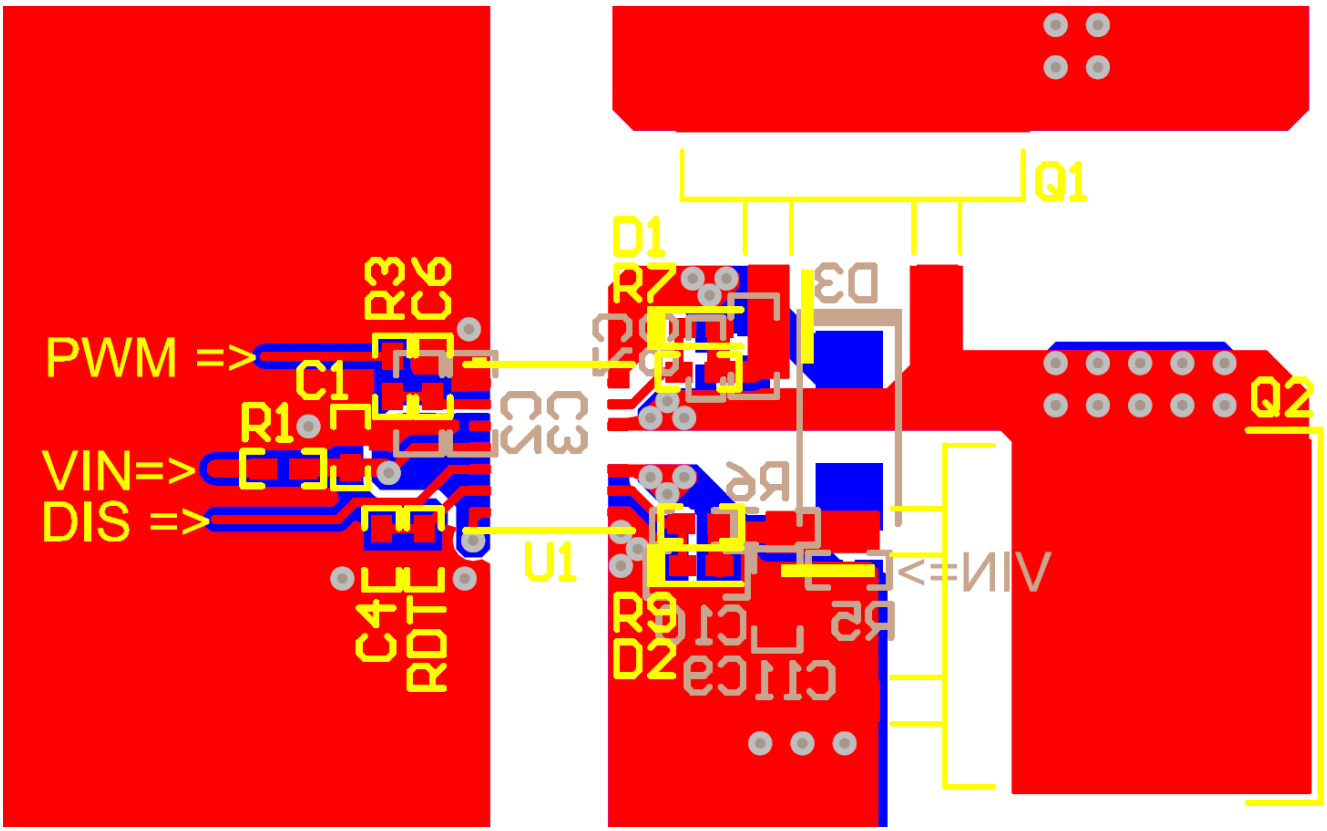


图 8-7. 布局示例

图 8-8 和图 8-9 展示了顶层和底层布线和覆铜。

备注

初级侧和次级侧之间没有 PCB 布线或覆铜，从而确保了隔离性能。

增加输出级中高侧和低侧栅极驱动器之间的 PCB 布线，以更大限度地增加高压运行时的爬电距离，这样，也会更大限度地减少由于寄生电容耦合在开关节点 VSSA (SW)（可能存在高 dv/dt）和低侧栅极驱动器之间导致的串扰。

Copyright © 2026 Texas Instruments Incorporated

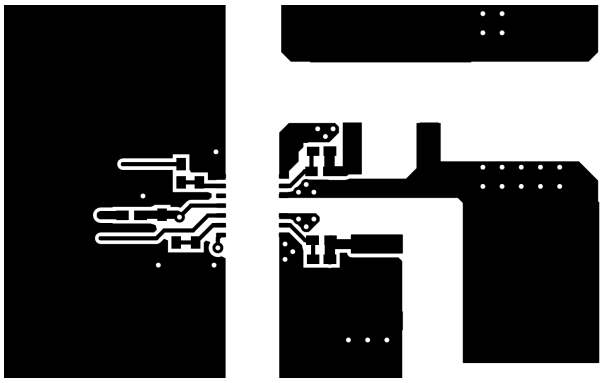


图 8-8. 顶层布线和覆铜

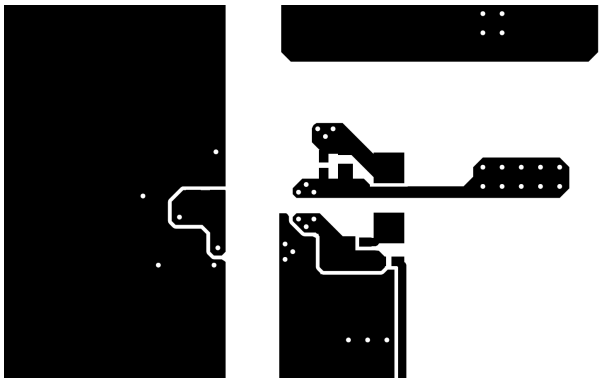


图 8-9. 底层布线和覆铜

图 8-10 和图 8-11 分别是 3D 布局的俯视图和仰视图。

备注

初级侧和次级侧之间的 PCB 切口位置，可确保隔离性能。

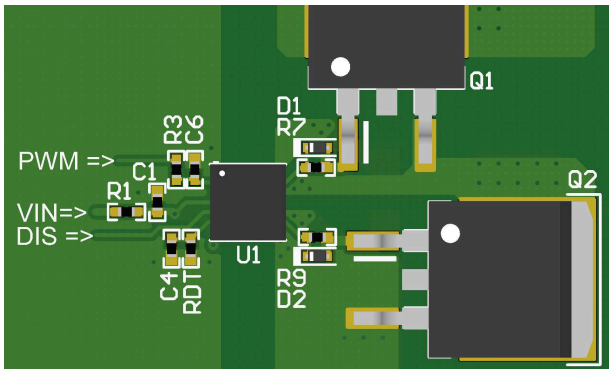


图 8-10. 3D PCB (顶视图)

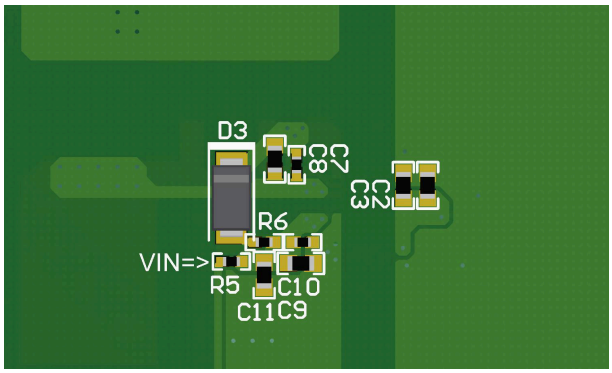


图 8-11. 3D PCB 底视图

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 隔离相关术语

9.3 认证

UL 在线认证目录，*“FPPT2.E181974 非光学隔离器件 - 元件”* 证书编号：20170718E181974，

VDE Pruf- und Zertifizierungsinstitut Certification，工厂监督合格证书

CQC 在线认证目录，“GB4943.1-2011 数字隔离器证书”，证书编号：CQC18001186974

9.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.6 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.8 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2018) to Revision B (November 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将整个文档中的安全相关认证从 GB4943.1-2011 更新为 GB4943.1-2022	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision * (April 2017) to Revision A (February 2018) **Page**

- 更改了特性、应用和说明部分的描述 1
- 将特性部分中的 UL、VDE 和 CQC 安全相关认证描述从“已计划”更改为“已完成” 1
- 删除了安全相关认证部分中的 CSA 认证说明 1
- 更改了 DISABLE 引脚和 DT 引脚的详细说明 3
- 更改了额定功率的测试条件 5
- 删除了“绝缘规格”部分中材料组的测试条件 5
- 更改了“绝缘规格”部分中的过压类别 5
- 将安全相关认证中的 VDE V 0884-10:2006-12 更改为 VDE V 0884-11:2017-01 5
- 将“绝缘规格”中的 V_{IOSM} 从 3535V_{PK} 更改为 3500V_{PK} 5
- 在绝缘规格和安全相关认证表中将 VDE V 0884-10 更改为 VDE V 0884-11 6
- 在安全相关认证表中添加了 VDE、UL 和 CQC 的认证编号 6
- 在安全相关认证表中添加了 320V_{RMS} 最大工作电压 6
- 更改了表注以说明如何计算安全限值 6
- 添加了传播延迟 t_{PDHL} 和 t_{PDLH} 的最小规格 8
- 更改了 CMTI 规格，替换为 $|CM_H|$ 和 $|CM_L|$ 8
- 为 UVLO 到输出延迟添加了特性说明 15
- 在输入/输出逻辑表中添加了脚注 19
- 向“布局指南”部分中的元件放置添加了要点“建议……” 30
- 在认证部分添加了 UL、VDE 和 CQC 在线认证目录 33

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC20225NPLR	Active	Production	VLGA (NPL) | 13	3000 | LARGE T&R	Yes	NIAU	Level-3-260C-168 HR	-40 to 125	UCC20225
UCC20225NPLR.A	Active	Production	VLGA (NPL) | 13	3000 | LARGE T&R	Yes	NIAU	Level-3-260C-168 HR	-40 to 125	UCC20225

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC20225 :

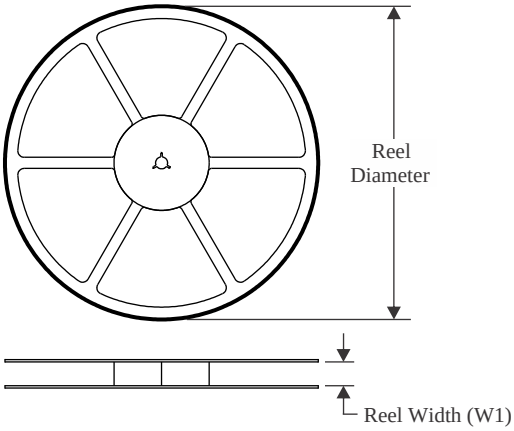
- Automotive : UCC20225-Q1

NOTE: Qualified Version Definitions:

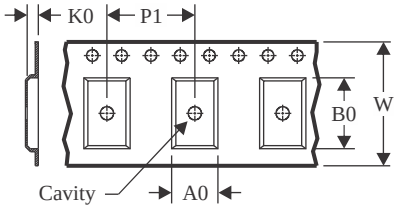
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

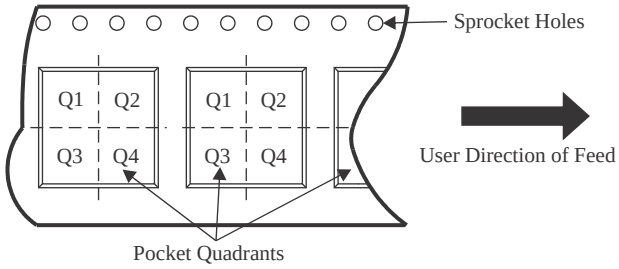


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

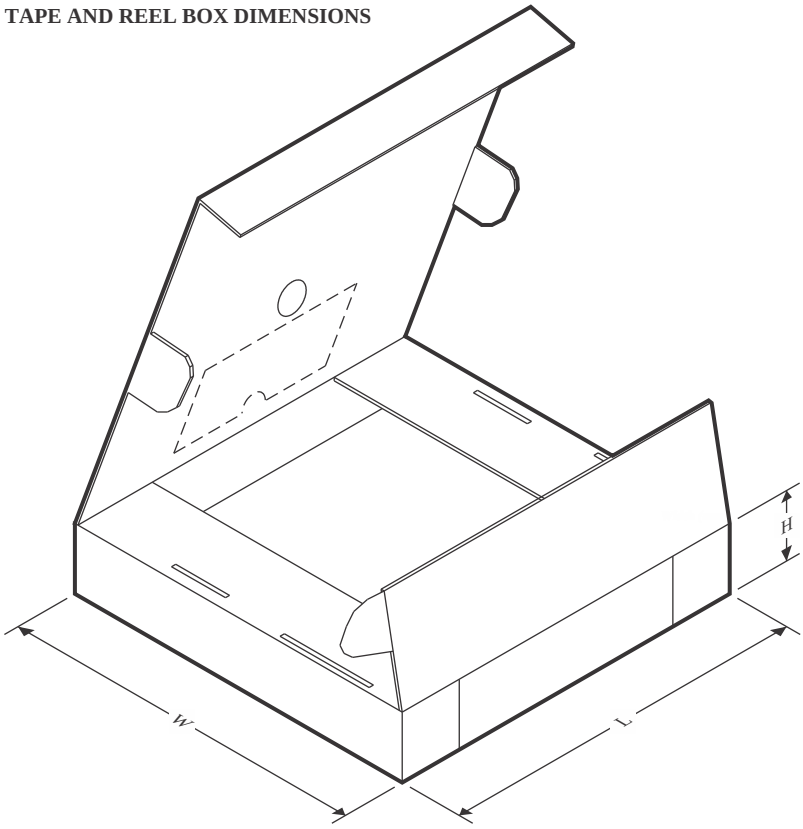
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC20225NPLR	VLGA	NPL	13	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q1

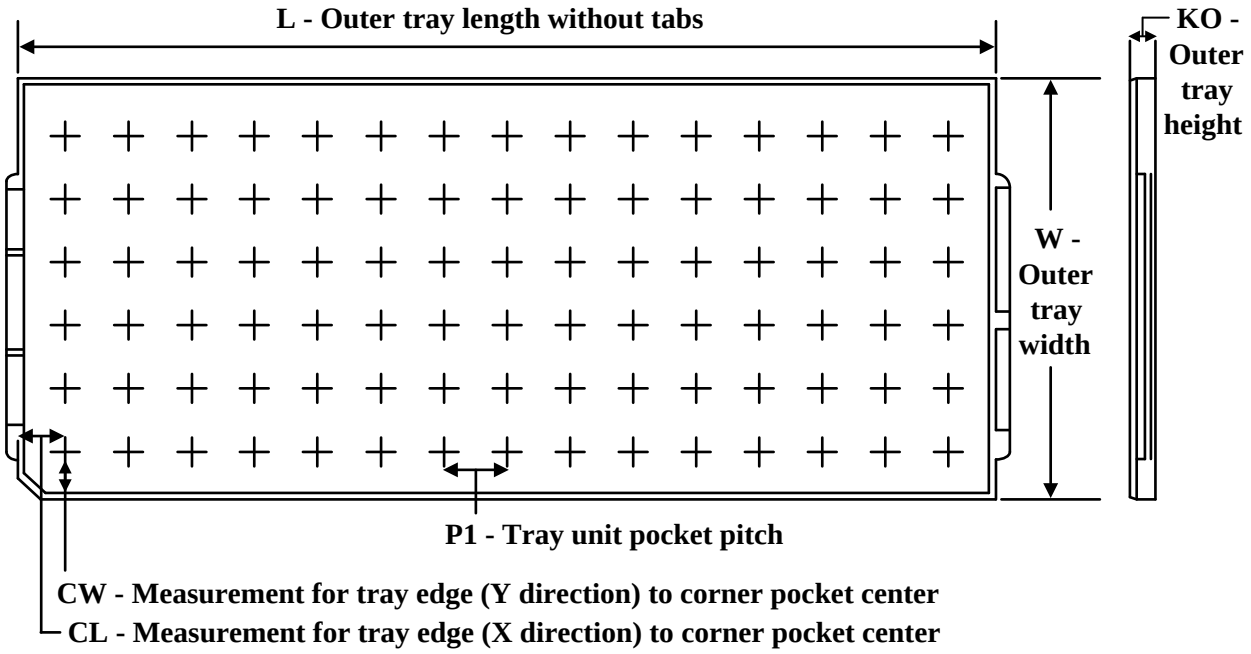
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC20225NPLR	VLGA	NPL	13	3000	350.0	350.0	43.0

TRAY

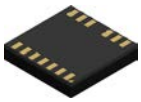


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
UCC20225NPLR	NPL	VLGA	13	3000	14 x 35	150	315	135.9	7620	8.8	7.9	8.15
UCC20225NPLR.A	NPL	VLGA	13	3000	14 x 35	150	315	135.9	7620	8.8	7.9	8.15

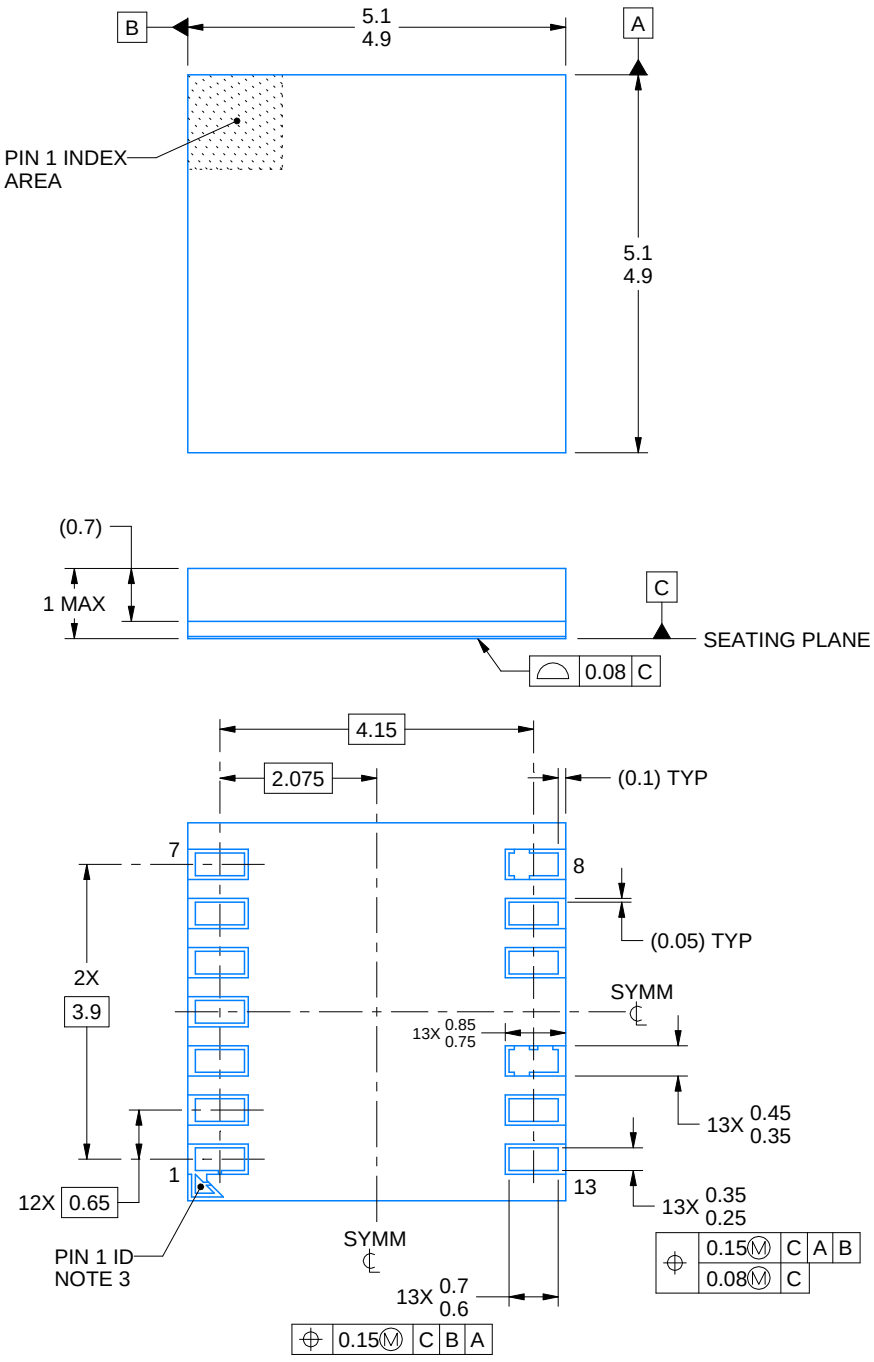
NPL0013A



PACKAGE OUTLINE

VLGA - 1 max height

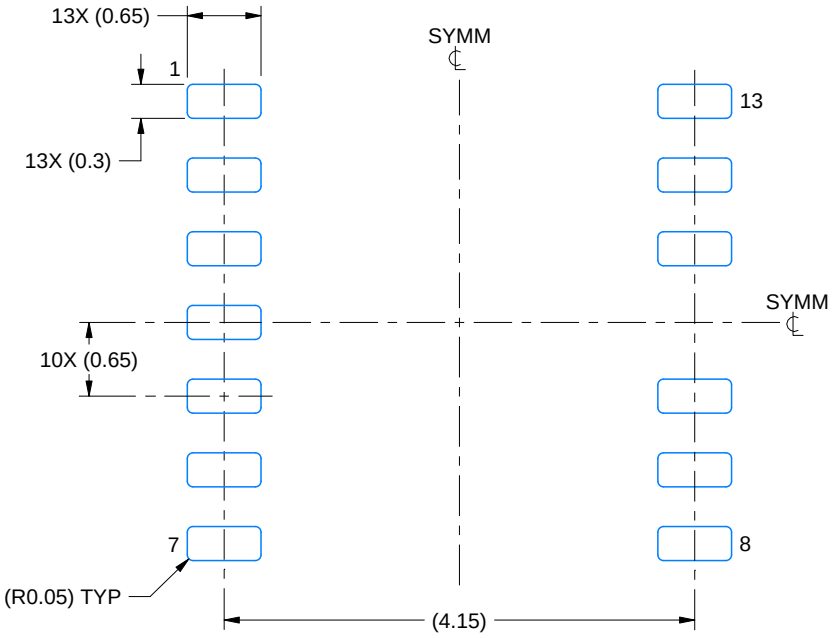
LAND GRID ARRAY



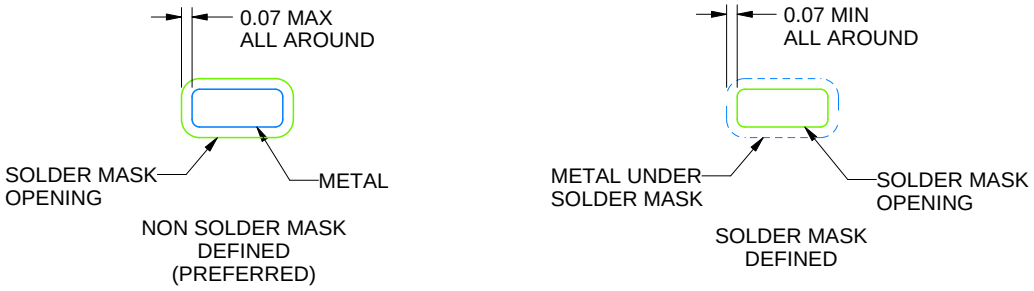
4222800/C 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pin 1 indicator is electrically connected to pin 1.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PACKAGE SOLDER PADS
SCALE:15X

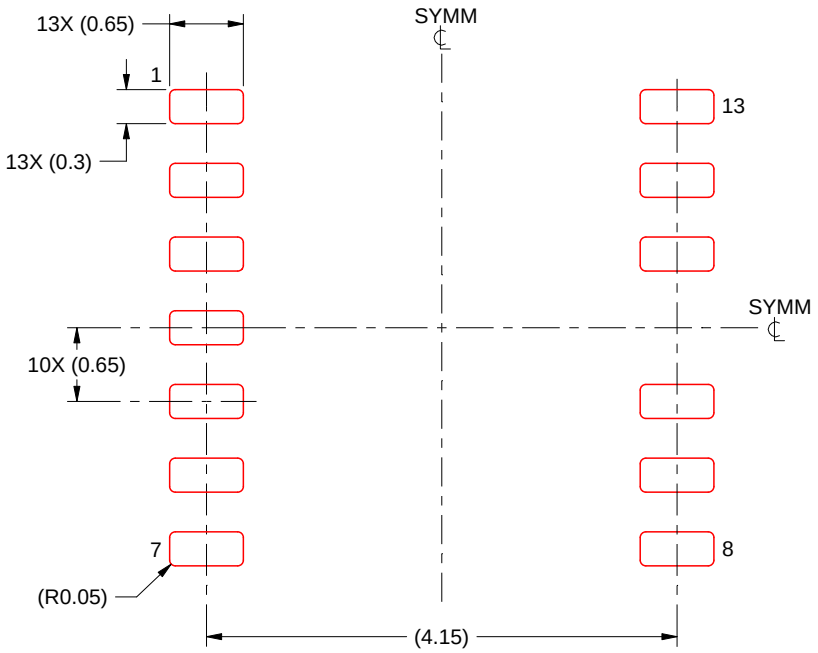


SOLDER MASK DETAILS
NOT TO SCALE

4222800/C 08/2024

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4222800/C 08/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月