UCCx8C4x BiCMOS 低功耗电流模式 PWM 控制器

1 特性

- 具有引脚对引脚兼容性的 UCx84x 和 UCx84xA 系列的增强型替代产品
- 工作频率：最大值 1MHz
- 50 µA 启动电流，100 µA 最大值
- 低工作电流：2.3mA（f_{OSC} = 52kHz）
- 快速、逐周期过流限制：35ns
- 峰值驱动电流：±1A。轨到轨输出：
  - 25ns 上升时间
  - 20ns 下降时间
- 精度为 ±1% 的 2.5V 误差放大器基准
- 修整的振荡器放电电流
- 欠压锁定保护
- VSSOP-8 封装更大限度地减少了布板空间

2 应用

- 开关模式电源
- 通用单端直流/直流或离线隔离式电源转换器
- 板载电源模块

3 说明

UCCx8C4x 系列是高性能电流模式 PWM 控制器。UCCx8C4x 是一种增强型 BiCMOS 版本，具有与业界通用 UCx84xA 系列和 UCx84x 系列 PWM 控制器的引脚对引脚兼容性。BiCMOS 技术提供更低的功耗以提高效率，并提供更快的电流检测和振荡器频率。

此外，还提供 7V 较低启动电压版本 UCCx8C40 和 UCCx8C41，用于电池系统。UCC28C4x 系列的工作温度范围为 -40°C 到 125°C，而 UCC38C4x 系列的工作温度范围为 0°C 至 85°C。

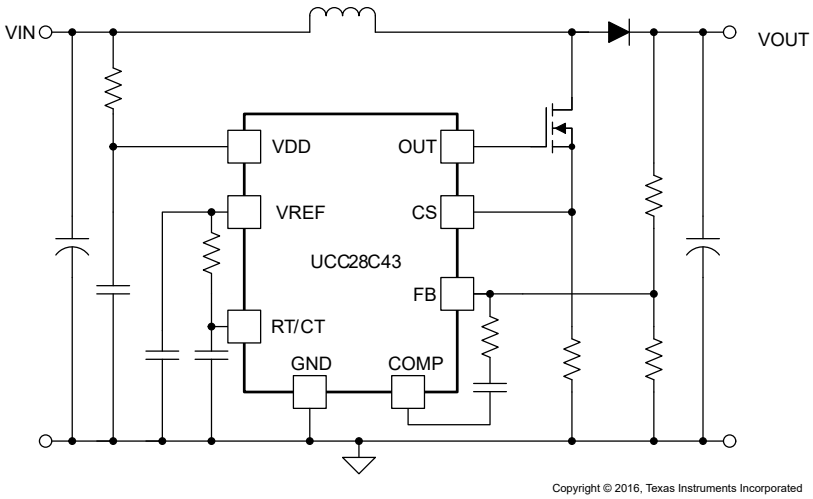
该系列提供了控制固定频率、峰值电流模式电源的必要功能，具有以下性能优势。该器件提供高达 1MHz 的高频操作，适用于高速应用。与 UCCx8C4x 系列相比，经过修整的放电电流可对最大占空比和死区时间限制进行更精确的编程。减小启动和工作电流可更大限度地减少启动损耗并尽可能实现较低工作功耗，从而提高效率。该器件还具有 35ns 的快速电流检测到输出延迟时间，可在电源开关上提供出色的过载保护，并具有 ±1A 的峰值输出电流能力以及改进的上升和下降时间，可直接驱动大型外部 MOSFET。

UCCx8C4x 系列采用 8 引脚 VSSOP (DGK) 和 8 引脚 SOIC (D) 封装。

器件信息

器件型号	封装(1)	本体尺寸（标称值）
UCC28C4x UCC38C4x	SOIC (8)	3.91mm × 4.90mm
	VSSOP (8)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



Copyright © 2016, Texas Instruments Incorporated

简化版应用

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 6
6.3 建议工作条件 6
6.4 热性能信息 7
6.5 电气特性 7
6.6 典型特性 10
7 详细说明 14
7.1 概述 14
7.2 功能方框图 14
7.3 特性说明 15
7.4 器件功能模式 24
8 应用和实施 25
8.1 应用信息 25
8.2 典型应用 27
8.3 电源相关建议 39
8.4 布局 39
9 器件和文档支持 42
9.1 器件支持 42
9.2 文档支持 42
9.3 接收文档更新通知 42
9.4 支持资源 42
9.5 商标 43
9.6 静电放电警告 43
9.7 术语表 43
10 修订历史记录 43
11 机械、封装和可订购信息 43

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

UVLO			结温 (T_J) (°C)	最大占空比
在 14.5V 时导通 在 9V 时关断 适合于离线应用	在 8.4V 时导通 在 7.6V 时关断 适用于直流/直流应用	在 7V 时导通 在 6.6V 时关断 适用于电池应用		
UCC28C42	UCC28C43	UCC28C40	-40 至 125	100%
UCC38C42	UCC38C43	UCC38C40	0 至 85	
UCC28C44	UCC28C45	UCC28C41	-40 至 125	50%
UCC38C44	UCC38C45	UCC38C41	0 至 85	

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

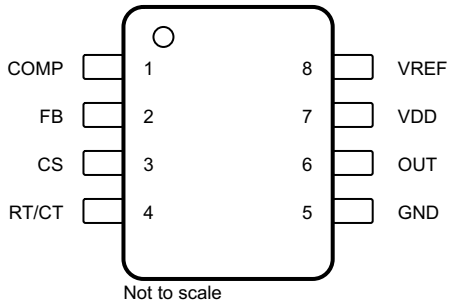


图 5-1. D 封装 8 引脚 SOIC（顶视图）

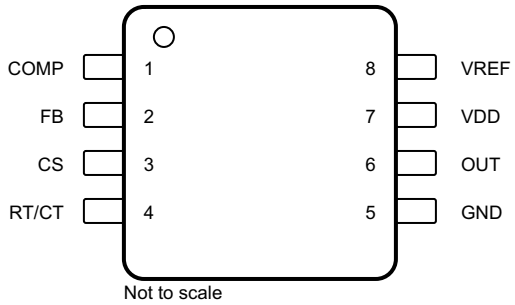


图 5-2. DGK 封装，8 引脚 VSSOP（顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
COMP	1	O	该引脚提供误差放大器的输出，以用于进行补偿。此外，COMP 引脚通常用作控制端口，方法是利用次级侧误差放大器通过光隔离器跨次级/初级隔离边界发送误差信号。误差放大器内部有电流限制，因此，用户可以通过外部将 COMP 强制为 GND 来指定零占空比。
CS	3	I	初级侧电流检测引脚。电流检测引脚是 PWM 比较器的同相输入端。连接到电流检测电阻器。该信号与和误差放大器输出电压成比例的信号进行比较。PWM 使用该信号终止 OUT 开关导通。电压斜坡可施加于该引脚，以通过电压模式控制配置运行器件。
FB	2	I	该引脚是误差放大器的反相输入端。FB 用于控制电源转换器电压反馈环路以实现稳定性。误差放大器的同相输入在内部修整为 2.5V±1%。
GND	5	—	输出驱动器级和逻辑电平控制器部分的接地回路引脚。
OUT	6	O	片上驱动级的输出。OUT 用于直接驱动 MOSFET。UCCx8C40、UCCx8C42 和 UCCx8C43 中的 OUT 引脚频率与振荡器相同，并且可以在接近 100% 的占空比下运行。在 UCCx8C41、UCCx8C44 和 UCCx8C45 中，由于内部的 T 触发器，OUT 的频率是振荡器频率的一半。这将最大占空比限制为 < 50%。峰值电流高达 1A，由该引脚提供和灌入。当 VDD 低于导通阈值时，OUT 主动保持低电平。
RT/CT	4	I/O	固定频率振荡器设定点。从该引脚将计时电阻器 (R_{RT}) 连接到 VREF 并将计时电容器 (C_{CT}) 连接到 GND，以设置开关频率。为了获得最佳性能，保持计时电容器引线尽可能短且直接连接到器件 GND。如果可能，为计时电容器和所有其他功能使用单独的接地走线。UCCx8C40、UCCx8C42 和 UCCx8C43 栅极驱动的开关频率 (f_{SW}) 等于 f_{OSC}；UCCx8C41、UCCx8C44 和 UCCx8C45 的开关频率等于 f_{OSC} 的一半。
VDD	7	I	为器件供电的模拟控制器偏置输入。总 VDD 电流是静态 VDD 电流和平均 OUT（输出）电流的总和。该引脚上需要一个旁路电容器，通常为 0.1μF，直接连接到 GND，并具有最小的布线长度。VDD 上还需要附加电容，该电容要比设计中所用主开关 FET 的栅极电容至少大 10 倍。
VREF	8	O	5V 基准电压。VREF 用于通过计时电阻器向振荡器计时电容器提供充电电流。通过尽可能靠近引脚连接的陶瓷电容器将 VREF 旁路至 GND，这点对于基准稳定性来说非常重要。要求陶瓷电容器的最小值为 0.1μF。VREF 上的外部负载需要额外的 VREF 旁路。

(1) I = 输入，O = 输出，G = 接地

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
输入电压	VDD		20	V
输入电流	IVDD		30	mA
输出驱动电流（峰值）			±1	A
输出能量（容性负载）E_{OUT}			5	μJ
模拟输入电压	COMP、CS、FB、RT/CT	-0.3	6.3	V
输出驱动器电压	OUT	-0.3	20	
基准电压	VREF		7	
误差放大器输出灌电流	COMP		10	mA
T_A = 25°C 时的总功率耗散	D 封装		72.3	°C/W
	DGK 封装		98.1	
引线温度（焊接，10s）T_{LEAD}			300	°C
工作结温，T_J		-55	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成损坏。这些仅仅是应力额定值，并不意味着器件在这些条件或超出*节 6.3* 下的任何其它条件下能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压均以 GND 引脚为基准。电流是指定端子的正输入、负输出。

Copyright © 2024 Texas Instruments Incorporated

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{VDD}	输入电压			18	V
V_{OUT}	输出驱动器电压			18	V
V_{REF}	来自外部电路的最大连续电压			5.5	V
I_{OUT}	平均输出驱动器电流（拉电流和灌电流）(1)			200	mA
$I_{OUT(VREF)}$	基准输出电流（拉电流）(1)			20	mA
T_J	工作结温(1)	UCC28C4x	-40	125	°C
		UCC38C4x	0	85	

(1) TI 建议不要在超出此表中规定的条件下长时间运行器件。

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		UCC28C4x、UCC38C4x		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	128.9	176.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.7	67.3	°C/W
$R_{\theta JB}$	结至电路板热阻	72.3	98.1	°C/W
ψ_{JT}	结至顶部特征参数	23.4	11.1	°C/W
ψ_{JB}	结至电路板特征参数	71.5	91.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 电气特性

V_{VDD} = 15V(1)，R_{RT} = 10kΩ，C_{CT} = 3.3nF，C_{VDD} = 0.1µF，输出端无负载，对于 UCC28C4x，T_J = –40°C 至 125°C，对于 UCC38C4x，T_J = 0°C 至 85°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
基准						
V_{VREF}	VREF 电压，初始精度	T_J = 25°C，I_{OUT} = 1mA	4.9	5	5.1	V
	线性调节	V_{VDD} = 12V 至 18V		0.2	20	mV
	负载调整率	1mA 至 20mA		3	25	mV
	温度稳定性	请参阅(2)		0.2	0.4	mV/°C
	总输出变化	请参阅(2)	4.82		5.18	V
	VREF 噪声电压	10Hz 至 10kHz，T_J = 25°C，请参阅(2)		50		µV
	长期稳定性	1000 小时，T_J = 125°C，请参阅(2)		5	25	mV
I_{VREF}	输出短路（拉电流）		30	45	55	mA
振荡器						
f_{OSC}	初始精度	T_J = 25°C，请参阅(3)	50.5	53	55	kHz
	电压稳定性	12V ≤ V_{VDD} ≤ 18V		0.2%	1%	
	温度稳定性	$T_{J(MIN)}$ 至 $T_{J(MAX)}$，请参阅(2)		1%	2.5%	
	振幅	RT/CT 引脚峰峰值电压		1.9		V
	放电电流	T_J = 25°C，$V_{RT/CT}$ = 2V，请参阅(4)	7.7	8.4	9	mA
		$V_{RT/CT}$ = 2V，请参阅(4)	7.2	8.4	9.5	
误差放大器						
V_{FB}	反馈输入电压，初始精度	V_{COMP} = 2.5V，T_J = 25°C	2.475	2.5	2.525	V
	反馈输入电压，总变化	V_{COMP} = 2.5V	2.45	2.5	2.55	V
I_{FB}	输入偏置电流（拉电流）	V_{FB} = 5V		0.1	2	µA
A_{VOL}	开环电压增益	2V ≤ V_{OUT} ≤ 4V	65	90		dB
	单位带宽增益积	请参阅(2)	1	1.5		MHz
PSRR	电源抑制比	12V ≤ V_{VDD} ≤ 18V	60			dB
	输出灌电流	V_{FB} = 2.7V，V_{COMP} = 1.1V	2	14		mA
	输出拉电流	V_{FB} = 2.3V，V_{COMP} = 5V	0.5	1		mA
	输出拉电流(2)	V_{FB} ≤ 2.3V，V_{COMP} = 0V			5.5	mA
VOH	高电平 COMP 电压	V_{FB} = 2.3V，R_{COMP} = 15kΩ COMP 到 GND	V_{REF} - 0.2			V

Copyright © 2024 Texas Instruments Incorporated

V_{VDD} = 15V[(1)]，R_{RT} = 10kΩ，C_{CT} = 3.3nF，C_{VDD} = 0.1μF，输出端无负载，对于 UCC28C4x，T_J = –40°C 至 125°C，对于 UCC38C4x，T_J = 0°C 至 85°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
VOL	低电平 COMP 电压	V_{FB} = 2.7V，R_{COMP} = 15kΩ COMP 到 VREF		0.1	1.1	V

Copyright © 2024 Texas Instruments Incorporated

V_{VDD} = 15V(1)，R_{RT} = 10kΩ，C_{CT} = 3.3nF，C_{VDD} = 0.1μF，输出端无负载，对于 UCC28C4x，T_J = –40°C 至 125°C，对于 UCC38C4x，T_J = 0°C 至 85°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电流检测						
A_{CS}	增益	请参阅 (5) (6)	2.85	3	3.15	V/V
V_{CS}	最大输入信号	V_{FB} < 2.4V	0.9	1	1.1	V
PSRR	电源抑制比	V_{VDD} = 12V 至 18V(2) (5)		70		dB
I_{CS}	输入偏置电流（拉电流）			0.1	2	μA
t_D	CS 至输出延迟			35	70	ns
	COMP 至 CS 失调电压	V_{CS} = 0V		1.15		V
输出						
$V_{OUT(low)}$	$R_{DS(on)}$ 下拉	I_{SINK} = 200mA		5.5	15	Ω
$V_{OUT(high)}$	$R_{DS(on)}$ 上拉	I_{SOURCE} = 200mA		10	25	Ω
t_{RISE}	上升时间	T_J = 25°C，C_{OUT} = 1nF		25	50	ns
t_{FALL}	下降时间	T_J = 25°C，C_{OUT} = 1nF		20	40	ns
欠压锁定						
VDD_{ON}	启动阈值	UCCx8C42、UCCx8C44	13.5	14.5	15.5	V
		UCCx8C43、UCCx8C45	7.8	8.4	9	
		UCCx8C40、UCCx8C41	6.5	7	7.5	
VDD_{OFF}	最小工作电压	UCCx8C42、UCCx8C44	8	9	10	V
		UCCx8C43、UCCx8C45	7	7.6	8.2	
		UCCx8C40、UCCx8C41	6.1	6.6	7.1	
PWM						
D_{MAX}	最大占空比	UCCx8C42、UCCx8C43、UCCx8C40，V_{FB} < 2.4V	94%	96%		
		UCCx8C44、UCCx8C45、UCCx8C41，V_{FB} < 2.4V	47%	48%		
D_{MIN}	最小占空比	V_{FB} > 2.6V			0%	
电源电流						
$I_{START-UP}$	启动电流	V_{VDD} = VDD_{ON} – 0.5V		50	100	μA
I_{VDD}	工作电源电流	V_{FB} = V_{CS} = 0V		2.3	3	mA

(1) 将 V_{VDD} 调整为高于启动阈值，然后再设置为 和 15.5V。
(2) 根据设计确定。未经生产测试。
(3) UCCx8C41、UCCx8C44、UCCx8C45 是振荡器频率的一半。
(4) 在 R_{RT} = 10kΩ 至 VREF 的情况下测量振荡器放电电流。
(5) 当 V_{FB} = 0V 时，在闩锁跳变点测得的参数。
(6) 增益定义为 A_{CS} = $\Delta V_{COMP}/\Delta V_{CS}$，0V ≤ V_{CS} ≤ 900mV

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性

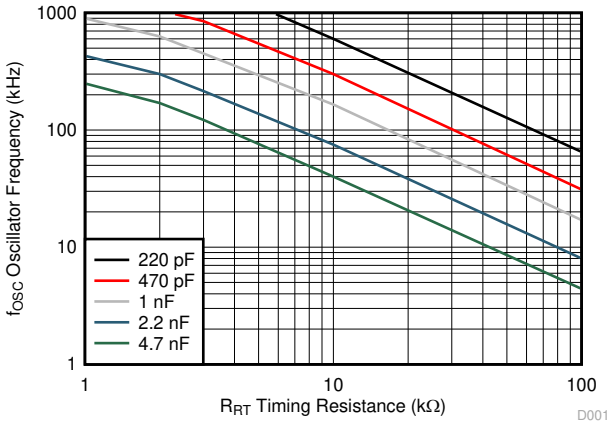


图 6-1. 振荡器频率与计时电阻和电容间的关系

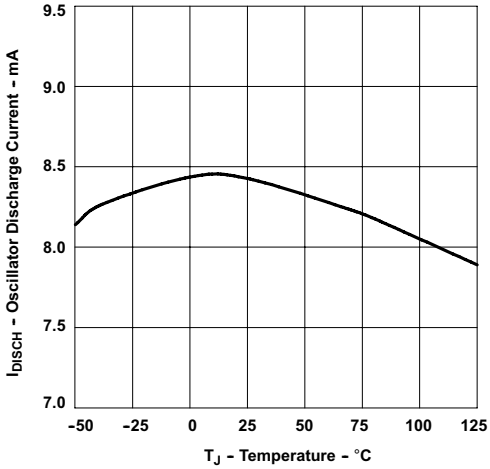


图 6-2. 振荡器放电电流与温度间的关系

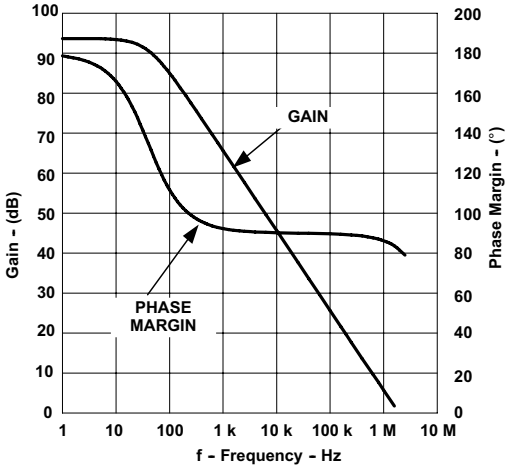
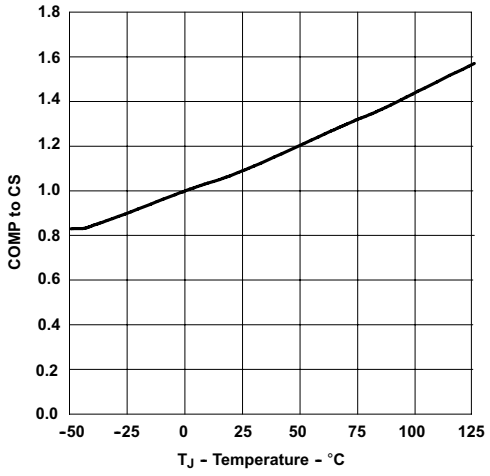


图 6-3. 误差放大器频率响应



V_{CS} = 0V

图 6-4. COMP 至 CS 失调电压与温度间的关系

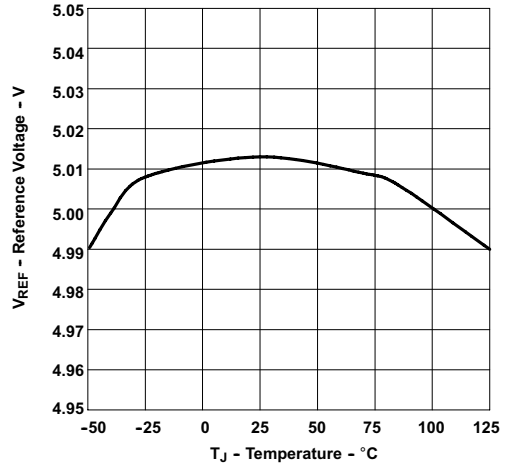


图 6-5. 基准电压与温度间的关系

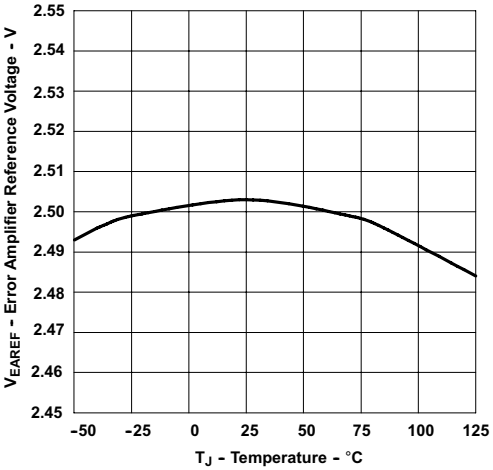


图 6-6. 误差放大器基准电压与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

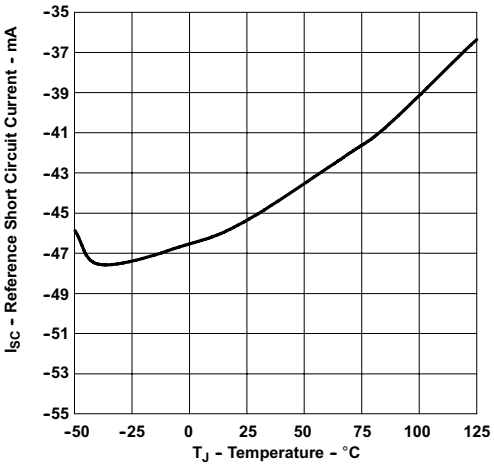


图 6-7. 基准短路电流与温度间的关系

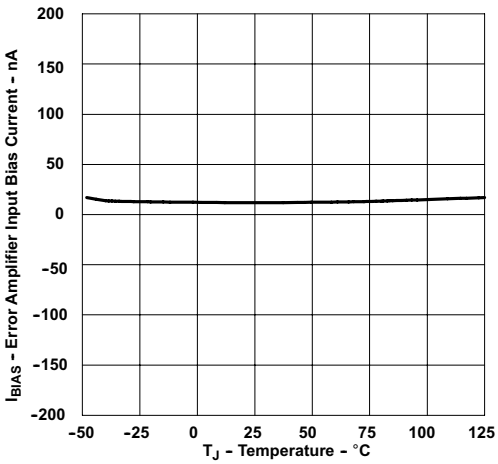
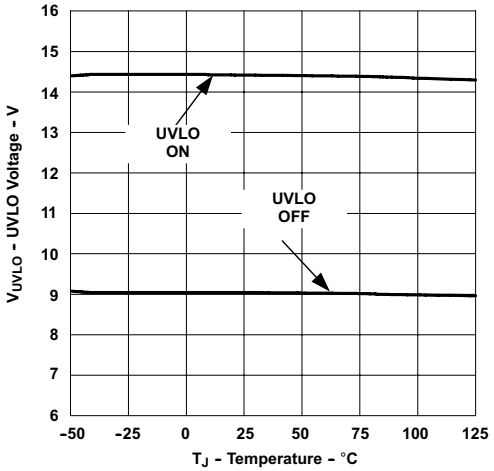
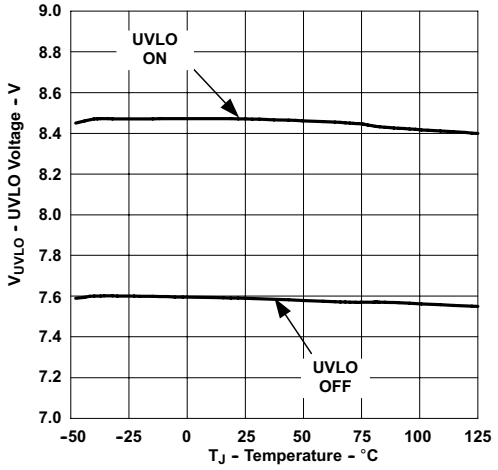


图 6-8. 误差放大器输入偏置电流与温度间的关系



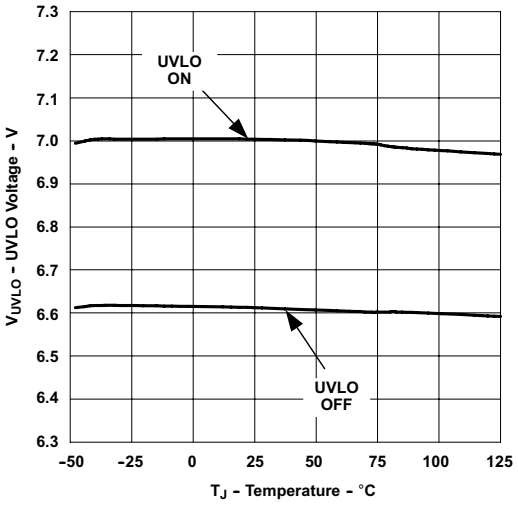
UCCx8C42 和 UCCx8C44

图 6-9. 欠压锁定与温度间的关系



UCCx8C43 和 UCCx8C45

图 6-10. 欠压锁定与温度间的关系



UCCx8C40 和 UCCx8C41

图 6-11. 欠压锁定与温度间的关系

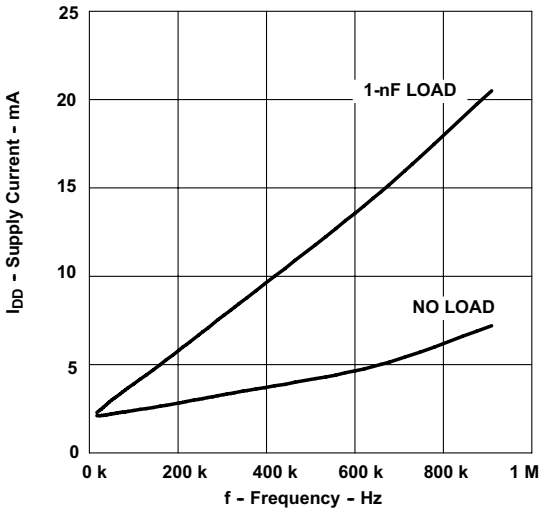


图 6-12. 电源电流与振荡器频率间的关系

Copyright © 2024 Texas Instruments Incorporated

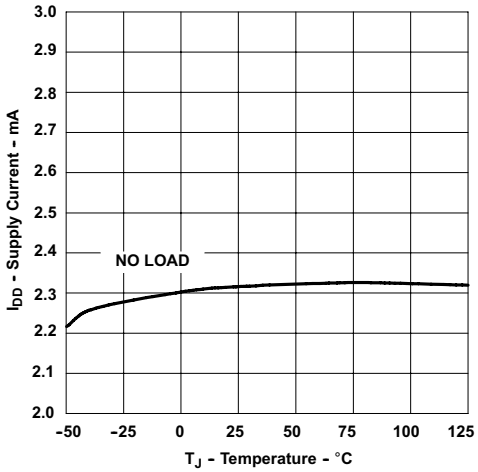


图 6-13. 电源电流与温度间的关系

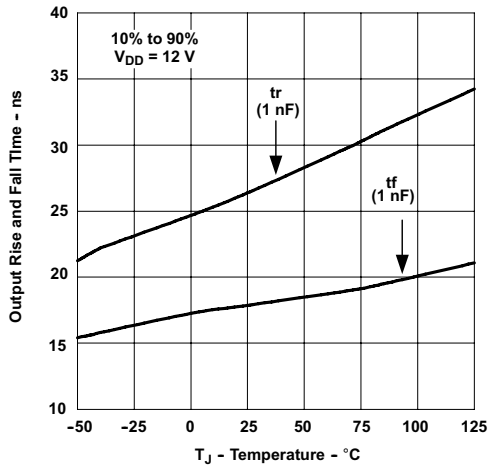


图 6-14. 输出上升时间和下降时间与温度间的关系

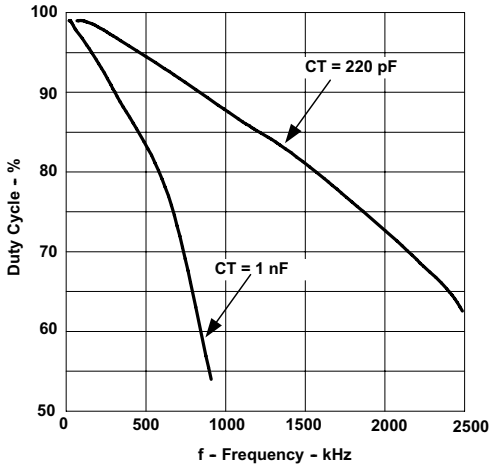


图 6-15. 最大占空比与振荡器频率间的关系

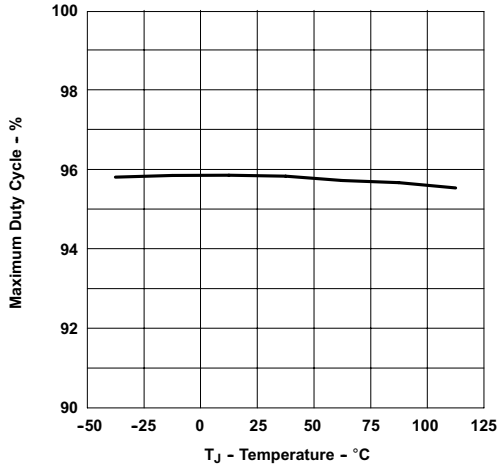


图 6-16. 最大占空比与温度间的关系（对于具有最大 100% 占空比的器件型号）

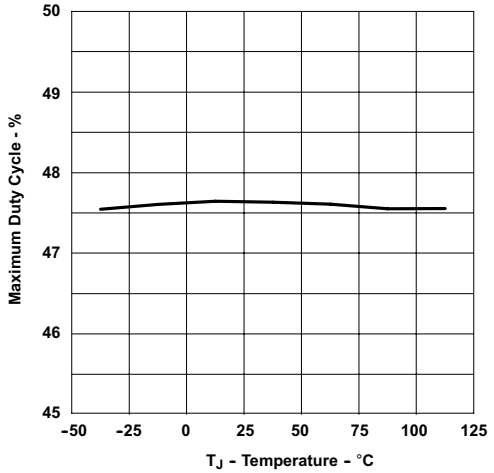


图 6-17. 最大占空比与温度间的关系（对于具有最大 50% 占空比的器件型号）

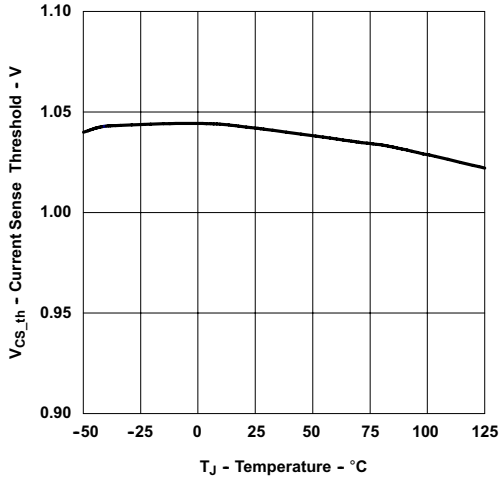


图 6-18. 电流检测阈值电压与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

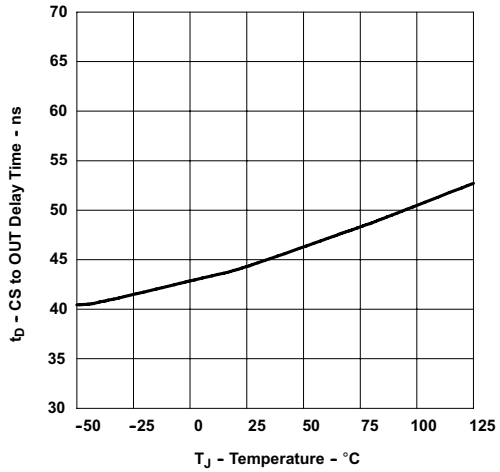


图 6-19. 电流检测到输出延迟时间与温度间的关系

7 详细说明

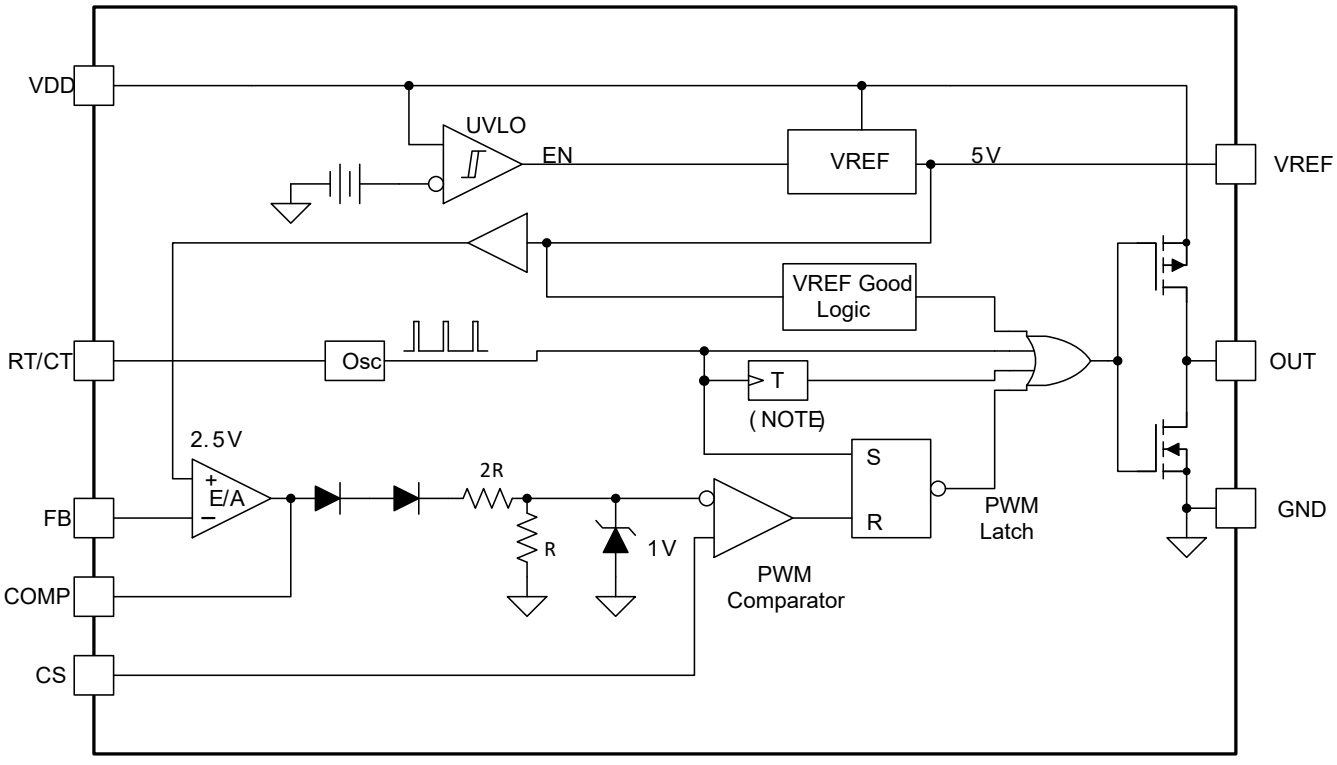
7.1 概述

UCCx8C4x 系列控制集成电路提供了实现交流/直流或直流/直流固定频率电流模式控制方案所需的各种特性，并且需要的外部元件数量很少。保护电路包含欠压锁定 (UVLO) 和电流限制。内部实现的电路包括小于 100μA 的启动电流、经过修整以保证误差放大器输入处精度的精密基准、确保锁存操作的逻辑、同时提供限流控制的脉宽调制 (PWM) 比较器以及设计用于拉取或灌入高峰值电流的输出级。输出级适合用于驱动 N 沟道 MOSFET，当处于关闭状态时为低电平。该振荡器包含经过修整的放电电流，可对最大占空比和死区时间限制进行精确编程，因此该器件非常适合高速应用。

这些系列的成员之间的主要差异是 UVLO 阈值、可接受的环境温度范围和最大占空比。UCCx8C42 和 UCCx8C44 器件具有 14.5V（导通）和 9V（关断）的典型 UVLO 阈值，因此非常适合离线交流/直流应用。UCCx8C43 和 UCCx8C45 器件具有 8.4V（导通）和 7.6V（关断）的典型阈值，因此非常适合与直流/直流应用中的稳压输入电压配合使用。UCCx8C40 和 UCCx8C41 具有 7V 的启动阈值和 6.6V 的关断阈值，因此非常适合电池供电型应用。UCCx8C40、UCCx8C42 和 UCCx8C43 器件可在接近 100% 的占空比下运行。UCCx8C41、UCCx8C44 和 UCCx8C45 通过添加内部切换触发器获得 0% 到 50% 的占空比范围，每隔一个时钟周期就对输出消隐。UCC28C4x 系列的工作温度范围为 -40°C 到 125°C，而 UCC38C4x 系列的工作温度范围为 0°C 至 85°C。

UCC28C4x 和 UCC38C4x 系列是增强型替代产品，并且与 UC284x、UC384x、UC284xA 和 UC384xA 系列双极器件引脚对引脚兼容。与较早的双极器件和其他具有类似功能的竞争 BiCMOS 器件相比，这些新的系列提供了更高的性能。这些改进通常包括更严格的规格限制，这些限制是旧产品评级的子集，因而保持了直接替代能力。与以前可用的器件相比，这些改进可以在新设计中减少元件数量或提高电路性能。

7.2 功能方框图



仅在 UCCx8C41、UCCx8C44 和 UCCx8C45 中使用的切换触发器

Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

BiCMOS 设计允许在上一代双极器件中无法实现的高频率下运行。首先，输出级经过了重新设计，以在大约早期器件一半的时间内驱动外部电源开关。其次，内部振荡器更加稳健，随着频率的增加变化更小。这种更快的振荡器使该器件适用于高速应用，而经过修整的放电电流可对最大占空比和死区时间限制进行精确编程。此外，电流检测到输出的延迟保持与 相同，典型值为 45ns。电流检测中的这种延迟时间可在电源开关上提供出色的过载保护。该器件较低的启动电流可更大限度地降低启动电阻器中的稳态功耗，并且低工作电流可在运行时尽可能地提高效率，从而提高电路总效率，无论是离线运行、直流输入还是电池供电电路。这些特性相结合，使得器件能够在高频条件下可靠地运行。

表 7-1. 改进的关键参数

参数	UCCx8C4x	UCx84x
50kHz 时的电源电流	2.3mA	11mA
启动电流	50µA	1mA
过流传播延迟	50ns	150ns
基准电压精度	± 1%	± 2%
误差放大器基准电压精度	±25mV	±80mV
最大振荡器频率	> 1MHz	500kHz
输出上升/下降时间	25ns	50ns
UVLO 导通精度	±1V	±1.5V
最小封装选项	VSSOP-8 (MSOP-8)	SOIC-8

7.3.1 详细引脚说明

7.3.1.1 COMP

UCCx8C4x 系列中的误差放大器具有 1.5MHz 的单位增益带宽。COMP 端子可同时拉出和灌入电流。误差放大器具有内部电流限制，因此，可以通过在外部将 COMP 强制连接到 GND 来指定零占空比。

7.3.1.2 FB

FB 是误差放大器的反相输入。误差放大器的同相输入在内部修整为 2.5V ±1%。FB 用于控制电源转换器电压反馈环路以实现稳定性。为了获得最佳的稳定性，使 FB 引线长度保持尽可能短，并使 FB 杂散电容保持尽可能小。

7.3.1.3 CS

UCCx8C4x 电流检测输入直接连接到 PWM 比较器。将 CS 连接到 MOSFET 拉电流检测电阻器。PWM 使用该信号终止 OUT（输出）开关的导通。电压斜坡可应用于该引脚，以通过电压模式控制配置运行器件或添加斜率补偿。为了防止由于前沿噪声引起的误触发，可能需要 RC 电流检测滤波器。电流检测放大器的增益通常为 3V/V。

7.3.1.4 RT/CT

内部振荡器使用计时电容器 (C_{CT}) 和计时电阻器 (R_{RT}) 来对振荡器频率和最大占空比进行编程。工作频率可以根据“振荡器频率与计时电阻和电容间的关系”中的曲线进行编程，一旦选择了计时电容器，就可以找到计时电阻器。计时电容器最好具有平坦的温度系数，这是大多数 COG 或 NPO 型电容器的典型特性。对于该转换器，为 R_{RT} 和 C_{CT} 选择了 15.4kΩ 和 1000pF，以在 110kHz 开关下工作。

7.3.1.5 GND

GND 是信号和电源回路接地。TI 建议分离信号返回路径和大电流栅极驱动器路径，以便信号不受开关电流的影响。

7.3.1.6 OUT

UCCx8C4x 的高电流输出级经过重新设计，驱动外部电源开关的时间大约比早期器件缩短了一半。为了直接驱动功率 MOSFET，图腾柱输出驱动器会灌入或拉取高达 1A 的峰值电流。UCCx8C40、UCCx8C42 和 UCCx8C43 器件的 OUT 开关频率与振荡器相同，并且可以在接近 100% 的占空比下运行。在 UCCx8C41、UCCx8C44 和

Copyright © 2024 Texas Instruments Incorporated

UCCx8C45 中，由于内部的 T 触发器，OUT 的开关频率是振荡器开关频率的一半。这会将 UCCx8C41、UCCx8C44 和 UCCx8C45 中的最大占空比限制为 < 50%。

UCCx8C4x 系列器件包含独特的图腾柱驱动器，并通常具有 10Ω 的上轨阻抗和 5.5Ω 的接地阻抗。低侧开关上的这种较低阻抗有助于尽可能地降低功率 MOSFET 的关断损耗，而高侧开关的较高导通阻抗旨在更好地匹配许多高速输出整流器的反向恢复特性。对于 10% 至 90% 的电压变化，上升沿和下降沿的转换时间通常分别为 25 纳秒和 20 纳秒。

与双极晶体管并联的低阻抗 MOS 结构或 BiCMOS 结构包括图腾柱输出结构。这种对器件的更高效利用可提供所需的高峰值电流以及快速转换和完整的轨到轨电压摆幅。此外，输出级为自偏置，在欠压锁定期间为低电平有效。在没有 VDD 电源电压的情况下，如果尝试将输出拉至高电平，则输出会主动拉至低电平。这种情况经常发生在初始上电并使用功率 MOSFET 作为驱动器负载时。

Copyright © 2024 Texas Instruments Incorporated

7.3.1.7 VDD

VDD 是该器件的电源输入连接。在正常工作条件下，通过限流电阻器为 VDD 供电。绝对最大电源电压为 20V，包括任何可能存在的瞬变。如果超过该电压，则可能会损坏器件。这与前代双极器件形成鲜明对比，后者可在输入偏置引脚上承受高达 30V 的电压。此外，由于该器件中不包含内部钳位，因此必须保护 VDD 引脚免受可能超过 20V 电平的外部电源的影响。如果无法在所有线路和负载条件下保证从辅助绕组 NA 获得的启动和自举电源电压始终低于 20V，请在 VDD 和 GND 之间使用齐纳保护二极管。根据自举电源的阻抗和布局，这时可能需要与辅助绕组串联一个电阻器 R_{VDD}，以限制流入齐纳二极管的电流，如图 7-1 所示。确保在所有容差和温度范围内，最小齐纳电压都高于最高的 UVLO 上限导通阈值。为了防止出现与噪声相关的问题，可以使用一个陶瓷旁路电容器将 VDD 接地来对其进行滤波。必须在尽量靠近 GND 引脚的位置对 VDD 引脚进行去耦。

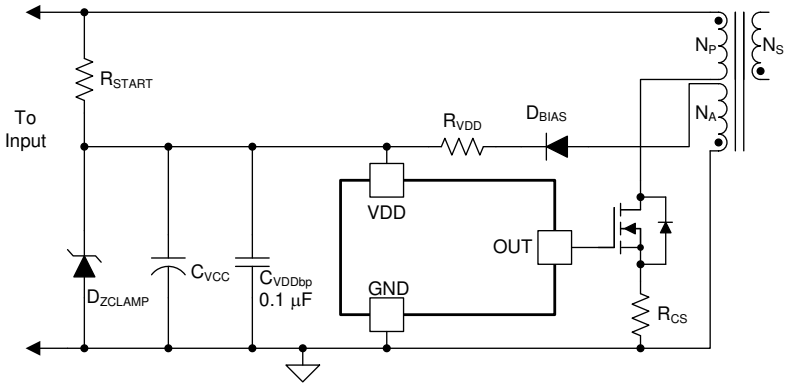


图 7-1. VDD 保护

尽管标称 VDD 工作电流仅为 2.3mA，但总电源电流更高，具体取决于 OUT 电流。总 VDD 电流是静态 VDD 电流和平均 OUT 电流的总和。已知工作频率和 MOSFET 栅极电荷 (Q_g) 时，可以根据方程式 1 计算平均 OUT 电流。

$$I_{OUT} = Q_g \times f_{SW} \quad (1)$$

7.3.1.8 VREF

VREF 是误差放大器的电压基准，也是 IC 中许多其他内部电路的电压基准。UCCx8C4x 产品系列的 5V 基准容差为 ±1%。高速开关逻辑使用 VREF 作为逻辑电源。基准电压在内部分压至 2.5V ±1%，并连接到误差放大器的同相输入端，以实现精确的输出电压调节。基准电压为振荡器上限和下限阈值以及过流限制阈值等功能设置内部偏置电流和阈值。输出短路电流为 55mA（最大值）。为避免器件过热和损坏，请勿将 VREF 拉至接地以终止开关。为了实现基准稳定性并防止高速开关瞬态产生的噪声问题，请使用靠近 IC 封装的陶瓷电容器将 VREF 旁路至接地。需要一个最小值为 0.1µF 的陶瓷电容器。基准上的外部负载需要额外的 VREF 旁路。除陶瓷电容器外，还可以使用电解电容器。

Copyright © 2024 Texas Instruments Incorporated

7.3.2 欠压锁定

共有三组 UVLO 阈值可供选择，相应的导通和关断阈值如下：（14.5V 和 9V）、（8.4V 和 7.6V）以及（7V 和 6.6V）。第一组主要用于离线和 48V 分布式电源应用，在此类应用中，更宽的迟滞支持更低的工作频率和更长的转换器软启动时间。第二组 UVLO 选项非常适合通常采用 12VDC 输入的高频直流/直流转换器。第三组也是最新添加的一组，用于解决电池供电型便携式应用的问题。表 7-2 按器件显示了最大占空比和 UVLO 阈值。

表 7-2. UVLO 选项

最大 占空比 (%)	UVLO 导通 (V)	UVLO 关断 (V)	器件 型号
100	14.5	9	UCCx8C42
100	8.4	7.6	UCCx8C43
100	7	6.6	UCCx8C40
50	14.5	9	UCCx8C44
50	8.4	7.6	UCCx8C45
50	7	6.6	UCCx8C41

在 UVLO 期间，IC 消耗的电源电流小于 100μA。超过导通阈值后，器件电源电流会增加到 3mA 的最大值，典型值为 2.3mA。该低启动电流使电源设计人员能够优化启动电阻值的选择，以提供更高效的设计。在低元件成本优先于最大效率的应用中，2.3mA（典型值）的低运行电流允许控制器件通过单个电阻器直接连接到 (+) 电源轨，而不需要在电源变压器上使用自举绕组和整流器。在这种情况下，启动和运行电阻器还必须通过足够的电流，以驱动初级开关 MOSFET，此电流在小型器件中可能只有几毫安。

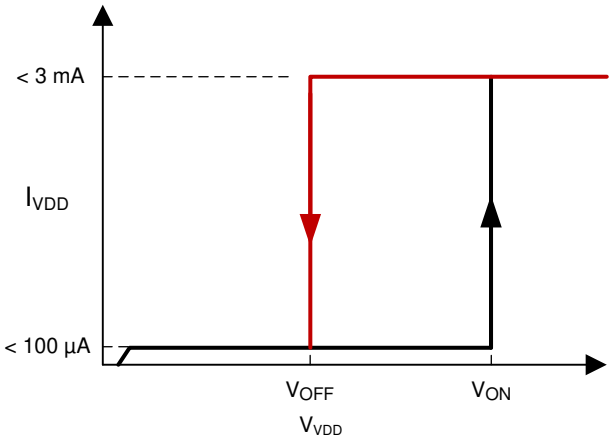


图 7-2. UVLO 导通和关断曲线

Copyright © 2024 Texas Instruments Incorporated

7.3.3 ±1% 内部基准电压

2.5V 的 BiCMOS 内部基准采用增强型设计，并使用生产修整技术，能够在室温下实现 ±1% 的初始精度并在整个温度范围内实现 ±2% 的初始精度。在不需要使用额外器件来提供极高精度的应用中，可以使用这个基准电压来省去外部基准。此基准电压对于非隔离式直流/直流应用很有用，在此类应用中，控制器件以与输出相同的公共电压为基准。它还适用于离线设计，该设计通过观察初级偏置绕组或降压衍生电路输出电感器上的绕组来调节隔离边界的初级侧。

Copyright © 2024 Texas Instruments Incorporated

7.3.4 电流检测和过流限制

外部串联电阻器 (R_{CS}) 检测电流，并将该电流转换为电压，该电压成为 CS 引脚的输入。CS 引脚是 PWM 比较器的同相输入。该器件将 CS 输入与和误差放大器输出电压成比例的信号进行比较。电流检测放大器的增益通常为 3V/V。峰值 I_{SENSE} 电流由方程式 2 确定

$$I_{SENSE} = \frac{V_{CS}}{R_{CS}} \tag{2}$$

V_{CS} 的典型值为 1V。可能需要一个小型 RC 滤波器（R_{CSF} 和 C_{CSF}），以抑制由次级侧二极管的反向恢复或等效容性负载以及寄生电路阻抗引起的开关瞬变。该滤波器的时间常数应大大小于转换器的开关周期。

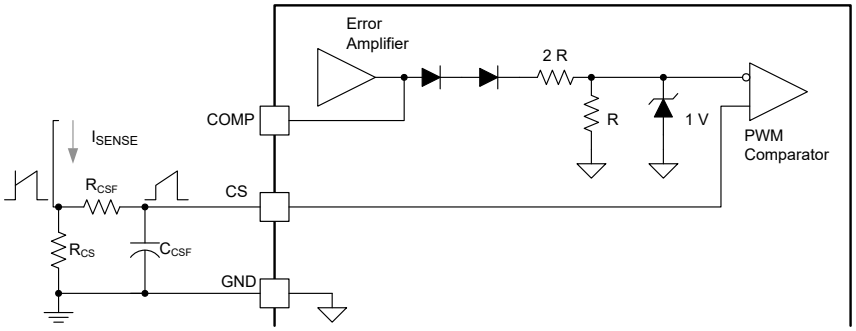


图 7-3. 电流检测电路原理图

在 PWM 比较器上执行的逐周期脉宽调制本质上就是将误差放大器输出与电流检测输入进行比较。这不是直接的电压与电压比较，因为在连接到 PWM 比较器之前，误差放大器输出网络包含两个二极管和一个串联的电阻分压器网络。两个二极管压降增加了失调电压，支持通过低放大器输出实现零占空比。2R/R 电阻分压器有助于使用更宽的误差放大器输出摆幅，该输出摆幅可以更对称地以 2.5V 同相输入电压为中心。

与误差放大器的 PWM 比较器输入相关的 1V 齐纳二极管不是器件设计中实际的二极管，而是用于表示最大电流检测输入振幅为 1V（典型值）。达到该阈值时，无论误差放大器输出电压如何，都会发生逐周期电流限制，并且输出脉冲宽度会在 35ns（典型值）内被终止。该电流限制阈值的最小值为 0.9V，最大值为 1.1V。除了该参数的容差外，还必须考虑电流检测电阻器或电流检测电路的精度。建议在确定所有功率半导体和磁性元件的额定值和最坏情况时，考虑最坏情况下的初级和次级电流。

Copyright © 2024 Texas Instruments Incorporated

7.3.5 减少放电电流变化

UCCx8C4x 控制器的振荡器设计包含经过修整的放电电流，以精确地对最大占空比和工作频率进行编程。在其基本操作中，计时电容器 (C_{CT}) 由电流源充电，该电流源由连接到器件基准电压 (VREF) 的计时电阻器 (R_{RT}) 形成。振荡器设计中采用了比较器来监测计时电容器电压的振幅。指数形状的波形可充电至一个特定振幅，此振幅代表 3V 的振荡器上限阈值。在控制器达到此电平后，一个内部接地电流阱导通，并且电容器开始放电。该放电会持续到振荡器下限阈值达到 0.7V，此时电流阱将关断。接下来，计时电容器开始再次充电，并开始新的开关周期。

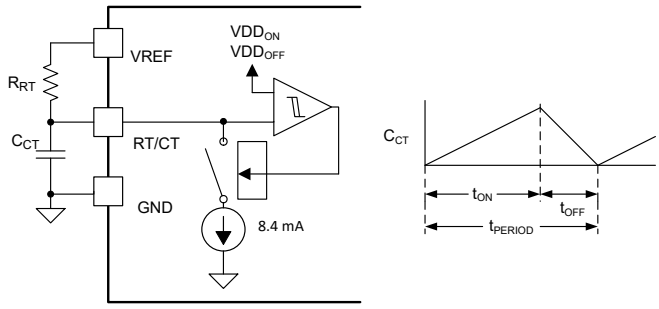


图 7-4. 振荡器电路

在该器件对计时电容器放电期间，电阻器 R_{RT} 继续尝试为 C_{CT} 充电。这两个电流（即放电电流与充电电流）的确切比率指定了最大占空比。在 C_{CT} 放电期间，器件输出始终关闭。这表示保证的开关最短关断时间，通常称为死区时间。要对精确的最大占空比进行编程，请使用“最大占空比与振荡器频率间的关系”中提供的信息来根据振荡器频率确定最大占空比。通过调整 R_{RT} 和 C_{CT} 的值，可以针对给定频率编程任意数量的最大占空比。选择 R_{RT} 的值后，使用“振荡器频率与计时电阻和电容间的关系”曲线找到振荡器计时电容。不过，由于电阻器的增量更精确（通常为 1%），而电容器精度仅为 5%，因此更实用的方法是先选择最接近的电容值，然后计算计时电阻值。

7.3.6 振荡器同步

实现同步的最佳方式是强制计时电容器电压高于振荡器内部上限阈值。将一个小电阻器与 C_{CT} 串联到 GND。该电阻器用作同步脉冲的输入，用于将 C_{CT} 电压升高到振荡器内部上限阈值以上。允许 PWM 以 R_{RT} 和 C_{CT} 设置的频率运行，直到同步脉冲出现。该方案具有多个优点，包括具有可用于斜率补偿的局部斜坡。UCCx8C4x 振荡器必须设置为比同步脉冲流更低的频率，通常为 20%，并在电阻器上施加 0.5V 脉冲。

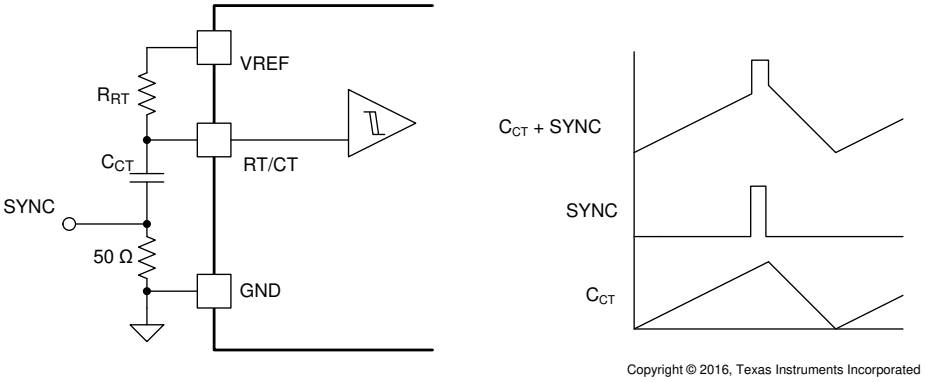


图 7-5. 振荡器同步电路

7.3.7 软启动时序

软启动时序技术通过从零开始缓慢地逐渐增加有效的占空比，从而以受控良好的方式逐渐为转换器加电。在 PWM 启动后，误差放大器的反相输入为低电平，使得误差放大器的输出变为高电平。放大器的输出级通常可提供 1mA 电流，这足以驱动大多数高阻抗补偿网络，但不足以快速驱动大负载。软启动时序的实现方式是通过 PNP 晶体管对连接到误差放大器输出端且容值相当大的 (>1μF) 电容器 (C_{SS}) 供电，如图 7-6 所示

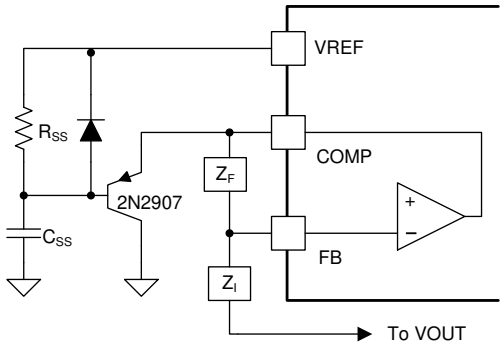


图 7-6. 软启动实现

放大器向电容器提供的有限充电电流转换为误差放大器输出上的 dv/dt 限制。由于其中一个 PWM 比较器输入逐渐上升，这直接与电流模式受控系统中初级电流的某些最大变化率相对应。选择的 R_{SS} 和 C_{SS} 值必须使 COMP 引脚以受控速率启动，从而限制功率级提供的峰值电流。软启动间隔完成后，电容器继续充电至 VREF，从而有效地将 PNP 晶体管从电路中排除在外。与在电压模式控制中不同，软启动时序在电流模式控制型系统中经常是优选的功能。在电流模式下，软启动控制峰值开关电流的上升。在电压模式控制中，软启动会逐渐扩大占空比，不论初级电流或斜升速率如何。

电阻器 R_{SS} 和二极管的作用是在软启动周期完成且电容器充满电后，在正常运行时将软启动电容器从误差放大器路径中排除。每当 PWM 进入强制 VREF 变为低电平的 UVLO 状态时，与电阻器并联的可选二极管都会强制设置一个软启动周期。如果没有二极管，电容器会在短暂失电或欠压期间保持充电状态，并且器件在重新施加 VDD 时无法实现软启动功能。

7.3.8 启用和禁用

根据所需的重启类型，可以通过几种方法来启用或禁用 UCCx8C4x 器件。这两项基本技术使用外部晶体管将误差放大器输出拉至低电平 (< $2V_{BE}$) 或将电流检测输入拉至高电平 (> 1.1V)。施加禁用信号会导致 PWM 比较器的输出为高电平。PWM 锁存器采用复位优先原则，因此在 COMP 或 CS 引脚上的关断条件解除后，输出会一直保持低电平，直到下一个时钟周期。无软启动周期的另一种重启选择是将电流检测输入拉至高于逐周期电流限制阈值。可以使用从基准电压到电流检测输入的逻辑电平 P 沟道 FET。

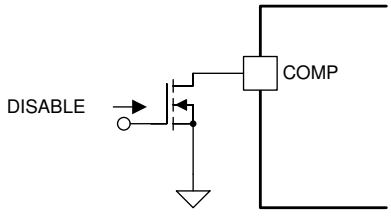


图 7-7. 禁用电路

Copyright © 2024 Texas Instruments Incorporated

7.3.9 斜率补偿

在电流模式控制下，需要斜率补偿，以便在占空比超过 50% 的情况下稳定整个环路。在最大占空比小于 50% 的应用中斜率补偿虽然不是必需的，但是也提高了应用稳定性。斜率补偿通过将部分振荡器波形注入到实际检测到的初级电流中来实现。这两个信号在滤波电容器的电流检测输入 (CS) 连接处相加。为了尽可能地减少振荡器上的负载，最好用一个集电极连接至基准电压的小型晶体管来缓冲计时电容器波形。

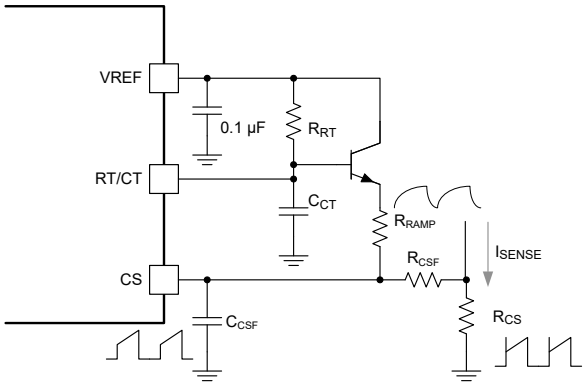


图 7-8. 斜率补偿电路

7.3.10 电压模式

在某些应用中，出于各种原因，电压模式控制可能是优选的控制策略。电压模式控制可通过任何电流模式控制器轻松执行，尤其是 UCCx8C4x 系列成员。该实现需要生成 0V 至 0.9V 锯齿形信号，以输入到电流检测引脚 (CS)，该引脚也是 PWM 比较器的一个输入。这将与 PWM 比较器另一个输入端的分压误差放大器输出电压进行比较。由于误差放大器输出会变化，它会在不同时间点与锯齿波形相交，从而产生不同的脉冲宽度。这是一种线性生成脉冲的直接方法，其中脉冲的宽度与误差电压成正比。

电压模式控制的实现可以通过使用振荡器计时电容 (C_{CT}) 的一小部分波形来实现。该值可以进行分频并馈入电流检测引脚，如图 7-9 所示。选择的振荡器时序分量必须尽可能接近线性锯齿波形。尽管以指数方式充电，但较大的计时电阻值和较小的计时电容值有助于近似呈现线性度更高的波形。这里使用了一个小型晶体管来缓冲来自电阻分压器网络负载的振荡器时序分量。由于振荡器的下限计时阈值发生偏移，因此增加了直流阻断电容器。

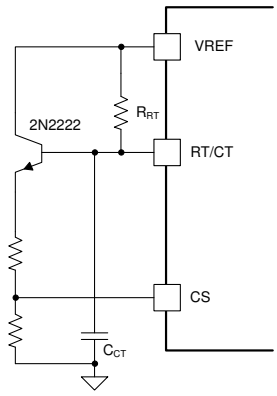


图 7-9. 电流模式 PWM 用作电压模式 PWM

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 正常运行

在正常工作模式期间，控制器可用于峰值电流模式或电压模式控制。当转换器在峰值电流模式下工作时，控制器调节转换器的峰值电流和占空比。当在电压模式控制中使用时，控制器调节电源转换器的占空比。利用集成的误差放大器和外部反馈电路，可以实现对系统峰值电流和占空比的调节。

7.4.2 UVLO 模式

在系统启动期间，VDD 电压从 0V 开始升高。在 VDD 电压达到其相应的导通阈值之前，IC 在 UVLO 模式下工作。在 UVLO 模式下工作期间，不会生成 VREF 引脚电压。当 VDD 高于 1V 且低于导通阈值时，VREF 引脚被主动拉至低电平。这样一来，VREF 可以用作逻辑信号以指示 UVLO 模式。如果到 VDD 的偏置电压降至 UVLO 关断阈值以下，则 PWM 开关会停止，且 VREF 恢复为 0V。通过向 VDD 引脚施加大于 UVLO 导通阈值的电压，可以重新启动器件。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

UCCx8C4x 控制器是峰值电流模式脉宽调制器。这些控制器具有板载放大器，可用于隔离式和非隔离式电源设计。板载图腾柱栅极驱动器能够提供 1A 的峰值电流。该高速 PWM 能够在高达 1MHz 的开关频率下工作。。图 8-1 显示了使用 UCC38C44 的典型离线应用。

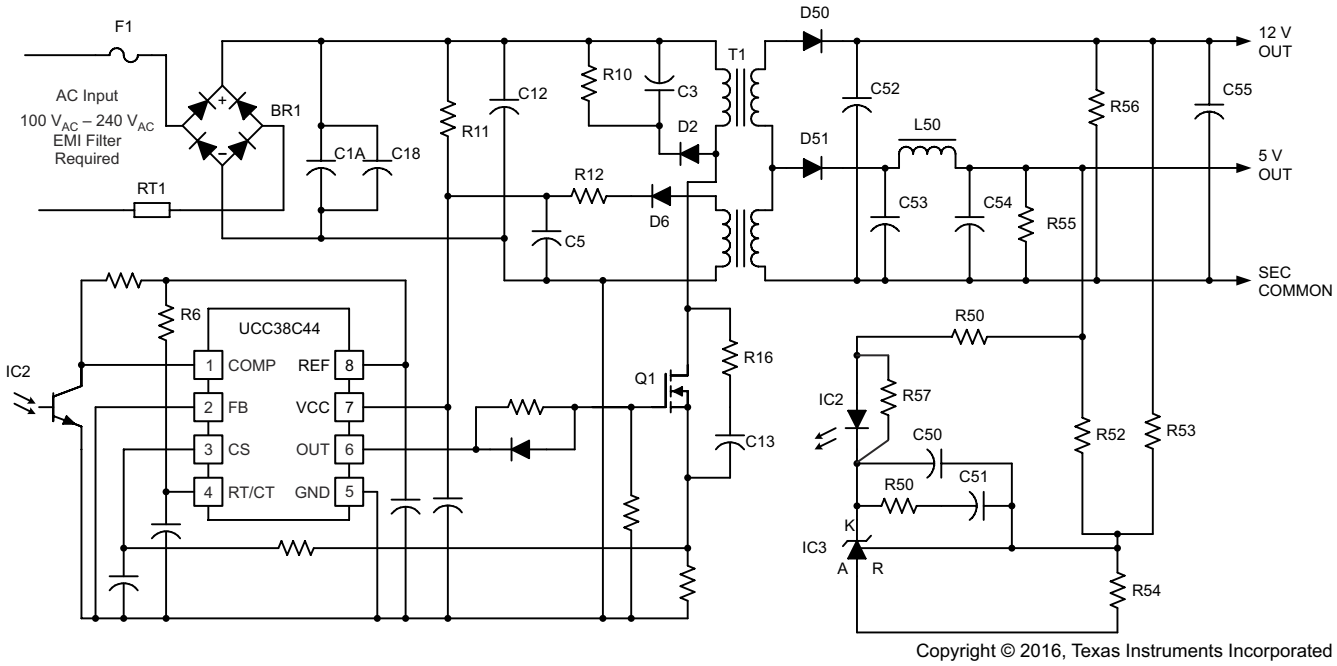


图 8-1. 典型的离线应用

图 8-2 展示了一个具有同步整流功能的正向转换器。此应用以超过 85% 的效率将 48V 转换为 3.3V，输出电流为 10A，使用 UCC38C42 作为次级侧控制器，并使用 UCC3961 作为初级侧启动控制器件。

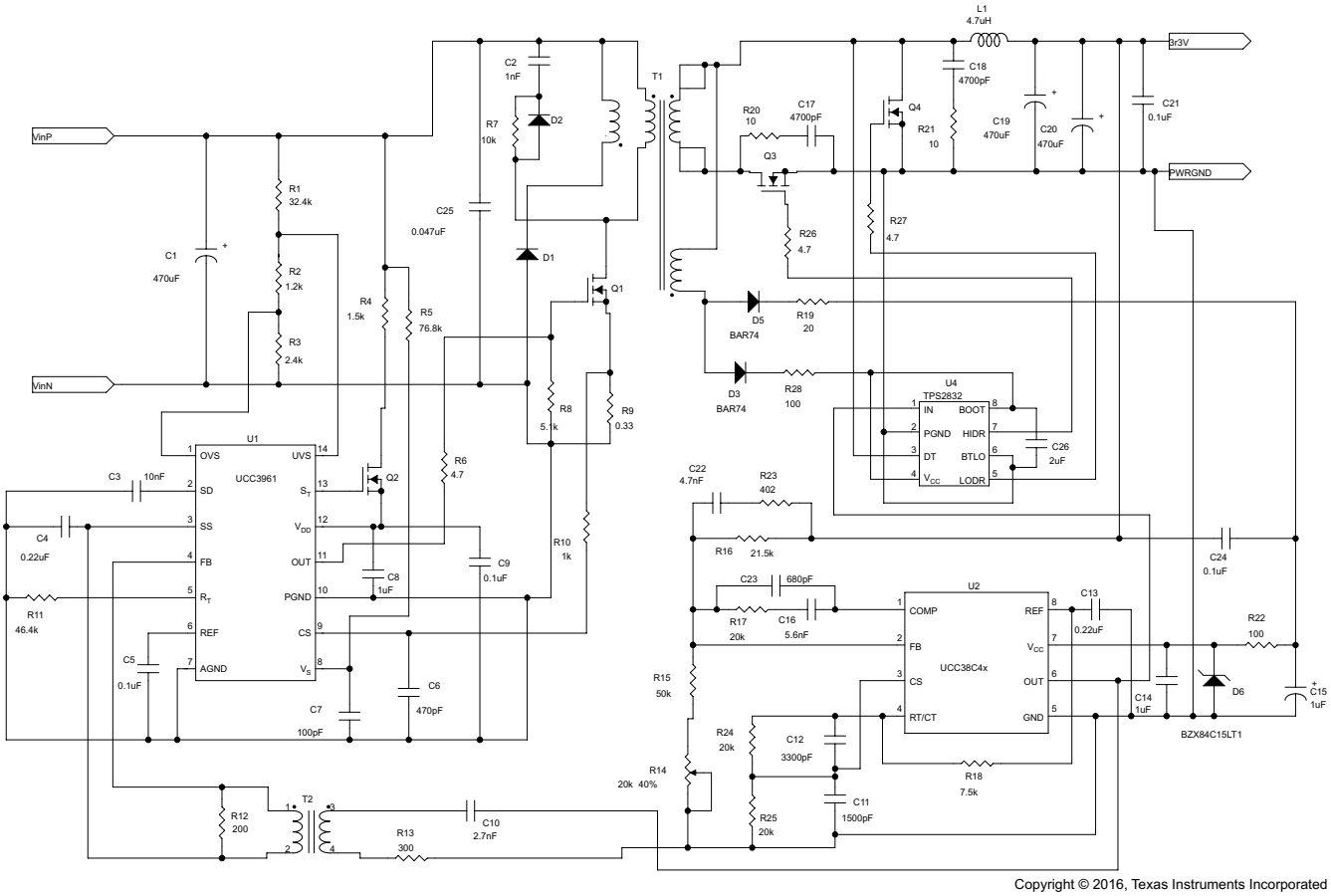
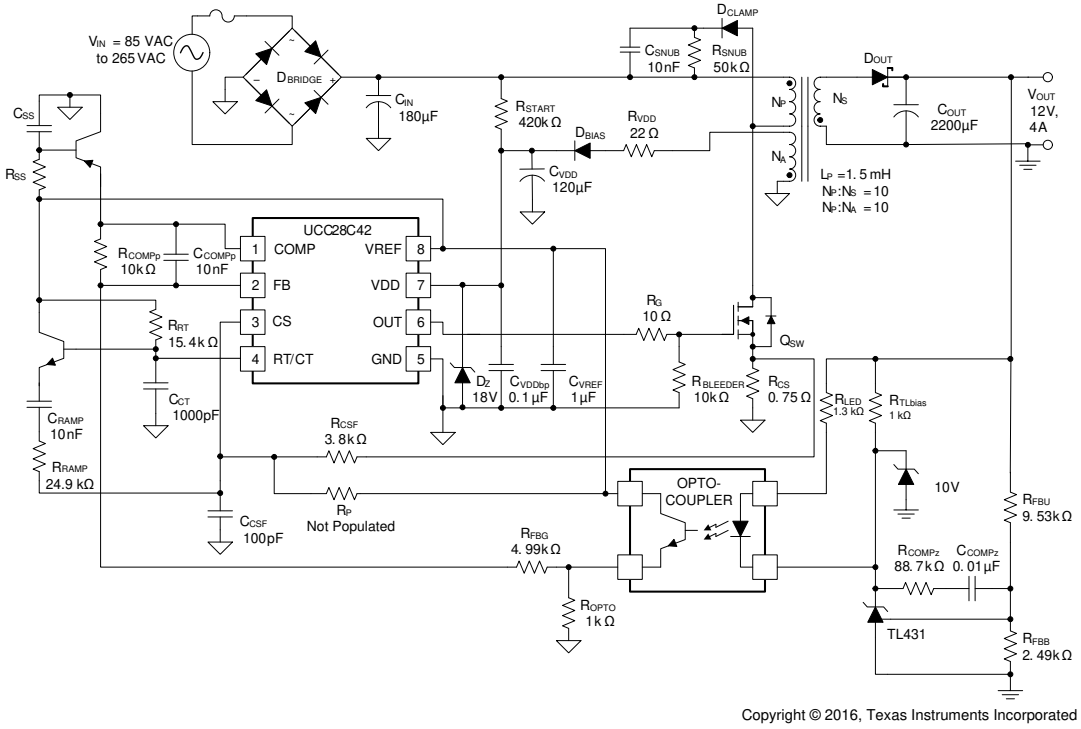


图 8-2. 使用 UCC38C42 作为次级侧控制器并具有同步整流功能的正向转换器

Copyright © 2024 Texas Instruments Incorporated

8.2 典型应用

UCC28C42 控制器在离线反激式转换器中的典型应用如图 8-3 所示。该控制器使用一个内部电流控制环路，该环路包含一个小电流检测电阻器，用于检测初级电感电流斜坡。该电流检测电阻器将电感器电流波形转换为电压信号，然后该信号直接输入到初级侧 PWM 比较器中。该内部环路决定了对输入电压变化的响应。外部电压控制环路涉及将一部分输出电压与误差放大器输入端的基准电压进行比较。在离线隔离式应用中使用时，隔离式输出的电压反馈是使用次级侧误差放大器和可调电压基准（如 TL431）来完成的。误差信号使用光隔离器穿过初级到次级隔离边界，该光隔离器的集电极连接到 VREF 引脚，发射极连接到 FB。外部电压控制环路决定了对负载变化的响应。



Copyright © 2016, Texas Instruments Incorporated

图 8-3. 典型应用设计原理图

8.2.1 设计要求

表 8-1 显示了离线反激式转换器的一组典型性能要求，该转换器可以从通用交流输入提供 12V 和 48W 输出。该设计在连续电流模式 PWM 转换器中使用峰值初级电流控制。

表 8-1. 设计参数

参数		测试条件	最小值	标称值	最大值	单位
V_{IN}	输入电压		85	115/230	265	V_{RMS}
f_{LINE}	线路频率		47	50/60	63	Hz
V_{OUT}	输出电压	$I_{VOUT(min)} \leq I_{VOUT} \leq I_{VOUT(max)}$	11.75	12	12.25	V
V_{RIPPLE}	输出纹波电压	$I_{VOUT(min)} \leq I_{VOUT} \leq I_{VOUT(max)}$			100	mVpp
I_{VOUT}	输出电流		0	4		A
f_{SW}	开关频率			110		kHz
η	效率			85%		

8.2.2 详细设计过程

本过程概述了设计离线通用输入连续电流模式 (CCM) 反激式转换器的步骤。有关设计过程中提及的元件名称，请参阅图 8-3。

8.2.2.1 输入大容量电容器和最小体电压

大容量电容可以由一个电容器或多个并联的电容器组成，它们之间通常有一些电感，以抑制差模传导噪声。输入电容器的值确定了最小体电压。通过使用最小输入电容来设置更低的体电压会导致峰值初级电流更高，从而导致 MOSFET 开关、变压器和输出电容器上的应力更大。通过使用更大的输入电容器来设置更高的体电压会导致来自输入源的峰值电流更高，并且电容器本身在物理尺寸上会更大。尺寸和元件应力之间的折衷决定了可接受的最小输入电压。使用方程式 3，根据转换器的功率级别 (P_{OUT})、效率目标 (η)、最小输入电压 ($V_{IN(min)}$) 选择初级侧大容量电容的总要求值 (C_{IN})，以保持可接受的最小体电压电平 ($V_{BULK(min)}$)。

$$C_{IN} = \frac{2 \times P_{IN} \times \left(0.25 + \frac{1}{\pi} \times \arcsin\left(\frac{V_{BULK\,(min)}}{\sqrt{2} \times V_{IN\,(min)}}\right)\right)}{\left(2 \times V_{IN\,(min)}^2 - V_{BULK\,(min)}^2\right) \times f_{LINE\,(min)}} \tag{3}$$

其中

- $V_{IN(min)}$ 是最小交流输入电压的 RMS 值（即 85VRMS），其最小线路频率表示为 $f_{LINE(min)}$，等于 47Hz

根据方程式 3，为了实现 75V 的最小体电压，假设转换器效率为 85%，大容量电容器必须大于 126µF。考虑到元件公差和效率估计，此设计选择了 180µF 的值。

8.2.2.2 变压器匝数比和最大占空比

变压器的设计首先是为给定应用选择合适的开关频率。UCC28C42 能够以最高 1MHz 的频率开关，但通常需要考虑转换器的总体尺寸、开关损耗、磁芯损耗、系统兼容性以及对通信频带的干扰等因素来确定应使用的最佳频率。对于该离线转换器，将开关频率 (f_{SW}) 选择为 110kHz 作为折衷方案，从而尽可能地减小变压器尺寸和 EMI 滤波器尺寸，同时仍然具有可接受的损耗。

变压器的初级与次级匝数比 (N_{PS}) 可以根据所需的 MOSFET 额定电压和次级二极管额定电压来选择。由于最大输入电压为 265VRMS，因此可以按照方程式 4 所示计算峰值体输入电压。

$$V_{BULK\,(max)} = \sqrt{2} \times V_{IN\,(max)} \approx 375\ V \tag{4}$$

为了尽可能地减少系统的成本，选择了一种现成的 650V MOSFET。将漏极上的最大电压应力降额至其额定值的 80%，并允许漏电感电压尖峰达到最大体输入电压的 30%，反射输出电压必须小于 130V，如方程式 5 所示。

$$V_{REFLECTED} = 0.8 \times \left(V_{DS(rated)} - 1.3 \times V_{BULK(max)}\right) = 130.2\ V \tag{5}$$

12V 输出的最大初级与次级变压器匝数比 (N_{PS}) 可以选择为：

$$N_{PS} = \frac{V_{REFLECTED}}{V_{OUT}} = 10.85 \tag{6}$$

设计示例中使用了 N_{PS} = 10 的匝数比。

辅助绕组用于向控制器提供偏置电压。导通后偏置电压需要保持在 VDD 最小工作电压以上，以保证系统稳定工作。此设计中为控制器选择的最小 VDD 工作电压为 10V。选择辅助绕组以支持 12V 的偏置电压，使其高于最低工作电平，但仍保持 IC 中的低损耗。初级与辅助匝数比 (N_{PA}) 可根据方程式 7 进行计算：

Copyright © 2024 Texas Instruments Incorporated

$$N_{PA} = N_{PS} \times \frac{V_{OUT}}{V_{BIAS}} = 10 \quad (7)$$

输出二极管承受的电压应力等于输出电压加上反射的输入电压：

$$V_{DIODE} = \frac{V_{BULK\,(max)}}{N_{PS}} + V_{OUT} = 49.5\ V \quad (8)$$

TI 建议使用额定阻断电压大于 60V 的肖特基二极管，以应对振铃引起的电压尖峰。该二极管的正向压降 (V_F) 估计为 0.6V

为了避免高峰值电流，本设计中的反激式转换器在连续导通模式下工作。确定 N_{PS} 后，就可以使用 CCM 反激式转换器的传递函数来计算最大占空比 (D_{MAX})：

$$\frac{V_{OUT} + V_F}{V_{BULK\,(min)}} = \left(\frac{1}{N_{PS}}\right) \times \left(\frac{D_{MAX}}{1 - D_{MAX}}\right) \quad (9)$$

$$D_{MAX} = \frac{N_{PS} \times (V_{OUT} + V_F)}{V_{BULK(min)} + N_{PS} \times (V_{OUT} + V_F)} = 0.627 \quad (10)$$

由于最大占空比超过 50%，且该设计为离线（交流输入）应用，因此 UCC28C42 最适合此应用。

8.2.2.3 变压器电感和峰值电流

对于该设计示例，变压器磁化电感根据 CCM 条件来选择。在切换到不连续电流模式之前，这里使用的电感值允许转换器在更宽的工作范围内保持 CCM，从而尽可能减少高电流造成的损耗，同时还可以减少输出纹波。本例中变压器的设计调整了电感的大小，这样，转换器在大概 10% 负载和最小体电压下进入 CCM 操作，从而尽可能地减少输出纹波。

CCM 反激式转换器的电感 (L_P) 可以使用方程式 11 计算。

$$L_P = \frac{1}{2} \times \frac{\left(V_{BULK\,(min)}\right)^2 \times \left(\frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + N_{PS} \times V_{OUT}}\right)^2}{0.1 \times P_{IN} \times f_{SW}} \quad (11)$$

其中

- P_{IN} 通过将最大输出功率 (P_{OUT}) 除以目标效率 (η) 来估算
- f_{SW} 是转换器的开关频率

对于 UCC28C42，开关频率等于振荡器频率，并设置为 110kHz。选择 f_{SW} 为 110kHz 可以在磁性元件尺寸和开关损耗之间实现良好的折衷，并将一次谐波控制在 EN55022 的 150kHz 下限以下。因此，变压器电感必须约为 1.8mH。此设计中选择了一个 1.5mH 电感作为磁化电感 L_P 的值。

基于计算的电感值和开关频率，可以计算 MOSFET 和输出二极管的电流应力。

CCM 反激式转换器的初级侧 MOSFET 中的峰值电流可以按方程式 12 所示进行计算。

$$I_{PK_{MOSFET}} = \frac{P_{IN}}{V_{BULK\,(min)} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}} + \left(\frac{V_{BULK\,(min)}}{2 \times L_m} \times \frac{\frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + (N_{PS} \times V_{OUT})}}{f_{SW}}\right) \quad (12)$$

MOSFET 峰值电流为 1.36A。MOSFET 的均方根电流计算得出为 0.97A，如方程式 13 所示。因此，选择 IRFB9N65A 作为初级侧开关。

$$I_{RMS_{MOSFET}} = \sqrt{\frac{D_{MAX}{}^3}{3} \times \left(\frac{V_{BULK\,(min)}}{L_P \times f_{SW}}\right)^2 - \left(\frac{D_{MAX}{}^2 \times I_{PK_{MOSFET}} \times V_{BULK\,(min)}}{L_P \times f_{SW}}\right) + \left(D_{MAX} \times I_{PK_{MOSFET}}{}^2\right)} \quad (13)$$

输出二极管峰值电流等于反射到次级侧的 MOSFET 峰值电流。

$$I_{PK_{DIODE}} = N_{PS} \times I_{PK_{MOSFET}} = 13.634\ A \quad (14)$$

二极管的平均电流等于总输出电流 (4A)；结合所需的 60V 额定值和 13.6A 峰值电流要求，这里选择了 48CTQ060-1 作为输出二极管。

8.2.2.4 输出电容器

根据输出电压纹波要求选择总输出电容。在本设计中，假设电压纹波为 0.1%。基于 0.1% 的纹波要求，可以使用方程式 15 选择电容器值。

$$C_{OUT} \geq \frac{I_{OUT} \times \frac{N_{PS} \times V_{OUT}}{V_{BULK\,(min)} + N_{PS} \times V_{OUT}}}{0.001 \times V_{OUT} \times f_{SW}} = 1865\ \mu F \quad (15)$$

为了设计器件公差，选择了 2200μF 电容器。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.5 电流检测网络

电流检测网络由初级侧电流检测电阻器 (R_{CS})、滤波元件 R_{CSF} 和 C_{CSF} 以及可选 R_P 组成。通常，直流检测信号包含与主电源 MOSFET 的导通、输出整流器的反向恢复以及其他因素（包括寄生电容的充电和放电）相关的大振幅前沿尖峰。因此，C_{CSF} 和 R_{CSF} 形成一个低通滤波器，用于提供抗扰度以抑制前沿尖峰。对于该转换器，C_{CSF} 选择为 100pF。

在没有 R_P 的情况下，R_{CS} 根据 CS 引脚的最大振幅（指定为 1V）设置变压器初级侧的最大峰值电流。为了实现 1.36A 初级侧峰值电流，为 R_{CS} 选择了 0.75Ω 的电阻器。

CS 的高电流检测阈值有助于为系统提供更好的抗噪性能，但也会导致电流检测电阻的损耗更高。通过使用 R_P 向电流检测信号中注入失调电压，可以将这些电流检测损耗降至最低。R_P 和 R_{CSF} 形成一个电阻分压器网络（从电流检测信号到控制器的基准电压 (V_{VREF})），这为电流检测电压增加了失调电压。该技术仍然实现电流模式控制，并具有逐周期过流保护功能。要计算所需的失调电压值 (V_{OFFSET})，请使用方程式 16。

$$V_{OFFSET} = \frac{R_{CSF}}{R_{CSF} + R_P} \times V_{REF} \tag{16}$$

添加 R_P 电阻后，相应地调整 R_{CS} 值。

8.2.2.6 栅极驱动电阻器

R_G 是电源开关 (Q_{SW}) 的栅极驱动电阻器。该电阻值的选择必须与 EMI 符合性测试和效率测试结合起来进行。对 R_G 使用较大的电阻值会减慢 MOSFET 的导通和关断速度。开关速度越慢 EMI 会降低，但开关损耗也会增加。必须仔细权衡开关损耗和 EMI 性能。对于此设计，为栅极驱动电阻器选择了 10Ω 电阻器。

8.2.2.7 VREF 电容器

高精度 5V 基准电压具有几项重要的功能。基准电压在内部分压至 2.5V，并连接到误差放大器的同相输入端，以实现精确的输出电压调节。基准电压的其他作用包括为振荡器上限和下限等功能设置内部偏置电流和阈值。因此，必须使用陶瓷电容器将基准电压旁路掉。这里为该转换器选择了 1μF、16V 陶瓷电容器。该电容器在物理印刷电路板布局布线上的位置必须尽可能靠近各自的 VREF 和 GND 引脚。

8.2.2.8 RT/CT

内部振荡器使用计时电容器 (C_{CT}) 和计时电阻器 (R_{RT}) 来对振荡器频率和最大占空比进行编程。工作频率可以根据“振荡器频率与计时电阻和电容间的关系”中的曲线进行编程，一旦选择了计时电容器，就可以找到计时电阻器。计时电容器最好具有平坦的温度系数，这是大多数 COG 或 NPO 型电容器的典型特性。对于该转换器，为 R_{RT} 和 C_{CT} 选择了 15.4kΩ 和 1000pF，以在 110kHz 开关下工作。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.9 启动电路

在启动时，IC 通过高压电阻器 (R_{START}) 直接从高压体获得功率。选择启动电阻器时，需要在功率损耗和启动时间之间进行权衡。在最小输入电压下流过 R_{START} 的电流必须高于 UVLO 条件下的 VDD 电流（最大值为 100µA）。这里为 R_{START} 选择了 420kΩ 的电阻，从而在低压线路条件下提供 250µA 的启动电流。启动电阻器在物理上由两个 210kΩ 电阻器串联组成，以满足高压要求和高压线路的额定功率。

在 VDD 充电超过 UVLO 导通阈值后，UCC28C42 开始消耗全部工作电流。VDD 电容器需要提供足够的能量，以防止在启动期间其电压下降到 UVLO 关断阈值以下，然后输出才能够达到其调节电平。大容量电容将容纳更多能量，但会导致启动时间变慢。该设计中选择了 120µF 电容器，以提供足够的能量并保持启动时间大概 7 秒。要加快启动速度，可以减小大容量电容值或将 R_{START} 电阻器修改为较小的值。

8.2.2.10 电压反馈补偿

反馈补偿，也称为闭环控制，可以减少或消除稳态误差，降低系统对参数变化的敏感度，在某些期望的频率范围内更改系统的增益或相位，减少小信号负载干扰和噪声对系统性能的影响，并从不稳定系统创建稳定的系统。如果系统对扰动的响应是扰动最终消失，则系统就是稳定的。峰值电流模式反激式使用外部电压反馈环路来稳定转换器。为了充分补偿电压回路，必须确定功率级的开环参数。

8.2.2.10.1 功率级极点和零点

补偿固定频率反激式的第一步是验证转换器是连续导通模式 (CCM)，还是不连续导通模式 (DCM)。如果初级电感 (L_P) 大于 DCM 或 CCM 边界模式工作的电感，称为临界电感 (L_{Pcrit})，则转换器在 CCM 中工作：

$$L_P > L_{Pcrit}, \text{then CCM} \tag{17}$$

$$L_{Pcrit} = \frac{R_{OUT} \times (N_{PS})^2}{2 \times f_{SW}} \times \left(\frac{V_{IN}}{V_{IN} + V_{OUT} \times N_{PS}}\right)^2 \tag{18}$$

对于整个输入电压范围，所选电感器的值大于临界电感器的值。所以，转换器以 CCM 工作，补偿环路需要基于 CCM 反激式公式进行设计。

电流到电压转换是通过外部以接地为基准的 R_{CS} 和 2R/R 的内部电阻分压器完成的，该分压器设置内部电流检测增益，即 A_{CS} = 3。这些内部电阻器的确切值并不重要，但 IC 对电阻分压比提供了严格的控制，因此，无论实际电阻值如何变化，它们之间的相对值都会保持不变。

如方程式 19 中所示，峰值电流模式控制 CCM 反激式转换器的固定频率电压控制环路的直流开环增益 (G_O) 通过首先使用输出负载 (R_{OUT})、初级与次级匝数比 (N_{PS}) 和方程式 20 中计算的最大占空比 (D) 来近似计算得出。

$$G_O = \frac{R_{OUT} \times N_{PS}}{R_{CS} \times A_{CS}} \times \frac{1}{\frac{(1-D)^2}{\tau_L} + (2 \times M) + 1} \tag{19}$$

在方程式 19 中，D 用方程式 20 计算，τ_L 用方程式 21 计算，M 用方程式 22 计算。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULKmin} + (N_{PS} \times V_{OUT})} \tag{20}$$

$$\tau_L = \frac{2 \times L_P \times f_{SW}}{R_{OUT} \times (N_{PS})^2} \tag{21}$$

$$M = \frac{V_{OUT} \times N_{PS}}{V_{BULKmin}} \tag{22}$$

Copyright © 2024 Texas Instruments Incorporated

对于这种设计，输出电压 (V_{OUT}) 为 12V、48W 的转换器与输出负载 (R_{OUT}) (满载时等于 3Ω) 有关。当最大占空比为 0.627，电流检测电阻为 0.75Ω，并且初级与次级匝数比为 10 时，开环增益计算为 3.082 或 9.776dB。

CCM 反激式有两个相关的零点。ESR 和输出电容为功率级贡献了一个左半平面零点 (ω_{ESRz})，该零点的频率 (f_{ESRz}) 用方程式 23 和方程式 24 计算。

$$\omega_{ESRz} = \frac{1}{R_{ESR} \times C_{OUT}} \tag{23}$$

$$f_{ESRz} = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}} \tag{24}$$

当输出电容为 2200µF 且总 ESR 为 43mΩ 时，f_{ESRz} 零点位于 1.682kHz。

CCM 反激式转换器在其传递函数的右半平面 (RHP) 中有一个零点。RHP 零点与左半平面零点相似，随着频率增加，具有相同的 20dB/十倍频程上升增益幅度，但它增加了 90° 相位滞后，而不是超前。这种相位滞后往往会限制整个环路带宽。RHP 零点 (ω_{RHPz}) 的频率位置 (f_{RHPz}) 是输出负载、占空比、初级电感 (L_P) 和初级到次级侧匝数比 (N_{PS}) 的函数。

$$\omega_{RHPz} = \frac{R_{OUT} \times (1-D)^2 \times (N_{PS})^2}{L_P \times D} \tag{25}$$

$$f_{RHPz} = \frac{R_{OUT} \times (1-D)^2 \times (N_{PS})^2}{2 \times \pi \times L_P \times D} \tag{26}$$

输入电压越高，负载越轻，右半平面零点频率就越高。通常，设计需要考虑最低右半平面零点频率的最坏情况，并且必须在最小输入和最大负载条件下对转换器进行补偿。当初级电感为 1.5mH 时，在 75V 直流输入下，RHP 零点频率 (f_{RHPz}) 在最大占空比、满载时等于 7.07kHz。

功率级有一个主导极点 (ω_{P1})，它位于感兴趣的区域中，处在较低的频率 (f_{P1}) 处，与占空比、输出负载和输出电容有关，用方程式 28 计算。还有一个双极点放在转换器开关频率的一半处，f_{P2} 用方程式 30 计算。在本例中，极点 f_{P1} 位于 40.37Hz，而 f_{P2} 位于 55kHz。

$$\omega_{P1} = \frac{\frac{(1-D)^3}{\tau_L} + 1 + D}{R_{OUT} \times C_{OUT}} \tag{27}$$

$$f_{P1} = \frac{\frac{(1-D)^3}{\tau_L} + 1 + D}{2 \times \pi \times R_{OUT} \times C_{OUT}} \tag{28}$$

$$\omega_{P2} = \pi \times f_{SW} \tag{29}$$

$$f_{P2} = \frac{f_{SW}}{2} \tag{30}$$

8.2.2.10.2 斜率补偿

斜率补偿是指在占空比超过 50% 的情况下可能出现的大信号次谐波不稳定，其中上升的初级侧电感器电流斜率可能与下降的次级侧电流斜率不匹配。次谐波振荡回导致输出电压纹波增加，甚至可能限制转换器的功率处理能力。

Copyright © 2024 Texas Instruments Incorporated

斜率补偿的目标是实现理想的质量系数 (Q_P)，即在一半的开关频率下该系数等于 1。Q_P 通过方程式 31 计算得出。

$$Q_P = \frac{1}{\pi \times [M_C \times (1 - D) - 0.5]} \tag{31}$$

其中

- D 是初级侧开关占空比
- M_C 是斜率补偿系数，由方程式 32 定义

$$M_C = \frac{S_e}{S_n} + 1 \tag{32}$$

其中

- S_e 是补偿斜坡斜率
- S_n 为电感上升斜率

斜率补偿的最佳目标是使 Q_P = 1；重新排列方程式 32 后，确定斜率补偿系数的理想值：

$$M_{ideal} = \frac{\frac{1}{\pi} + 0.5}{1 - D} \tag{33}$$

为了使该设计具有足够的斜率补偿，当 D 达到其最大值 0.627 时，M_C 必须为 2.193。

CS 引脚处的电感器上升斜率 (S_n) 通过方程式 34 计算得出。

$$S_n = \frac{V_{INmin} \times R_{CS}}{L_P} = 0.038 \frac{V}{\mu s} \tag{34}$$

补偿斜率 S_e 通过方程式 35 计算得出。

$$S_e = (M_C - 1) \times S_n = 44.74 \frac{mV}{\mu s} \tag{35}$$

补偿斜率通过 R_{RAMP} 和 R_{CSF} 添加到系统中。C_{RAMP} 是一个交流耦合电容器，其允许使用振荡器的电压斜坡，而不会为电流检测增加失调电压；选择一个接近高频短路的值（例如 10nF）作为起点，并根据需要进行调整。R_{RAMP} 和 R_{CSF} 电阻器从振荡器电荷斜率形成一个分压器，该比例斜坡被注入 CS 引脚以增加斜率补偿。选择远大于 R_{RT} 电阻的 R_{RAMP} 值，这样就不会使内部振荡器的负载下降，导致频率偏移。振荡器电荷斜率通过使用 RT/CT 锯齿波形的峰峰值电压 V_{OSCpp}（等于 1.9V）和最小导通时间计算得出，如方程式 37 所示。

$$t_{ONmin} = \frac{D}{f_{SW}} \tag{36}$$

$$S_{OSC} = \frac{V_{OSCpp}}{t_{ONmin}} = \frac{1.9\ V}{5.7\ \mu s} = 333 \frac{mV}{\mu s} \tag{37}$$

为了实现 44.74mV/μs 的补偿斜率，可以通过方程式 38 计算 R_{CSF} 电阻。在本设计中，选择 R_{RAMP} 为 24.9kΩ，R_{CSF} 为 3.8kΩ 电阻器。

Copyright © 2024 Texas Instruments Incorporated

$$R_{CSF} = \frac{R_{RAMP}}{\frac{S_{OSC}}{S_e} - 1} \tag{38}$$

8.2.2.10.3 开环增益

计算出功率级极点和零点并确定斜率补偿后，CCM 反激式转换器的功率级开环增益和相位就可以作为频率的函数来绘制。功率级传递函数可以用方程式 39 表示。

$$H_{OPEN}(s) = G_0 \times \frac{\left(1 + \frac{s(f)}{\omega_{ESRz}}\right) \times \left(1 - \frac{s(f)}{\omega_{RHPz}}\right)}{1 + \frac{s(f)}{\omega_{P1}}} \times \frac{1}{1 + \frac{s(f)}{\omega_{P2} \times Q_P} + \frac{s(f)^2}{(\omega_{P2})^2}} \tag{39}$$

可以使用方程式 40 绘制开环增益和相位的波特图。

$$Gain_{OPEN}(s) = 20 \times \log(|H_{OPEN}(s)|) \tag{40}$$

请参阅图 8-4 和图 8-5。

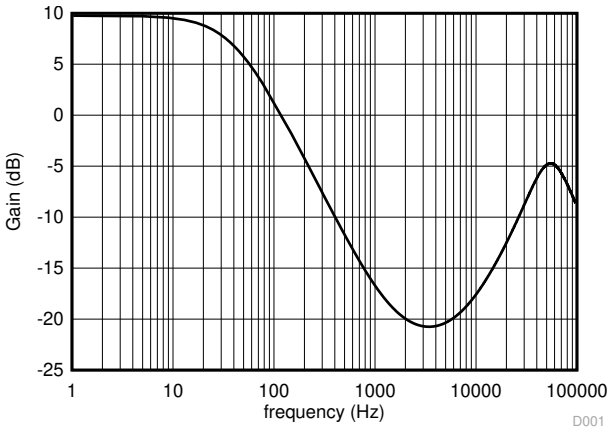


图 8-4. 转换器开环波特图 - 增益

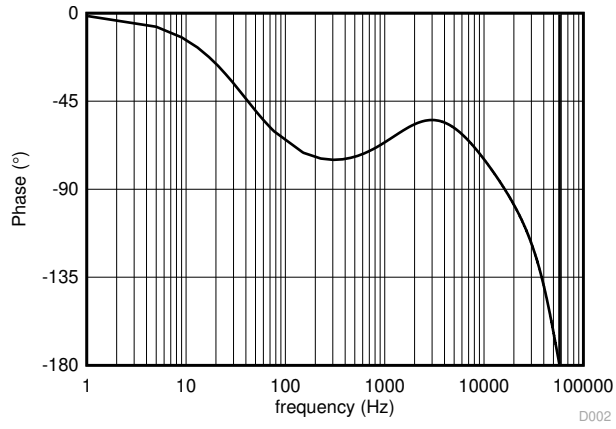


图 8-5. 转换器开环波特图 - 相位

8.2.2.10.4 补偿环路

补偿环路的设计涉及选择适当的元件，以便可以设计所需的增益、极点和零点，从而在整个工作范围内形成稳定的系统。环路有三个不同的部分：TL431、光耦合器和误差放大器。这些电路级每个都与功率级相结合，以形成稳定且稳健的系统。

为了获得良好的瞬态响应，最终设计的带宽必须尽可能大。使用方程式 41，CCM 反激式的带宽 f_{BW} 被限制为 RHP 零点频率的 ¼，或大概为 1.77kHz。

$$f_{BW} = \frac{f_{RHPz}}{4} \tag{41}$$

可以使用方程式 40 计算或在波特图（图 8-4）上观察到开环功率级在 f_{BW} 处的增益，该增益等于 -19.55dB，且 f_{BW} 处的相位等于 -58°。

补偿环路的次级侧部分首先建立调节后的稳态输出电压。为了设置稳压输出电压，TL431 可调节精密并联稳压器由于其精确的电压基准和内部运算放大器，因此非常适合在隔离变流器的次级侧使用。根据所需功耗选择从转换

器输出端子到 TL431 REF 引脚的分压器中使用的电阻器。由于 TL431 的 REF 输入电流仅为 2μA，因此为 1mA 的分压器电流 (I_{FB_REF}) 选择电阻器所产生的误差将极小。顶部分压器电阻 R_{FBU} 使用以下公式计算：

$$R_{FBU} = \frac{V_{OUT} - REF_{TL431}}{I_{FB_REF}} \quad (42)$$

TL431 基准电压 (REF_{TL431}) 的典型值为 2.495V。为 R_{FBU} 选用 9.53kΩ 电阻器。为了将输出电压设置为 12V，为 R_{FBB} 使用 2.49kΩ。

$$R_{FBB} = \frac{REF_{TL431}}{V_{OUT} - REF_{TL431}} \times R_{FBU} \quad (43)$$

为了获得良好的相位裕度，需要一个补偿器零点 (f_{COMPz})，并且应将其放置在所需带宽的 1/10 处：

$$f_{COMPz} = \frac{f_{BW}}{10} \quad (44)$$

$$\omega_{COMPz} = 2 \times \pi \times f_{COMPz} \quad (45)$$

使用该转换器，f_{COMPz} 应设置为大概 177Hz。放置在 TL431 阴极至 REF 之间的串联电阻器 (R_{COMPz}) 和电容器 (C_{COMPz}) 设置补偿器零点位置。将 C_{COMPz} 设置为 0.01μF，R_{COMPz} 可以使用以下公式计算：

$$R_{COMPz} = \frac{1}{\omega_{COMPz} \times C_{COMPz}} \quad (46)$$

对 R_Z 使用 88.7kΩ 的标准值并对 C_Z 使用 0.01μF，可得出零点位于 179Hz 处。

在图 8-3 中，R_{TLbias} 通过齐纳二极管 (D_{REG}) 提供的调节电压为 TL431 提供阴极电流。为了实现稳健的性能，通过 10V 齐纳提供 10mA 来偏置 TL431，并对 R_{TLbias} 使用 1kΩ 电阻器。

补偿环路的 TL431 部分的增益可使用方程式 47 来计算。

$$G_{TL431}(s) = \left(R_{COMPz} + \frac{1}{s(f) \times C_{ZCOMPz}}\right) \times \frac{1}{R_{FBU}} \quad (47)$$

在右半平面零点或 ESR 零点的频率（以最低者为准）处需要一个补偿极点。根据之前的分析，右半平面零点 (f_{RHPz}) 位于 7.07kHz 处，ESR 零点 (f_{ESRz}) 位于 1.68kHz 处；因此，对于这种设计，补偿极点必须设置在 1.68kHz 处。光耦合器包含一个难以在频率上表征的寄生极，因此该光耦合器设置了一个下拉电阻器，即 R_{OPTO} 等于 1kΩ，这使得寄生光耦合器极进一步移出，超出了本设计的关注范围。

可以使用 R_{COMPp} 和 C_{COMPp} 将所需的补偿极点添加到初级侧误差放大器中。选择 R_{COMPp} 为 10kΩ，使用方程式 48 确定 C_{COMPp} 的所需值。

$$C_{COMPp} = \frac{1}{2 \times \pi \times f_{ESRz} \times R_{COMPp}} = 9.46\ nF \quad (48)$$

C_{COMPp} 使用 10nF 电容器来将补偿极点设置为 1.59kHz。

可能需要在初级侧误差放大器上添加直流增益，以获得所需的带宽，并有助于根据需要调整环路增益。R_{FBG} 使用 4.99kΩ 来将误差放大器上的直流增益设置为 2。此时，补偿环路的误差放大器级的增益传递函数 ($G_{EA}(s)$) 可以使用方程式 49 来表征。

Copyright © 2024 Texas Instruments Incorporated

$$G_{EA}(s) = \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + s(f) \times C_{COMPp} \times R_{COMPp}}\right) \quad (49)$$

使用电流传输比 (CTR) 通常在相关频率范围内为 100% 的光耦合器，以便 CTR = 1，光耦合器级的传递函数 ($G_{OPTO}(s)$) 为方程式 50。

$$G_{OPTO}(s) = \frac{CTR \times R_{OPTO}}{R_{LED}} \quad (50)$$

至光耦合器内部二极管的偏置电阻器 (R_{LED}) 和光发射器上的下拉电阻器 (R_{OPTO}) 设置跨隔离边界的增益。R_{OPTO} 已设置为 1kΩ，但 R_{LED} 的值尚未确定。

总闭环增益 ($G_{TOTAL}(s)$) 是开环功率级 ($H_o(s)$)、光增益 ($G_{OPTO}(s)$)、误差放大器增益 ($G_{EA}(s)$) 和 TL431 级增益 ($G_{TL431}(s)$) 的组合，如方程式 51 中所示。

$$G_{TOTAL}(s) = |H_{OPEN}(s)| \times |G_{OPTO}(s)| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (51)$$

可以选择 R_{LED} 的所需值以实现所需的交叉频率 (f_{BW})。通过在所需的交叉频率处将总环路增益设置为 1 并重新排列方程式 51，可以确定 R_{LED} 的最优值，如方程式 52 所示。

$$R_{LED} \leq |H_{OPEN}(s)| \times |CTR \times C_{OPTO}| \times |G_{EA}(s)| \times |G_{TL431}(s)| \quad (52)$$

1.3kΩ 电阻器适合 R_{LED} 的要求。

基于补偿环路结构，将整个补偿环路传递函数写成方程式 53。

$$G_{CLOSED}(s) = H_{OPEN}(s) \times \left(\frac{CTR \times R_{OPTO}}{R_{LED}}\right) \times \left(\frac{R_{COMPp}}{R_{FBG}}\right) \times \left(\frac{1}{1 + \left(s \times C_{COMPp} \times R_{COMPp}\right)}\right) \times \left(\frac{R_{COMPz} + \left(\frac{1}{s \times C_{COMPz}}\right)}{R_{FBU}}\right) \quad (53)$$

最终的闭环波特图如图 8-6 和图 8-7 所示。该转换器实现的交叉频率大概为 1.8kHz，相位裕度大概为 67°。

TI 建议检查所有临界情况下的环路稳定性，包括元件公差，以确保系统稳定性。

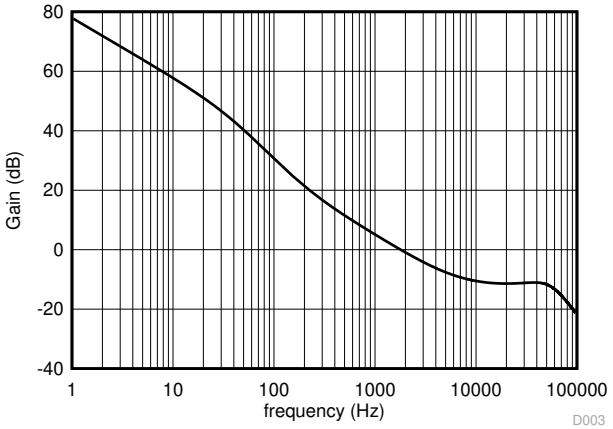


图 8-6. 转换器闭环波特图 - 增益

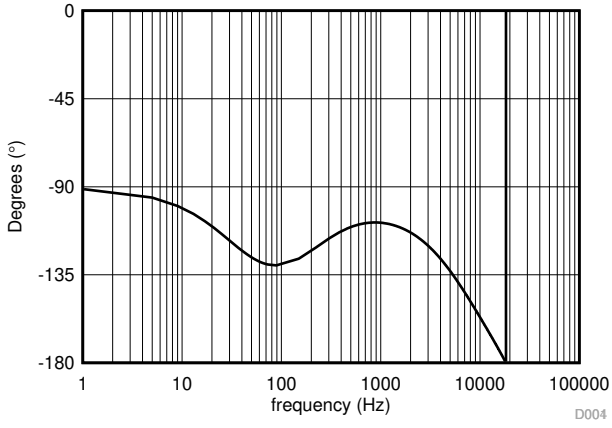


图 8-7. 转换器闭环波特图 - 相位

8.2.3 应用曲线

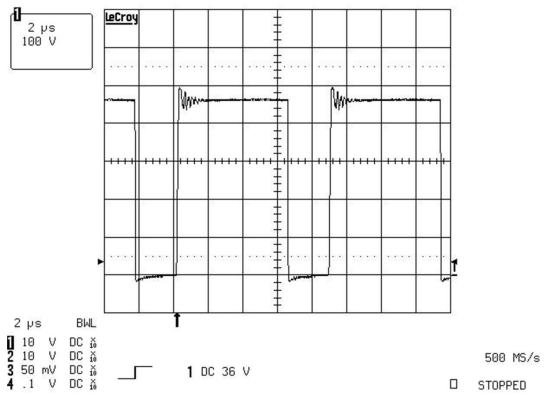


图 8-8. 240V 交流输入下的初级侧 MOSFET 漏源电压 (100V/div)

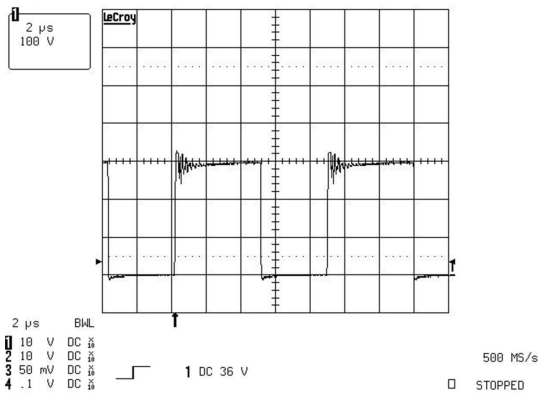
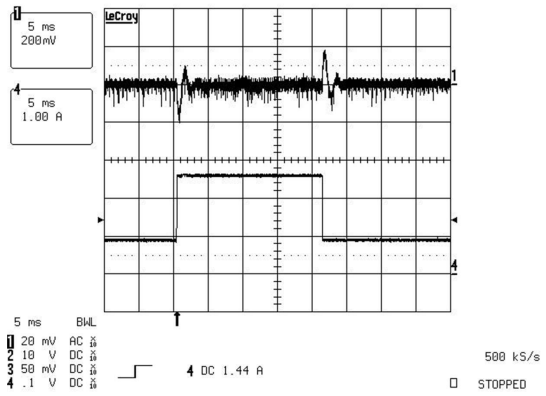


图 8-9. 120V 交流输入下的初级侧 MOSFET 漏源电压 (100V/div)



CH1：输出电压交流耦合，200mV/div

CH4：输出电流，1A/div

图 8-10. 0.9A 至 2.7A 负载瞬态期间的输出电压

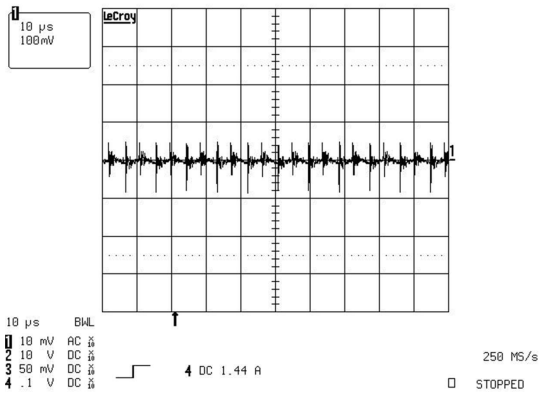


图 8-11. 满载条件下的输出电压纹波 (100mV/div)

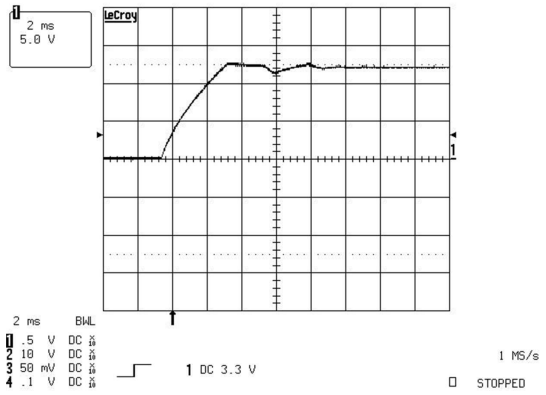


图 8-12. 满载启动条件下的输出电压行为 (5V/div)

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

绝对最大电源电压为 20V (UCC28C42)，包括可能存在的任何瞬态电压。如果超过该电压，则可能会损坏器件。这种损坏风险与前代双极器件形成对比，后者可承受高达 30V 的电压。因此，电源引脚必须尽可能靠近 GND 引脚，进行去耦。

器件中不包含钳位，因此必须保护电源引脚免受可能超过 20V 电平的外部电源的影响。

为了防止由于前沿噪声而引起的误触发，CS 上可能需要 RC 电流检测滤波器。保持 RC 滤波器的时间常数远低于最小导通时间脉冲宽度。

为了防止高速开关瞬态的噪声问题，请使用靠近 IC 封装的陶瓷电容器将 VREF 旁路至接地。至少需要 0.1μF 陶瓷电容器。基准上的外部负载需要额外的 VREF 旁路。除陶瓷电容器外，还可以使用电解电容器。

8.4 布局

8.4.1 布局指南

8.4.1.1 注意事项

对于高频电源，必须仔细考虑印刷板的布局布线。随着器件开关速度和工作频率的提高，转换器的布局布线变得越来越重要。

这款 8 引脚器件只有一个用于逻辑和电源连接的接地端。这会强制栅极驱动电流脉冲流经控制电路用作基准的同一接地端。因此，必须尽可能减小互连电感。这意味着，要将器件（栅极驱动器）电路放置在其所驱动的 MOSFET 附近。这可能与误差放大器和反馈路径要远离噪声生成元件这一需求相冲突。

在 PWM 受控的印刷电路板布局布线中，计时电容器的放置是最关键的一项。虽然电源和基准旁路电容器的位置都很重要，但计时电容器的放置更为关键。由于过长印刷电路布线的电感或接近高功率开关噪声而引起的噪声拾取，C_{CT} 波形上的任何噪声尖峰都会导致各种运行问题。从由于噪声尖峰导致振荡器预触发而引起的工作频率错误到不同占空比下的频率跳跃（也是由噪声尖峰引起的），问题各不相同。必须将计时电容器的放置视为最重要的布局布线注意事项。使 PC 迹线尽可能短，以尽可能地减少增加的串联电感。

8.4.1.2 反馈走线

尽量使反馈迹线远离电感器和噪声电源迹线。还应让反馈迹线尽可能直且稍宽一些。这两者之间有时需要权衡，但两者中更关键的是要使其远离 EMI 和其他噪声源。如果可能，则在与电感器相对的 PCB 一侧铺设反馈走线，并使用接地平面将两者分开。

8.4.1.3 旁路电容器

当使用低值陶瓷旁路电容器时，必须将其放在尽可能靠近器件 VDD 引脚的位置。这样将尽可能多地消除布线电感效应，并为内部器件电压轨提供更干净的电压电源。使用表面贴装电容器还可以减少引线长度，并尽量避免通孔器件产生的噪声耦合到有效天线中。

Copyright © 2024 Texas Instruments Incorporated

8.4.1.4 补偿器件

为了获得最佳的稳定性，外部补偿元件必须放置在靠近 IC 的位置。使 FB 引线长度保持尽可能短，并使 FB 杂散电容保持尽可能小。出于对滤波电容器的相同原因，此处 TI 也建议使用表面贴装元件。这些元件不得放在非常靠近具有高开关噪声的走线的位置。

8.4.1.5 迹线和接地平面

使所有电源（大电流）迹线尽可能短、直且宽。在标准 PCB 板上，最佳做法是使迹线的绝对最小值为每安培 15mil (0.381mm)。电感器、输出电容器和输出二极管必须尽可能彼此靠近。这有助于减少通过电源迹线的大开关电流而产生的 EMI。这也减少了引线电感和电阻，从而减少了产生电压误差的噪声尖峰、振铃和电阻损耗。

IC、输入电容器、输出电容器和输出二极管（如适用）的接地必须紧密相连，直接连接到接地平面。另外最好在 PCB 的两侧都布置一个接地平面。这还通过减少接地环路误差以及吸收更多电感器辐射的 EMI 来减少噪声。对于超过两层的多层板，可以使用接地平面来将电源平面（电源迹线和元件所在的位置）和信号平面（反馈和补偿以及元件所在的位置）分开，以提高性能。在多层板上，需要使用过孔来连接走线和不同的平面。如果迹线需要将大量电流从一个平面传导到另一个平面，则建议每 200mA 电流使用一个标准过孔。

排列组件，使得开关电流环路以同一方向旋转回流。由于开关稳压器的工作方式，有两种电源状态。一种是开关导通时的状态，另一种是开关关断时的状态。在每个状态下，都有一个由当前导通的电源元件构成的电流环路。放置电源元件时确保在两种状态中的每一种状态下，电流环路都会以相同的方向导通。这可以防止两个半周期之间的迹线引起的磁场反转，并减少辐射的 EMI。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

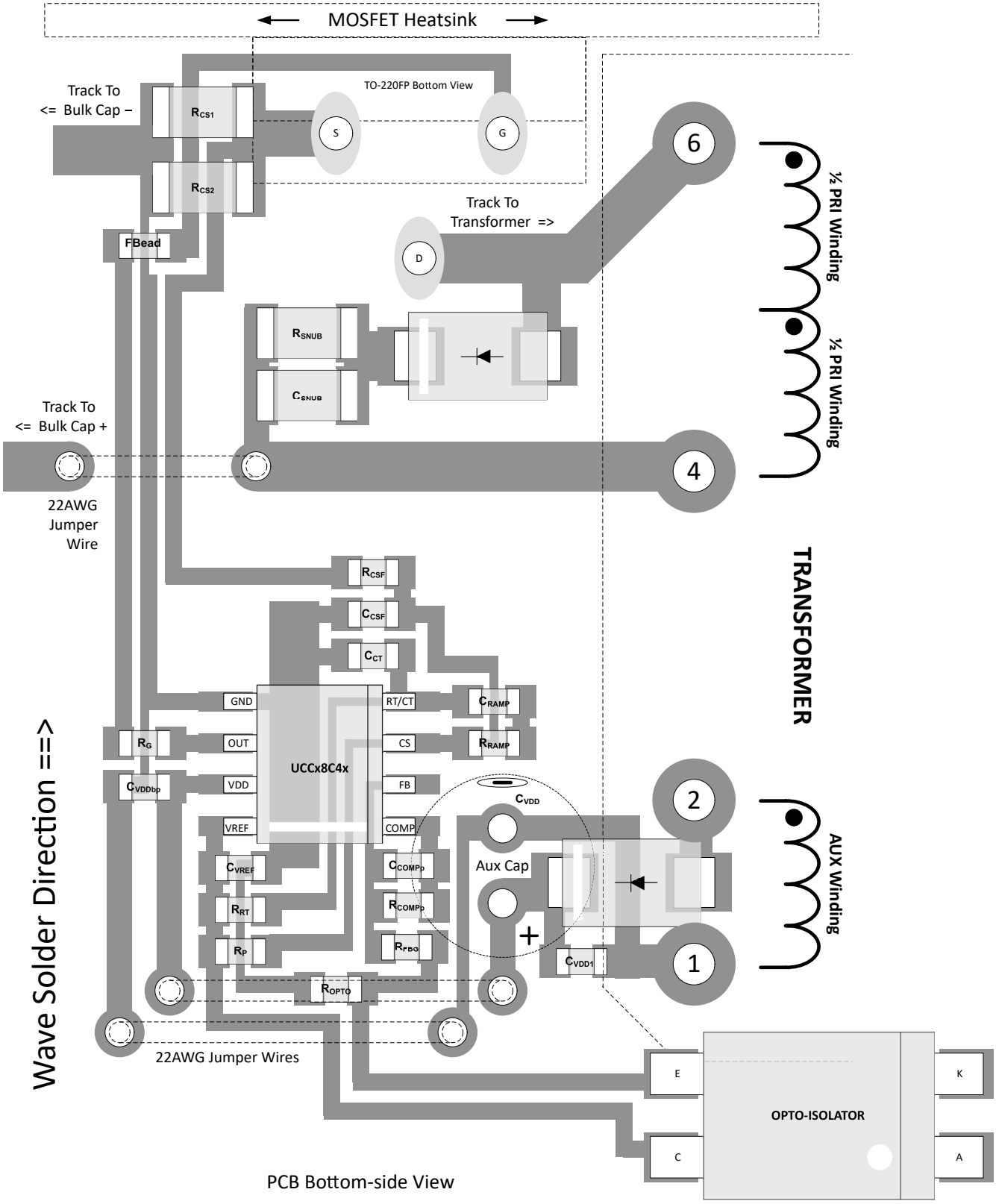


图 8-13. UCCx8C4x 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

UC384x 提供低成本电流模式控制 (SLUA143)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2024 Texas Instruments Incorporated

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (September 2022) to Revision I (June 2024)	Page
• 向“电气特性”部分中添加了 COMP 引脚短路电流	7

Changes from Revision G (January 2017) to Revision H (September 2022)	Page
• 将 -40°C 至 105°C 更改为 -40°C 至 125°C，并将 0°C 至 70°C 更改为 0°C 至 85°C	1
• 删除了“器件信息”中的 *PDIP* 封装	1
• 更新了“器件比较表”中的 T_J *范围*	3
• 从引脚配置中删除了 *PDIP* 封装	4
• 从绝对最大值表中删除了 *PDIP* 封装	5
• 更新了绝对最大值表中的*总功率耗散* 值	5
• 在建议运行条件中添加了来自外部电路的 V_{REF} *最大连续电压*	6
• 更新了建议运行条件表中的 T_J *最大值*	6
• 更新了“热性能信息”中的所有*热阻数值*	7
• 更新了“电气特性”部分	7

Changes from Revision F (August 2016) to Revision G (January 2017)	Page
• 更改了 $V_{REFLECTED}$ 公式。	28
• 更改了 D_{MAX} 公式。	28

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC28C40D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	28C40
UCC28C40DGK	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	28C40
UCC28C40DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C40, 2C40)
UCC28C40DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C40, 2C40)
UCC28C40DGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2C40
UCC28C40DGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2C40
UCC28C40DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C40
UCC28C40DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C40
UCC28C41D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	28C41
UCC28C41DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C41, 2C41)
UCC28C41DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C41, 2C41)
UCC28C41DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C41
UCC28C41DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C41
UCC28C42DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C42, 2C42)
UCC28C42DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C42, 2C42)
UCC28C42DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C42
UCC28C42DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C42
UCC28C42DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C42
UCC28C43DGK	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	28C43
UCC28C43DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C43, 2C43)
UCC28C43DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C43, 2C43)
UCC28C43DGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 125	(28C43, 2C43)
UCC28C43DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C43
UCC28C43DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C43
UCC28C43DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C43
UCC28C44DGK	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	28C44
UCC28C44DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C44, 2C44)
UCC28C44DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C44, 2C44)
UCC28C44DGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2C44

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC28C44DGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2C44
UCC28C44DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C44
UCC28C44DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C44
UCC28C44DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C44
UCC28C45DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C45, 2C45)
UCC28C45DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(28C45, 2C45)
UCC28C45DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C45
UCC28C45DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C45
UCC28C45DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28C45
UCC38C40DGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C40
UCC38C40DGK.A	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C40
UCC38C40DGKR	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag	Level-2-260C-1 YEAR	0 to 85	38C40
UCC38C40DGKR.A	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 85	38C40
UCC38C40DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C40
UCC38C40DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C40
UCC38C41DGK	Active	Production	VSSOP (DGK) | 8	100 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C41
UCC38C41DGK.A	Active	Production	VSSOP (DGK) | 8	100 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C41
UCC38C41DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C41
UCC38C41DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C41
UCC38C41DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C41
UCC38C42D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 85	38C42
UCC38C42DGK	Active	Production	VSSOP (DGK) | 8	100 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C42
UCC38C42DGK.A	Active	Production	VSSOP (DGK) | 8	100 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C42
UCC38C42DGKR	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag	Level-2-260C-1 YEAR	0 to 85	38C42
UCC38C42DGKR.A	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 85	38C42
UCC38C42DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C42
UCC38C42DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C42
UCC38C42DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C42
UCC38C43D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 85	38C43
UCC38C43DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	0 to 85	(38C43, 3C43)
UCC38C43DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	0 to 85	(38C43, 3C43)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC38C43DGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	0 to 85	(38C43, 3C43)
UCC38C43DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C43
UCC38C43DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C43
UCC38C43P	Obsolete	Production	PDIP (P) | 8	-	-	Call TI	Call TI	0 to 85	UCC38C43P
UCC38C44D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 85	38C44
UCC38C44DGK	NRND	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C44
UCC38C44DGK.A	NRND	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C44
UCC38C44DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag	Level-2-260C-1 YEAR	0 to 85	38C44
UCC38C44DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 85	38C44
UCC38C44DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C44
UCC38C44DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C44
UCC38C45DGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C45
UCC38C45DGK.A	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	0 to 85	38C45
UCC38C45DGKR	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag	Level-2-260C-1 YEAR	0 to 85	38C45
UCC38C45DGKR.A	NRND	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	0 to 85	38C45
UCC38C45DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C45
UCC38C45DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 85	38C45

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC28C40, UCC28C41, UCC28C42, UCC28C43, UCC28C44, UCC28C45 :

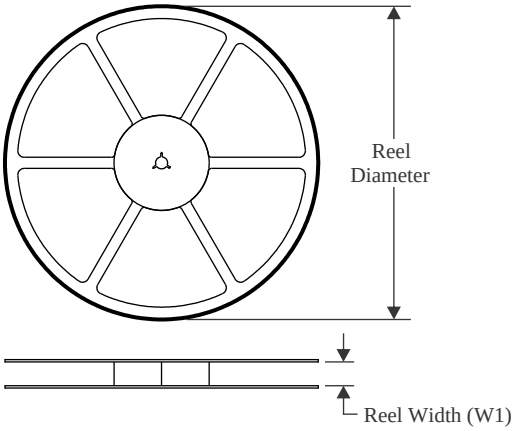
- Automotive : UCC28C40-Q1, UCC28C41-Q1, UCC28C42-Q1, UCC28C43-Q1, UCC28C44-Q1, UCC28C45-Q1
- Enhanced Product : UCC28C43-EP, UCC28C45-EP

NOTE: Qualified Version Definitions:

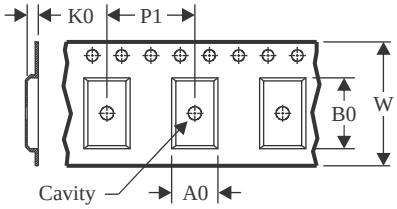
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

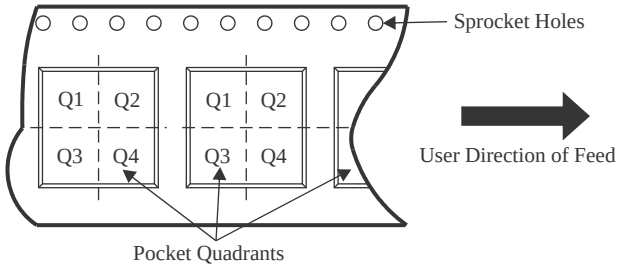


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

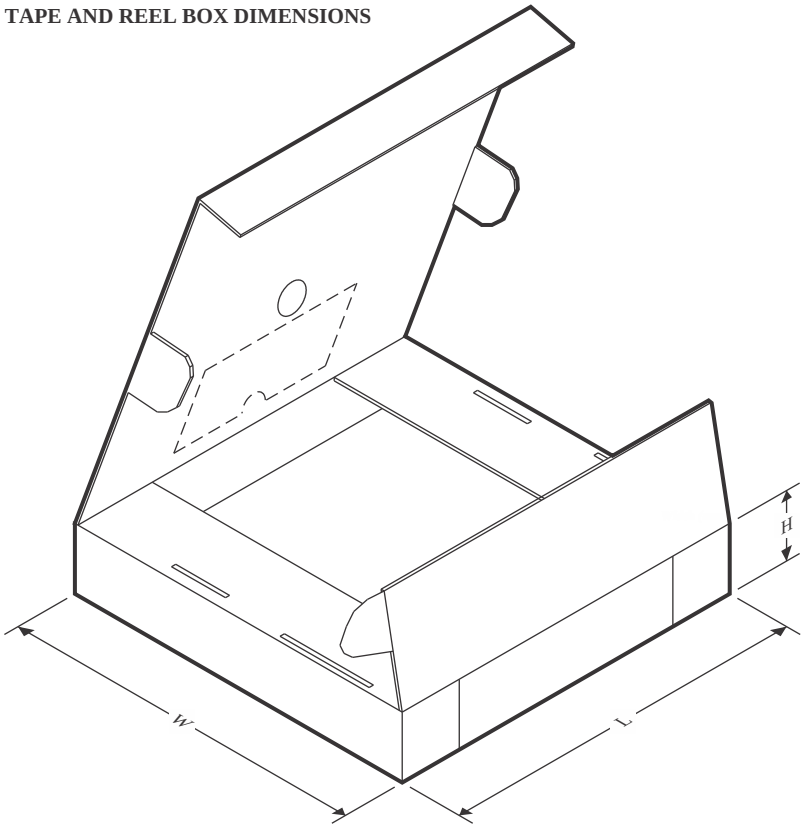


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC28C40DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C40DGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C40DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28C41DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C41DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28C42DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C42DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28C43DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C43DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28C44DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C44DGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C44DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28C45DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC28C45DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC38C40DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC38C41DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC38C42DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC38C43DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC38C43DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC38C44DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC38C45DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

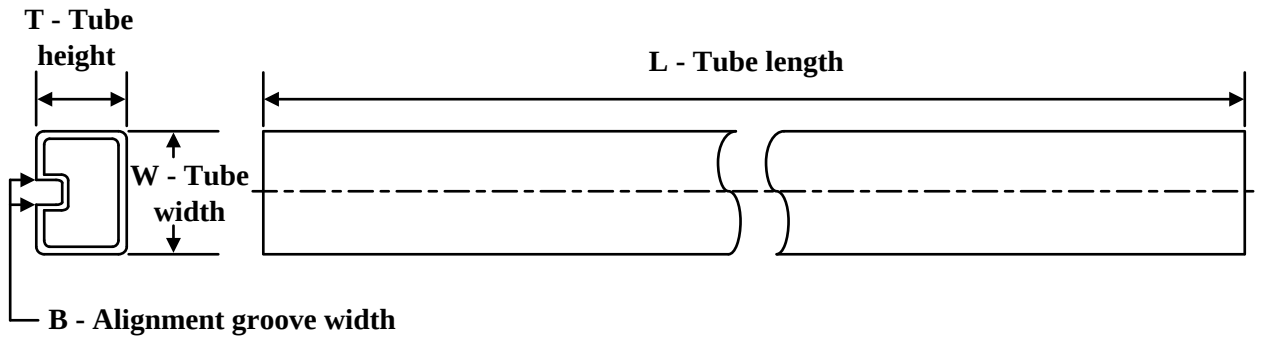


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC28C40DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C40DGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C40DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28C41DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C41DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28C42DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C42DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28C43DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C43DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28C44DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C44DGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C44DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28C45DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
UCC28C45DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C40DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C41DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C42DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C43DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC38C43DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C44DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC38C45DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

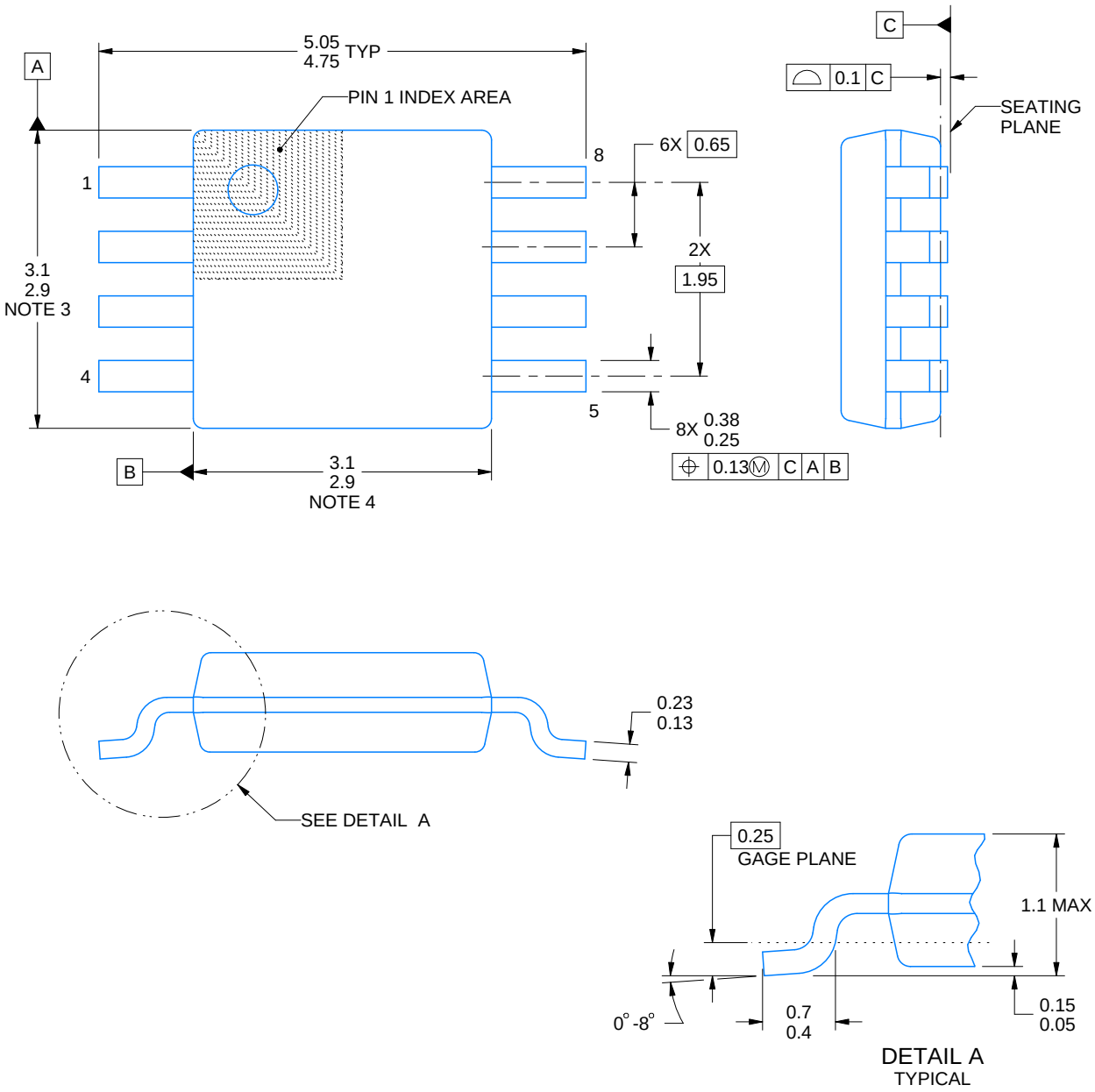
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UCC38C40DGK	DGK	VSSOP	8	80	330.2	6.6	3005	1.88
UCC38C40DGK.A	DGK	VSSOP	8	80	330.2	6.6	3005	1.88
UCC38C41DGK	DGK	VSSOP	8	100	330.2	6.6	3005	1.88
UCC38C41DGK.A	DGK	VSSOP	8	100	330.2	6.6	3005	1.88
UCC38C42DGK	DGK	VSSOP	8	100	330.2	6.6	3005	1.88
UCC38C42DGK.A	DGK	VSSOP	8	100	330.2	6.6	3005	1.88
UCC38C44DGK	DGK	VSSOP	8	80	330.2	6.6	3005	1.88
UCC38C44DGK.A	DGK	VSSOP	8	80	330.2	6.6	3005	1.88
UCC38C45DGK	DGK	VSSOP	8	80	330.2	6.6	3005	1.88
UCC38C45DGK	DGK	VSSOP	8	80	274	6.55	500	2.88
UCC38C45DGK.A	DGK	VSSOP	8	80	274	6.55	500	2.88
UCC38C45DGK.A	DGK	VSSOP	8	80	330.2	6.6	3005	1.88

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

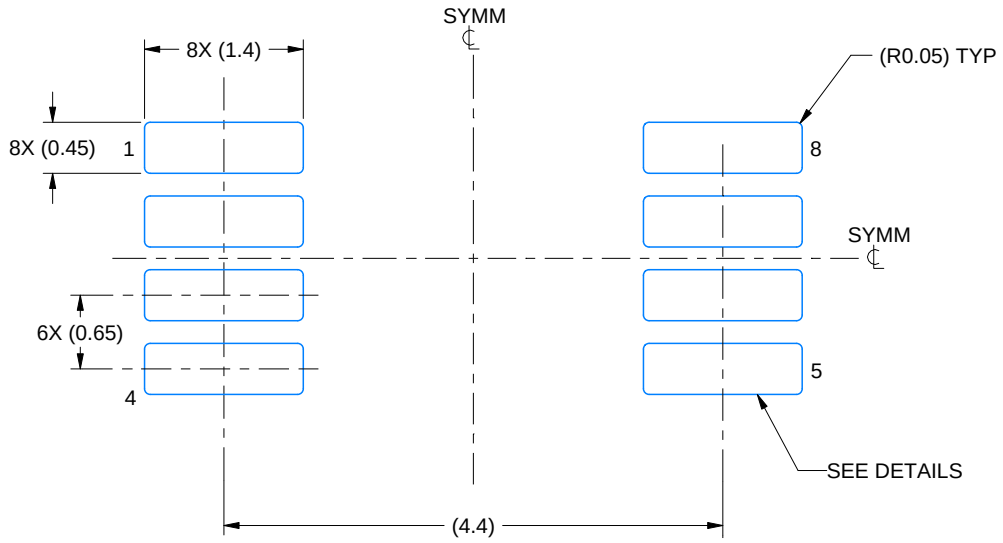
SMALL OUTLINE PACKAGE



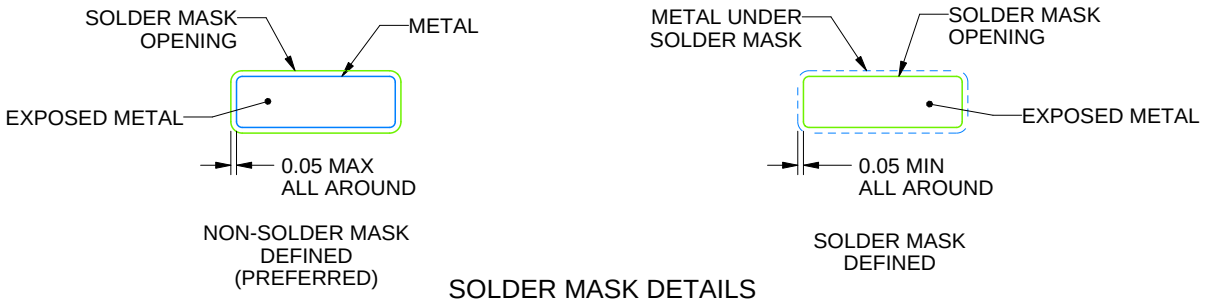
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

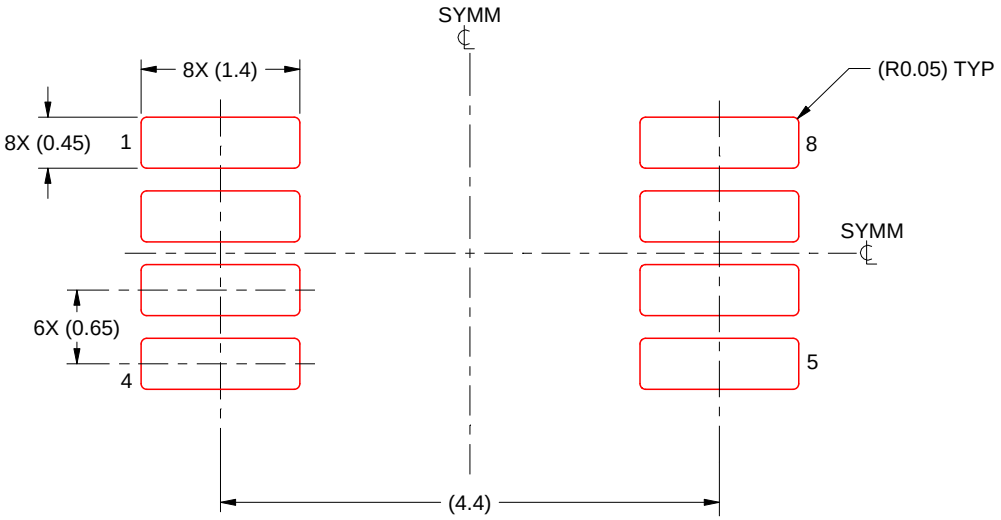


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

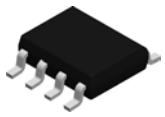


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

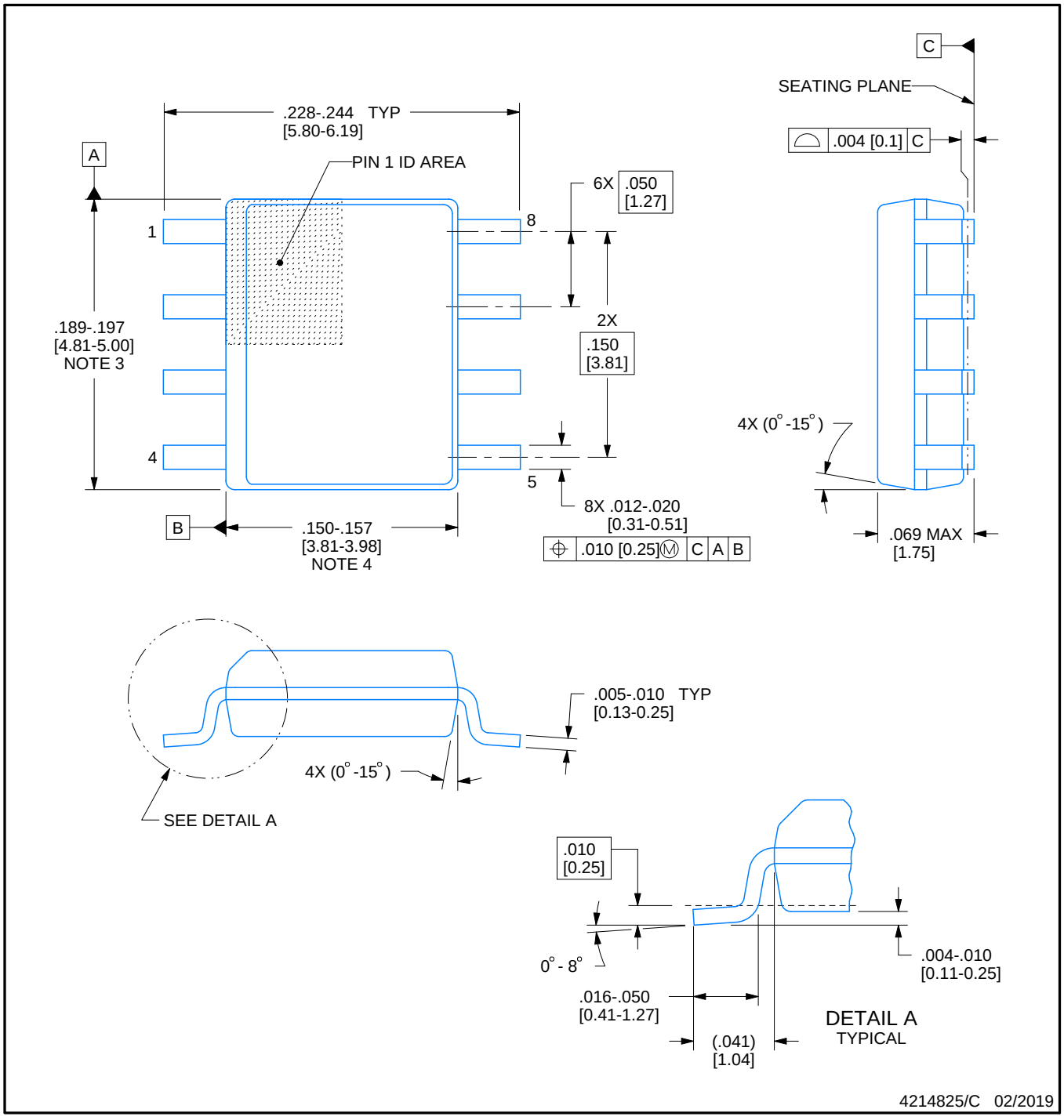


PACKAGE OUTLINE

D0008A

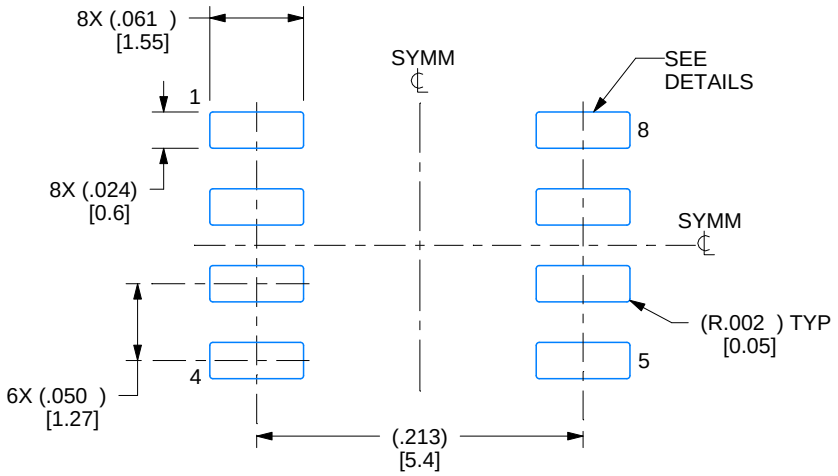
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

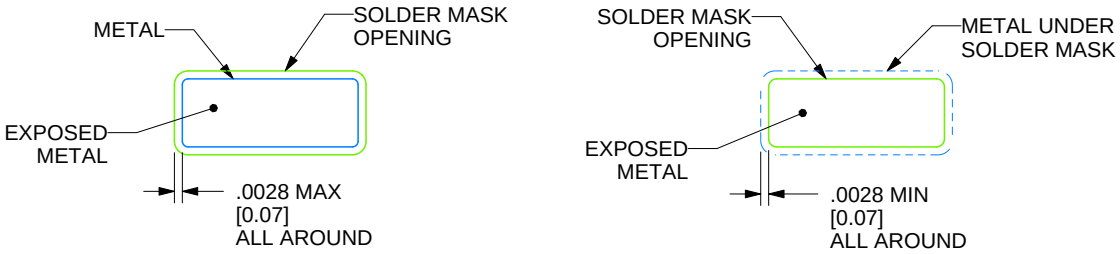


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

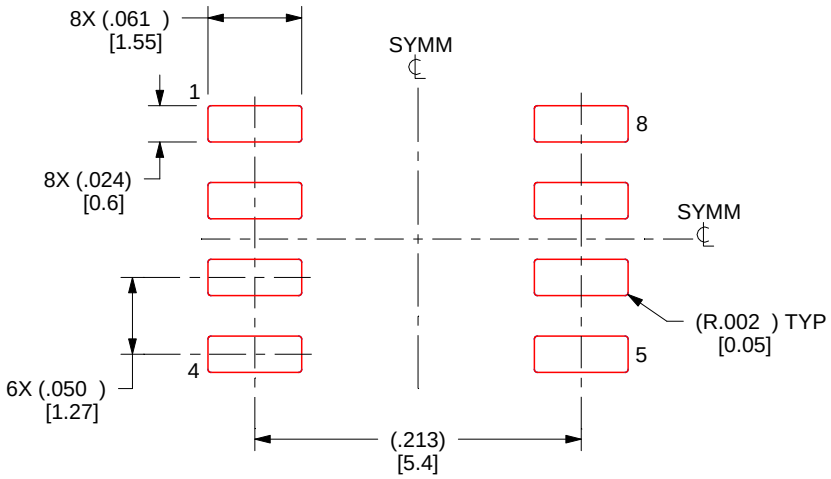
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



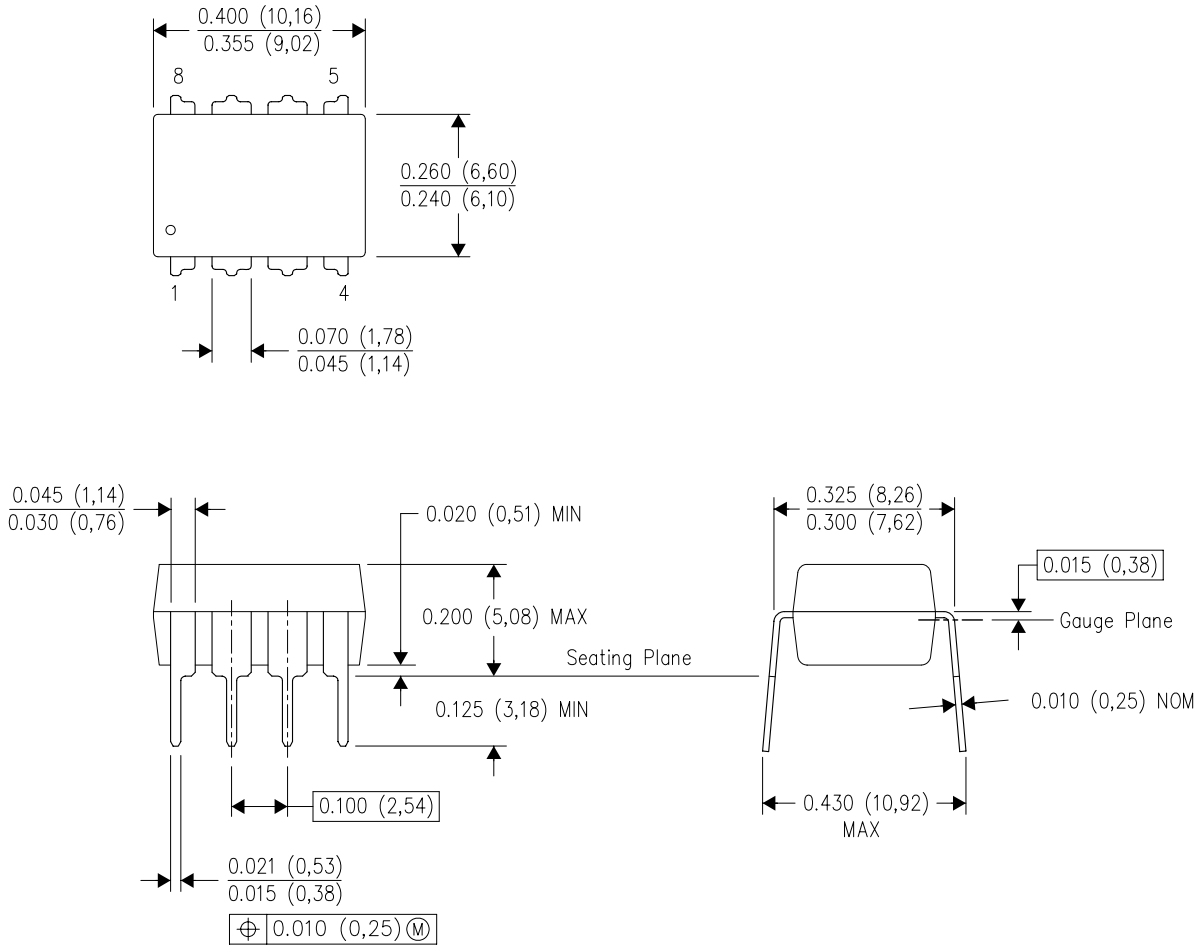
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月