

Application Note

AM263x 和 AM263Px 硬件设计指南



摘要

这是硬件设计人员基于 AM263x 和 AM263Px 系列 MCU 器件创建 PCB 系统的指南。本文档将各种 AM263x 和 AM263Px 评估模块 (EVM) (如 LP-AM263 LaunchPad™ 和 TMDSCNCD263P controlCard) 特定于器件的原理图和 PCB 布局建议及硬件设计示例与 [AM263x Sitara™ 微控制器数据表](#)、[AM263Px Sitara™ 微控制器数据表](#)、[AM263x Sitara™ 微控制器技术参考手册](#)、[AM263Px Sitara™ 微控制器技术参考手册](#) 以及其他配套文档和工具整合在了一起, 如[节 13](#) 所示。

内容

1 简介.....	2
1.1 首字母缩写词.....	4
2 电源.....	4
2.1 分立式直流/直流电源解决方案.....	5
2.2 集成的 PMIC 电源解决方案.....	7
2.3 电源去耦和滤波.....	8
2.4 功耗.....	12
2.5 配电网络.....	12
2.6 电子保险丝电源.....	18
3 计时.....	19
3.1 晶体和振荡器输入选项.....	19
3.2 输出时钟生成.....	21
3.3 晶体选择和并联电容.....	21
3.4 晶体放置和布线.....	21
4 复位.....	21
5 自动加载.....	23
5.1 SOP 信号实现.....	23
5.2 OSPI/QSPI 存储器实现.....	25
5.3 ROM OSPI/QSPI 引导要求.....	29
6 JTAG 仿真器和跟踪.....	29
7 多路复用外设.....	30
8 数字外设.....	31
8.1 通用数字外设布线指南.....	31
9 模拟外设.....	31
9.1 通用模拟外设布线指南.....	31
10 层堆叠.....	32
10.1 关键堆叠特性.....	33
11 过孔.....	33
12 BGA 电源扇出和去耦放置.....	34
12.1 接地回路.....	34
12.2 1.2V 内核数字电源.....	35
12.3 3.3V 数字和模拟电源.....	37
12.4 1.8V 数字和模拟电源.....	40
13 参考资料.....	43
修订历史记录.....	43

商标

LaunchPad™ and Sitara™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
所有商标均为其各自所有者的财产。

1 简介

AM263x 和 AM263Px 器件是 Sitara™ MCU 系列中基于单核、双核或四核 Arm® Cortex®-R5F 的 MCU，适用于工业和汽车运动控制环境。图 1-1 中显示了采用分立式电源解决方案的基于 AM263x 或 AM263Px 的典型设计。此图摘自 AM263x LaunchPad (LP-AM263) 系统方框图。图 1-2 中显示了采用基于 PMIC (电源管理集成电路) 的电源解决方案的基于 AM263x 或 AM263Px 的典型设计。此图摘自 AM263Px controlCard (TMDSCNCD263P) 系统方框图。如下所示，AM263x 和 AM263Px 器件为设计人员提供了丰富的数字连接、控制和模拟传感器反馈选项，支持多个电源解决方案。

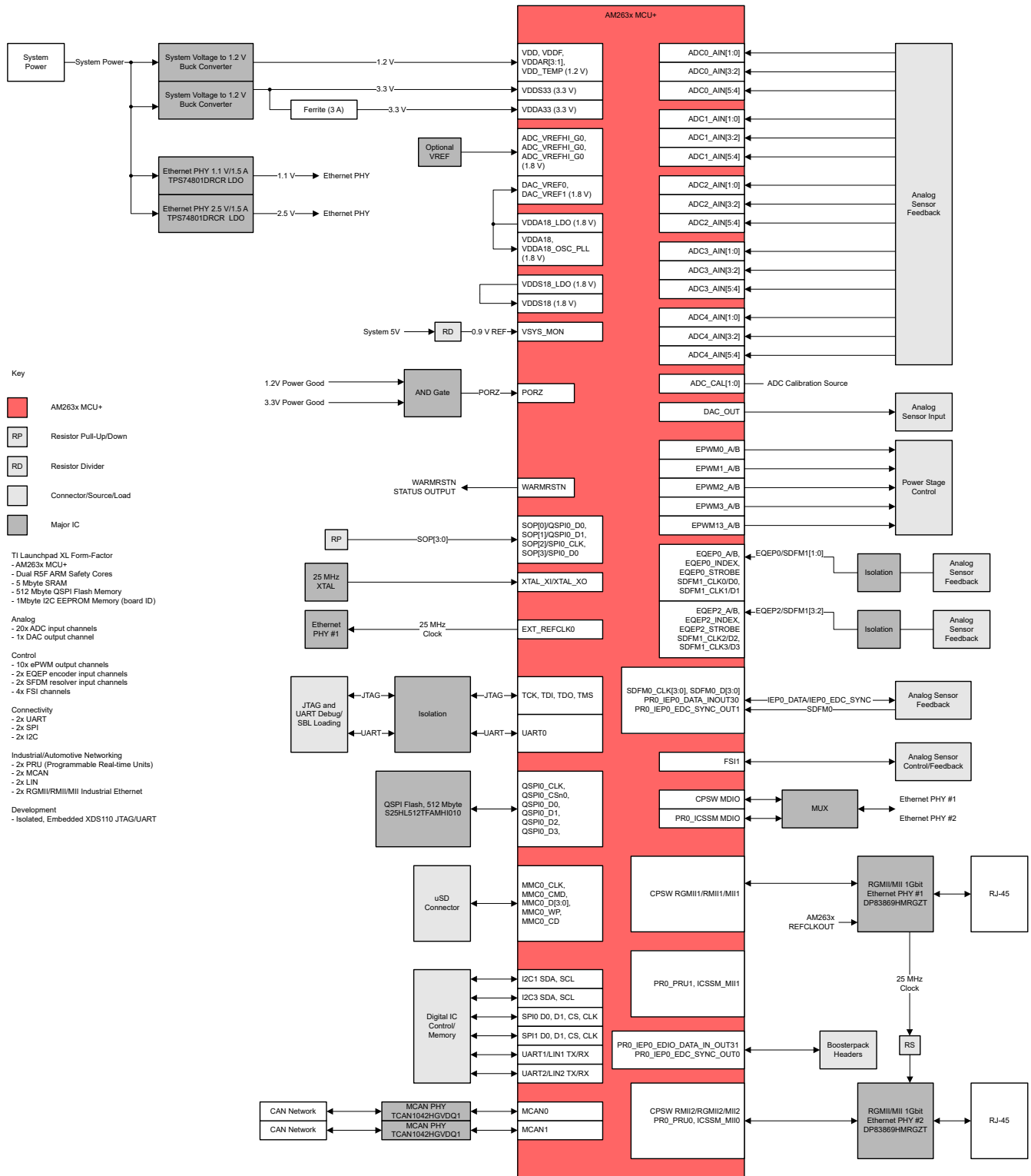


图 1-1. 具有分立式电源的典型 AM263x 或 AM263Px 系统方框图 (基于 LP-AM263 LaunchPad 设计)

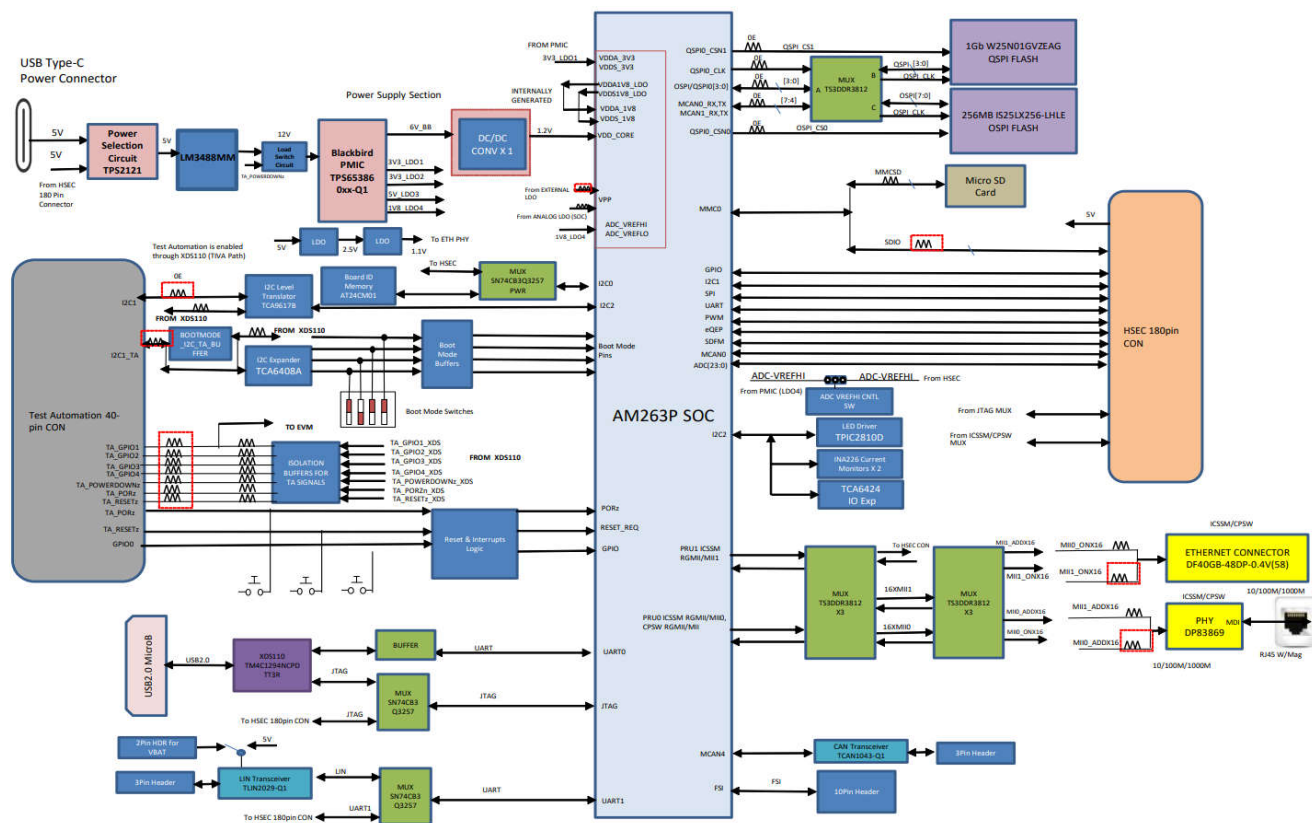


图 1-2. 具有 PMIC 电源的典型 AM263x 或 AM263Px 系统方框图 (基于 TMDSCNCD263P controlCard 设计)

请同时参考本文档和其他关键 AM263x 和 AM263Px 配套资料。其中包括：

- [AM263x Sitara™ 微控制器数据表 \[11111\]](#) 和 [AM263Px Sitara™ 微控制器数据表 \[44444\]](#) 是关于所有器件引脚排列和引脚级多路复用选项的主要资源。
- 在启动新的 AM263x 或 AM263Px 引脚排列和利用驱动程序时，应使用 [SYSCONFIG \[12\]](#) 引脚多路复用规划工具。
- [AM263x Sitara™ 微控制器技术参考手册 \[22222\]](#) 和 [AM263Px Sitara™ 微控制器技术参考手册 \[55555\]](#) 文档从概念、使用和编程模型的角度详细介绍了每个内核和外设子系统。
- [AM263x MCU-SDK \[16\]](#) 综合了数据表和技术参考手册与内核和外设软件使用示例。

1.1 首字母缩写词

表 1-1. 本文档中使用的首字母缩写词

首字母缩写词	说明
EVM	硬件模块。参考 TI PCB 组件，例如 AM263x controlCARD (TMDSCNCD263) 或 AM263x LaunchPad (LP-AM263)
PDN	配电网。为 AM263x MCU 电源引脚等负载提供稳压电源的有源和无源器件。
EMI	电磁干扰
PI	电源完整性
SI	信号完整性
材料清单	物料清单

2 电源

2.1 分立式直流/直流电源解决方案

AM263x LaunchPad 和 AM263x controlCARD EVM 设计都集成了一组降压转换器、直流/直流稳压器，这些稳压器可用作某些系统的基准电源解决方案。该解决方案包含一对用于 AM263x MCU 内核的 TPS62913 降压转换器稳压器、系统数字和模拟 I/O 电源以及一组用于为配对工业以太网 PHY 供电的 TPS74801 LDO。

直流/直流闭环和无源电源平面以及去耦网络的电流和瞬态要求摘自功耗和瞬态负载表：表 2-3 和表 2-4。许多直流/直流稳压器可匹配以满足这些要求和最大功耗。

还建议使用这些和类似直流/直流稳压器上提供的电源正常生成电路将上电复位 (PORz) 驱动到 AM263x 中。

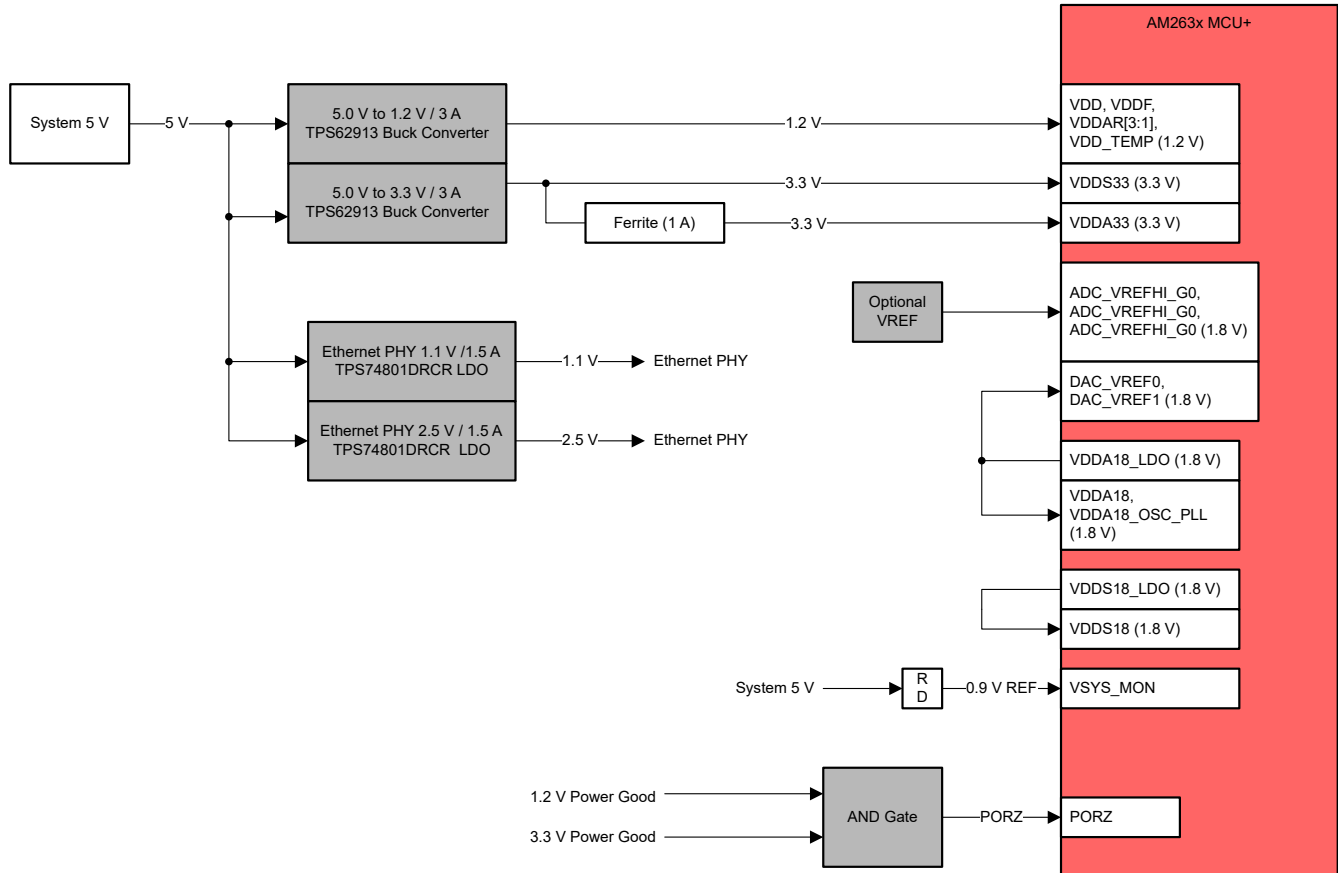


图 2-1. AM263x 直流/直流稳压器示例解决方案

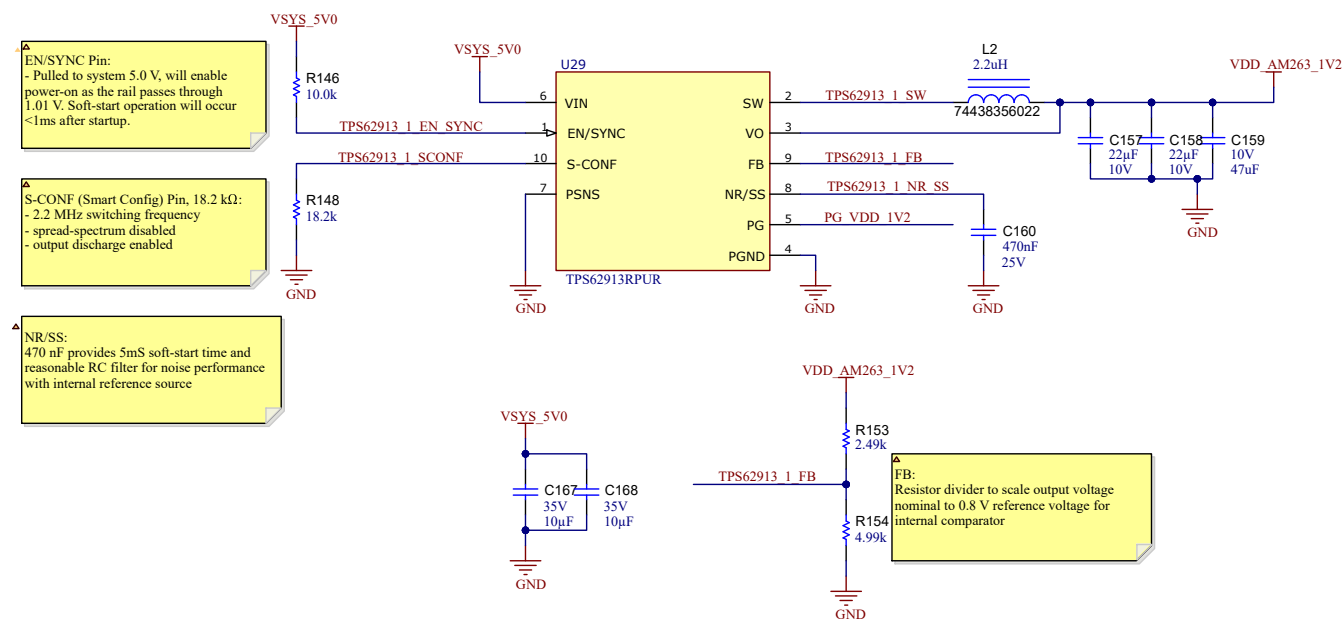


图 2-2. AM263x LP-AM263 原理图摘录 1.2V 内核电源实现

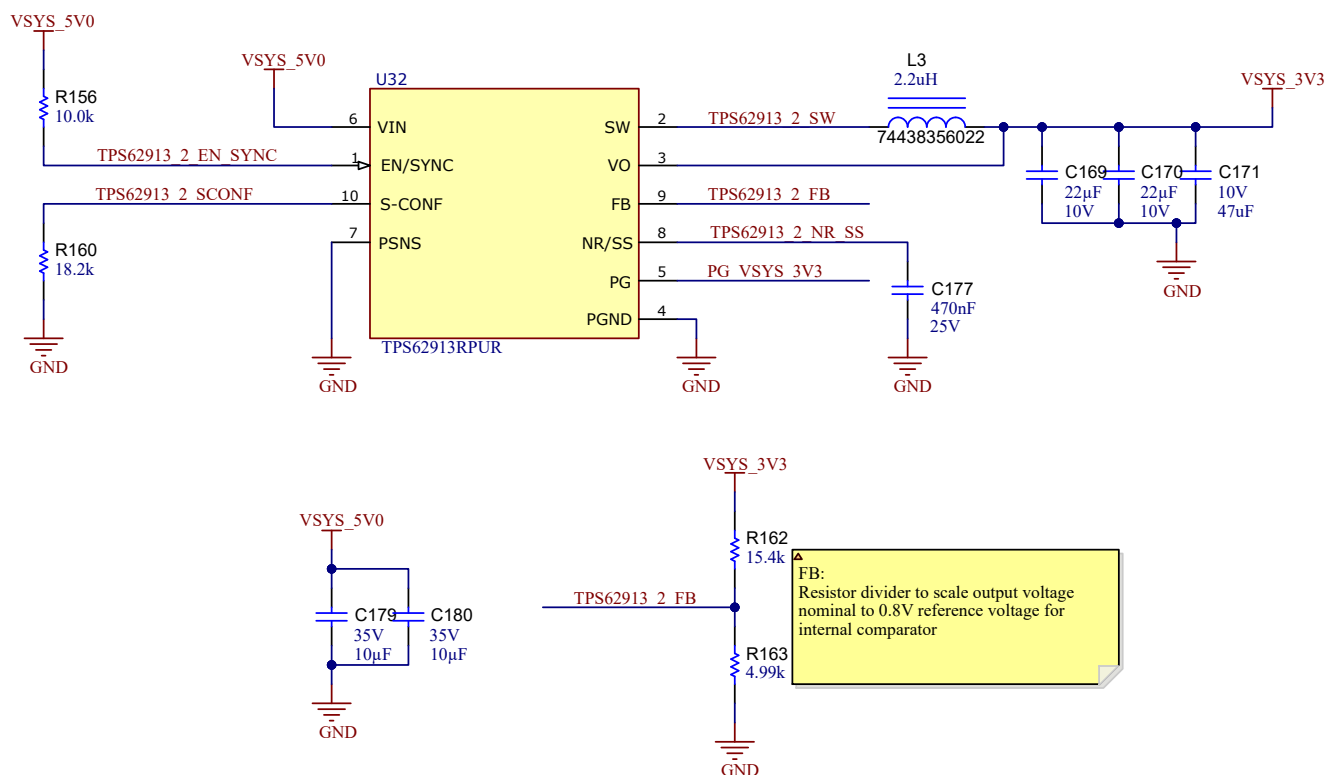


图 2-3. AM263x LP-AM263 原理图摘录 3.3V 系统数字/模拟 I/O 电源实现

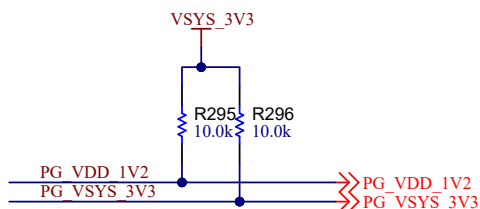


图 2-4. AM263x LP-AM263 原理图摘录 - 电源正常实现 (另请参阅 PORz 复位实现)

2.2 集成的 PMIC 电源解决方案

AM263Px controlCard EVM 设计在安全相关应用中为微控制器使用多轨电源 (TPS6538600QDCARQ1)。该 PMIC 集成多个电源轨，用于为 MCU、CAN 以及其他板载外设供电。

PMIC 的 NRES 输出应该用于帮助驱动 AM263x 或 AM263Px 器件的 PORz 复位输入，以确保在 MCU 从复位状态释放之前完成电源轨的上电时序控制。

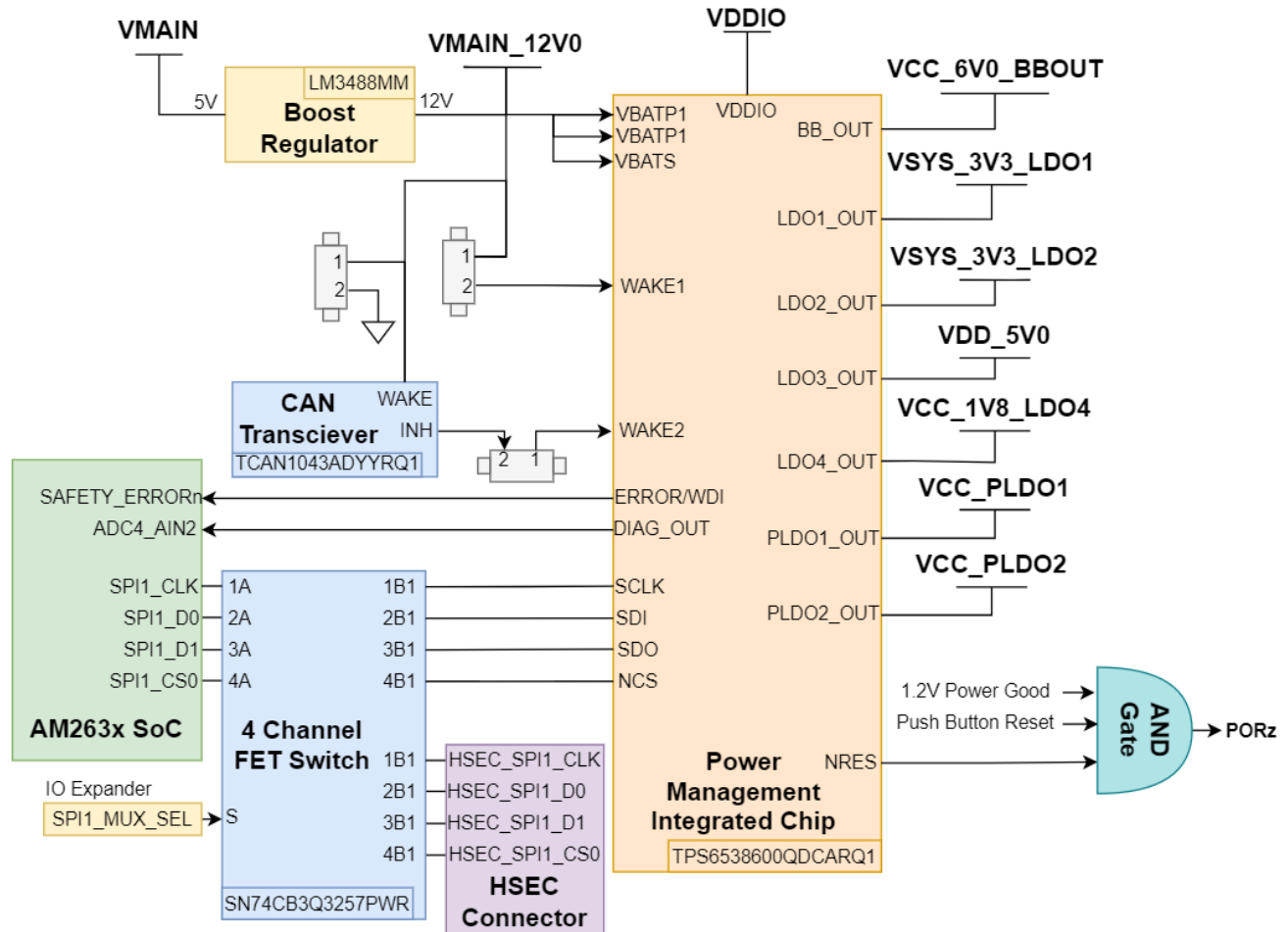


图 2-5. AM263Px TMDSCNCD263P PMIC 实现

2.3 电源去耦和滤波

表 2-1 描述了 AM263x 和 AM263Px 所需的初始 BGA 去耦和电源滤波。这些特性基于 Control Card EVM PCB 和 AM263x 封装在瞬态用例中的初始仿真反馈，如表 2-3 所示。

以下各节以及 AM263x EVM 原理图和布局中介绍的去耦网络是任何 AM263x 或 AM263Px PCB 设计的合理起点。但是，由于特定的 PCB 布线差异以及由此产生的平面电容和去耦安装电感以及其他寄生效应，强烈建议设计人员仿真和测量其特定的配电网络性能。理想情况下，仿真和测量应在目标应用软件处于活动状态和适用于系统的预期操作环境条件情况下进行。

AM263Px 传感器封装具有一组额外的 ADC 基准电压 ADC_VREFHI_G3 和 ADC_VREFLO_G3，如图 2-10 所示

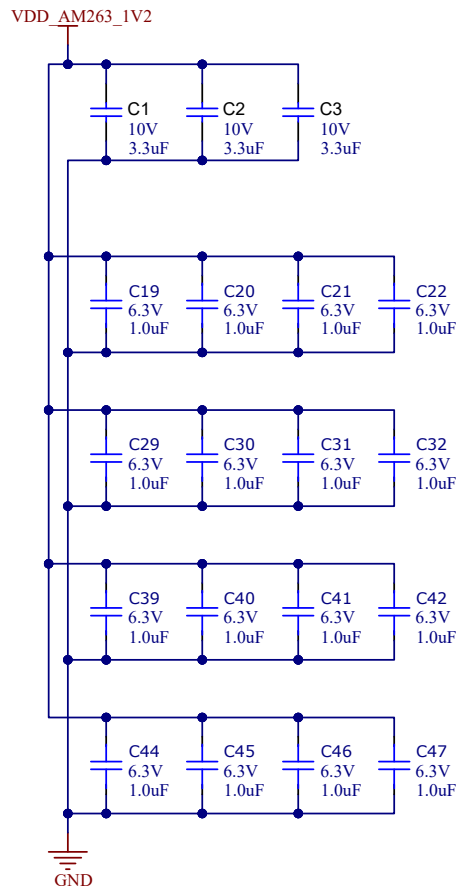
表 2-1. AM263x 和 AM263Px 建议的每电源网去耦

器件电源	数量	备注	器件型号	制造商
VDD_CORE	2	2.2 μ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603	GCM188R70J225KE22D	Murata
	3	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	Murata
	16	0.01 μ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	TDK
VNWA	1	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	Murata
	1	0.01 μ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	MuRata
VDD_F	1	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	TDK
	1	0.01 μ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	TDK
VDDAR_CORE	1	2.2 μ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603	GCM188R70J225KE22D	Murata
	2	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	Murata
	1	铁氧体磁珠, 120 Ω (在 100MHz 时), 2A, 0603	742792625	Würth
	3	0.01 μ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	TDK
VDDA18_LDO	1	3.3 μ F, 10V, $\pm$ 10%, X5R, 0603	GRM188R61A335KE15D	Murata
VDDA18_OSC_PLL VDDA18_TEMP	4	0.1 μ F, 6.3V, $\pm$ 10%, X7R, 0402	GRM155R70J104KA01D	MuRata
VDDS18_LDO VDDS18	1	3.3 μ F, 10V, $\pm$ 10%, X5R, 0603	GRM188R61A335KE15D	Murata
	4	0.1 μ F, 6.3V, $\pm$ 10%, X7R, 0402	GRM155R70J104KA01D	MuRata
VDDS33	3	2.2 μ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603	GCM188R70J225KE22D	Murata
	4	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	Murata
	1	铁氧体磁珠, 120 Ω (在 100MHz 时), 2A, 0603	742792625	Würth
	7	0.01 μ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	TDK
VDDA33	1	2.2 μ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603	GCM188R70J225KE22D	Murata
	2	0.22 μ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402	GCM155R71C224KE02D	Murata

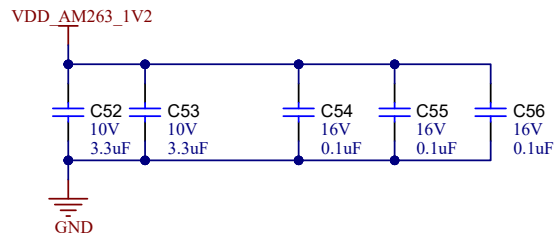
表 2-1. AM263x 和 AM263Px 建议的每电源网去耦 (续)

器件电源	数量	备注	器件型号	制造商
	1	铁氧体磁珠, 120Ω (在 100MHz 时), 2A, 0603	742792625	Würth
	3	0.01μF, 50V, ±10%, X7R, AEC-Q200 1 级, 0402	CGA2B3X7R1H103K050BB	TDK

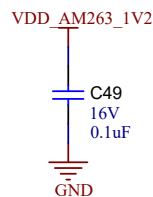
VDD 1V2 Core Digital



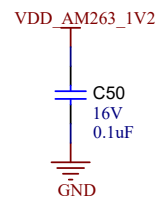
VDDAR[3:1] 1V2 SRAM Array



VNWA 1V2



VDD_F 1V2



VDDA 1V2 Temperature

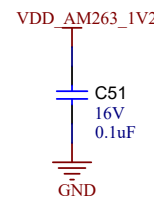


图 2-6. AM263x LaunchPad 摘录 - 1.2V 电源去耦原理图

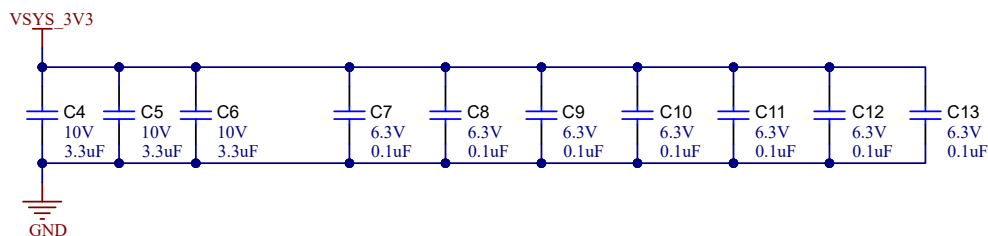
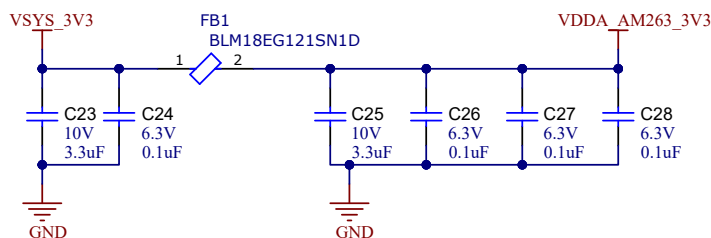
VDDS 3V3 Digital**VDDA 3V3 Analog**

图 2-7. AM263x LaunchPad 摘录 - 3.3V 数字 I/O 和模拟 I/O 去耦和滤波原理图

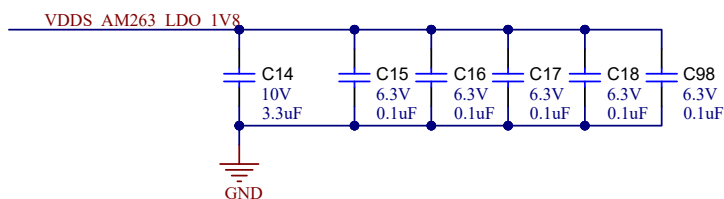
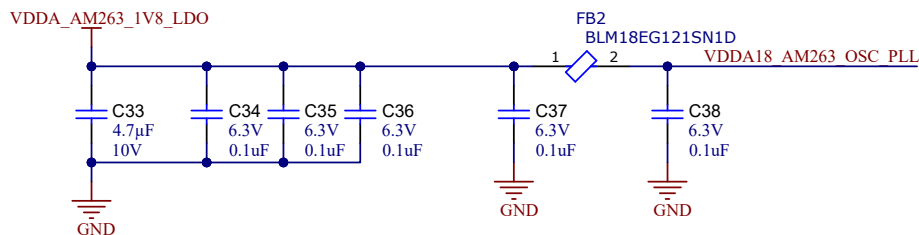
VDDS 1V8 Digital**VDDA 1V8 Analog**

图 2-8. AM263x LaunchPad 摘录 - 1.8V 数字 I/O 和模拟 I/O 去耦和滤波原理图

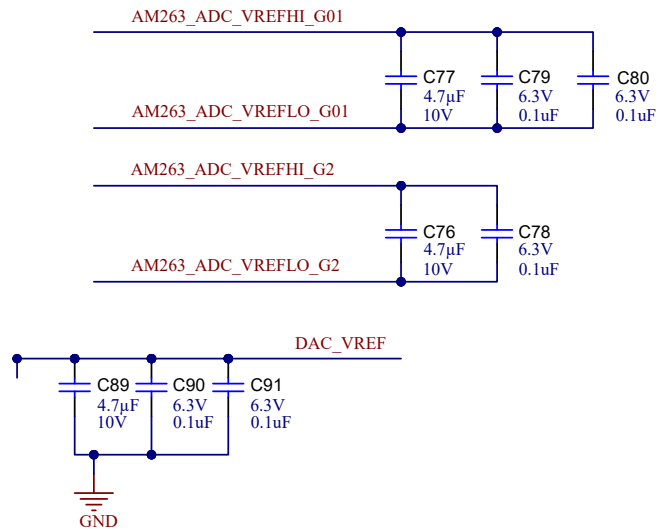


图 2-9. AM263x LaunchPad 摘录 - ADC 和 DAC VREF 去耦原理图

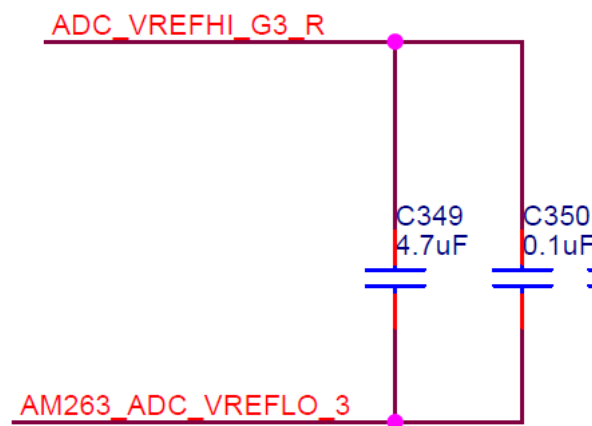


图 2-10. AM263Px controlCard 摘录 - 其他 VREFHI_G3 和 VREFLO_G3 连接

2.4 功耗

本节概述了 AM263x 和 AM263Px 在每个器件电源网基础上的最新功耗估算。这些值可能会随着执行更多功率建模和表征而变化。这些数据可用于调整峰值直流/直流转换功率裕度，对 PCB 布局进行 IR 压降分析，以及帮助进行热负载分析。

这些估算值基于器件在 150°C 结温下运行时的初始功率仿真。有关最新的表征峰值功率数据，请参阅 [AM263x Sitara™ 微控制器数据表](#) 或 [AM263Px Sitara™ 微控制器数据表](#)。

此外，还为 AM263x 和 AM263Px MCU 提供了基于用例的功耗估算工具 (PET)。此类工具可以帮助根据特定内核和外设利用率占空比进一步限制峰值功率。

表 2-2. AM263x 和 AM263Px 在 150°C 结温下的估算峰值功耗

器件电源	额定 V	峰值 mA AM263	峰值 mA AM263P	注释
VDD、VDDAR[3:1]	1.2	2500	2800	数字内核电源
VDDS33	3.3	200	200	3.3V 数字 I/O 电源
VDDA33	3.3	100	200	3.3V 模拟 I/O 电源

2.5 配电网路

本节概述了每个网络上 AM263x 和 AM263Px 瞬态电流要求的最新估算值。这些值可能会随着执行更多功率建模和表征而变化。

这些瞬态用例值用于通过创建一组最小/最大工作频率和 PDN 阻抗 (Z_{max}) 目标限制，以限制 AM263x 和 AM263Px EVM (controlCard 和 LaunchPad) 的 PDN 设计。这些限制基于仿真瞬态电流用例的幅度和压摆率。这些用例用于估算对所产生的瞬态事件充分去耦所需的 PDN 带宽。EVM PDN 的附加 z 参数仿真用于验证电源平面设计和去耦位置，以及组件值是否可以满足这些限制。图 2-11 对此进行了总结。

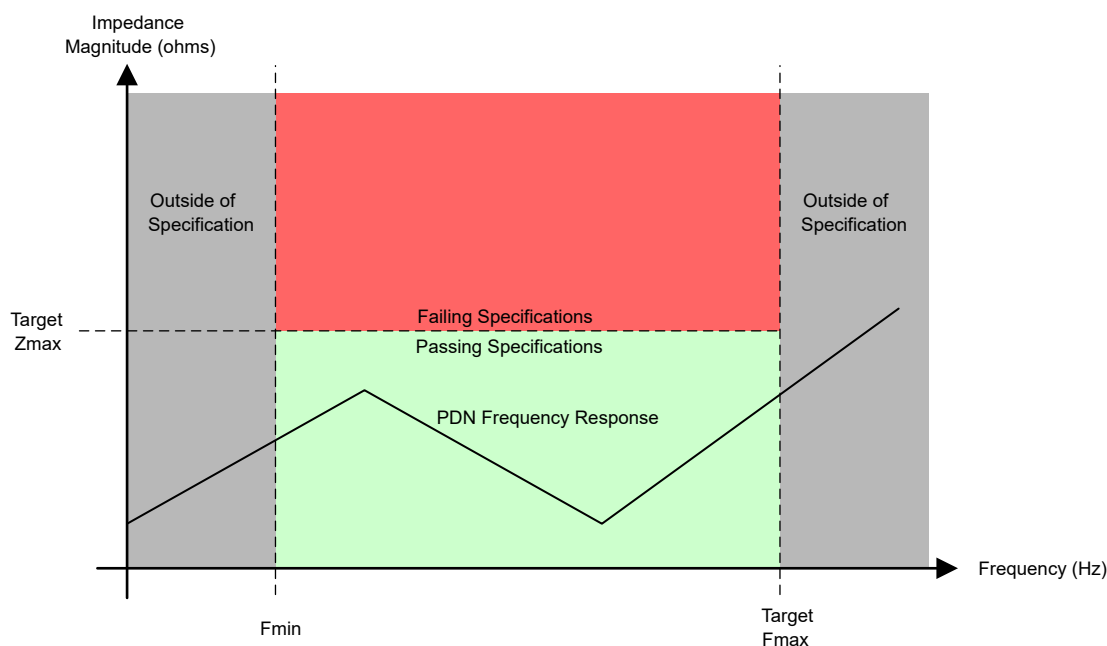


图 2-11. AM263x PDN 要求 - 示例图

表 2-3. AM263x 和 AM263Px 瞬态电流模型 - 用例条件

瞬态案例	网络名称	标称电压 (V)	直流 IR 预算 (%)	交流纹波预算 (%)	空闲电流 (mA)	峰值电流 (mA)	空闲至峰值压摆率 (ns)	备注
VDD BASELINE1	VDD	1.2	2.5	2.5	0	2402	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDD XTAL_PLL1	VDD	1.2	2.5	2.5	42	875	10	XTAL 到 PLL 开启瞬态
VDD WFI1	VDD	1.2	2.5	2.5	750	1117	12.5	4x RF5 WFI 事件瞬态
VDDS33 BASELINE1	VDDS33	3.3	2.5	2.5	0	84	2.5	基线、简单瞬态模型，假设在单个 R5F 时钟周期内完成从 0 到峰值转换
VDDA33 BASELINE1	VDDA33	3.3	2.5	2.5	0	34	2.5	基线、简单瞬态模型，假设在单个 R5F 时钟周期内完成从 0 到峰值转换
VDDS18LDO BASELINE1	VDDS18LDO	1.8	2.5	2.5	0	01	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换
VDDA18LDO BASELINE1	VDDA18LDO	1.8	2.5	2.5	0	66	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换

表 2-4. AM263x 和 AM263Px 瞬态电流模型 - 产生的 PDN 要求

瞬态案例	网络名称	Fmax (MHz)	电流阶跃 (mA)	PCB 直流容差 (mV)	PCB 交流容差 (mV)	PCB 目标直流 IR (mΩ)	PCB 目标交流 Zmax (mΩ)	备注
VDD BASELINE1	VDD	200	2402	30	30	12	12	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDD XTAL_PLL1	VDD	50	833	30	30	36	36	XTAL 到 PLL 开启瞬态
VDD WFI1	VDD	40	367	30	30	82	82	4x RF5 WFI 事件瞬态
VDDS33 BASELINE1	VDDS33	200	84	83	83	982	982	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换

表 2-4. AM263x 和 AM263Px 瞬态电流模型 - 产生的 PDN 要求 (续)

瞬态案例	网络名称	Fmax (MHz)	电流阶跃 (mA)	PCB 直流容差 (mV)	PCB 交流容差 (mV)	PCB 目标直流 IR (mΩ)	PCB 目标交流 Zmax (mΩ)	备注
VDDA33 BASELINE1	VDDA33	200	34	83	83	2419	2419	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换
VDDS18LDO BASELINE1	VDDS18LDO	200	1	45	45	45	45	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换
VDDA18LDO BASELINE1	VDDA18LDO	200	66	45	45	682	682	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换

2.5.1 仿真

以下仿真的 PDN z 参数性能是使用 Ansys SI 波从 AM263x LaunchPad 和 controlCard 布局中提取的。每个所选电容器的宽带 s 参数模型均由制造商提供。仿真仅捕获 25°C (室温) PCB 和电容器模型性能。

2.5.1.1 内核数字电源 1.2V

在 LP-AM263 LaunchPad EVM 的 1.2V 内核数字电源网上执行了 Z11 仿真，以验证瞬态功率裕度。仿真域包括：

- AM263x BGA (UI) 1.2V 数字和 GND 回路扇出
- 内部 PCB 1.2V 和 GND 回路平面
- 布置在 1.2V 电源网上的去耦合
- U29 降压稳压器输出 LC 滤波器直至开关节点

这些仿真是在每次迭代之间进行多项电容器 BOM 更改以迭代方式完成的。每次迭代的主要特征是低于 Ztarget 的最大和最小频率带宽 (请参阅上文章节)，并且更改了 BOM 选择以更大限度地增加带宽和获得更大的 Ztarget 裕度。图 2-12 和图 2-13 中仅显示了初始和最终选择的 BOM 迭代。

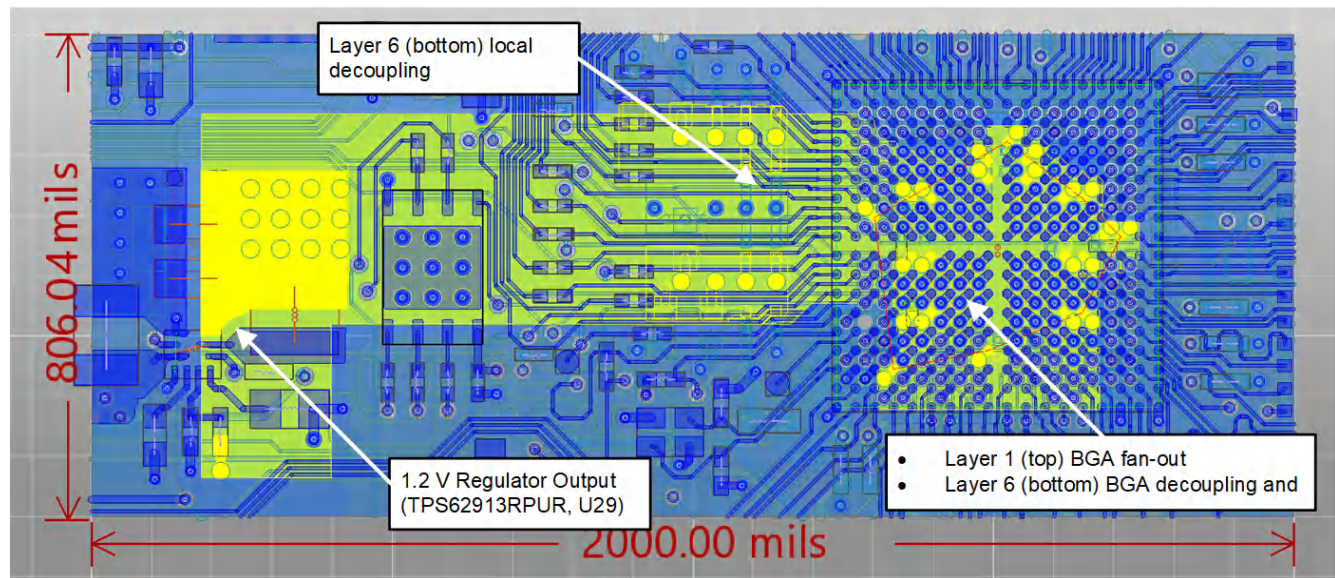


图 2-12. AM263x LaunchPad PDN 仿真 - 1.2V 内核电源仿真域

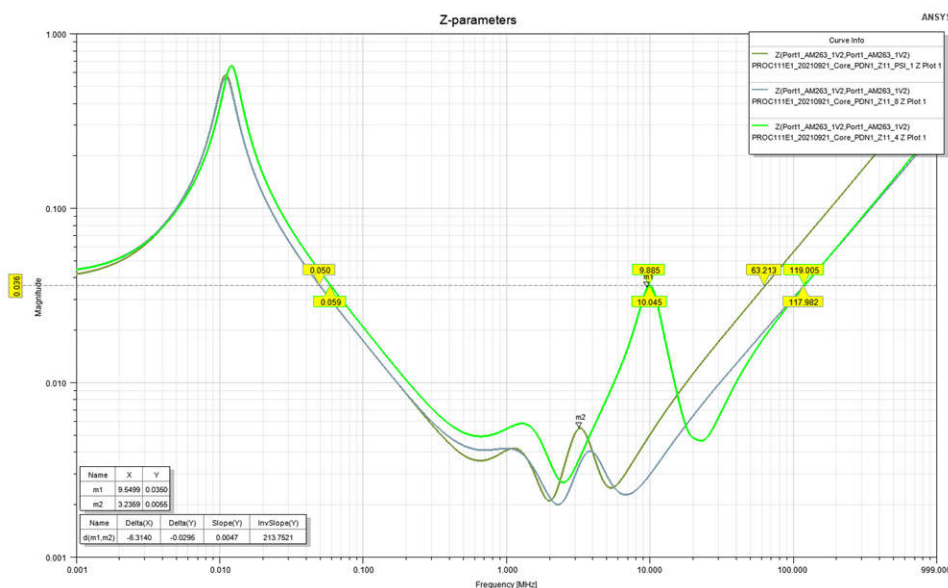


图 2-13. AM263x LaunchPad PDN 仿真 - 1.2V 内核电源仿真 Z11

- AM263x LaunchPad PDN 仿真 - 1.2V 内核电源仿真 Z11
 - 这导致标记 (m2) 点为 $5.5\text{m}\Omega$
 - $36\text{m}\Omega$ 的 Ztarget 要求 (保持在 50KHz 至 63MHz 范围内)
 - BOM 中的主要区别是用 $1.0\mu\text{F}$ 电容器替换所有 $0.1\mu\text{F}$ BGA 和本地去耦电容器, 这完全消除了 PDN 阻抗频谱中的 10MHz 谐振点
- PROC111E1_20210921 初始仿真
 - 10MHz 处的主要谐振消除了针对 $36\text{m}\Omega$ Ztarget 要求的几乎所有裕度

2.5.1.2 数字/模拟 I/O 电源 3.3V

Z11 仿真在 controlCard EVM 的 3.3V 数字和模拟电源网上执行, 以验证瞬态电源裕度。仿真域包括:

- AM263x BGA (U1) 3.3V 电源和接地回路 BGA 和扇出
- 内部电源和接地回路布线层
- 稳压器输出

这些仿真的初始运行表明, 无需更改 BOM 即可满足低于 Ztarget 的最大和最小频率带宽要求 (请参阅上文各节内容)。下面仅显示了最终选择的 BOM 迭代的初始仿真。

仿真分为 VDDS33 数字 3.3V 平面和去耦网络以及 VDDA33 模拟 3.3V 迹线 and 设计本地去耦。这些仿真之间的 F 分频线是使用 FL18 铁氧体磁珠元件来分离这两个去耦性能仿真。

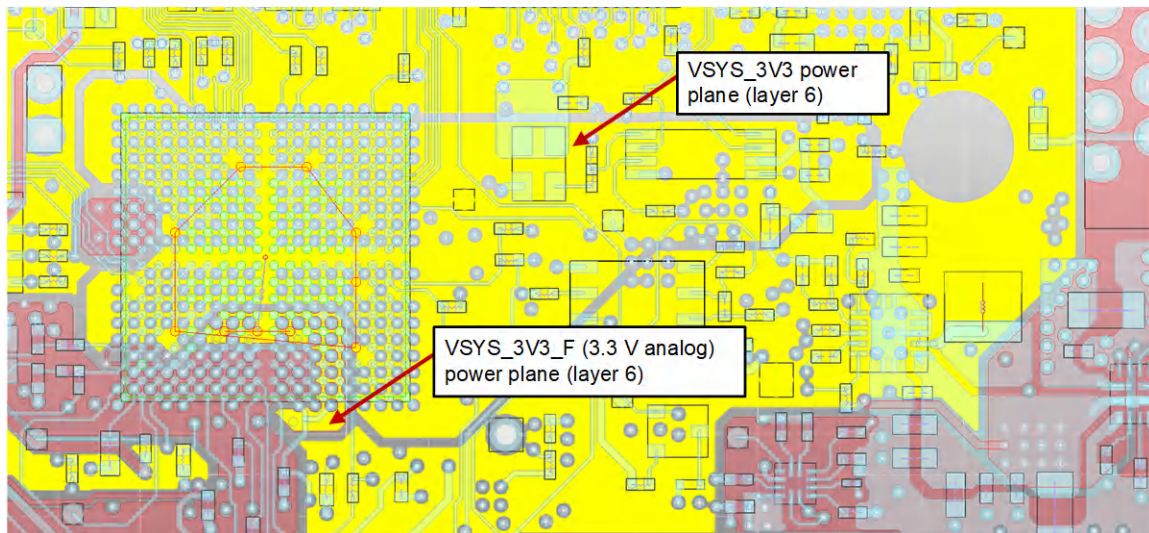


图 2-14. AM263x LaunchPad PDN 仿真 - 3.3V 数字/模拟 I/O 电源仿真域 (A)

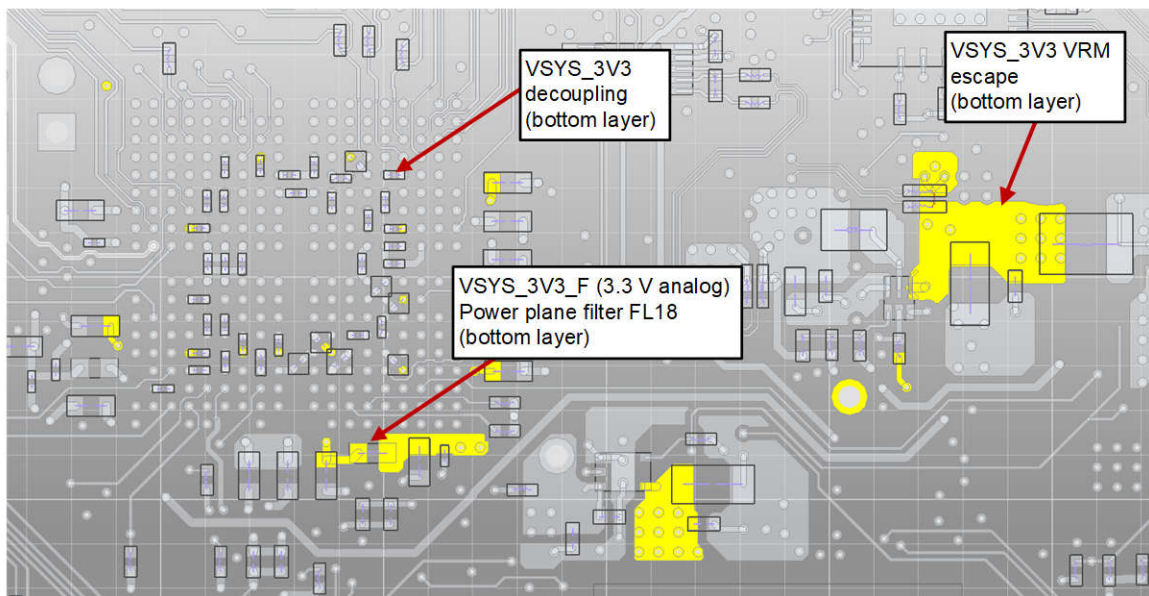


图 2-15. AM263x LaunchPad PDN 仿真 - 3.3V 数字/模拟 I/O 电源仿真域 (第 8 层, 底部)

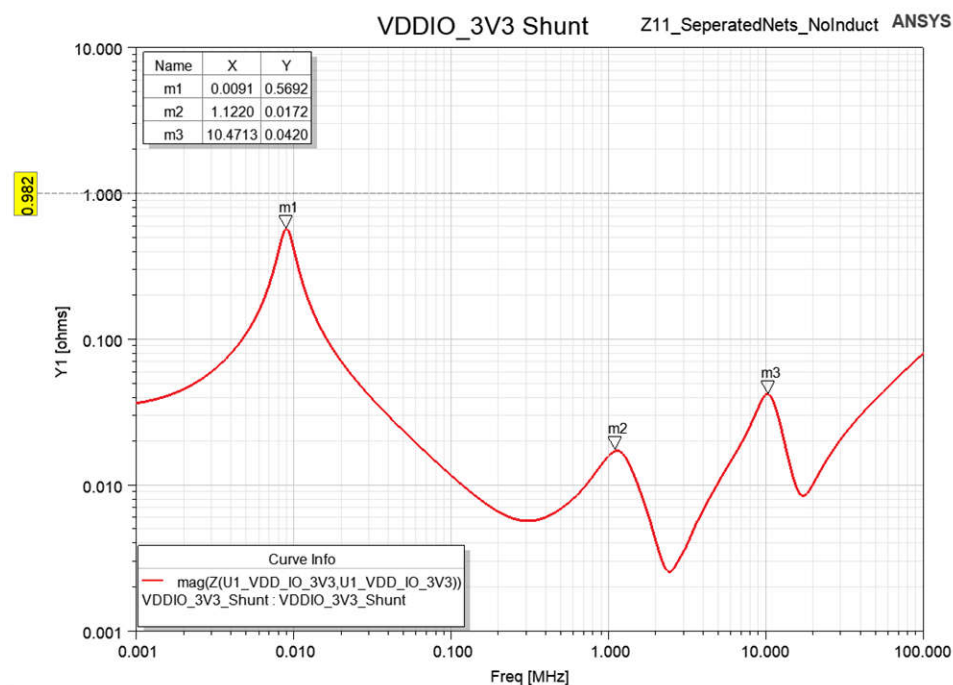


图 2-16. AM263x LaunchPad PDN 仿真 - 3.3V 数字 I/O 电源仿真 Z11

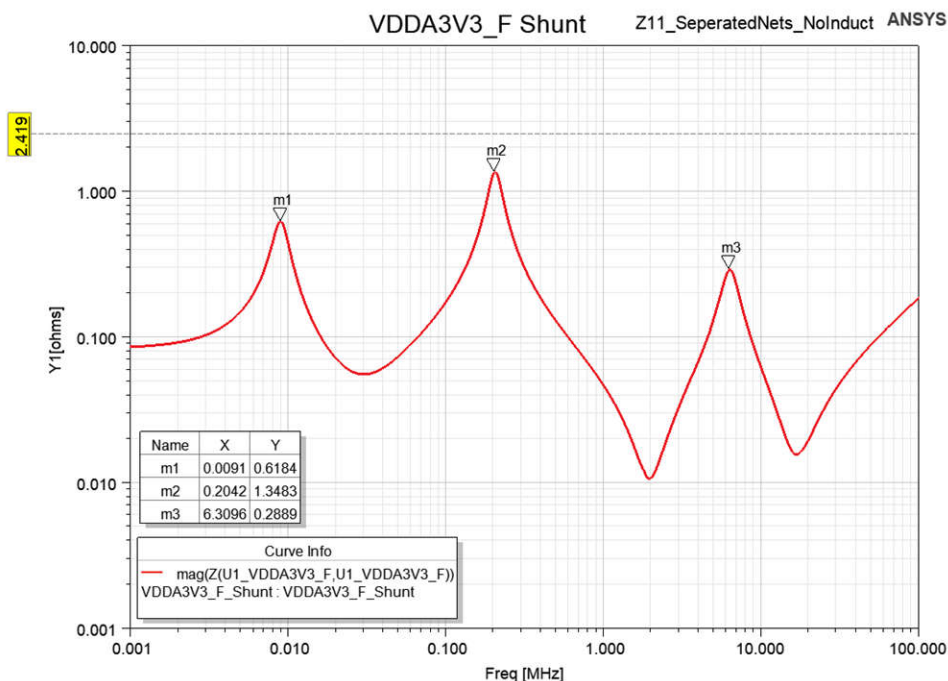


图 2-17. AM263x LaunchPad PDN 仿真 - 3.3V 模拟 I/O 电源仿真 Z11

2.6 电子保险丝电源

AM263x 和 AM263Px 一次性可编程电子保险丝存储器可用于存储客户的加密密钥和其他特定于各个器件的信息。仅当目标器件 VPP (即电子保险丝电源引脚) 由 1.7V 标称输出电压、100mA 峰值电流电源供电时, 才能对这些电子保险丝存储器位置进行编程。该 1.7V VPP 电源可以是板载电源或非板载电源。VPP 电源的具体放置和实施取决于设计人员如何利用电子保险丝存储器。实施应符合图 2-18 中所示的图

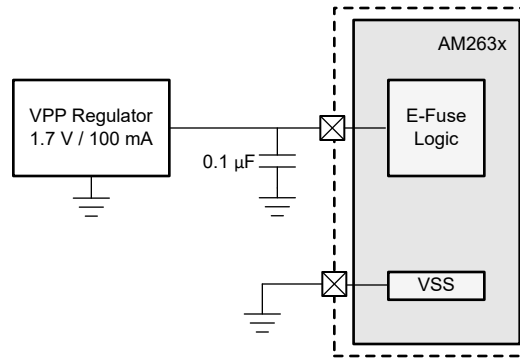


图 2-18. AM263x 和 AM263Px 电子保险丝 VPP 电源实施示例

AM263Px 可选择使用 ANALDO 在内部提供 VPP。必须在电子保险丝编程期间覆盖 ANALDO 以提供 1.7V，然后恢复到正常运行。

电子保险丝编程通常遵循以下一种或两种情况：

- **出厂编程** - 在 AM263x 系统的组装后测试期间对电子保险丝存储器进行编程。
- **现场编程** - 在器件出厂后对电子保险丝存储器进行编程并将存储器安装在终端设备中。

如果产品只需要出厂编程方案，则通常最好在非板载情况下实现 VPP 电源，因为这样可以减少需要放置在 PCB 组件上的电源数量。VPP 电源仅在该编程序列期间使用，因此将其保留在电路板上并不能有效利用 PCB 布局规划面积、BOM 成本或测试时间。

但是，如果必须在工厂环境之外对电子保险丝存储器进行编程，则 VPP 电源必须由板载元件提供或可根据需要提供该电源的已连接附件板提供。

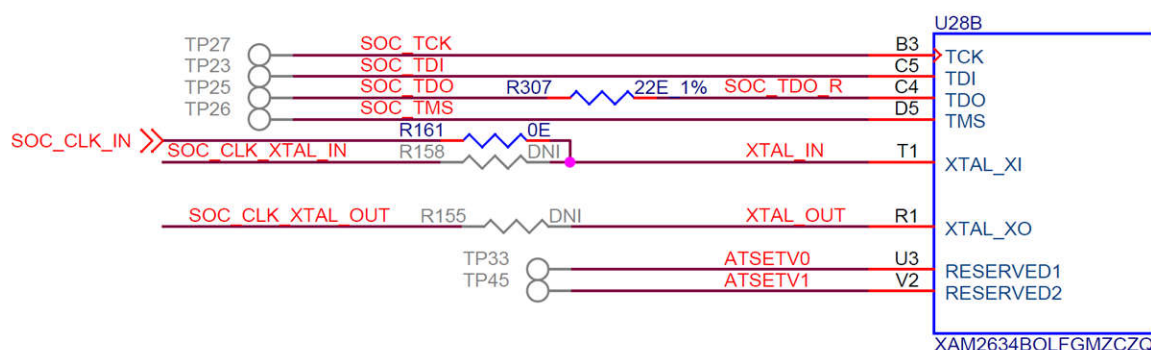
在 TMDSCNCD263 controlCARD 评估模块设计中，VPP 电源保留在电路板上，以便客户能够通过试验该过程来实现便捷的电子保险丝编程。在 controlCARD 上，TLV75801PDRVR LDO U66 用于将 3.3V 系统 I/O 电压降至 VPP 1.7V。此外，GPIO 扩展器 U50 用于切换 VPP_LDO_EN 引脚，以按照电子保险丝编程所需的顺序启用/禁用 LDO。

有关完整的 VPP 电气要求和电子保险丝编程序列，请参阅 [AM263x Sitara™ 微控制器数据表](#) 或 [AM263Px Sitara™ 微控制器数据表](#) 中的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

3 计时

3.1 晶体和振荡器输入选项

AM263x 和 AM263Px XTAL_XI 和 XTAL_XO (引脚 T1 和 R1) 时钟输入可来自连接的晶体或单端振荡器输出。连接的晶体应该是工作频率为 25 MHz 的基本模式晶体。如果采用单端振荡器输出，则 XTAL_XI 引脚应连接到振荡器，而 XTAL_XO 引脚必须悬空，在 PCB 上保持未连接状态。在振荡器输入模式下，XTAL_XI 引脚可以连接到 1.8V 方波或正弦波振荡器。有关完整的晶体和振荡器输入要求，请参阅 [AM263x Sitara™ 微控制器数据表](#) 或 [AM263Px Sitara™ 微控制器数据表](#)。



SOC Clock

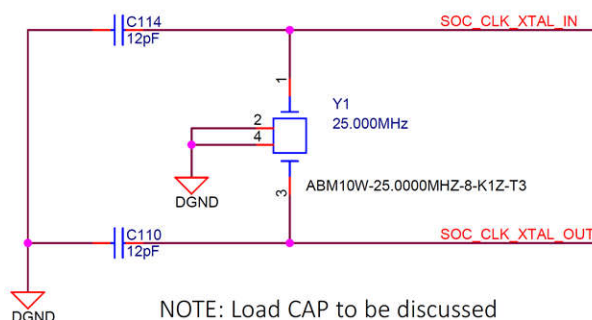


图 3-1. AM263x 控制卡原理图摘录 (针对完整的晶体和振荡器输入要求)

对于 AM263x 控制卡，板载 ABM10W-25.0000MHZ-8-K1Z-T3 25MHz 晶体可提供晶体模式计时。或者，LMK1C1104PWR 时钟分配电路和 SN74LV1T34 缓冲器可为 XTAL_XI 引脚提供 1.8V 方波时钟。LMK1C1104PWR 还用于为板载以太网 PHY 提供时钟源。

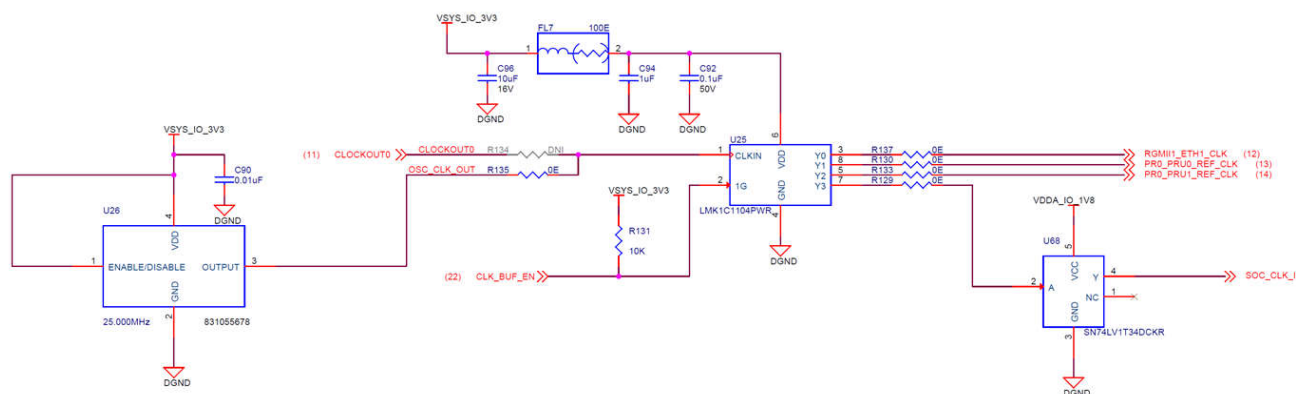


图 3-2. AM263x controlCARD 原理图摘录 - 振荡器时钟源和时钟分配器

3.2 输出时钟生成

AM263x 和 AM263Px 器件包括两个输出时钟源：CLKOUT0 (引脚 M2) 和 CLKOUT1 (引脚 B16)。这些时钟源用于为工业/汽车以太网 PHY 等连接的外设 IC 计时。这可以节省 BOM 成本以及额外的 IC 放置和布线空间。AM263x 和 AM263Px LaunchPad 包含 CLKOUT0 (引脚 M2) 信号为板载 DP83869HMRGZT 以太网 PHY 计时的可选路径。



图 3-3. AM263x LaunchPad 布局摘录 - CLKOUT0 和 EXT_REFCLK0 输出

3.3 晶体选择和并联电容

在晶体工作模式下，AM263x 或 AM263Px 可以连接到各种兼容的晶体。根据所选的 PCB 寄生电容和晶体，需要修改额外的负载电容，以实现最佳的启动稳定性和频率精度。

有关完整的晶体负载容差，请参阅 [AM263x Sitara™ 微控制器数据表](#) 或 [AM263Px Sitara™ 微控制器数据表](#)。

3.4 晶体放置和布线

晶体振荡器输入应尽可能靠近 AM263x 或 AM263Px XTAL_XI/XO 放置，且晶体和 MCU 焊盘之间的引线长度最短。短接至本地 VSS 平面的接地环应放置在 XTAL_XI 和 XTAL_XO 引线附近并位于 XTAL_XI 和 XTAL_XO 引线之间，以帮助防止相邻信号耦合到时钟阻抗较高的晶体输入路径中。

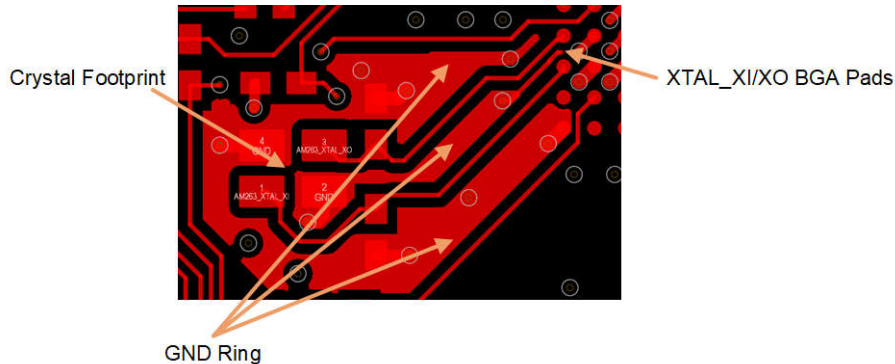


图 3-4. AM263x LaunchPad 布局摘录 - 晶体布局和接地环结构

4 复位

AM263x 和 AM263Px MCU 有两个硬件复位源：

- **PORZ**：上电复位 (逻辑低电平使能) 信号，引脚 R2
 - 应由关联的 VDD 1.2V 内核和 VDDS33 3.3V I/O 稳压器的电源正常电路驱动
 - 为了实现有效复位，只有在 VDD 1.2V 内核和 VDDS33 3.3V I/O 稳压器稳定并处于其标称值之后，PORZ 信号才必须从逻辑低电平转换为逻辑高电平。有关上电复位时序要求，请参阅特定于器件的数据表。

- **WARMRSTN**：热复位（逻辑低电平使能）输入和复位状态输出信号，引脚 C3
 - 上电默认配置会将该引脚设置为开漏输出，从而输出器件的复位状态。
 - 当器件进入复位状态时，该信号驱动为逻辑低电平。
 - 当器件完全脱离复位时，该信号驱动为逻辑高电平。

PORZ 用于在系统初始启动时保持为逻辑低电平。一旦验证了为 AM263x 或 AM263Px 电源引脚供电的每个稳压器均在标称输出电压下工作，就可以将 PORZ 信号调至逻辑高电平。此操作将启动 MCU 引导 ROM 执行，以对 SOP 引脚进行采样开始。AM263x LaunchPad 实施采用单个 SN74LVC1G11 与门，该门接收来自板载直流/直流稳压器和可选按钮复位开关的开漏输出电源正常信号作为输入。建议对 PORZ 信号使用弱下拉电阻器，以便在系统启动前将信号保持为逻辑低电平。如果 VDD 1.2V 或 VDDS33 3.3V 轨电源低于标称工作范围，则应将 PORz 强制设置为低电平。

有关上电复位和断电复位时序要求的完整说明，请参阅 [AM263x Sitara™ 微控制器数据表](#) 或 [AM263Px Sitara™ 微控制器数据表](#)。

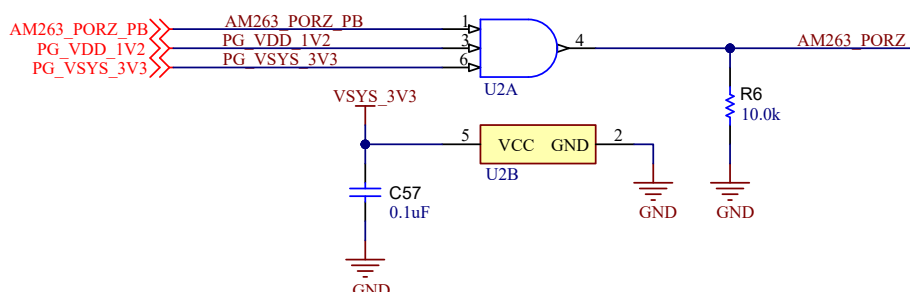


图 4-1. AM263x LaunchPad 原理图摘录 - PORZ 生成

WARMRSTN 引脚是一个多用途软件复位输入和硬件复位状态引脚。在上电默认配置中，该引脚配置为开漏输出，需要一个外部上拉电阻器连接到 VDDS33 3.3V I/O 电压轨。在此模式下，WARMRSTN 可用作 MCU 复位指示器，并可用于驱动所连接外设 IC（如以太网 PHY 和存储器）的复位输入。

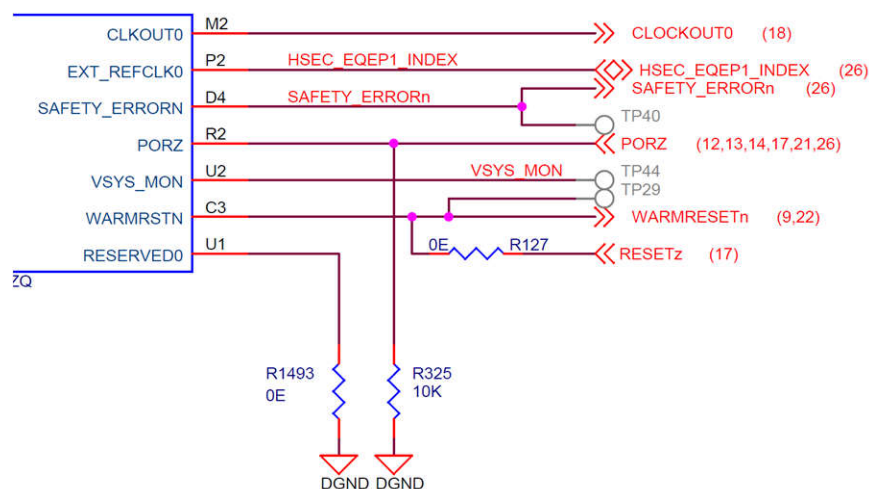


图 4-2. AM263x 控制卡原理图摘录 - PORZ 和 WARMRSTN 引脚排列

WARMRSTN 也可由软件配置为软件复位。AM263x 和 AM263Px 器件上还提供了其他软件复位源。更多有关复位功能的信息，请参阅 [AM263x Sitara™ 微控制器技术参考手册](#) 或 [AM263Px Sitara™ 微控制器技术参考手册](#) 中的复位一章。

由于此引脚默认为开漏配置，如果设计中同时需要复位状态输出模式和软件复位输入模式，则建议使用开漏缓冲器来驱动可选的复位输入状态。对于 AM263x 控制卡，SN74LVC1G07 开漏缓冲器用于选择性地驱动按钮 WARMRSTN，而不与复位状态输出冲突，复位状态输出用于在板初始通电期间复位板载以太网 PHY。

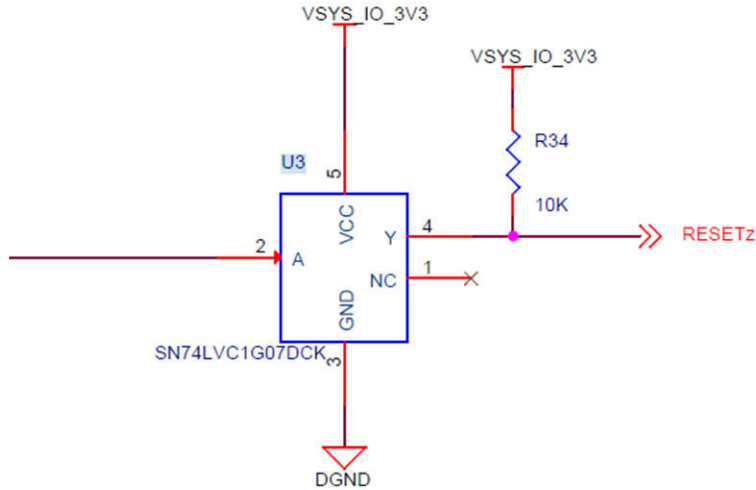


图 4-3. AM263x 控制卡原理图摘录 - WARMRESETN 按钮开漏驱动器

5 自动加载

启动电源 (SOP) 信号用于将所选引导模式锁存到 AM263x 或 AM263Px 器件中。在 PORZ 上升沿 (低电平到高电平逻辑转换) 期间, 对 SOP[3:0] 信号进行采样。产生的 4 位用于将引导 ROM 分支到所选的引导模式。并非所有组合都受支持。有关 SOP 引脚状态和支持的引导模式的完整说明, 请参阅 [AM263x Sitara™ 微控制器技术参考手册](#) 或 [AM263x Sitara™ 微控制器技术参考手册附录](#)。

5.1 SOP 信号实现

每个 SOP 引导模式选择信号也与 OSPI/QSPI 和 SPI 外设功能模式信号的一个子集进行多路复用。有关所有信号描述, 请参阅 [AM263x Sitara™ 微控制器数据表](#) 和 [AM263Px Sitara™ 微控制器数据表](#) 中的信号描述表。图 5-1 展示了 SOP 信号描述摘录。

表 5-1. SOP 和功能模式信号映射

AM263x/AM263Px 引脚编号	初级侧引脚复用信号	SOP 模式信号
N1	OSPI0/QSPI0_D0	SOP[0]
N4	OSPI0/QSPI_D1	SOP[1]
A11	SPI0_CLK	SOP[2]
C10	SPI0_D0	SOP[3]

由于这种 SOP/功能模式多路复用, 在原理图和布局中必须格外小心, 以确保 SOP 模式选择电阻器、跳线或开关路径的布线方式使得 SOP 模式分支不会向功能模式信号路径提供电感残桩。如果不注意这一点, 可能会导致 OSPI/QSPI 或 SPI 接口无法正常工作。

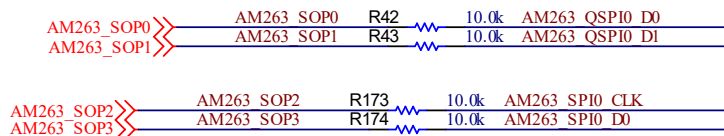


图 5-1. AM263x Launchpad 原理图摘录 - SOP[3:0] 功能和 SOP 路径

在 AM263x 和 AM263Px 控制卡和 LaunchPad 设计中, 通过在 SOP 信号路径中包含一个 10KΩ 电阻器来实现该 SOP 模式隔离。电阻器的放置位置应使一个焊盘尽可能接近 AM263x BGA 焊盘, 并与功能模式路径一致。这将创建一个布局, 其中断开 SOP 路径所需的额外残桩长度只会对信号的功能模式运行产生更小程度的影响, 如图 5-2 和图 5-3 所示。

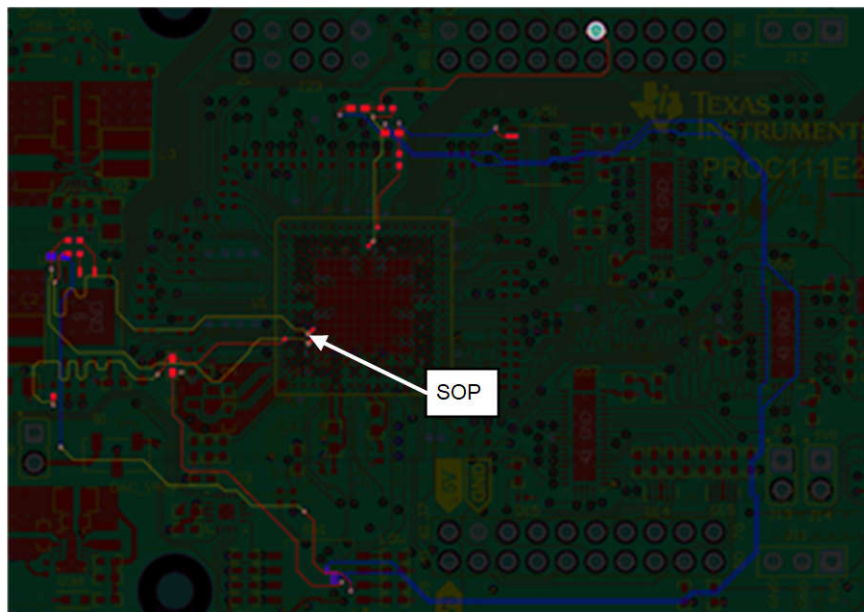


图 5-2. AM263x LaunchPad 布局摘录 - 所有 SOP[3:0] 功能和 SOP 路径

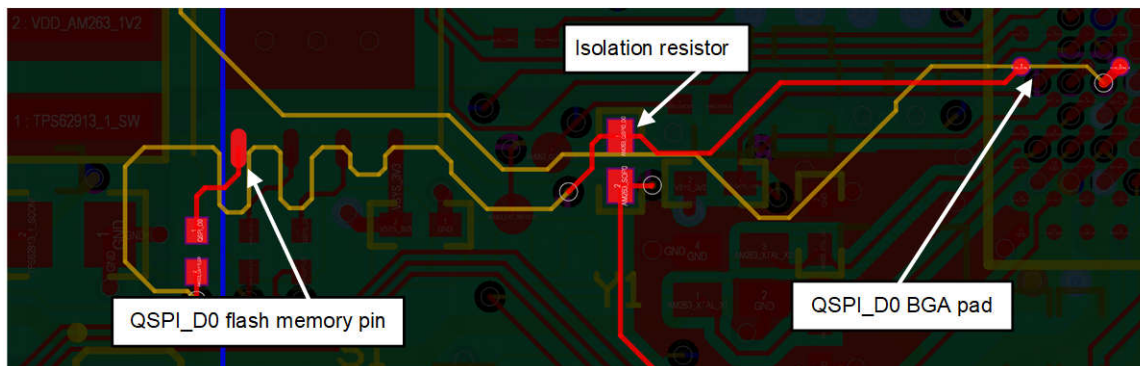


图 5-3. AM263x LaunchPad 布局摘录 - 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器

5.2 OSPI/QSPI 存储器实现

OSPI 闪存存储器接口是 AM263P MCU 的初级引导加载程序存储器位置，QSPI 闪存存储器接口是 AM263x MCU 的初级引导加载程序存储器位置。有关引导 ROM 执行的完整说明，包括 OSPI 和 QSPI 引导信息，请参阅 [AM263x Sitara™ 微控制器技术参考手册](#) 和 [AM263Px Sitara™ 微控制器技术参考手册](#)。图 5-4 摘录显示了 LP-AM263 LaunchPad 设计中 QSPI NOR 闪存接口的实现。图 5-5 摘录显示了 TMDSCNCD263P AM263Px controlCard 设计中 OSPI NOR 闪存接口的实现。

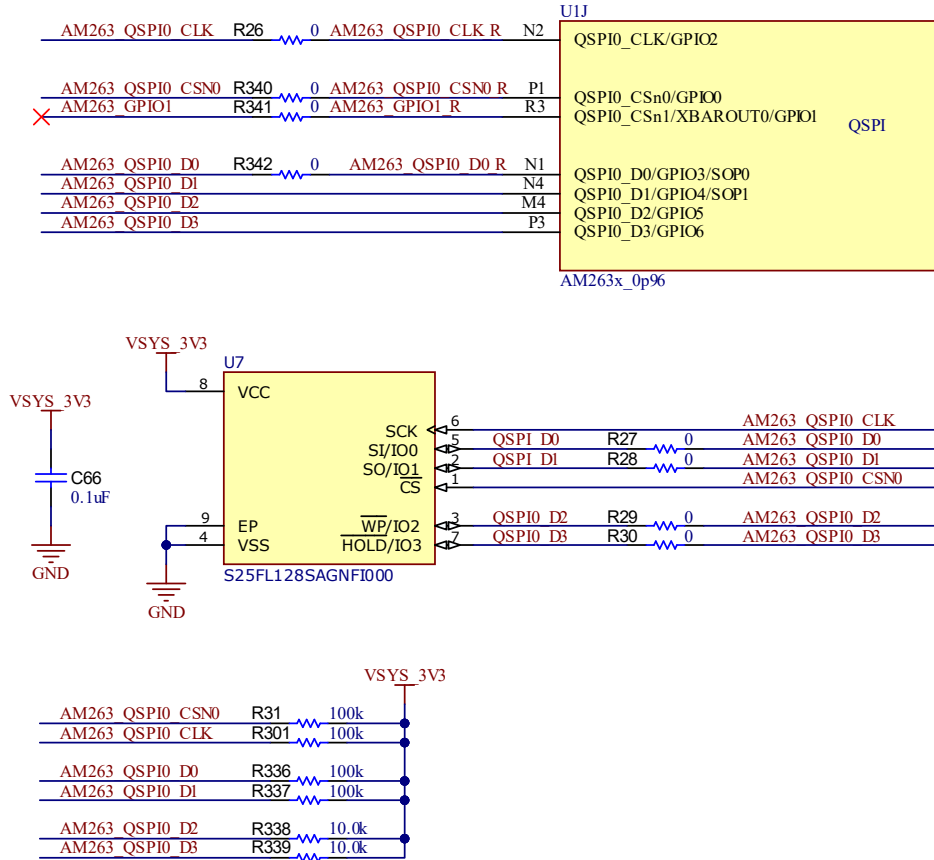


图 5-4. 示例 AM263x QSPI 控制器和 NOR 闪存原理图

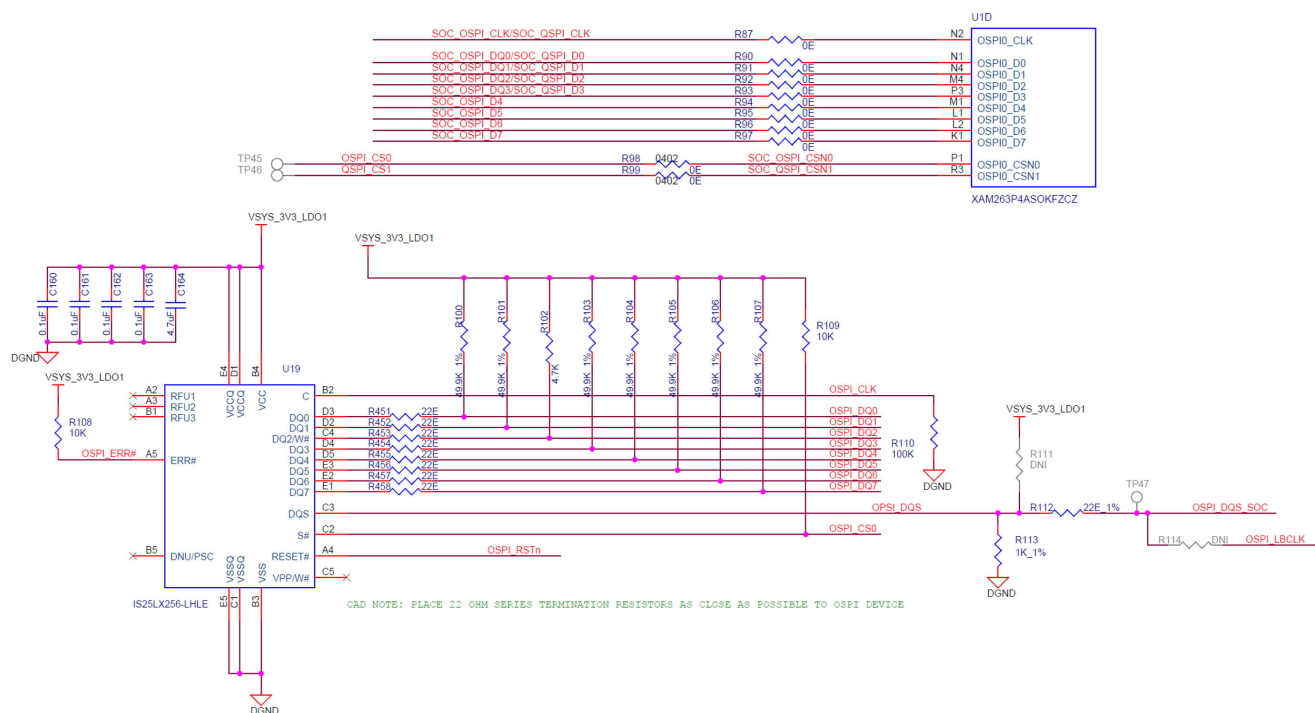


图 5-5. 示例 AM263Px OSPI 控制器和 NOR 闪存存储器原理图

为了控制 OSPI/QSPI 总线转换过冲和下冲，请在 OSPI/QSPI 存储器引脚和 AM263x 或 AM263Px BGA 附近添加以下串联端接电阻器。

- AM263x 或 AM263Px MCU、QSPI0_CLK 的发送侧和 QSPI0_CS[1:0] 上的串联端接
- OSPI0_D[7:0] 或 QSPI0_D[3:0] 的 OSPI/QSPI 存储器侧的串联端接

有关建议的串联终端电阻器放置方式，请参阅图 5-7。

该接口的 OSPI_D[7:1] 和 QSPI_D[3:1] 位用作读取接口，因此使用总线存储器侧的串联端接。OSPI/QSPI_D0 可受益于总线 MCU 侧和 OSPI/QSPI 存储器侧的端接，因为它既用作一位模式写入，又用作一位模式和八/四位模式读取的一部分。但是，从 PCB 布局规划的角度来看，在该总线的两侧放置额外的终端可能很难实现。此处所述的终端方案仅为建议，并非万全之策。有关终端要求的更多详细信息，请参阅节 8。

OSPI/QSPI 时钟、片选和数据线上也需要拉电阻器。在 QSPI 信号上包含以下拉电阻器。根据具体的存储器和应用要求，不同的 QSPI 存储器可能具有不同的上拉/下拉要求。这些拉电阻器建议基于 LP-AM263 设计中使用的 S25FL128x 存储器的实现。要确认所有引脚存储器配置详细信息，请参阅特定于器件的 QSPI 闪存数据表。

- QSPI_CLK、QSPI_CS[1:0] 和 QSPI_D[1:0] - 包含连接至 VDD33 IO 电源的 100k Ω 上拉电阻器
- QSPI_D[2] - 连接到 VDD33 IO 电源的 10k Ω 上拉电阻器。这会禁用 S25FL128 闪存上的写保护模式。
- QSPI_D[3] - 连接到 VDD33 IO 电源的 10k Ω 上拉电阻器。这将禁用 S25FL128 闪存上的保持模式

在 OSPI 信号上包含以下拉电阻器。根据具体的存储器和应用要求，不同的 OSPI 存储器可能具有不同的上拉/下拉要求。这些拉电阻器建议基于 TMDSCNCD263P 设计中使用的 IS25LX256x 存储器的实现。要确认所有引脚存储器配置详细信息，请参阅特定于器件的 OSPI 闪存存储器数据表。

- OSPI_CLK - 包含连接至 GND 的 100k Ω 下拉电阻器
- OSPI_CS - 连接到 VDD33 IO 电源的 10k Ω 上拉电阻器
- OSPI_DQS - 1k 下拉至 GND
- OSPI_D[2] - 连接到 VDD33 IO 电源的 4.7k Ω 上拉电阻器。这会禁用 IS25LX256 闪存存储器上的写保护模式
- OSPI_D[1:0] 和 OSPI_D[7:3] - 49.9k Ω 上拉至 VDD33 IO 电源

默认情况下，较强的上拉电阻器用于禁用写保护和保持模式。较弱的上拉电阻器用于使线路在事务之间保持有效的逻辑电平。应将拉电阻器放置在靠近 OSPI/QSPI 存储器引脚的位置，以防止形成任何额外的布线残桩。

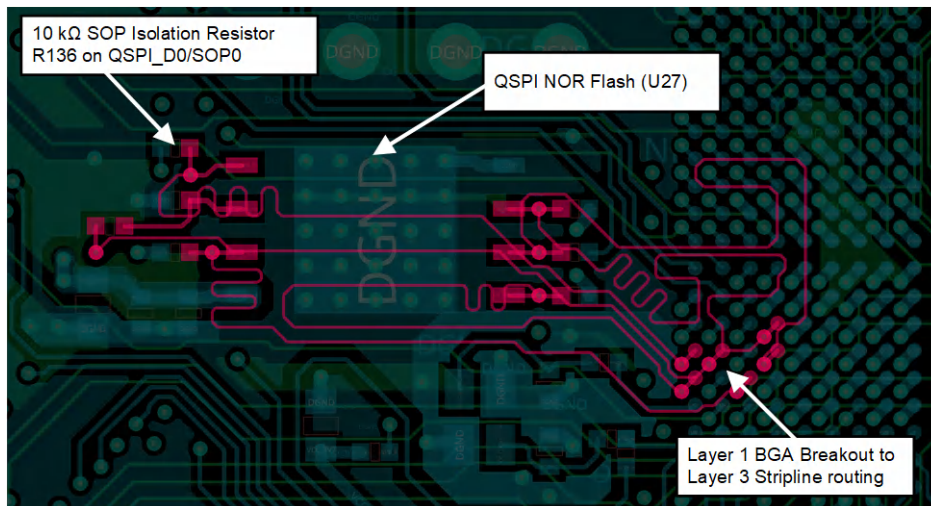


图 5-6. LP-AM263 LaunchPad 布局摘录 - 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器

图 5-7 和表 5-2 中提供了 QSPI 存储器接口的附加布线指南。这些指南应用作最大布线延迟和偏斜匹配限制。QSPI 存储器应尽可能靠近 AM263x 或 AM263Px BGA 封装放置。这样布线就可以最大限度地提高延迟裕度和偏斜裕度并最大限度地降低传输线路影响。

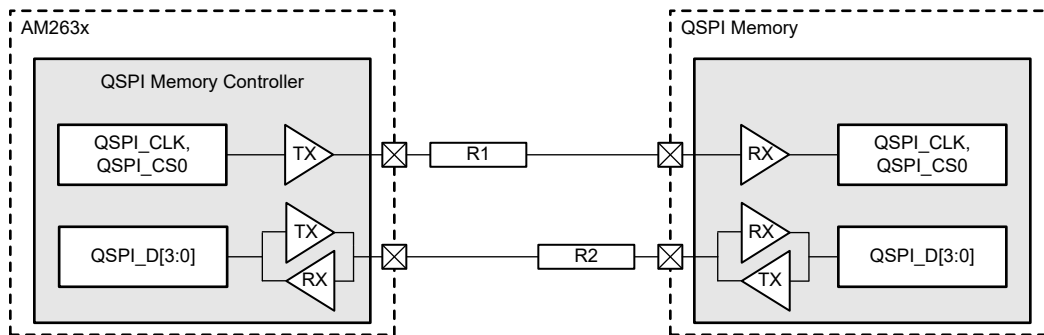


图 5-7. AM263x 或 AM263Px QSPI - 路由规则图

图 5-8 和表 5-3 中提供了 OSPI 存储器接口的附加布线指南。这些指南应用作最大布线延迟和偏斜匹配限制。OSPI 存储器应尽可能靠近 AM263Px BGA 封装放置。这样布线就可以最大限度地提高延迟裕度和偏斜裕度并最大限度地降低传输线路影响。

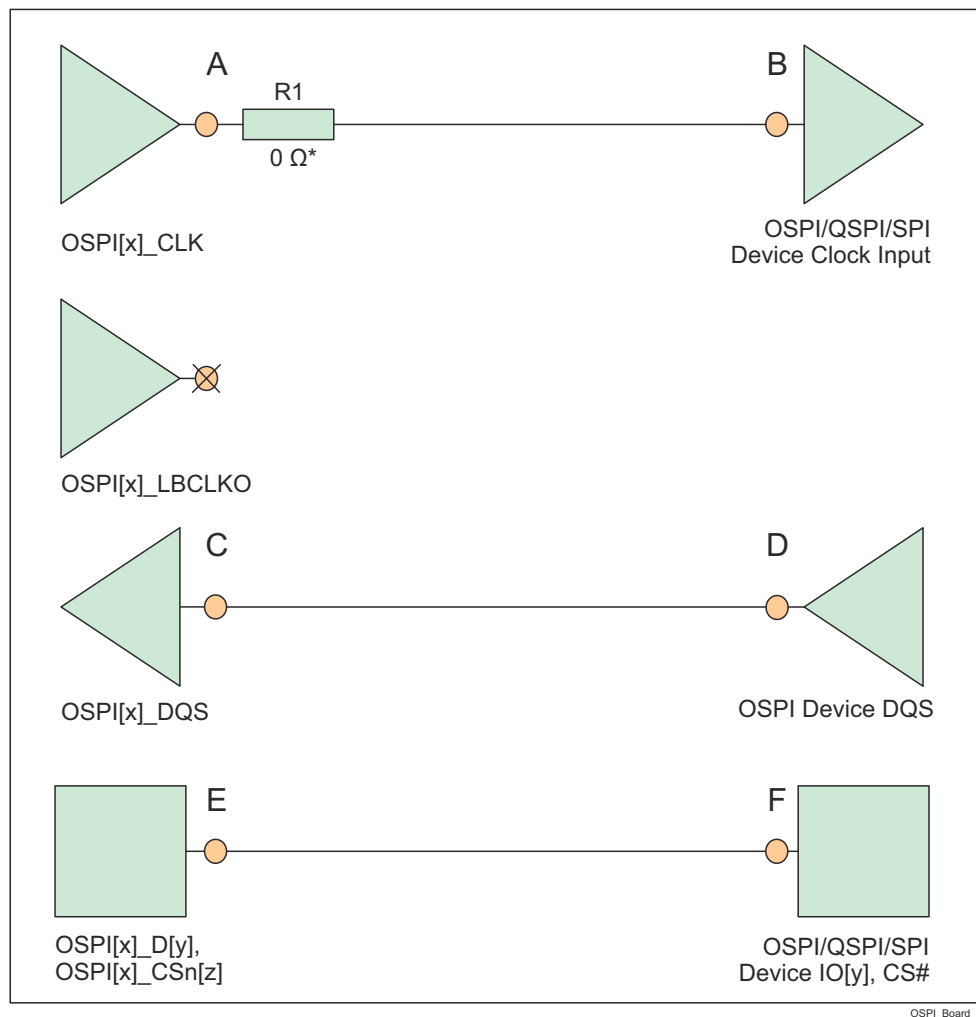


图 5-8. AM263Px OSPI - 布线规则图

表 5-2. AM263x 和 AM263Px QSPI - 建议的布线规则

规格编号	规格	值	单位
1	QSPI_CLK、QSPI_CS0、QSPI_D[3:0] 最大延迟	450	ps
2	QSPI_CLK 至 QSPI_D[3:0] 最大偏斜	50	ps
3	近似最大布线距离	3214	mil
4	近似最大布线偏斜	357	mil
5	串联终端电阻器 (上图中的 R1) 应靠近 AM263x 的 QSPI_CLK 发送引脚放置, 以控制时钟线路的上升时间和反射。	可变, 0 到 40	Ω
6	串联终端电阻 (上图中的 R2) 应靠近所连接存储器的 QSPI 数据引脚放置, 以控制数据线路的上升时间和反射。	可变, 0 到 40	Ω

表 5-3. AM263Px OSPI - 建议的布线规则

规格编号	规格	值	单位
1	OSPI_CLK、OSPI_CS0、OSPI_D[7:0] 最大延迟	450	ps
2	OSPI_CLK 至 OSPI_D[7:0] 和 OSPI_CS _n 最大偏斜	60	ps
3	OSPI_CLK 至 OSPI_DQS 最大偏斜	30	ps
4	近似最大布线距离	3214	mil
5	OSPI_CLK 至 OSPI_D[7:0] 和 OSPI_CS _n 近似最大布线偏斜	429	mil
6	OSPI_CLK 至 OSPI_DQS 近似最大布线偏斜	214	mil
7	串联端接电阻器 (上图中的 R1) 应靠近 AM263Px 的 OSPI_CLK 发送引脚放置, 以控制时钟线路的上升时间和反射。	可变, 0 到 40	Ω
8	串联端接电阻应靠近所连接存储器和 AM263Px 的 OSPI 数据引脚放置, 以控制数据线路的上升时间和反射。	可变, 0 到 40	Ω

备注

假设 50Ω FR4 微带或带状线传输线路中的传播延迟典型值为 140ps/in, 计算得出近似布线距离。应使用 2D 场求解器或适当的封闭式近似阻抗模型, 来确认特定层叠和布线的更精确传播延迟。

5.3 ROM OSPI/QSPI 引导要求

有关 QSPI 闪存存储器兼容性和引导要求的更多信息, 请参阅 [AM263x QSPI 闪存选择指南](#)。

备注

AM263x controlCard 和 LaunchPad EVM 上使用了 Infineon 的 S25FL128SAGNFI000 器件, AM263Px controlCard 上使用了 ISSI 的 IS25LX256-LHLE 器件。

6 JTAG 仿真器和跟踪

AM263x 和 AM263Px MCU 支持多种不同类别的 JTAG 仿真器, 这些仿真器具有或不具有额外的 ARM 跟踪捕获功能。

为了方便开箱即用, LP-AM263、LP-AM263P、TMDSCNCD263 和 TMDSCNCD263P EVM 设计使用 JTAG 实现了板载 XDS110 仿真器, 并使用 TI TM4C MCU 和高压隔离实现了辅助 UART-USB 桥。然而, 对于实际的定制系统, 应该实施更简单的 JTAG/跟踪调试接头。这允许在开发过程中根据需要将外部 JTAG 和跟踪仓体连接到系统。然后, 可以完全移除或拔下接头, 以实现系统的全面生产, 从而节省成本。

一种常见的 JTAG 和跟踪实施是 [13] 中显示的 MIPI 业界通用 MIPI-60。这一方案基于 Samtec QSH-030-01-L-D-A。此实施与 TI XDS560v2 JTAG/跟踪仓体以及其他第三方 JTAG/跟踪仓体兼容。可在 [14] 中找到其他 TI JTAG 调试器连接。

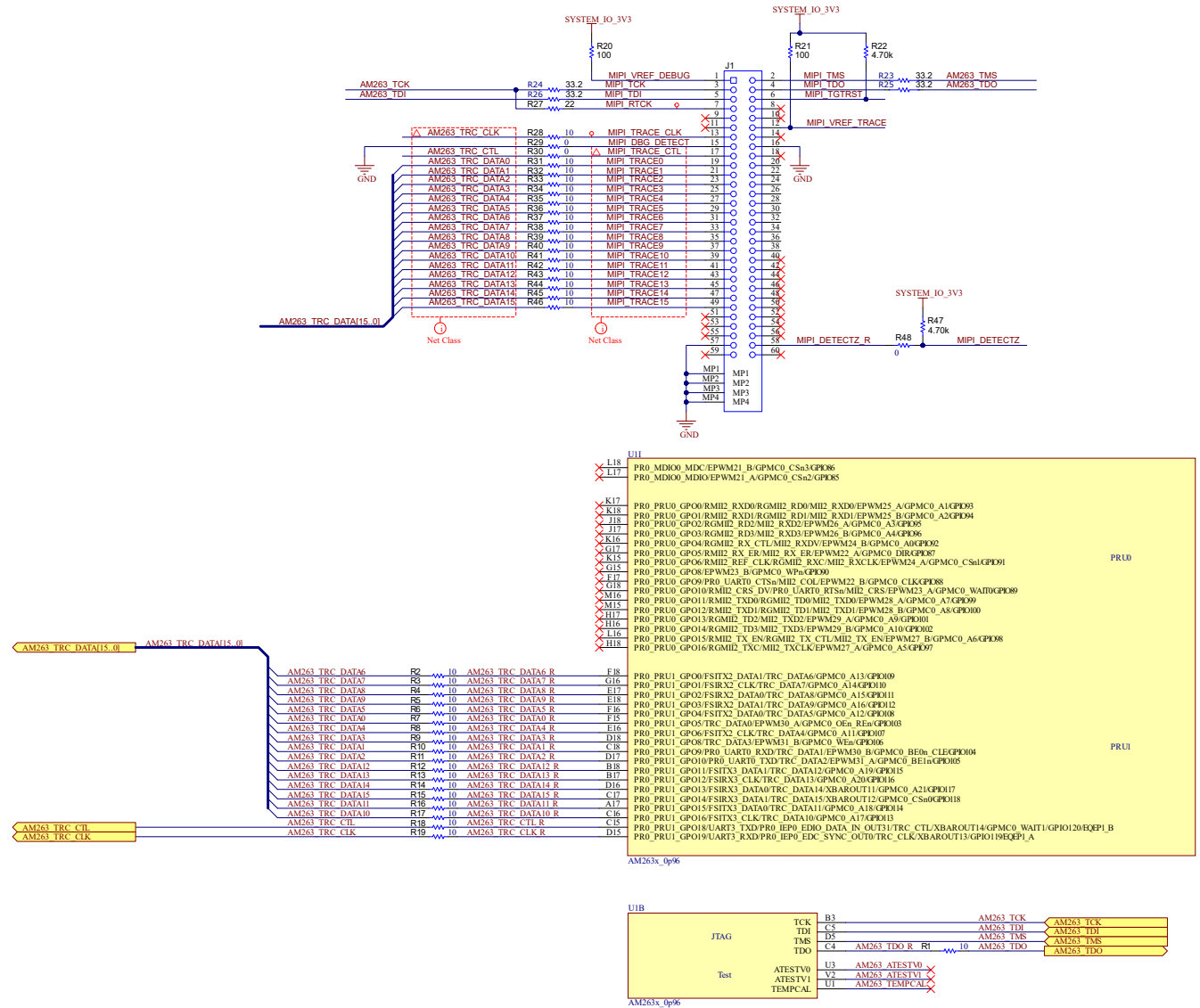


图 6-1. MIPI-60 JTAG 和 16 位跟踪实施示例

其他非 TI JTAG 调试和跟踪系统仍在测试中。计划在本文档的未来修订版中提供进一步的指导。

7 多路复用外设

由于 AM263x 和 AM263Px MCU IOMUX 上存在大量的多路复用数字 I/O，设计人员应充分利用 TI 系统配置工具 (SYSCONFIG) 来试验和规划不同的引脚多路复用方案，然后再将设计提交到硬件。然后，生成的 SYSCONFIG 引脚多路复用配置可用于原理图捕获、布局和软件驱动程序创建。

如需了解更多详情，请参阅 <https://www.ti.com.cn/tool/SYSCONFIG>。

8 数字外设

8.1 通用数字外设布线指南

在整个 AM263x 或 AM263Px PCB 设计中，应遵循以下通用布线建议。45nm LVCMOS 工艺 I/O 可产生相对较快的边沿速率。如果没有针对传输线路效应进行规划，这可能会导致严重的过冲/下冲，即使 PCB 上的迹线相对较短也是如此。这些不受控制的电平转换会导致连接的 I/O 出现过压/欠压情况，从而损坏相关元件。此外，这些不受控制的转换可能会过度辐射，从而导致串扰和 EMI 合规性问题。

为缓解这些问题：

- 将所有数字 I/O 布线为受控阻抗传输线路（微带/带状线）
- 将串联终端放置在每个 AM263x 或 AM263Px 发送引脚和所连接的相关 IC 的发送引脚附近
 - 应在新 PCB 硬件唤醒期间验证这些端接电阻器的值和性能。
 - 在某些情况下，可能不需要这些端接电阻器，但只有在测试后才能将其从设计中移除或去除
- 在相邻的层上使用实心接地回路平面进行布线
- 使用接地回路环围绕持续开关信号（时钟、EPWM）进行布线
- 使用接地回路环围绕敏感模拟信号（ADC/DAC 通道、VREF）进行布线

有关外设布线的其他指导，请参考 [高速接口布局指南](#)。

9 模拟外设

9.1 通用模拟外设布线指南

在 AM263x 或 AM263Px PCB 设计的模拟部分中，应遵循以下通用布线建议。模拟信号对串扰特别敏感，需要干净信号返回路径以更大限度地提高信号完整性。

为缓解这些问题：

- 通过模拟迹线和任何相邻迹线之间的接地隔离，尽可能隔离所有模拟信号
- 在相邻的层上使用实心接地回路层对模拟信号进行布线
- 避免将模拟信号引到高速或电流信号附近
 - 当无法完全避开高速信号或电流信号时，请垂直交叉布线，以尽可能多地避免串扰
- 添加信号放大器和滤波器网络可以提高信号完整性

有关 AM263x 和 AM263Px 上的 SAR ADC，请参阅 [AM263Px Sitara™ 微控制器技术参考手册](#) 和 [AM263Px Sitara™ 微控制器技术参考手册附录](#) 的选择采集窗口持续时间部分以获取更多指导。

9.1.1 旋转变压器 ADC 布线指南

AM263Px 传感器封装包含两个旋转变压器数字转换器 (RDC) 外设。旋转变压器是一种旋转电力变压器，用于测量通常连接到电机的旋转度数。典型的旋转变压器由一个旋转变压器（励磁绕组）和两个绕组组成，它们在定子上相隔 90 度。激励正弦信号会施加到旋转变压器的激励线圈上，电机的旋转会在旋转变压器的正弦和余弦感应线圈上产生调制正弦和余弦输出。调制正弦和余弦信号的角度与转子相对于定子的机械角度以及电机旋转速度直接相关。

AM263Px RDC 会生成激励信号作为 PWM，该 PWM 通过激励放大器路由，然后施加到电机旋转变压器上的励磁绕组。然后，旋转变压器正弦和余弦输出被路由回 RDC 模拟输入，其中 RDC IP 转换和解读信号，以确定电机角度和旋转速度。图 9-1 展示了使用 AM263P 器件的基于旋转变压器的解决方案的示例方框图。

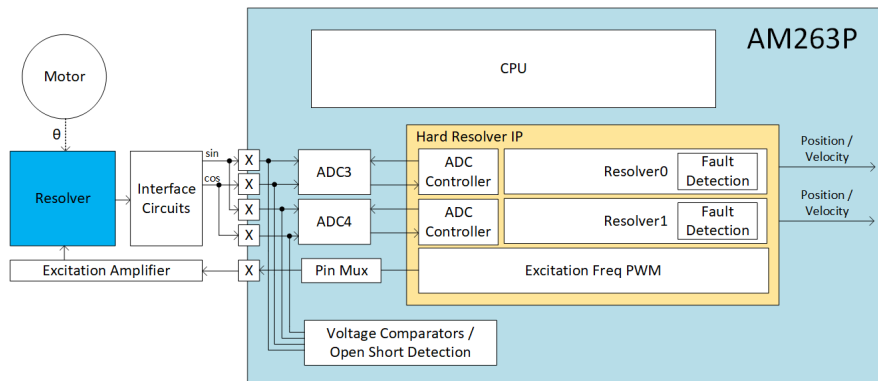


图 9-1. AM263P 旋转变压器 ADC 系统

来自 AM263Px 的激励 PWM 信号支持高达 20KHz 的频率，并且与其他频率相似的数字信号一样，应遵循相同的 PCB 布线指南。有关对数字信号进行布线的指导，请参阅[通用数字外设布线指南](#)。

励磁放大器用于将激励 PWM 信号转换为正弦波作为电机旋转变压器的输入。这些信号以及旋转变压器输出到 AM263Px RDC 输入的正弦和余弦信号应与其他模拟信号遵循相同的 PCB 布线指南。有关对模拟信号进行布线的指导，请参阅[通用模拟外设布线指南](#)。

10 层堆叠

AM263x 和 AM263Px MCU 采用 ZCZ0324A 324 焊球、0.8mm 间距、18 x 18 完整 NFBGA 阵列封装 [1][4]。该封装上的间距较大可实现低层数功耗和完整信号扇出。对于 LP-AM263 EVM，6 层堆叠设计能够在器件上完整排布所有电源和信号引脚，以实现电路板的 LaunchPad 外形。

很可能实现更低层数的堆叠，尤其是在考虑部分信号扇出设计时。不过，目前 TI 尚未探索这些问题。LP-AM263 LaunchPad EVM 代表目前最优化的堆叠示例，因此本节采用了该 LaunchPad。

Layer Stack Legend						
Material	Layer	Thickness	Dielectric Material	Type	Gerber	
Top Overlay	Top Overlay			Legend	GTO	
Surface Material	Top Solder	1.00mil	Taiyo PSR 4000 HFX DI-GREEN	Solder Mask	GTS	
Copper Foil 18 microns	Top Layer	2.09mil		Signal	GTL	
Prepreg		3.51mil	Iteq IT180A Prepreg 2113 RC58	Dielectric		
Copper	GND 1	1.26mil		Signal	G1	
Core		4.00mil	Iteq IT180A 4 mil core 1/1	Dielectric		
Copper	SIG 1	1.26mil		Signal	G2	
Prepreg		1.75mil	Iteq IT180A Prepreg 106 RC71.5	Dielectric		
Prepreg		2.66mil	Iteq IT180A Prepreg 1080 RC65	Dielectric		
Core		28.00mil	Iteq IT180A 28 mil core H/H	Dielectric		
Prepreg		2.66mil	Iteq IT180A Prepreg 1080 RC65	Dielectric		
Prepreg		1.75mil	Iteq IT180A Prepreg 106 RC71.5	Dielectric		
Copper	SIG 2	1.26mil		Signal	G3	
Core		4.00mil	Iteq IT180A 4 mil core 1/1	Dielectric		
Copper	GND 2	1.26mil		Signal	G4	
Prepreg		3.51mil	Iteq IT180A Prepreg 2113 RC58	Dielectric		
Copper Foil 18 microns	Bottom Layer	2.09mil		Signal	GBL	
Surface Material	Bottom Solder	1.00mil	Taiyo PSR 4000 HFX DI-GREEN	Solder Mask	GBS	
Bottom Overlay	Bottom Overlay			Legend	GBO	
Total thickness: 63.06mil						

图 10-1. LP-AM263 堆叠

10.1 关键堆叠特性

- 标准 62mil 总厚度
- L1、L3、L4 和 L6 上的 4 个可选受控阻抗布线层。
- 所有信号层和电源层都具有相邻的接地基准，以实现受控阻抗规划和 EMI 性能
- 通过使用相对 4mil、L2-L3 和 L4-L5 电介质层较厚的 28mil 中心内核层，由于 L3 和 L4 之间的低电路板侧耦合，L3 和 L4 铜层可在内部用作受控阻抗、嵌入式微带或带状布线层。
- L4 电源和 L5 GND 回路层之间的更小电介质厚度可实现最佳的平面电容性能，有助于实现电源完整性和 EMI。
- 具有所有穿孔过孔层转换的扇出示例 - 无需微过孔或焊盘中的过孔。

表 10-1. LP-AM263 层利用情况

层编号	备注
覆铜 1 (顶部)	顶层安装和信号布线
覆铜 2	接地回路平面
覆铜 3	嵌入式微带/带状线信号布线和电源布线
覆铜 4	嵌入式微带/带状线和电源布线
覆铜 5	接地回路平面
覆铜 6 (底部)	底层安装和信号布线

表 10-2. 受控阻抗规划选项

层编号	参考层编号	结构名称 ⁽¹⁾	布线宽度 (mil)	迹线分离 (mil)	目标阻抗 (Ω)	计算阻抗 (Ω)	说明
L1	L2	涂层微带	5.300	0.000	50.000	50.140	
L1	L2	边缘耦合涂层微带	4.200	5.000	90.000	89.830	L1, USB 差分
L1	L2	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L1	L2	边缘耦合涂层微带	4.100	6.800	120.000	120.030	
L3	L3	偏移带状线	4.750	0.000	50.000	49.960	
L3	L2	边缘耦合偏移带状线	4.000	6.000	90.000	90.040	L3, USB 差分
L3	L2	边缘耦合偏移带状线	3.500	8.100	100.000	99.880	
L3	L2	边缘耦合偏移带状线	4.000	12.000	100.000	100.160	
L6	L5	涂层微带	5.300	0.000	50.000	50.140	
L6	L5	边缘耦合涂层微带	4.200	5.000	90.000	89.830	
L6	L5	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L6	L4	边缘耦合涂层微带	4.100	6.800	120.000	120.030	

(1) 使用 Polar 2D 场求解器，针对给定的覆铜和电介质厚度、宽度和耗散常数计算所有阻抗。

11 过孔

AM263x 和 AM263Px EVM 展示了 BGA 扇出和整体板布线的过孔结构的不同示例。AM263x LaunchPad 是一个仅采用 PTH 过孔的结构示例。AM263x controlCARD 使用焊盘中的过孔和 PTH 过孔结构。焊盘中的过孔结构用于提供与 BGA 之间的最小去耦电容器安装距离。这产生了更优化的配电网络，但代价是每个 PCB 需要额外的制造周期时间。

表 11-1. AM263x EVM 过孔类型

EVM	过孔类型	过孔直径 (mil)	过孔钻孔 (mil)
AM263x 和 AM263Px LaunchPad	PTH	18.000	8.000

表 11-1. AM263x EVM 过孔类型 (续)

EVM	过孔类型	过孔直径 (mil)	过孔钻孔 (mil)
AM263x 和 AM263Px controlCard	PTH	18.000	8.000
	PTH、焊盘中的过孔	18.000	8.000

12 BGA 电源扇出和去耦放置

45nm CMOS 技术可实现更快的内核速率和 SRAM 时钟速率，以及适用于 LVCMOS I/O 缓冲器的更快的边沿速率。因此，与以前的 MCU 工艺节点相比，谨慎地布置电源和接地回路对于使用 AM263x 和 AM263Px 设计实现最佳的电源完整性、信号完整性和 EMI 性能至关重要。

建议设计人员遵循 AM263x 和 AM263Px EVM PCB 设计中实施的类似配电布局，以便在所有工作条件和 EMI 测试条件下实现良好的电源完整性结果。

TMDSCNCD263 controlCARD EVM 代表了迄今为止最优化且经最仔细审查的配电布局示例，因此本节采用了该 controlCARD。

12.1 接地回路

必须利用所有可用的接地回路 BGA，在 AM263x 或 AM263Px 封装与连接的 PCB 之间建立尽可能更好的电气和热连接。从信号完整性、EMI/EMC 和热性能的角度来看，最大限度地提高 VSS BGA 的使用率至关重要。

除非设计中使用了单独的顶部封装散热器，否则 VSS BGA (以及较小程度上的 VDDCORE) 是 BGA 封装的唯一散热连接。为了实现所需的热性能，AM263x 或 AM263Px PCB 设计必须遵守以下散热过孔设计要求。

- BGA 中心至少有 49 个 VSS 过孔必须短接到 PCB 接地回路平面。但是，如果可能，为了获得最佳热性能，所有 VSS BGA 应连接到 PCB 接地回路平面
- 应在 BGA 正下方尽可能多的层上使用实心接地回路平面。
- 对于 VSS BGA 焊盘连接，应在顶部或底部安装层上使用实心接地回路或尽可能宽的引线
- VSS 过孔钻孔应使用尽可能大的钻孔直径。这将最大限度地增加过孔的表面积，从而提供最低的热阻。
- 如果可能，应使用导热材料填充 VSS 过孔。

所有这些散热过孔要求必须与设计所需的功率和信号扇出保持平衡。

AM263x 和 AM263Px 器件包含模拟和数字接地回路引脚。模拟和数字接地回路引脚应短接至 PCB 上的一组公共接地回路平面，以实现最佳的噪声和 EMI 性能，因为这会为所有返回电流创建尽可能低的阻抗路径。不建议将这两条返回路径分开，因为这通常会导致数字和模拟信号路径的返回路径性能降低。

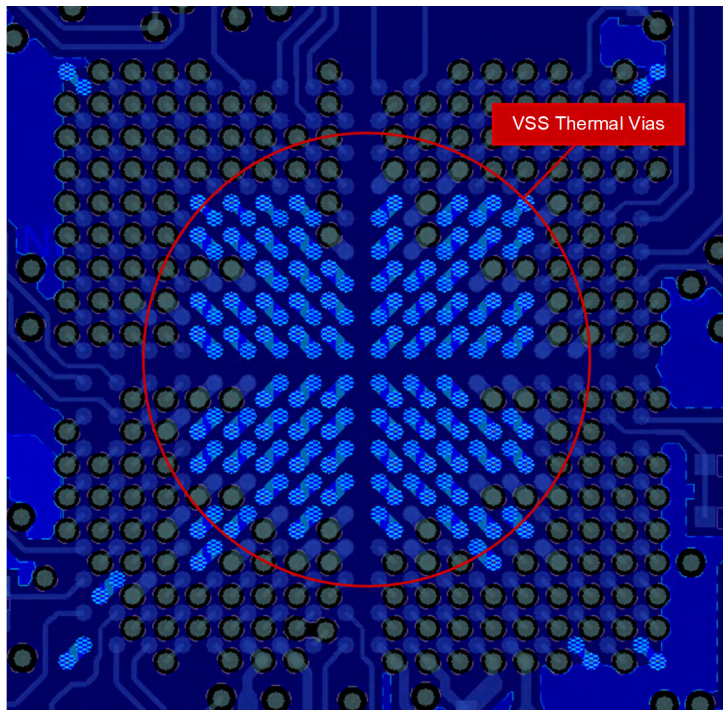


图 12-1. AM263x controlCARD 摘录 - AM263x BGA 第 1 层和第 2 层下的接地回路过孔

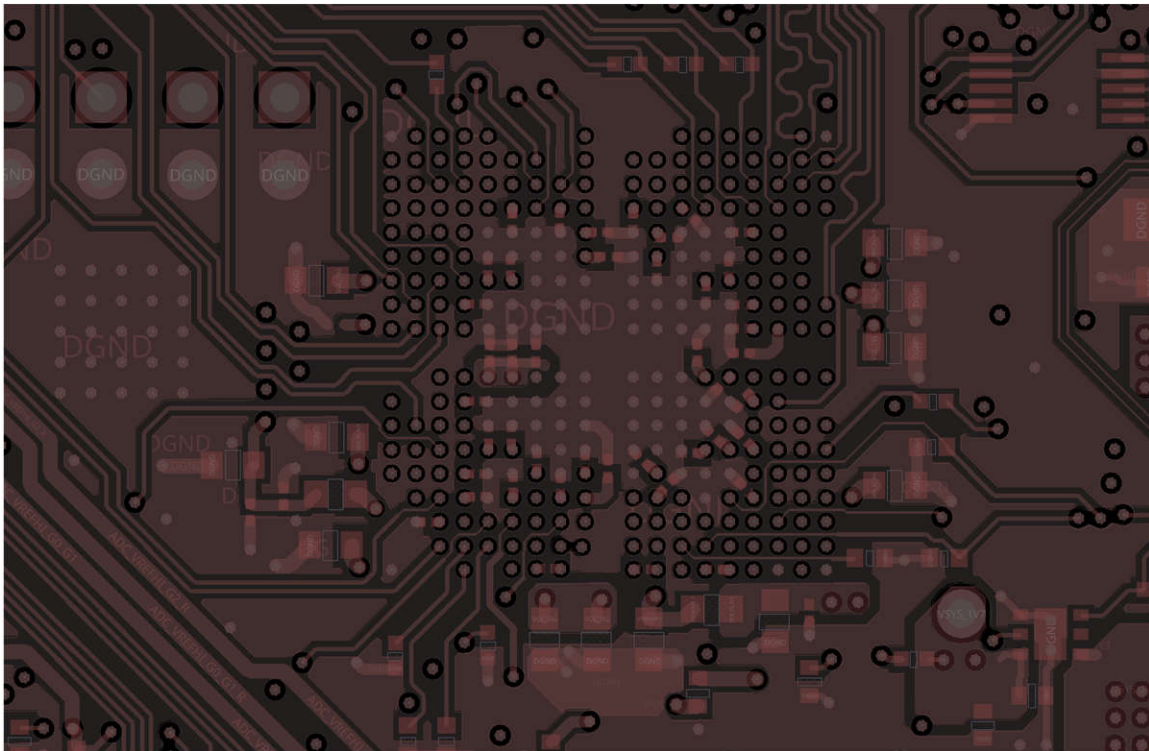


图 12-2. AM263x controlCARD 摘录 - AM263x BGA 第 10 层下的接地回路过孔

12.2 1.2V 内核数字电源

本节总结了 AM263x controlCARD EVM (TMDSCNCD263) 的 1.2V 内核数字电源布线的主要元件，该布线从 1.2V 降压转换器 (TPS62913RPUR, U65) 开始，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。

12.2.1 主要布局注意事项

- AM263x 或 AM263Px 应与 1.2V 内核数字稳压器并置，以实现从稳压器到 BGA 电源引脚的更小 IR 压降。
- 应对于所有电源和接地回路过孔扇出使用宽 15mil 的迹线。
- 应使用具有紧密耦合接地回路参考平面的专用电源层，以便实现出色的瞬态性能和 EMI 耦合
- 应使用宽电源平面进入 BGA 1.2V 电源引脚区域的中心，以实现更小的 IR 压降和出色的瞬态性能
- 采用较大封装、较低频率的大容量电容应放置在 BGA 附近，过孔应直接连接到电源平面路径
- 采用较小封装、较高频率的去耦电容应直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

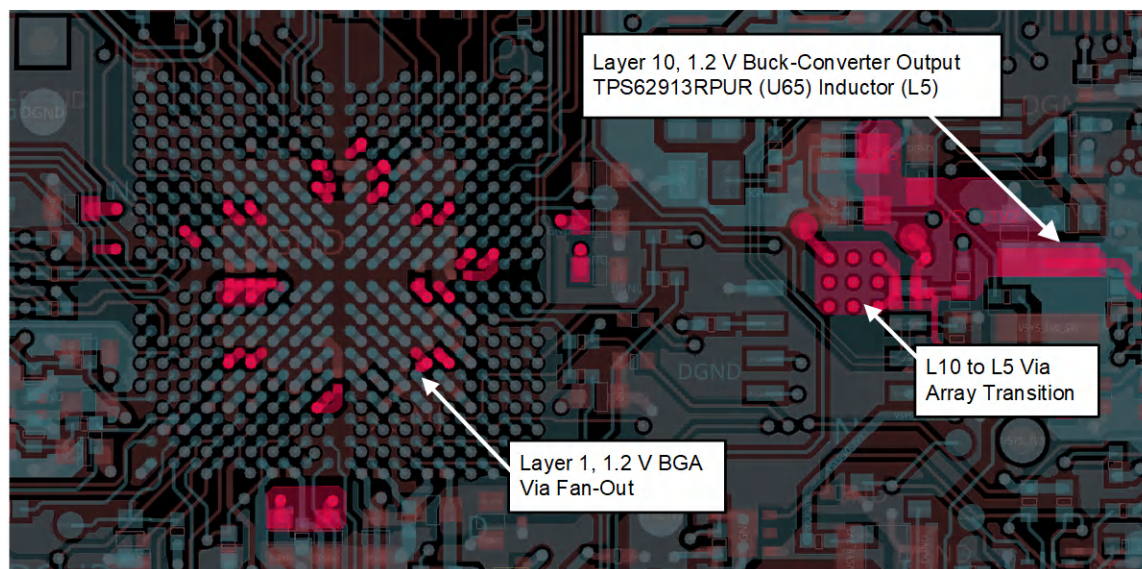


图 12-3. AM263x controlCARD 摘录 - 1.2V 内核电源输出、电源平面过孔和 BGA 过孔

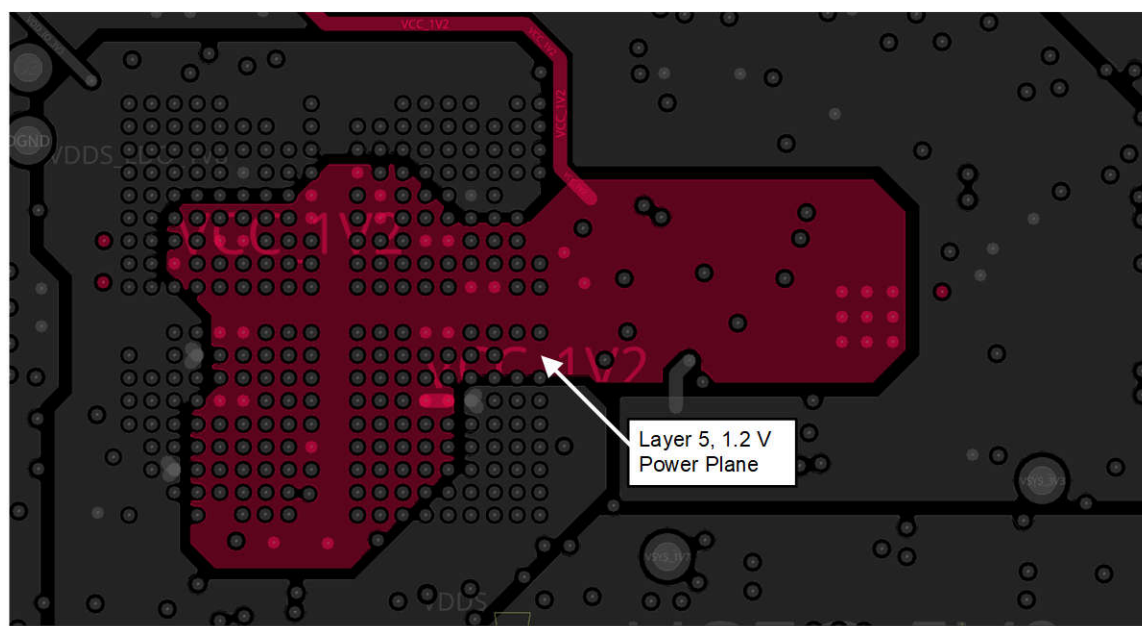


图 12-4. AM263x controlCARD 摘录 - 1.2V 内核电源平面，第 5 层

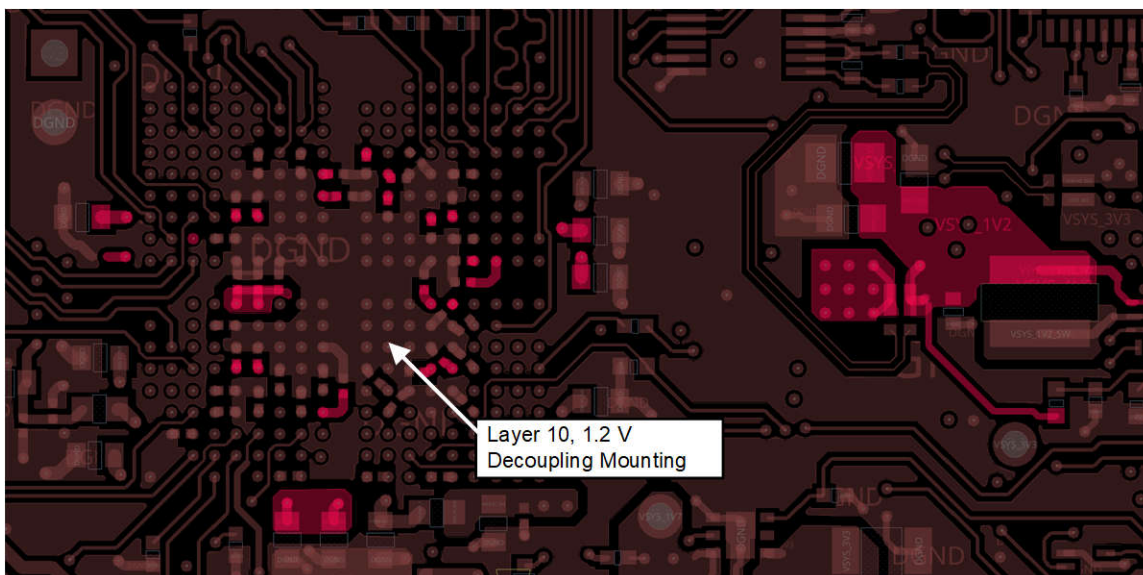


图 12-5. AM263x controlCARD 摘录 - 1.2V 内核电源去耦安装，第 10 层

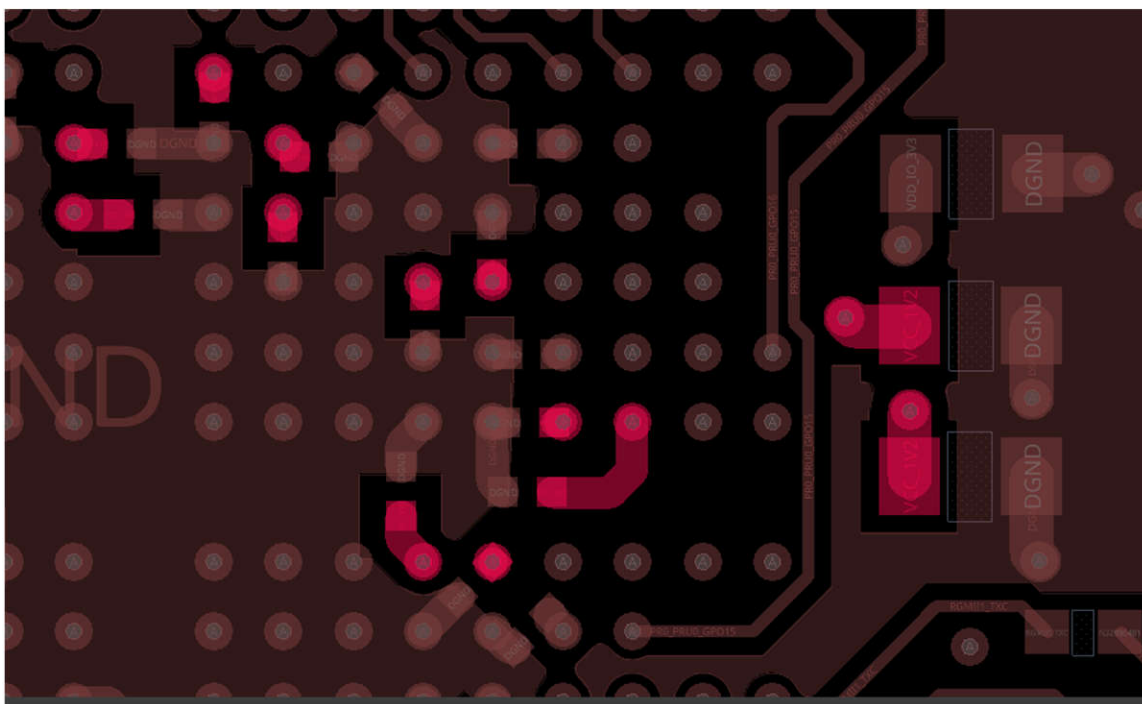


图 12-6. AM263x controlCARD 摘录 - 1.2V 内核电源去耦安装，第 10 层

12.3 3.3V 数字和模拟电源

本节总结了 AM263x controlCARD EVM (TMDSCNCD263) 的 3.3V 数字 I/O 和模拟 I/O 电源布线的主要元件，该布线从 3.3V 降压转换器 (TPS62913RPUR, U30) 开始，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。

一个通用降压转换器为所有 AM263x 数字 I/O、模拟 I/O 和其余的 controlCARD 3.3V 负载供电。这在所有 3.3V 数字电平 I/O 共用一个公共电源的大多数设计中很常见。

本地 AM263x 3.3V 模拟电源网的额外滤波是通过铁氧体磁珠 FL13 和相关电容器的 LC 滤波器完成的。这用于创建一个低 IR 压降低通滤波器，该滤波器衰减 TPS62913RPUR 稳压器的高频开关谐波。

12.3.1 主要布局注意事项

- 应对于所有电源和接地回路过孔扇出使用宽 **15mil** 的迹线。
- **3.3V I/O** 电源往往在系统中的多个器件之间共享，建议在 **PCB** 上使用非常宽的电源平面进行布线，以尽可能减少所有元件（包括 **AM263x** 或 **AM263Px**）的 **IR** 压降
- 应使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 **EMI** 耦合
- 应使用覆盖 **BGA 3.3V** 电源引脚区域的宽电源平面入口，以实现更小的 **IR** 压降和更佳的瞬态性能
- 采用较大封装、较低频率的大容量电容应放置在 **MCU BGA** 附近，过孔应直接连接到电源平面路径
- 采用较小封装、较高频率的去耦电容应直接放置在 **BGA** 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

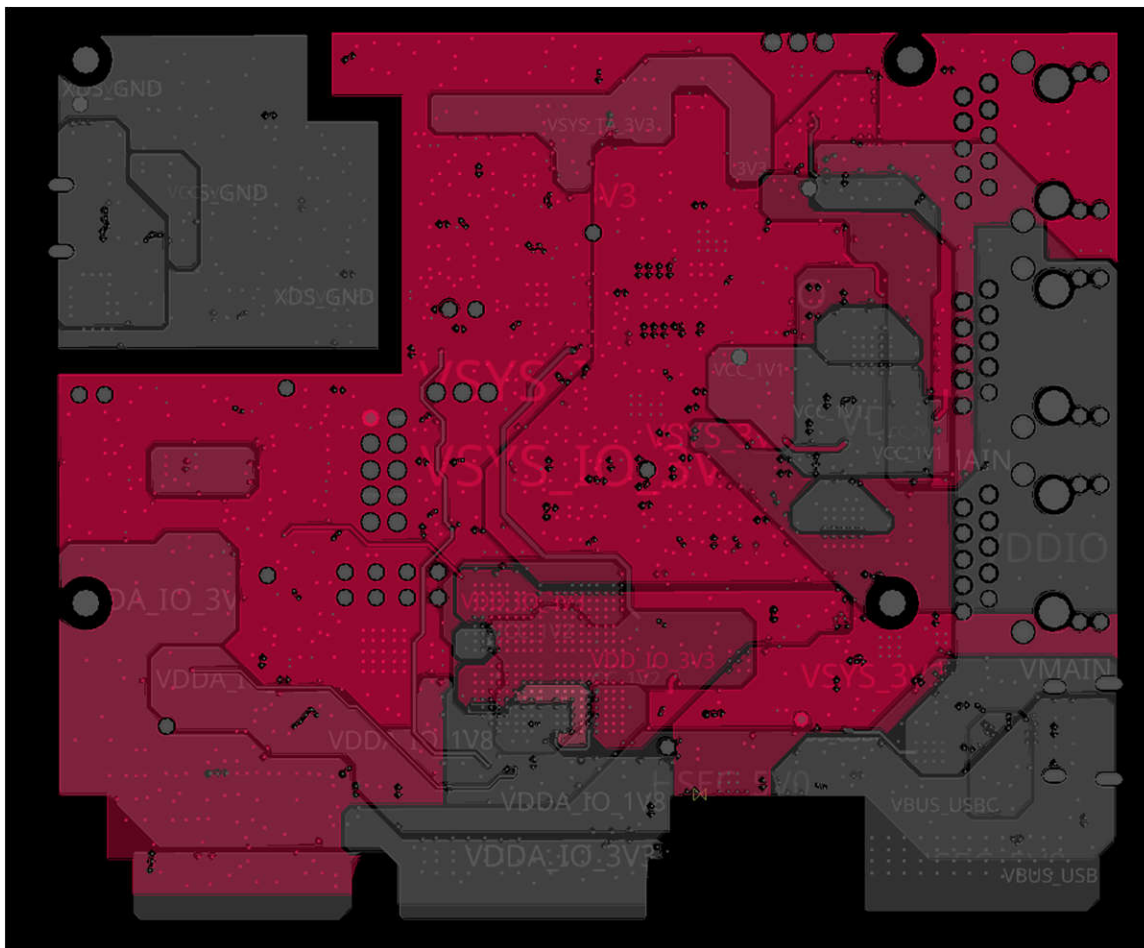


图 12-7. AM263x controlCARD 摘录 - 第 5 层和第 6 层上的 3.3V 数字和模拟电源平面

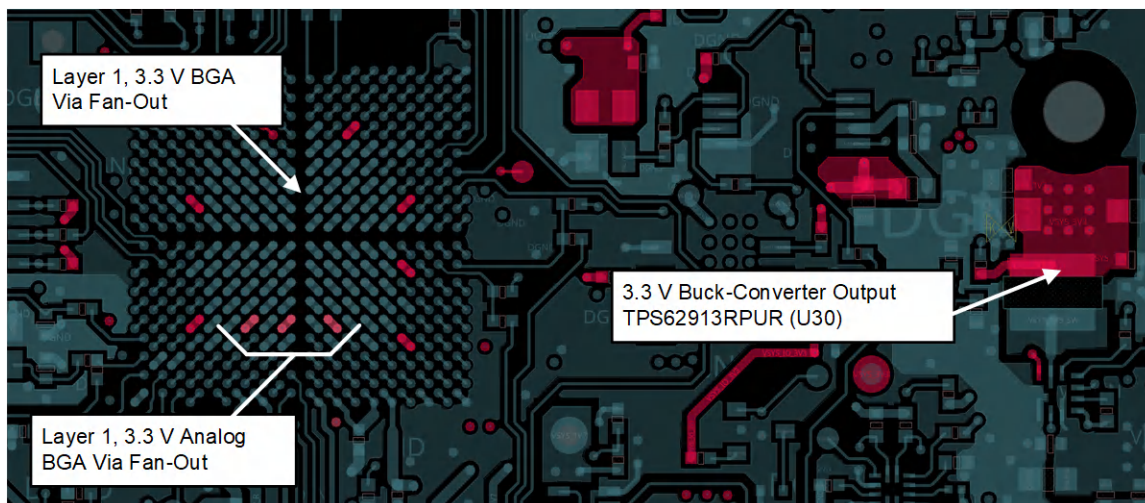


图 12-8. AM263x controlCARD 摘录 - 3.3V 数字 I/O 和模拟 I/O BGA 引脚排列和稳压器输出

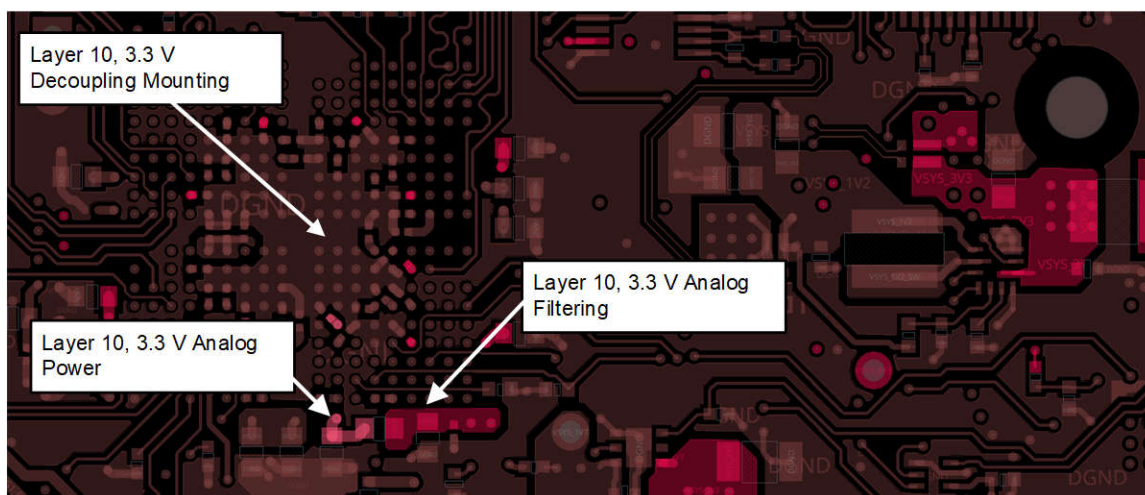


图 12-9. AM263x controlCARD 摘录 - 常见的 3.3V 平面转换过孔

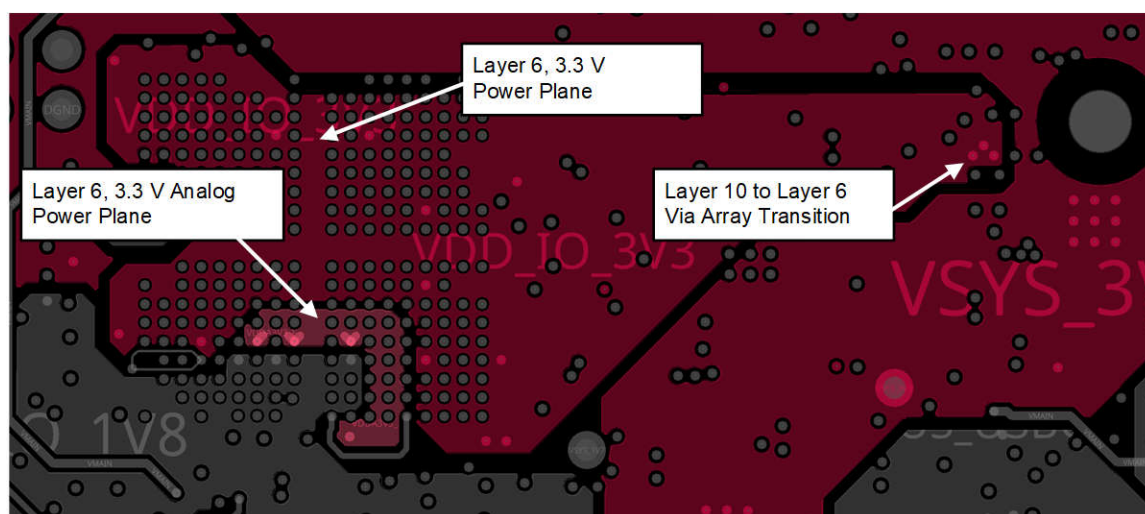


图 12-10. AM263x controlCARD 摘录 - 第 6 层上的 3.3V 数字和模拟平面

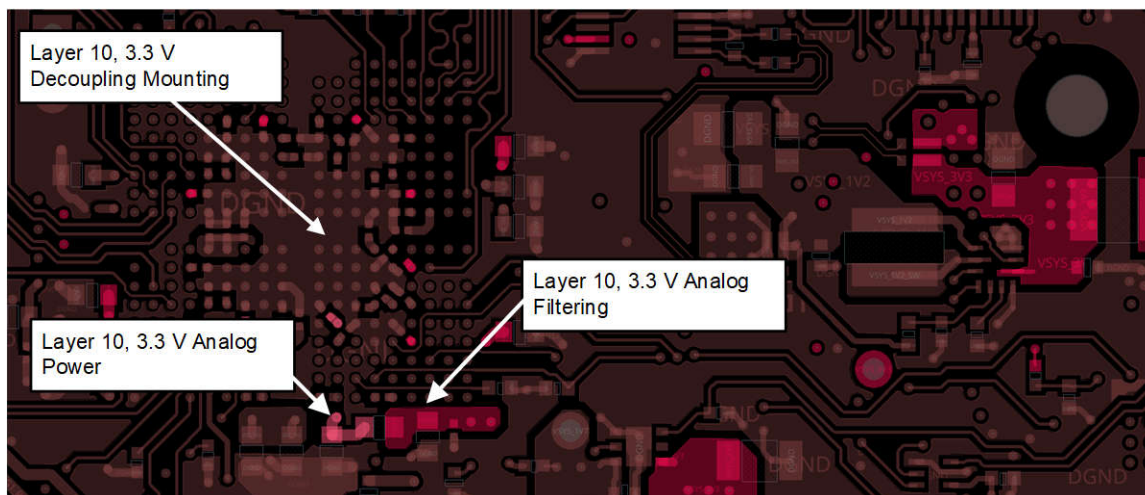


图 12-11. AM263x controlCARD - 3.3V 数字和模拟电源去耦安装，第 10 层

12.4 1.8V 数字和模拟电源

本节总结了 AM263x controlCARD EVM (TMDSCNCD263) 1.8V 数字 I/O 和模拟 I/O 电源布线的主要元件。两个 1.8V 电源网均由片上 LDO 生成，而片上 LDO 又由 PCB 上的 3.3V 数字或 3.3V 模拟电源网供电。

本地 AM263x 1.8V PLL 电源网的额外滤波是通过铁氧体磁珠 FL12 和相关电容器的 LC 滤波器完成的。这用于创建一个额外的低 IR 压降低通滤波器，该滤波器将衰减 1.8V LDO 模拟输出上存在的任何高频噪声。

12.4.1 主要布局注意事项

- 应针对所有电源和接地回路过孔扇出使用至少 15mil 的宽引线。
- 1.8V 数字和模拟电压由片上 LDO 生成，因此已高度本地化为 BGA 引脚排列
- 应使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合
- 应使用更小的电源平面或更宽的迹线，以实现跨相关 BGA 引脚的更小 IR 压降和更佳瞬态布线
- 采用较小封装、较高频率的去耦电容应直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

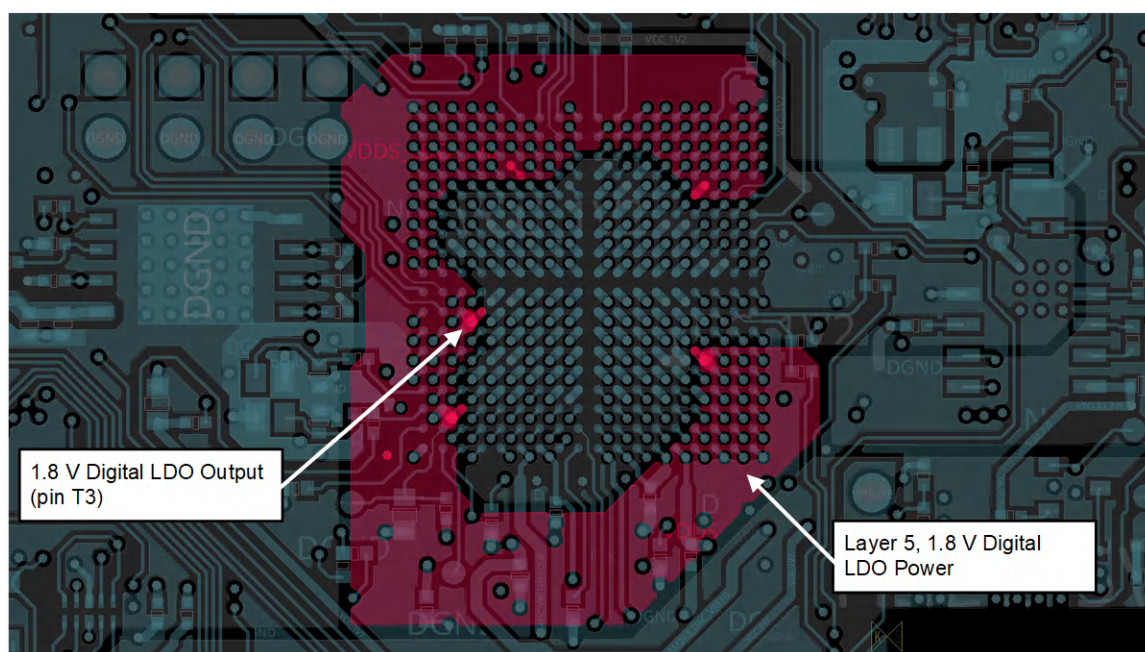


图 12-12. AM263x controlCARD 摘录 - 1.8V 数字电源过孔扇出和平面布线第 6 层

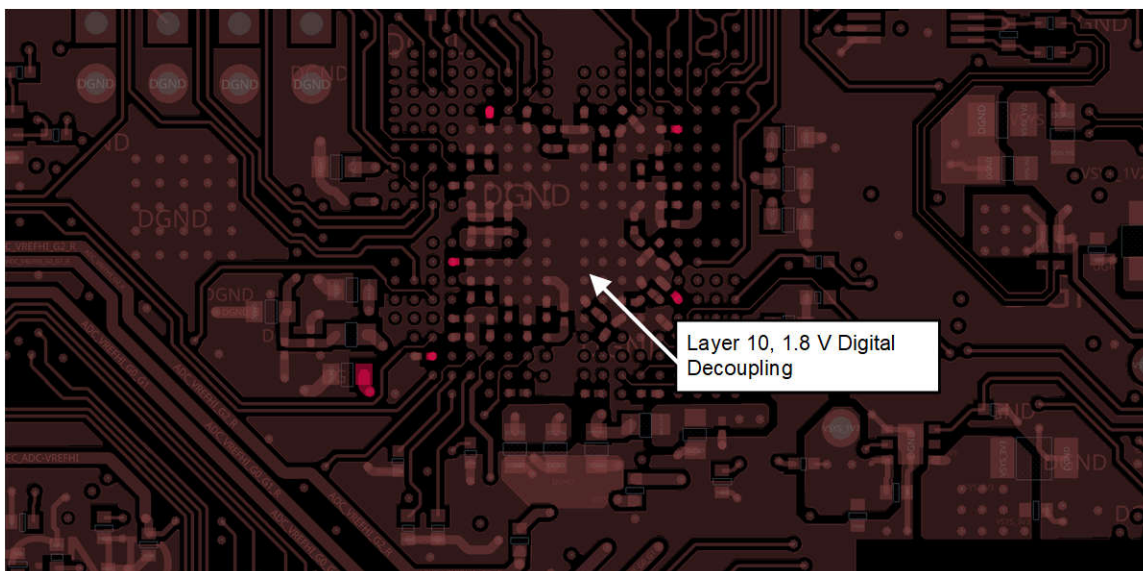


图 12-13. AM263x controlCARD 摘录 - 第 10 层上的 1.8V 数字电源去耦

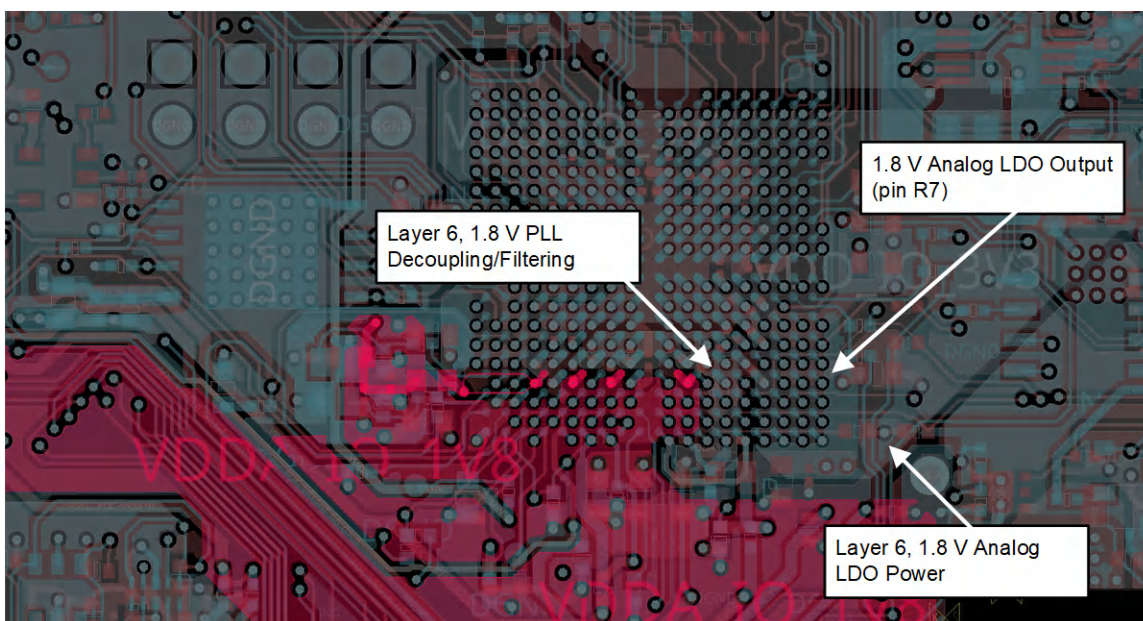


图 12-14. AM263x controlCARD 摘录 - 1.8V 模拟电源过孔扇出和平面布线第 6 层

备注

图 2-13 展示了 FL12 滤波器输出和 BGA 焊盘之间的次优布线示例。理想情况下，FL12 滤波器的输出应布线为宽引线或小平面，而不是像 controlCARD EVM 的该初始版本那样采用较小的引线。

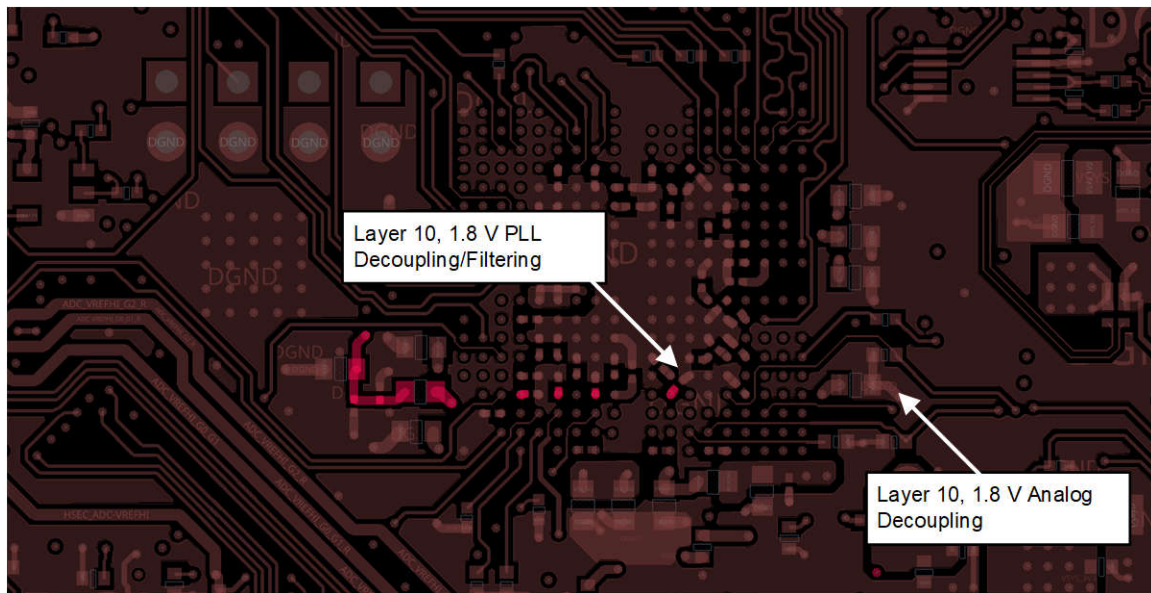


图 12-15. AM263x controlCARD 摘录 - 第 10 层上的 1.8V 模拟电源去耦

13 参考资料

- 德州仪器 (TI) : [AM263x Sitara™ 微控制器数据表](#)
- 德州仪器 (TI) : [AM263x Sitara™ 微控制器技术参考手册](#)
- 德州仪器 (TI) : [AM263x Sitara™ 微控制器技术参考手册附录](#)
- 德州仪器 (TI) : [AM263Px Sitara™ 微控制器数据表](#)
- 德州仪器 (TI) : [AM263Px Sitara™ 微控制器技术参考手册](#)
- 德州仪器 (TI) : [AM263Px Sitara™ 微控制器技术参考手册附录](#)
- AM263x 控制卡 EVM 设计 : <https://www.ti.com/tool/TMDSCNCD263>
- AM263x LaunchPad EVM 设计 : <https://www.ti.com/tool/LP-AM263>
- AM263Px 控制卡 EVM 设计 : <https://www.ti.com.cn/tool/cn/TMDSCNCD263P>
- AM263Px LaunchPad EVM 设计 : <https://www.ti.com.cn/tool/cn/LP-AM263P>
- 德州仪器 (TI) : [高速接口布局指南](#)
- 德州仪器 (TI) 系统配置工具 (SYSCONFIG) : <https://www.ti.com.cn/tool/SYSCONFIG>
- MIPI 联盟针对调试和跟踪连接器的建议 : <https://www.mipi.org/sites/default/files/MIPI-Alliance-Recommendation-Debug-Trace-Connectors.pdf>
- JTAG 连接器和引脚分配 : https://software-dl.ti.com/ccs/esd/documents/xdsdebugprobes/emu_jtag_connectors.html
- 德州仪器 (TI) : [AM263x QSPI 闪存选择指南](#)
- AM263x MCU 软件开发套件 : [MCU-PLUS-SDK-AM263X](#)

修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2023) to Revision B (November 2023)	Page
• 通篇添加了 AM263Px.....	1
• 简介：添加了显示基于 PMIC 的电源解决方案的示例系统方框图.....	2
• 集成 PMIC 电源解决方案：更新为参考 TMDSCNCD263P PMIC 解决方案.....	7
• 电源去耦和滤波：添加了 AM263Px 传感器封装上的 ADC_VREFHI_G3 和 ADC_VREFLO_G3 原理图示例。8	8
• 电子保险丝电源：经过更新，以包含 AM263Px 在内部提供 VPP.....	18
• SOP 信号实现：添加了 AM263P 引导模式.....	23
• OSPI/QSPI 存储器实现：添加了 AM263Px 和 OSPI 信息.....	25
• 添加了“模拟外设”部分.....	31

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司