



内容

1 简介.....	2
2 过孔通道阵列.....	3
3 迂回宽度/间距建议.....	6
4 堆叠.....	7
5 过孔共享.....	8
6 布局图元件放置.....	9
7 关键接口影响布局.....	10
8 布线优先级.....	11
9 串行器/解串器接口.....	12
10 DDR 接口.....	13
11 电源去耦.....	18
12 对优先级最低的接口最后布线.....	19
13 总结.....	20
14 修订历史记录.....	21

商标

所有商标均为其各自所有者的财产。

1 简介

AM62Px 是新增的低功耗、低成本 Sitara 工业/汽车级处理器系列。AM62Px 基于 Cortex-A53 微处理器、M4F 微控制器，具有专用外设、3D 图形加速、双显示接口以及适用于各种嵌入式应用的广泛外设和网络选项。AM62Px 采用 17mm x 17mm FBGA 封装，具有 0.65mm 和 0.8mm 的混合焊球间距。BGA 封装设计采用 TI 过孔通道阵列 (VCA) 技术构建，该技术可实现小型化封装，同时使用低成本 PCB 布线规则。过孔通道阵列 (VCA) 技术对迂回布线进行了仔细考量，避免采用成本高昂的高密度互连 (HDI) 和过孔技术。本文档旨在为 AM62Px 器件的迂回布线提供参考。在对信号进行布线时，必须留意特殊要求 (例如 DDR、高速接口)。有关更多详细信息，请参阅[高速接口布局布线指南](#)和[DDR 布线指南](#)。[AM62Px PDN 应用手册](#)中提供了有关供电网络的详细信息，这些文档中指定的任何布线和布局要求都会取代此处提供的通用要求。

2 过孔通道阵列

过孔通道阵列技术已成功应用于各种 TI 产品，该技术通过使用较小的焊球间距并利用低成本 PCB 布线可帮助更大程度地减小封装尺寸。过孔通道技术是一种启用路由通道以迂回最内部 BGA 位置的方法。这集结了多项优势。首先，如果必须以更紧密的间距放置在 BGA 之间，过孔外径（也称为孔环）可以比通常情况下要大，因为所有过孔都位于称为**过孔通道**的特殊区域中。由于可以使用更大的过孔，因此可以降低 PCB 制造成本。其次，过孔以径向方式分组，而不是围绕芯片中间分布的一系列同心环，正常的 BGA 阵列 PCB 布线就是这种情况。布线更容易从芯片内部引出，因为它们不受限于许多排过孔之间的窄路径。独特的外排布线和过孔通道内部布线是该技术在 AM62Px 上的两个重要组成部分。AM62Px BGA 过孔通道阵列如图 2-1 所示。

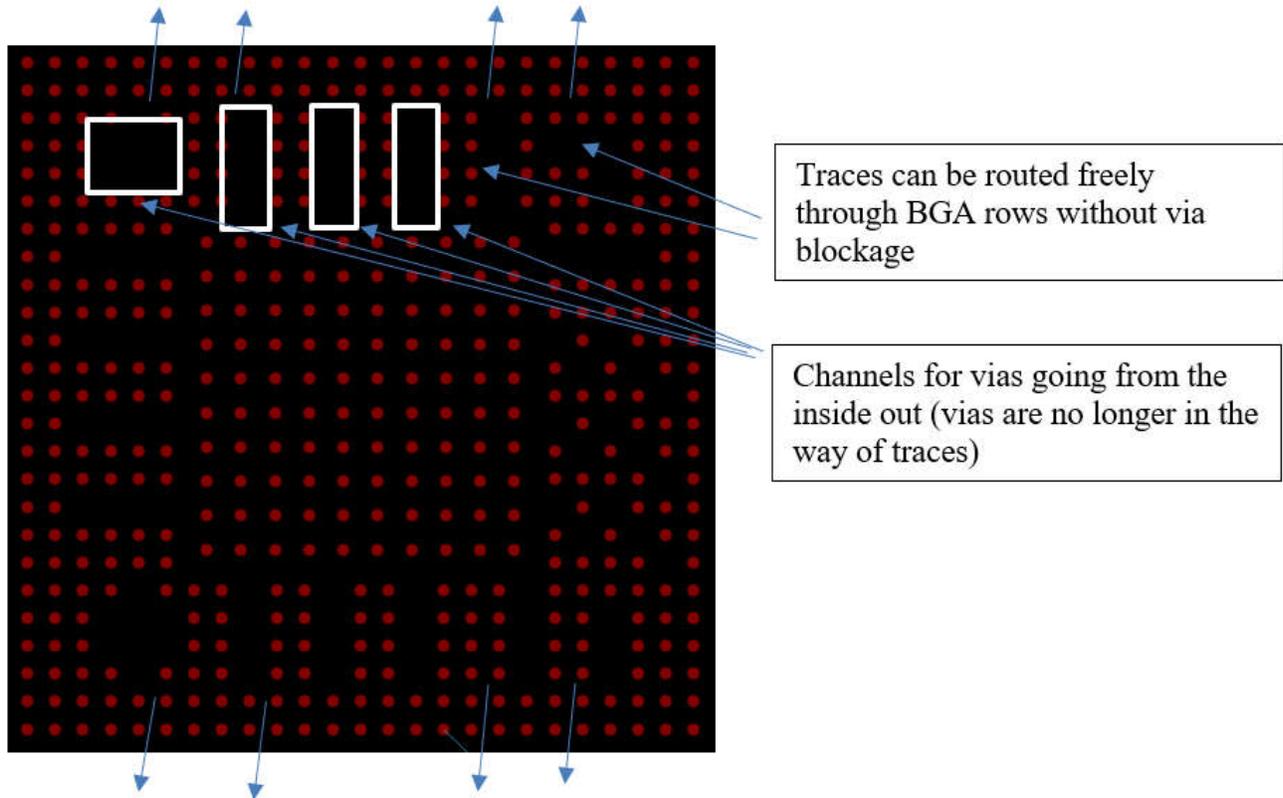
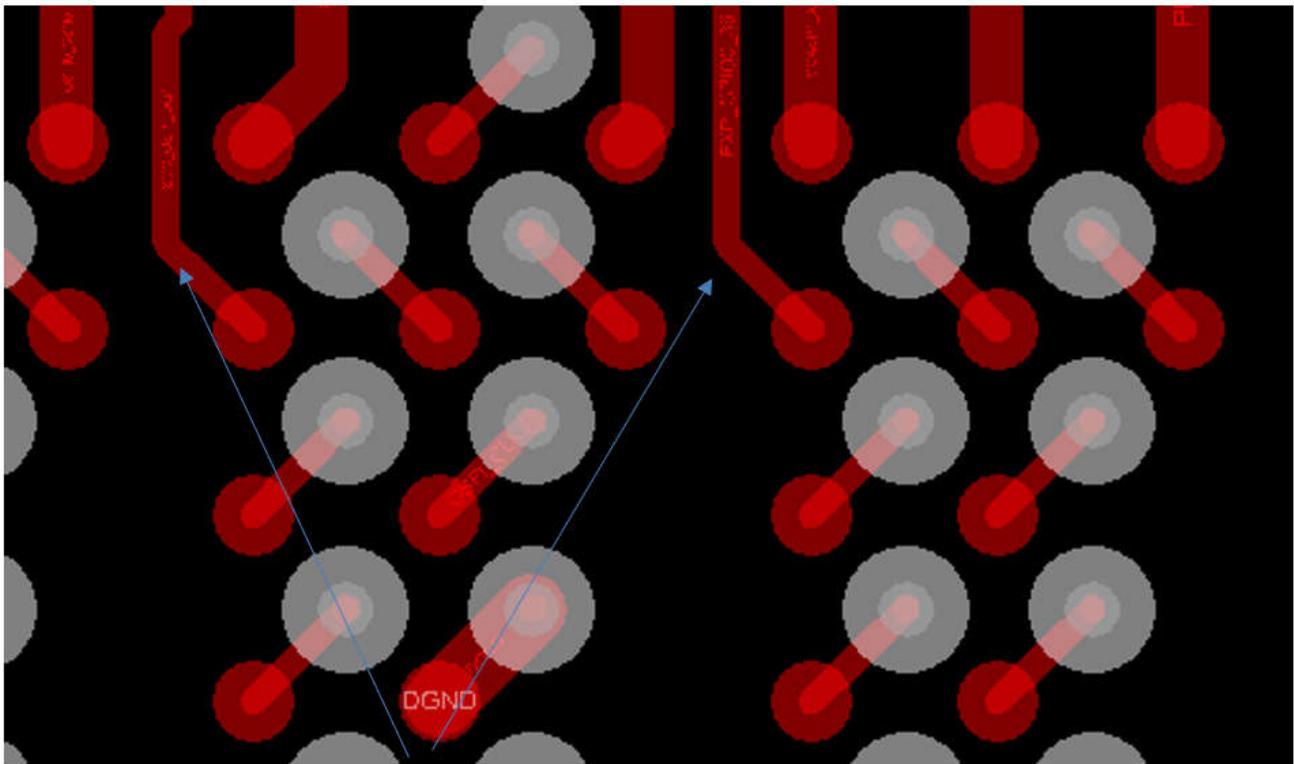


图 2-1. AM62Px BGA 过孔通道阵列

对于 BGA 阵列的前两行（从外到内），这些焊球的排列方式允许比其他方式更宽的布线。第一行（外侧行）支持所需的任何尺寸布线，因为该布线来自 PCB 焊球焊盘并在 PCB 上引出。通常，第二排布线必须布置在 PCB 焊球焊盘第一排之间。AM62Px 允许在内层和外层使用 4mil 布线宽度/间距进行迂回。

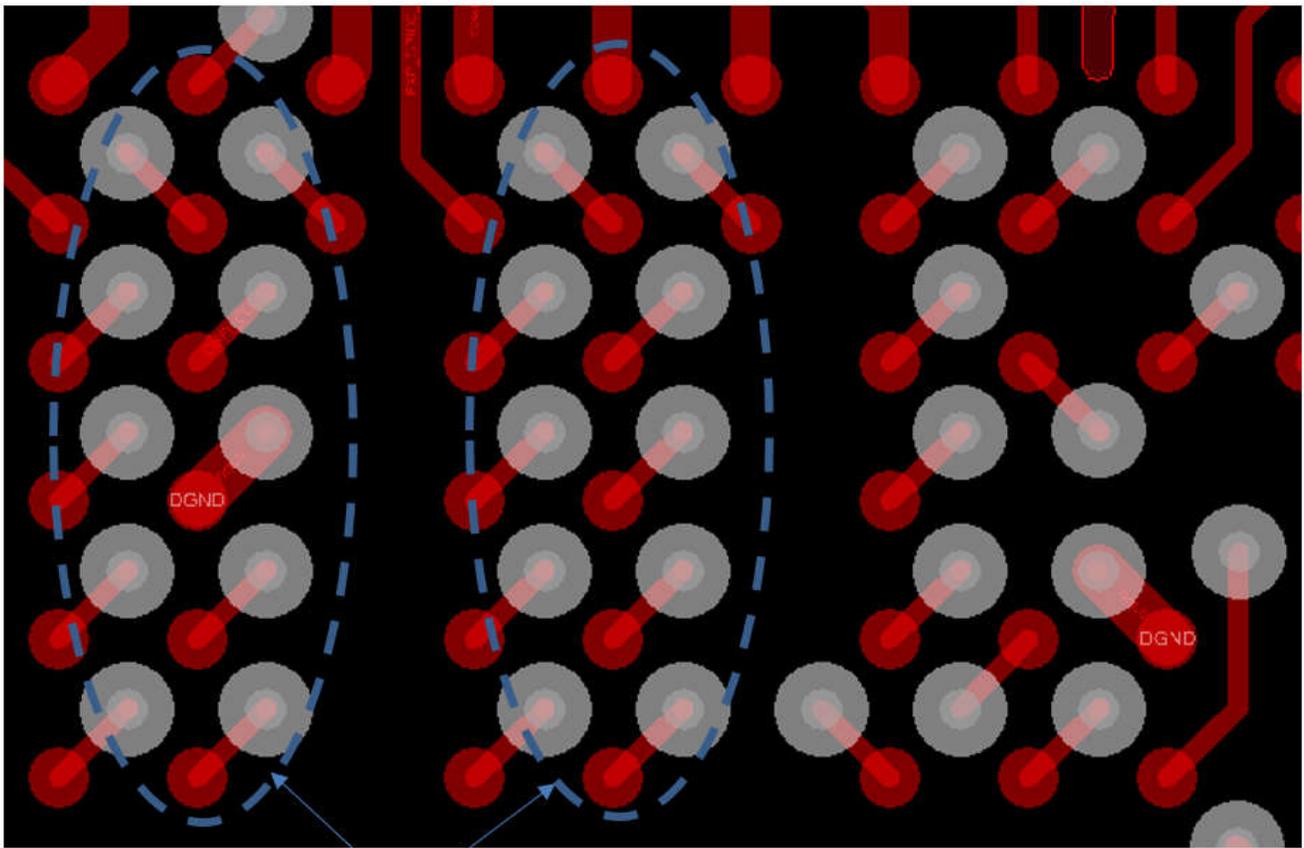
图 2-2 展示了 AM62Px 封装的前两行，以及如何在焊球之间的区域布置 4mil 布线宽度和间距。



Traces can be routed freely through BGA rows without via blockage

图 2-2. 布线外排

从第三排开始，与任何 BGA 封装一样，需要过孔。如前所述，过孔聚集在过孔通道中，因此必须在焊球之间放置接地区域或电源覆铜区域中的一些电源过孔。在这种情况下，它们没有常规过孔环，因为它们位于所有周围焊球共享同一网的覆铜区中。稍后的章节会详细阐述这一点，包括关于过孔共享的详细信息。由于过孔环大于通常安装在这些焊球之间且具有所需间隙的环，因此布局工具可能会标记设计规则检查 (DRC) 错误，但这是错误警告，因为它们都在同一个网上，不存在与附近焊盘短路的风险。其余过孔必须放置在过孔通道中，如下所示。图 2-3 显示了如何在过孔通道中对过孔进行分组。



Vias placed in via channels

图 2-3. 过孔通道中的过孔

3 迂回宽度/间距建议

AM62Px 过孔通道阵列解决方案旨在支持以下功能。AM62Px 封装支持与其他几种竞争解决方案类似的功能集，封装面积减小约 15%，线宽拉宽大约 10%。该解决方案缩小了 PCB 尺寸并采用了更低成本的 PCB 规则，从而实现了紧凑和低成本的系统。

表 3-1. 迂回宽度/间距建议

PCB 功能	PCB 布线要求
最小过孔焊盘直径	18 密耳
过孔尺寸	8 密耳
BGA 分线中所需的最小布线宽度/间距	4mil/4mil
用于迂回的层数	5
BGA 焊盘尺寸	0.3 mm
封装尺寸	17mm x 17mm, 0.65/0.8mm 间距, 带 VCA
建议的 PCB 层数 (信号布线, 总计)	4, 10
阻焊间隙	0.07mm 最大值

4 堆叠

PCB 堆叠是实现成功的 PCB 首先要考虑的重要因素之一。AM62Px 器件支持 BGA 阵列或 25x25，混合 0.65/0.8mm 间距，主体尺寸为 17mm。PDN 合规性和稳健性对于满足器件和相关外设的所有性能目标至关重要。为此，TI 建议为电源平面分配两层。必须在电源平面附近和外层附近添加接地平面，以实现屏蔽和受控阻抗布线。DDR、CSI 和 USB 等高速接口需要使用接地平面来实现阻抗匹配。此外，为了满足更高的 DDR 接口速度，强烈建议在 DDR 信号上方和下方都有接地层。AM62Px 板上的迂回是通过 10 层实现的，如下所示。

表 4-1. PCB 层堆叠示例

PCB 层	层布线、平面或覆铜
TOP	元件焊盘、接地和信号迂回
第 2 层	信号路由
第 3 层	接地
第 4 层	信号路由
第 5 层	信号的电源/GND 填充
第 6 层	信号的电源/GND 填充
第 7 层	信号路由
第 8 层	接地
第 9 层	信号路由
BOTTOM	接地、信号和元件焊盘布线

提供的 AM62Px 板设计示例以上述 10 层堆叠实现。该板设计用于在高速接口上实现信号完整性，同时限制板尺寸。AM62Px 电路板在没有 HDI (高密度互连) 的情况下实现，不使用微过孔，这两种方式均旨在节省电路板成本。AM62Px 电路板上的所有过孔均为电镀穿孔 (PTH) 并完全通过电路板。如果需要进一步优化以减少 PCB 堆叠和/或本档中所述的布线规则，则应执行适当的分析以验证信号和电源完整性。

5 过孔共享

AM62Px 设计中实现的过孔通道阵列 BGA 模式提供了过孔共享机会。过孔在 BGA 引脚之间共享，图 5-1 显示了 GND 网络的过孔共享机会。在 BGA 引脚之间共享过孔通过连接多个引脚，可实现更轻松的迂回布线和可靠的电气连接。

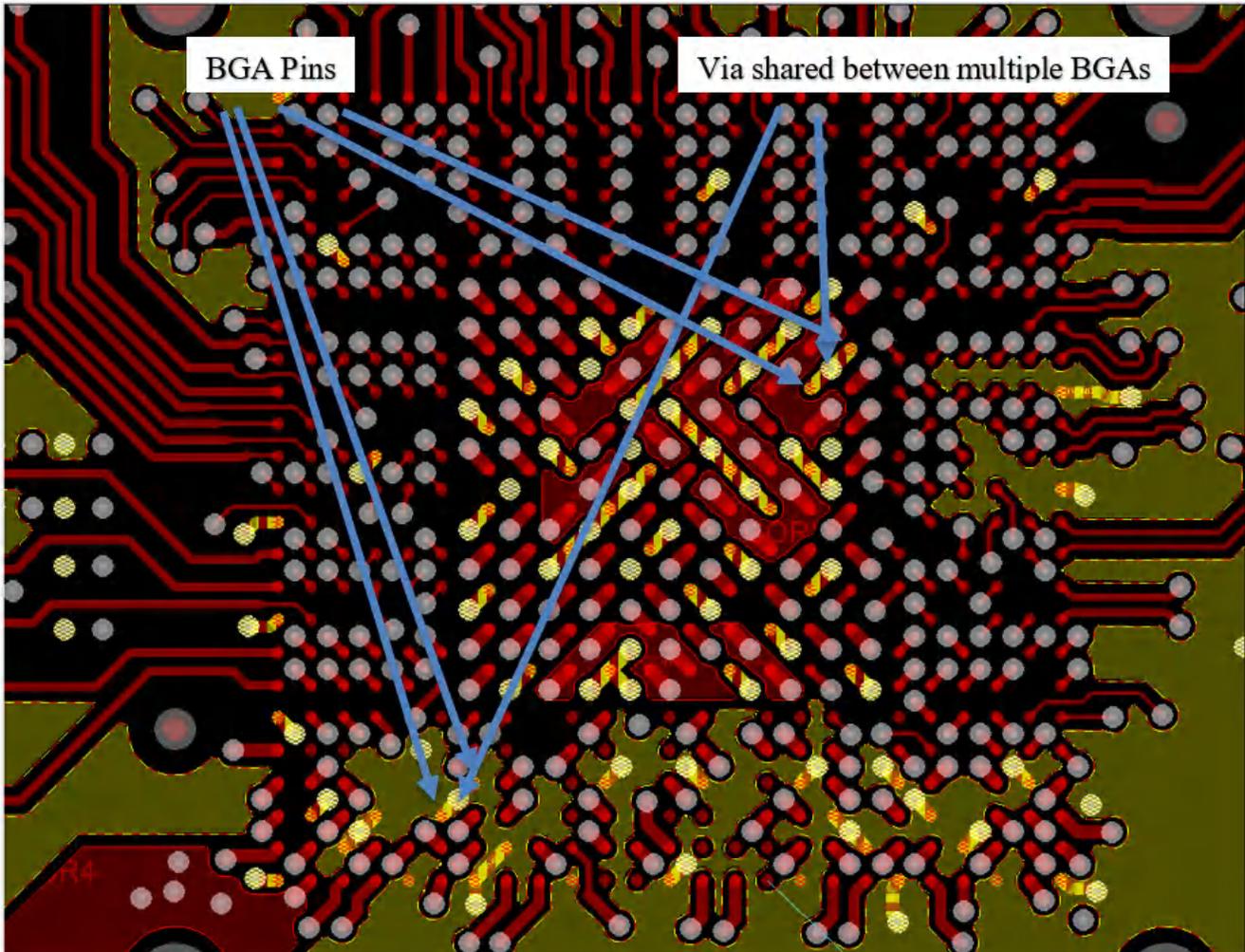


图 5-1. VSS 的过孔共享

6 布局图元件放置

需要对器件上使用的接口以及相关元件和连接器的位置进行细致分析。理想情况下，布线应尽可能短，并且交叉尽可能少。AM62Px 通过引脚多路复用选择提供接口选择灵活性。引脚多路复用支持在多个引脚上提供相同接口功能，并且可以通过引脚多路复用选项进行选择。可以充分利用有利的引脚多路复用选项来简化 PCB 布线和元件放置，从而进一步优化 PCB 设计。下图显示了信号焊球以及电源焊球和接地焊球的默认布局。应优先考虑没有引脚多路复用选项的元件放置，例如 DDR、CSI、DSI、USB、OLDI/LVDS 等。

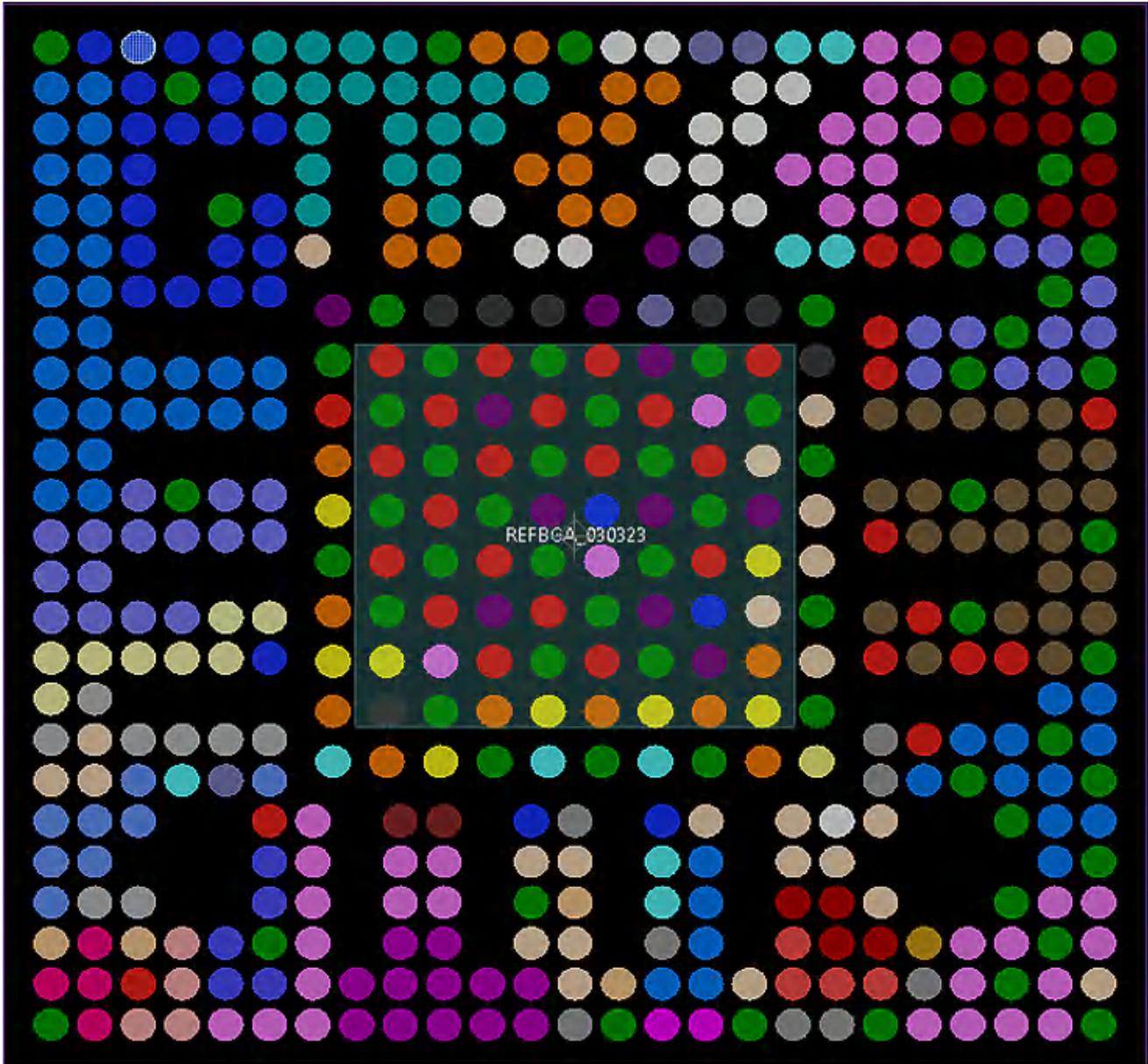


图 6-1. AM62Px 布局图

7 关键接口影响布局

AM62Px 器件及某些元件或连接器的放置也取决于一些高性能接口，例如 DDR、CSI 等。此外，由于多千兆位速率下的 PCB 损耗，布线距离限制也可能限制元件放置。

8 布线优先级

如前所述，关键接口会影响元件放置选项。PCB 设计的下一步是确定布线到这些关键接口的优先级。必须先完成对优先级较高接口的布线，然后再对优先级较低的接口进行布线。必须首先对优先级较高的接口进行布线。当未建立布线优先级时，PCB 布局团队往往会陷入时间紧张的迭代过程，并获得次优的结果。下表列出了 AM62Px 系列器件中包含的接口的建议优先级顺序。个别设计要求可能推动了对优先级调整的需求，但这可以作为良好的基准，并已用于本文档中所示的电路板示例。

表 8-1. 布线优先级

接口	布线优先级
LPDDR4	10 (最高优先级)
CSI/DSI	9
OLDI	9
OSC	8
USB2、OSPI	8
配电	7
RGMII	6
eMMC	5
时钟	5
MII / RMII	4
SPI	4
电机控制	4
模拟	3
GPMC	2
GPIO	1
UART / CANUART	1
I2C/温度二极管	1 (最低优先级)

由于数据速率和丢失问题，多千兆位 DDR (双数据速率) 接口最为关键。DDR 位于优先级列表顶部，因为它对 PCB 损耗非常敏感。此外，单端特性使其极易受到信号完整性问题 (如串扰) 的影响，尤其是在本设计所针对的高速条件下。优先级列表中的下一个是 CSI (摄像头串行接口) 和 DSI (显示串行接口)。这些布线的长度限制可能会影响 CSI/DSI 连接器和 AM62Px 器件在 PCB 上的放置位置。CSI/DSI 信号位于 BGA 封装的外层，允许一些布线在没有过孔的情况下从 BGA 迂回。

异步和低速接口位于底部。这样就使同步和源同步接口按数据速率排列在顶端。一个不同之处是配电，它通常会被留到最后。这会导致去耦性能不佳或电流耗尽，并且由于铜材不足以承载电源和接地电流而导致电源噪声过大。在对中间优先级接口和低优先级接口进行布线之前，必须分配用于铜缆和去耦的空间。

9 串行器/解串器接口

封装 BGA 焊球图也被设计成支持首先对更高优先级接口进行布线。因此，串行器/解串器 CSI 和 DSI 接口朝向外侧的两个环。差分接收对应布线到远离顶层 SoC 的位置，留下一个间隙，而不会阻止过孔。位于内部 BGA 行上的通道需要过孔作为底部或内层上的差分对迂回。VCA 为内排提供了这种便利。有关 AM62Px 板顶层和内层上串行器/解串器信号迂回布线的示例，请参阅图 9-1。宽布线可以限制信号丢失，但可能会违反阻抗要求。有关如何布线串行器/解串器信号的详细信息，请参阅[高速接口布局布线指南](#)文档。

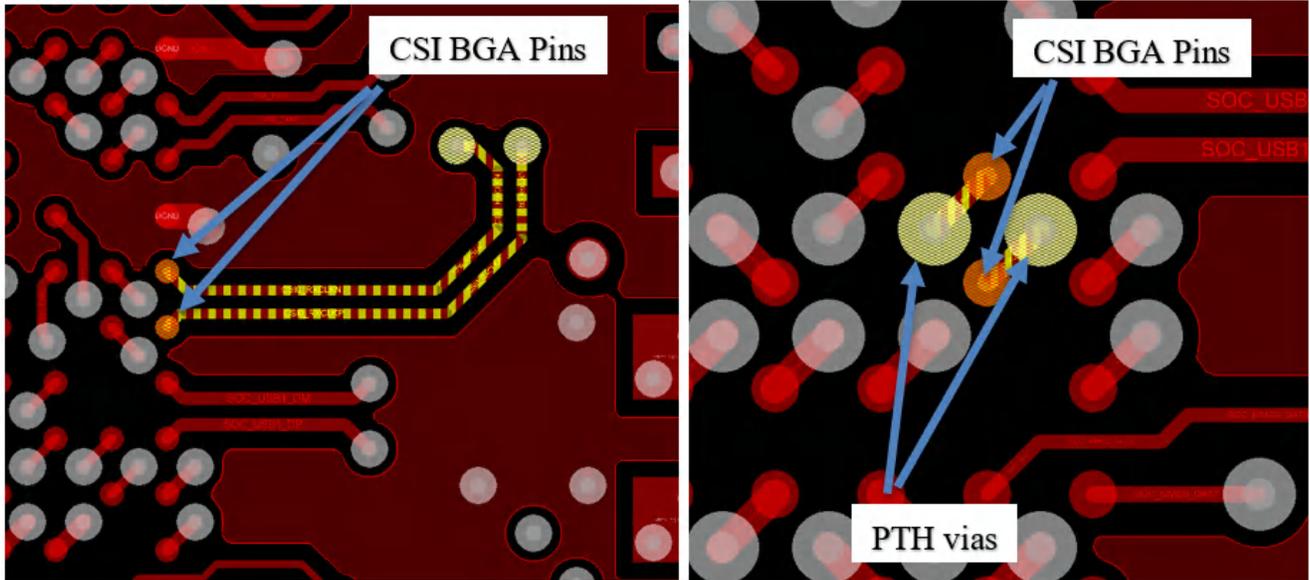


图 9-1. 顶层 (左) 和内层 (右) 的串行器/解串器 CSI 迂回

10 DDR 接口

AM62Px 支持连接 LPDDR4 器件。DDR 信号的布线必须具有最高优先级。有关 DDR 布线的详细建议，请参阅 [DDR 布线指南](#) 文档。下图展示了 AM62Px 板上 DDR 接口的 BGA 分线。

DDR SDRAM 存储器器件通常采用以下布局：数据组焊球最靠近 AM62Px 器件。封装 BGA 焊球图经过精心规划，将 DDR 地址和命令信号放置在数据字节通道 0/1 和数据字节通道 2/3 之间。

图 10-1 和图 10-2 分别展示了如何迂回 DDR 字节通道 0 和 1。使用电镀穿孔 (PTH) 过孔使得这些信号可以在任何层上在 SoC 和 SDRAM 之间布线。同样，图 10-3 和图 10-4 分别展示了 DDR 字节通道 2 和 3 的迂回。

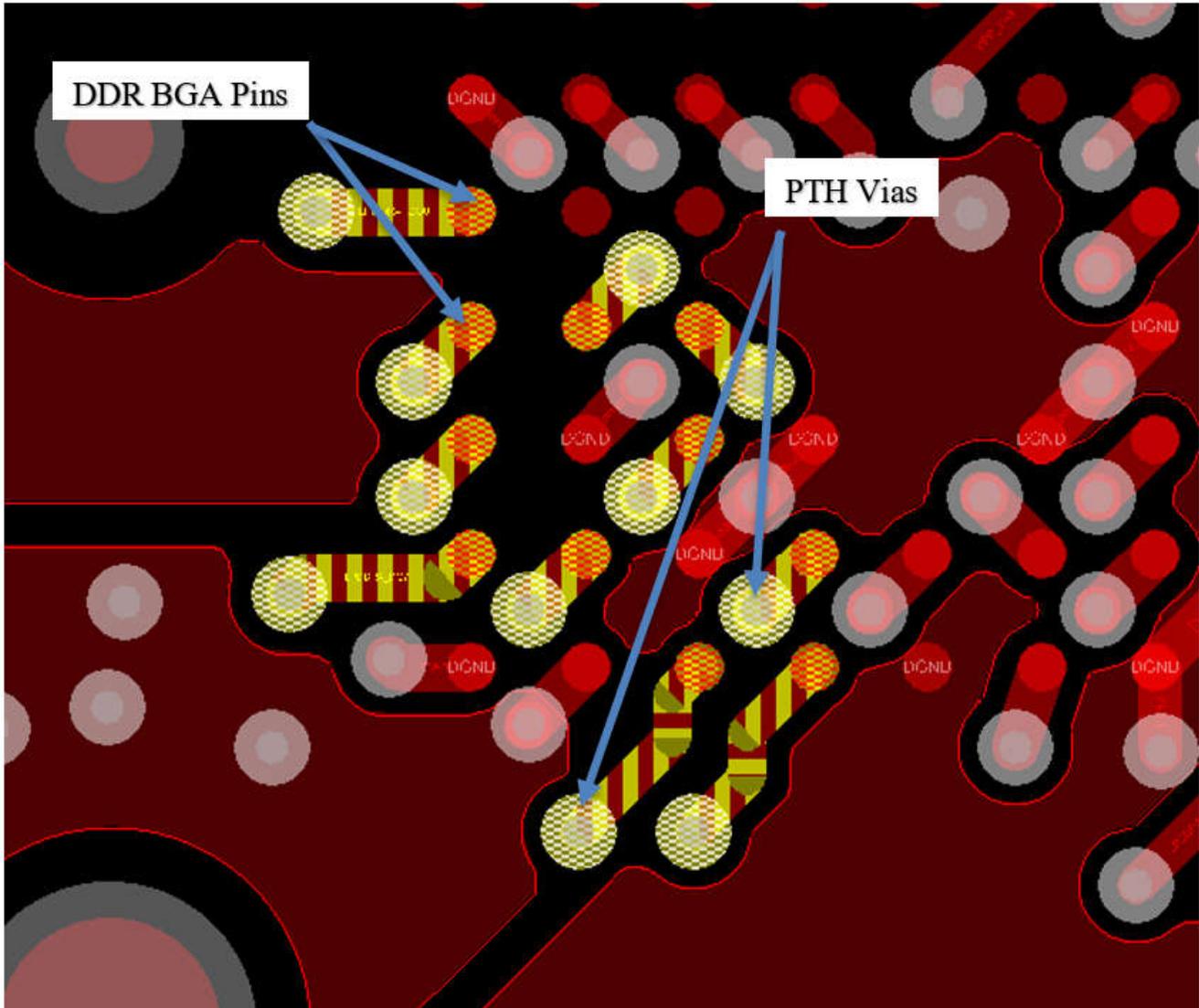


图 10-1. DDR 字节通道 0 迂回

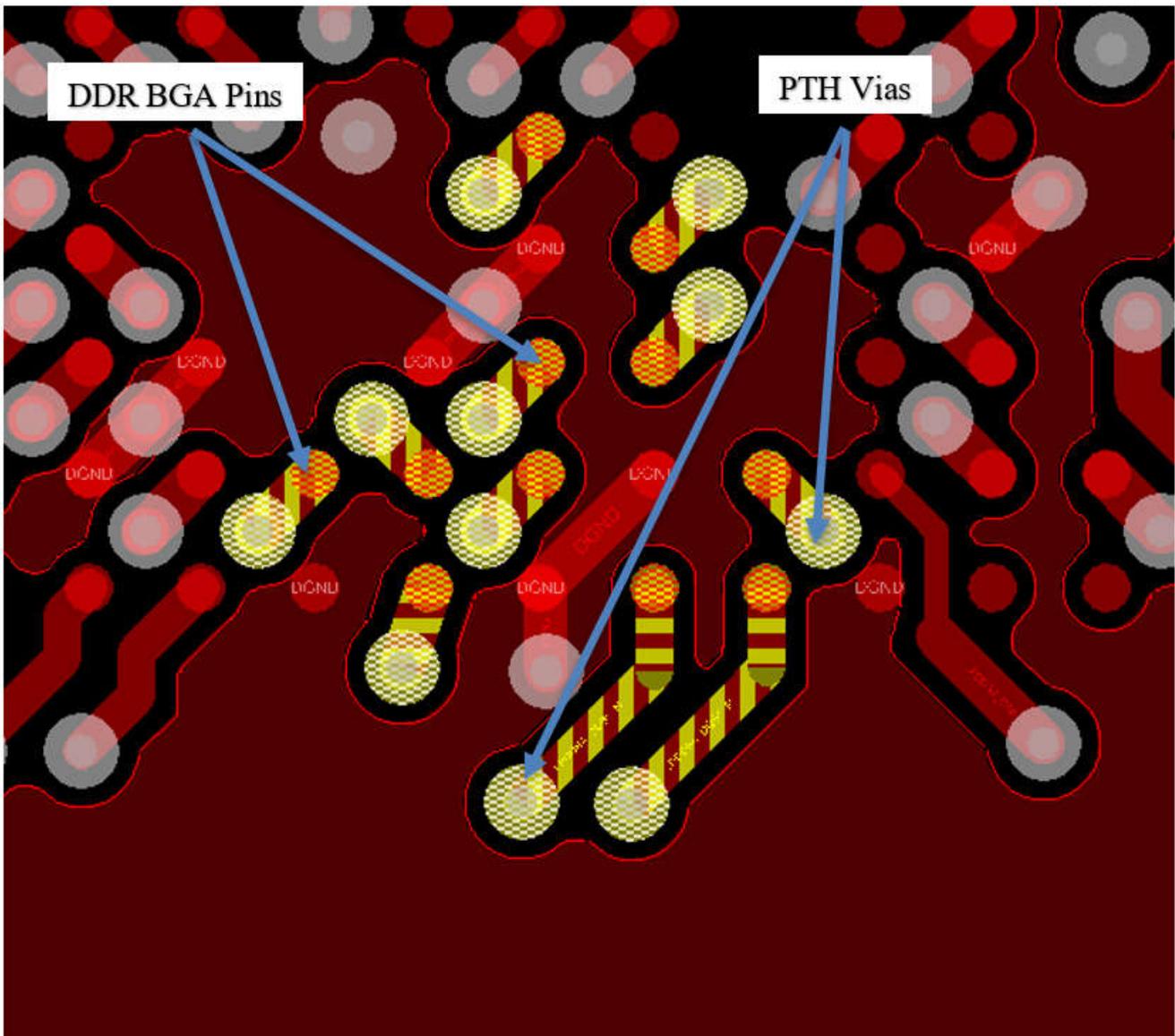


图 10-2. DDR 字节通道 1 迂回

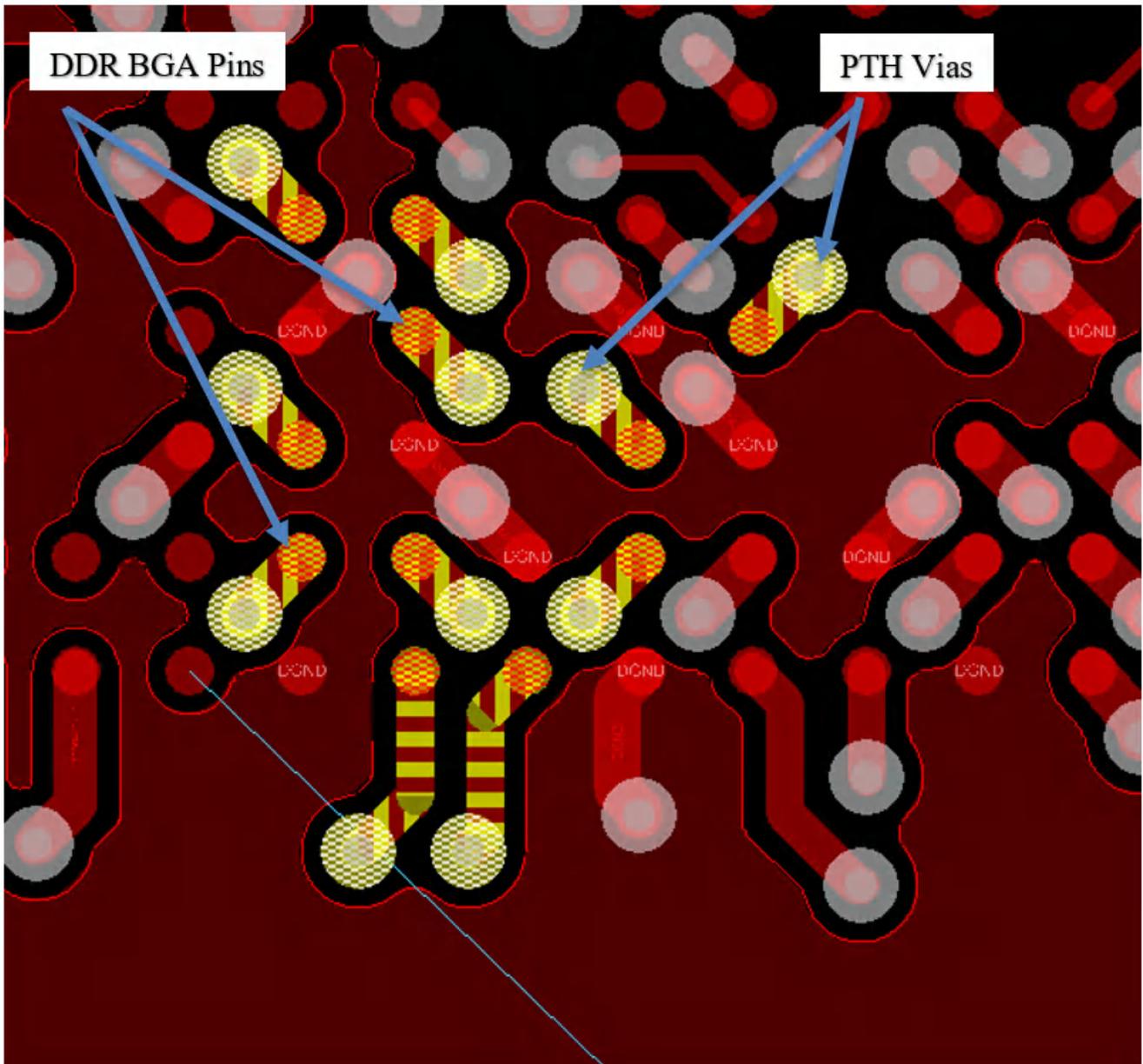


图 10-3. DDR 数据字节通道 2 迂回

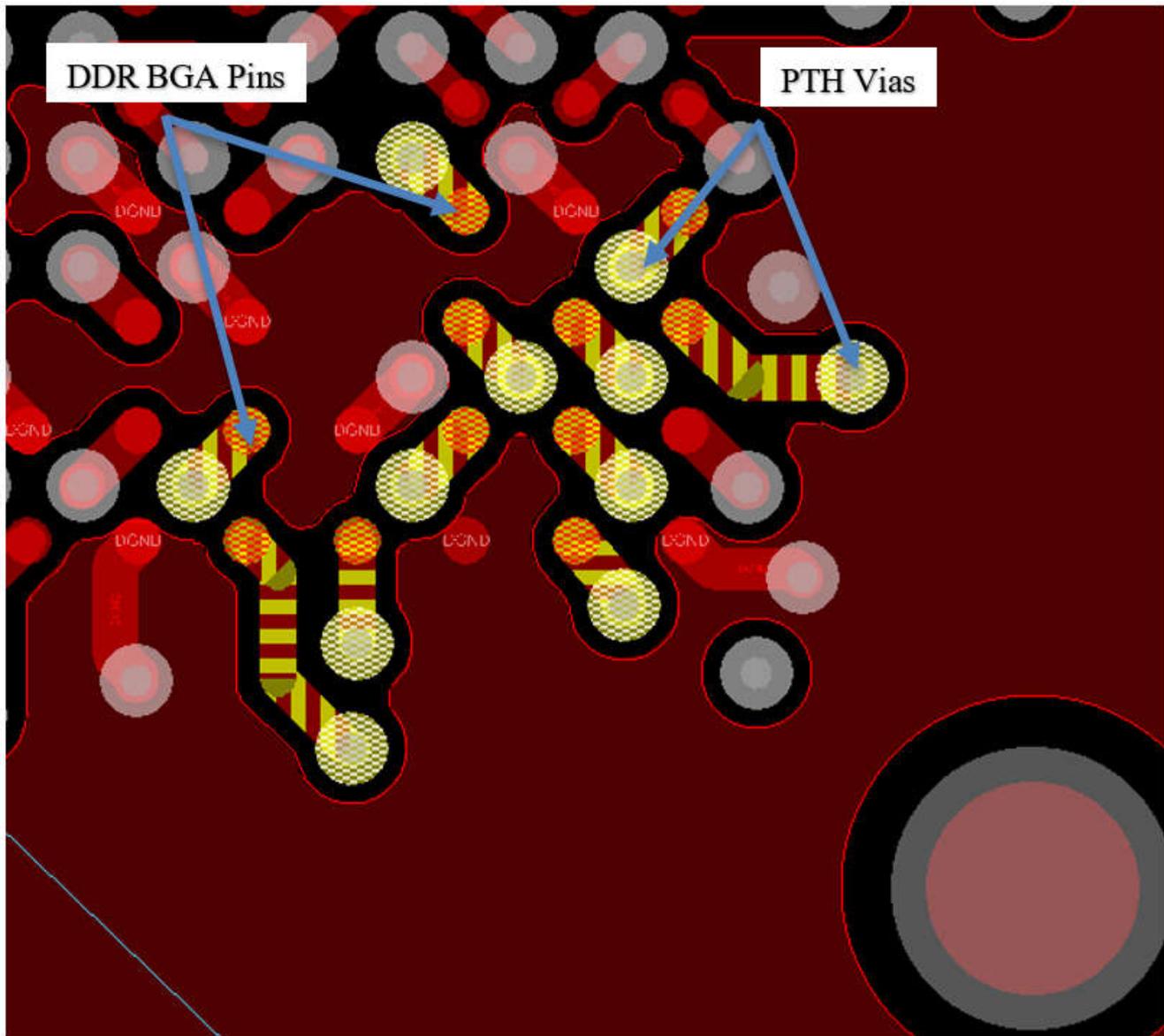


图 10-4. DDR 数据字节通道 3 迂回

地址、命令和时钟信号直接布线到存储器器件。

顶部和内层用于地址和命令信号的迂回和布线。布线长度必须匹配，以确保信号同时到达存储器。SoC 与寄存器引脚之间的长度匹配必须单独进行，并且必须包括内存焊盘的存根和所有过孔长度。有关 DDR 布线的详细建议，请参阅 [DDR 布线指南](#) 文档。

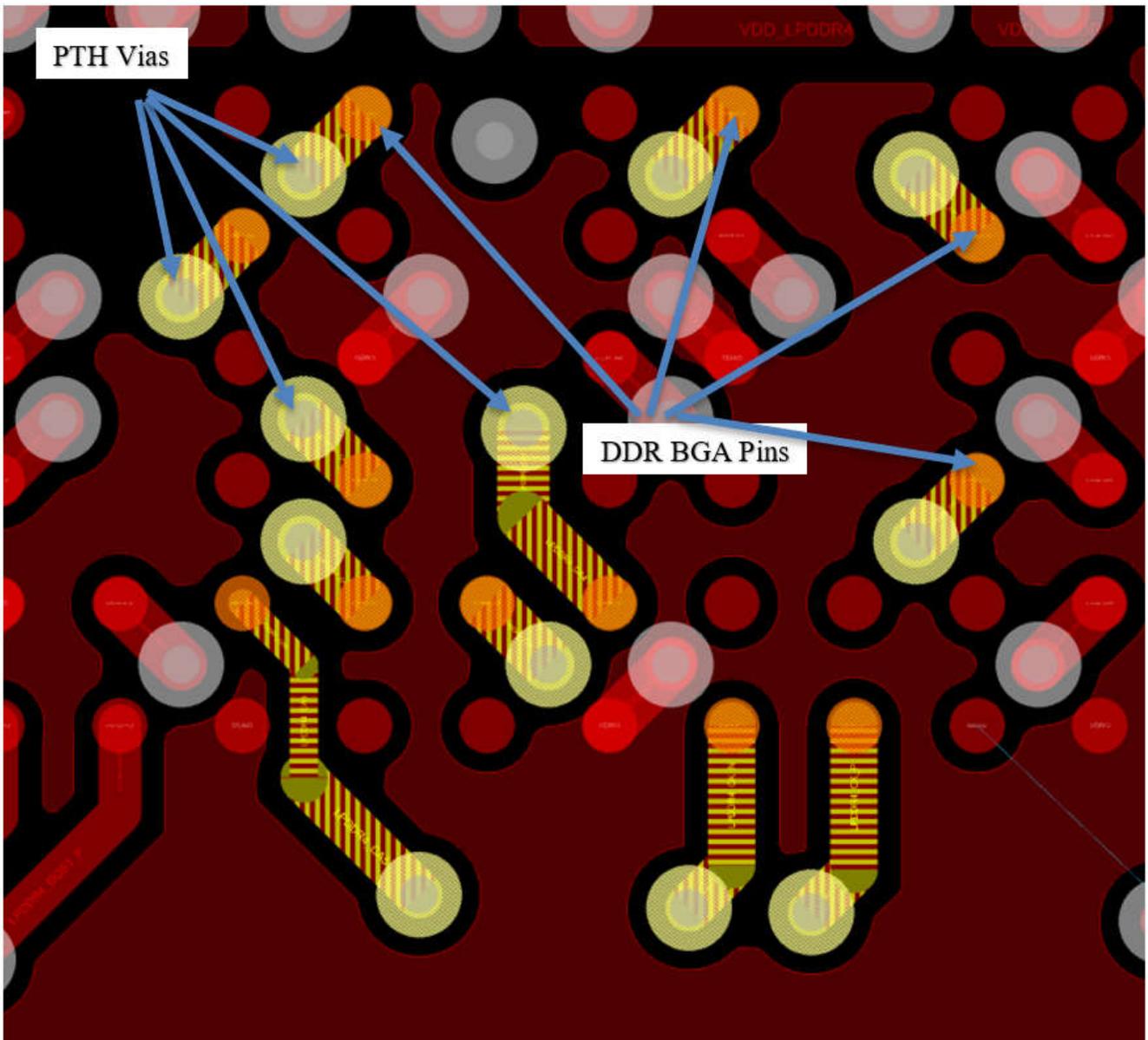


图 10-5. DDR 地址/命令迂回

这些层上的地址和命令信号的迂回如图 10-5 所示。

地址信号直接从 SoC 布线到存储器器件相关焊盘旁边的过孔。这要求地址信号以正确的顺序迂回。每个地址和命令信号都需要具有相同数量的过孔。使用电镀穿孔 (PTH) 过孔可以灵活地在任何层上进行地址/命令信号布线。

11 电源去耦

中优先级接口和配电平面和覆铜将在串行器/解串器和 DDR 接口之后布线。强烈建议在继续使用其他接口之前完成所有串行器/解串器和 DDR 布线。在为串行器/解串器和 DDR 布线执行 PCB 仿真之前，必须放置配电平面和覆铜以及所有去耦，因为这会影响高速接口的返回电流。超高速源同步接口（例如 RGMII 和 QSPI）可能也需要仿真，因此可能也需要在此时完成。

需要特别注意连接到 AM62Px 器件上 CAP_VDDS* BGA 引脚的 1uF 输出电容器。这些电容器应尽可能靠近引脚放置，并且在 CAP_VDDS BGA 引脚和电容器上的电源焊盘之间应存在低电感路径。

如果电容器可以放置在 SoC 正下方，则可以改善这种布局方式。VDD_CORE 和 VDDS_DDR 电源的去耦电容器也应获得与 CAP_VDDS* 引脚上的去耦电容器相同的优先级，应放置在插座下方，并以极小的电感连接到 AM62Px 器件上相应的 BGA 引脚。

12 对优先级最低的接口最后布线

当针对最高优先级接口完成长度匹配和仿真并且完成配电网络 (PDN) 分析后，可以继续对介质进行布局，然后对较低优先级的接口进行布局。

13 总结

过孔通道经过精心设计，可确保所有信号和电源迂回布线，同时满足每个接口的相应信号和电源完整性目标。

图 13-1 中显示了 AM62Px 的图片，其中所有信号和电源都是迂回布线。

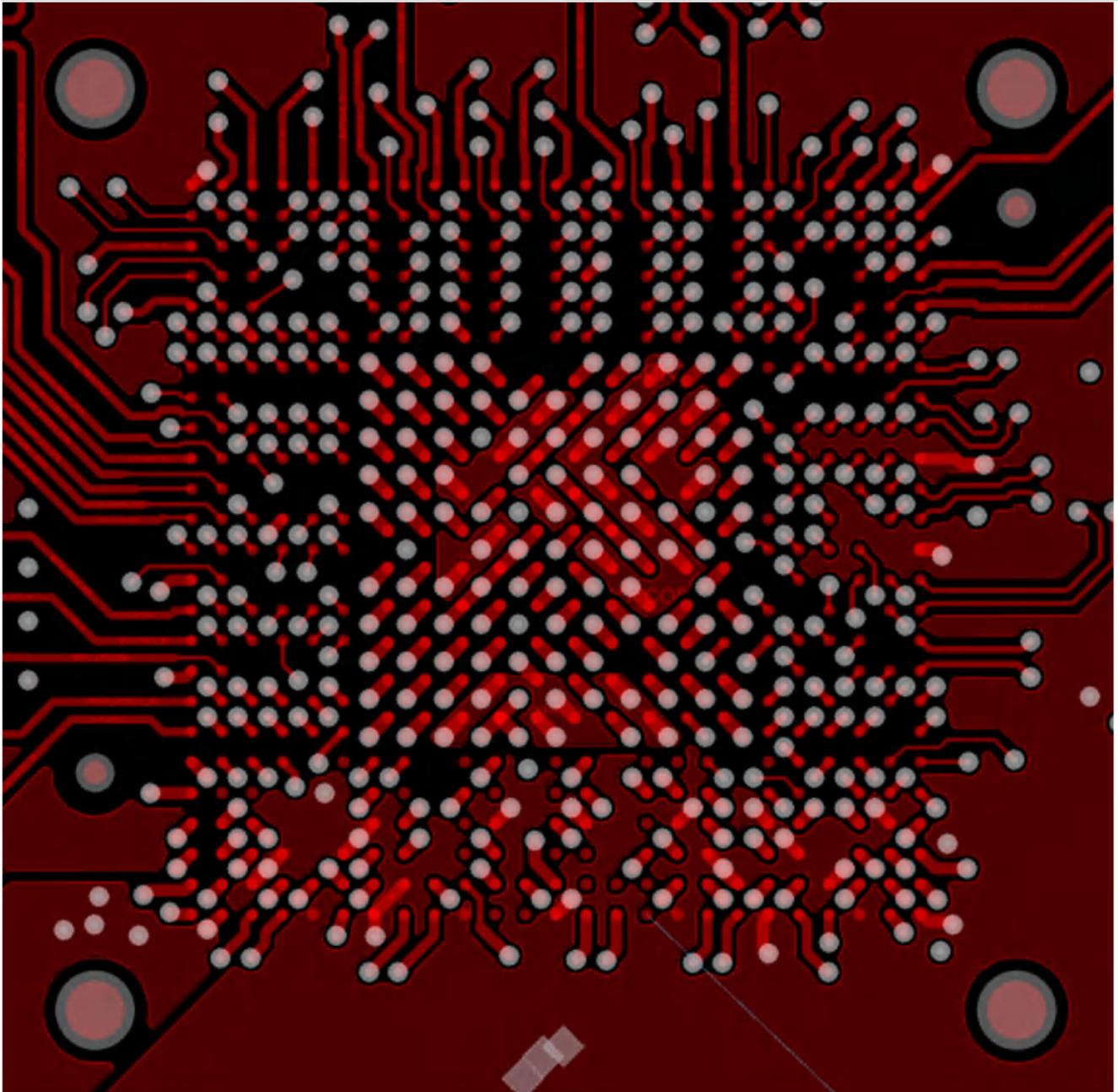


图 13-1. 具有完整信号和电源迂回布线的 AM62Px

14 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from DECEMBER 20, 2023 to JANUARY 31, 2024 (from Revision A (December 2023) to Revision B (January 2024))

Page

- 将 FBGA 封装尺寸从 13mm x 13mm 更改为 17mm x 17mm。 **2**

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司